

1. 特性

- 真双极性输入范围:
硬件模式: $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$
软件模式: $\pm 12.5\text{ V}$ 、 $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 和 $\pm 2.5\text{ V}$
- 5V 单模拟电源, V_{DRIVE} 电源电压: 1.71 V 至 3.6 V
- 具有 $1\text{ M}\Omega$ 模拟输入阻抗的输入缓冲器
- 所有通道满足 16 位 1 MSPS 采样率
- 灵活的数字滤波器满足过采样应用
- 灵活的并行/串行通信接口
- 工作温度范围: -40°C 至 $+125^{\circ}\text{C}$
- $\pm 25\text{ V}$ 输入箝位保护, 满足 8 kV ESD 等级

(用于驱动 ADC) 以及灵活的并行和串行接口。

LHA6958H 采用 5 V 单电源供电, 所有通道最高可以 1 MSPS 的吞吐速率采样, 并支持 $\pm 12.5\text{ V}$ 、 $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 和 $\pm 2.5\text{ V}$ 真双极性输入范围。输入箝位保护可承受高达 $\pm 25\text{ V}$ 的电压。LHA6958H 具有 $1\text{ M}\Omega$ 模拟输入阻抗。单电源操作、片内滤波和高输入阻抗使得应用时无需外部驱动运算放大器 (需要双极性电源)。对于吞吐率较低的应用, LHA6958H 灵活的数字滤波器可用来改善噪声性能。

LHA6958H 在硬件模式下, 与某主流型号完全兼容。在软件模式下, 可以使用如下高级特性:

- 增加 $\pm 2.5\text{ V}$ 、 $\pm 12.5\text{ V}$ 模拟输入范围, 每个通道可选。
- 高带宽模式 (220kHz), 每个通道可选。
- 额外的过采样(OS)选项, 最高 OS $\times 256$ 。
- 每个通道的系统增益、系统失调和系统相位校准。
- 两种带宽模式, 25kHz 和 220kHz。
- 模拟输入开路检测器。
- 诊断多路复用器。
- 监控功能 (循环冗余校验(CRC)和复位检测)。

请注意, 在整篇数据手册中, 多功能引脚 (如 RD /SCLK 引脚) 通过完整引脚名称或引脚的单个功能来引用; 例如 SCLK 引脚即表示仅与此功能相关。

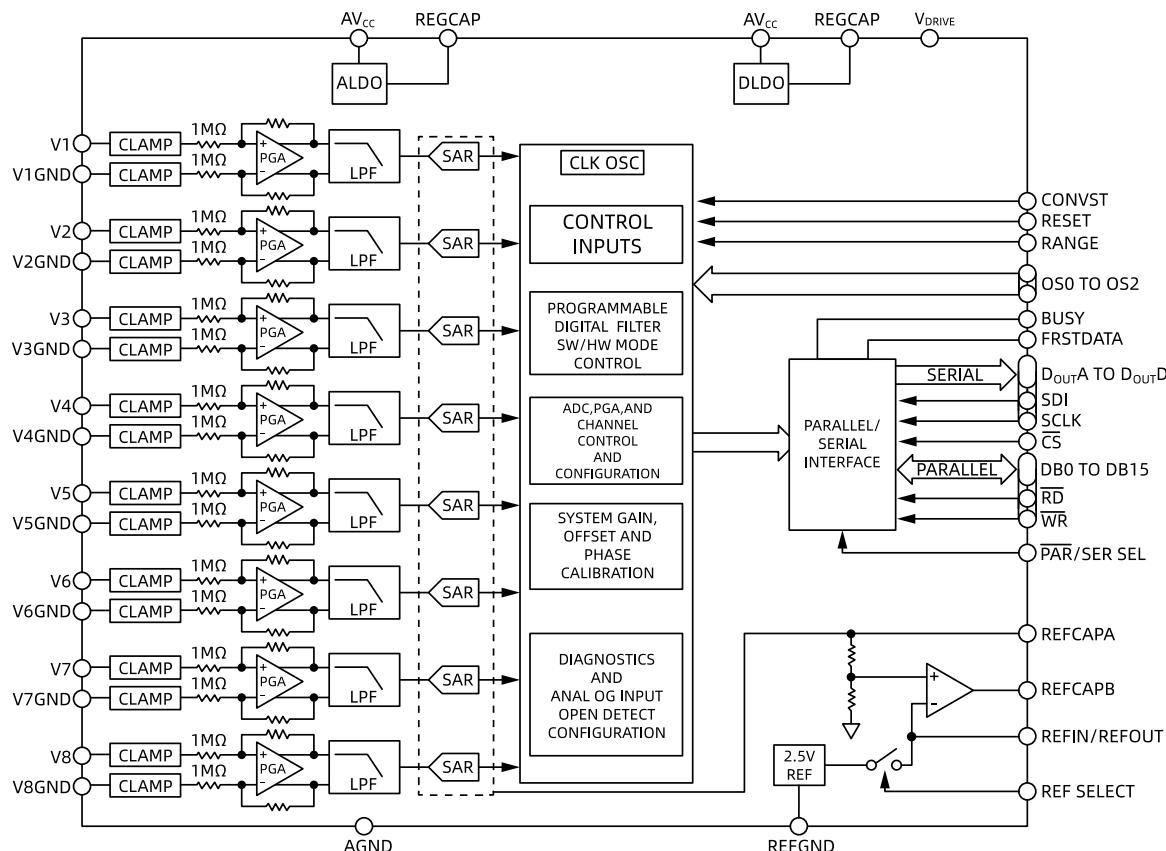
2. 应用

- 电力线路监控
- 保护继电器
- 多相电机控制
- 仪器仪表和控制系统
- 数据采集系统

3. 概述

LHA6958H 是一款 16 位、同步采样、模数转换数据采集系统(DAS), 具有 8 个通道, 每个通道均内置模拟输入箝位保护、可编程增益放大器(PGA)、低通滤波器和 16 位逐次逼近寄存器(SAR)模数转换器(ADC)。LHA6958H 还内置了灵活的数字滤波器、低漂移 2.5 V 精密基准电压源和基准电压缓冲器

4. 功能框图



目录

1. 特性	1
2. 应用	1
3. 概述	1
4. 功能框图	1
5. 版本历史	4
6. 技术规格	5
6.1. 时序规格	7
6.1.1. 通用时序规格	7
6.1.2. 并行模式时序规格	8
6.1.3. 串行模式时序规格	9
7. 绝对最大额定值	11
7.1. 热阻	11
8. 引脚配置和功能描述	12
9. 典型性能参数	14
10. 工作原理	20
10.1. 模拟前端	20
10.2. SAR ADC	23
11. 数字滤波器	28
11.1. 填充过采样	29
11.2. 外部过采样时钟	30
12. 系统校准特性	30
12.1. 系统相位校准	30
12.2. 系统增益校准	31
12.3. 系统失调校准	32
12.4. 模拟输入开路检测	32
13. 数字接口	34
13.1. 硬件模式	34
13.2. 软件模式	34
13.3. 并行接口	35
13.4. 串行接口	38
14. 诊断	43

14.1. 复位检测.....	43
14.2. 接口 CRC 校验和.....	43
14.3. 诊断多路复用器.....	44
15. 典型连接图	46
16. 应用信息	48
16.1. 布局布线指南.....	48
17. 寄存器汇总.....	50
18. 寄存器详解.....	51
19. 外形尺寸	66
19.1. 订购指南	66

5. 版本历史

版本号	日期	更新内容
PreA	2023 年 2 月 3 日	初版
PreB	2023 年 5 月 16 日	更新 WR 引脚功能描述和部分技术规格
Rev.A	2023 年 6 月 29 日	<ul style="list-style-type: none">1、正式版2、增加包装规范3、更新部分电气参数4、增加增益误差和零代码误差测试曲线5、增加小包装规格6、增加 12.5V 输入范围和高带宽模式功能描述和技术规格7、修改 V_{DRIVE} 电压范围描述
Rev.B	2024 年 7 月 25 日	修改 V_{DRIVE} 电压范围描述，增加模拟滤波器频率响应曲线，更新技术规格表中相位延迟典型值
Rev.C	2024 年 8 月 2 日	<ul style="list-style-type: none">1、修正输入箝位保护电压为 $\pm 25 \text{ V}$2、更新寄存器列表默认值和监控功能描述
Rev.D	2024 年 11 月 6 日	更新转换时间 t_{CONV} 最大、最小值，部分复位高电平脉冲宽度 t_{RESET} ，过采样 SNR 和 3dB 带宽部分数据。

6. 技术规格

除非另有说明, 基准电压(V_{REF}) = 2.5 V 内部参考, 模拟电源电压(AV_{CC}) = 4.75 V 至 5.25 V, 逻辑电源电压(V_{DRIVE}) = 1.71 V 至 3.6 V, 采样频率(f_{SAMPLE}) = 1 MSPS, 无过采样, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, 单端输入, 所有输入电压范围。

表1. 技术规格

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	输入频率(f_{IN}) = 1 kHz 正弦波, 除非另有说明				
信噪比(SNR) ¹ - 低带宽模式	无 OS, $\pm 12.5 \text{ V}$ 范围	87	90		dB
	无 OS, $\pm 10 \text{ V}$ 范围	87	90		dB
	无 OS, $\pm 5 \text{ V}$ 范围	86	88.5		dB
	无 OS, $\pm 2.5 \text{ V}$ 范围	83	86		dB
	OSR = 16 \times , $\pm 12.5 \text{ V}$ 范围, $f_{IN} = 146 \text{ Hz}$		93		dB
	OSR = 16 \times , $\pm 10 \text{ V}$ 范围, $f_{IN} = 146 \text{ Hz}$		93.5		dB
	OSR = 16 \times , $\pm 5 \text{ V}$ 范围, $f_{IN} = 146 \text{ Hz}$		93		dB
	OSR = 16 \times , $\pm 2.5 \text{ V}$ 范围, $f_{IN} = 146 \text{ Hz}$		90.5		dB
信噪比(SNR) ¹ - 高带宽模式	无 OS, $\pm 12.5 \text{ V}$ 范围		87.5		dB
	无 OS, $\pm 10 \text{ V}$ 范围		88		dB
	无 OS, $\pm 5 \text{ V}$ 范围		84		dB
	无 OS, $\pm 2.5 \text{ V}$ 范围		81.5		dB
总谐波失真(THD)	所有输入范围		-102	-94	dB
信纳比 - 低带宽模式	无 OS, $\pm 12.5 \text{ V}$ 范围	86.5	90		dB
	无 OS, $\pm 10 \text{ V}$ 范围	86.5	90		dB
	无 OS, $\pm 5 \text{ V}$ 范围	85.5	89		dB
	无 OS, $\pm 2.5 \text{ V}$ 范围	82.5	86		dB
	OSR = 16 \times , $\pm 12.5 \text{ V}$ 范围		93		dB
	OSR = 16 \times , $\pm 10 \text{ V}$ 范围		93.5		dB
	OSR = 16 \times , $\pm 5 \text{ V}$ 范围		93		dB
	OSR = 16 \times , $\pm 2.5 \text{ V}$ 范围		90.5		dB
信纳比 - 高带宽模式	无 OS, $\pm 12.5 \text{ V}$ 范围		87		dB
	无 OS, $\pm 10 \text{ V}$ 范围		87		dB
	无 OS, $\pm 5 \text{ V}$ 范围		83		dB
	无 OS, $\pm 2.5 \text{ V}$ 范围		81		dB
无杂散动态范围(SFDR)			-104		dB
通道间隔离	未选中通道的 f_{IN} 最高可达 20 kHz		-110		dB
模拟输入滤波器					
全功率带宽 - 低带宽模式	-3 dB		25		kHz
	-0.1 dB		3.9		kHz
全功率带宽 - 高带宽模式	-3 dB		200		kHz
	-0.1 dB		25		kHz
相位延迟 - 低带宽模式	$\pm 12.5 \text{ V}, \pm 10 \text{ V}$ 范围		6.9		μs
	$\pm 5 \text{ V}$ 范围		6.7		μs
	$\pm 2.5 \text{ V}$ 范围		6		μs
相位延迟 - 高带宽模式	$\pm 12.5 \text{ V}, \pm 10 \text{ V}$ 范围		0.3		μs
	$\pm 5 \text{ V}$ 范围		0.1		μs
	$\pm 2.5 \text{ V}$ 范围		-0.6		μs
相位延迟匹配 - 低带宽模式				200	ns
相位延迟匹配 - 高带宽模式				30	ns
直流精度					
分辨率	无失码	16			位
差分非线性(DNL)			± 0.6	± 0.99	LSB ²
积分非线性(INL)			± 1	± 2.5	LSB ²

参数	测试条件/注释	最小值	典型值	最大值	单位
总非调整误差(TUE)	内部基准电压源		± 16		LSB
正负满量程(FS)误差 ³	外部基准电压源		± 10	± 50	LSB
	内部基准电压源		± 10		LSB
正负满量程(FS)误差漂移	外部基准电压源		± 4		ppm/°C
	内部基准电压源		± 8		ppm/°C
正负满量程(FS)误差匹配			12	60	LSB
双极性零代码误差			± 3	± 12	LSB ²
双极性零代码误差漂移			± 0.6	± 2	ppm/°C
双极性零代码误差匹配			6	24	LSB ²
模拟输入					
输入电压范围	Vx – VxGND				
	±12.5V 范围	-12.5		+12.5	V
	±10 V 范围	-10		+10	V
	±5 V 范围	-5		+5	V
	±2.5 V 范围	-2.5		+2.5	V
输入电压范围	VxGND – AGND				
	±12.5V 范围	-1		+1.6	
	±10 V 范围	-0.7		+1.9	V
	±5 V 范围	-0.1		+2.7	V
	±2.5 V 范围	-0.1		+3.1	V
模拟输入电流			8		µA
输入电容(C) ⁴			5		pF
输入阻抗(R) ⁴		1	1.2		MΩ
基准电压输入/输出					
基准输入电压	REF SELECT = 0, 外部基准电压源	2.475	2.5	2.525	V
直流漏电流				± 0.1	µA
输入电容 ⁴			7.5		pF
基准输出电压	REF SELSECT = 1, 内部基准电压源, T _A = 25°C	2.495	2.5	2.505	V
基准源温度系数			± 5	± 10	ppm/°C
ADC 基准电压	REFCAPA (引脚 44) 和 REFCAPB (引脚 45)	4.086	4.096	4.106	V
逻辑输入					
输入高电压(V _{INH})		0.7 × V _{DRIVE}			V
输入低电压(V _{INL})				0.3 × V _{DRIVE}	V
输入电流(I _{IN})				± 1	µA
输入电容 ⁴			5		pF
逻辑输出					
输出高电压(V _{OH})	拉电流(I _{SOURCE}) = 100 µA	V _{DRIVE} – 0.2			V
输出低电压(V _{OL})	灌电流(I _{SINK}) = 100 µA			0.2	V
浮空态漏电流			± 1	± 20	µA
输出电容 ⁴			5		pF
输出编码	二进制补码				N/A ⁵
转换速率					
转换时间			0.54		µs
采集时间			0.46		µs
吞吐速率				1	MSPS
电源要求					
AV _{CC}		4.75	5	5.25	V
V _{DRIVE}		1.71	3.3	3.6	V
REGCAP		1.875		1.93	V
AV _{CC} 电流 (I _{AVCC})					
正常模式 (静态)			10.6		mA
正常模式 (工作状态)	f _{SAMPLE} = 1 MSPS		25.5		mA
	f _{SAMPLE} = 10 kSPS		11.4		mA
待机			7.2		mA

参数	测试条件/注释	最小值	典型值	最大值	单位
关断模式			0.6		μA
V_{DRIVE} 电流 (I_{DRIVE})					
正常模式 (静态)			0.2		μA
正常模式 (工作状态)	$f_{SAMPLE} = 1 \text{ MSPS}$		1.6		mA
	$f_{SAMPLE} = 10 \text{ kSPS}$		30		μA
待机			0.16		μA
关断模式			0.1		μA
功耗					
正常模式 (静态)			53		mW
正常模式 (工作状态)	$f_{SAMPLE} = 1 \text{ MSPS}$		133		mW
	$f_{SAMPLE} = 10 \text{ kSPS}$		57		mW
待机			36		mW
关断模式			3.5		μW

1. 无 OS 表示不应用过采样。

2. LSB 表示最低有效位。 $\pm 2.5 \text{ V}$ 输入范围时, $1 \text{ LSB} = 76.293 \mu\text{V}$ 。 $\pm 5 \text{ V}$ 输入范围时, $1 \text{ LSB} = 152.58 \mu\text{V}$ 。 $\pm 10 \text{ V}$ 输入范围时, $1 \text{ LSB} = 305.175 \mu\text{V}$ 。

3. 这些规格包括全温度范围变化以及内部基准电压源和基准电压缓冲器的贡献。

4. 未经过生产测试, 芯片设计保证符合标准要求。

5. N/A 表示不适用

6.1. 时序规格

6.1.1. 通用时序规格

除非另有说明, $AV_{CC} = 4.75 \text{ V}$ 至 5.25 V , $V_{DRIVE} = 1.71 \text{ V}$ 至 3.6 V , $V_{REF} = 2.5 \text{ V}$ 外部基准电压源和内部基准电压源, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。使用 20 pF 负载电容测试接口时序, 具体取决于 V_{DRIVE} 和串行接口的负载电容。

表2. 通用时序规格

参数	最小值	典型值	最大值	单位	描述
t_{CYCLE}	1			μs	连续 CONVST 上升沿之间的最短时间 (不包括过采样模式) ¹
t_{LP_CNV}	80			ns	CONVST 低电平脉冲宽度
t_{HP_CNV}	80			ns	CONVST 高电平脉冲宽度
$t_{D_CNV_BSY}$					CONVST 高电平至 BUSY 高电平延迟时间
		20		ns	$V_{DRIVE} > 2.7 \text{ V}$
		25		ns	$V_{DRIVE} < 2.7 \text{ V}$
t_{S_BSY}	0			ns	从 BUSY 下降沿到 RD 下降沿建立时间 (并行接口) 或到 D_{OUTX} 线提供 MSB (串行接口) 的最短时间
t_{D_BSY}			25	ns	最后一个 RD 下降沿 (并行接口) 或最后一个 LSB 被输出 (串行接口) 到随后的 BUSY 下降沿的最长时间; 转换期间读取
t_{CONV}	0.5		0.6	μs	转换时间; 无过采样
	1.9		2.1	μs	2 倍过采样
	4.3		4.8	μs	4 倍过采样
	9.2		9.9	μs	8 倍过采样
	18.9		20.1	μs	16 倍过采样
	38.3		40.7	μs	32 倍过采样
	77.1		81.9	μs	64 倍过采样
	154.7		164.3	μs	128 倍过采样
	309.9		329.1	μs	256 倍过采样
t_{RESET}					
部分复位	65		2000	ns	部分 RESET 高电平脉冲宽度
完全复位	3000			ns	完全 RESET 高电平脉冲宽度
t_{DEVICE_SETUP}				μs	RESET 下降沿和第一个 CONVST 上升沿之间的时间
部分复位	80			ns	
完全复位	600			μs	
t_{WAKE_UP}					待机/关断模式后的唤醒时间
待机	1			μs	
关断	10			ms	
t_{POWER_UP}	10			ms	稳定 AV_{CC}/V_{DRIVE} 和 RESET 置位之间的时间

1. 适用于串行模式 (选择所有四条 D_{OUTX} 线时)。

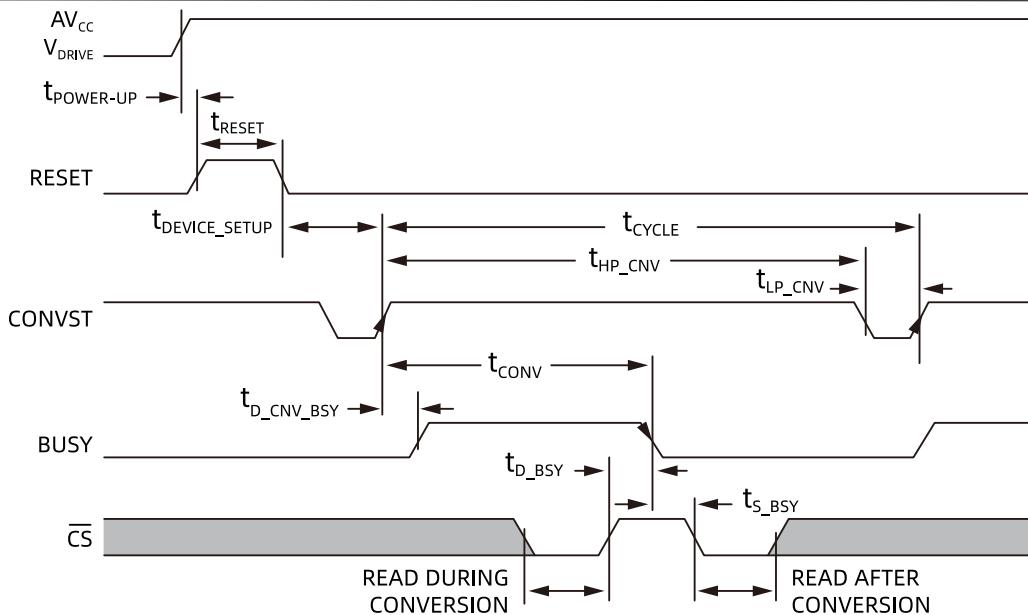


图1. 通用时序图

6.1.2. 并行模式时序规格

表3. 并行模式时序规格

参数	最小值	典型值	最大值	单位	描述
$t_{S, \overline{CS}, RD}$	0			ns	\overline{CS} 下降沿到 \overline{RD} 下降沿建立时间
$t_{H, RD, \overline{CS}}$	0			ns	\overline{RD} 上升沿到 \overline{CS} 上升沿保持时间
$t_{HP, RD}$	10			ns	\overline{RD} 高电平脉冲宽度
$t_{LP, RD}$	10			ns	\overline{RD} 低电平脉冲宽度
$t_{CS, CS}$	10			ns	\overline{CS} 高电平脉冲宽度
$t_{D, \overline{CS}, DB}$			35	ns	从 \overline{CS} 到DBx三态禁用的延迟时间
$t_{H, \overline{CS}, DB}$	0			ns	\overline{CS} 到DBx保持时间
$t_{D, RD, DB}$					\overline{RD} 下降沿后的数据访问时间
			27	ns	$V_{DRIVE} > 2.7\text{ V}$
			37	ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{H, RD, DB}$	12			ns	\overline{RD} 下降沿后的数据保持时间
$t_{DHZ, \overline{CS}, DB}$			40	ns	\overline{CS} 上升到DBx高阻抗
$t_{CYC, RD}$					\overline{RD} 下降沿到下一个 \overline{RD} 下降沿
	30			ns	$V_{DRIVE} > 2.7\text{ V}$
	40			ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{D, \overline{CS}, FD}$			26	ns	从 \overline{CS} 下降沿到FRSTDATA三态禁用的延迟时间
$t_{D, RD, FDH}$			30	ns	从 \overline{RD} 下降沿到FRSTDATA高电平的延迟时间
$t_{D, RD, FDL}$			30	ns	从 \overline{RD} 下降沿到FRSTDATA低电平的延迟时间
$t_{DHZ, FD}$			28	ns	从 \overline{CS} 上升沿到FRSTDATA三态使能的延迟时间
$t_{S, \overline{CS}, WR}$	0			ns	\overline{CS} 到 \overline{WR} 建立时间
$t_{HP, WR}$	213			ns	\overline{WR} 高电平脉冲宽度
$t_{LP, WR}$					\overline{WR} 低电平脉冲宽度
	88			ns	$V_{DRIVE} > 2.7\text{ V}$
	213			ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{H, WR, \overline{CS}}$	0			ns	\overline{WR} 保持时间
$t_{CS, DB, WR}$	5			ns	配置数据到 \overline{WR} 建立时间
$t_{H, WR, DB}$	5			ns	配置数据到 \overline{WR} 保持时间
$t_{CYC, WR}$	230			ns	配置数据建立时间, \overline{WR} 上升沿到下一个 \overline{WR} 上升沿

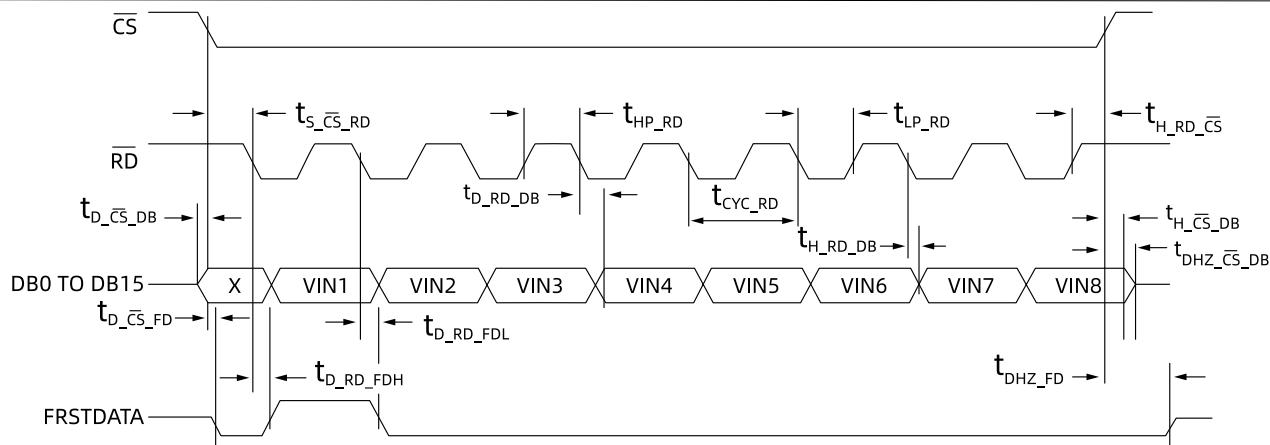


图2. 并行模式读取时序图, 分离的CS和RD脉冲

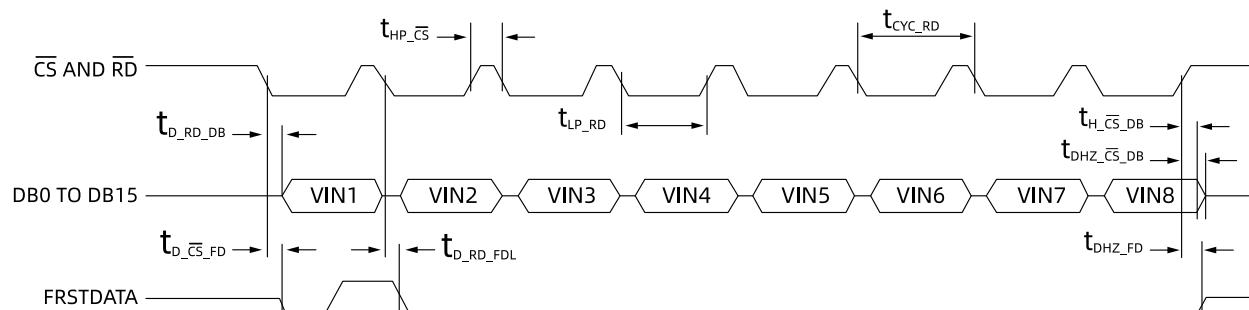


图3. 并行模式读取时序图, 相连的CS和RD

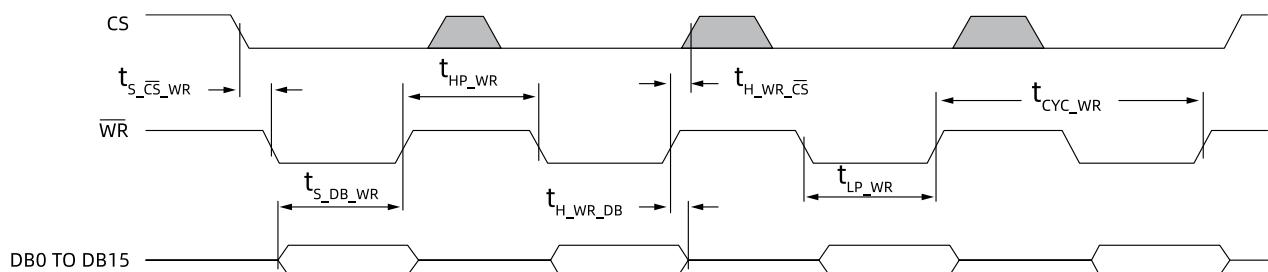


图4. 并行模式写操作时序图

6.1.3. 串行模式时序规格

表4. 串行模式时序规格

参数	最小值	典型值	最大值	单位	描述
f_{SCLK}					SCLK 频率; $f_{SCLK} = 1/t_{SCLK}$
		60	MHz		$V_{DRIVE} > 2.7 \text{ V}$
		40	MHz		$V_{DRIVE} < 2.7 \text{ V}$
t_{SCLK}	$1/f_{SCLK}$			μs	最短 SCLK 周期
$t_{S_CS_SCK}$	2			ns	$\overline{\text{CS}}$ 到 SCLK 下降沿建立时间
$t_{H_SCK_CS}$	2			ns	SCLK 到 $\overline{\text{CS}}$ 上升沿保持时间
t_{LP_SCK}	$0.4 \times t_{SCLK}$			ns	SCLK 低电平脉宽
t_{HP_SCK}	$0.4 \times t_{SCLK}$			ns	SCLK 高电平脉宽
$t_{D_CS_DO}$					从 $\overline{\text{CS}}$ 到 DOUTx 三态禁用的延迟时间
		9	ns		$V_{DRIVE} > 2.7 \text{ V}$
		18	ns		$V_{DRIVE} < 2.7 \text{ V}$
$t_{D_SCK_DO}$					SCLK 上升沿后的数据输出访问时间
		15	ns		$V_{DRIVE} > 2.7 \text{ V}$
		25	ns		$V_{DRIVE} < 2.7 \text{ V}$
$t_{H_SCK_DO}$	8			ns	SCLK 上升沿后的数据输出保持时间
$t_{S_SDI_SCK}$	8			ns	SCLK 下降沿前的数据输入建立时间
$t_{H_SCK_SDI}$	0			ns	SCLK 下降沿后的数据输入保持时间
$t_{DHZ_CS_DO}$					$\overline{\text{CS}}$ 上升沿到 DOUTx 高阻抗

参数	最小值	典型值	最大值	单位	描述
			7	ns	$V_{DRIVE} > 2.7 \text{ V}$
			22	ns	$V_{DRIVE} < 2.7 \text{ V}$
t_{WR}	25			ns	写入和读取同一寄存器之间或两次写入之间的时间；如果 $f_{SCLK} > 50 \text{ MHz}$
$t_{D_{\overline{CS}}_FD}$			26	ns	从 \overline{CS} 到 D_{out} 三态禁用的延迟时间/从 \overline{CS} 到 MSB 有效的延迟时间
$t_{D_{SCK_FDL}}$			18	ns	第 16 个 SCLK 下降到 FRSTDATA 低电平
t_{DHZ_FD}			28	ns	\overline{CS} 上升沿到 FRSTDATA 三态使能

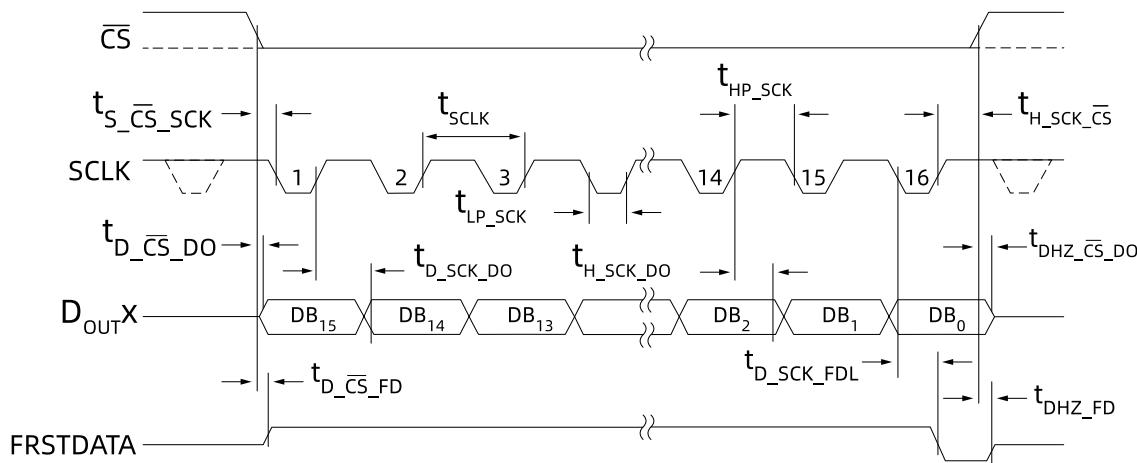


图5. 串行时序图, ADC 读取模式 (通道 1)

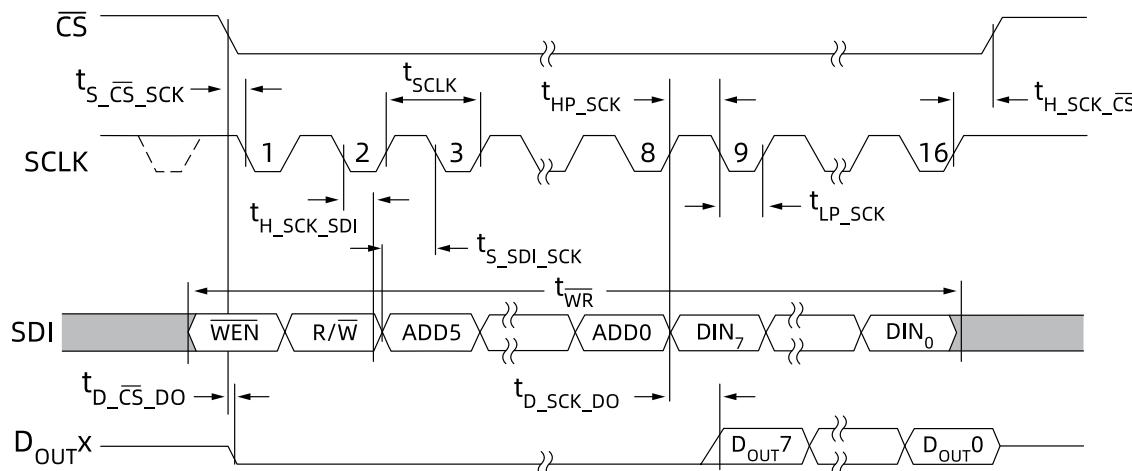


图6. 串行接口时序图, 寄存器映射读/写操作

7. 绝对最大额定值

除非另有说明, $T_A = 25^\circ\text{C}$ 。

表5. 绝对最大额定值

参数	额定值
AV_{CC} 至 AGND	-0.3 V 至 +7 V
V_{DRIVE} 至 AGND	-0.3 V 至 $\text{AV}_{\text{CC}} + 0.3 \text{ V}$
模拟输入电压至 AGND ¹	$\pm 25 \text{ V}$
数字输入电压至 AGND	-0.3 V 至 $\text{V}_{\text{DRIVE}} + 0.3 \text{ V}$
数字输出电压至 AGND	-0.3 V 至 $\text{V}_{\text{DRIVE}} + 0.3 \text{ V}$
REFIN 至 AGND	-0.3 V 至 $\text{AV}_{\text{CC}} + 0.3 \text{ V}$
除电源引脚外的任何引脚的输入电流 ¹	$\pm 10 \text{ mA}$
工作温度范围	-40°C 至 +125°C
存储温度范围	-65°C 至 +150°C
结温	150°C
铅锡焊接温度	
回流焊 (10 秒至 30 秒)	240 (+0)°C
无铅回流焊温度	260 (+0)°C
静电放电(ESD)	
除模拟输入外的所有引脚	3.5 kV
仅模拟输入引脚	8 kV

1. 100 mA 以下的瞬态电流不会造成硅控整流器(SCR)闩锁。

7.1. 热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待 PCB 散热设计。

θ_{JA} 是自然对流下的结至环境热阻, 在 1 立方英尺的密封外罩中测量。 θ_{JC} 是结至外壳热阻。

表6. 热阻

θ_{JA} ¹	θ_{JC}	单位
40	7	°C/W

1. 在 JEDEC 自然对流环境下基于 JEDEC 2s2p 热测试 PCB 的仿真数据。

8. 引脚配置和功能描述

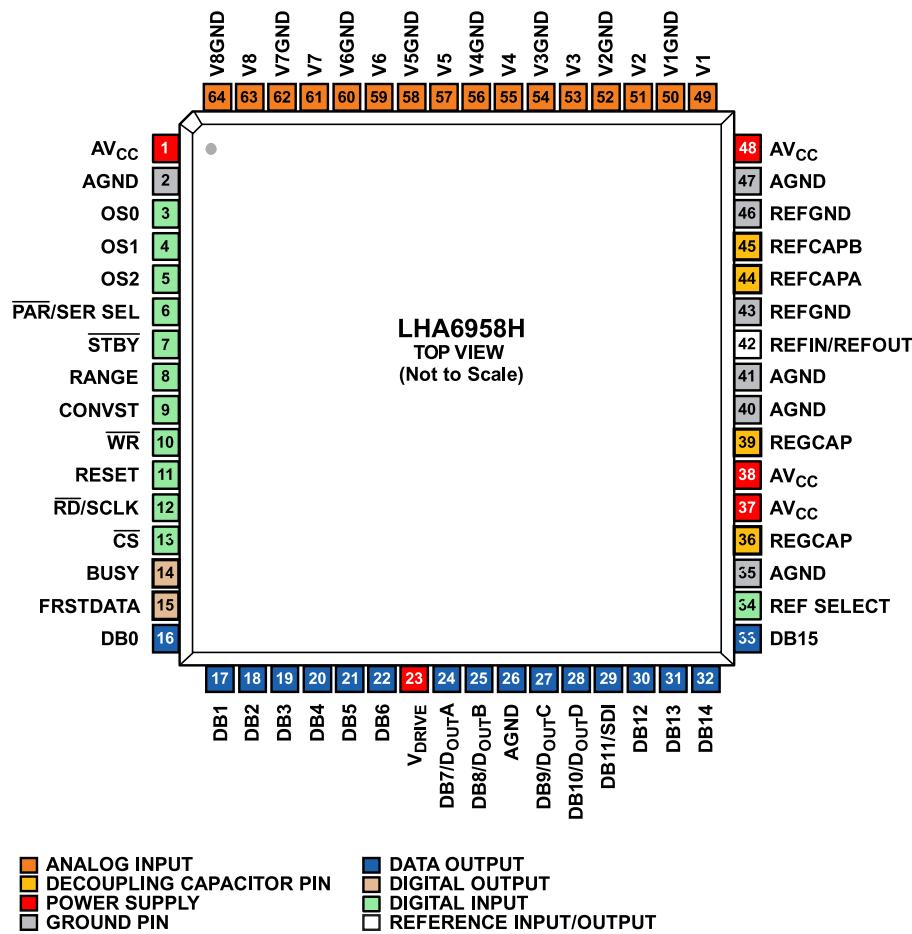


图7. 引脚配置

表7. 引脚功能描述

引脚编号	类型 ¹	引脚名称	描述
1, 37, 38, 48	P	AV _{CC}	模拟电源电压, 4.75 V 至 5.25 V。这是内部前端放大器和 ADC 内核的电源电压。将这些电源引脚去耦至 AGND。
2, 26, 35, 40, 41, 47	P	AGND	模拟地。这些引脚是 LHA6958H 上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都必须参考这些引脚。所有六个 AGND 引脚必须连接到系统的 AGND 层。
3 至 5	DI	OS0 至 OS2	过采样模式引脚。这些输入选择过采样率或使能软件模式 (过采样引脚解码参见表 11)。关于过采样工作模式的更多信息, 参见“数字滤波器”部分。
6	DI	PAR/SER SEL	并行/串行接口选择输入。如果此引脚与逻辑低电平相连, 则选择并行接口。如果此引脚与逻辑高电平相连, 则选择串行接口。关于每个可用接口的更多信息, 参见“数字接口”部分。
7	DI	STBY	待机模式输入。在硬件模式下, 此引脚与 RANGE 引脚一起将 LHA6958H 置于两种省电模式之一: 待机模式或关断模式。在软件模式下, 此引脚被忽略。因此, 建议将此引脚连接到逻辑高电平。有关硬件模式和软件模式的更多信息, 参见“省电模式”部分。
8	DI	RANGE	模拟输入范围选择输入。在硬件模式下, 此引脚决定模拟输入通道的输入范围 (见表 8)。如果 STBY 引脚处于逻辑低电平, 则此引脚决定省电模式 (见表 13)。在软件模式下, RANGE 引脚被忽略。但是, 此引脚必须连接高电平或低电平。
9	DI	CONVST	转换开始输入。当 CONVST 引脚从低电平变为高电平时, 在所有 8 个 SAR ADC 上对模拟输入进行采样。在软件模式下, 此引脚可配置为外部过采样时钟。提供低抖动外部时钟可提高大过采样率下的 SNR 性能。有关详细信息, 参见“外部过采样时钟”部分。
10	DI	WR	数字输入。在硬件模式下, 此引脚需要连接高电平; 在软件模式下, 此引脚为低电平有效写入引脚, 用于通过并行接口写入寄存器。有关更多信息, 参见“并行接口”部分。

引脚编号	类型 ¹	引脚名称	描述
11	DI	RESET	复位输入，高电平有效。LHA6958H 提供完全复位和部分复位选项。复位类型由复位脉冲的长度决定。建议器件上电后接收完全复位脉冲。详情参见“复位功能”部分。
12	DI	$\overline{\text{RD}}/\text{SCLK}$	选择并行接口时为并行数据读取控制输入(RD)。 选择串行接口时为串行时钟输入(SCLK)。更多信息请参见“数字接口”部分。
13	DI	$\overline{\text{CS}}$	片选。对于串行和并行接口，此引脚均为低电平有效片选输入，用于 ADC 数据读取或寄存器数据读写。更多信息请参见“数字接口”部分。
14	DO	BUSY	输出繁忙。此引脚随同 CONVST 上升沿变为逻辑高电平。BUSY 输出保持高电平，直到所有通道的转换过程完成为止。
15	DO	FRSTDATA	第一个数据输出。FRSTDATA 输出信号指示何时在并行接口或串行接口上回读第一通道 V1。更多信息请参见“数字接口”部分。
16 至 22	DO/DI	DB0 至 DB6	并行输出/输入数据位。使用并行接口时，这些引脚用作三态并行数字输入和输出引脚（参见“并行接口”部分）。使用串行接口时，应将这些引脚连接到 AGND。
23	P	V_{DRIVE}	逻辑电源输入。此引脚的电源电压（1.71 V 至 3.6 V）决定逻辑接口的工作电压。此引脚的标称电源与主机接口（即数据信号处理(DSP)和现场可编程门阵列(FPGA)）的电源相同。
24	DO/DI	DB7/ D_{OUTA}	并行输出/输入数据位 7 (DB7)/串行接口数据输出引脚(D_{OUTA})。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，此引脚用作 D_{OUTA} 。有关每种数据接口和工作模式的更多信息，参见表 20 和表 21。
25	DO/DI	DB8/ D_{OUTB}	并行输出/输入数据位 8 (DB8)/串行接口数据输出引脚(D_{OUTB})。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，此引脚用作 D_{OUTB} 。有关每种数据接口和工作模式的更多信息，参见表 20 和表 21。
27	DO/DI	DB9/ D_{OUTC}	并行输出/输入数据位 9 (DB9)/串行接口数据输出引脚(D_{OUTC})。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，如果处于软件模式并使用四条数据输出线选项，则此引脚用作 D_{OUTC} 。有关每种数据接口和工作模式的更多信息，参见表 20 和表 21。
28	DO/DI	DB10/ D_{OUTD}	并行输出/输入数据位 10 (DB10)/串行接口数据输出引脚(D_{OUTD})。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，如果处于软件模式并使用四条数据输出线选项，则此引脚用作 D_{OUTD} 。有关每种数据接口和工作模式的更多信息，参见表 20 和表 21。
29	DO/DI	DB11/SDI	并行输出/输入数据位 DB11/串行数据输入。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。在软件模式下使用串行接口时，此引脚用作串行数据输入。有关每种数据接口和工作模式的更多信息，参见表 20 和表 21。
30 至 33	DO/DI	DB12 至 DB15	并行输出/输入数据位 DB12 至 DB15。使用并行接口时，这些引脚用作三态并行数字输入和输出引脚（参见“并行接口”部分）。使用串行接口时，应将这些引脚连接到 AGND。
34	DI	REF SELECT	内部/外部基准电压选择逻辑输入。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFIN/REFOUT 引脚。
36, 39	P	REGCAP	去耦电容引脚，用于 1.9 V 内部稳压器、模拟低压差(ALDO)和数字低压差(DLDO)稳压器的电压输出。这些输出引脚必须使用 1 μF 电容分别去耦至 AGND。
42	REF	REFIN/ REFOUT	基准电压输入(REFIN)/基准电压输出(REFOUT)。内部 2.5 V 基准电压源可通过 REFOUT 引脚提供给外部使用，同时将 REF SELECT 引脚设置为逻辑高电平。或者将 REF SELECT 引脚设置为逻辑低电平以禁用内部基准电压源，此时必须将 2.5 V 的外部基准电压施加到此输入 (REFIN)。对于内部和外部基准电压源选项，从 REFIN 引脚到地均须应用 100 nF 电容（靠近 REFGND 引脚）。详情参见“基准电压源”部分。
43, 46	REF	REFGND	基准电压接地引脚。这些引脚必须连接到 AGND。
44, 45	REF	REFCAPA, REFCAPB	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起，并通过低 ESR（有效串联电阻）10 μF 陶瓷电容去耦至 AGND。这些引脚上的电压通常为 4.4 V。
49	AI	V1	通道 1 正模拟输入引脚。
50	AI GND	V1GND	通道 1 负模拟输入引脚。

引脚编号	类型 ¹	引脚名称	描述
51	AI	V2	通道 2 正模拟输入引脚。
52	AI GND	V2GND	通道 2 负模拟输入引脚。
53	AI	V3	通道 3 正模拟输入引脚。
54	AI GND	V3GND	通道 3 负模拟输入引脚。
55	AI	V4	通道 4 正模拟输入引脚。
56	AI GND	V4GND	通道 4 负模拟输入引脚。
57	AI	V5	通道 5 正模拟输入引脚。
58	AI GND	V5GND	通道 5 负模拟输入引脚。
59	AI	V6	通道 6 正模拟输入引脚。
60	AI GND	V6GND	通道 6 负模拟输入引脚。
61	AI	V7	通道 7 正模拟输入引脚。
62	AI GND	V7GND	通道 7 负模拟输入引脚。
63	AI	V8	通道 8 正模拟输入引脚。
64	AI GND	V8GND	通道 8 负模拟输入引脚。

1. P 表示电源, DI 表示数字输入, DO 表示数字输出, REF 表示基准电压输入/输出, AI 表示模拟输入, GND 表示地。

9. 典型性能参数

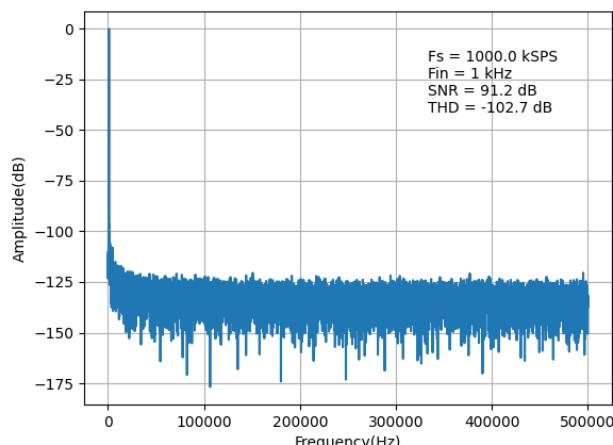


图8. 快速傅立叶变换(FFT), ±10 V 范围

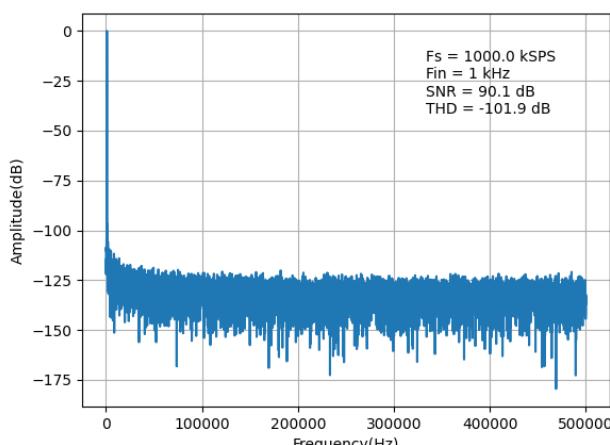


图9. 快速傅立叶变换(FFT), ±5 V 范围

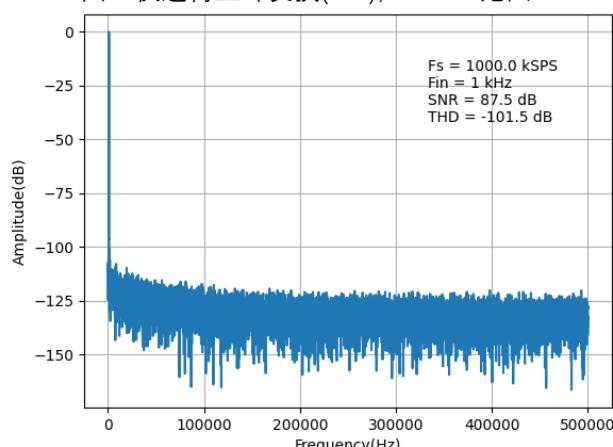


图10. 快速傅立叶变换(FFT), ±2.5 V 范围

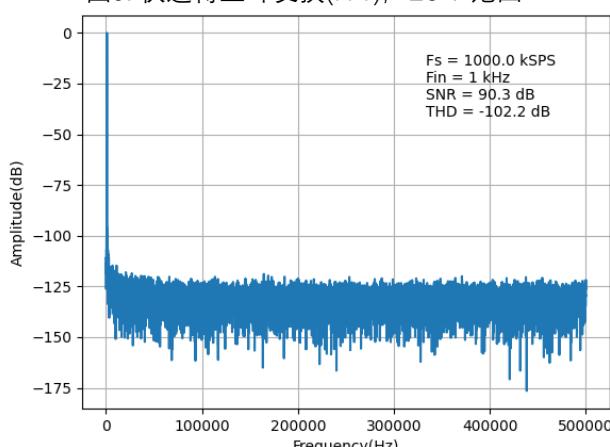


图11. 快速傅立叶变换(FFT), ±12.5 V 范围

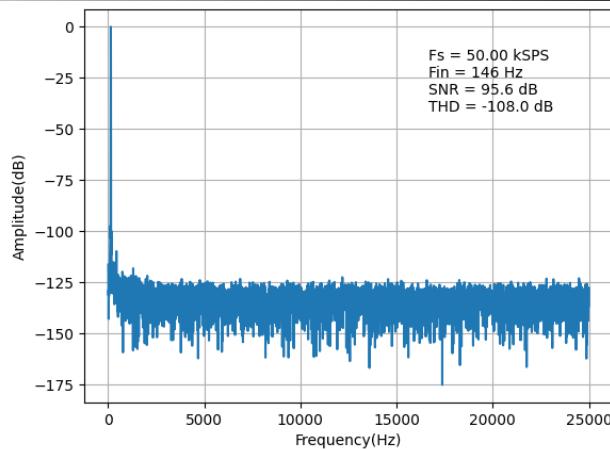


图12. FFT 过采样(16), ± 10 V 范围

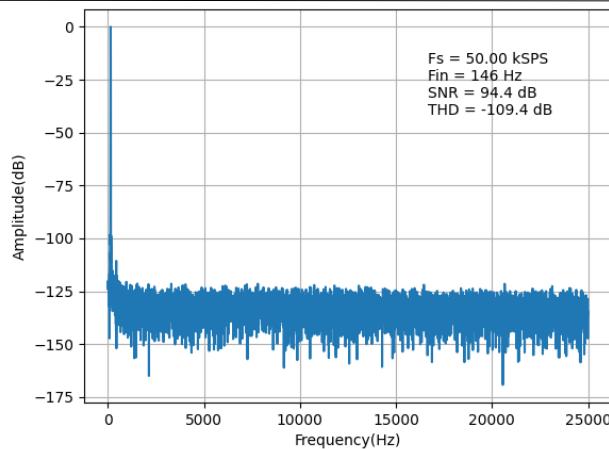


图13. FFT 过采样(16), ± 5 V 范围

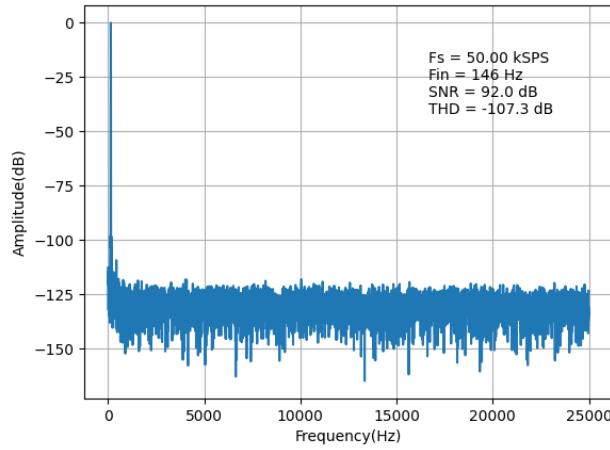


图14. FFT 过采样(16), ± 2.5 V 范围

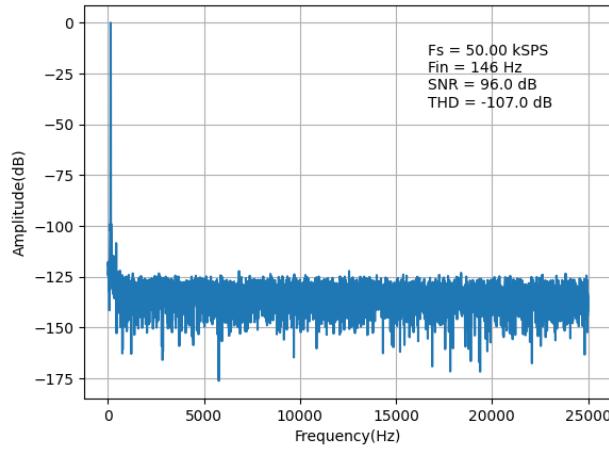


图15. FFT 过采样(16), ± 12.5 V 范围

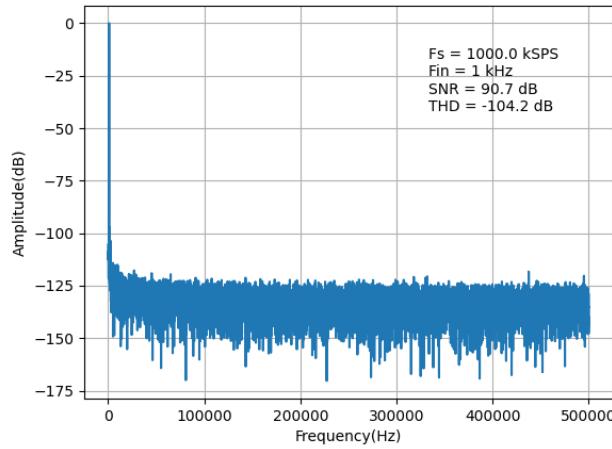


图16. 快速傅立叶变换(FFT), ± 10 V 范围, 高带宽模式

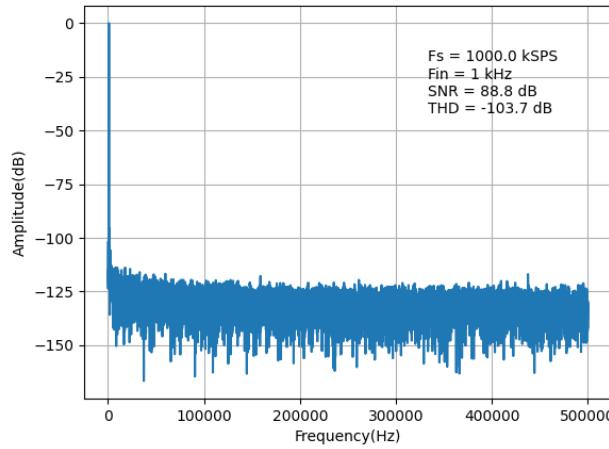


图17. 快速傅立叶变换(FFT), ± 5 V 范围, 高带宽模式

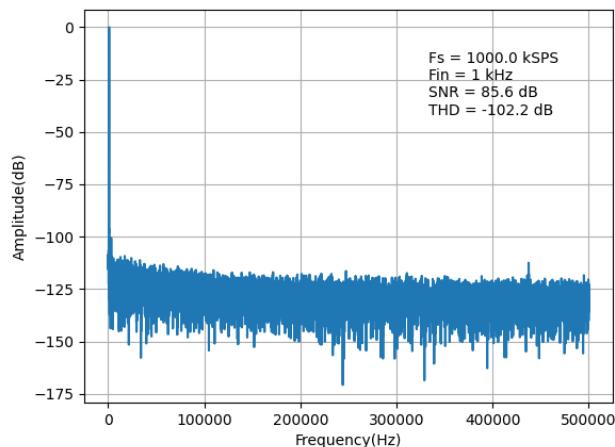


图18. 快速傅立叶变换(FFT), $\pm 2.5 \text{ V}$ 范围, 高带宽模式

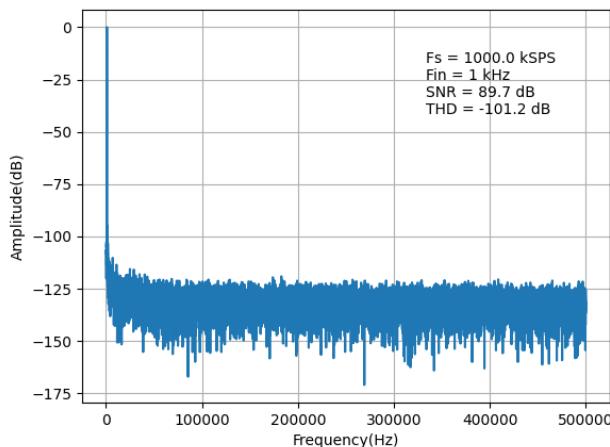


图19. 快速傅立叶变换(FFT), $\pm 12.5 \text{ V}$ 范围, 高带宽模式

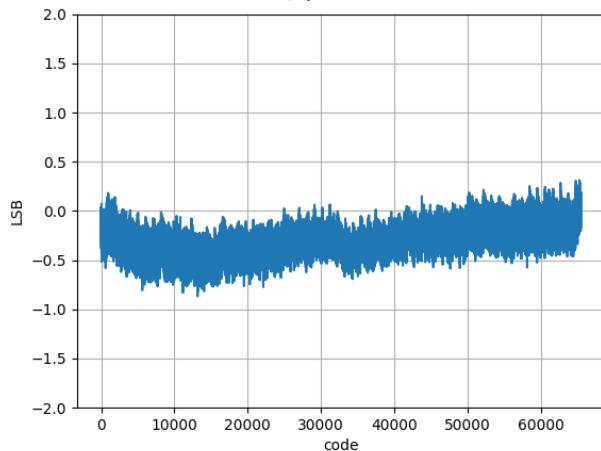


图20. 典型 INL, $\pm 10 \text{ V}$ 范围

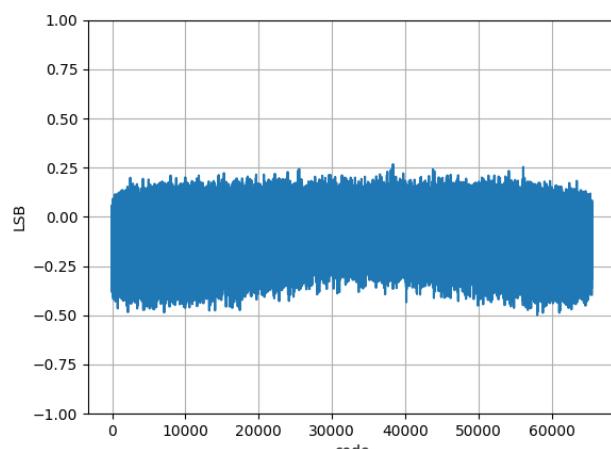


图21. 典型 DNL, $\pm 10 \text{ V}$ 范围

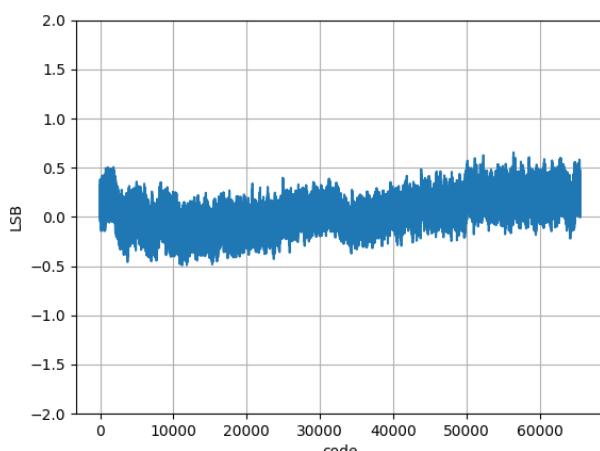


图22. 典型 INL, $\pm 5 \text{ V}$ 范围

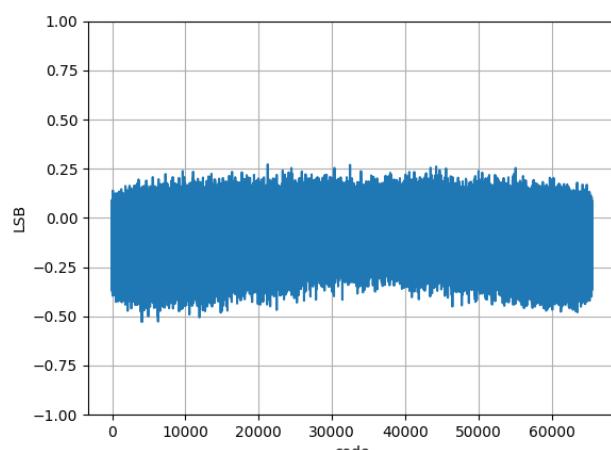


图23. 典型 DNL, $\pm 5 \text{ V}$ 范围

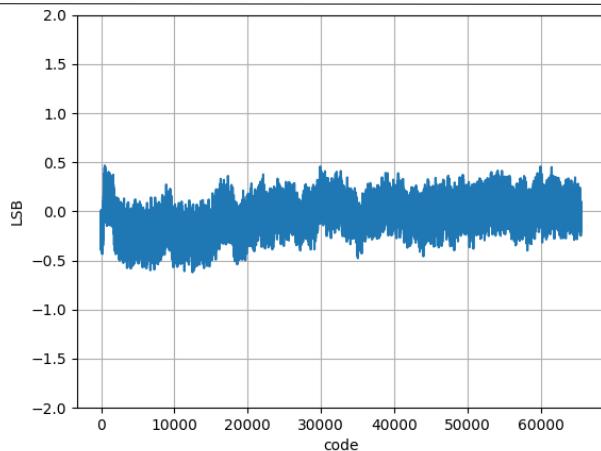


图24. 典型 INL, ± 2.5 V 范围

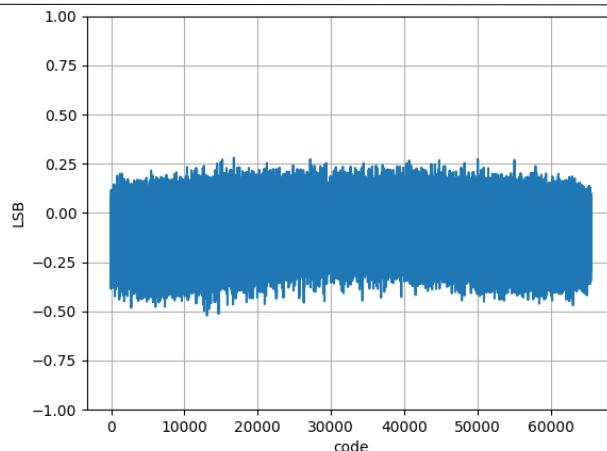


图25. 典型 DNL, ± 2.5 V 范围

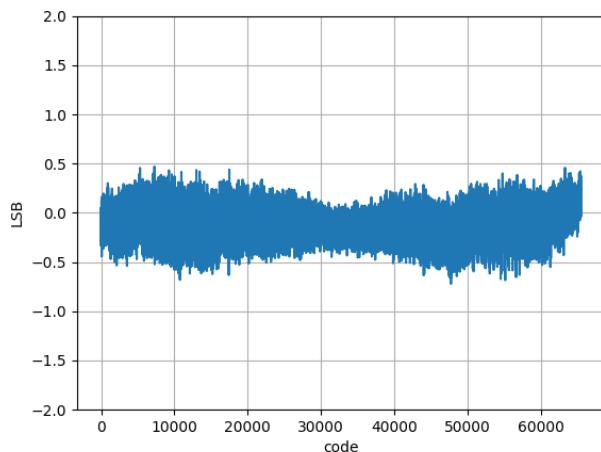


图26. 典型 INL, ± 12.5 V 范围

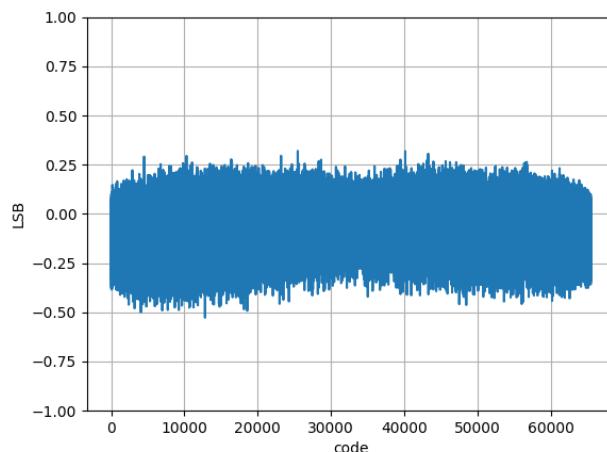


图27. 典型 DNL, ± 12.5 V 范围

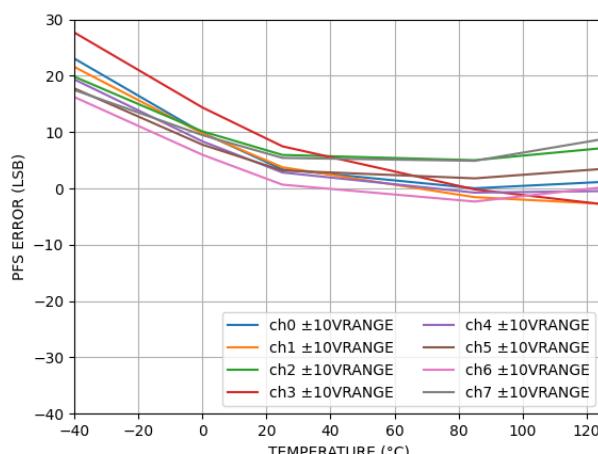


图28. 正满量程误差 VS 温度, ± 10 V 范围

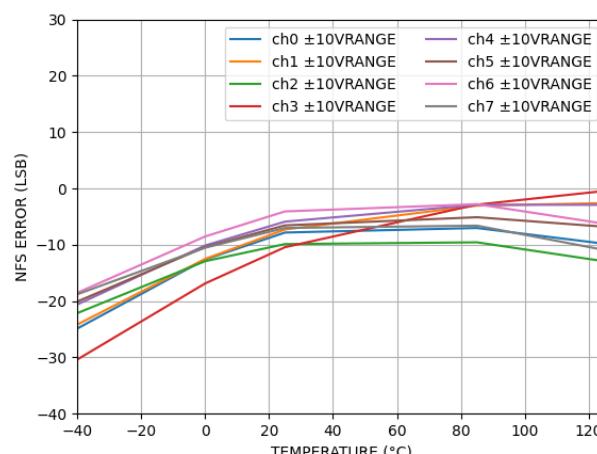


图29. 负满量程误差 VS 温度, ± 10 V 范围

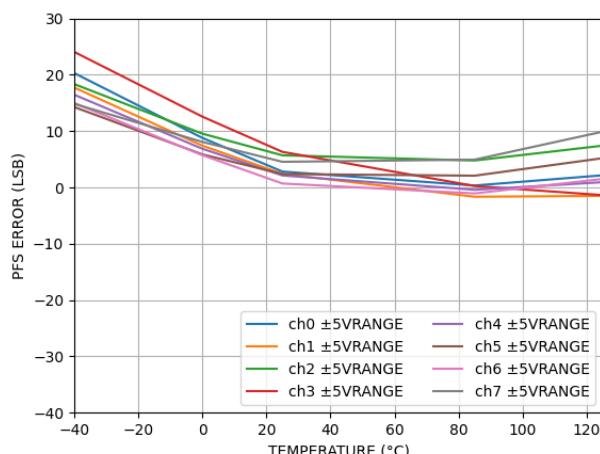


图30. 正满量程误差 VS 温度, ± 5 V 范围

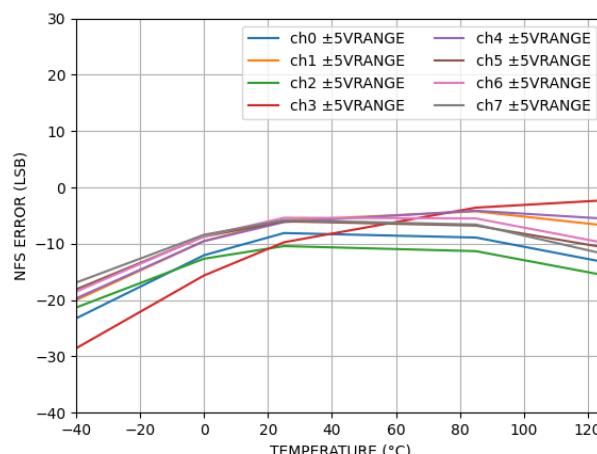


图31. 负满量程误差 VS 温度, ± 5 V 范围

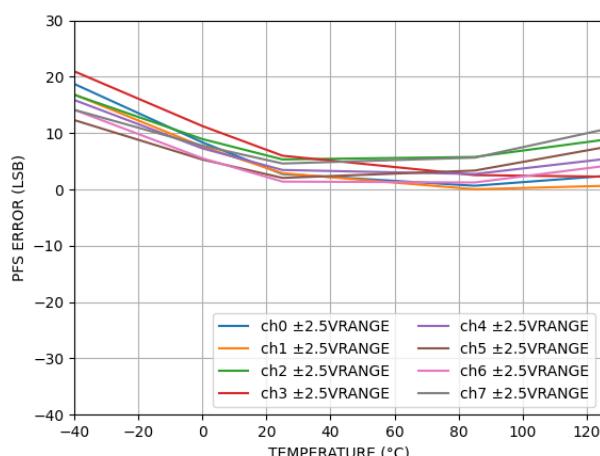


图32. 正满量程误差 VS 温度, ± 2.5 V 范围

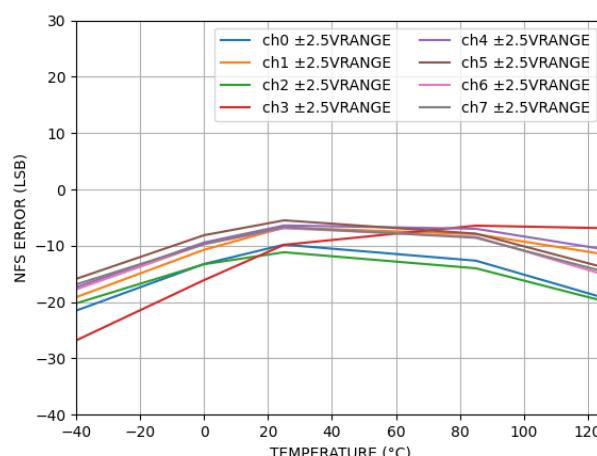


图33. 负满量程误差 VS 温度, ± 2.5 V 范围

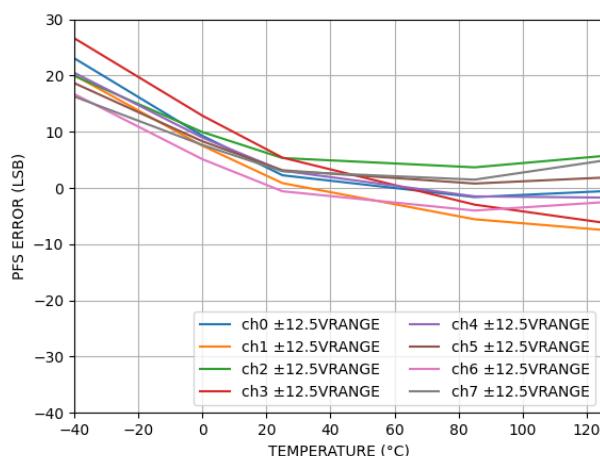


图34. 正满量程误差 VS 温度, ± 12.5 V 范围

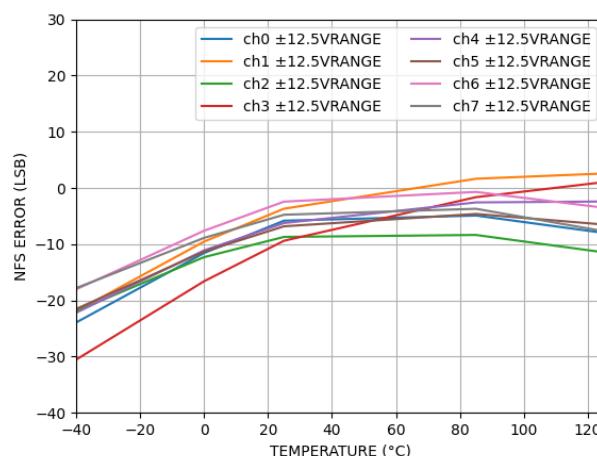


图35. 负满量程误差 VS 温度, ± 12.5 V 范围

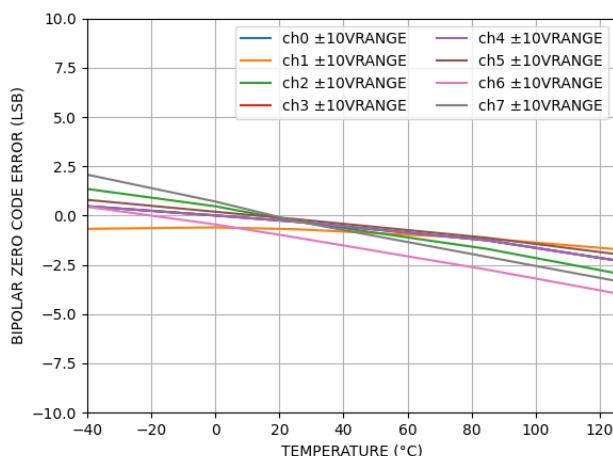


图36. 双极性零代码误差 VS 温度, ± 10 V 范围

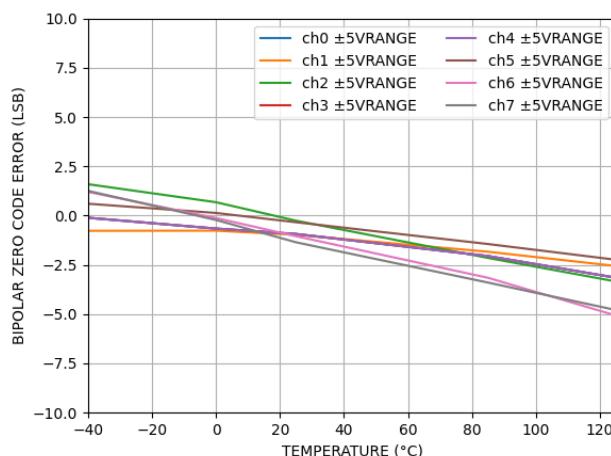


图37. 双极性零代码误差 VS 温度, ± 5 V 范围

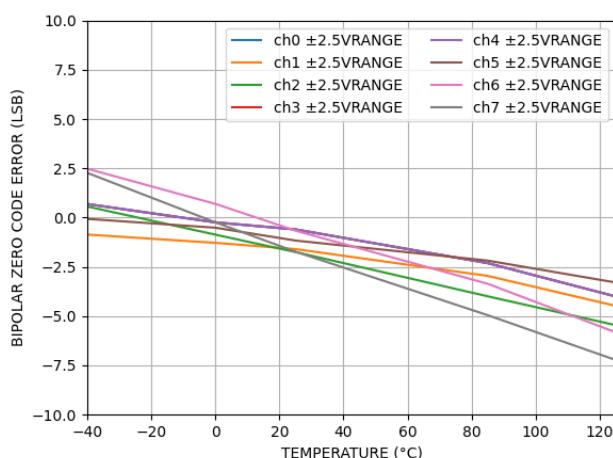


图38. 双极性零代码误差 VS 温度, ± 2.5 V 范围

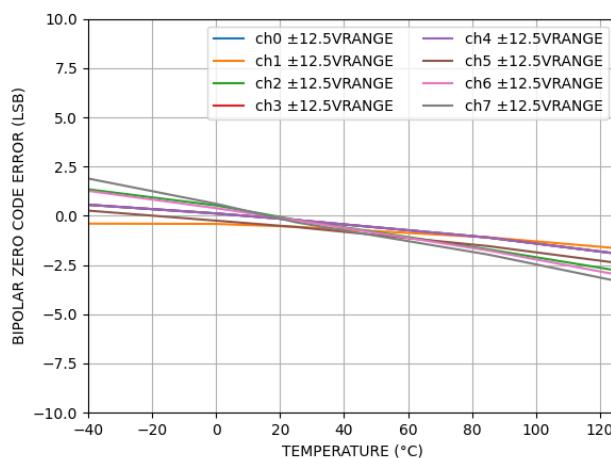


图39. 双极性零代码误差 VS 温度, ± 12.5 V 范围

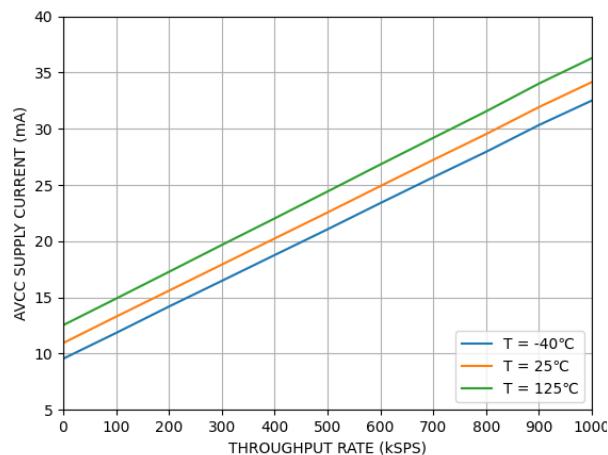


图40. AV_{CC} 供电电流 VS 采样率

10. 工作原理

10.1. 模拟前端

LHA6958H 是一款 16 位同步采样模数转换 DAS，具有 8 个通道。每个通道都内置模拟输入箝位保护、PGA、低通滤波器和 16 位 SAR ADC。

模拟输入范围

LHA6958H 可以处理真双极性单端输入电压。在硬件模式下，RANGE 引脚上的逻辑电平决定所有模拟输入通道的模拟输入范围是 $\pm 10\text{ V}$ 还是 $\pm 5\text{ V}$ ，如下表所示。

RANGE 引脚的逻辑状态改变会立即影响模拟输入范围。然而，除了正常采集时间要求外，通常还需要大约 $80\mu\text{s}$ 的建立时间。对于快速吞吐速率应用，转换期间建议不要更改 RANGE 引脚的逻辑状态。

在软件模式下，可以使用地址 0x03 至地址 0x06 为每个通道配置单独的模拟输入范围。软件模式下会忽略 RANGE 引脚上的逻辑电平。

表8. 模拟输入范围选择

范围(V)	硬件模式 ¹	软件模式 ²
± 12.5	不适用	地址 0x03 至地址 0x06
± 10	RANGE 引脚高电平	地址 0x03 至地址 0x06
± 5	RANGE 引脚低电平	地址 0x03 至地址 0x06
± 2.5	不适用	地址 0x03 至地址 0x06

1. 相同模拟输入范围 ($\pm 10\text{ V}$ 或 $\pm 5\text{ V}$) 适用于所有八个通道。

2. 使用存储器映射为每个通道选择模拟输入范围 ($\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 或 $\pm 2.5\text{ V}$)。

模拟输入阻抗

LHA6958H 的模拟输入阻抗典型值为 $1\text{ M}\Omega$ 。这是固定输入阻抗，不随 LHA6958H 采样频率而变化。高模拟输入阻抗可免除 LHA6958H 前端的驱动放大器，允许其与信号源或传感器直接相连。因此，可以从信号链中移除双极性电源。

模拟输入箝位保护

下图显示了 LHA6958H 的模拟输入电路。LHA6958H 的每个模拟输入均包含箝位保护电路。尽管采用 5 V 单电源供电，但此模拟输入箝位保护允许输入过压达到 $\pm 25\text{ V}$ 。

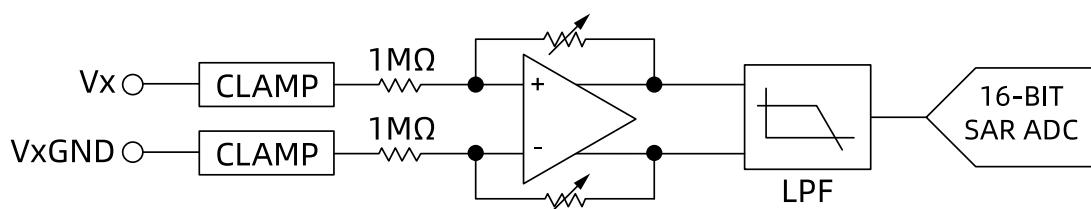


图41. 每个通道的模拟输入电路

下图显示了箝位电路的输入箝位电流与源电压特性的关系。当输入电压不超过 $\pm 25\text{ V}$ 时，箝位电路中无电流。当输入电压超过 $\pm 25\text{ V}$ 时，LHA6958H 箝位电路开启。

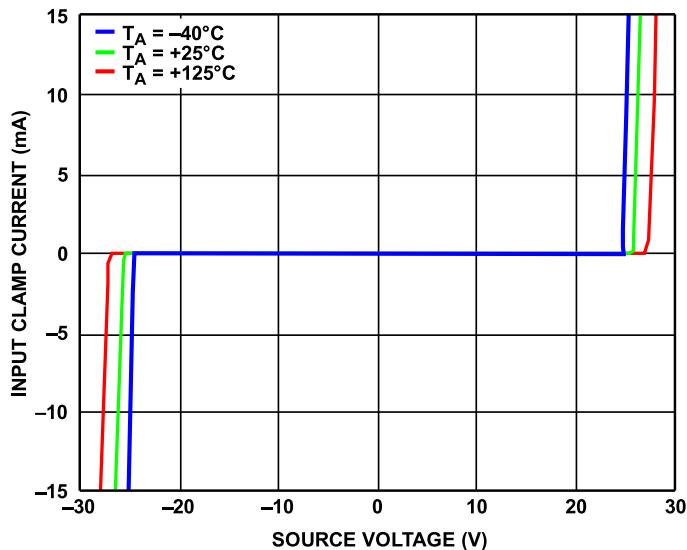


图42. 输入箝位保护特性

建议在模拟输入通道上放置一个串联电阻，以在输入电压大于 $\pm \text{V}$ 时将电流限制在 $\pm 10\text{ mA}$ 。在模拟输入通道 V_x 上有串联电阻(R)的应用中，建议电阻(R)与 V_xGND 上的电阻相匹配，以消除任何引入系统的失调，如下图所示。但在软件模式下，每通道系统失调校准可消除整个系统的失调（参见“系统失调校准”部分）。

在正常操作期间，建议不要将 LHA6958H 置于模拟输入长时间大于输入范围的情况下，因为这会降低双极性零代码误差性能。在关断或待机模式下，没有这种担忧。

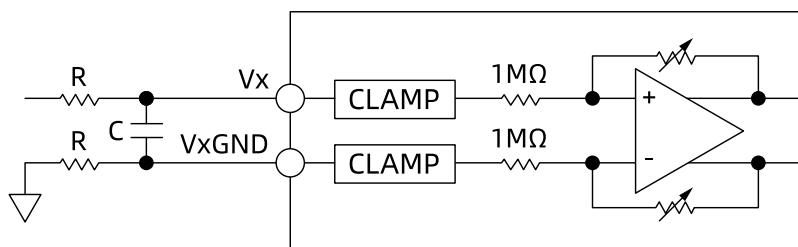


图43. LHA6958H 模拟输入的输入电阻匹配

PGA

每个输入通道都提供 PGA。增益根据所选的模拟输入范围来配置，以将单端模拟输入信号调整到 ADC 全差分输入范围。

PGA 每个输入端的输入阻抗经过精确调整，以保持整体增益误差较小。当使能增益校准时，此调整值将被用于补偿外部串联电阻引入的增益误差。有关 PGA 特性的更多信息，参见“系统增益校准”部分。

模拟输入抗混叠滤波器

LHA6958H 提供了模拟抗混叠滤波器。图 44 和图 45 分别显示了模拟抗混叠滤波器的频率响应和相位响应。在 $\pm 10\text{ V}$ 范围内， -3dB 带宽典型值为 25 kHz。

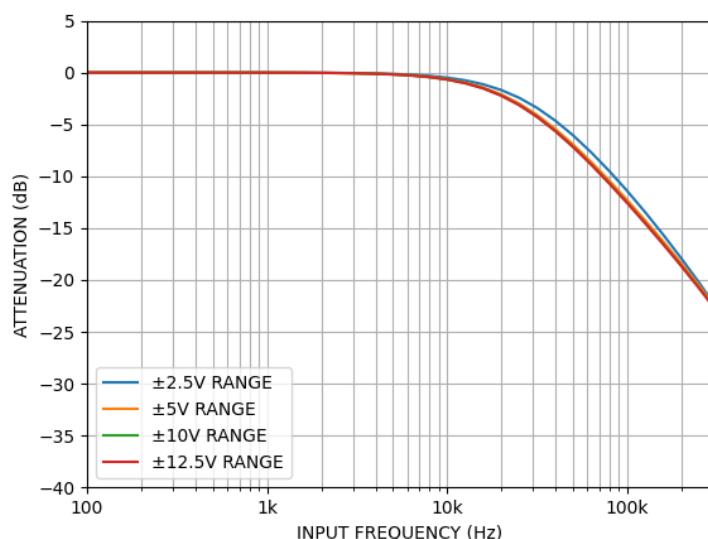


图44. 模拟抗混叠滤波器频率响应，低带宽模式

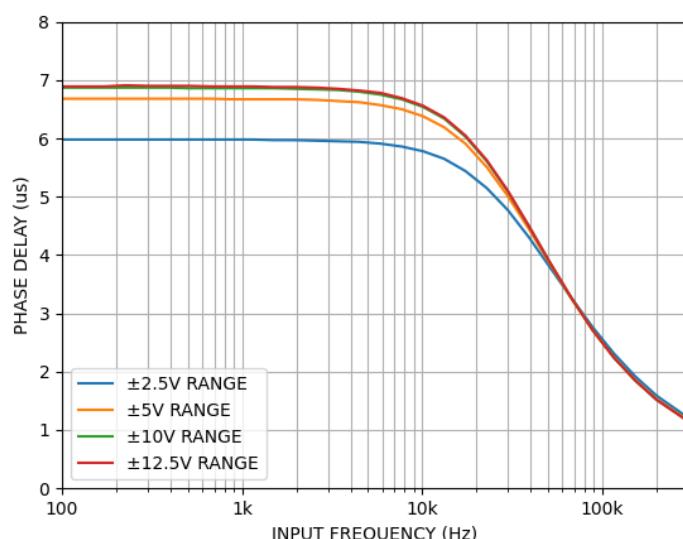


图45. 模拟抗混叠滤波器相位响应，低带宽模式

此外，LHA6958H 还为每个通道提供了高带宽模式，此模式下-3dB 带宽会被增加到 200kHz。该模式更加适用于快速模拟输入稳定的场景。

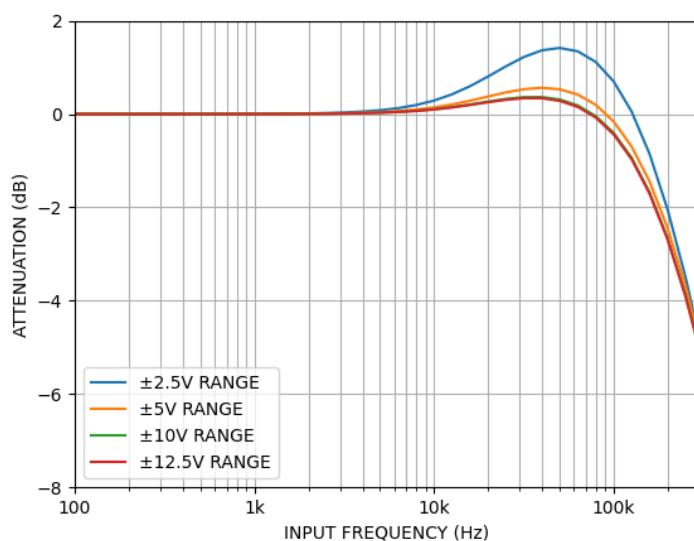


图46. 模拟抗混叠滤波器频率响应, 高带宽模式

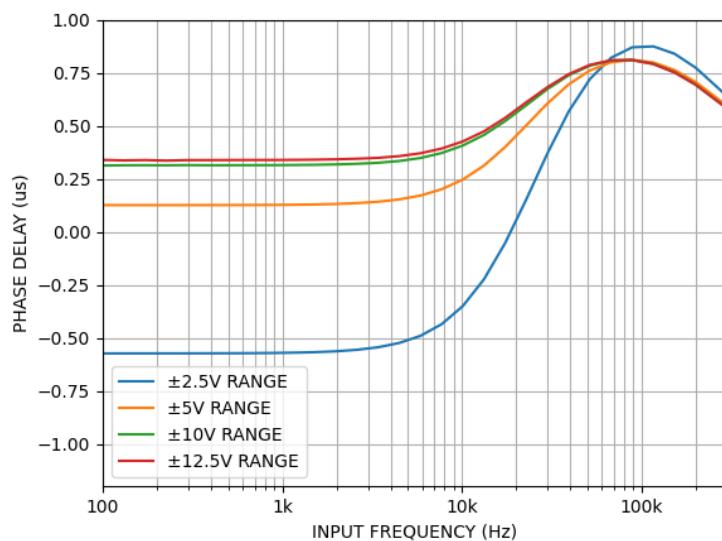


图47. 模拟抗混叠滤波器相位响应, 高带宽模式

10.2. SAR ADC

LHA6958H 允许 ADC 以 16 位分辨率精确采集满量程幅度的输入信号。在 CONVST 信号的上升沿，所有 8 个 SAR ADC 同时对相应的输入进行采样。

BUSY 信号表示转换正在进行。因此，当施加 CONVST 信号上升沿时，BUSY 引脚变为逻辑高电平，在整个转换过程结束时变为低电平。BUSY 信号的下降沿指示所有 8 个通道的转换过程结束。当 BUSY 信号沿下降时，下一组转换的采集时间开始。当 BUSY 信号为高电平时，CONVST 信号的上升沿无作用。

在 BUSY 输出变为低电平后，新数据可通过并行或串行接口从输出寄存器读取。或者，先前转换的数据可在 BUSY 引脚为高电平时读取，如“转换期间读取”部分所述。

LHA6958H 内置一个片内振荡器用于执行转换。所有 ADC 通道的转换时间为 t_{CONV} 。在软件模式下，可以选择通过 CONVST 引脚施加外部时钟。提供低抖动外部时钟可提高大过采样率下的 SNR 性能。

将所有不使用的模拟输入通道接 AGND。不使用通道的结果仍会包括在所读取的数据中，因为始终会转换所有通道。

ADC 转换函数

LHA6958H 的输出编码为二进制补码。所设计的码转换在连续 LSB 整数值的中间（即 1/2 LSB 和 3/2 LSB）进行。LHA6958H 的 LSB 大小为 FSR/65,536。LHA6958H 的理想传递特性如下图所示。LSB 大小取决于所选的模拟输入范围，如下表所示

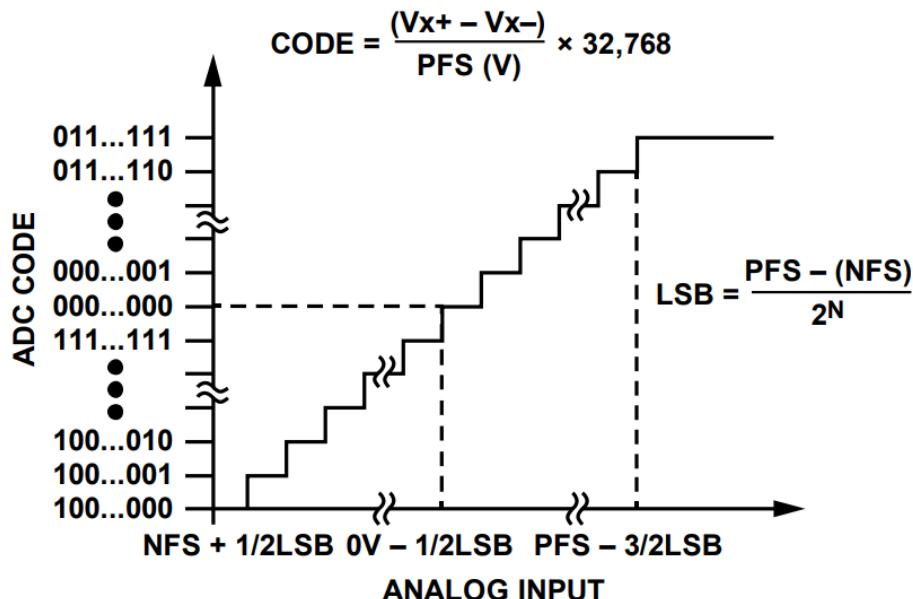


图48. 理想传递特性

表9. 输入电压范围

范围(V)	PFS (V)	中间电平(V)	NFS (V)	LSB (μ V)
± 12.5	+12.5	0	-12.5	381
± 10	+10	0	-10	305
± 5	+5	0	-5	152
± 2.5	+2.5	0	-2.5	76

基准电压源

LHA6958H 内置一个 2.5 V 片内带隙基准电压源。REFIN/ REFOUT 引脚支持如下操作：

- 如果 REF SELECT 引脚连接到逻辑高电平，可使用内部 2.5 V 基准电压源。
- 如果 REF SELECT 引脚连接到逻辑低电平，可施加 2.5 V 外部基准电压。

表10. 基准电压配置

REF SELECT 引脚	基准电压源选择
逻辑高电平	使能内部基准电压源
逻辑低电平	禁用内部基准电压源；必须将外部 2.5 V 基准电压施加到 REFIN/REFOUT 引脚

LHA6958H 内置一个基准电压缓冲器，其配置为将基准电压放大至约 4.096 V，如下图所示。该 4.096 V 缓冲基准电压就是 SAR ADC 所用的基准电压，如下图所示。复位之后，LHA6958H 工作在 REF SELECT 引脚所选择的基准电压模式。REFCAPA 和 REFCAPB 引脚必须在外部短路连在一起，并通过一个 10 μ F 陶瓷电容连接至 REFGND 引脚，以确保基准电压缓冲器工作在闭环中。REFIN/REFOUT 引脚需要 10 μ F 陶瓷电容。

当 LHA6958H 配置为外部基准电压模式时，REFIN/REFOUT 引脚为高输入阻抗引脚。

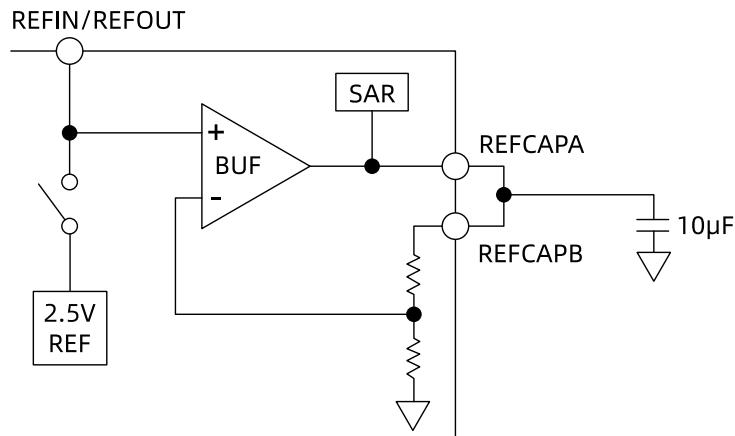


图49. 基准电压电路

使用多个 LHA6958H 器件

对于使用多个 LHA6958H 器件的应用，建议根据应用要求采取下列配置。

外部基准电压模式

一个外部基准电压源可以驱动所有 LHA6958H 器件的 REFIN/REFOUT 引脚。此配置中，LHA6958H 的每一个 REFIN/REFOUT 引脚都应该用至少 100 nF 的去耦电容去耦。

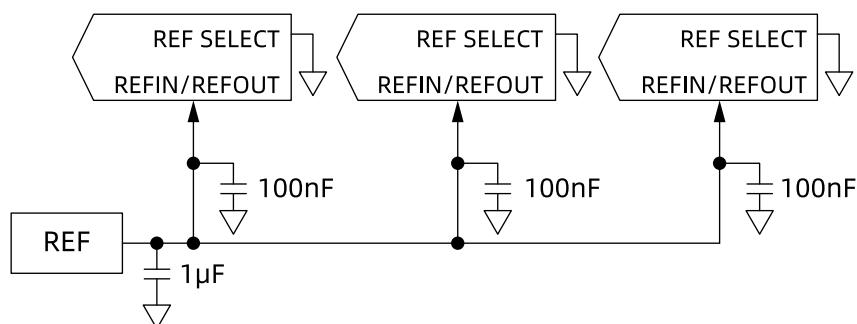


图50. 单个外部基准电压源驱动多个 LHA6958H REFIN/REFOUT 引脚

内部基准电压模式

配置为内部基准电压工作模式的一个 LHA6958H 器件，可以驱动配置为外部基准电压工作模式的其余 LHA6958H 器件。配置为内部基准电压模式的 LHA6958H 应利用 10 μF 陶瓷去耦电容对其 REFIN/REFOUT 引脚去耦。配置为外部基准电压模式的其他 LHA6958H 器件须各利用至少 10 μF 的去耦电容对其 REFIN/REFOUT 引脚去耦。

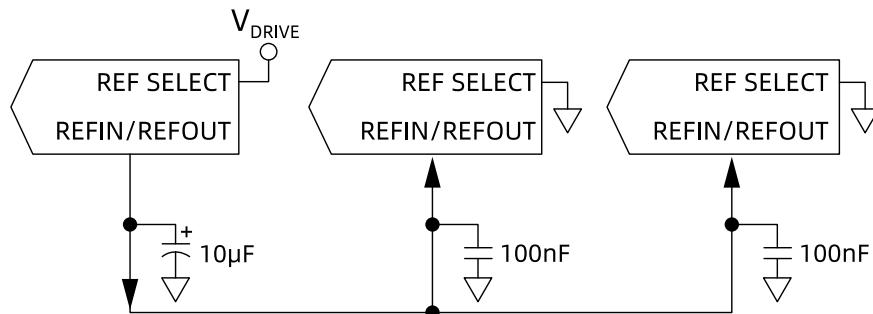


图51. 内部基准电压源驱动多个 LHA6958H REFIN/REFOUT 引脚

工作模式

通过控制 OSx 引脚（引脚 3、引脚 4 和引脚 5），LHA6958H 可以工作在硬件或软件模式下，如下表所示。

在硬件模式下，LHA6958H 的配置取决于 RANGE、OSx 或 STBY 引脚的逻辑电平。

在软件模式下，即当所有三个 OSx 引脚都连接到逻辑高电平时，LHA6958H 由通过串行或并行接口访问的相应寄存器配置。还有其他特性可供使用，如表 12 所示。

在硬件和软件模式下，基准电压源和数据接口均通过 REF SELECT 和 PAR/SER SEL 引脚选择。

表11. 过采样引脚解码

OSx 引脚	LHA6958H
000	无过采样
001	2
010	4
011	8
100	16
101	32
110	64
111	进入软件模式

表12. 功能矩阵

参数	硬件模式	软件模式
模拟输入范围 ¹	$\pm 10 \text{ V}$ 或 $\pm 5 \text{ V}^2$	$\pm 12.5 \text{ V}$ 、 $\pm 10 \text{ V}$ 、 $\pm 5 \text{ V}$ 或 $\pm 2.5 \text{ V}^3$
系统增益、相位和失调校准	不可用	可用 ³
OSR	从无 OS 到 OSR = 64	从无 OS 到 OSR = 256
模拟输入开路检测	不可用	可用 ³
串行数据输出线	2	可选：1、2 或 4
诊断	不可用	提供
省电模式	待机和关断	待机、关断和自动待机

1. 模拟输入范围选择参见表 8。

2. 所有输入通道配置相同的输入范围。

3. 基于每个通道。

复位功能

LHA6958H 有两种复位模式：完全或部分。复位模式选择取决于复位高电平脉冲的长度。部分复位要求 RESET 引脚保持高电平 65 ns 到 2 μ s。RESET 引脚释放 80 ns (t_{DEVICE_SETUP} , 部分复位) 后，器件即完全正常工作，可以启动转换。完全复位要求 RESET 引脚保持高电平至少 3 μ s。RESET 引脚释放 600 μ s (t_{DEVICE_SETUP} , 完全复位) 后，器件即完成重新配置，可以启动转换。

部分复位会重新初始化下列模块：

- 数字滤波器。
- SPI 和并行，复位到 ADC 模式。
- SAR ADC。
- CRC 逻辑。

部分复位后，状态寄存器的 RESET_DETECT 位置位（地址 0x01 位 7）。部分复位完成后，当前转换结果被丢弃。部分复位不会影响软件模式下设置的寄存器值，或硬件和软件模式下存储用户配置的锁存器。

完全复位会将器件恢复为默认上电状态，状态寄存器的 RESET_DETECT 位置位（地址 0x01 位 7），当前转换结果被丢弃。当 LHA6958H 退出完全复位时，除了以上所列外，还会配置如下特性：

- 硬件模式或软件模式。
- 接口类型（串行或并行）。

省电模式

在硬件模式下，LHA6958H 提供两种省电模式：待机模式和关断模式。表 13 \overline{STBY} 引脚控制 LHA6958H 是处于正常模式还是处于两种省电模式之一，如下所示。如果 \overline{STBY} 引脚为低电平，则通过 RANGE 引脚的状态选择省电模式。

表13. 省电模式选择，硬件模式

功耗模式	STBY 引脚	RANGE 引脚
正常模式	1	X ¹
待机	0	1
关断	0	0

1. X= 无关位。

在软件模式下，LHA6958H 省电模式通过存储器映射中 CONFIG 寄存器 OPERATION_MODE 位（地址 0x02 位[1:0]）来选择。软件模式下有一个额外的省电模式可用，称为自动待机模式。

表14. 省电模式选择，软件模式，通过 CONFIG 寄存器

工作模式	地址 0x02, 位 1	地址 0x02, 位 0
正常	0	0
待机	0	1
自动待机	1	0
关断	1	1

当 LHA6958H 处于关断模式时，所有电路都关断，电流消耗降至 5 μ A（最大值）。上电时间约为 10 ms。当 LHA6958H 从关断模式上电时，经过所需的上电时间后，必须对 LHA6958H 执行完全复位。

当 LHA6958H 进入待机模式时, 所有 PGA 和所有 SAR ADC 都进入低功耗模式, 总电流消耗降至 4.5 mA (最大值)。退出待机模式后无需复位。

当 LHA6958H 处于自动待机模式时 (仅在软件模式下可用), 器件会在 BUSY 信号下降沿自动进入待机模式。LHA6958H 在 CONVST 信号上升沿自动退出待机模式。因此, CONVST 信号低电平脉冲时间比 t_{WAKE_UP} (待机模式) = 1 μ s 要长。

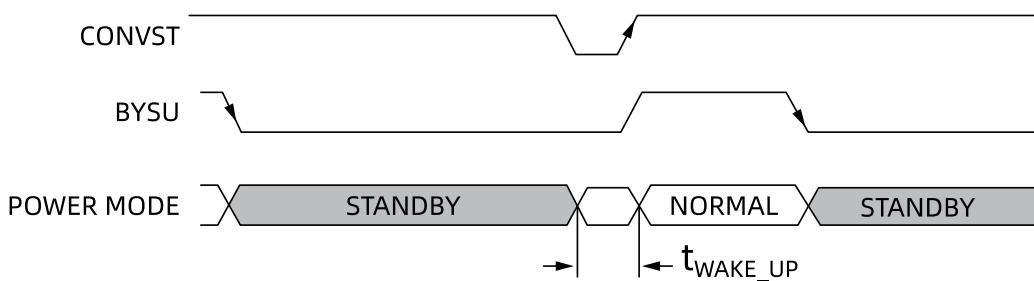


图52. 自动待机工作操作

11. 数字滤波器

LHA6958H 包含一个可选数字均值滤波器, 在需要更高 SNR 或动态范围的低吞吐速率应用中可以将其使能。

在硬件模式下, 数字滤波器的过采样率由过采样引脚 OSx 控制, 如表 11 所示。OSx 引脚在 BUSY 信号的下降沿锁存。

在软件模式下, 也就是如果所有 OSx 引脚都连接到逻辑高电平, 则过采样率通过过采样寄存器 (地址 0x08) 选择。软件模式额外提供两种过采样率 (OS×128 和 OS×256)。

在过采样模式下, ADC 在 CONVST 信号上升沿采集每个通道的第一个样本。转换第一个样本后, 后续样本由内部生成的采样信号获取, 如下图所示。或者, 此采样信号可以按照“外部过采样时钟”部分所述在外部施加。

例如, 若配置了 8 倍过采样, 则采集 8 个样本, 取平均值, 然后在输出端提供结果。CONVST 信号上升沿触发第一次采样, 其余七个样本由内部生成的采样信号获取。因此, 开启多个样本平均功能可改善 SNR 性能, 代价是最大吞吐速率会降低。当过采样功能开启时, BUSY 信号高电平时间(t_{CONV})会延长, 如表 2 所示。表 15 显示了±10 V、±5 V 和±2.5 V 范围下 SNR 与带宽和吞吐速率的关系。

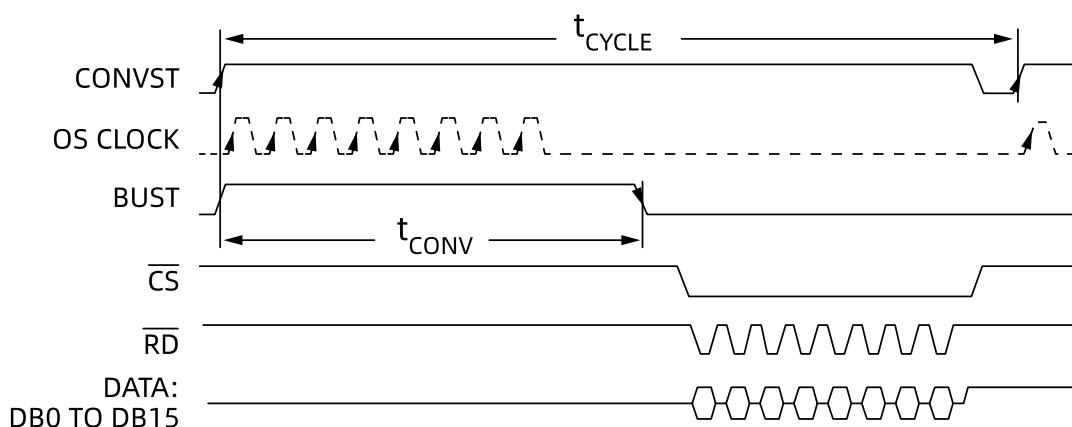


图53. 8 倍过采样示例, 转换后读取, 并行接口, OS 时钟内部生成的采样信号

上图显示当开启过采样时，转换时间(t_{CONV})会延长。必须降低吞吐速率(1/ t_{CYCLE})以适应更长的转换时间，并允许执行读操作。当开启过采样时，为实现最快吞吐速率，读操作可以在 BUSY 信号高电平期间执行，如“转换期间读取”部分所述。

表15. 过采样性能

过采样率	输入频率(Hz)	$\pm 12.5\text{V}$ 范围		$\pm 10\text{V}$ 范围		$\pm 5\text{V}$ 范围		$\pm 2.5\text{V}$ 范围		吞吐速率(kSPS)
		SNR (dB)	3 dB 带宽(kHz)	SNR (dB)	3 dB 带宽(kHz)	SNR (dB)	3 dB 带宽(kHz)	SNR (dB)	3 dB 带宽(kHz)	
无过采样	1000	90	25	90	25	88.5	25	86	25	800
2	146	90.5	25	90.5	25	89.5	25	87	25	400
4	146	91	25	91.5	25	90.5	25	88	25	200
8	146	91.5	25	92	25	91	25	89	25	100
16	50	93	25	93.5	25	93	25	90.5	25	50
32	50	93.5	12.5	94	12.5	93.5	12.5	91.5	12.5	25
64	50	94	6.2	94.5	6.2	94	6.2	93	6.2	12.5
128 ¹	50	94.5	3.1	95	3.1	94.5	3.1	93.5	3.1	6.2
256 ¹	50	94.5	1.5	95	1.5	95	1.5	94.5	1.5	3.1

1. 仅在软件模式下可用。

11.1. 填充过采样

图 53 所示，内部产生的时钟触发样本进行平均，然后 ADC 保持空闲，直到下一个 CONVST 信号上升沿。在软件模式下，通过过采样寄存器（地址 0x08）可以改变内部时钟（OS 时钟）频率，使空闲时间最小化，即让采样时刻均等分布，如图 54 所示。

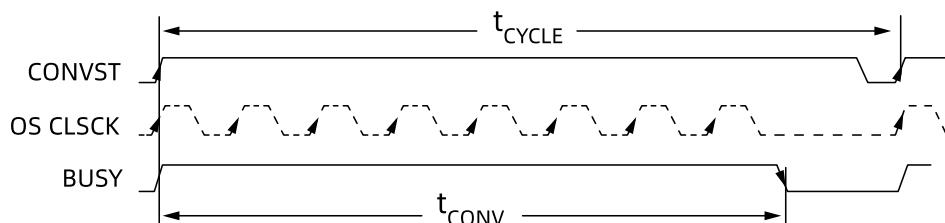


图54. 8 倍过采样示例，使能过采样填充

表16. OS_PAD 位解码

OS_PAD (地址 0x08, 位[7:4])	OS 时钟频率(kHz)
0000	800
0001	753
0010	711
0011	673.5
0100	640
0101	609.5
0110	582
0111	556.5
1000	533
1001	512
1010	492.5
1011	474
1100	457
1101	441.5
1110	426.5
1111	413

11.2. 外部过采样时钟

在软件模式下, 当使能过采样模式时, 可以选择通过 CONVST 引脚施加外部时钟。提供低抖动外部时钟可提高大过采样率下的 SNR 性能。通过施加外部时钟, 以有规律的时间间隔对输入进行采样, 这对抗混叠性能是最佳的。

要使能外部过采样时钟, 必须设置 CONFIG 寄存器的位 5 (地址 0x02 位 5)。这样, 吞吐速率为

$$\text{Throughput} = \frac{1}{t_{\text{CNVST}} \times \text{OSR}}$$

也就是说, 采样信号通过 CONVST 引脚从外部提供, 每隔 OSR 个时钟, 输出便被平均并提供, 如下图所示。此特性可通过并行接口或串行接口使用。

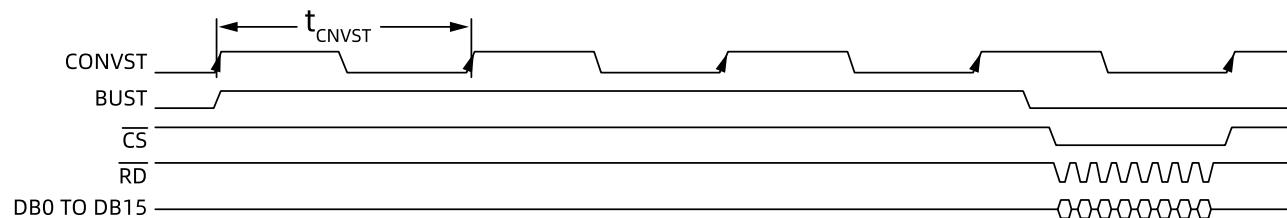


图55. 外部过采样时钟施加于 CONVST 引脚(OSR = 4); 并行接口

12. 系统校准特性

在软件模式下, 通过写入存储器映射中的相应寄存器, 可以使用以下系统校准特性:

- 相位校准。
- 增益校准。
- 失调校准。
- 模拟输入开路检测。

12.1. 系统相位校准

使用外部滤波器时, 如图 57 所示, 分立器件或所用传感器的任何不匹配都可能导致通道之间的相位不匹配。在软件模式下, 通过延迟个别通道的采样时刻, 可以在每个通道的基础上补偿该相位失配。

通过写入相应的 CHx_PHASE 寄存器 (地址 0x19 至地址 0x20), 任何特定通道的采样时刻都可以相对于 CONVST 信号上升沿延迟, 分辨率为 1.25μs, 最高可达 318.75μs。

例如, 若向 CH4_PHASE 寄存器 (地址 0x1C) 写入 10d, 则通道 4 在 CONVST 信号上升沿之后的 12.5μs ($t_{\text{PHASE_REG}}$) 采样, 如图 56 所示。

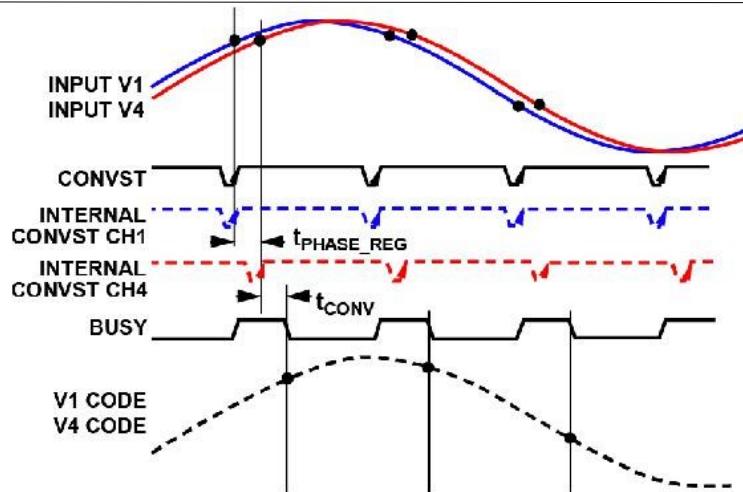


图56. 系统相位校准功能

BUSY 信号高电平时间等于 $t_{CONV} + t_{PHASE_REG}$ 。在前面说明的例子和图 56 中，如果仅写入 CH4_PHASE_REGISTER，则 t_{CONV} 增加 $12.5\mu s$ 。因此，当以较高吞吐速率运行时，必须考虑这种情况。

12.2. 系统增益校准

使用外部 RFILTER 会产生系统增益误差，如下图所示。在软件模式下，将所用的串联电阻值写入相应寄存器（地址 0x09 至地址 0x10），可以基于每个通道补偿增益误差。这些寄存器可以补偿多达 $65\text{ k}\Omega$ 的串联电阻，分辨率为 $1024\text{ }\Omega$ 。

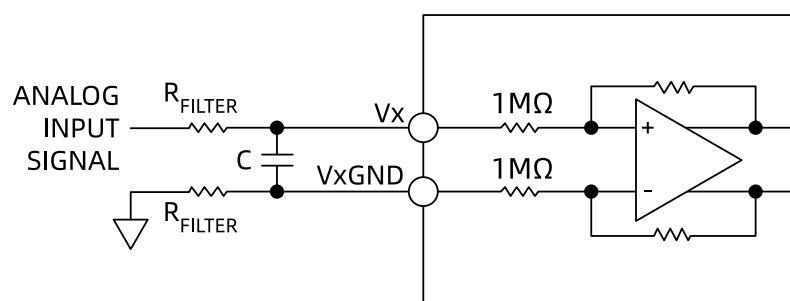


图57. 系统增益误差

例如，如果将 $27\text{ k}\Omega$ 电阻串联到通道 5 的模拟输入端，则该电阻会在系统中产生 -170 LSB 正满量程误差 ($\pm 10\text{ V}$ 范围)，如下图所示。在软件模式下，将 $27d$ 写入 CH5_GAIN 寄存器（地址 0x0D）可消除此误差。

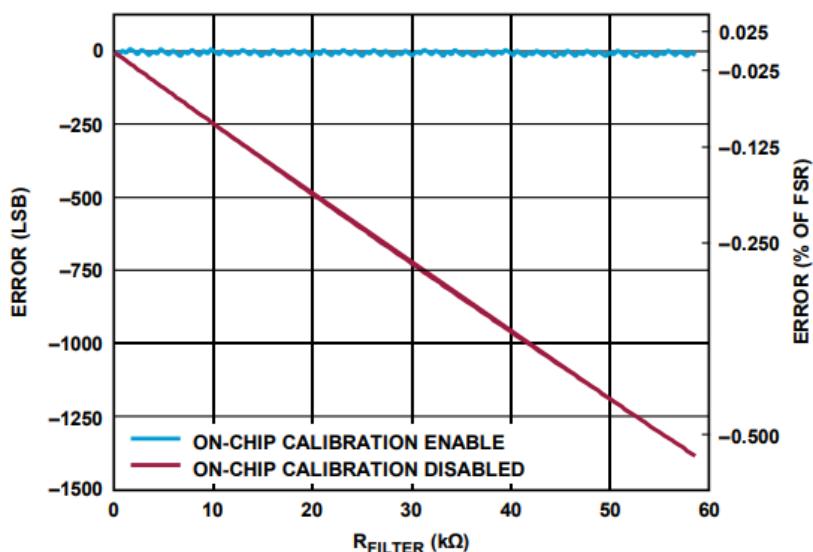


图58. 使用和不使用校准的系统增益校准

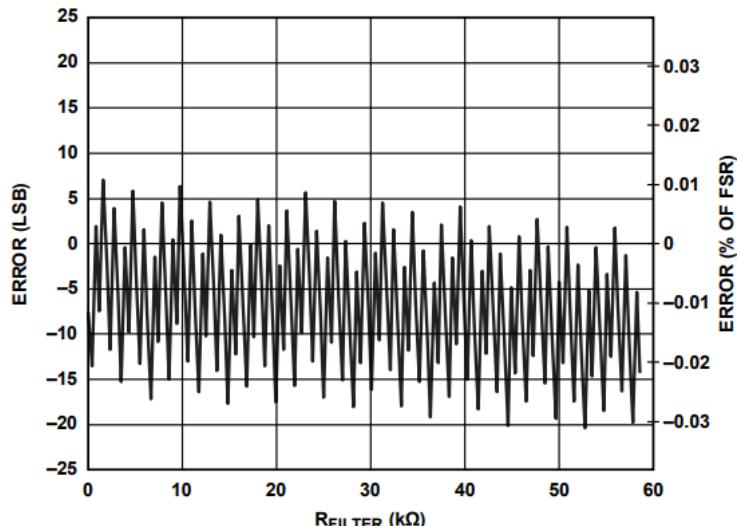


图59. 增益校准的系统误差

12.3. 系统失调校准

传感器上的电位失调，或者由放置在特定通道上的 RFILTER 对之间的不匹配引起的任何失调（如“模拟前端”部分中所述），可以在软件模式下基于每个通道进行补偿。CHx_OFFSET 寄存器（地址 0x11 至地址 0x18）支持从 ADC 代码中自动添加或减去最多 128 LSB，分辨率为 1 LSB，如下表所示。

例如，若连接到通道 3 的信号有 9 mV 失调，并且模拟输入范围设置为 $\pm 10 \text{ V}$ 范围（其中 LSB 大小 = $305 \mu\text{V}$ ），为补偿此失调，应将 -30 LSB 写入相应的寄存器。将 $128d - 30d = 0x80 - 0x1E = 0x62$ 写入 CH3_OFFSET 寄存器（地址 0x13）可消除此失调。

表17. CHx_OFFSET 寄存器位解码

CHx_OFFSET 寄存器	失调校准(LSB)
0x00	-128
0x45	-59
0x80 (默认)	0
0x83	+3
0xFF	+127

12.4. 模拟输入开路检测

LHA6958H 具有模拟输入开路检测特性，可在软件模式下使用。要使用此特性，须如下图所示放置 RPD。如果模拟输入断开，例如下图中的开关断开，源阻抗就会从 R_S 变为 RPD ，只要 $R_S < RPD$ 。建议使用 $RPD = 50 \text{ k}\Omega$ ，以便 LHA6958H 可以通过内部切换 PGA 共模电压来检测源阻抗的变化。模拟输入开路检测工作在手动模式或自动模式下。

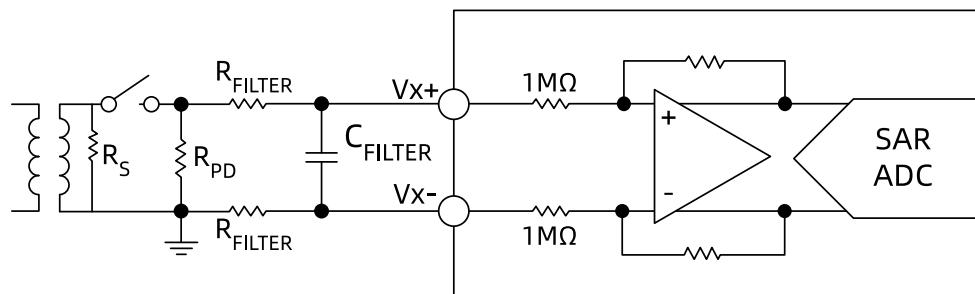


图60. 带 RPD 的模拟前端

手动模式

在手动模式下（通过将 0x01 写入 OPEN_DETECT_QUEUE（地址 0x2C）来使能），每个 PGA 共模电压由 OPEN_DETECT_ENABLE 寄存器（地址 0x23）的相应 CHx_OPEN_DETECT_EN 位控制。将此位设置为高电平会上移 PGA 共模电压。如果模拟输入上有开路，ADC 输出将与 RPD 电阻成比例变化。如果没有开路，PGA 共模电压的任何变化都不会影响 ADC 输出。

自动模式

QUEUE 寄存器中指定) 连续无变化的转换结果, 那么内部就会自动执行模拟输入开路检测算法。模拟输入开路检测算法自动改变 PGA 共模电压, 检查 ADC 输出, 并返回初始共模电压, 如下图所示。如果任何通道中的 ADC 代码随着 PGA 共模电压改变而变化, 则意味着没有输入信号连接到该模拟输入, OPEN_DETECTED 寄存器 (地址 0x24) 中的相应标志会置位。通过 OPEN_DETECT_ENABLE 寄存器 (地址 0x23) 可以单独使能或禁用每个通道。

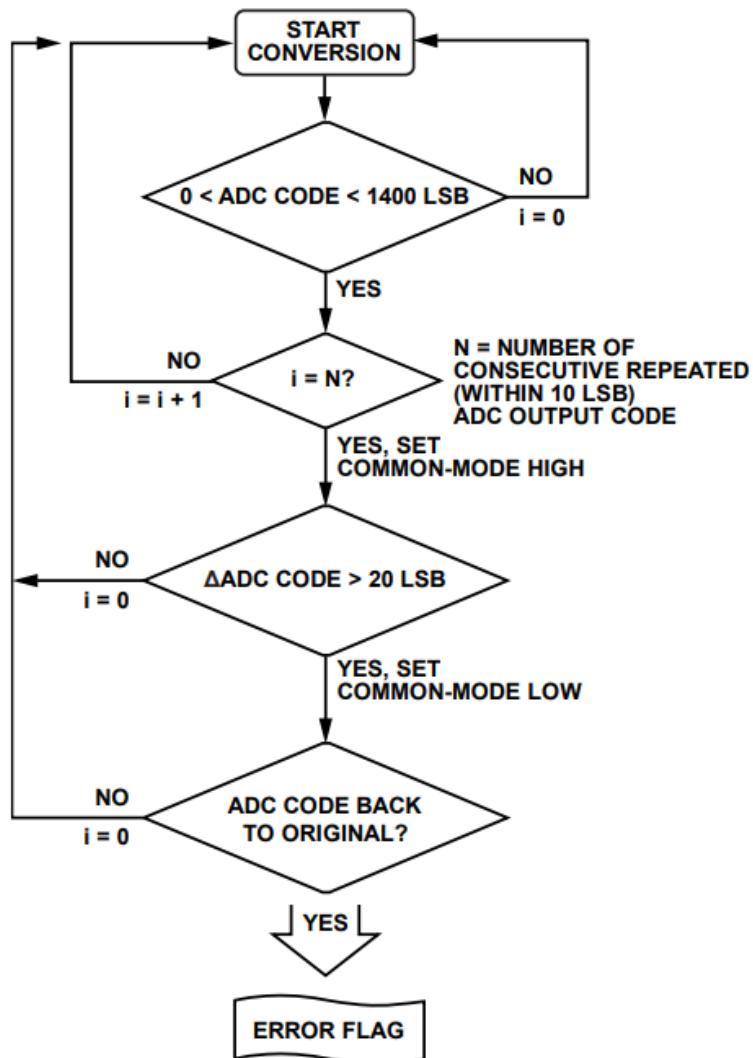


图61. 自动模拟输入开路检测流程图

如果不使用过采样, 则要写入 LHA6958H 的用于自动检测模拟输入开路的建议最小转换次数为:

$$\begin{aligned} \text{OPEN_DETECT_QUEUE} = \\ 10 \times f_{\text{SAMPLE}} \left(R_{\text{PD}} + 2 \times R_{\text{FILTER}} \right) \times (C_{\text{FILTER}} + 10 \text{ pF}) \end{aligned}$$

但是, 若使能过采样模式, 则建议使用的最小转换次数为

$$\begin{aligned} \text{OPEN_DETECT_QUEUE} = \\ 1 + \left(f_{\text{SAMPLE}} \times 2 \left(R_{\text{PD}} + 2 \times R_{\text{FILTER}} \right) \times (C_{\text{FILTER}} + 10 \text{ pF}) \times \text{OSR} \right) \end{aligned}$$

表18. 模拟输入开路检测模式

OPEN_DETECT_QUEUE (地址 0x2C)	开路检测模式	OPEN_DETECT_ENABLE (地址 0x23)
0x00 (默认)	禁用	不适用
0x01	手动模式	基于每个通道设置共模电压为高或低电平
0x02 到 0xFF	自动; OPEN_DETECT_QUEUE 为连续转换次数, 达到此次数后就会置位 CHx_OPENED 标志	基于每个通道使能或禁用自动模拟输入开路检测

13. 数字接口

LHA6958H 提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过 PAR/SER SEL 引脚来选择。

表19. 接口模式选择

PAR/SER SEL	接口模式
0	并行接口模式
1	串行接口模式

下面几节讨论这些接口模式的工作原理。

13.1. 硬件模式

在硬件模式下，只有 ADC 读取模式可用。要从 LHA6958H 读取 ADC 数据，可以通过并行数据总线并使用标准 CS 和 RD 信号，或通过串行接口并使用标准 CS、SCLK 和两个 D_{OUTX} 信号。

有关 ADC 读取模式工作原理的更多信息，参见“读取转换结果（并行 ADC 模式）”部分和“读取转换结果（串行 ADC 模式）”部分。

13.2. 软件模式

在软件模式下（仅当所有三个过采样引脚都连接为高电平时才有效），ADC 读取模式和寄存器模式均可使用。ADC 数据可以从 LHA6958H 读取，寄存器也可以读取和写入 LHA6958H，通过并行数据总线并使用标准 CS、RD 和 WR 信号，或通过串行接口并使用标准 CS、SCLK、SDI 和 D_{OUTA} 线。

有关寄存器模式工作原理的更多信息，参见“并行寄存器模式（写入寄存器数据）”部分和“并行寄存器模式（读取寄存器数据）”部分。

引脚功能因所选接口（并行或串行）和工作模式（硬件或软件）而异，如表 20 和表 21 所示。

表20. 每种工作模式的数据接口引脚功能（并行接口）

引脚名称	引脚编号	硬件模式	软件模式	
			ADC 模式	寄存器模式
DB0 至 DB6	16 至 22	DB0 至 DB6		寄存器数据
DB7/D _{OUTA}	24	DB7		寄存器数据(MSB)
DB8/D _{OUTB}	25	DB8		ADD0
DB9/D _{OUTC}	27	DB9		ADD1
DB10/D _{OUTD}	28	DB10		ADD2
DB11/SDI	29	DB11		ADD3
DB12 至 DB14	30 至 32	DB12 至 DB14		ADD4 to ADD6
DB15	33	DB15		R/W

表21. 每种工作模式的数据接口引脚功能 (串行接口)

引脚名称	引脚编号	硬件模式	软件模式	
			ADC 模式	寄存器模式
DB0 至 DB6	16 至 22	N/A ¹	N/A	
DB7/D _{out} A	24	D _{out} A	D _{out} A	D _{out} A
DB8/D _{out} B	25	D _{out} B	D _{out} B ²	未用
DB9/D _{out} C	27	N/A	D _{out} C ³	未用
DB10/ D _{out} D	28		D _{out} D ³	未用
DB11/SDI	29		未用	SDI
DB12 至 DB14	30 至 32		N/A	
DB15	33		N/A	

1. N/A 表示不适用。将所有 N/A 引脚连接到 AGND。

2. 仅当通过 CONFIG 寄存器选择 2SDO 或 4SDO 模式时使用，否则保持未连接状态。

3. 仅当通过 CONFIG 寄存器选择 4SDO 模式时使用，否则保持未连接状态。

13.3. 并行接口

要通过并行接口读取 ADC 数据或读取/写入寄存器内容，须将 PAR/SER SEL 引脚连接低电平。

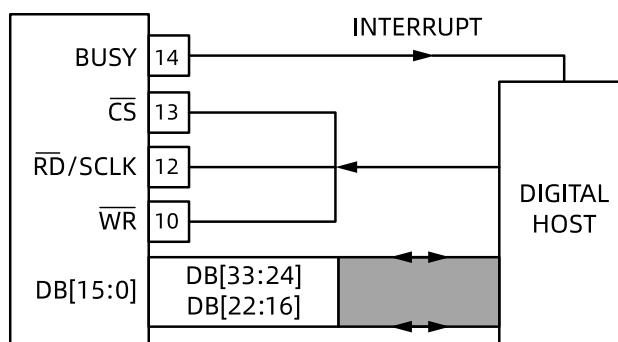


图62. LHA6958H 接口图——一个 LHA6958H 使用并行总线， \overline{CS} 和 \overline{RD} 短接在一起

\overline{CS} 输入信号的上升沿使总线进入三态， \overline{CS} 输入信号的下降沿使总线脱离高阻态。 \overline{CS} 是使能数据线的控制信号，利用该功能可以让多个 LHA6958H 共享同一并行数据总线。

读取转换结果 (并行 ADC 模式)

\overline{RD} 引脚的下降沿用来从输出转换结果寄存器读取数据。将一系列 \overline{RD} 脉冲施加到 \overline{RD} 引脚，以将转换结果从各通道输出到并行总线[DB15:DB0]，按升序从 V1 到 V8，如图 63 所示。

\overline{CS} 信号可以永久性地连接到低电平， \overline{RD} 信号可以访问转换结果，如图 2 所示。BUSY 信号变为低电平后即可开始读取新数据操作（参见图 1）。或者在 BUSY 引脚为高电平的时候，可以读取先前转换过程产生的数据。

当系统中只有一个 LHA6958H 且它不共享并行总线时，可以使用数字主机的一个控制信号来读取数据。 \overline{CS} 和 \overline{RD} 信号可以连在一起，如图 3 所示。在这种情况下， \overline{CS} 和 \overline{RD} 信号的下降沿使数据总线脱离三态并输出数据。

FRSTDATA 输出信号指示何时回读第一通道 V1，如图 3 所示。当 \overline{CS} 输入为高电平时，FRSTDATA 输出引脚处于三态。 \overline{CS} 下降沿使 FRSTDATA 引脚脱离三态。对应于 V1 结果的 \overline{RD} 信号下降沿将 FRSTDATA 引脚设置为高电平，表示 V1 的结果可通过输出数据总线获得。在 \overline{RD} 的下一个下降沿之后，FRSTDATA 引脚返回逻辑低电平状态。

转换期间读取

当 BUSY 引脚为高电平且转换正在进行时，也可以从 LHA6958H 读取数据。该操作几乎不会影响转换器的

性能，而且可以实现更快的吞吐速率。在 BUSY 信号的下降沿时，输出数据寄存器会被新转换数据更新，除外之外的任何时候都可以从 LHA6958H 读取数据。在 BUSY 信号为高电平时执行的数据读取操作必须在 BUSY 信号下降沿之前完成。

使能 CRC 的并行 ADC 模式

在软件模式下，当通过 INT_CRC_ERR_EN 位（地址 0x21 位 2）使能时，并行接口支持读取 ADC 数据并附加 CRC。CRC 为 16 位，在读取所有 8 个通道转换结果后输出，如下图所示。CRC 计算包括 DBx 引脚上的所有数据：数据、状态（如附加）和零。有关 CRC 的更多信息，参见“诊断”部分。

使能状态寄存器的并行 ADC 模式

在软件模式下，设置 CONFIG 寄存器的位 6（地址 0x02 位 6）可使能 8 位状态标头（见表 23），这样每个通道将有两帧数据：

- 第一帧通过 DBx 正常输出 ADC 数据。
- 第二帧通过 DB15 到 DB8 输出通道的状态标头，DB15 为 MSB，DB8 为 LSB，而 DB7 到 DB0 引脚输出零。

该序列如图 64 所示。表 23 解释了状态标头内容和每个位。

表22. 状态标头中的 CH.ID 位解码

CH.ID2	CH.ID1	CH.ID0	通道编号
0	0	0	通道 1 (V1)
0	0	1	通道 2 (V2)
0	1	0	通道 3 (V3)
0	1	1	通道 4 (V4)
1	0	0	通道 5 (V5)
1	0	1	通道 6 (V6)
1	1	0	通道 7 (V7)
1	1	1	通道 8 (V8)

表23. 状态标头，并行接口

位详情	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)
位名称	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	AIN_OV_DIAG_ERR	AIN_UV_DIAG_ERR	CH.ID 2	CH.ID 1	CH.ID 0
位描述 1	检测到复位	地址 0x22 上的错误标志	该通道的模拟输入开路	在该通道上检测到过压	在该通道上检测到欠压			通道 ID (见表 22)

1. 更多信息参见“诊断”部分。

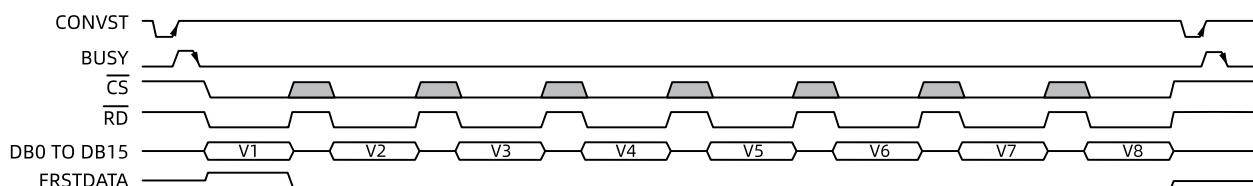


图63. 并行接口，ADC 读取模式

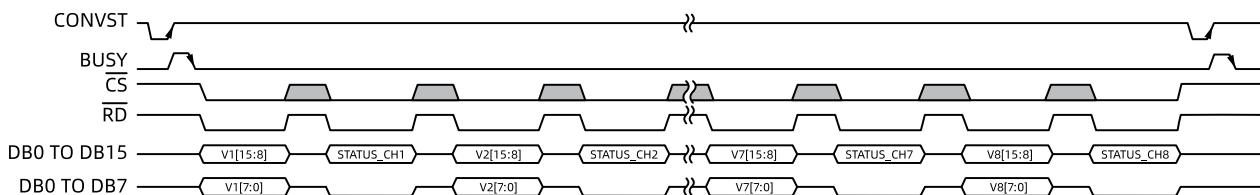


图64. 并行接口, ADC 读取模式, 使能状态标头

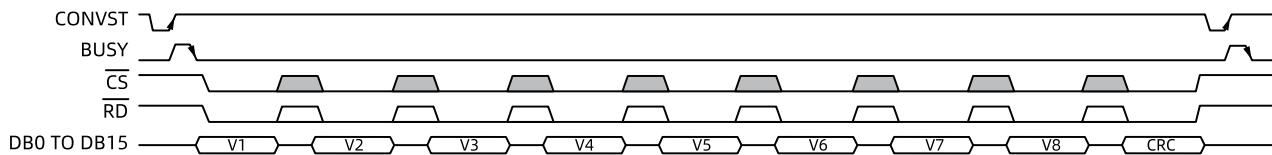


图65. 并行接口, ADC 读取模式, 使能 CRC

并行寄存器模式（读取寄存器数据）

在软件模式下，表 28 中的所有寄存器均可通过并行接口读取。当 \overline{CS} 信号和 \overline{RD} 信号均为逻辑低电平以读取寄存器内容时，或者当 \overline{CS} 信号和 \overline{WR} 信号均为逻辑低电平以写入寄存器地址和/或寄存器内容时，[DB15:DB0]保持高阻态。

寄存器读取通过两帧执行：首先将读取命令发送到 ADC，其次是 ADC 输出寄存器内容。寄存器读命令的格式如图 66 所示。在第一帧：

- 必须将位 DB15 设置为 1 才能选择读取命令。读取命令将 ADC 置于寄存器模式。
- 位 DB[14:8]必须包含寄存器地址。
- 随后的 8 位 DB[7:0]会被忽略。

寄存器地址在 \overline{WR} 信号的上升沿锁存在 LHA6958H 上。然后在下一帧拉低 \overline{RD} 线，便可从锁存的寄存器中读取寄存器内容，如下所示：

- 将 DB15 位拉至 0。
- 位 DB[14:8]提供要被读取的寄存器地址。
- 随后的 8 位 DB[7:0]提供寄存器内容。

要恢复到 ADC 读取模式，须写入地址 0x00，如“并行寄存器模式（写入寄存器数据）”部分所述。器件处于寄存器模式时，无法读取 ADC 数据。

并行寄存器模式（写入寄存器数据）

在软件模式下，表 28 中的所有 R/W 寄存器都可以通过并行接口写入。要写入一系列寄存器，须通过读取存储器映射上的任何寄存器来退出 ADC 读取模式（默认模式）。寄存器写命令通过单帧执行，使用并行总线 (DB[15:0])、 \overline{CS} 信号和 \overline{WR} 信号。写命令的格式如图 66 所示。图 66 所示的写命令格式的结构如下：

- 要选择写命令，必须将位 DB15 设为 0。
- 位 DB[14:8]包含寄存器地址。
- 随后的 8 位 DB[7:0]包含要写入所选寄存器的数据。

数据在 \overline{WR} 引脚的上升沿锁存到器件上。要恢复到 ADC 读取模式，须写入地址 0x00。器件处于寄存器模式时，无法读取 ADC 数据。

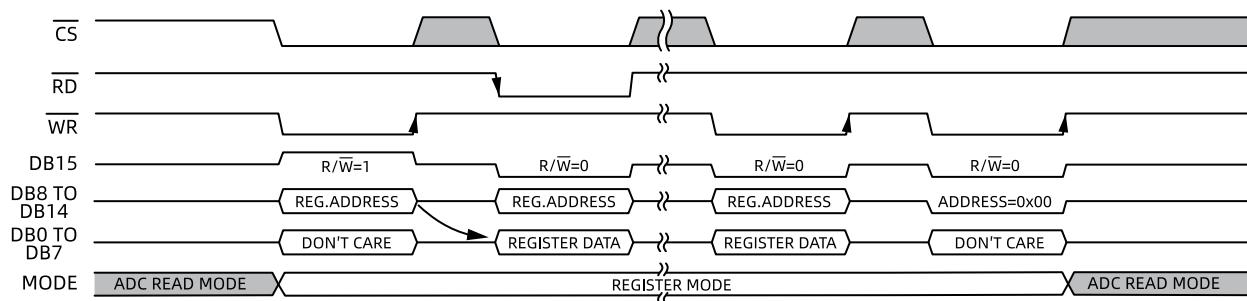
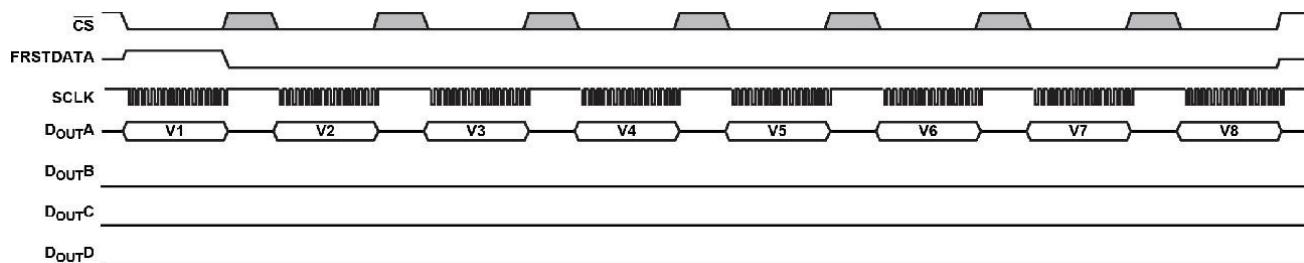
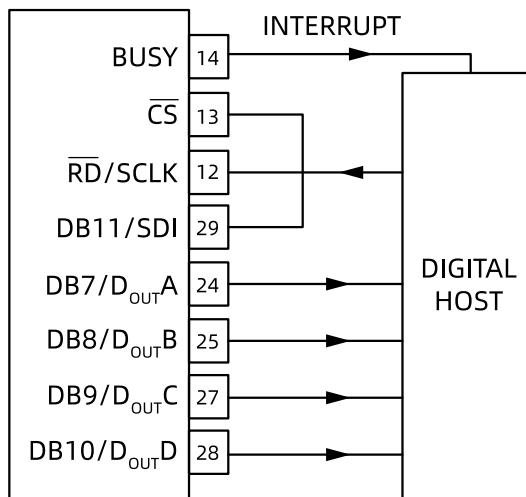


图66. 并行接口寄存器读操作, 随后是写操作


图67. 串行接口 ADC 读取, 一条 D_{OUTX} 线

13.4. 串行接口

要通过串行接口读取 ADC 数据或读取/写入寄存器内容, 须将 PAR/SER SEL 引脚连接高电平。


图68. LHA6958H 接口图——一个 LHA6958H 使用 串行接口和四条 D_{OUTX} 线

读取转换结果 (串行 ADC 模式)

LHA6958H 具有四个串行数据输出引脚: DOUTA、DOUTB、DOUTC 和 DOUTD。在软件模式下, 数据可以从 LHA6958H 回读, 使用一条 (参见图 68)、两条 (参见图 69) 或四条 DOUTx 线 (参见图 70), 具体取决于 CONFIG 寄存器中设置的配置。

表24. D_{OUTX} 格式选择, 使用 CONFIG 寄存器 (地址 0x02)

D _{OUTX} 格式	地址 0x02, 位 4	地址 0x02, 位 3
1 D _{OUTX}	0	0
2 D _{OUTX}	0	1
4 D _{OUTX}	1	0
1 D _{OUTX}	1	1

在硬件模式下，只能选择 2 条 D_{OUTX} 线。但是，通过在两个 CONVST 脉冲之间提供 8 个 16 位 SPI 帧，便可从 D_{OUTA} 读取所有通道。

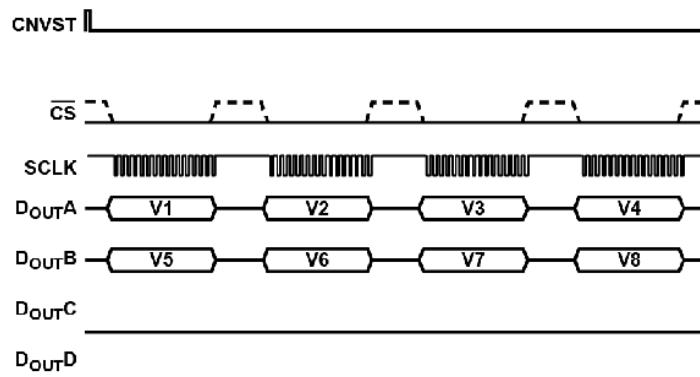


图69. 串行接口 ADC 读取，两条 D_{OUTX} 线

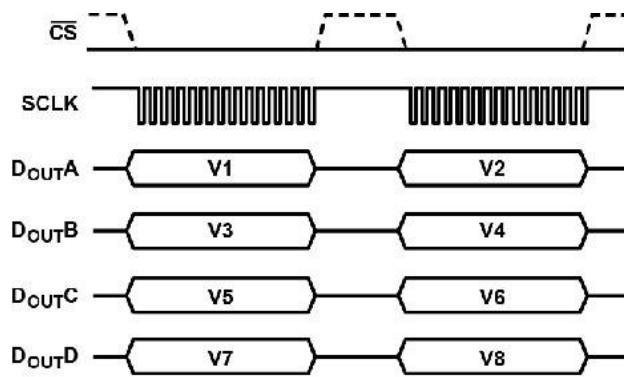


图70. 串行接口 ADC 读取，四条 D_{OUTX} 线

\overline{CS} 下降沿使数据输出线 D_{OUTA} 到 D_{OUTD} 脱离三态，并输出转换结果的 MSB。

在 3 线模式下，不是 \overline{CS} 输出 MSB，而是 BUSY 信号的下降沿输出 MSB。SCLK 信号的上升沿将随后的所有数据位通过串行数据输出 D_{OUTA} 至 D_{OUTD} 输出，如下所示 \overline{CS} 输入可以在整个串行读取操作期间保持低电平，或者向其发送脉冲，为每个通道读取帧提供 16 个 SCLK 周期（参见图 69）。但是，如果在通道转换结果传输期间向 \overline{CS} 发生脉冲，则中断的通道会在下一帧重新传输，从 MSB 重新开始。

也可以仅使用 D_{OUTA} 引脚输出数据，如图 67 所示。为使 LHA6958H 通过一条 D_{OUTX} 线访问所有八个转换结果，总共需要 128 个 SCLK 周期。在硬件模式下，这 128 个 SCLK 周期必须通过 \overline{CS} 信号以 16 个 SCLK 周期为一组形成帧。只用一条 D_{OUTX} 线的缺点是：如果在转换之后进行读取，则吞吐速率会下降。在串行模式下，未使用的 D_{OUTX} 线保持不连接状态。

图 70 显示了采用 LHA6958H 上的四条 D_{OUTX} 线读取 8 个同步转换结果，这可在软件模式下使用。在这种情况下，32 SCLK 传输访问 LHA6958H 中的数据， \overline{CS} 要么保持低电平以构建整个 32 SCLK 周期帧，要么在两个 16 位帧之间发送脉冲。此模式仅在软件模式下可用，通过 CONFIG 寄存器（地址 0x02）进行配置。

串行模式下从 LHA6958H 读取一个通道的数据（由 \overline{CS} 信号使能帧传输）的时序图。SCLK 输入信号为串行读取操作提供时钟源。 \overline{CS} 信号变为低电平，以访问 LHA6958H 的数据。

FRSTDAT_A 输出信号指示何时回读第一通道 V1。当 \overline{CS} 输入为高电平时，FRSTDAT_A 输出引脚处于三态。在串行模式下， \overline{CS} 信号的下降沿使 FRSTDAT_A 引脚脱离三态，并且若 BUSY 线已经解除置位，则将 FRSTDAT_A 引脚设置为高电平。

表示 V1 的结果可通过 D_{OUTA} 输出数据线获得。在第 16 个 SCLK 下降沿之后，FRSTDAT_A 输出返回逻辑低电平状态。如果 \overline{CS} 引脚永久性地连接到低电平（3 线模式），则当 V1 的结果可通过 D_{OUTA} 获得时，BUSY 线的下降沿将 FRSTDAT_A 引脚设置为高电平。

如果 SDI 接低电平或高电平，则不会向 LHA6958H 输入任何内容。因此，器件继续输出转换结果。在 3 线模式下使用 LHA6958H 时，SDI 应保持高电平。在 ADC 读取模式下，可以执行单一写操作，如图 71 所示。要写入一系列寄存器，须切换到寄存器模式，如“串行寄存器模式（写入寄存器数据）”部分所述。

转换期间读取

当 BUSY 信号为高电平且转换正在进行时，也可以从 LHA6958H 读取数据。该操作几乎不会影响转换器的性能，而且可以实现更快的吞吐速率。在 BUSY 信号的下降沿时，输出数据寄存器会被新转换数据更新，除外之外的任何时候都可以从 LHA6958H 读取数据。在 BUSY 信号为高电平时执行的数据读取操作必须在 BUSY 信号下降沿之前完成。

串行 ADC 模式，使能 CRC

在软件模式下，CRC 可以通过写入寄存器映射来使能。在这种情况下，在最后一个通道完成输出后，CRC 被附加在每条 D_{OUTX} 线上，如图 77 所示。有关如何计算 CRC 的更多信息，参见“接口 CRC 校验和”部分。

串行 ADC 模式，使能状态

在软件模式下，当使用串行接口时可以开启 8 位状态标头，将其附在每个 16 位数据转换结果之后，使每个通道的帧大小扩展为 24 位。

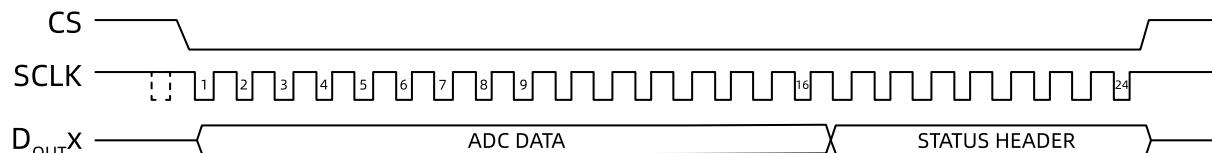


图71. 串行接口，ADC 模式，状态开启

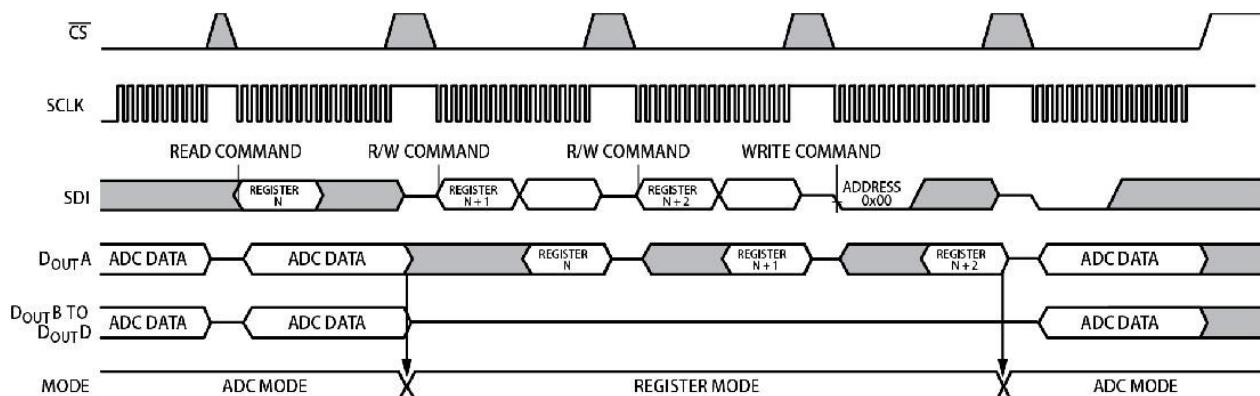


图72. LHA6958H 寄存器模式

表25. 状态标头, 串行接口

位详情	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)
位名称	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	AIN_OV_DIAG_ERR	AIN_UV_DIAG_ERR	CH.ID 2	CH.ID 1	CH.ID 0
位描述 ¹	检测到复位	地址 0x22 上的错误标志	通道上至少一个模拟输入开路	在通道上检测到过压	在通道上检测到欠压	通道 ID (见表 22)		

1. 更多信息参见“诊断”部分。

串行寄存器模式 (读取寄存器数据)

表 28 中的所有寄存器都可以通过串行接口读取。读命令的格式如图 73 所示。它由两个 16 位帧组成。在第一帧:

- SDI 中的第一位必须设置为 0 以使能写入地址。
- 第二位必须设置为 1 以选择读命令。
- SDI 中的位[3:8]包含要在下一帧通过 DOUTA 输出的寄存器地址。
- SDI 中的后续 8 位 (位[9:16]) 会被忽略。

如果 LHA6958H 处于 ADC 模式, 则 SDO 会持续通过位[9:16]输出 ADC 数据, 然后 LHA6958H 切换到寄存器模式。

如果 LHA6958H 处于寄存器模式, 则无论前一帧是读命令还是写命令, SDO 都会从先前寻址的寄存器中回读内容。要退出寄存器模式, 需要写入地址 0x00, 如图 72 所示。

串行寄存器模式 (写入寄存器数据)

在软件模式下, 表 28 中的所有读/写寄存器都可以通过串行接口写入。要写入一系列寄存器, 须通过读取存储器映射上的任何寄存器来退出 ADC 读取模式 (默认模式)。通过单次 16 位 SPI 读取操作, 可执行寄存器写命令。写命令的格式如图 74 所示。

图 74 所示的写命令格式的结构如下:

- 要使能写命令, 必须将 SDI 中的第一位设置为 0。
- 第二位(R/W)位必须清 0。
- 位[ADD5:ADD0]包含要写入的寄存器地址。
- 随后的 8 位 (位[DIN7:DIN0]) 包含要写入选定寄存器的数据。数据在 SCLK 的下降沿从 SDI 输入, 在 SCLK 的上升沿从 DOUTA 输出。

当连续写入器件时, DOUTA 上出现的数据来自前一帧写入的寄存器地址, 如图 74 所示。DOUTB、DOUTC 和 DOUTD 引脚在传输过程中保持低电平。

寄存器模式下没有 ADC 数据输出, 因为 DOUTX 线被用于输出寄存器内容。写完所有需要的寄存器后, 写入地址 0x00 会使 LHA6958H 返回 ADC 读取模式, 此时 ADC 数据再次在 DOUTX 线上输出, 如图 72 所示。

在软件模式下, 当 CRC 开启时, 每帧还会多输入和输出 8 位, 故需要 24 位帧。

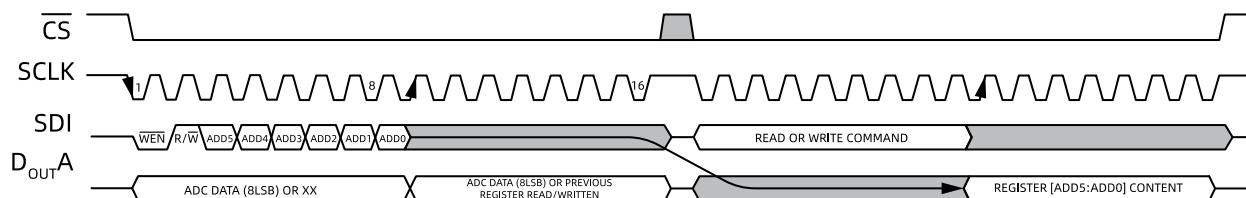
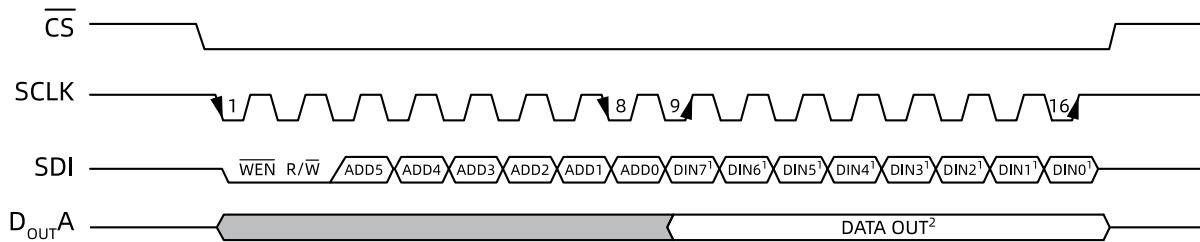


图73. 串行接口读命令; 第一帧指向地址; 第二帧提供寄存器内容



¹ DATA IN DINX IS WRITTEN INTO REGISTER ADDRESS [ADD5:ADD0]

² DATA OUT IS THE REGISTER CONTENT OF PREVIOUS REGISTER WRITTEN

图74. 串行接口, 单一写命令; SDI 在同一帧中输入地址[ADD5:ADD0]和寄存器内容[DINx], D_{OUT}A 提供前一帧请求的寄存器内容

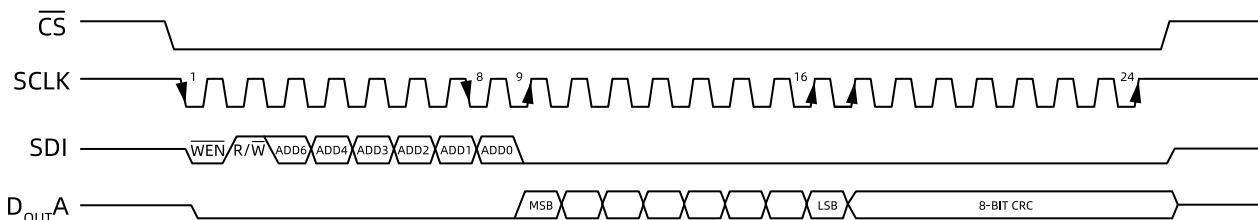


图75. 通过 SPI 接口读取寄存器, CRC 使能

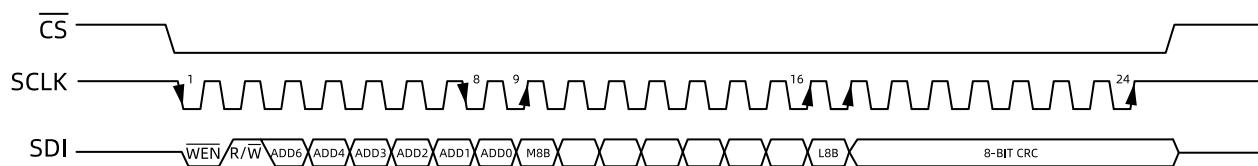


图76. 通过 SPI 接口写入寄存器, CRC 使能

使用 CRC 的串行寄存器模式

在软件模式下, 通过置位 INT_CRC_ERR_EN 位 (地址 0x21 位 2), 寄存器便可在使能 CRC 的情况下写入和读取 LHA6958H。

读取寄存器时, LHA6958H 在 D_{OUT}A 引脚上提供 8 个附加位, 即 CRC, 产生自同一帧上先前移出的数据。然后, 控制器可以通过应用以下多项式来检查接收的数据是否正确:

$$x^8 + x^2 + x + 1$$

使能 CRC 后, SPI 帧的长度扩展到 24 位, 如图 75 所示。

写入寄存器时, 控制器必须将数据 (寄存器地址加寄存器内容) 输入 LHA6958H, 然后是使用前述多项式从前的 16 位数据计算得出的 8 位 CRC 字。LHA6958H 读取寄存器地址和寄存器内容, 计算相应的 8 位 CRC 字, 如果计算出的 CRC 字与通过 SDI 在第 17 位和第 24 位之间接收到的 CRC 字不匹配则置位 INT_CRC_ERR 位 (地址 0x22 位 2), 如图 76 所示。

14. 诊断

诊断特性可在软件模式下使用，验证 LHA6958H 的操作是否正确。诊断监控列表包括复位检测、模拟输入开路检测和数字错误检测。

如果检测到错误，则会在状态标头上置位相应的标志（如已使能），如“数字接口”部分所述。该标志指向错误所在的寄存器，如以下部分所述。

此外，诊断多路复用器可以运用任意通道来验证一系列内部节点，如“诊断多路复用器”部分所述。

14.1. 复位检测

如果将部分复位或完全复位脉冲施加于 LHA6958H，状态寄存器的 RESET_DETECT 位（地址 0x01 位 7）就会置位。上电时需要完全复位。此复位会置位 RESET_DETECT 位，表示器件的上电复位(POR)已正确初始化。

POR 监视 REGCAP 电压，如果电压降至某个阈值以下，就会进行完全复位。

RESET_DETECT 位可用于检测意外器件复位或 RESET 引脚上的大毛刺，或检测电源的压降。

RESET_DETECT 位只有通过读取状态寄存器才能清 0。

14.2. 接口 CRC 校验和

LHA6958H 具有 CRC 校验和模式，利用这种模式可检测数据传输中的错误，从而提高接口的鲁棒性。CRC 特性在两种 ADC 模式（串行和并行）和寄存器模式（仅限串行）下可用。

LHA6958H 使用以下 8 位 CRC 多项式计算 CRC 校验和值：

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1$$

为了在硬件中复制多项式除法，数据左移 16 位以产生一个以 16 个逻辑 0 结尾的数字。对齐多项式，使得 MSB 与数据最左侧的逻辑 1 相邻。对该数据应用一个异或(XOR)函数以产生一个新的、更短的数字。再次对齐多项式，使得 MSB 与新结果最左侧的逻辑 1 相邻，重复该过程。最后，原始数据将减少至小于多项式的值，它就是 16 位校验和。

表 26 给出了 16 位数据的 CRC 计算示例。使用上述多项式，对应于数据 0x064E 的 CRC 是 0x2137。

当通过 INT_CRC_ERR_EN 位（地址 0x21 位 2）使能时，串行接口支持 CRC。CRC 是一个 16 位字，在读取所有通道后附加到所用每个 D_{outX} 的末尾。使用四条 D_{outX} 线的示例如下图所示。

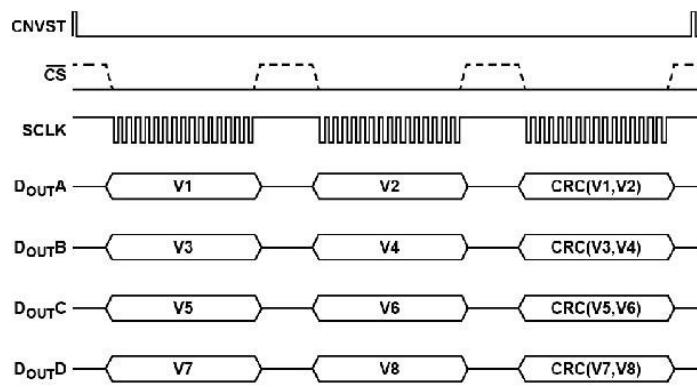
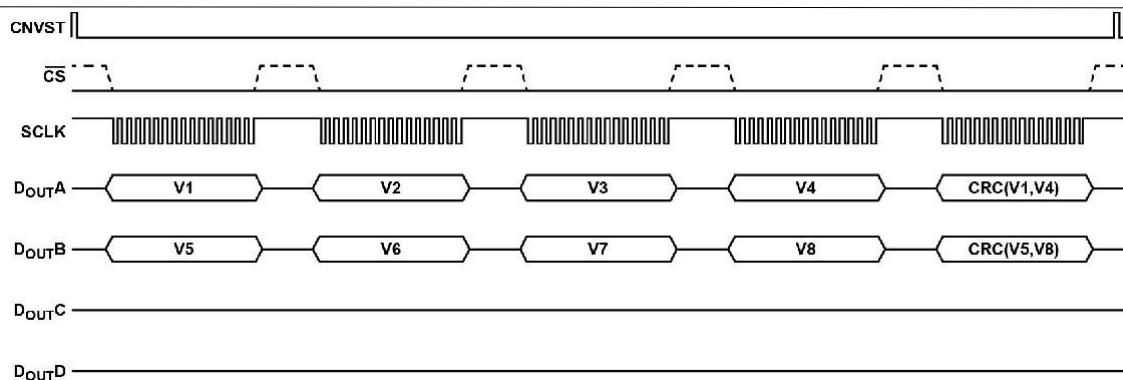


图77. 串行接口 ADC 读取，CRC 开启，四条 D_{outX} 线

如果使用两条 D_{outX} 线（D_{outA} 和 D_{outB}），则每个 16 位 CRC 字使用来自四个通道的数据（即 64 位）计算，如下图所示。如果仅使用一条 D_{outX} 线，则所有 8 个通道都通过 D_{outA} 输出，然后是使用来自 8 个通道的数据（即 128 位）计算的 16 位 CRC 字。


图78. 串行接口 ADC 读取, CRC 开启, 两条 D_{OUT}X 线

当 LHA6958H 处于寄存器模式时, 即读取或写入寄存器时, 使用的 CRC 多项式为 x^8+x^2+x+1 。当读取寄存器并使能 CRC 时, 每个 SPI 帧长度为 24 位, CRC 8 位字在第 17 到第 24 个 SCLK 周期输出。类似地, 当写入寄存器时, 可以在 SDI 线上附加 CRC 字, 如下图所示; 如果给定的 CRC 与内部计算值不匹配, LHA6958H 就会检查并触发错误 INT_CRC_ERR (地址 0x22 位 2)。

并行接口仅在 ADC 模式下支持 CRC, 在通道 8 之后通过 DB15 至 DB0 输出, 如图 65 所示。16 位 CRC 字利用来自 8 个通道的数据 (即 128 位) 计算。

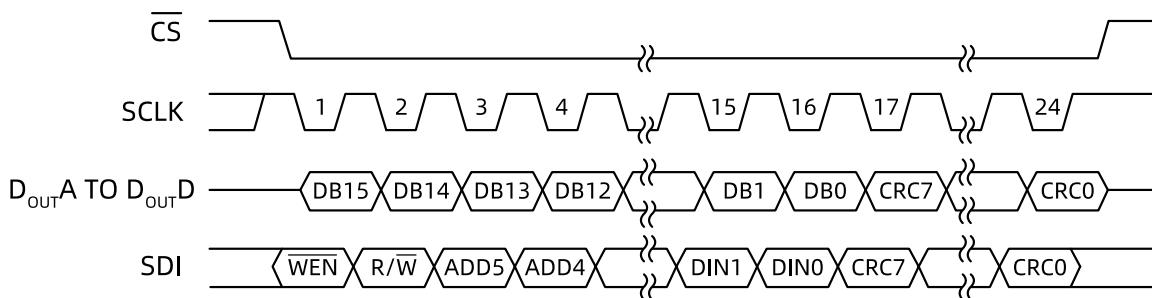


图79. CRC 开启时的寄存器写入

表26. 16 位数据的 CRC 计算示例 1

数据 ²	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	0	x	x	x	x	x	x	x	x	x	x	x	x		
过程数据	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0			
多项式						1	0	1	1	1	0	1	0	1	0	1	0	1	1	0	1	1								
						0	1	1	1	0	0	1	1	0	1	1	0	1	1	0	1	1								
						1	0	1	1	1	0	1	0	1	0	1	0	1	1	0	1	1								
						0	1	0	1	1	1	0	0	0	1	1	1	0	1	1	0	1	0							
						1	0	1	1	1	0	1	0	1	0	1	0	1	1	0	1	1								
						0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0			
						1	0	1	1	1	0	1	0	1	0	1	1	0	1	0	1	1								
						0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0			
CRC																	0	0	1	0	0	0	1	0	0	1	1	0	1	1

1. 此表表示数据的除法。空白单元格用于格式化。

2. X = 无关位。

14.3. 诊断多路复用器

所有 8 个输入通道的 PGA 前面都有一个诊断多路复用器, 可以监控表 27 所述的内部节点, 以确保 LHA6958H 正确运行。作为例子, 下表显示了通道 1 上诊断多路复用寄存器的位解码。选择一个内部节点后, 就会从 PGA 中取消选择输入引脚的输入电压, 如下图所示。

在软件模式下, 通过相应的寄存器 (地址 0x28 至地址 0x2B) 访问每个诊断多路复用器配置。要使用一个通道上的多路复用器, 必须在该通道上选择 ± 10 V 范围。

表27. 通道 1 的诊断复用寄存器位解码

地址 0x18			通道 1 上的信号
位 2	位 1	位 0	
0	0	0	V1
0	0	1	温度传感器
0	1	0	V _{REF}
0	1	1	ALDO
1	0	0	DLDO
1	0	1	V _{DRIVE}
1	1	0	AGND
1	1	1	AV _{CC}

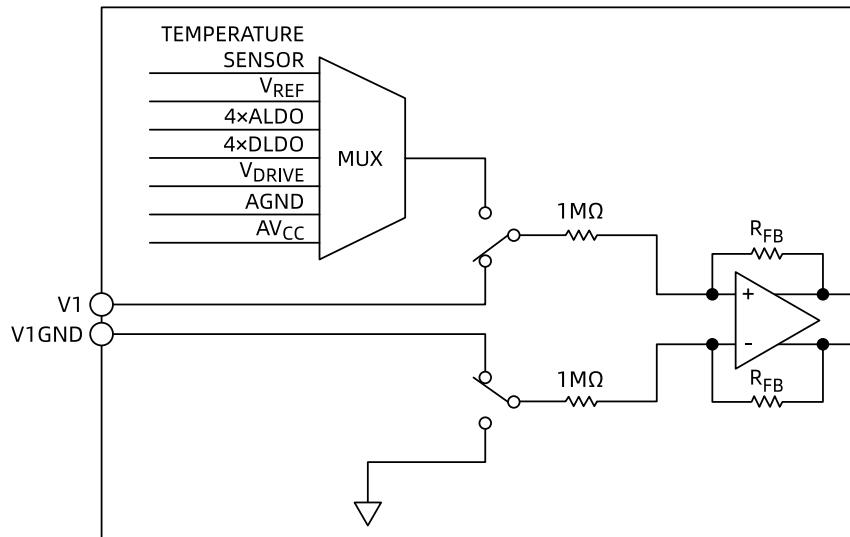


图80. 诊断多路复用器（显示了通道 1 作为示例）

温度传感器

温度传感器可通过诊断多路复用器选择，并通过 ADC 转换，如上图所示。测量温度传感器电压，其与芯片温度成比例，如下式所示：

$$\text{Temperature}(\text{°C}) = \frac{\text{ADC}_{\text{OUT}}(V) - 1.982(V)}{3.335e^{-3}(V/\text{°C})} + 25(\text{°C})$$

基准电压

基准电压可以通过诊断多路复用器选择，并通过 ADC 转换，如下图所示。根据 REF SELECT 引脚，选择内部或外部基准电压作为诊断多路复用器的输入。理想情况下，ADC 输出电压以一定的比率随基准电压电平变化。因此，如果 ADC 输出超出预期的 2.5 V，则基准电压缓冲器或 PGA 发生故障。

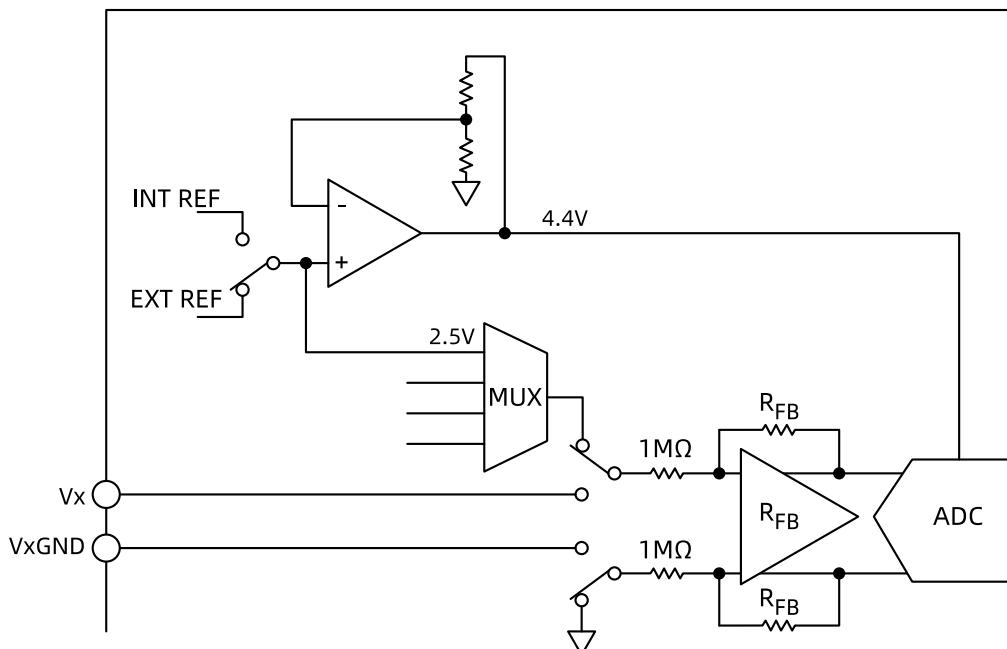


图81. 通过诊断多路复用器的基准电压信号路径

内部 LDO

模拟和数字 LDO (REGCAP 引脚) 可通过诊断多路复用器选择，并通过 ADC 进行转换，如图 80 所示。ADC 输出分别是 REGCAPA 和 REGCAPD 引脚电压的四倍。该测量验证每个 LDO 处于正确的工作电压，使得内部电路正确偏置。

电源电压

V_{CC} 、 V_{DRIVE} 和 AGND 可通过诊断多路复用器选择，并通过 ADC 转换，如图 80 所示。此设置可确保对器件应用正确的电压和接地，从而保证正常运行。

15. 典型连接图

器件上有四个 V_{CC} 电源引脚。建议这四个电源引脚各使用一个 100 nF 去耦电容，并在电源侧使用一个 10 \mu F 电容去耦。LHA6958H 既可在内部基准电压下工作，也可在外施加的基准电压下工作。当电路板上只有一个 LHA6958H 器件时，应利用一个 100 nF 电容对 REFIN/REFOUT 引脚去耦。当应用中使用多个 LHA6958H 器件时，请参阅“基准电压”部分。REFCAPA 和 REFCAPB 引脚短路连在一起，并通过一个 10 \mu F 陶瓷电容去耦。

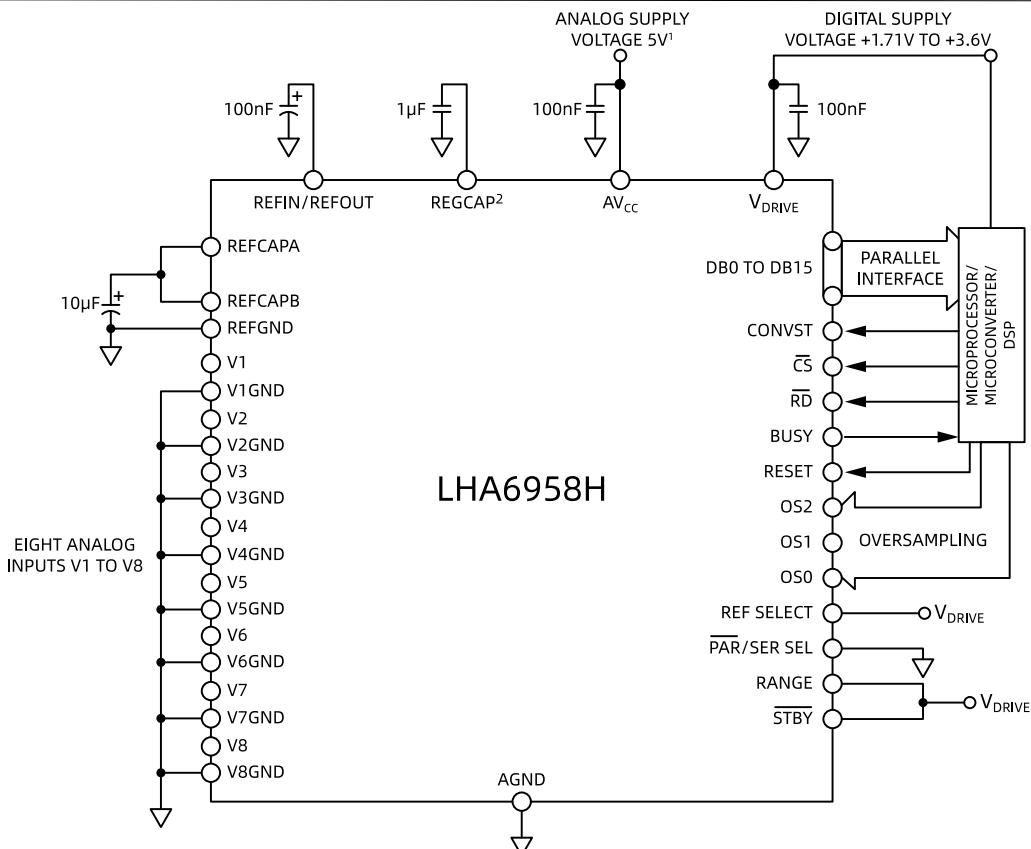
V_{DRIVE} 电源连接到与处理器相同的电源。 V_{DRIVE} 电压控制输出逻辑信号的电压值。有关布局、去耦和接地的更多信息，请参阅“布局指南”部分。

将电源施加到 LHA6958H 后，应对 LHA6958H 进行复位，以确保将其配置为正确工作模式。

在图 82 中，LHA6958H 配置为硬件模式，并使用内部基准电压工作，因为 REF SELECT 引脚设置为逻辑高电平。在这个例子中，器件还使用并行接口，因为 PAR/SER 引脚与 AGND 相连。所有 8 个通道的模拟输入范围均为 $\pm 10\text{ V}$ ，只要 RANGE 引脚连接到高电平，并且过采样率由控制器通过 OS 引脚控制。

在图 83 中，LHA6958H 配置为软件模式，因为所有三个 OS2、OS1 和 OS0 引脚均处于逻辑高电平。过采样率及各通道范围通过访问存储器映射来配置。在这个例子中，PAR/SER 引脚处于逻辑高电平。因此，读取 ADC 数据和读写存储器映射均使用串行接口。REF SELECT 引脚连接到 AGND。因此，内部基准电压被禁用，外部基准电压从外部连接到 REFIN/REFOUT 引脚，并通过 100 nF 电容去耦。

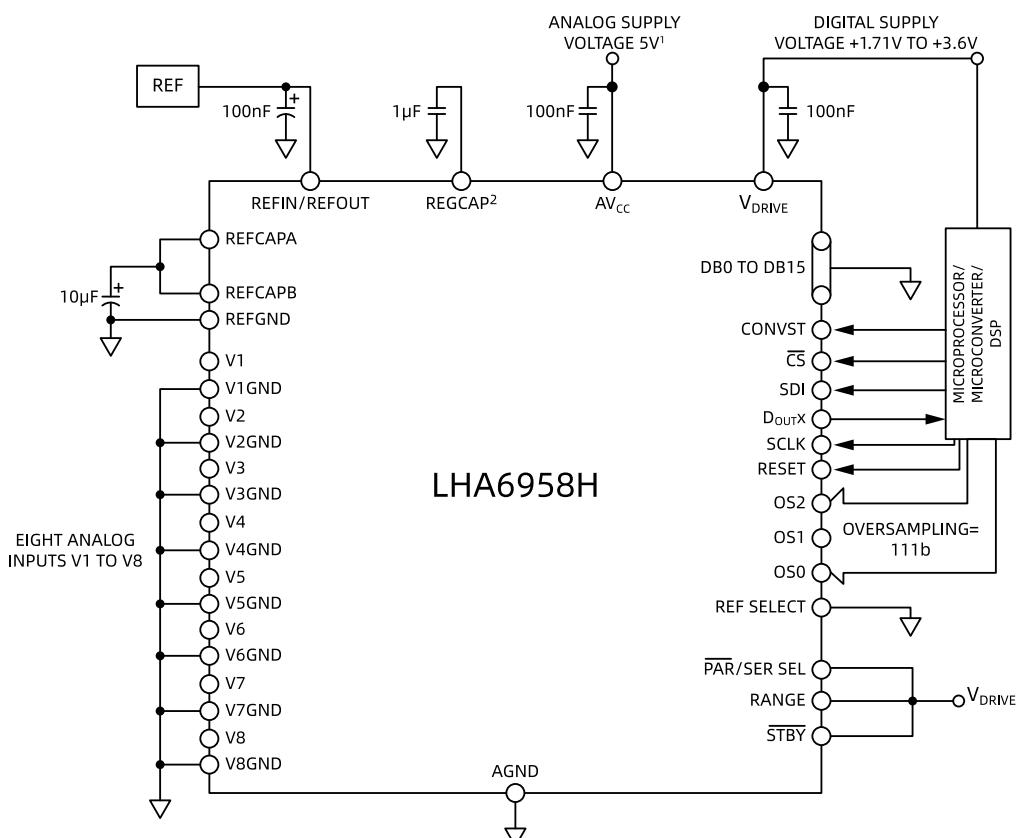
图 82 和图 83 是典型连接图的示例。基准电压、数据接口和工作模式的其他组合也是可能的，这取决于施加到每个配置引脚的逻辑电平。



¹ 每个 AV_{cc} 引脚需要单独的去耦电容(PIN 1, PIN 37, PIN 3B, PIN 48)。

² 每个 REGCAP 引脚需要单独的去耦电容(PIN 36, PIN 39)。

图82. LHA6958 典型连接图, 硬件模式



¹ 每个 AV_{cc} 引脚需要单独的去耦电容(PIN 1, PIN 37, PIN 3B, PIN 48)。

² 每个 REGCAP 引脚需要单独的去耦电容(PIN 36, PIN 39)。

图83. 典型连接图, 软件模式

16. 应用信息

16.1. 布局布线指南

当设计安装 LHA6958H 的 PCB 时, 建议遵循以下布局指南:

- 模拟和数字部分分开, 并局限在电路板的不同区域。
- 至少使用一个接地平面层。
- 如果 LHA6958H 所在系统内有多个器件要求模数接地, 仍应坚持单点接地, 把接地点放置在尽可能靠近 LHA6958H 的一个星型接地点。
- 与地层建立稳定的连接。避免多个接地引脚共用一个到地层过孔或走线的连接情况。每个接地引脚应使用单个过孔或多个过孔连接到电源层。
- 应避免在器件下方直接布设数字线路, 否则会将噪声耦合至芯片。应允许模拟接地层布设在 LHA6958H 下方, 以避免噪声耦合。
- CONVST 或时钟等快速切换信号要使用数字地加以屏蔽, 以免将噪声辐射到电路板的其他部分, 而且快速切换信号绝不能靠近模拟信号路径。
- 避免数字信号与模拟信号走线交叠。
- 电路板上邻近层的走线应彼此垂直, 以减小电路板的馈通效应。
- LHA6958H 上 AV_{CC} 和 V_{DRIVE} 引脚的电源线应采用尽可能宽的走线, 以提供低阻抗路径, 并减小电源线路上的毛刺噪声影响。可能的话, 应使用电源层, 并在 LHA6958H 电源引脚与电路板的电源走线之间建立稳定连接。各电源引脚应使用单个过孔或多个过孔。
- 去耦电容应靠近(理想情况是紧靠)电源引脚及其对应的接地引脚放置。REFIN/REFOUT 引脚、REFCAPA 引脚和 REFCAPB 引脚的去耦电容尽可能靠近各自的 LHA6958H 引脚放置。可能的话, 这些引脚应放在电路板上与 LHA6958H 器件相同的一侧。

图 84 显示 LHA6958H 电路板顶层的建议去耦配置。图 85 显示了底层去耦配置, 它用于四个 AV_{CC} 引脚和 V_{DRIVE} 引脚去耦。AV_{CC} 引脚的 100 nF 陶瓷电容靠近器件的相应引脚, 一个 100 nF 电容可以在引脚 37 和引脚 38 之间共享。

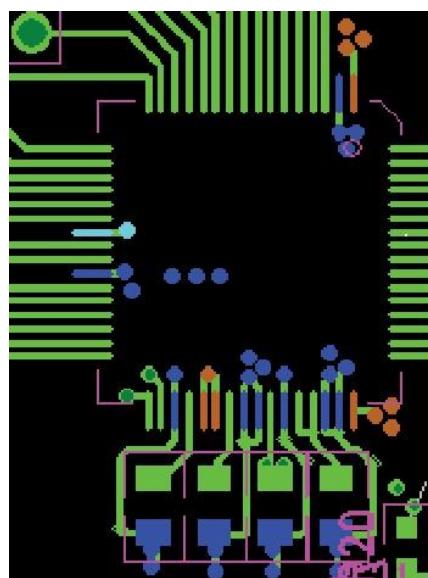


图84. REFIN/REFOUT、REFCAPA、REFCAPB 和 REGCAP 引脚的顶层去耦

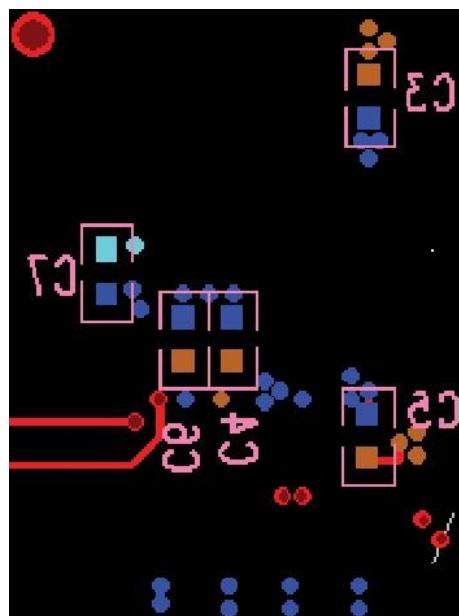


图85. 底层去耦

在内置多个 LHA6958H 器件的系统中, 为确保 LHA6958H 器件之间的性能稳定匹配, 这些器件必须采用对称布局。图 86 显示了采用两个 LHA6958H 器件的布局。AV_{CC} 电源层沿两个器件的右侧布设, V_{DRIVE} 电源走线沿两个器件的左侧布设。基准电压芯片位于两个器件之间, 基准电压走线向北布设到 U1 的引脚 42, 向南布设到 U2 的引脚 42。使用实心接地层。

这些对称布局原则同样适用于含有两个以上 LHA6958H 器件的系统。LHA6958H 器件可以沿南北方向放置, 基准电压位于器件的中间, 基准电压走线则沿南北方向布设, 类似于图 86。

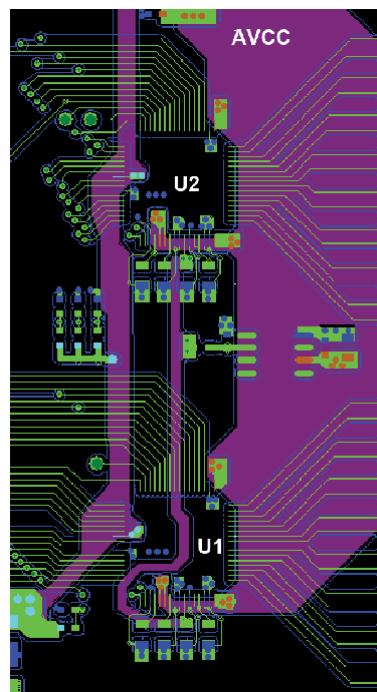


图86. 多个 LHA6958H 器件的布局—顶层和电源层

17. 寄存器汇总

表28. 寄存器汇总

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位	RW		
0x01	STATUS	RESET_DETECT	DIGITAL_ERROR	RESERVED				0x00		R			
0x02	CONFIG	RESERVED	STATUS_HEADER	EXT_OS_CLOCK	DOUT_FORMAT		RESERVED	OPERATION_MODE		0x00	R/W		
0x03	RANGE_CH1_CH2	CH2_RANGE				CH1_RANGE				0x22	R/W		
0x04	RANGE_CH3_CH4	CH4_RANGE				CH3_RANGE				0x22	R/W		
0x05	RANGE_CH5_CH6	CH6_RANGE				CH5_RANGE				0x22	R/W		
0x06	RANGE_CH7_CH8	CH8_RANGE				CH7_RANGE				0x22	R/W		
0x08	OVERSAMPLING	OS_PAD				OS_RATIO				0x00	R/W		
0x09	CH1_GAIN	RESERVED		CH1_GAIN				0x00		R/W			
0x0A	CH2_GAIN	RESERVED		CH2_GAIN				0x00		R/W			
0x0B	CH3_GAIN	RESERVED		CH3_GAIN				0x00		R/W			
0x0C	CH4_GAIN	RESERVED		CH4_GAIN				0x00		R/W			
0x0D	CH5_GAIN	RESERVED		CH5_GAIN				0x00		R/W			
0x0E	CH6_GAIN	RESERVED		CH6_GAIN				0x00		R/W			
0x0F	CH7_GAIN	RESERVED		CH7_GAIN				0x00		R/W			
0x10	CH8_GAIN	RESERVED		CH8_GAIN				0x00		R/W			
0x11	CH1_OFFSET	CH1_OFFSET				CH1_OFFSET				0x80	R/W		
0x12	CH2_OFFSET	CH2_OFFSET				CH2_OFFSET				0x80	R/W		
0x13	CH3_OFFSET	CH3_OFFSET				CH3_OFFSET				0x80	R/W		
0x14	CH4_OFFSET	CH4_OFFSET				CH4_OFFSET				0x80	R/W		
0x15	CH5_OFFSET	CH5_OFFSET				CH5_OFFSET				0x80	R/W		
0x16	CH6_OFFSET	CH6_OFFSET				CH6_OFFSET				0x80	R/W		
0x17	CH7_OFFSET	CH7_OFFSET				CH7_OFFSET				0x80	R/W		
0x18	CH8_OFFSET	CH8_OFFSET				CH8_OFFSET				0x80	R/W		
0x19	CH1_PHASE	CH1_PHASE_OFFSET				CH1_PHASE_OFFSET				0x00	R/W		
0x1A	CH2_PHASE	CH2_PHASE_OFFSET				CH2_PHASE_OFFSET				0x00	R/W		
0x1B	CH3_PHASE	CH3_PHASE_OFFSET				CH3_PHASE_OFFSET				0x00	R/W		
0x1C	CH4_PHASE	CH4_PHASE_OFFSET				CH4_PHASE_OFFSET				0x00	R/W		
0x1D	CH5_PHASE	CH5_PHASE_OFFSET				CH5_PHASE_OFFSET				0x00	R/W		
0x1E	CH6_PHASE	CH6_PHASE_OFFSET				CH6_PHASE_OFFSET				0x00	R/W		
0x1F	CH7_PHASE	CH7_PHASE_OFFSET				CH7_PHASE_OFFSET				0x00	R/W		
0x20	CH8_PHASE	CH8_PHASE_OFFSET				CH8_PHASE_OFFSET				0x00	R/W		
0x21	DIGITAL_DIAG_ENABLE	RESERVED				INT_CRC_ERR_EN		RESERVED		0x00	R/W		
0x22	DIGITAL_DIAG_ERR	RESERVED				INT_CRC_ERR		RESERVED		0x00	R/W		
0x23	OPEN_DETECT_ENABLE	CH8_OPEN_DETECT_EN	CH7_OPEN_DETECT_EN	CH6_OPEN_DETECT_EN	CH5_OPEN_DETECT_EN	CH4_OPEN_DETECT_EN	CH3_OPEN_DETECT_EN	CH2_OPEN_DETECT_EN	CH1_OPEN_DETECT_EN	0x00	R/W		
0x24	OPEN_DETECTED	CH8_OPEN	CH7_OPEN	CH6_OPEN	CH5_OPEN	CH4_OPEN	CH3_OPEN	CH2_OPEN	CH1_OPEN	0x00	R/W		
0x25	RESERVED	RESERVED				RESERVED				0x00	R		
0x26	RESERVED	RESERVED				RESERVED				0x00	R		
0x27	RESERVED	RESERVED				RESERVED				0x00	R		
0x28	DIAGNOSTIC_MUX_CH1_2	RESERVED		CH2_DIAG_MUX_CTRL				CH1_DIAG_MUX_CTRL		0x00	R/W		
0x29	DIAGNOSTIC_MUX_CH3_4	RESERVED		CH4_DIAG_MUX_CTRL				CH3_DIAG_MUX_CTRL		0x00	R/W		

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位	RW
0x2A	DIAGNOSTIC_MUX_CH5_6		RESERVED		CH6_DIAG_MUX_CTRL		CH5_DIAG_MUX_CTRL		0x00	R/W	
0x2B	DIAGNOSTIC_MUX_CH7_8		RESERVED		CH8_DIAG_MUX_CTRL		CH7_DIAG_MUX_CTRL		0x00	R/W	
0x2C	OPEN_DETECT_QUEUE				OPEN_DETECT_QUEUE				0x00	R/W	
0x2D	FS_CLK_COUNTER				CLK_FS_COUNTER				0x00	R	
0x2E	OS_CLK_COUNTER				CLK_OS_COUNTER				0x00	R	
0x2F	ID			DEVICE_ID			SILICON_REVISION		0x10	R	

18. 寄存器详解

地址: 0x01; 上电复位: 0x00; 名称: STATUS

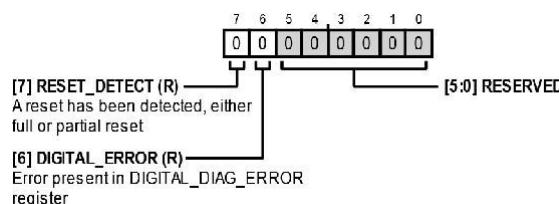


表29. STATUS 位功能描述

位	位名称	描述	复位	访问类型
7	RESET_DETECT	检测到复位, 完全或部分复位。	0x0	R
6	DIGITAL_ERROR	DIGITAL_DIAG_ERROR 寄存器中存在错误。	0x0	R
[5:0]	RESERVED	保留。	0x0	R

地址: 0x02; 复位: 0x00; 名称: CONFIG

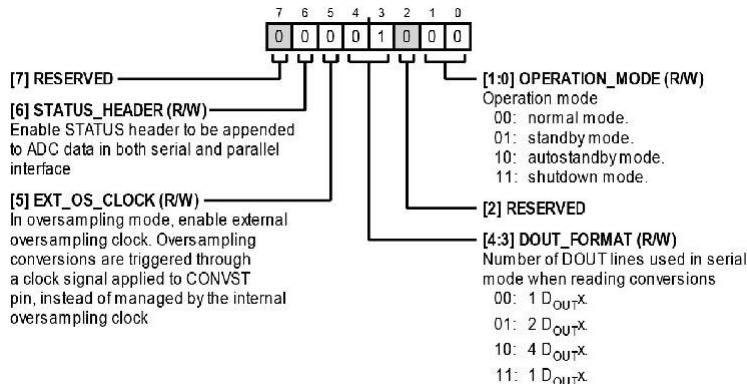


表30. CONFIG 位功能描述

位	位名称	描述	复位	访问类型
7	RESERVED	保留。	0x0	R
6	STATUS_HEADER	使能 STATUS 标头以在串行和并行接口中附加到 ADC 数据上。	0x0	R/W
5	EXT_OS_CLOCK	在过采样模式下, 使能外部过采样时钟。过采样转换通过施加到 CONVST 引脚的时钟信号触发, 而不是由内部过采样时钟管理。	0x0	R/W
[4:3]	DOUT_FORMAT	串行模式下读取转换结果时使用的 DoutX 线数。 00: 1 DoutX。 01: 2 DoutX。 10: 4 DoutX。 11: 1 DoutX。	0x0	R/W
2	RESERVED	保留。	0x0	R
[1:0]	OPERATION_MODE	工作模式。 00: 正常模式。 01: 待机模式。 10: 自动待机模式。 11: 关断模式。	0x0	R/W

地址: 0x03; 复位: 0x22; 名称: RANGE_CH1_CH2

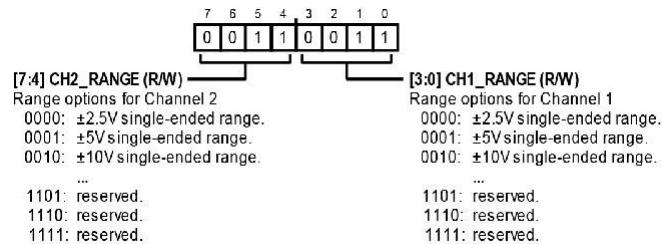
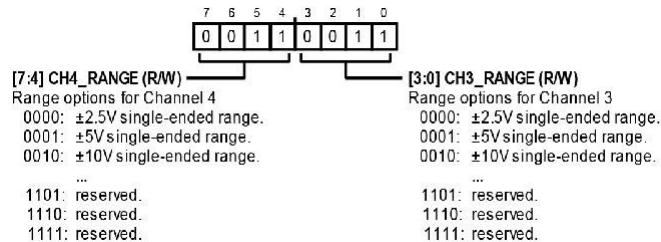
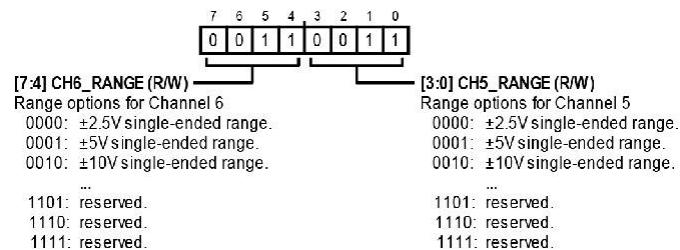


表31. RANGE_CH1_CH2 位功能描述

位	位名称	描述	复位	访问类型
[7:4]	CH2_RANGE	通道 2 范围选项。 0000: ±2.5 V 单端范围。 0001: ±5 V 单端范围。 0010: ±10 V 单端范围。 0011: ±12.5 V 单端范围。 0100: ±2.5 V 单端范围, 高带宽模式。 0101: ±5 V 单端范围, 高带宽模式。 0110: ±10 V 单端范围, 高带宽模式。 0111: ±12.5 V 单端范围, 高带宽模式。 1000: 保留。 1001: 保留。 1010: 保留。 1011: 保留。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x2	R/W
		0000: ±2.5 V 单端范围。		
		0001: ±5 V 单端范围。		
		0010: ±10 V 单端范围。		
		0011: ±12.5 V 单端范围。		
		0100: ±2.5 V 单端范围, 高带宽模式。		
		0101: ±5 V 单端范围, 高带宽模式。		
		0110: ±10 V 单端范围, 高带宽模式。		
		0111: ±12.5 V 单端范围, 高带宽模式。		
		1000: 保留。		
		1001: 保留。		
		1010: 保留。		
		1011: 保留。		
		1100: 保留。		
		1101: 保留。		
		1110: 保留。		
		1111: 保留。		
[3:0]	CH1_RANGE	通道 1 范围选项。 0000: ±2.5 V 单端范围。 0001: ±5 V 单端范围。 0010: ±10 V 单端范围。 0011: ±12.5 V 单端范围。 0100: ±2.5 V 单端范围, 高带宽模式。 0101: ±5 V 单端范围, 高带宽模式。 0110: ±10 V 单端范围, 高带宽模式。 0111: ±12.5 V 单端范围, 高带宽模式。 1000: 保留。 1001: 保留。 1010: 保留。 1011: 保留。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x2	R/W
		0000: ±2.5 V 单端范围。		
		0001: ±5 V 单端范围。		
		0010: ±10 V 单端范围。		
		0011: ±12.5 V 单端范围。		
		0100: ±2.5 V 单端范围, 高带宽模式。		
		0101: ±5 V 单端范围, 高带宽模式。		
		0110: ±10 V 单端范围, 高带宽模式。		
		0111: ±12.5 V 单端范围, 高带宽模式。		
		1000: 保留。		
		1001: 保留。		
		1010: 保留。		
		1011: 保留。		
		1100: 保留。		
		1101: 保留。		
		1110: 保留。		
		1111: 保留。		

地址: 0x04; 复位: 0x22; 名称: RANGE_CH3_CH4

表32. RANGE_CH3_CH4 位功能描述

位	位名称	描述	复位	访问类型
[7:4]	CH4_RANGE	通道 4 范围选项。 0000: ±2.5 V 单端范围。 0001: ±5 V 单端范围。 0010: ±10 V 单端范围。 0011: ±12.5 V 单端范围。 0100: ±2.5 V 单端范围, 高带宽模式。 0101: ±5 V 单端范围, 高带宽模式。 0110: ±10 V 单端范围, 高带宽模式。 0111: ±12.5 V 单端范围, 高带宽模式。 1000: 保留。 1001: 保留。 1010: 保留。 1011: 保留。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x2	R/W
		0000: ±2.5 V 单端范围。		
		0001: ±5 V 单端范围。		
		0010: ±10 V 单端范围。		
		0011: ±12.5 V 单端范围。		
		0100: ±2.5 V 单端范围, 高带宽模式。		
		0101: ±5 V 单端范围, 高带宽模式。		
		0110: ±10 V 单端范围, 高带宽模式。		
		0111: ±12.5 V 单端范围, 高带宽模式。		
		1000: 保留。		
		1001: 保留。		
		1010: 保留。		
		1011: 保留。		
		1100: 保留。		
		1101: 保留。		
		1110: 保留。		
		1111: 保留。		
[3:0]	CH3_RANGE	通道 3 范围选项。 0000: ±2.5 V 单端范围。 0001: ±5 V 单端范围。 0010: ±10 V 单端范围。 0011: ±12.5 V 单端范围。 0100: ±2.5 V 单端范围, 高带宽模式。 0101: ±5 V 单端范围, 高带宽模式。 0110: ±10 V 单端范围, 高带宽模式。 0111: ±12.5 V 单端范围, 高带宽模式。 1000: 保留。 1001: 保留。 1010: 保留。 1011: 保留。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x2	R/W
		0000: ±2.5 V 单端范围。		
		0001: ±5 V 单端范围。		
		0010: ±10 V 单端范围。		
		0011: ±12.5 V 单端范围。		
		0100: ±2.5 V 单端范围, 高带宽模式。		
		0101: ±5 V 单端范围, 高带宽模式。		
		0110: ±10 V 单端范围, 高带宽模式。		
		0111: ±12.5 V 单端范围, 高带宽模式。		
		1000: 保留。		
		1001: 保留。		
		1010: 保留。		
		1011: 保留。		
		1100: 保留。		
		1101: 保留。		
		1110: 保留。		
		1111: 保留。		

地址: 0x05; 复位: 0x22; 名称: RANGE_CH5_CH6

表33. RANGE_CH5_CH6 位功能描述

位	位名称	描述	复位	访问类型
[7:4]	CH6_RANGE	通道 6 范围选项。 0000: ±2.5 V 单端范围。 0001: ±5 V 单端范围。	0x2	R/W
		0010: ±10 V 单端范围。		
		... 1101: reserved. 1110: reserved. 1111: reserved.		

位	位名称	描述	复位	访问类型
		0010: ±10 V 单端范围。 0011: ±12.5 V 单端范围。 0100: ±2.5 V 单端范围, 高带宽模式。 0101: ±5 V 单端范围, 高带宽模式。 0110: ±10 V 单端范围, 高带宽模式。 0111: ±12.5 V 单端范围, 高带宽模式。 1000: 保留。 1001: 保留。 1010: 保留。 1011: 保留。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。		
[3:0]	CH5_RANGE	通道 5 范围选项。 0000: ±2.5 V 单端范围。 0001: ±5 V 单端范围。 0010: ±10 V 单端范围。 0011: ±12.5 V 单端范围。 0100: ±2.5 V 单端范围, 高带宽模式。 0101: ±5 V 单端范围, 高带宽模式。 0110: ±10 V 单端范围, 高带宽模式。 0111: ±12.5 V 单端范围, 高带宽模式。 1000: 保留。 1001: 保留。 1010: 保留。 1011: 保留。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x2	R/W

地址: 0x06; 复位: 0x22; 名称: RANGE_CH7_CH8

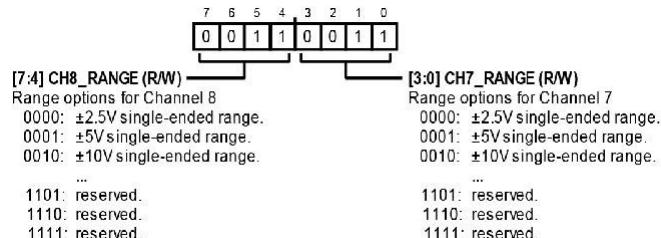
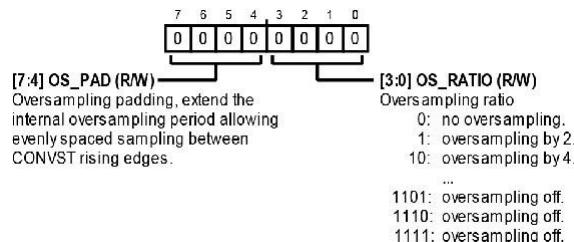


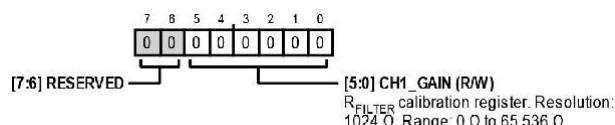
表34. RANGE_CH7_CH8 位功能描述

位	位名称	描述	复位	访问类型
[7:4]	CH8_RANGE	通道 8 范围选项。 0000: ±2.5 V 单端范围。 0001: ±5 V 单端范围。 0010: ±10 V 单端范围。 0011: ±12.5 V 单端范围。 0100: ±2.5 V 单端范围, 高带宽模式。 0101: ±5 V 单端范围, 高带宽模式。 0110: ±10 V 单端范围, 高带宽模式。 0111: ±12.5 V 单端范围, 高带宽模式。 1000: 保留。 1001: 保留。 1010: 保留。 1011: 保留。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x2	R/W
[3:0]	CH7_RANGE	通道 7 范围选项。	0x2	R/W

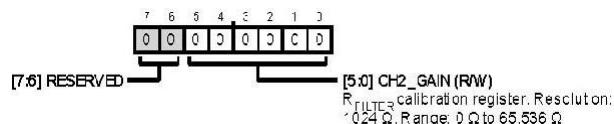
位	位名称	描述	复位	访问类型
		0000: ±2.5 V 单端范围。		
		0001: ±5 V 单端范围。		
		0010: ±10 V 单端范围。		
		0011: ±12.5 V 单端范围。		
		0100: ±2.5 V 单端范围, 高带宽模式。		
		0101: ±5 V 单端范围, 高带宽模式。		
		0110: ±10 V 单端范围, 高带宽模式。		
		0111: ±12.5 V 单端范围, 高带宽模式。		
		1000: 保留。		
		1001: 保留。		
		1010: 保留。		
		1011: 保留。		
		1100: 保留。		
		1101: 保留。		
		1110: 保留。		
		1111: 保留。		

地址: 0x08; 复位: 0x00; 名称: OVERSAMPLING

表35. OVERSAMPLING 位功能描述

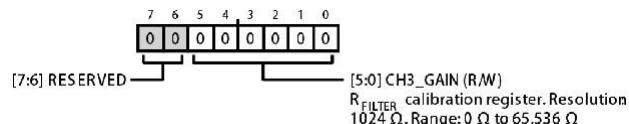
位	位名称	描述	复位	访问类型
[7:4]	OS_PAD	过采样填充, 延长内部过采样周期, 允许在 CONVST 上升沿之间以均匀间隔进行采样。	0x0	R/W
[3:0]	OS_RATIO	过采样率。 0: 无过采样。 1: 2 倍过采样。 10: 4 倍过采样。 11: 8 倍过采样。 100: 16 倍过采样。 101: 32 倍过采样。 110: 64 倍过采样。 111: 128 倍过采样。 1000: 256 倍过采样。 1001: 过采样关闭。 1010: 过采样关闭。 1011: 过采样关闭。 1100: 过采样关闭。 1101: 过采样关闭。 1110: 过采样关闭。 1111: 过采样关闭。	0x0	R/W

地址: 0x09; 复位: 0x00; 名称: CH1_GAIN

表36. CH1_GAIN 位功能描述

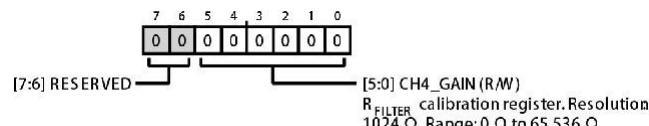
位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH1_GAIN	RFILTER 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω 至 65,536 Ω。	0x0	R/W

地址: 0x0A; 复位: 0x00; 名称: CH2_GAIN

表37. CH2_GAIN 位功能描述

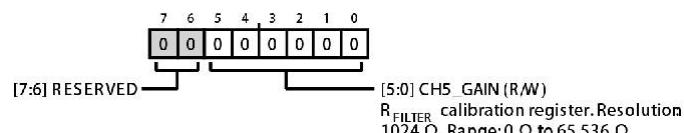
位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH2_GAIN	R _{FILTER} 校准寄存器。分辨率：1024 Ω。范围：0 Ω 至 65,536 Ω。	0x0	R/W

地址: 0x0B; 复位: 0x00; 名称: CH3_GAIN

表38. CH3_GAIN 位功能描述

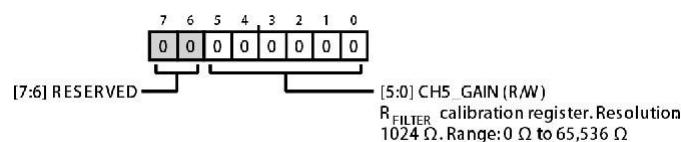
位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH3_GAIN	R _{FILTER} 校准寄存器。分辨率：1024 Ω。范围：0 Ω 至 65,536 Ω。	0x0	R/W

地址: 0x0C; 复位: 0x00; 名称: CH4_GAIN

表39. CH4_GAIN 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH4_GAIN	R _{FILTER} 校准寄存器。分辨率：1024 Ω。范围：0 Ω 至 65,536 Ω。	0x0	R/W

地址: 0x0D; 复位: 0x00; 名称: CH5_GAIN

表40. CH5_GAIN 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH5_GAIN	R _{FILTER} 校准寄存器。分辨率：1024 Ω。范围：0 Ω 至 65,536 Ω。	0x0	R/W

地址: 0x0E; 复位: 0x00; 名称: CH6_GAIN

表41. CH6_GAIN 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH6_GAIN	R _{FILTER} 校准寄存器。分辨率：1024 Ω。范围：0 Ω 至 65,536 Ω。	0x0	R/W

地址: 0x0F; 复位: 0x00; 名称: CH7_GAIN

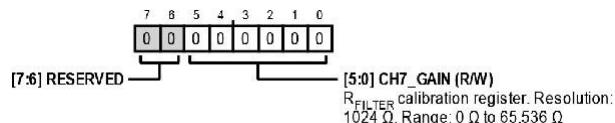


表42. CH7_GAIN 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH7_GAIN	R_{FILTER} 校准寄存器。分辨率: 1024 Ω 。范围: 0 Ω 至 65,536 Ω 。	0x0	R/W

地址: 0x10; 复位: 0x00; 名称: CH8_GAIN

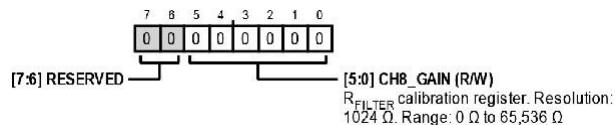


表43. CH8_GAIN 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH8_GAIN	R_{FILTER} 校准寄存器。分辨率: 1024 Ω 。范围: 0 Ω 至 65,536 Ω 。	0x0	R/W

地址: 0x11; 复位: 0x80; 名称: CH1_OFFSET

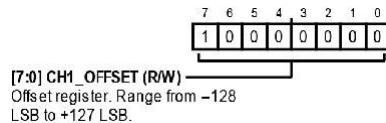


表44. CH1_OFFSET 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH1_OFFSET	失调寄存器。范围从 -128 LSB 到 + 127 LSB。0x00 = -128 LSB 失调; 0x80 = 无失调; 0xFF = +127 LSB 失调。	0x80	R/W

地址: 0x12; 复位: 0x80; 名称: CH2_OFFSET

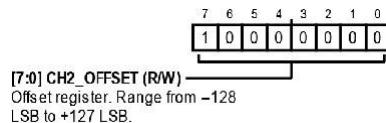
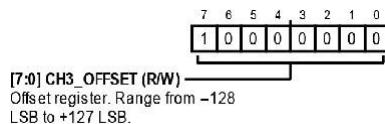
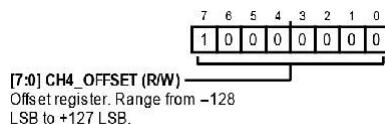


表45. CH2_OFFSET 位功能描述

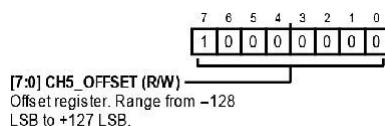
位	位名称	描述	复位	访问类型
[7:0]	CH2_OFFSET	失调寄存器。范围从 -128 LSB 到 + 127 LSB。0x00 = -128 LSB 失调; 0x80 = 无失调; 0xFF = +127 LSB 失调。	0x80	R/W

地址: 0x13; 复位: 0x80; 名称: CH3_OFFSET

表46. CH3_OFFSET 位功能描述

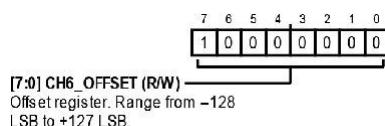
位	位名称	描述	复位	访问类型
[7:0]	CH3_OFFSET	失调寄存器。范围从 -128 LSB 到 + 127 LSB。0x00 = -128 LSB 失调; 0x80 = 无失调; 0xFF = +127 LSB 失调。	0x80	R/W

地址: 0x14; 复位: 0x80; 名称: CH4_OFFSET

表47. CH4_OFFSET 位功能描述

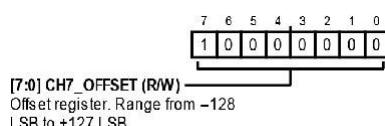
位	位名称	描述	复位	访问类型
[7:0]	CH4_OFFSET	失调寄存器。范围从 -128 LSB 到 + 127 LSB。0x00 = -128 LSB 失调; 0x80 = 无失调; 0xFF = +127 LSB 失调。	0x80	R/W

地址: 0x15; 复位: 0x80; 名称: CH5_OFFSET

表48. CH5_OFFSET 位功能描述

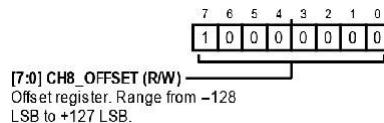
位	位名称	描述	复位	访问类型
[7:0]	CH5_OFFSET	失调寄存器。范围从 -128 LSB 到 + 127 LSB。0x00 = -128 LSB 失调; 0x80 = 无失调; 0xFF = +127 LSB 失调。	0x80	R/W

地址: 0x16; 复位: 0x80; 名称: CH6_OFFSET

表49. CH6_OFFSET 位功能描述

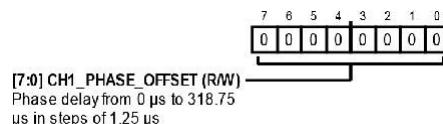
位	位名称	描述	复位	访问类型
[7:0]	CH6_OFFSET	失调寄存器。范围从 -128 LSB 到 + 127 LSB。0x00 = -128 LSB 失调; 0x80 = 无失调; 0xFF = +127 LSB 失调。	0x80	R/W

地址: 0x17; 复位: 0x80; 名称: CH7_OFFSET

表50. CH7_OFFSET 位功能描述

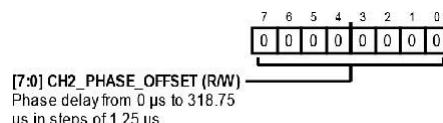
位	位名称	描述	复位	访问类型
[7:0]	CH7_OFFSET	失调寄存器。范围从 -128 LSB 到 + 127 LSB。0x00 = -128 LSB 失调; 0x80 = 无失调; 0xFF = +127 LSB 失调。	0x80	R/W

地址: 0x18; 复位: 0x80; 名称: CH8_OFFSET

表51. CH8_OFFSET 位功能描述

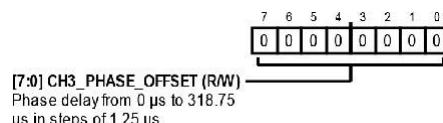
位	位名称	描述	复位	访问类型
[7:0]	CH8_OFFSET	失调寄存器。范围从 -128 LSB 到 +127 LSB。0x00 = -128 LSB 失调；0x80 = 无失调；0xFF = +127 LSB 失调。	0x80	R/W

地址: 0x19; 复位: 0x00; 名称: CH1_PHASE

表52. CH1_PHASE 位功能描述

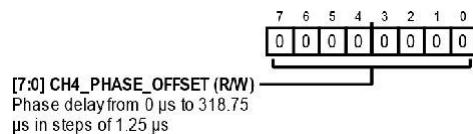
位	位名称	描述	复位	访问类型
[7:0]	CH1_PHASE_OFFSET	相位延迟从 0 到 318.75μs, 步长为 1.25μs。	0x0	R/W

地址: 0x1A; 复位: 0x00; 名称: CH2_PHASE

表53. CH2_PHASE 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH2_PHASE_OFFSET	相位延迟从 0 到 318.75μs, 步长为 1.25μs。	0x0	R/W

地址: 0x1B; 复位: 0x00; 名称: CH3_PHASE

表54. CH3_PHASE 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH3_PHASE_OFFSET	相位延迟从 0 到 318.75μs, 步长为 1.25μs。	0x0	R/W

地址: 0x1C; 复位: 0x00; 名称: CH4_PHASE

表55. CH4_PHASE 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH4_PHASE_OFFSET	相位延迟从 0 到 318.75μs, 步长为 1.25μs。	0x0	R/W

地址: 0x1D; 复位: 0x00; 名称: CH5_PHASE

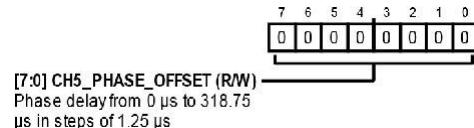


表56. CH5_PHASE 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH5_PHASE_OFFSET	相位延迟从 0 到 318.75 μ s, 步长为 1.25 μ s。	0x0	R/W

地址: 0x1E; 复位: 0x00; 名称: CH6_PHASE

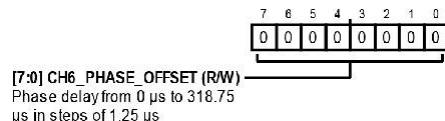


表57. CH6_PHASE 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH6_PHASE_OFFSET	相位延迟从 0 到 318.75 μ s, 步长为 1.25 μ s。	0x0	R/W

地址: 0x1F; 复位: 0x00; 名称: CH7_PHASE

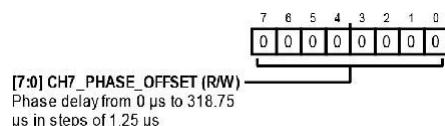


表58. CH7_PHASE 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH7_PHASE_OFFSET	相位延迟从 0 到 318.75 μ s, 步长为 1.25 μ s。	0x0	R/W

地址: 0x20; 复位: 0x00; 名称: CH8_PHASE

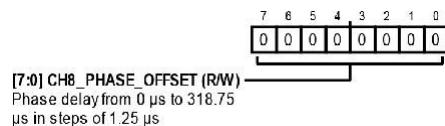


表59. CH8_PHASE 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH8_PHASE_OFFSET	相位延迟从 0 到 318.75 μ s, 步长为 1.25 μ s。	0x0	R/W

地址: 0x21; 复位: 0x00; 名称: DIGITAL_DIAG_ENABLE

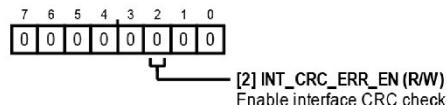
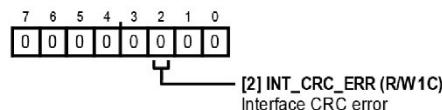
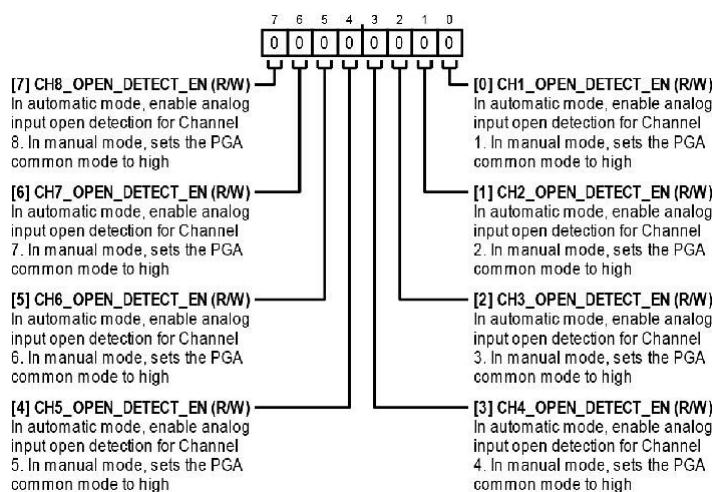


表60. DIGITAL_DIAG_ENABLE 位功能描述

位	位名称	描述	复位	访问类型
[7:3]	RESERVED	保留。	0x0	R
2	INT_CRC_ERR_EN	使能接口 CRC 校验。	0x0	R/W
[1:0]	RESERVED	保留。	0x0	R

地址: 0x22; 复位: 0x00; 名称: DIGITAL_DIAG_ERR

表61. DIGITAL_DIAG_ERR 位功能描述

位	位名称	描述	复位	访问类型
[7:3]	RESERVED	保留。	0x0	R
2	INT_CRC_ERR	接口 CRC 错误。	0x0	R/W1C
[1:0]	RESERVED	保留。	0x0	R

地址: 0x23; 复位: 0x00; 名称: OPEN_DETECT_ENABLE

表62. OPEN_DETECT_ENABLE 位功能描述

位	位名称	描述	复位	访问类型
7	CH8_OPEN_DETECT_EN	在自动模式下, 使能通道 8 的模拟输入开路检测。在手动模式下, 将 PGA 共模设置为高电平。	0x0	R/W
6	CH7_OPEN_DETECT_EN	在自动模式下, 使能通道 7 的模拟输入开路检测。在手动模式下, 将 PGA 共模设置为高电平。	0x0	R/W
5	CH6_OPEN_DETECT_EN	在自动模式下, 使能通道 6 的模拟输入开路检测。在手动模式下, 将 PGA 共模设置为高电平。	0x0	R/W
4	CH5_OPEN_DETECT_EN	在自动模式下, 使能通道 5 的模拟输入开路检测。在手动模式下, 将 PGA 共模设置为高电平。	0x0	R/W
3	CH4_OPEN_DETECT_EN	在自动模式下, 使能通道 4 的模拟输入开路检测。在手动模式下, 将 PGA 共模设置为高电平。	0x0	R/W
2	CH3_OPEN_DETECT_EN	在自动模式下, 使能通道 3 的模拟输入开路检测。在手动模式下, 将 PGA 共模设置为高电平。	0x0	R/W
1	CH2_OPEN_DETECT_EN	在自动模式下, 使能通道 2 的模拟输入开路检测。在手动模式下, 将 PGA 共模设置为高电平。	0x0	R/W
0	CH1_OPEN_DETECT_EN	在自动模式下, 使能通道 1 的模拟输入开路检测。在手动模式下, 将 PGA 共模设置为高电平。	0x0	R/W

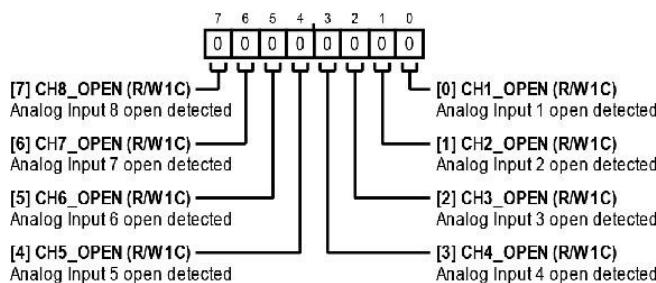
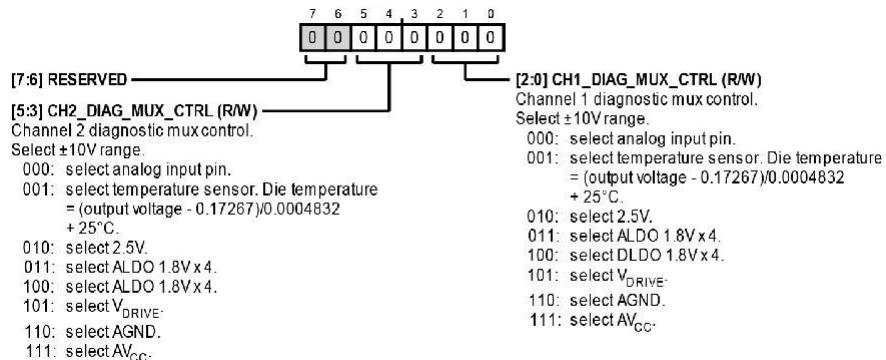
地址: 0x24; 复位: 0x00; 名称: OPEN_DETECTED


表63. OPEN_DETECTED 位功能描述

位	位名称	描述	复位	访问类型
7	CH8_OPEN	检测到模拟输入 8 开路。	0x0	R/W1C
6	CH7_OPEN	检测到模拟输入 7 开路。	0x0	R/W1C
5	CH6_OPEN	检测到模拟输入 6 开路。	0x0	R/W1C
4	CH5_OPEN	检测到模拟输入 5 开路。	0x0	R/W1C
3	CH4_OPEN	检测到模拟输入 4 开路。	0x0	R/W1C
2	CH3_OPEN	检测到模拟输入 3 开路。	0x0	R/W1C
1	CH2_OPEN	检测到模拟输入 2 开路。	0x0	R/W1C
0	CH1_OPEN	检测到模拟输入 1 开路。	0x0	R/W1C

地址: 0x28; 复位: 0x00; 名称: DIAGNOSTIC_MUX_CH1_2

表64. DIAGNOSTIC_MUX_CH1_2 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH2_DIAG_MUX_CTRL	通道 2 诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 $= (\text{输出电压} - 1.982)/0.0003335 + 25^{\circ}\text{C}$. 010: 选择 2.5 V。 011: 选择 ALDO 1.8 V。 100: 选择 ALDO 1.8 V。 101: 选择 V_{DRIVE} 。 110: 选择 AGND。 111: 选择 AV_{CC} .	0x0	R/W
[2:0]	CH1_DIAG_MUX_CTRL	通道 1 诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 $= (\text{输出电压} - 1.982)/0.0003335 + 25^{\circ}\text{C}$. 010: 选择 2.5 V。 011: 选择 ALDO 1.8 V。 100: 选择 DLDO 1.8 V。 101: 选择 V_{DRIVE} 。 110: 选择 AGND。 111: 选择 AV_{CC} .	0x0	R/W

地址: 0x29; 复位: 0x00; 名称: DIAGNOSTIC_MUX_CH3_4

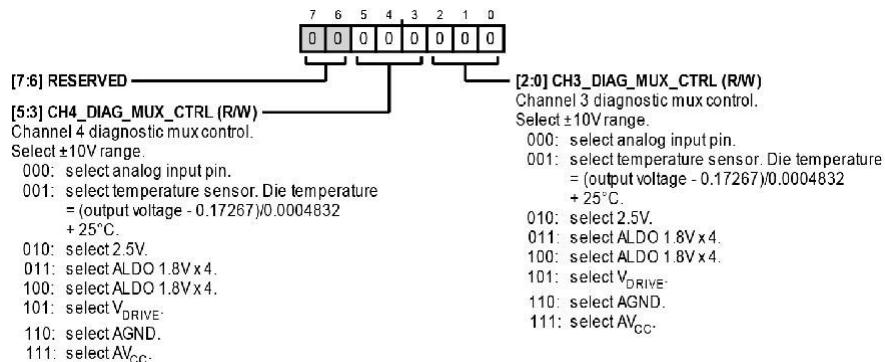


表65. DIAGNOSTIC_MUX_CH3_4 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH4_DIAG_MUX_CTRL	通道 4 诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 $= (\text{输出电压} - 1.982)/0.0003335 + 25^\circ\text{C}$ 。 010: 选择 2.5 V。 011: 选择 ALDO 1.8 V。 100: 选择 ALDO 1.8 V。 101: 选择 V_{DRIVE} 。 110: 选择 AGND。 111: 选择 AV_{CC} 。	0x0	R/W
[2:0]	CH3_DIAG_MUX_CTRL	通道 3 诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 $= (\text{输出电压} - 1.982)/0.0003335 + 25^\circ\text{C}$ 。 010: 选择 2.5 V。 011: 选择 ALDO 1.8 V。 100: 选择 ALDO 1.8 V。 101: 选择 V_{DRIVE} 。 110: 选择 AGND。 111: 选择 AV_{CC} 。	0x0	R/W

地址: 0x2A; 复位: 0x00; 名称: DIAGNOSTIC_MUX_CH5_6

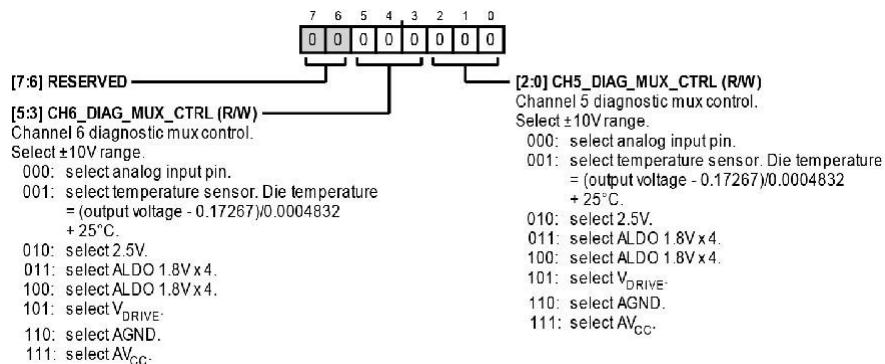


表66. DIAGNOSTIC_MUX_CH5_6 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH6_DIAG_MUX_CTRL	通道 6 诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = $(\text{输出电压} - 1.982)/0.0003335 + 25^\circ\text{C}$ 。 010: 选择 2.5 V。 011: 选择 ALDO 1.8 V。 100: 选择 ALDO 1.8 V。 101: 选择 V_{DRIVE} 。 110: 选择 AGND。 111: 选择 AV_{CC} 。	0x0	R/W
[2:0]	CH5_DIAG_MUX_CTRL	通道 5 诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = $(\text{输出电压} - 1.982)/0.0003335 + 25^\circ\text{C}$ 。 010: 选择 2.5 V。 011: 选择 ALDO 1.8 V。 100: 选择 ALDO 1.8 V。 101: 选择 V_{DRIVE} 。 110: 选择 AGND。 111: 选择 AV_{CC} 。	0x0	R/W

地址: 0x2B; 复位: 0x00; 名称: DIAGNOSTIC_MUX_CH7_8

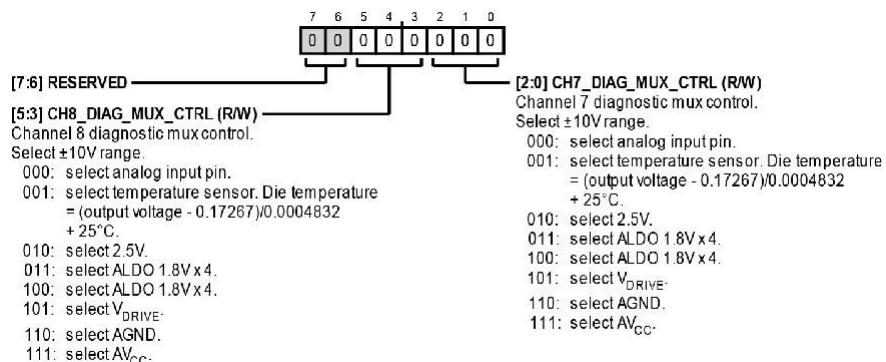
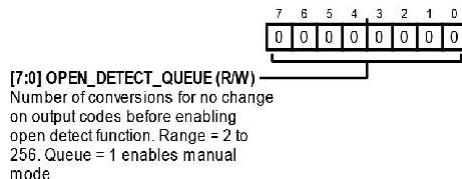


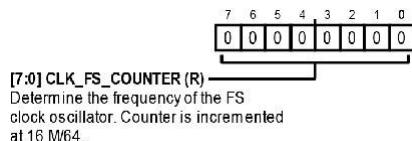
表67. DIAGNOSTIC_MUX_CH7_8 位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH8_DIAG_MUX_CTRL	通道 8 诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = $(\text{输出电压} - 1.982)/0.0003335 + 25^\circ\text{C}$ 。 010: 选择 2.5 V。 011: 选择 ALDO 1.8 V。 100: 选择 ALDO 1.8 V。 101: 选择 V_{DRIVE} 。 110: 选择 AGND。 111: 选择 AV_{CC} 。	0x0	R/W
[2:0]	CH7_DIAG_MUX_CTRL	通道 7 诊断多路复用器控制。选择 $\pm 10V$ 范围。	0x0	R/W

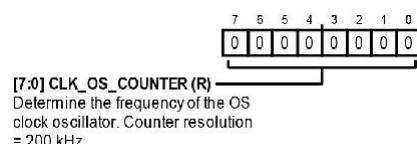
位	位名称	描述	复位	访问类型
		000: 选择模拟输入引脚。		
		001: 选择温度传感器。芯片温度 = (输出电压 - 1.982)/0.0003335 + 25°C。		
		010: 选择 2.5 V。		
		011: 选择 ALDO 1.8 V。		
		100: 选择 ALDO 1.8 V。		
		101: 选择 V_{DRIVE} 。		
		110: 选择 AGND。		
		111: 选择 AV_{CC} 。		

地址: 0x2C; 复位: 0x00; 名称: OPEN_DETECT_QUEUE

表68. OPEN_DETECT_QUEUE 位功能描述

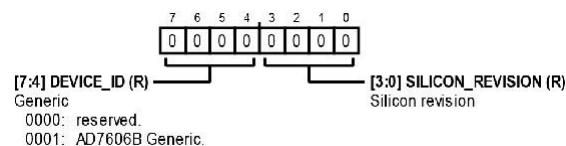
位	位名称	描述	复位	访问类型
[7:0]	OPEN_DETECT_QUEUE	输出代码无变化的转换次数，达到此次数后使能开路检测功能。 范围 = 2 到 256。队列 = 1 使能手动模式。	0x0	R/W

地址: 0x2D; 复位: 0x00; 名称: FS_CLK_COUNTER

表69. FS_CLK_COUNTER 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CLK_FS_COUNTER	确定 FS 时钟振荡器的频率。计数器以 16 M/64 递增。	0x0	R

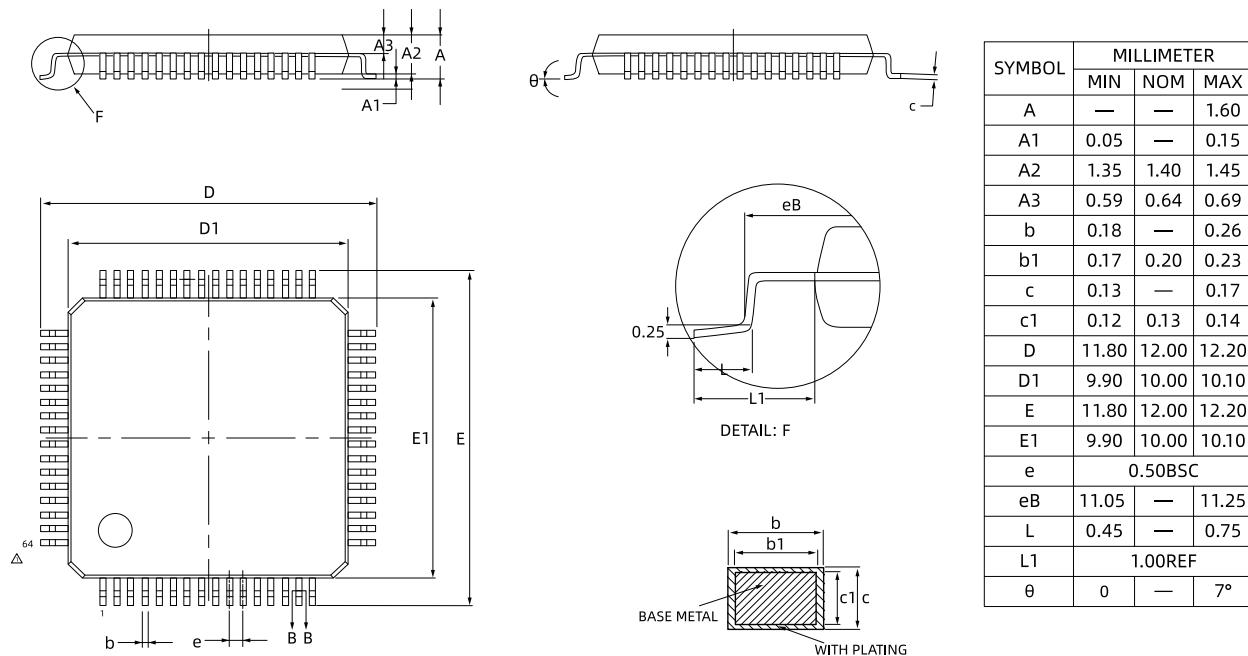
地址: 0x2E; 复位: 0x00; 名称: OS_CLK_COUNTER

表70. OS_CLK_COUNTER 位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CLK_OS_COUNTER	确定 OS 时钟振荡器的频率。计数器分辨率 = 200 kHz。	0x0	R

地址: 0x2F; 复位: 0x10; 名称: ID

表71. ID 的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	DEVICE_ID	通用。 0000: 保留。 0001: LHA6958H 通用	0x1	R
[3:0]	SILICON_REVISION	芯片版本。	0x0	R

19. 外形尺寸



图示尺寸单位: 毫米

图87. LHA6958H LQFP64 封装尺寸图

19.1. 订购指南

表72. 订购指南

芯片编号	精度	通道数	速率	温度范围	封装类型	引脚数
LHA6958HFLB	16Bits	8	1MSPS	-40°C ~ 125°C	LQFP	64
LHA6956HFLB	16Bits	6	1MSPS	-40°C ~ 125°C	LQFP	64
LHA6954HFLB	16Bits	4	1MSPS	-40°C ~ 125°C	LQFP	64

表73. 包装规格

订购型号	封装类型	引脚数	包装类型	大包装量	备注	备注
LHA6958HFLB	LQFP	64	TRAY	800 颗/包	160 颗/盘	
LHA6956HFLB	LQFP	64	TRAY	800 颗/包	-	
LHA6954HFLB	LQFP	64	TRAY	800 颗/包	-	

注释: REEL: 卷带包装;

TRAY: 托盘包装;

TUBE: 管式包装;