

双路四选一模拟开关

主要特点

- 宽工作电压范围：3V ~ 15V
- 低导通电阻：100Ω (VDD-VSS=15V)
- 极低的静态功耗和高关态电阻
- 模拟开关导通电阻差值 $\Delta R_{ON} = 5\Omega$ (VDD-VSS = 15V)
- 内置模拟开关控制地址译码器和电平转换器

主要应用领域

- 模拟/数字多路复用和解复用
- 工厂自动化和控制
- 楼宇自动化
- 电池测试设备
- 电网基础设施
- 电力输送
- 医疗



产品订购信息

产品名称	封装	打印名称	包装	包装数量
CD4052AN	DIP-16	CD4052A	管装	1000 只/盒
CD4052AM/TR	SOP-16	CD4052A	编带	2500 只/盘
CD4052AMT/TR	TSSOP-16	CD4052A	编带	2500 只/盘
CD4052AMS/TR	QSOP-16	CD4052A	编带	2500 只/盘
CD4052ALQ/TR	QFN-16 3*3	CD4052A,4052A	编带	5000 只/盘

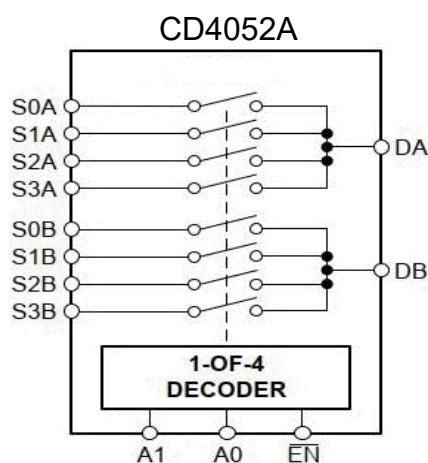
概述

CD4052A 模拟开关是用数字信号控制的多路调制/选择模拟开关，具有低导通电阻和低截止漏电流特性。通过模拟开关的模拟量幅度可高达 15VPP。例如， $VDD = 5V$, $GND = 0V$, $VSS = -5V$, 那么幅度-5V ~ +5V 的模拟信号就可用 0V ~ 5V 的数字信号来控制传输。

CD4052A 是一个双四选一模拟开关，每组四选一模拟开关分别有两个二进制控制输入端和使能 \overline{EN} 输入端，这两个二进制信号可将 4 个模拟通道中任一个置为导通状态，使能 \overline{EN} 输入端输入“1”电平时将两组四选一模拟开关所有通道置为关断状态，输入“0”电平时将两组四选一模拟开关所有通道置为导通状态。

CD4052A 采用 SOP-16、DIP-16、TSSOP-16、QSOP-16 和 QFN-16 封装形式。

功能框图

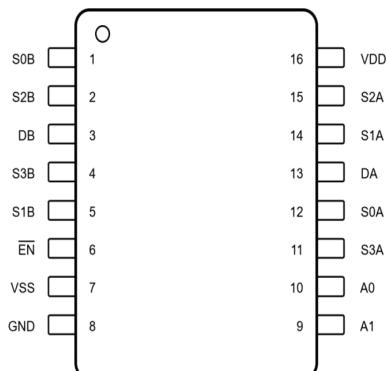


真值表

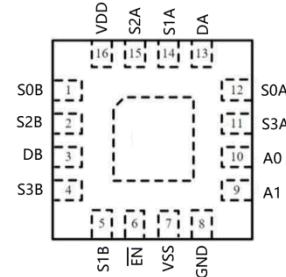
真值表					
输入情况			输出情况		
\overline{EN}	A_1	A_0			
0	0	0	S0A to DA S0B to DB		
0	0	1	S1A to DA S1B to DB		
0	1	0	S2A to DA S2B to DB		
0	1	1	S3A to DA S3B to DB		
1	X	X	None		

注：X= 忽略不计

引脚排列图



DIP-16/SOP-16/QSP-16/TSSOP-16



QFN-16

管脚功能定义

管脚序号	管脚名称	I/O	描述
1	S0B	I/O	B 开关通道 0 输入或输出
2	S2B	I/O	B 开关通道 2 输入或输出
3	DB	I/O	B 开关公共输入或输出
4	S3B	I/O	B 开关通道 3 输入或输出
5	S1B	I/O	B 开关通道 1 输入或输出
6	EN	I	逻辑使能低电平有效，当该引脚为高电平时，所有开关关闭；当该引脚为低电平时，A1 和 A0 地址输入决定打开哪个开关
7	VSS	P	负电源 ^[1]
8	GND	P	接地 (0 V)
9	A1	I	地址控制位，与 A0 组合见真值表
10	A0	I	地址控制位，与 A1 组合见真值表
11	S3A	I/O	A 开关通道 3 输入或输出
12	S0A	I/O	A 开关通道 0 输入或输出
13	DA	I/O	A 开关公共输入或输出
14	S1A	I/O	A 开关通道 1 输入或输出
15	S2A	I/O	A 开关通道 2 输入或输出
16	VDD	P	正电源 ^[1]

注：[1] 为了可靠运行在 VSS 和 GND 之间连接一个 0.1 μ F 至 10 μ F 的去耦电容。

极限参数

参数	标识	值
电源电压 (电压参考 VSS 脚)	V _{DD}	-0.5 ~ 18V
输入电压 (所有输入)	V _{IN}	-0.5 ~ V _{DD} +0.5V
输入电流 (任一输入)	I _{IN}	±10mA
工作温度范围	T _A	-40 ~ 85°C
最大工作结温	T _J	150°C
存储温度	T _S	-65 ~ +150°C
焊接温度 (10s)	T _W	260°C

注：极限参数是指无论在任何条件下都不能超过的极限值。如果超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

推荐工作条件

参数	标识	最小值	最大值	单位
电源电压	V _{DD}	3	15	V
输入电压	V _{IN}	0	V _{DD}	V

直流电气特性 (若无其他规定, $V_{SS}=0V$, $T_{amb}=25^{\circ}C$)

参数	标识	测试条件		最小值	典型值	最大值	单位
静态电流	I_{DD}	-	$V_{DD}=5V$	0	-	5	uA
		-	$V_{DD}=10V$	0	-	10	
		-	$V_{DD}=15V$	0	-	20	
导通电阻	R_{ON}	$V_{DD}=2.5V, V_{SS}=-2.5V$ 或 $V_{DD}=5V, V_{SS}=0V$		-	270	1050	Ω
		$V_{DD}=5V, V_{SS}=-5V$ 或 $V_{DD}=10V, V_{SS}=0V$		-	120	400	
		$V_{DD}=7.5V, V_{SS}=-7.5V$ 或 $V_{DD}=15V, V_{SS}=0V$		-	100	240	
导通电阻差值	ΔR_{on}	$V_{DD}=2.5V, V_{SS}=-2.5V$ 或 $V_{DD}=5V, V_{SS}=0V$		-	10	-	Ω
		$V_{DD}=5V, V_{SS}=-5V$ 或 $V_{DD}=10V, V_{SS}=0V$		-	10	-	
		$V_{DD}=7.5V, V_{SS}=-7.5V$ 或 $V_{DD}=15V, V_{SS}=0V$		-	5	-	
关态通道漏电流 (任一通道处于关态)	I_{OFF}	$V_{DD}=7.5V, V_{SS}=-7.5V$ $O/I=\pm 7.5V$, $I/O=0V$		-	± 0.01	± 50	nA
		$\bar{EN}=7.5V$		-	± 0.04	± 200	nA
低电平输入电压	V_{IL}	$ I_o <1\mu A$	$V_{DD}=5V$	-	-	1.5	V
			$V_{DD}=10V$	-	-	3.0	
			$V_{DD}=15V$	-	-	4.0	
高电平输入电压	V_{IH}	$ I_o <1\mu A$	$V_{DD}=5V$	3.5	-	-	V
			$V_{DD}=10V$	7	-	-	
			$V_{DD}=15V$	11	-	-	
输入电流	I_{IN}	$V_{IN}=0V$	$V_{DD}=15V$	-	-10^{-5}	-0.3	uA
		$V_{IN}=15V$		-	10^{-5}	0.3	

交流电气特性 (若无其他规定, $V_{SS}=0V$, $T_{amb}=25^{\circ}C$)

参数	标识	测试条件	最小值	典型值	最大值	单位
传输延迟时间 (开启通道)	t_{PZH} t_{PZL}	$R_L=1K\Omega$, $C_L=50pF$	$V_{DD}=5V$	-	-	1200
			$V_{DD}=10V$	-	-	450
			$V_{DD}=15V$	-	-	320
传输延迟时间 (关闭通道)	t_{PHZ} t_{PLZ}	$R_L=1K\Omega$, $C_L=50pF$	$V_{DD}=5V$	-	-	420
			$V_{DD}=10V$	-	-	200
			$V_{DD}=15V$	-	-	150
输入电容	C_{IN}	控制输入	$V_{DD}=10V$	-	-	7.5
		信号输入	$V_{DD}=15V$	-	-	15
输出电容 (共输入/输出)	C_{out}	-	$V_{DD}=10V$	-	15	-
旁路电容	C_{ios}	-	$V_{DD}=10V$	-	0.2	-
电源耗散电容	C_{PO}	-	$V_{DD}=10V$	-	140	-
正弦波失真度		$R_L=10K\Omega$, $f_{IS}=1KHz$, $V_{IS}=5Vpp$, $V_{SI}=0V$	$V_{DD}=10V$	-	0.04	-
正弦波频率响应		$R_L=1K\Omega$, $V_{IS}=5Vpp$, $20\log_{10}(V_{OS}/V_{IS})=-40dB$	$V_{DD}=10V$	-	40	-
关态串扰频率		$R_L=1K\Omega$, $V_{IS}=5Vpp$, $20\log_{10}(V_{OS}/V_{IS})=-40dB$	$V_{DD}=10V$	-	10	-
信号串扰频率		$R_L=1K\Omega$, $V_{IS}=5Vpp$, $20\log_{10}(V_{OS}/V_{IS})=-40dB$	$V_{DD}=10V$	-	3	-
信号输入到输出的 传输延迟	t_{PHL} t_{PLH}	$C_L=50pF$	$V_{DD}=5V$	-	25	55
			$V_{DD}=10V$	-	15	35
			$V_{DD}=15V$	-	10	25
控制输入到信号响应		$R_L=10K\Omega$, 在所有通道的末端输入振幅 为 10V 的方波	$V_{DD}=10V$	-	65	—
传输延迟时间 从取址到信 号输出通道为开启或关闭	t_{PHL} t_{PLH}	$C_L=50pF$	$V_{DD}=5V$	-	300	1000
			$V_{DD}=10V$	-	100	350
			$V_{DD}=15V$	-	70	240

测试电路图 (所有不使用的引脚接地, $V_{SS}=0V$, $T_{amb}=25^{\circ}C$)

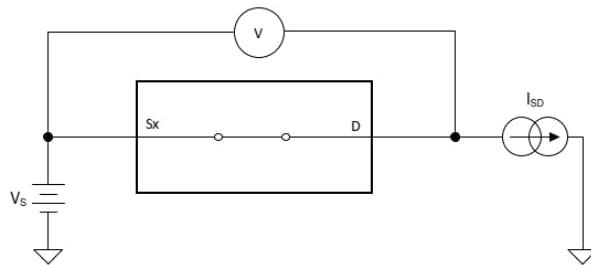


图 1 RON 测试

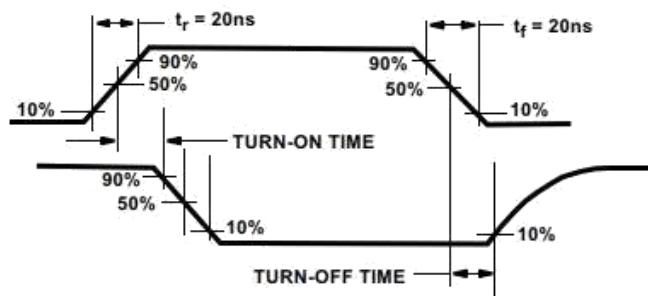


图 2 通道开启波形 ($RL = 1 \text{ k}\Omega$)

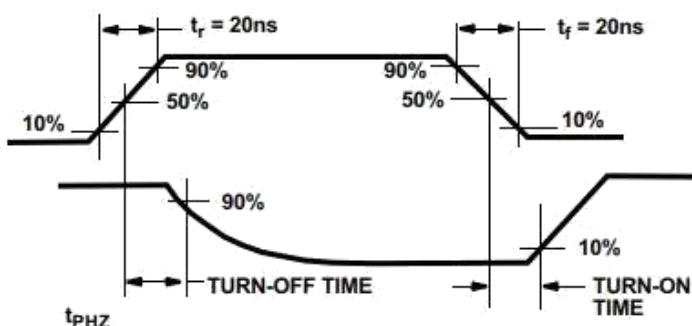
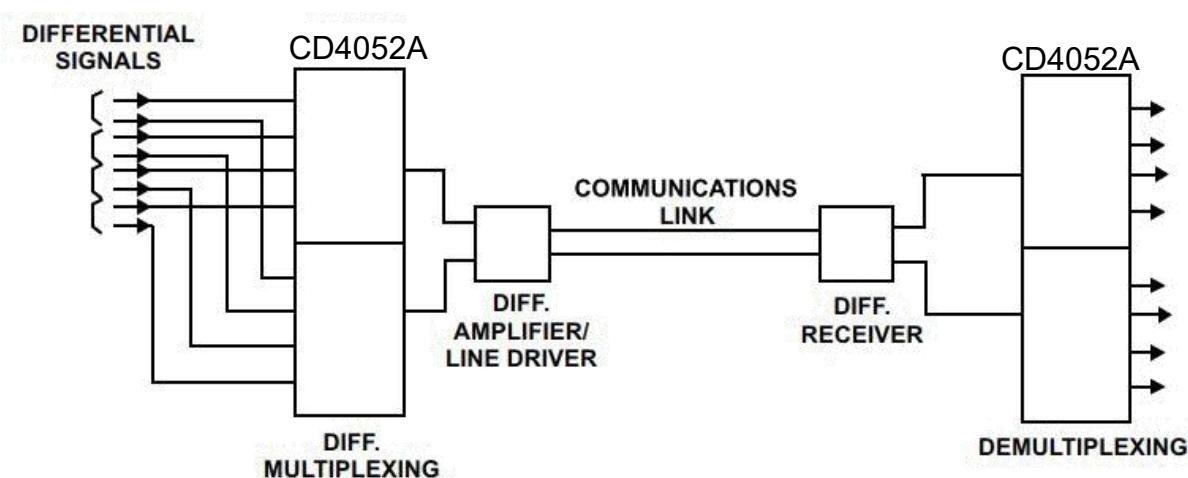


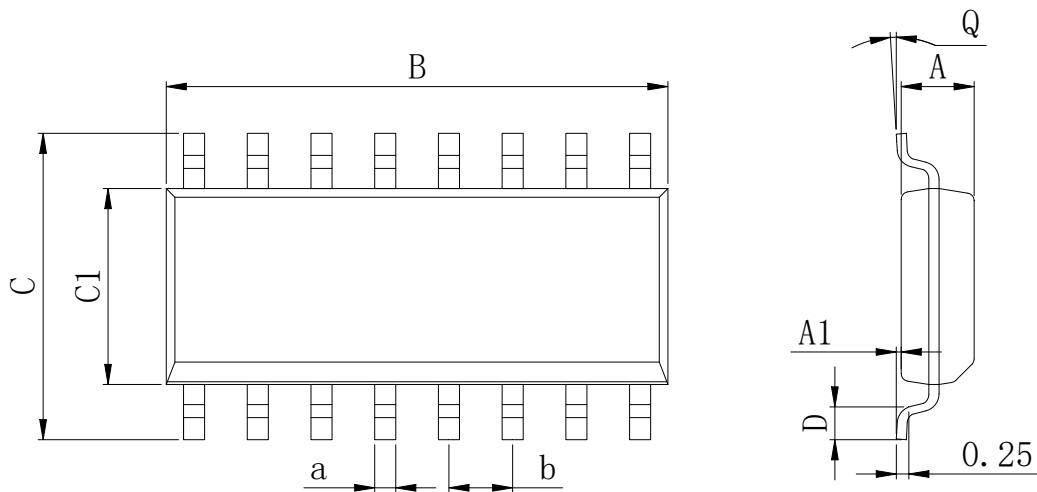
图 3 通道关闭波形 ($RL = 1 \text{ k}\Omega$)

典型应用



封装外形尺寸

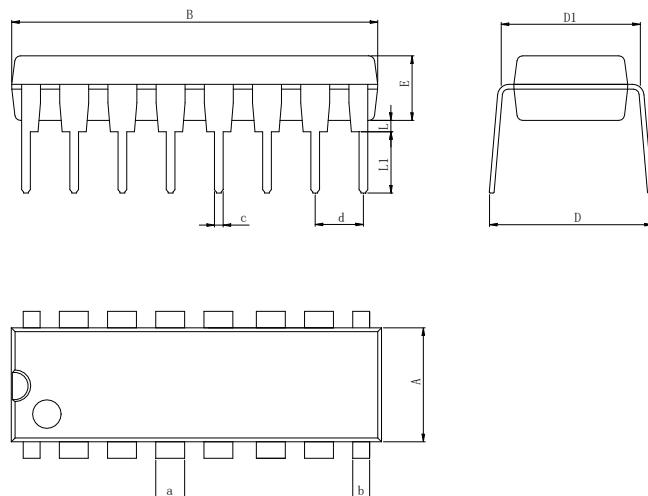
SOP-16



Dimensions In Millimeters(SOP-16)

Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	0.40	0	0.35	1.27 BSC
Max:	1.55	0.20	10.0	6.20	4.00	0.80	8	0.45	

DIP-16

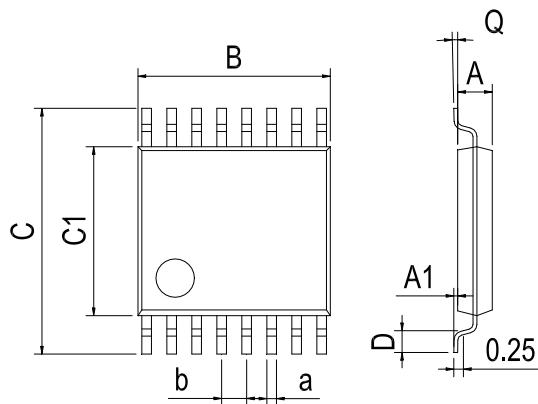


Dimensions In Millimeters(DIP-16)

Symbol:	A	B	D	D1	E	L	L1	a	b	c	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

封装外型尺寸

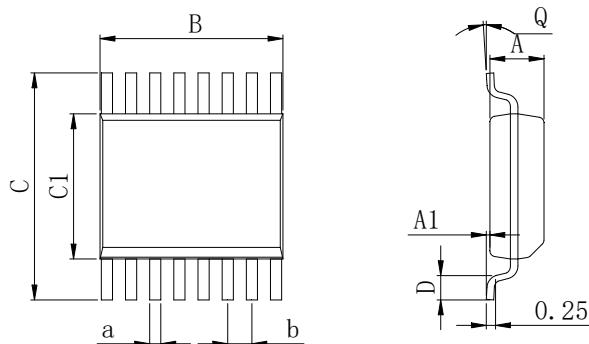
TSSOP-16



Dimensions In Millimeters(TSSOP-16)

Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

QSOP-16

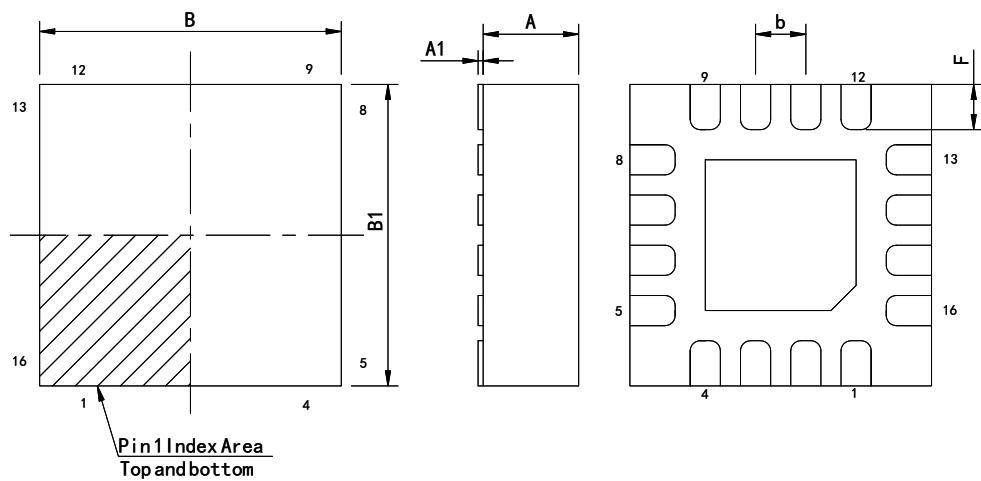


Dimensions In Millimeters(QSOP-16)

Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	4.80	5.80	3.80	0.40	0°	0.20	0.635 BSC
Max:	1.55	0.20	5.10	6.20	4.00	0.80	8°	0.25	

封装外形尺寸

QFN-16 3*3



Dimensions In Millimeters(QFN-16 3*3)

Symbol:	A	A1	B	B1	E	F	a	b
Min:	0.85	0	2.90	2.90	0.15	0.25	0.18	0.50TYP
Max:	0.95	0.05	3.10	3.10	0.25	0.45	0.30	

修订历史

版本编号	日期	修改内容	页码
V1.0	2016-4	新修订	1-11
V1.1	2024-8	文档重新格式化	1-11

重要声明：

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。