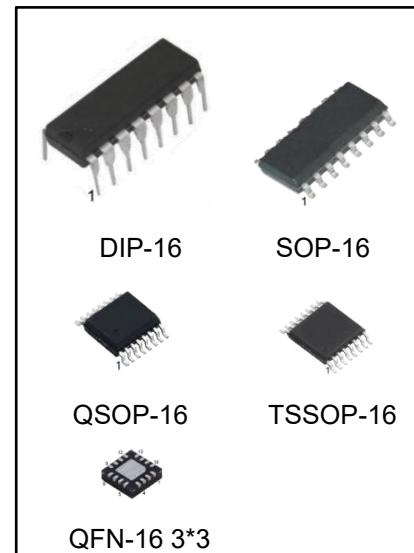


带三态输出的八位移位寄存器

主要特征

- 八位串行输入
- 八位串行或并行输出
- 带有三态输出的存储寄存器
- 带有直接清零的移位寄存器
- 100MHz (典型值) 的移位输出频率
- ESD 保护功能



产品订购信息

产品名称	封装	打印名称	包装	包装数量
74HC595AN	DIP-16	74HC595A	管装	1000 只/盒
74HC595AM/TR	SOP-16	74HC595A	编带	2500 只/盘
74HC595AMS/TR	QSOP-16	HC595A	编带	2500 只/盘
74HC595AMT/TR	TSSOP-16	HC595A	编带	2500 只/盘
74HC595ALQ/TR	QFN-16 3*3	HC595A	编带	5000 只/盘

概 述

74HC595A 是高速硅栅 CMOS 器件，引脚兼容低功耗肖特基 TTL 电路 (LSTTL) ，它符合 JEDEC 标准 no.7A。74HC595A 由八段带有存储寄存器和三态输出的串行移位寄存器组成，而移位寄存器和存储寄存器拥有分开的时钟。数据在移位时钟 **SH_CP** 的上升沿到来时进行移位传输，而在存储时钟 **ST_CP** 的上升沿到来时由移位寄存器传输到存储寄存器。如果把两个时钟接在一起，那么移位寄存器上的数据总是比存储寄存器提前一个时钟脉冲的时间。

74HC595A 移位寄存器有一个串行输入端 (DS) 和一个作为级联的串行输出端 (Q7')，同时拥有一个异步的复位端 (低电平有效)；存储寄存器有八位并行的带有三态输出的总线驱动输出端，当输出使能端 (**OE**) 为低电平时，输出端为正常输出，反之，**OE** 为高电平时，输出为高阻关闭状态。

74HC595A 采用 SOP-16、QSOP-16、TSSOP-16、DIP16 和 QFN-16 封装形式

主要应用领域

- 串并转换
- 遥控保持记忆装置

功能框图及逻辑图

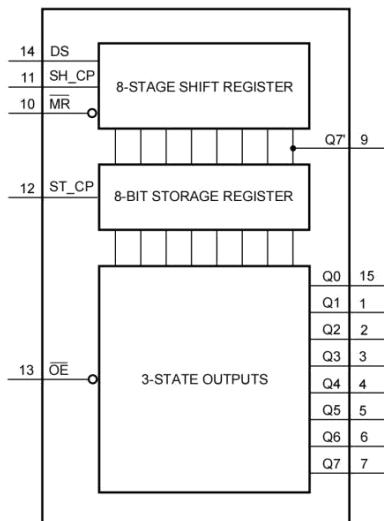


图 1 功能框图

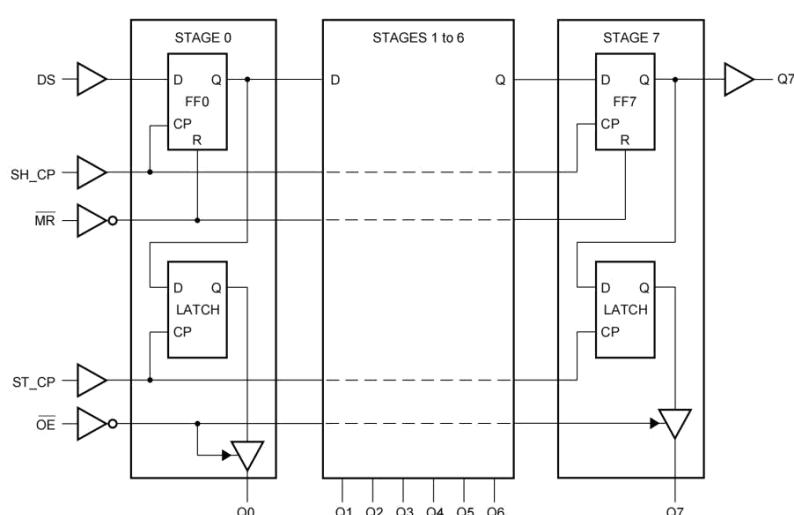


图 2 逻辑框图

时序图

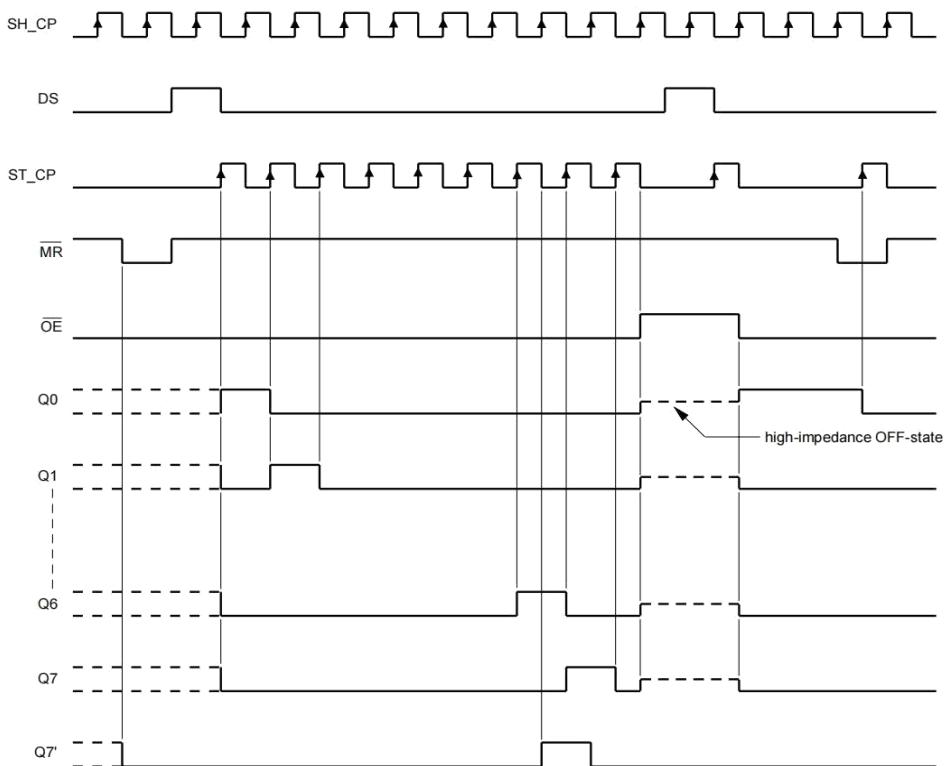


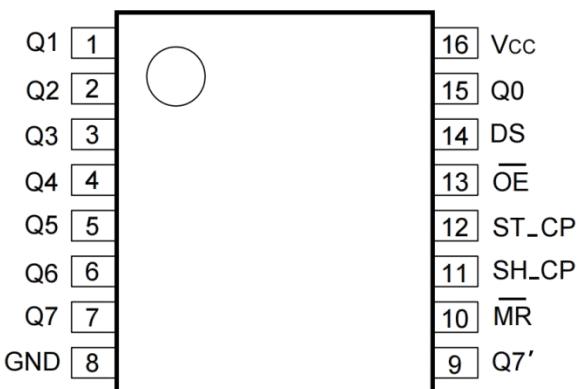
图 3 时序图

功能说明

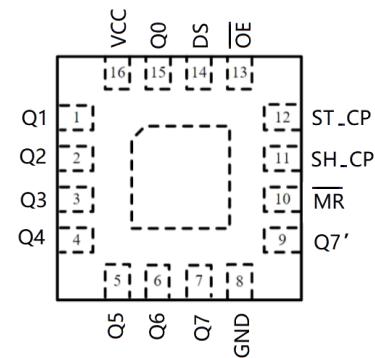
输入					输出		功能
SH_CP	ST_CP	OE	MR	DS	Q7'	Qn	
×	×	L	L	×	L	n.c.	MR为低电平时仅使移位寄存器复位
×	↑	L	L	×	L	L	移位寄存器把空值传到存储寄存器
×	×	H	L	×	L	Z	移位寄存器清零；并行输出端处于高阻关闭状态
↑	×	L	H	H	Q6'	n.c.	逻辑高电平由输入传输到第 0 段移位寄存器；所有移位寄存器的数据在移位时钟作用下依次后传
×	↑	L	H	×	n.c.	Qn'	所有移位寄存器的数据在存储时钟的作用下传输到对应的存储寄存器中
↑	↑	L	H	×	Q6'	Qn'	移位寄存器依次后传；同时移位寄存器把前一个状态传输到对应的存储寄存器和输出

注：H=高电平 L=低电平 ↑=上升沿 Z=高阻关闭状态 n.c.=无变化 X=无关量

引脚排列图



SOP-16/DIP-16/TSSOP-16/QSOP-16



QFN-16 3*3

引脚说明

引脚	符 号	功 能
1	Q1	并行数据输出
2	Q2	并行数据输出
3	Q3	并行数据输出
4	Q4	并行数据输出
5	Q5	并行数据输出
6	Q6	并行数据输出
7	Q7	并行数据输出
8	GND	地 (0V)
9	Q7'	串行数据输出
10	MR	主复位 (低电平有效)
11	SH_CP	移位寄存器时钟输入
12	ST_CP	存储寄存器时钟输入
13	OE	使能输入 (低电平有效)
14	DS	串行数据输入
15	Q0	并行数据输出
16	Vcc	电源电压

极限参数

参数	标识	值
电源电压	V_{CC}	-0.5 ~ 7V
输入二极管电流	I_{IK}	$\pm 20mA$
输出二极管电流	I_{OK}	$\pm 20mA$
输出电流	I_o	$\pm 35mA$
V_{CC} 或 GND 电流	I_{CC}, I_{GND}	$\pm 70mA$
工作温度	T_A	-40 ~ +85°C
最大工作结温	T_J	150°C
存储温度	T_S	-65 ~ +150°C
焊接温度 (10s)	T_W	260°C

注：极限参数是指无论在任何条件下都不能超过的极限值。万一超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

推荐工作条件 (若无其他规定, $T_{amb}=25°C$)

参数	标识	最小值	最大值	单位
电源电压	V_{DD}	2	6	V
输入电压	V_{IN}	0	V_{CC}	V
输出电压	V_o	0	V_{CC}	V

直流电气特性

(若无其他规定, Tamb=25°C)

参数	标识	测试条件		最小值	典型值	最大值	单位
		其他	V _{cc} / V				
高电平输入电压	V _{IH}	-	2.0	1.5	1.2	-	V
			4.5	3.15	2.4	-	V
			6.0	4.2	3.2	-	V
低电平输入电压	V _{IL}	-	2.0	-	0.8	0.5	V
			4.5	-	2.1	1.35	V
			6.0	-	2.8	1.8	V
高电平输出电压 (所有输出)	V _{OH}	V _i =V _{IH} 或 V _{IL}					
		I _O =-20uA	2.0	1.9	2	-	V
			4.5	4.4	4.5	-	V
			6.0	5.9	6	-	V
		I _O =-6mA	4.5	3.84	4.41	-	V
		I _O =-7.8mA	6.0	5.34	5.89	-	V
低电平输出电压 (所有输出)	V _{OL}	V _i =V _{IH} 或 V _{IL}					
		I _O =20uA	2.0	-	0	0.1	V
			4.5	-	0	0.1	V
			6.0	-	0	0.1	V
		I _O =6mA	4.5	-	0.05	0.33	V
		I _O =7.8mA	6.0	-	0.06	0.33	V
输入漏电流	I _U	V _i =V _{cc} 或 GND	6.0	-	-	±1	uA
三态输出高阻态电流	I _{OZ}	V _i =V _{IH} 或 V _{IL} V _O =V _{cc} 或 GND	6.0	-	-	±5	uA
静态电源电流	I _{CC}	V _i =V _{cc} 或 GND I _O =0	6.0	-	-	80	uA

交流电气特性

(若无其他规定, Tamb=25°C)

参数	标识	测试条件		最小值	典型值	最大值	单位	
		波形	V _{cc} / V					
SH_CP 到Q7' 的传输延迟时间	t _{PHL} /t _{PLH}	参考图 4	2.0	—	52	160	ns	
			4.5	—	19	32	ns	
			6.0	—	15	27	ns	
ST_CP 到Qn 的传输延迟时间		参考图 5	2.0	—	55	175	ns	
			4.5	—	20	35	ns	
			6.0	—	16	30	ns	
MR到Q7' 的传输延迟时间	t _{PHL}	参考图 7	2.0	—	47	175	ns	
			4.5	—	17	35	ns	
			6.0	—	14	30	ns	
OE 使Qn 端由高阻态到使能输出时间	t _{PZH} /t _{PZL}	参考图 8	2.0	—	47	150	ns	
			4.5	—	17	30	ns	
			6.0	—	14	26	ns	
OE 使Qn 端由使能输出到高阻态时间	t _{PHZ} /t _{PLZ}	参考图 8	2.0	—	41	150	ns	
			4.5	—	15	30	ns	
			6.0	—	12	26	ns	
移位时钟脉冲宽度(高电平或低电平)	t _w	参考图 4	2.0	75	17	—	ns	
			4.5	15	6	—	ns	
			6.0	13	5	—	ns	
存储时钟脉冲宽度(高电平或低电平)		参考图 5	2.0	75	11	—	ns	
			4.5	15	4	—	ns	
			6.0	13	3	—	ns	
主复位脉冲宽度(低电平)		参考图 7	2.0	75	17	—	ns	
			4.5	15	6.0	—	ns	
			6.0	13	5.0	—	ns	
DS 到SH_CP 的建立时间	t _{su}	参考图 6	2.0	50	11	—	ns	
			4.5	10	4.0	—	ns	
			6.0	9.0	3.0	—	ns	
SH_CP 到ST_CP 的建立时间		参考图 5	2.0	75	22	—	ns	
			4.5	15	8	—	ns	
			6.0	13	7	—	ns	
DS 到SH_CP 的保持时间	t _h	参考图 6	2.0	+3	-6	—	ns	
			4.5	+3	-2	—	ns	
			6.0	+3	-2	—	ns	
MR使SH_CP 复位的时间	t _{rem}	参考图 7	2.0	+50	-19	—	ns	
			4.5	+10	-7	—	ns	
			6.0	+9	-6	—	ns	
SH_CP 或ST_CP 的最小时钟脉宽	f _{max}	参考图 4 和图 5	2.0	9	30	—	MHz	
			4.5	30	91	—	MHz	
			6.0	35	108	—	MHz	

测试线路

交流测试线路

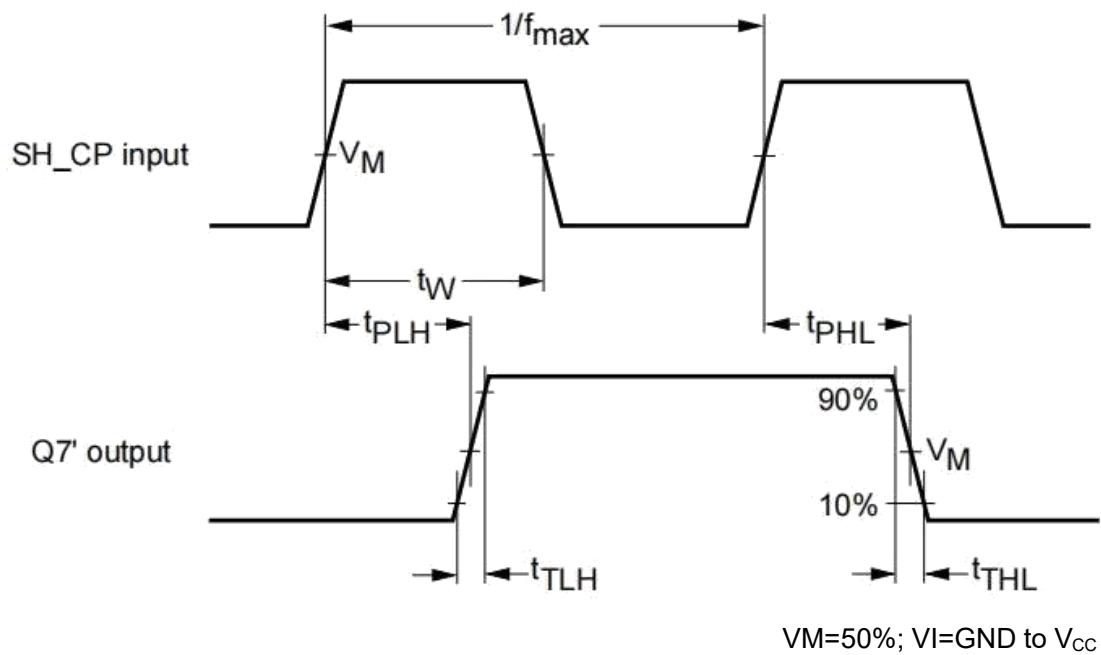


图 4 SH_CP 到 Q7' 的传输延时、移位时钟脉冲宽度和最大移位时钟频率

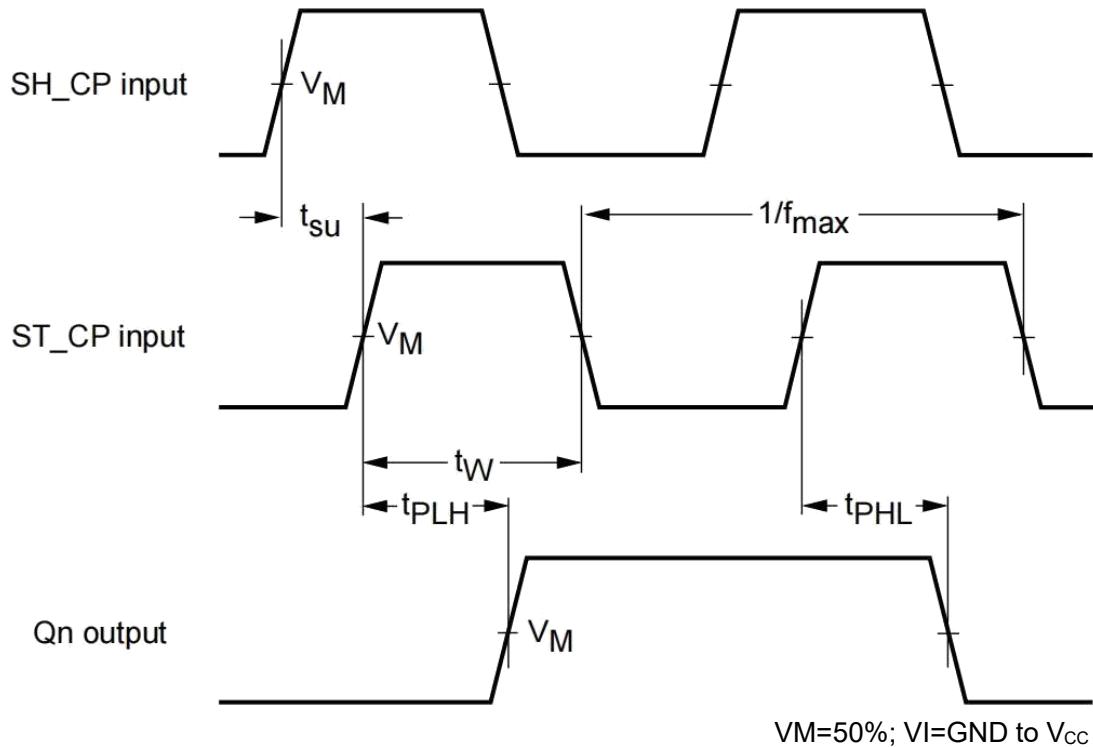


图 5 ST_CP 到 Qn 的传输延时、存储时钟脉冲宽度、移位时钟到存储时钟的建立时间

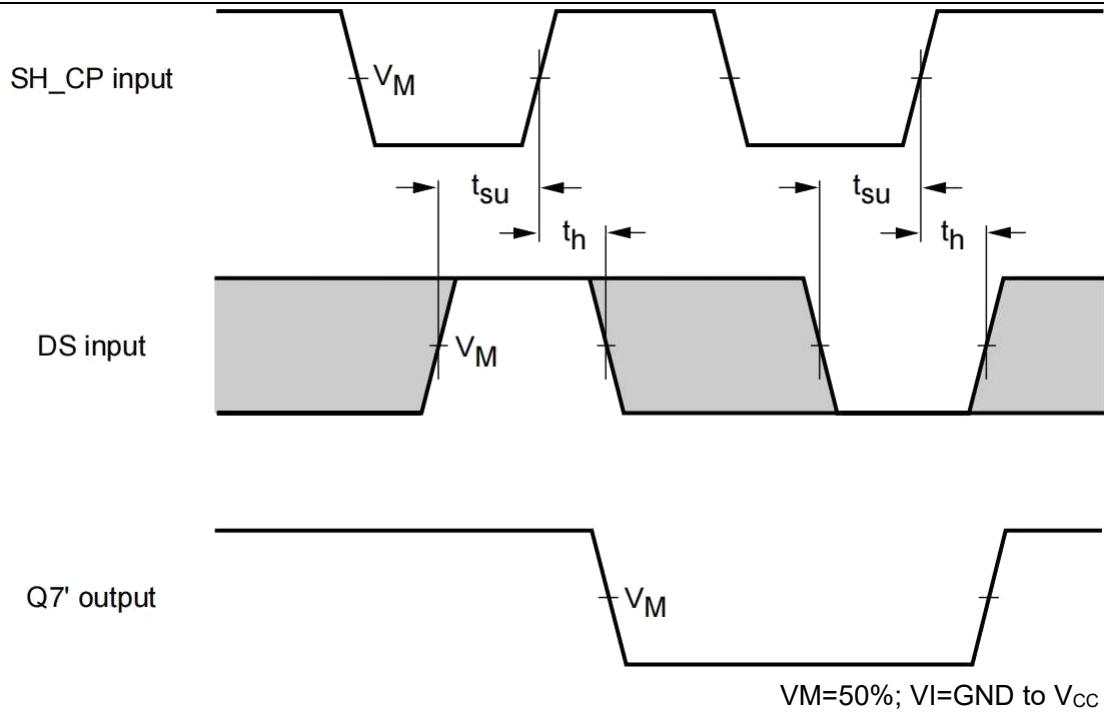


图 6 DS 输入的建立和保持时间

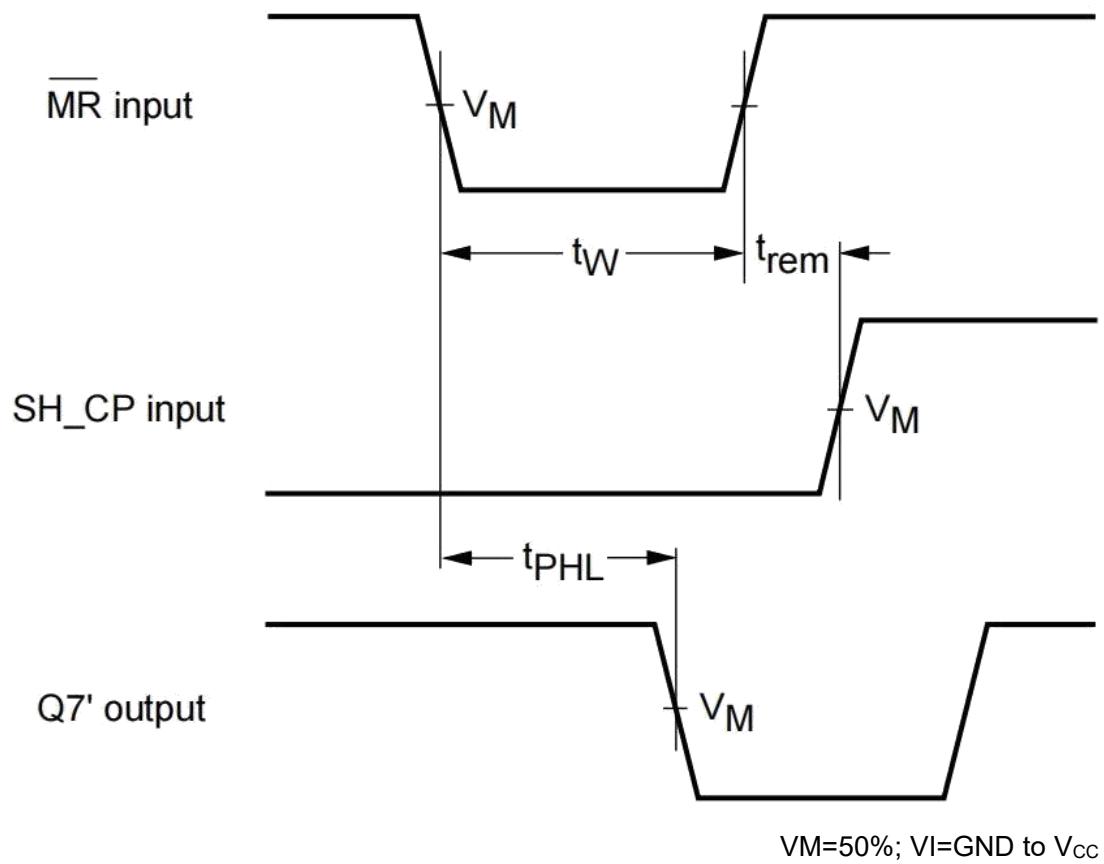
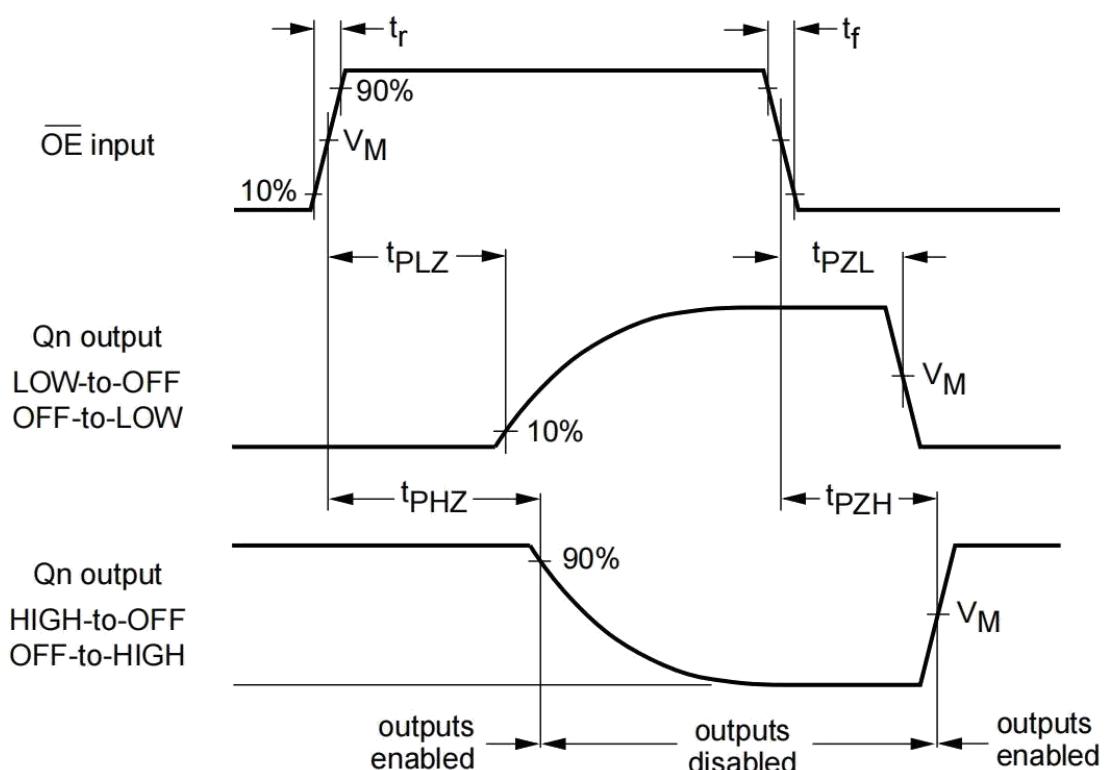


图 7 主复位的脉冲宽度、主复位到 Q7'的传输延时、主复位到 SH_CP 的复位时间

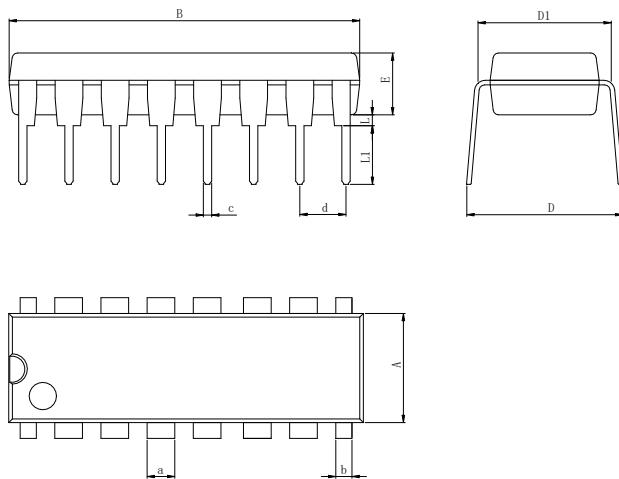


$V_M=50\%$; $VI=GND$ to V_{CC}

图 8 三态输出随输出使能端的变化时间

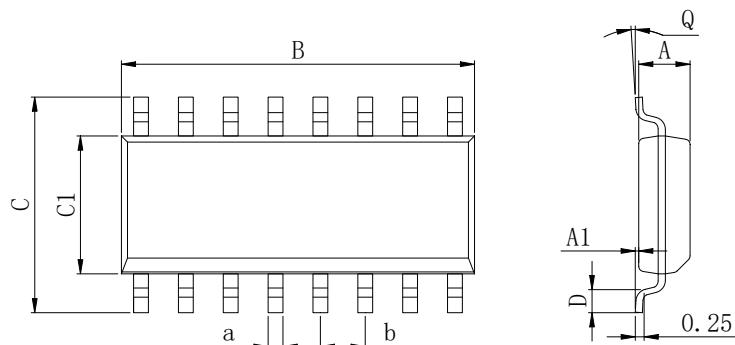
封装外形尺寸

DIP-16



Dimensions In Millimeters(DIP-16)											
Symbol:	A	B	D	D1	E	L	L1	a	b	c	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

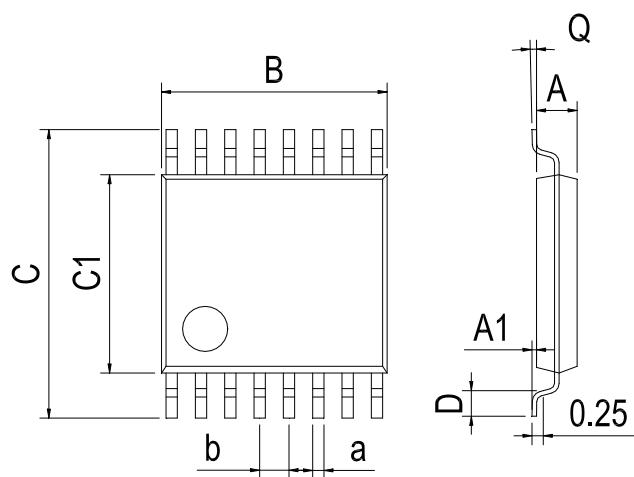
SOP-16



Dimensions In Millimeters(SOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	0.40	0°	0.35	1.27 BSC
Max:	1.55	0.20	10.0	6.20	4.00	0.80	8°	0.45	

封装外形尺寸

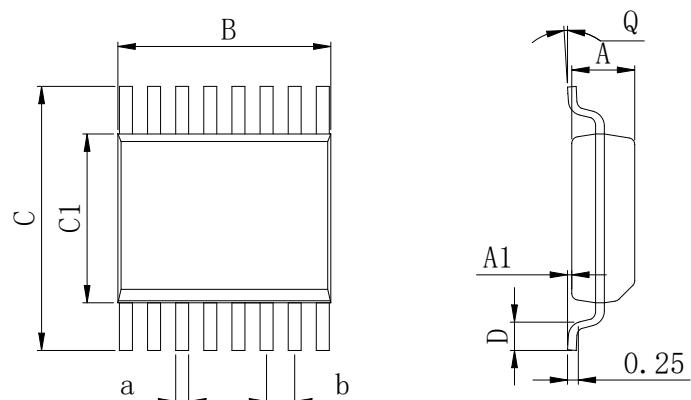
TSSOP-16



Dimensions In Millimeters(TSSOP-16)

Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

QSOP-16

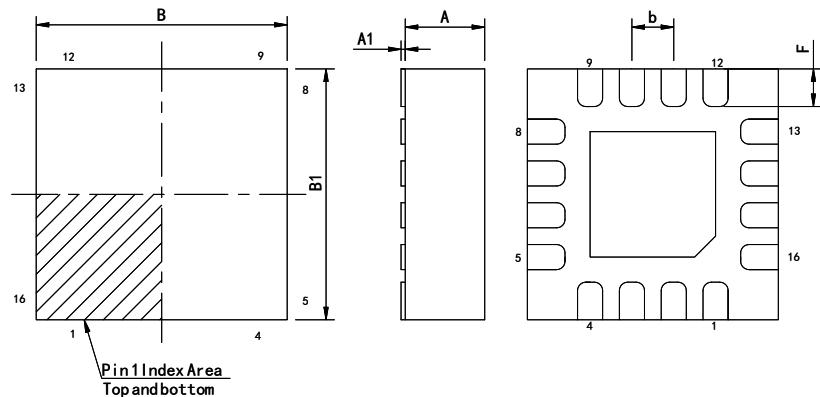


Dimensions In Millimeters(QSOP-16)

Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	4.80	5.80	3.80	0.40	0°	0.20	0.635 BSC
Max:	1.55	0.20	5.10	6.20	4.00	0.80	8°	0.25	

封装外形尺寸

QFN-16 3*3



Dimensions In Millimeters(QFN-16 3*3)

Symbol:	A	A1	B	B1	E	F	a	b
Min:	0.85	0	2.90	2.90	0.15	0.25	0.18	0.50TYP
Max:	0.95	0.05	3.10	3.10	0.25	0.45	0.30	

修订历史

版本编号	日期	修改内容	页码
V1.0	2014-9	新修订	1-14
V1.1	2017-5	增加 QFN-16 封装型号	1
V1.2	2024-12	文档重新格式化	1-15

重要声明：

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。