

HC32F467 系列

32 位 ARM® Cortex®-M4 微控制器

数据手册

Rev1.01 2024 年 10 月

产品特性

ARM Cortex-M4 32bit MCU+FPU, 300DMIPS, 1MB Flash, 516KB SRAM, 2USBs (HS/FS OTG), Ethernet MAC, 2CANs (2.0B), 2SDIOs, DVP, EXMC, 19 Timers, 3ADCs, 2DACs, 2PGAs, 3CMPs, 8UARTs, 6SPIs, 3I2Cs, 4I2Ss, QSPI, AES, HASH (SHA256/HMAC), FMAC (FIR), MAU

- ARMv7-M 架构 32bit Cortex-M4 CPU, 集成 FPU、MPU, 支持 SIMD 指令的 DSP, 全指令跟踪单元 ETM, 及 CoreSight 标准调试单元。最高工作主频 240MHz, 达到 300DMIPS 或 825Coremarks 的运算性能
- 内置存储器
 - 最大 1024KByte 的 single bank Flash memory
 - 最大 516KByte 的 SRAM, 包括 128KByte 的单周期访问高速 RAM
- 电源, 时钟, 复位管理
 - 系统电源 (Vcc): 1.8-3.6V
 - 6 个独立时钟源: 外部主时钟晶振 (4-25MHz), 外部副晶振 (32.768kHz), 内部高速 RC (16/20MHz), 内部中速 RC (8MHz), 内部低速 RC (32kHz), 内部 WDT 专用 RC (10kHz)
 - 包括上电复位 (POR), 低电压检测复位 (PVD1R/PVD2R), 端口复位 (NRST) 在内的 15 种复位源, 每个复位源有独立标志位
- 低功耗运行
 - 外设功能可以独立关闭或开启
 - 三种低功耗模式: Sleep, Stop, Power down 模式
 - VBAT 独立供电支持超低功耗 RTC, 128Byte 备份寄存器, 4KByte 备份 SRAM
- 外设运行支持系统显著降低 CPU 处理负荷
 - 16 通道双主机 DMAC
 - USBHS, USBFS, Ethernet MAC 专用 DMAC
 - 8 个数据计算单元 (DCU)
 - 数学协处理单元 (MAU), 支持 Sin/Sqrt
 - 支持 16 阶 FIR 数字滤波器 (FMAC)
 - 支持外设事件相互触发 (AOS)
- 高性能模拟
 - 3 个独立 12bit 2.5MSPS ADC
 - 3 个同时采样保持电路实现 3 通道同时采样
 - 2 个独立 12bit 15MSPS DAC
 - 2 个可编程增益放大器 (PGA)
 - 3 个独立电压比较器 (CMP)
 - 1 个片上温度传感器 (OTS)
- Timer
 - 3 个多功能 32bit PWM Timer (Timer6)
 - 3 个 16bit 电机 PWM Timer (Timer4)
 - 8 个 16bit 通用 Timer (TimerA)
 - 2 个 16bit 基础 Timer (Timer0)
 - 实时时钟 Timer (RTC)
 - 2 个 WDT, 支持内部专用时钟
- 最大 116 个 GPIO
 - 最大 112 个 5V-tolerant IO
- 最大 32 个通信接口
 - 8 个 USART, 支持 ISO7816-3 协议
 - 6 个 SPI
 - 3 个 I2C, 支持 SMBus 协议
 - 4 个 I2S, 内置音频 PLL
 - 2 个 SDIO, 支持 SD/MMC/eMMC 格式
 - 1 个 QSPI, 支持 240Mbps 高速访问 (XIP)
 - 2 个 CAN, 支持 CAN2.0B
 - 2 个 USB 2.0, 分别支持 HS, FS, 内置 FS-PHY, 支持 Device/Host
 - 1 个 10/100M Ethernet MAC, 支持专用 DMA, IEEE 1588-2018 PTP, MII/RMII 接口
- 外部存储器控制器 EXMC
 - 支持静态 Memory 控制器
 - 支持动态 Memory 控制器
- 数据加密功能
 - AES/HASH (SHA256/HMAC) /TRNG
- 封装形式:
 - LQFP144 (20×20mm) LQFP100 (14×14mm)
 - LQFP64 (10×10mm)

HC32F467KGTI-LQFP64	HC32F467PGTI-LQFP100
HC32F467RGTI-LQFP144	-

声 明

- ★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- ★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- ★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- ★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- ★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。
- ★ 本通知中的信息取代并替换先前版本中的信息。

©2024 小华半导体有限公司 保留所有权利

目 录

产品特性.....	2
声 明.....	3
目 录.....	4
表索引.....	8
图索引.....	11
1 简介 (Overview)	13
1.1 型号命名规则	14
1.2 型号功能对比表.....	15
1.3 功能框图	17
1.4 功能简介	18
1.4.1 CPU.....	18
1.4.2 总线架构 (BUS)	18
1.4.3 复位控制 (RMU)	19
1.4.4 时钟控制 (CMU)	19
1.4.5 电源控制 (PWC)	20
1.4.6 初始化配置 (ICG)	20
1.4.7 嵌入式 FLASH 接口 (EFM)	20
1.4.8 内置 SRAM (SRAM)	21
1.4.9 通用 IO (GPIO)	21
1.4.10 中断控制 (INTC)	21
1.4.11 自动运行系统 (AOS)	22
1.4.12 存储保护单元 (MPU)	22
1.4.13 键盘扫描 (KEYSCAN)	22
1.4.14 内部时钟校准器 (CTC)	23
1.4.15 DMA 控制器 (DMA)	23
1.4.16 电压比较器 (CMP)	23
1.4.17 模数转换器 (ADC)	24
1.4.18 数模转换器 (DAC)	25
1.4.19 温度传感器 (OTS)	26
1.4.20 高级控制定时器 (Timer6)	26
1.4.21 通用控制定时器 (Timer4)	26
1.4.22 紧急刹车模块 (EMB)	26
1.4.23 通用定时器 (TimerA)	26

1.4.24	通用定时器 (Timer0)	27
1.4.25	实时时钟 (RTC)	27
1.4.26	看门狗计数器 (WDT)	27
1.4.27	串行通信接口 (USART)	27
1.4.28	集成电路总线 (I2C)	28
1.4.29	串行外设接口 (SPI)	29
1.4.30	四线式串行外设接口 (QSPI)	29
1.4.31	集成电路内置音频总线 (I2S)	30
1.4.32	USB2.0 高速模块 (USBHS)	30
1.4.33	USB2.0 全速模块 (USBFS)	30
1.4.34	CAN2.0B 控制器 (CAN2.0B)	31
1.4.35	SDIO 控制器 (SDIOC)	31
1.4.36	以太网 MAC 控制器 (ETHMAC)	31
1.4.37	外部存储器控制器 (EXMC)	32
1.4.38	数字视频接口 (DVP)	32
1.4.39	加密协处理模块 (CPM)	32
1.4.40	CRC 计算单元 (CRC)	32
1.4.41	数据计算单元 (DCU)	32
1.4.42	数学运算单元 (MAU)	33
1.4.43	滤波数学加速器 (FMAC)	33
1.4.44	调试控制器 (DBGMC)	33
2	引脚配置及功能 (Pinouts)	34
2.1	引脚配置图	34
2.2	引脚功能表	37
2.3	引脚功能说明	44
2.4	引脚使用说明	48
3	电气特性 (ECs)	49
3.1	参数条件	49
3.1.1	最小值和最大值	49
3.1.2	典型值	49
3.1.3	典型曲线	49
3.1.4	负载电容	49
3.1.5	引脚输入电压	49
3.1.6	电源方案	50
3.1.7	电流消耗测量	51

3.2	绝对最大额定值.....	52
3.3	工作条件	53
3.3.1	通用工作条件	53
3.3.2	上电 / 掉电时的工作条件	53
3.3.3	复位和电源控制模块特性.....	53
3.3.4	供电电流特性	55
3.3.5	低功耗模式唤醒时序.....	64
3.3.6	外部时钟源特性.....	65
3.3.7	内部时钟源特性.....	68
3.3.8	PLL 特性	70
3.3.9	存储器（闪存）特性.....	70
3.3.10	电气敏感性.....	72
3.3.11	I/O 端口特性	73
3.3.12	I2C 接口特性	77
3.3.13	SPI 接口特性	78
3.3.14	QSPI 接口特性.....	81
3.3.15	I2S 接口特性	82
3.3.16	CAN FD/CAN2.0B 接口特性	84
3.3.17	USB 接口特性.....	84
3.3.18	ETHMAC 特性	87
3.3.19	USART 接口特性.....	90
3.3.20	JTAG 接口特性	92
3.3.21	SWD 接口特性.....	94
3.3.22	ETM 接口特性.....	95
3.3.23	12 位 ADC 特性	96
3.3.24	12 位 DAC 特性	101
3.3.25	温度传感器.....	104
3.3.26	比较器特性.....	104
3.3.27	EXMC 特性	105
3.3.28	DVP 特性.....	107
3.3.29	SD/SDIO MMC Card host interface(SDIO)特性.....	108
3.3.30	增益可调放大器特性.....	111
3.3.31	VBAT 特性	111
3.3.32	EIRQ 滤波特性.....	112
3.3.33	USART1 STOP 模式下 RX 滤波特性	112

3.3.34	USB 片上全速 PHY STOP 模式下滤波特性	112
4	封装信息	113
4.1	封装尺寸	113
4.2	焊盘示意图.....	116
4.3	丝印说明	119
4.4	封装热阻系数	119
5	订购信息	120
	版本修订记录	121

表索引

表 1-1	型号功能对比表	15
表 1-2	SPI 主要特性	29
表 1-3	I2S 主要特性	30
表 2-1	引脚功能表	37
表 2-2	Func32~63 表	41
表 2-3	端口配置	42
表 2-4	通用功能规格	43
表 2-5	引脚功能说明	44
表 2-6	引脚使用说明	48
表 3-1	VCAP_1/VCAP_2 工作条件	51
表 3-2	电压特性	52
表 3-3	电流特性	52
表 3-4	热特性	52
表 3-5	通用工作条件	53
表 3-6	上电 / 掉电时的工作条件	53
表 3-7	复位和电源控制模块特性	53
表 3-8	高速模式电流消耗 1	56
表 3-9	高速模式电流消耗 2	56
表 3-10	高速模式电流消耗 3	57
表 3-11	超低速模式电流消耗 1	59
表 3-12	超低速模式电流消耗 2	60
表 3-13	低功耗模式电流消耗	61
表 3-14	备份域电流消耗	62
表 3-15	模拟模块电流消耗	63
表 3-16	低功耗模式唤醒时间	64
表 3-17	高速外部用户时钟特性	65
表 3-18	XTAL 4-25MHz 振荡器特性	66
表 3-19	XTAL32 振荡器特性	67
表 3-20	HRC 振荡器特性	68
表 3-21	MRC 振荡器特性	68
表 3-22	LRC 振荡器特性	68
表 3-23	SWDTLRC 振荡器特性	69
表 3-24	RTCRC 振荡器特性	69

表 3-25	I2S-PLL (PLLA) 主要性能指标	70
表 3-26	系统 PLL (PLLH) 主要性能指标	70
表 3-27	闪存特性	70
表 3-28	闪存编程擦除时间	71
表 3-29	闪存可擦写次数和数据保存期限	71
表 3-30	ESD 特性	72
表 3-31	静态 Latch-up 特性	72
表 3-32	I/O 静态特性	73
表 3-33	输出电压特性	75
表 3-34	I/O 交流特性	76
表 3-35	I2C 电气特性	77
表 3-36	SPI 电气特性	78
表 3-37	QSPI 电气特性	81
表 3-38	I2S 电气特性	82
表 3-39	USB Full-Speed 电气特性	84
表 3-40	USB Low-Speed 电气特性	85
表 3-41	ULPI HS 时钟时序参数	86
表 3-42	ETHMAC_SMI 接口特性	87
表 3-43	ETHMAC_MII 接口特性	88
表 3-44	ETHMAC_RMII 接口特性	89
表 3-45	USART AC 时序	90
表 3-46	USART AC 时序	90
表 3-47	JTAG 接口特性	92
表 3-48	SWD 接口特性	94
表 3-49	ETM 接口特性	95
表 3-50	ADC 特性	96
表 3-51	ADC 特性 (续)	96
表 3-52	ADC123_IN0~3、ADC12_IN4~9、ADC12_IN14~15 输入通道精度@ $f_{ADC}=60\text{MHz}$	97
表 3-53	ADC123_IN0~3、ADC12_IN4~9、ADC12_IN14~15 输入通道精度@ $f_{ADC}=8/30\text{MHz}$	97
表 3-54	ADC123_IN0~3、ADC12_IN4~9、ADC12_IN14~15 输入通道精度@ $f_{ADC}=60\text{MHz}$	97
表 3-55	ADC123_IN0~3、ADC12_IN4~9、ADC12_IN14~15 输入通道精度@ $f_{ADC}=8/30\text{MHz}$	97
表 3-56	ADC12_IN10~13、ADC3_IN4~15 输入通道精度@ $f_{ADC}=60\text{MHz}$	98
表 3-57	ADC12_IN10~13、ADC3_IN4~15 输入通道精度@ $f_{ADC}=30\text{MHz}$	98
表 3-58	ADC12_IN10~12、ADC3_IN4~15 输入通道输入通道动态精度@ $f_{ADC}=60\text{MHz}$	98
表 3-59	ADC12_IN10~13、ADC3_IN4~15 输入通道输入通道动态精度@ $f_{ADC}=8/30\text{MHz}$	98

表 3-60	ADC+采样保持电路通道精度@ $f_{ADC}=60\text{MHz}$	98
表 3-61	12-bit DAC 端口输出允许且输出放大器允许时特性	101
表 3-62	12-bit DAC 端口输出允许且输出放大器禁止时特性	102
表 3-63	12-bit DAC 端口输出禁止且输出放大器禁止时特性	103
表 3-64	温度传感器特性	104
表 3-65	比较器特性	104
表 3-66	EXMC 特性.....	105
表 3-67	DVP 特性	107
表 3-68	默认速度模式时序参数.....	109
表 3-69	高速模式时序参数.....	110
表 3-70	增益可调放大器特性	111
表 3-71	备份电池域电气特性	111
表 3-72	EIRQ 滤波特性	112
表 3-73	USART1 STOP 模式下 RX 滤波特性.....	112
表 3-74	USB 片上全速 PHY STOP 模式下滤波特性.....	112
表 4-1	各封装热阻系数表.....	119

图索引

图 1-1 功能框图.....	17
图 2-1 引脚配置图	错误!未定义书签。
图 3-1 引脚负载条件(左)与输入电压测量 (右)	49
图 3-2 电源方案.....	50
图 3-3 电流消耗测量方案.....	51
图 3-4 采用8MHz 晶振的典型应用	66
图 3-5 采用 32.768kHz 晶振的典型应用.....	67
图 3-6 Schmitt input DC electrical characteristics definition	74
图 3-7 VIH/VIL versus VCC (Schmitt Input).....	74
图 3-8 I/O 交流特性定义	76
图 3-9 I2C 总线时序定义.....	77
图 3-10 SPI timing diagram -slave mode and CPHA=0	79
图 3-11 SPI timing diagram -slave mode and CPHA=1	79
图 3-12 SPI timing diagram -master mode.....	80
图 3-13 QSPCK 输出时序图.....	81
图 3-14 QSPI 数据接收发送时序图	81
图 3-15 I2S 从模式时序 (Philips 协议)	83
图 3-16 I2S 主模式时序 (Philips 协议)	83
图 3-17 USB 上升/下降时间及 Cross Over 电压定义.....	85
图 3-18 ULPI 时序图	86
图 3-19 ETHMAC-SMI 接口时序图	87
图 3-20 ETHMAC-MII 接口输出信号时序图	88
图 3-21 ETHMAC-MII 接口输入信号时序图	88
图 3-22 ETHMAC-RMII 接口时序图	89
图 3-23 USART 时钟时序	91
图 3-24 USART (CSI) 输入输出时序	91
图 3-25 JTAG TCK 时钟.....	92
图 3-26 JTAG 输入输出.....	93
图 3-27 SWD SWCLK 时钟	94
图 3-28 SWDIO 输入输出	94
图 3-29 TRACE 时钟.....	95
图 3-30 TRACE DATA 输出	95
图 3-31 ADC 精度特性	99

图 3-32 使用 ADC 的典型连接.....	100
图 3-33 电源和参考电源去耦例.....	100
图 3-34 EXMC 输出信号时序图	106
图 3-35 EXMC 输入信号时序图	106
图 3-36 DVP 输入信号时序图	107
图 3-37 默认速度模式输入时序图	108
图 3-38 默认速度模式输出时序图	108
图 3-39 高速模式输入时序图	109
图 3-40 高速模式输出时序图	109

1 简介 (Overview)

HC32F467 系列是基于 ARM® Cortex®-M4 32-bit RISC CPU，最高工作频率 240MHz 的高性能 MCU。Cortex-M4 内核集成了浮点运算单元 (FPU) 和 DSP，实现单精度浮点算术运算，支持所有 ARM 单精度数据处理指令和数据类型，支持完整 DSP 指令集。内核集成了 MPU 单元，同时叠加 DMAC 专用 MPU 单元，保障系统运行的安全性。

HC32F467 系列集成了高速片上存储器，包括最大 1MB 的 Flash，最大 512KB 的 SRAM。集成了 Flash 访问加速单元，实现 CPU 在 Flash 上的单周期程序执行。轮询式总线矩阵支持多个总线主机同时访问存储器和外设，提高运行性能。总线主机包括 CPU，DMA，USB 专用 DMA，ETHMAC 专用 DMA。除总线矩阵外，支持外设间数据传递，基本算术运算和事件相互触发，可以显著降低 CPU 的事务处理负荷。

HC32F467 系列集成了丰富的外设功能。包括 3 个独立的 12bit 2.5MSPS ADC，2 个增益可调 PGA，2 个 12 位 15MSPS 的 DAC，3 个高速电压比较器 (CMP)，3 个多功能 PWM Timer (Timer6)，支持 6 路互补 PWM 输出，3 个电机 PWM Timer (Timer4) 支持 18 路互补 PWM 输出，8 个 16bit 通用 Timer (TimerA) 支持 4 路 3 相正交编码输入及 32 路 Duty 独立可设 PWM 输出，17 个串行通信接口 (I2C/UART/SPI)，1 个 QSPI 接口，2 路 CAN，4 个 I2S 支持音频 PLL，2 个 SDIO，1 个 ETHMAC，内置 USBFS PHY 的 USBFS Controller 和 USBHS Controller，1 个外部扩张总线控制器，包括 NFC 控制器，SMC 控制器和 DMC 控制器，1 个数字视频接口 DVP，1 个数学运算单元 (MAU) 和 4 个滤波数学加速器 (FMAC)。

HC32F467 系列支持宽电压范围 (1.8~3.6V)，宽温度范围 (-40~105℃) 和各种低功耗模式。支持低功耗模式的快速唤醒，STOP 模式唤醒最快至 2μs，Power Down 模式唤醒最快至 25μs。

典型应用

HC32F467 系列提供 64pin、100pin、144pin 的 LQFP 封装用于高性能变频控制、数字电源、智能硬件、IoT 连接模块等领域。

1.1 型号命名规则

	HC	32	F	4	6	7	R	G	T	I
小华半导体										
CPU位宽										
32: 32bit										
产品类型										
F: 通用										
CPU类型										
4: Cortex-M4										
性能识别码										
6: 高性能										
功能配置识别码										
7: 配置8										
引脚数										
R: 144Pin P: 100Pin K: 64Pin										
FLASH容量										
G: 1MB										
封装类型										
T: LQFP										
环境温度范围										
I: -40~105℃										

1.2 型号功能对比表

表 1-1 型号功能对比表

功能		产品型号		
		HC32F467 RGTI	HC32F467 PGTI	HC32F467 KGTI
引脚数		144	100	64
GPIO数		116	83	52
5V Tolerant GPIO数		108	75	48
封装		LQFP		
温度范围		-40 ~ 105°C		
电源电压范围		1.8 ~ 3.6V		
Memory	Flash	1MB		
	OTP	134KByte		
	SRAM	512 + 4KB		
DMA		2unit * 8ch		
外部端口中断		EIRQ * 16vec		
Communcation Interfaces (括号内是每个ch最 少所需IO数)	UART	8ch (1)		
	SPI	6ch (3)		
	I2C	3ch (2)		
	I2S	4ch (3)		
	CAN2.0B	2ch (2)		
	QSPI	1ch (3)		
	SDIO	2ch (3)		
	ETHMAC	1ch (10)		
	USB HS	1ch (2)		
	USB FS	1ch (2)		

功能		产品型号		
		HC32F467 RGTI	HC32F467 PGTI	HC32F467 KGTI
Timers	Timer0	2unit		
	TimerA	8unit		
	Timer4	3unit		
	Timer6	3unit		
	WDT	1ch		
	SWDT	1ch		
	RTC	1ch		
Analog	12bit ADC	3unit, 24ch	3unit, 16ch	
	12bitDAC	2ch		
	PGA	2ch		
	CMP	3ch		
	OTS	✓		
DVP		✓		
DCU		✓		
FMAC		✓		
MAU		✓		
AES256		✓		
HASH (SHA256)		✓		
TRNG		✓		
EXMC		1		0
频率监测模块 (FCM)		✓		
可编程电压检测功能(PVD)		✓		
调试接口		SWD		
		JTAG		

1.3 功能框图

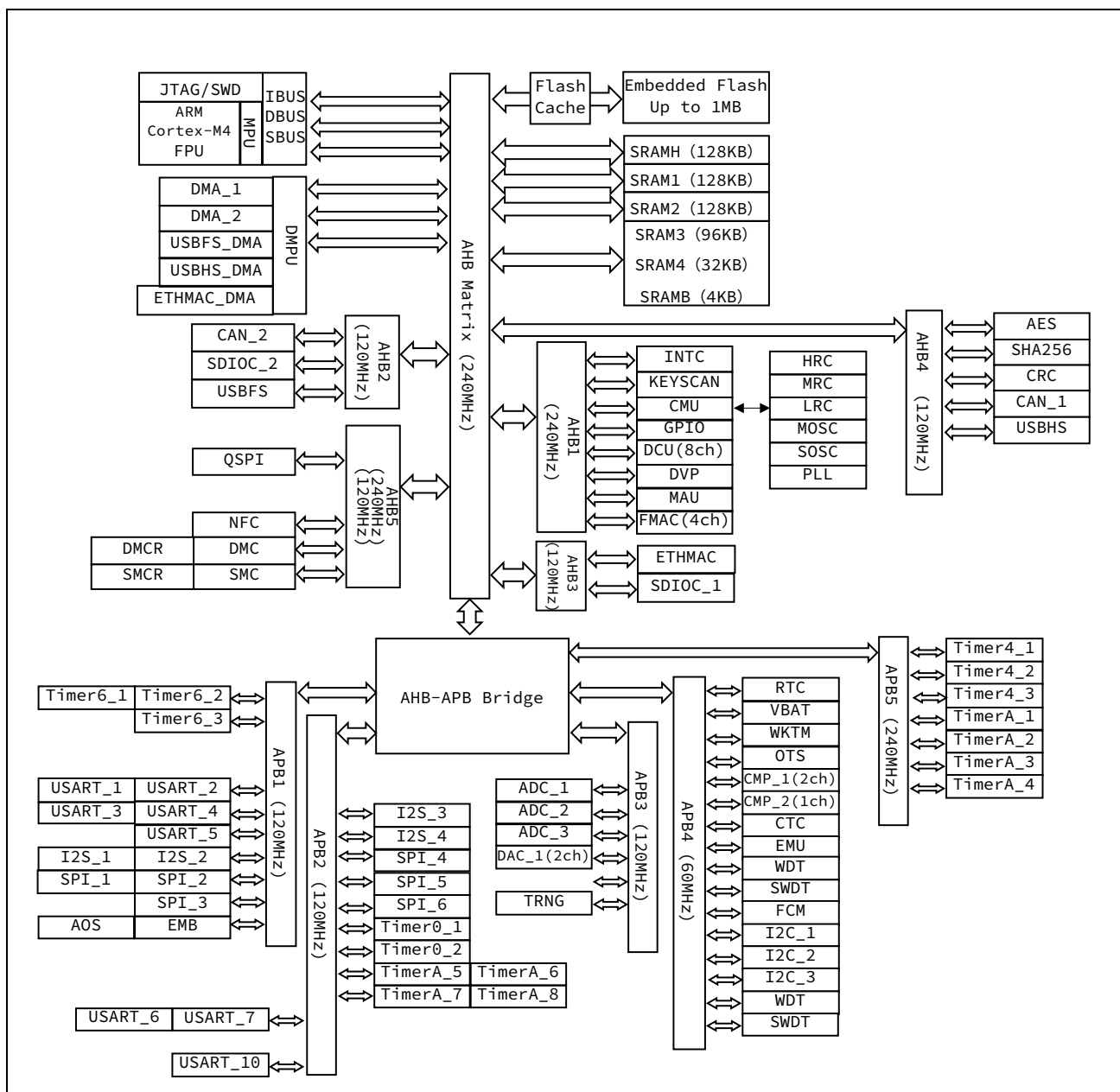


图 1-1 功能框图

1.4 功能简介

1.4.1 CPU

HC32F467 系列集成了最新一代的嵌入式 ARM® Cortex®-M4 with FPU 32bit 精简指令 CPU，实现了管脚少功耗低的同时，提供出色的运算性能和迅速的中断反应能力。片上集成的存储容量可以充分发挥出 ARM® Cortex®-M4 with FPU 出色的指令效率。CPU 支持 DSP 指令，可以实现高效信号处理运算和复杂算法。单点精度 FPU（Floating Point Unit）单元可以避免指令饱和，加快软件开发。

1.4.2 总线架构（BUS）

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下主机总线和从机总线的互连：

■ 主机总线

- Cortex-M4F 内核 CPU-I 总线，CPU-D 总线，CPU-S 总线
- 系统 DMA_1 总线，系统 DMA_2 总线
- USBFS_DMA 总线
- USBHS_DMA 总线
- ETHMAC_DMA 总线

■ 从机总线

- Flash ICODE 总线
- Flash DCODE 总线
- Flash MCODE 总线(CPU 以外其他主机访问 Flash 的总线)
- 高速 SRAMH(SRAMH 128kB)总线
- 系统 SRAMA(SRAM1 128KB)总线
- 系统 SRAMB(SRAM2 128KB)总线
- 系统 SRAMC(SRAM3 96KB、SRAM4 32KB、SRAMB 4KB)
- APB1 外设总线(EMB/Timers/SPI/USART/I2S/HRPWM/EFM)
- APB2 外设总线(Timers/SPI/USART/I2S)
- APB3 外设总线(ADC/DAC/TRNG)
- APB4 外设总线(FCM/WDT/SWDT/CMP/EMU/CTC/OTS/RTC/VBAT/WKTM/I2C)
- APB5 外设总线(Timers)
- AHB1 外设总线(DMPU/KEYSCAN/INTC/DCU/GPIO/DMA/CMU/DVP/MAU/FMAC)
- AHB2 外设总线(CAN/SDIOC/USBFS)
- AHB3 外设总线(SDIOC/ETHMAC)
- AHB4 外设总线(AES/HASH/CRC/CAN/USBHS)
- AHB5 外设总线(SMC/DMC/SMCR/DMCR/NFC/QSPI)

借助总线矩阵，可以实现主机总线到从机总线高效率的并发访问。

1.4.3 复位控制 (RMU)

芯片配置了 15 种复位方式。

- 上电复位 (POR)
- NRST 引脚复位 (NRST)
- 欠压复位 (BOR)
- 可编程电压检测 1 复位 (PVD1R)
- 可编程电压检测 2 复位 (PVD2R)
- 看门狗复位 (WDTR)
- 专用看门狗复位 (SWDTR)
- 掉电唤醒复位 (PDRST)
- 软件复位 (SRST)
- MPU 错误复位 (MPUR)
- RAM 奇偶校验复位 (RAMPR)
- RAMECC 复位 (RAMECCR)
- 时钟异常复位 (CKFER)
- 外部高速振荡器异常停振复位 (XTALER)
- Cortex-M4 LOCKUP 复位 (LKUPR)

1.4.4 时钟控制 (CMU)

时钟控制单元提供了一系列频率的时钟功能，包括：一个外部高速振荡器、一个外部低速振荡器、两个 PLL 时钟、一个内部高速振荡器、一个内部中速振荡器、一个内部低速振荡器、一个 RTC 用内部低速振荡器、一个 SWDT 专用内部低速振荡器、时钟预分频器、时钟多路复用和时钟门控电路。

时钟控制单元还提供时钟频率测量功能。时钟频率测量电路 (FCM) 使用测定基准时钟对测定对象时钟进行监视测定。在超出设定范围时发生中断或者复位。

AHB、APB 和 Cortex-M4 时钟都源自系统时钟，系统时钟的源可选择 6 个时钟源：

- 1) 外部高速振荡器 (XTAL)
- 2) 外部低速振荡器 (XTAL32)
- 3) PLLH 时钟 (PLLH)
- 4) 内部高速振荡器 (HRC)
- 5) 内部中速振荡器 (MRC)
- 6) 内部低速振荡器 (LRC)

系统时钟的最大运行时钟频率可以达到 240MHz。SWDT 有独立的时钟源：SWDT 专用内部低速振荡器 (SWDTLRC)。实时时钟 (RTC) 使用外部低速振荡器或者内部低速振荡器作为时钟源。USB-FS 的 48MHz 时钟可以选择系统时钟、PLLH、PLLA 作为时钟源。

对于每一个时钟源，在未使用时都可以单独打开和关闭，以降低功耗。

1.4.5 电源控制 (PWC)

电源控制器用来控制芯片的多个电源域在多个运行模式和低功耗模式下的电源供给、切换、检测。电源控制器由功耗控制逻辑(PWC)、电源电压检测单元(PVD)、自动切换 VCC 与电池供电的电池备份控制模块 (BATBKUP) 构成。

芯片的工作电压(VCC)为 1.8V 到 3.6V。电压调节器(LDO)为 VDD 域和 VDDR 域供电，VDDR 电压调节器(RLDO)在掉电模式或者 VCC 掉电情况下为 VDDR 域供电。芯片通过功耗控制逻辑(PWC)提供了高速、超低速等两种运行模式，睡眠、停止和掉电等三种低功耗模式。

电源电压检测单元(PVD)提供了上电复位(POR)、掉电复位(PDR)、欠压复位(BOR)、可编程电压检测 1(PVD1)、可编程电压检测 2(PVD2)、基准电压测量通路、VBAT 电压检测、VBAT 电压测量等功能，其中 POR、PDR、BOR 通过检测 VCC 电压，控制芯片复位动作。PVD1 通过检测 VCC 电压，根据寄存器设定使芯片产生复位或者中断。PVD2 通过检测 VCC 电压或者外部输入检测电压，根据寄存器选择产生复位或者中断。基准电压测量通路，是使用 ADC 测量基准电压的功能。VBAT 电压检测，是读取寄存器获得 VBAT 电压高于或者低于 VBAT 检测电压的功能，VBAT 检测电压可以使用寄存器选择 1.8V 或者 2.0V。VBAT 电压测量功能，是指使用 ADC 测量 VBAT 的 1/2 分压，从而获得 VBAT 电压的功能。

电池备份域在 VCC 掉电情况下通过 VBAT 维持电源，保证实时时钟模块(RTC)、唤醒定时器(WKTM)能够继续动作，并为 RLDO 提供电源。VDDR 区域在芯片进入掉电模式或者 VCC 掉电情况下可以通过 RLDO 维持电源，保持 4KB 的备份 SRAM(Backup-SRAM)的数据。模拟模块配备了专用供电引脚，提高了模拟性能。

1.4.6 初始化配置 (ICG)

芯片复位解除后，硬件电路会读取 FLASH 地址 0x0000_0400~0x0000_045F 把数据加载到初始化配置寄存器。地址 0x0000_0408~0x0000_040B、0x0000_0410~0x0000_041F、0x0000_0438~0x0000_045F 为预约功能区，请写入全 1 保证芯片正常动作。用户可通过编程或擦除扇区 0 来修改初始化配置(Initial ConfiG)寄存器。地址 0x0000_0420~0x0000_0437 为数据安全保护使能区。寄存器复位值由 FLASH 地址数据确定。

1.4.7 嵌入式 FLASH 接口 (EFM)

FLASH 接口通过 ICODE、DCODE 和 MCODE 总线对 FLASH 进行访问，可对 FLASH 执行编程，擦除和全擦除操作；通过指令预取和缓存机制加速代码执行。

主要特性：

- 134Kbytes 的 OTP 空间
- ICODE 总线 16Bytes 预取指
- 两个独立缓存区：ICODE 总线缓存空间 4Kbytes(256x128)；DCODE 总线缓存空间 1Kbytes(64x128)
- 支持数据安全保护

1.4.8 内置 SRAM (SRAM)

本产品带有 4KB 掉电模式保持 SRAM (SRAMB) 和 512KB 系统 SRAM (SRAMH/SRAM1/SRAM2/SRAM3/SRAM4)。

各 SRAM 可按照字节、半字 (16 位) 或全字 (32 位) 访问。高速 SRAM (SRAMH) 读写操作最快可以在 CPU 最高速度 (240MHz) 下 0 等待 (即 1 周期) 执行, 也可插入等待周期。各个 SRAM 的读写访问的等待周期由 SRAM 等待控制寄存器 (SRAM_WTCR) 设定。

SRAMB 可在 Power down 模式下提供 4KB 的数据保持空间。

SRAM4 和 SRAMB 带有 ECC 校验 (Error Checking and Correcting), ECC 校验为纠一检二码, 即可以纠正一位错误, 检查两位错误; SRAMH/SRAM1/SRAM2/SRAM3 带有奇偶校验 (Even-parity check), 每字节数据带有一位校验位。

1.4.9 通用 IO (GPIO)

GPIO 主要特性：

- 每组 Port 配有 16 个 I/O Pin, 根据实际配置可能不足 16 个
- 支持上拉
- 支持推挽、开漏输出模式
- 支持高、中、低型驱动模式
- 支持外部中断的输入
- 支持 I/O pin 周边功能复用, 每个 I/O pin 最多 64 个可选的复用功能
- 各个 I/O pin 可独立编程
- 各个 I/O pin 可以选择 2 个功能同时有效 (不支持 2 个输出功能同时有效)

1.4.10 中断控制 (INTC)

中断控制器 (INTC) 的功能为选择中断事件请求作为中断输入到 NVIC, 唤醒 WFI; 作为事件输入, 唤醒 WFE。选择中断事件请求作为低功耗模式 (休眠模式和停止模式) 的唤醒条件; 外部管脚 EIRQ 的中断控制功能; 软件中断的中断/事件选择功能。

主要规格：

- 1) NVIC 中断向量：实际使用中断向量数请参考参考手册中断向量表（不包括 Cortex™-M4F 的 16 根中断线），每个中断向量可以根据中断选择寄存器选择对应的外设中断事件请求。更多关于异常和 NVIC 编程的说明，请参考《ARM Cortex™-M4F 技术参考手册》中的第 5 章：异常和第 8 章：嵌套向量中断控制器。
- 2) 可编程优先级：16 个可编程优先级（使用了 4 位中断优先级）。
- 3) 不可屏蔽中断：可以独立选择多种系统中断事件请求作为不可屏蔽中断，且各中断事件请求配备独立的使能选择，挂起，清除挂起寄存器。
- 4) 配备 16 个外部管脚中断。
- 5) 配置多种外设中断事件请求，具体请参考中断事件请求序号列表。
- 6) 配备 32 个软件中断事件请求。
- 7) 中断可唤醒系统休眠模式和停止模式。

1.4.11 自动运行系统（AOS）

自动运行系统（Automatic Operation System）用于在不借助 CPU 的情况下实现外设硬件电路之间的联动。利用外设电路产生的事件作为 AOS 源（AOS Source），如定时器的比较匹配、定时溢出，RTC 的周期信号、通信模块的收发数据的各种状态（空闲，接收数据满，发送数据结束，发送数据空），ADC 的转换结束等，来触发其他外设电路动作。被触发的外设电路动作称为 AOS 目标（AOS Target）。

1.4.12 存储保护单元（MPU）

MPU 可以提供对存储器的保护，通过阻止非授权的访问，可以提高系统的安全性。

本芯片内置了六个针对主机的 MPU 单元和一个针对 IP 的 MPU 单元。

其中 ARM MPU 提供 CPU 对全部 4G 地址空间的访问权限控制。

SMPU1/SMPU2/FMPU/HMPU/EMPU 分别提供系统 DMA_1/系统 DMA_2/USBFS-DMA/USBHS-DMA/ETH-DMA 对全部 4G 地址空间的读写访问权限控制。对禁止空间发生访问时，可以设置 MPU 动作为无视/总线错误/不可屏蔽中断/复位。

IPMPU 提供非特权模式时对系统 IP 和安全相关 IP 的访问权限控制。

1.4.13 键盘扫描（KEYSCAN）

本产品搭载键盘控制模块（KEYSCAN）1 个单元。KEYSCAN 模块支持键盘阵列（行和列）扫描，列是由独立的扫描输出 KEYOUT_m(_m=0~7)驱动，而行 KEYIN_n(_n=0~15)则作为 EIRQ_n(_n=0~15)输入被检测。本模块通过行扫描查询法实现按键识别功能。

1.4.14 内部时钟校准器 (CTC)

内部时钟校准器 (Clock Trimming Controller, 以下称 CTC) 可以自动校准内部高速振荡器 (HRC)。由于工作环境的影响 HRC 的频率可能会产生偏差, 用 CTC 基于外部高精度参考时钟, 采用硬件方式自动调整 HRC 的频率以得到一个精准的 HRC 时钟。

CTC 的主要特性如下:

- 两个外部参考时钟源: XTAL、CTCREF
- 用于频率测量并具有重载功能的 16 位校准计数器
- 用于频率校准的 8 位校准偏差值和 6 位校准值
- 用于提示校准失败的错误中断

1.4.15 DMA 控制器 (DMA)

DMA 用于在存储器和外围功能模块之间传送数据, 能够在 CPU 不参与的情况下实现存储器之间, 存储器和外围功能模块之间以及外围功能模块之间的数据交换。

- DMA 总线独立于 CPU 总线, 按照 AMBA AHB-Lite 总线协议传输
- 拥有 2 个 DMA 控制单元, 共 16 个独立通道, 可以独立操作不同的 DMA 传输功能
- 每个通道的启动源通过独立的触发源选择寄存器配置
- 每次请求传输一个数据块
- 数据块最小为 1 个数据, 最多可以是 1024 个数据
- 每个数据的宽度可配置为 8bit, 16bit 或 32bit
- 可以配置最多 65535 次传输
- 源地址和目标地址可以独立配置为固定, 自增, 自减, 循环或指定偏移量的跳转
- 可产生 3 种中断: 块传输完成中断, 传输完成中断, 传输错误中断。每种中断都可以配置是否屏蔽。其中块传输完成, 传输完成可作为事件输出, 可作为其它外围模块的触发源
- 支持连锁传输功能, 可实现一次请求传输多个数据块
- 支持外部事件触发通道重置
- 不使用时可设置进入模块停止状态以降低功耗

1.4.16 电压比较器 (CMP)

电压比较器 (Comparator, 以下简称 CMP) 是将两个模拟电压进行比较的外设模块, 共有三个比较通道 CMP1~3。

CMP 主要特性:

- CMP1~3 均可独立进行电压比较
- CMP1, 2 同时使用时可完成窗口比较

- 正端电压和负端电压均有多个输入电压源供选择
- 数字噪声滤波器的采样时钟可选
- 可使用定时器输出的 PWM 波形对输出进行开关控制
- 可产生触发其他外设启动的事件
- 可产生中断并可唤醒系统停止模式
- 比较结果可输出到外部管脚 VCOUT

1.4.17 模数转换器 (ADC)

12 位 ADC 是一种采用逐次逼近方式的模拟数字转换器。本 MCU 搭载 3 个 ADC 单元，每个单元支持 16 个通道，可以转换来自外部引脚、以及芯片内部的模拟信号。模拟输入通道可以任意组合成一个序列，一个序列可以进行单次扫描转换，或连续扫描转换。支持对任意指定通道进行连续多次转换并对转换结果进行平均。ADC 模块还搭载模拟看门狗功能，对任意指定通道的转换结果进行监视，检测其是否超出用户设定的范围。

ADC 主要特性：

- 高性能
 - 可配置 12 位、10 位和 8 位分辨率
 - ADC 数字接口时钟 PCLK4 和转换时钟 PCLK2 (也称作 ADCLK) 的频率比可设置为 1:1、2:1、4:1、8:1、1:2、1:4
PCLK2 可选与系统时钟 HCLK 异步的 PLL 时钟，此时频率比
PCLK4:PCLK2=1:1
PCLK2 频率最高支持 60MHz
 - 采样率：2.5MSPS (PCLK2=60MHz，12 位，采样 11 周期，变换 13 周期)
 - 各通道采样时间独立编程
 - 各通道独立数据寄存器
 - 数据寄存器可配置左/右对齐方式
 - 连续多次转换平均功能
 - 模拟看门狗，监视转换结果
 - 不使用时可以将 ADC 模块设定成停止状态
- 模拟输入通道
 - 最大 16 个外部模拟输入通道
 - 2 个内部模拟输入：内部基准电压，VBAT 分压
- 转换开始条件
 - 软件设置转换开始
 - 周边外设同步触发转换开始
 - 外部引脚触发转换开始

- 转换模式
 - 2 个扫描序列 A、B，可任意指定单个或多个通道
 - 序列 A 单次扫描
 - 序列 A 连续扫描
 - 双序列扫描，序列 A、B 独立选择触发源，序列 B 优先级高于 A
 - 协同工作模式（适用于具有两个或三个 ADC 的设备）
- 中断与事件信号输出
 - 序列 A 扫描结束中断和事件 ADC_EOCA
 - 序列 B 扫描结束中断和事件 ADC_EOCB
 - 模拟看门狗 0 比较中断和事件 ADC_CMP0
 - 模拟看门狗 1 比较中断和事件 ADC_CMP1
 - 上述的 4 个事件输出都可启动 DMA

本 MCU 搭载了 2 个单元可编程增益放大器 PGA，增益范围 $\times 2 \sim \times 32$ 可选择。模拟输入可以先经过 PGA 电路进行放大，然后再输入到 ADC 模块进行转换。

本 MCU 搭载 3 个单元专用的采样保持电路 SH。当专用采样保持电路有效时，每次序列启动时，先同时对所有 SH 有效的通道进行采样，然后再启动 ADC 开始依次对序列中的每个通道进行 A/D 转换。连续扫描模式时，序列在第二次以及之后的扫描启动时都会插入 SH 的采样时间。

1.4.18 数模转换器 (DAC)

本 MCU 搭载了 1 个 12 位的数字-模拟电压转换器单元 DAC1。DAC 单元包含两个 D/A 转换通道，可以独立转换也可以通过转换数据的同步更新实现同步转换。每个转换通道配有一个输出放大器，可以在没有外部运放时直接驱动外部负载。独立管脚输入参考电压 VREFH 和 VREFL 可用来提高转换精度。

DAC 主要特性：

- 1 个 DAC 单元，有两个 D/A 转换通道
- 12 位转换数据可配置成左对齐或者右对齐格式
- 同一个 DAC 模块的两个转换通道可实现同步转换
- 转换外部数据（来自 DCU）可输出三角波和锯齿波
- 输出放大功能，可直接驱动外部负载
- A/D 转换优先模式可减少对 A/D 转换的干扰
- 输出可供电压比较器作为负端电压
- 独立管脚输入参考电压 VREFH/VREFL

1.4.19 温度传感器 (OTS)

OTS 可以获取芯片内部的温度，以支持系统的可靠性操作。使用软件或者硬件触发启动测温后，OTS 提供一组与温度相关的数字量，通过计算公式可以计算得到温度值。

1.4.20 高级控制定时器 (Timer6)

高级控制定时器 6 (Timer6) 是一个 32 位计数宽度的高性能定时器，能在各种复杂应用场景中提供丰富、灵活的搭配组合和各种中断、事件、PWM 输出。该定时器支持锯齿波和三角波两种波形模式，可生成各种 PWM 波形（单边对齐独立 PWM、双边对称独立 PWM、双边对称互补 PWM、双边非对称 PWM 等）；单元间可实现软件同步和硬件同步（同步启动、停止、清零、刷新等）；各基准值寄存器支持缓存功能（单级缓存和双级缓存）；支持脉宽测量和周期测量；支持 2 相正交编码和 3 相正交编码；支持 EMB 控制。本系列产品中搭载 3 个单元的 Timer6。

1.4.21 通用控制定时器 (Timer4)

通用控制定时器 4 (Timer4) 是一个用于三相电机控制的定时器模块，提供各种不同应用的三相电机控制方案。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形；支持缓存功能；支持 EMB 控制。本系列产品中搭载 3 个单元的 Timer4。

1.4.22 紧急刹车模块 (EMB)

紧急刹车模块是在满足一定条件时产生控制事件输出给定时器，以控制定时器停止向外部电机输出 PWM 信号的功能模块，下列要因用于产生控制事件：

- 外部端口输入电平变化
- PWM 输出端口电平发生同相（同高或同低）
- 电压比较器比较结果
- 外部振荡器停止振荡
- 写寄存器软件控制

1.4.23 通用定时器 (TimerA)

通用定时器 A (TimerA) 是一个具有 16 位计数宽度、4 路 PWM 输出的定时器。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形（单边对齐 PWM、双边对称 PWM）；支持计数器同步启动；比较基准值寄存器支持缓存功能；支持单元间级联实现 32 位计数；支持 2 相正交编码计数和 3 相正交编码计数。本系列产品搭载 8 个单元 TimerA，最大可实现 32 路 PWM 输出。

1.4.24 通用定时器 (Timer0)

通用定时器 0 (Timer0) 是一个可以实现同步计数、异步计数方式的基本定时器。该定时器内含 2 个通道 (CH-A 和 CH-B)，可以在计数期间产生比较匹配事件。该事件可以触发中断，也可作为事件输出来控制其它模块等。本系列产品中搭载 2 个单元的 Timer0。

1.4.25 实时时钟 (RTC)

实时时钟 (RTC) 是一个以 BCD 码格式保存时间信息的计数器。记录从 00 年到 99 年间的具体日历时间。支持 12/24 小时两种时制，根据月份和年份自动计算日数 28、29 (闰年)、30 和 31 日。

1.4.26 看门狗计数器 (WDT)

看门狗计数器有两个，一种是计数时钟源为专用内部 RC (SWDTLRC:10KHz) 的专用看门狗计数器 (SWDT)，另一种是计数时钟源为 PCLK3 的通用看门狗计数器 (WDT)。专用看门狗和通用看门狗是 16 位递减计数器，用来监测由于外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行而产生的软件故障。

两个看门狗都支持窗口功能。在计数开始前可预设窗口区间，计数值位于窗口区间时，可刷新计数器，计数重新开始。

1.4.27 串行通信接口 (USART)

本产品搭载通用串行收发器模块 (USART) 8 个单元。通用串行收发器模块 (USART) 能够灵活地与外部设备进行全双工数据交换；本 USART 支持通用异步串行通信接口 (UART)，时钟同步通信接口，智能卡接口 (ISO/IEC 7816-3) 和 LIN 通信接口。支持调制解调器操作 (CTS/RTS 操作)，多处理器操作。与 Timer0 模块配合支持 UART 接收 TIMEOUT 功能。USART_1 支持通过 RX 线唤醒 STOP 模式功能。

具体功能分配如下：

- UART：全通道支持
- 多处理器通信：全通道支持
- 时钟同步通信：全通道支持
- RX 线唤醒 STOP 模式功能：USART_1 支持
- 小数波特率：USART_1、USART_2、USART_3、USART_4、USART_6、USART_7 支持
- LIN：USART_5、USART_10 支持
- 智能卡：USART_1、USART_2、USART_3、USART_4、USART_6、USART_7 支持
- UART 接收超时功能：USART_1、USART_2、USART_6、USART_7 支持。

1.4.28 集成电路总线 (I2C)

I2C (集成电路总线) 用作微控制器和 I2C 串行总线之间的接口。提供多主模式功能, 可以控制所有 I2C 总线的协议、仲裁。支持标准模式、快速模式。还支持 SMBus 总线。

I2C 主要特性:

- 1) I2C 总线方式、SMBUS 总线方式可选。主机模式、从机模式可选。自动确保与传送速率相对于的各种准备时间、保持时间和总线空闲时间。
- 2) 标准模式最大 100Kbps, 快速模式最大 400Kbps。
- 3) 自动生成开始条件、重新开始条件和停止条件, 并能检测到总线的开始条件, 重新开始条件和停止条件。
- 4) 可以设定 2 个从机模式地址。可同时设定 7 位地址格式和 10 位地址格式。能检测到广播呼叫地址、SMBus 主机地址、SMBus 设备默认地址、SMBus 报警地址。
- 5) 发送时可以自动判定应答位。接收时可以自动发送应答位。
- 6) 握手功能。
- 7) 仲裁功能。
- 8) 超时功能, 可以检测 SCL 时钟长时间停止。
- 9) SCL 输入和 SDA 输入内置数字滤波器, 滤波能力可编程。
- 10) 通信错误, 接收数据满, 发送数据空, 一帧发送结束, 地址匹配一致中断。

1.4.29 串行外设接口 (SPI)

本产品搭载 6 个通道的串行外设接口 SPI，支持高速全双工串行同步传输，方便地与外围设备进行数据交换。用户可根据需要进行三线/四线，主机/从机及波特率范围的设置。

表 1-2 SPI 主要特性

要点	描述
通道数	1通道
串行通信功能	- 支持4线式SPI模式和3线式时钟同步运行模式 - 支持全双工和只发送两种通信方式 - 可调整通信时钟SCK的极性和相位
数据格式	- 可选择数据移位顺序:MSB开始/LSB开始 - 可选择数据宽度: 4/5/6/7/8/9/10/11/12/13/14/15/16/20/24/32位 - 单次最多可传送或接收4帧宽度为32位的数据
波特率	- 主机模式下可通过内置专用波特率发生器对波特率进行调整,波特率范围为PCLK1的2分频~256分频 - 从机模式下允许的最大波特率为PCLK1的6分频
数据缓冲	- 带有16字节的数据缓冲区域 - 支持双重缓冲
错误监测	- 模式故障错误监测 - 数据过载错误监测 - 数据欠载错误监测 - 奇偶校验错误监测
片选信号控制	- 每个通道配置四根片选信号线 - 可对片选信号和通信时钟的相对时序关系进行调整 - 可对连续两次通信之间的片选信号无效时间进行调整 - 极性可调
主机模式下的传输控制	- 通过将数据写入数据寄存器启动传输 - 通信自动挂起功能
中断	- 接收数据区域已满 - 发送数据区域已空 - SPI错误 (模式/过载/欠载/奇偶校验) - SPI空置 - 传输完成 (仅为事件源)
低功耗控制	可设置模块停止
其他功能	SPI初始化功能

1.4.30 四线式串行外设接口 (QSPI)

四线式串行外设接口 (QSPI) 是一个存储器控制模块，主要用于和带 SPI 兼容接口的串行 ROM 进行通信。其对象主要包括有串行闪存，串行 EEPROM 以及串行 FeRAM。

1.4.31 集成电路内置音频总线 (I2S)

I2S (Inter_IC Sound Bus)，集成电路内置音频总线，该总线专责于音频设备之间的数据传输。

表 1-3 I2S 主要特性

功能	主要特性
通信方式	- 支持全双工和半双工通信 - 支持主模式或从模式操作
数据格式	- 可选通道长度：16/32位 - 可选传送数据长度：16/24/32位 - 数据移位顺序：MSB开始
波特率	8位可编程线性预分频器，可实现精确的音频采样频率 - 支持采样频率192k, 96k, 48k, 44.1k, 32k, 22.05k, 16k, 8k - 可输出驱动时钟以驱动外部音频元件，比率固定为256*Fs(Fs为音频采样频率)
支持I2S协议	- I2S Philips标准 - MSB对齐标准 - LSB对齐标准 - PCM标准
数据缓冲	带有4字深，32位宽的输入输出FIFO缓冲区域
时钟源	可使用内部I2SCLK(UPLLQ/UPLLQ/UPLLQ/MPLLQ/MPLLQ/MPLLQ)；也可由I2S_EXCK引脚上的外部时钟提供
中断	- 发送缓冲区有效空间达到报警阈值时产生中断 - 接收缓冲区有效空间达到报警阈值时产生中断 - 接收数据区域已满仍有写入数据请求，接收上溢 - 发送数据区域已空仍有发送请求，发送下溢 - 发送数据区域已满仍有写入数据请求，发送上溢

1.4.32 USB2.0 高速模块 (USBHS)

本产品搭载 USB2.0 全速模块 (USBHS) 1 个单元，内置片上全速 PHY，并支持 ULPI(SDR)接口。USBHS 是一款双角色(DRD)控制器，同时支持从机功能和主机功能。主机模式下，USBHS 支持高速，全速和低速收发器，而从机模式下仅支持高速和全速收发器。USBHS 控制器支持 USB 2.0 协议所定义的所有四种传输方式（控制传输、批量传输、中断传输和同步传输）。该 USBHS 控制器支持 LPM(Link Power Management)功能。

1.4.33 USB2.0 全速模块 (USBFS)

USB 全速 (USBFS) 控制器为便携式设备提供了一套 USB 通信解决方案。USBFS 控制器支持主机模式和设备模式，且芯片内部集成全速 PHY。主机模式下，USBFS 控制器支持全速 (FS, 12Mb/s) 和低速 (LS, 1.5Mb/s) 收发器，而设备模式下则仅支持全速 (FS, 12Mb/s) 收发器。USBFS 控制器支持 USB

2.0 协议所定义的所有四种传输方式（控制传输、批量传输、中断传输和同步传输）。该 USBFS 控制器支持 LPM(Link Power Management)功能。

1.4.34 CAN2.0B 控制器 (CAN2.0B)

CAN2.0B 控制器遵循 CAN 总线 CAN2.0(2.0A、CAN2.0B) 协议。

CAN 总线控制器可以处理总线上的数据收发，在本产品中，CAN2.0B 控制器具有 16 组筛选器。筛选器用于为应用程序选择要接收的消息。

CAN2.0B 控制器中应用程序可通过 1 个高优先级的主发送缓冲器（Primary Transmit Buffer，以下简称 PTB）和 3 个辅发送缓冲器（Secondary Transmit Buffer，以下简称 STB）将发送数据送至总线，由发送调度器决定邮箱发送顺序。通过 8 个接收缓冲器（Receive Buffer，以下简称 RB）获取总线数据。3 个 STB 以及 8 个 RB 可以理解为一个 3 级 FIFO 和一个 8 级 FIFO，FIFO 完全由硬件控制。

CAN2.0B 总线控制器同时也可以支持时间触发 CAN 通信（Time-trigger communication）。

1.4.35 SDIO 控制器 (SDIOC)

SDIOC 提供了一个 SD 主机接口和一个 MMC 主机接口，用于和支持 SD2.0 协议的 SD 卡，SDIO 设备以及支持 eMMC4.2 协议的 MMC 设备进行通信。本产品带有 2 个 SDIO 控制器，能够同时与 2 个 SD/MMC/SDIO 设备进行通信。

SDIOC 特点如下：

- 支持 SDSC，SDHC，SDXC 格式 SD 卡及 SDIO 设备
- 支持一线式(1bit)和四线式(4bit)SD 总线
- 支持一线式(1bit)，四线式(4bit)和八线式(8bit)MMC 总线
- SD 时钟最高 50MHz
- 具有卡识别和硬件写保护功能

1.4.36 以太网 MAC 控制器 (ETHMAC)

以太网 MAC 控制器 (ETHMAC) 用于在以太网网络中按照 IEEE802.3-2002 标准发送和接收数据，有多种应用领域，如交换机、网络接口卡等。该 MAC 控制器支持与外部物理层（PHY）相连的两个工业标准接口：介质独立接口（MII）（在 IEEE802.3 规范中定义）和简化介质独立接口（RMII）。

主要遵循以下协议规范：

- IEEE802.3-2002，用于以太网 MAC
- IEEE1588-2008 标准，用于规定联网时钟同步
- AMBA2.0，用于 AHB 主/从端口
- RMII 接口规范

1.4.37 外部存储器控制器 (EXMC)

外部存储器控制器 EXMC (External Memory Controller) 是一个用来访问各种片外存储器, 实现数据交换的独立模块。EXMC 通过配置可以把内部的 AMBA 协议接口转换为各种类型的专用片外存储器通信协议接口, 包括 SRAM, PSRAM、NOR Flash, NAND Flash 和 SDRAM 等。EXMC 内部划分为多个子模块, 每个子模块支持特定的存储器类型, 用户可以通过对子模块的寄存器配置来控制外部对应类型的存储器。

1.4.38 数字视频接口 (DVP)

数字摄像头接口 (DVP) 是一个同步并行接口, 可采集从外部 CMOS 摄像头模块传入的 8 位、10 位、12 位或 14 位高速数据流。支持软件同步和硬件同步。支持对数据流的采集频率控制和窗口裁剪控制。支持单色或原始拜尔格式/YCbCr4:2:2/RGB565 逐行视频和压缩数据(JPEG)等不同格式的数据流采集。

1.4.39 加密协处理模块 (CPM)

加密协处理模块 (CPM) 包括 AES 加解密算法处理器, HASH 安全散列算法, TRNG 真随机数发生器三个子模块。

AES 加解密算法处理器遵循美国国家标准技术研究所 (NIST) 在 2000 年 10 月 2 日正式宣布的新的数据加密标准, 分组长度固定为 128 位, 而密钥长度支持 128/192/256 位。

HASH 安全散列算法是 SHA-2 版本的 SHA-256 (Secure Hash Algorithm), 符合美国国家标准和技术局发布的国家标准“FIPS PUB 180-3”, 可以对长度不超过 2^{64} 位的消息产生 256 位的消息摘要输出。

TRNG 真随机数发生器是以连续模拟噪声为基础的随机数发生器, 提供 64bit 随机数。

1.4.40 CRC 计算单元 (CRC)

本模块 CRC 算法遵从 ISO/IEC13239 的定义, 分别采用 32 位和 16 位的 CRC。CRC32 的生成多项式为 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, 32 位初值为“0xFFFFFFFF”。

CRC16 的生成多项式为 $X^{16} + X^{12} + X^5 + 1$, 16 位初值为“0xFFFF”。

1.4.41 数据计算单元 (DCU)

数据计算单元(Data Computing Unit)是一个不借助于 CPU 的简单处理数据的模块。每个 DCU 单元具有 3 个数据寄存器, 能够进行 2 个数据的加减和比较大小, 以及窗口比较功能。还可以通过定时器触发为数模转换模块(DAC)提供连续变化的数字量以产生三角波和锯齿波输出。本产品搭载 8 个 DCU 单元, 每个单元均可独立完成自身功能。

1.4.42 数学运算单元 (MAU)

数学运算单元 (MAU) 是一个内含开方运算和正弦运算两种运算类型的硬件加速运算模块, 支持定点数的开方和正弦运算。正弦函数支持 $360^\circ/2^{12}$ 运算精度。

1.4.43 滤波数学加速器 (FMAC)

滤波数学加速器 (FMAC) 是一个 FIR 滤波计算的硬件加速模块。该模块可进行最大 16 阶, 且阶数可配置的 FIR 数字滤波。内置 16x16 bit 乘法器、32+5bit 加法器, 用户可自定义输出数据精度。本系列产品搭载 4 个 FMAC 模块。

1.4.44 调试控制器 (DBGC)

本 MCU 的内核是 Cortex™-M4F, 该内核包含用于高级调试功能的硬件, 支持嵌入式跟踪宏单元 (ETM)。利用这些调试功能, 可以在取指 (指令断点) 或访问数据 (数据断点) 时停止内核。内核停止时, 可以查询内核的内部状态和系统的外部状态。查询完成后, 将恢复内核和系统并恢复程序执行。

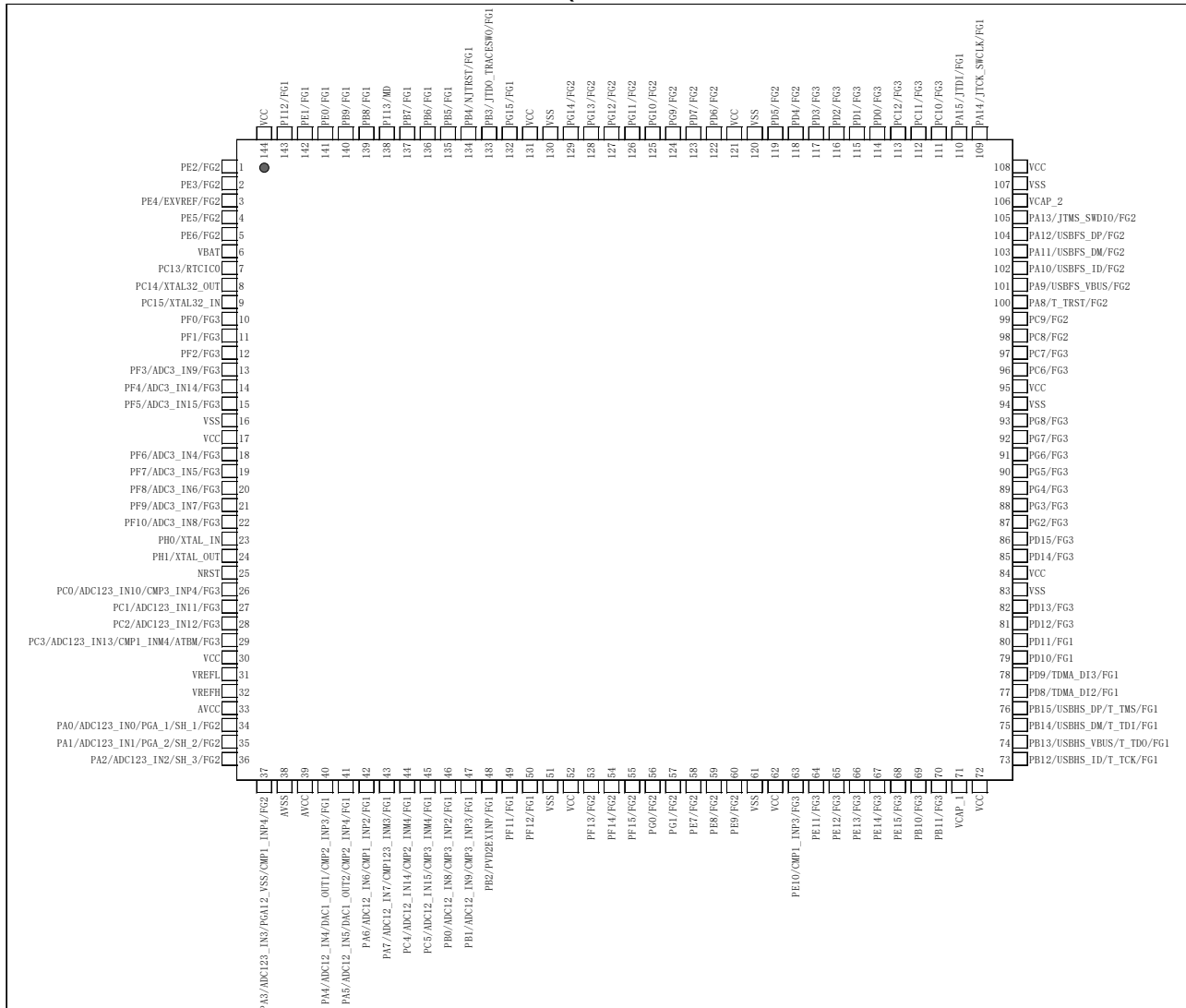
提供两个调试接口:

- 串行调试跟踪接口 SWD
- 并行调试跟踪接口 JTAG

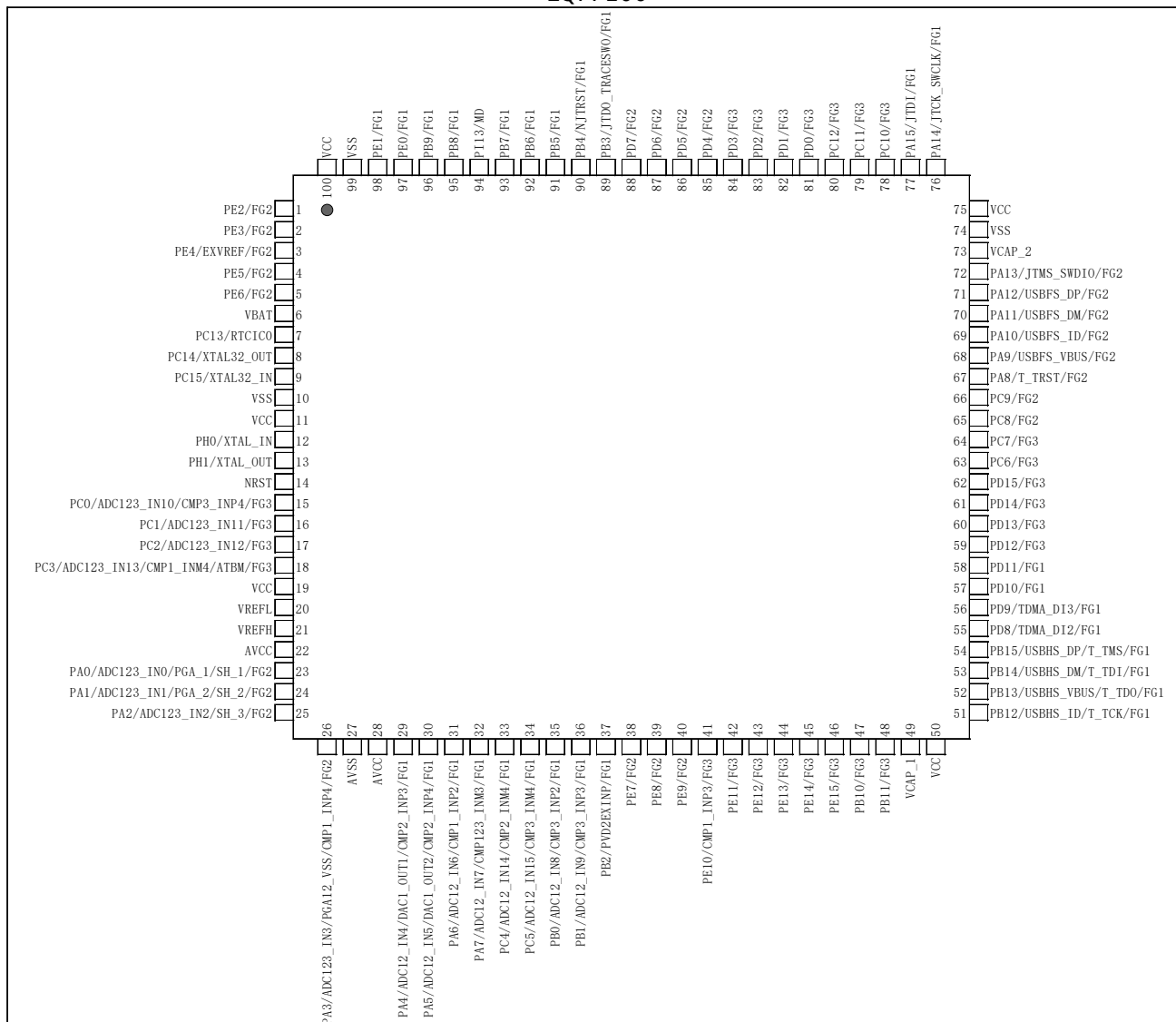
2 引脚配置及功能 (Pinouts)

2.1 引脚配置图

LQFP144



LQPF100



LQPF64

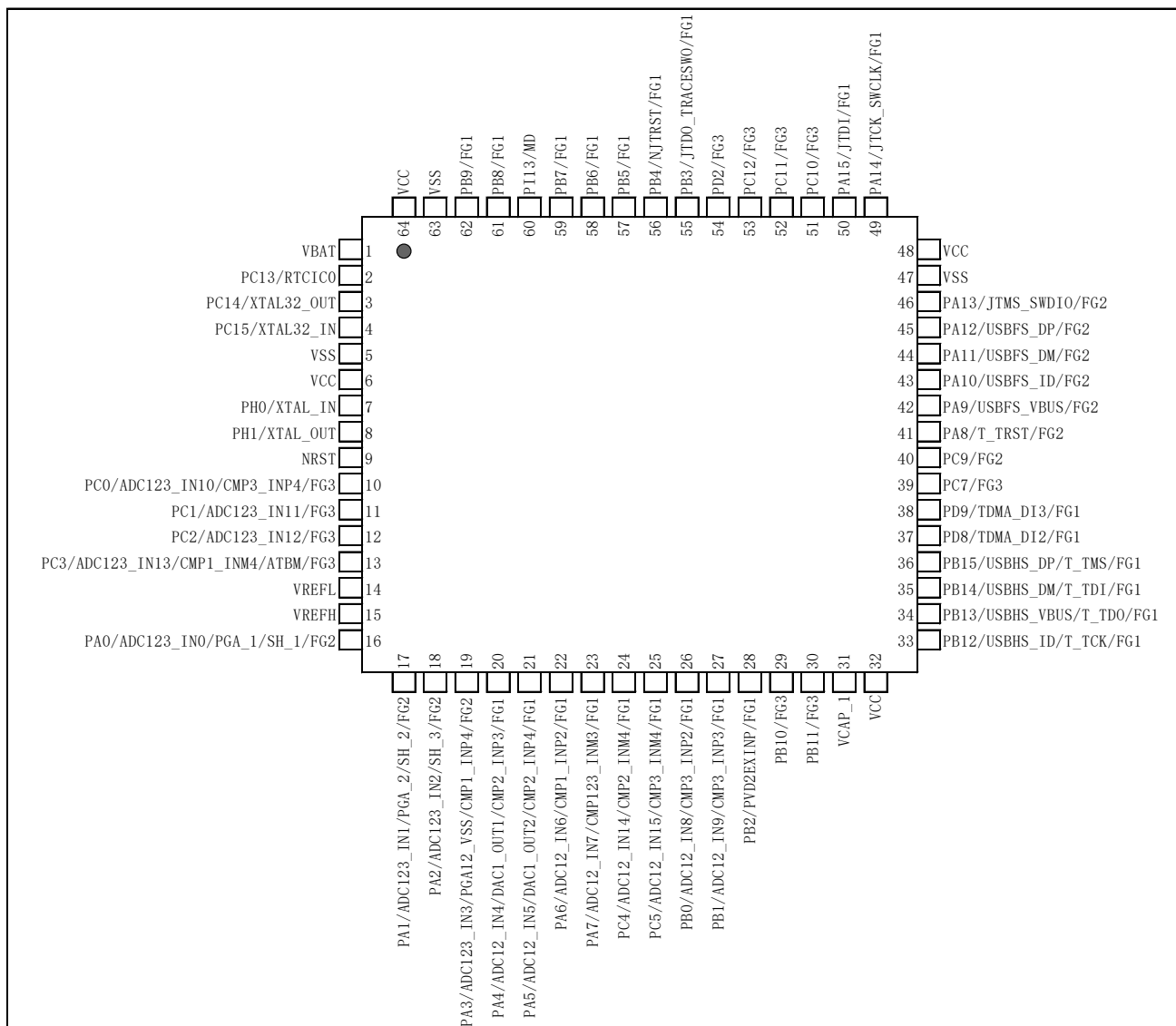


图 2-1 引脚配置图

2.2 引脚功能表

表 2-1 引脚功能表

LQFP 144	LQFP 100	LQFP 64	Pin Name	Analog	EIRQ /WKUP	TRACE /JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21~31	Func32~63
							GPO		TIM4	TIM6	TIMA	TIMA	EMB, TIM6,TIMA	USART	KEY	SDIO	USBFS, USBHS, TIM2	ETH	EXMC, USBHS	DVP	EVNTPT	EVENTOUT	TIM2, TIM4	I2S	SPI, QSPI	SPI	USART		Communication Function Group
1	1	-	PE2		EIRQ2	TRACE CLK		FCMRE F	TIM4_3 _ADSM				TIMA_4_TRIG	USART 3_CK				ETH_MII_T XD3	EXMC_ADD 23			EVENTOUT		I2S3_MCK					FG2
2	2	-	PE3		EIRQ3	TRACE D0						TIMA_4_PWM1/TIMA_4 _CLKA		USART 6_CK				ETH_MII_R MII_TXEN	EXMC_ADD 19			EVENTOUT		I2S4_SD	SPI2_NSS0				FG2
3	3	-	PE4		EIRQ4	TRACE D1						TIMA_4_PWM2/TIMA_4 _CLKB		USART 6_CTS					EXMC_ADD 20	DVP_DATA 4		EVENTOUT				SPI4_NSS0			FG2
4	4	-	PE5		EIRQ5	TRACE D2		CTCRE F				TIMA_4_PWM3		USART 6_RTS					EXMC_ADD 21	DVP_DATA 6		EVENTOUT							FG2
5	5	-	PE6		EIRQ6	TRACE D3						TIMA_4_PWM4							EXMC_ADD 22	DVP_DATA 7		EVENTOUT							FG2
6	6	1	VBAT																										
-	-	-	PI8	RTCIC1	EIRQ8																	EVENTOUT							
7	7	2	PC13	RTCIC0	EIRQ13+ WKUP3_1			RTC_O UT								SDIO2_CK					EVNTP31 3	EVENTOUT		I2S3_MCK					
8	8	3	PC14	XTAL32_O UT	EIRQ14																EVNTP31 4	EVENTOUT							
9	9	4	PC15	XTAL32_IN	EIRQ15																EVNTP31 5	EVENTOUT							
10	-	-	PF0		EIRQ0			MCO_1						USART 10_CK					EXMC_ADD 0			EVENTOUT			SPI3_NSS1				FG3
11	-	-	PF1		EIRQ1									USART 10_CTS					EXMC_ADD 1			EVENTOUT			SPI3_NSS2				FG3
12	-	-	PF2		EIRQ2									USART 10_RTS					EXMC_ADD 2			EVENTOUT			SPI3_NSS3				FG3
13	-	-	PF3	ADC3_IN9	EIRQ3														EXMC_ADD 3			EVENTOUT			SPI4_NSS1				FG3
14	-	-	PF4	ADC3_IN1 4	EIRQ4														EXMC_ADD 4			EVENTOUT			SPI4_NSS2				FG3
15	-	-	PF5	ADC3_IN1 5	EIRQ5														EXMC_ADD 5			EVENTOUT			SPI4_NSS3				FG3
16	10	5	VSS																										
17	11	6	VCC																										
18	-	-	PF6	ADC3_IN4	EIRQ6														EXMC_RB2			EVENTOUT				SPI5_NSS0	USART7_R X		FG3
19	-	-	PF7	ADC3_IN5	EIRQ7														EXMC_RB3			EVENTOUT		I2S4_MCK		SPI5_SCK	USART7_T X		FG3
20	-	-	PF8	ADC3_IN6	EIRQ8														EXMC_RB4			EVENTOUT				SPI5_MISO			FG3
21	-	-	PF9	ADC3_IN7	EIRQ9														EXMC_RB5	DVP_PIXCL K		EVENTOUT				SPI5_MOSI			FG3
22	-	-	PF10	ADC3_IN8	EIRQ10														EXMC_RB6	DVP_DATA 11		EVENTOUT							FG3
23	12	7	PH0	XTAL_IN	EIRQ0							TIMA_5_PWM3										EVENTOUT							
24	13	8	PH1	XTAL_OUT	EIRQ1							TIMA_5_PWM4										EVENTOUT							
25	14	9	NRST																										
26	15	10	PC0	ADC123_I N10+CMP 3_INP4	EIRQ0						TIMA_8_PWM1/TIMA_8 _CLKA		TIMA_1_TRIG			SDIO2_D5	USBHS_UL PI_STP		EXMC_WE		EVNTP30 0	EVENTOUT		I2S1_EXCK					FG3
27	16	11	PC1	ADC123_I N11	EIRQ1						TIMA_8_PWM2/TIMA_8 _CLKB		TIMA_1_TRIG			SDIO2_D6		ETH_SMI_ MDC			EVNTP30 1	EVENTOUT		I2S1_MCK					FG3
28	17	12	PC2	ADC123_I N12	EIRQ2				TIM4_2 _ADSM		TIMA_8_PWM3		EMB_PORT3			SDIO2_D7	USBHS_UL PI_DIR	ETH_MII_T XD2	EXMC_CE0		EVNTP30 2	EVENTOUT		I2S1_SDIN		SPI2_MISO			FG3
29	18	13	PC3	ADC123_I N13+CMP 1_INM4	EIRQ3				TIM4_2 _PCT		TIMA_8_PWM4					SDIO1_WP	USBHS_UL PI_NEXT	ETH_MII_T XCLK	EXMC_ALE		EVNTP30 3	EVENTOUT				SPI2_MOSI			FG3
30	19	-	VCC																										

LQFP 144	LQFP 100	LQFP 64	Pin Name	Analog	EIRQ /WKUP	TRACE /JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21~31	Func32~63
							GPO		TIM4	TIM6	TIMA	TIMA	EMB, TIM6,TIMA	USART	KEY	SDIO	USBFS, USBHS, TIM2	ETH	EXMC, USBHS	DVP	EVNTP10	EVENTOUT	TIM2, TIM4	I2S	SPI, QSPI	SPI	USART		Communication Function Group
31	20	14	AVSS_V REFL																										
32	21	-	VREFH																										
-	-	15	AVCC VREFH																										
33	22	-	AVCC																										
34	23	16	PA0	ADC123_I N0+PGA_1	EIRQ0+ WKUP0_0				TIM4_2 _OUH	TIM6_T RIGC	TIMA_2_PWM1/TIMA_2 _CLKA	TIMA_2_TRIG	TIMA_5_PWM 1/TIMA_5_CLK A	USART 5_CTS		SDIO2_D4		ETH_MII_C RS				EVNTP10 0	EVENTOUT	TIM4_2_CL K		SPI5_NSS1		USART2_C TS	FG2
35	24	17	PA1	ADC123_I N1+PGA_2	EIRQ1				TIM4_2 _OUL		TIMA_2_PWM2/TIMA_2 _CLKB	TIMA_3_TRIG	TIMA_5_PWM 2/TIMA_5_CLK B	USART 5_RTS		SDIO2_D5		ETH_MII_R MII_RXCLK				EVNTP10 1	EVENTOUT			SPI5_NSS2		USART2_R TS	FG2
36	25	18	PA2	ADC123_I N2	EIRQ2				TIM4_2 _OVH		TIMA_2_PWM3	TIMA_5_PWM1/TIMA_5 _CLKA	TIMA_5_PWM 3			SDIO2_D6		ETH_SMI_ MDIO				EVNTP10 2	EVENTOUT			SPI5_NSS3		USART2_T X	FG2
-	-	-	PH2	ADC3_IN1 6	EIRQ2			FCMRE F	TIM4_2 _CLK	TIM6_T RIGB			EMB_PORT4			SDIO2_D4		ETH_MII_C RS	EXMC_ALE				EVENTOUT		I2S3_EXCK				FG2
-	-	-	PH3	ADC3_IN1 7	EIRQ3													ETH_MII_C OL	EXMC_CE0				EVENTOUT						FG2
-	-	-	PH4	ADC3_IN1 8	EIRQ4												USBHS_UL PI_NXT						EVENTOUT						FG2
-	-	-	PH5	ADC3_IN1 9	EIRQ5														EXMC_WE				EVENTOUT			SPI5_NSS0			FG2
37	26	19	PA3	ADC123_I N3+PGA1 2_VSS+C MP1_INP4	EIRQ3				TIM4_2 _OVL		TIMA_2_PWM4	TIMA_5_PWM2/TIMA_5 _CLKB	TIMA_5_PWM 4			SDIO2_D7	USBHS_UL PI_D0	ETH_MII_C OL				EVNTP10 3	EVENTOUT				USART2_R X	FG2	
38	27	-	AVSS																										
39	28	-	AVCC																										
40	29	20	PA4	ADC12_IN 4+DAC1 OUT1+CM P2_INP3	EIRQ4				TIM4_2 _OWH				TIMA_8_TRIG	USART 5_CK	KEYOUT0				USBHS_SO F	DVP_HSYN C		EVNTP10 4	EVENTOUT		I2S1_EXCK		SPI1_NSS0	USART2_C K	FG1
41	30	21	PA5	ADC12_IN 5+DAC1 OUT2+CM P2_INP4	EIRQ5				TIM4_2 _OWL		TIMA_2_PWM1/TIMA_2 _CLKA		TIMA_2_TRIG		KEYOUT1		USBHS_UL PI_CK					EVNTP10 5	EVENTOUT	TIM4_2_OU L	I2S1_MCK				FG1
42	31	22	PA6	ADC12_IN 6+CMP1_ NP2	EIRQ6							TIMA_3_PWM1/TIMA_3 _CLKA	EMB_PORT2		KEYOUT2	SDIO1_CM D	TIM2_4_P WMA/TRIG A		EXMC_ADD 26	DVP_PIXCL K	EVNTP10 6	EVENTOUT						FG1	
43	32	23	PA7	ADC12_IN 7+CMP12 3_INM3	EIRQ7				TIM4_1 _OUL	TIM6_1 _PWMB	TIMA_7_PWM1/TIMA_7 _CLKA	TIMA_3_PWM2/TIMA_3 _CLKB	EMB_PORT3		KEYOUT3	SDIO2_WP	TIM2_4_P WMB/TRIG B	ETH_MII_R MII_RXDV	EXMC_ADD 27			EVNTP10 7	EVENTOUT	TIM4_2_OU L				FG1	
44	33	24	PC4	ADC12_IN 14+CMP2 INM4	EIRQ4				TIM4_2 _OUH				TIMA_7_TRIG	USART 1_CK		SDIO2_CD		ETH_MII_R MII_RXD0	EXMC_ADD 28			EVNTP30 4	EVENTOUT			SPI1_NSS1			FG1
45	34	25	PC5	ADC12_IN 15+CMP3 INM4	EIRQ5				TIM4_2 _OUL				EMB_PORT1			SDIO2_CM D		ETH_MII_R MII_RXD1	EXMC_ADD 29			EVNTP30 5	EVENTOUT			SPI1_NSS2			FG1
46	35	26	PB0	ADC12_IN 8+CMP3_ NP2	EIRQ0				TIM4_1 _OVL	TIM6_2 _PWMB	TIMA_7_PWM2/TIMA_7 _CLKB	TIMA_3_PWM3		USART 4_CK	KEYOUT4	SDIO2_CM D	USBHS_UL PI_D1	ETH_MII_R XD2				EVNTP20 0	EVENTOUT	TIM4_2_OV L		SPI1_NSS3			FG1
47	36	27	PB1	ADC12_IN 9+CMP3_ NP3	EIRQ1+ WKUP0_ 1				TIM4_1 _OWL	TIM6_3 _PWMB	TIMA_7_PWM3	TIMA_3_PWM4			KEYOUT5	SDIO2_D3	USBHS_UL PI_D2	ETH_MII_R XD3				EVNTP20 1	EVENTOUT	TIM4_2_O WL	I2S2_EXCK	QSPI_NSS			FG1
48	37	28	PB2	PVD2EXIN P	EIRQ2+ WKUP0_ 2			VCOUT		TIM6_T RIGB	TIMA_7_PWM4		EMB_PORT1	USART 2_CK		SDIO2_D2			EXMC_CLE	DVP_PIXCL K	EVNTP20 2	EVENTOUT		I2S2_MCK	QSPI_IO3			FG1	
49	-	-	PF11		EIRQ11				TIM4_2 _PCT		TIMA_4_PWM1/TIMA_4 _CLKA			USART 2_CTS					EXMC_OE	DVP_DATA 12			EVENTOUT				SPI5_MOSI		FG1
50	-	-	PF12		EIRQ12				TIM4_2 _ADSM		TIMA_4_PWM2/TIMA_4 _CLKB			USART 2_RTS					EXMC_ADD 6				EVENTOUT					FG1	
51	-	-	VSS																										
52	-	-	VCC																										
53	-	-	PF13		EIRQ13					TIM6_1 _PWMA	TIMA_4_PWM3								EXMC_ADD 7				EVENTOUT			SPI6_NSS3			FG2
54	-	-	PF14		EIRQ14					TIM6_1 _PWMB	TIMA_4_PWM4								EXMC_ADD 8				EVENTOUT			SPI6_NSS2			FG2
55	-	-	PF15		EIRQ15					TIM6_2 _PWMA				USART 7_RTS					EXMC_ADD 9				EVENTOUT			SPI6_NSS1			FG2
56	-	-	PG0		EIRQ0					TIM6_2 _PWMB				USART 7_CTS					EXMC_ADD 10				EVENTOUT						FG2
57	-	-	PG1		EIRQ1					TIM6_T RIGA				USART 7_CK					EXMC_ADD 11				EVENTOUT						FG2
58	38	-	PE7		EIRQ7			ADTRG 1	TIM4_1 _CLK	TIM6_T RIGB	TIMA_1_TRIG	TIMA_3_PWM3		USART 1_CK					EXMC_DAT A4				EVENTOUT			SPI4_NSS1			FG2

LQFP 144	LQFP 100	LQFP 64	Pin Name	Analog	EIRQ /WKUP	TRACE /JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21~31	Func32~63
							GPO		TIM4	TIM6	TIMA	TIMA	EMB, TIM6,TIMA	USART	KEY	SDIO	USBFS, USBHS, TIM2	ETH	EXMC, USBHS	DVP	EVNTPT	EVENTOUT	TIM2, TIM4	I2S	SPI, QSPI	SPI	USART		Communication Function Group
59	39	-	PE8		EIRQ8			CTCRE F	TIM4_1 _OUL	TIM6_1 _PWMB	TIMA_7_PWM1/TIMA_7 _CLKA	TIMA_3_PWM4							EXMC_DAT A5			EVENTOUT			SPI4_NSS2			FG2	
60	40	-	PE9		EIRQ9			ADTRG 3	TIM4_1 _OUH	TIM6_1 _PWMA	TIMA_1_PWM1/TIMA_1 _CLKA								EXMC_DAT A6			EVENTOUT			SPI4_NSS3			FG2	
61	-	-	VSS																										
62	-	-	VCC																										
63	41	-	PE10	CMP1_INP 3	EIRQ10				TIM4_1 _OVL	TIM6_2 _PWMB	TIMA_7_PWM2/TIMA_7 _CLKB		TIMA_3_TRIG						EXMC_DAT A7			EVENTOUT						FG3	
64	42	-	PE11		EIRQ11				TIM4_1 _OVH	TIM6_2 _PWMA	TIMA_1_PWM2/TIMA_1 _CLKB	TIMA_3_PWM1/TIMA_3 _CLKA					USBHS_UL PI_D7		EXMC_DAT A8			EVENTOUT						FG3	
65	43	-	PE12		EIRQ12				TIM4_1 _OWL	TIM6_3 _PWMB	TIMA_7_PWM3	TIMA_3_PWM2/TIMA_3 _CLKB					USBHS_UL PI_CK		EXMC_DAT A9			EVENTOUT			SPI1_NSS1			FG3	
66	44	-	PE13		EIRQ13				TIM4_1 _OWH	TIM6_3 _PWMA	TIMA_1_PWM3	TIMA_3_PWM3					USBHS_UL PI_D0		EXMC_DAT A10			EVENTOUT		I2S4_SDIN	SPI1_NSS2			FG3	
67	45	-	PE14		EIRQ14				TIM4_1 _CLK		TIMA_1_PWM4	TIMA_3_PWM4				SDIO1_CD	USBHS_UL PI_D1		EXMC_DAT A11			EVENTOUT		I2S4_EXCK	SPI1_NSS3			FG3	
68	46	-	PE15		EIRQ15				TIM4_1 _PCT	TIM6_T RIGA	TIMA_7_PWM4	TIMA_5_TRIG	EMB_PORT2	USART 10_CK		SDIO1_WP	USBHS_UL PI_D2		EXMC_DAT A12			EVENTOUT		I2S4_MCK				FG3	
69	47	29	PB10		EIRQ10			ADTRG 2	TIM4_2 _OVH		TIMA_2_PWM3					SDIO1_D7	USBHS_UL PI_D3	ETH_MII_R XER			EVNTP21 0	EVENTOUT		I2S3_EXCK	QSPI_IO2	SPI2_SCK		FG3	
70	48	30	PB11		EIRQ11				TIM4_1 _ADSM		TIMA_2_PWM4		EMB_PORT2				USBHS_UL PI_D4	ETH_MII_R MII_TXEN			EVNTP21 1	EVENTOUT						FG3	
71	49	31	VCAP_1																										
72	50	32	VCC																										
73	51	33	PB12		EIRQ12			VCOUT 1	TIM4_2 _OVL	TIM6_T RIGB	TIMA_7_PWM4	TIMA_5_TRIG	EMB_PORT2	USART 3_CK		SDIO2_D1	USBHS_UL PI_D5	ETH_MII_R MII_TXD0	USBHS_ID		EVNTP21 2	EVENTOUT		I2S3_MCK	QSPI_IO1	SPI2_NSS0		FG1	
74	52	34	PB13		EIRQ13			VCOUT 2	TIM4_1 _OUL	TIM6_1 _PWMB	TIMA_7_PWM1/TIMA_7 _CLKA			USART 3_CTS		SDIO2_D0	USBHS_UL PI_D6	ETH_MII_R MII_TXD1	USBHS_VB US		EVNTP21 3	EVENTOUT			QSPI_IO0			FG1	
75	53	35	PB14	USBHS_D M	EIRQ14			VCOUT 3	TIM4_1 _OVL	TIM6_2 _PWMB	TIMA_7_PWM2/TIMA_7 _CLKB			USART 3_RTS		SDIO1_D6	TIM2_2_P WMA/TRIG A				EVNTP21 4	EVENTOUT	TIM4_2_OV L	I2S1_SDIN	QSPI_SCK			FG1	
76	54	36	PB15	USBHS_DP	EIRQ15			RTC_O UT	TIM4_1 _OWL	TIM6_3 _PWMB	TIMA_7_PWM3	TIMA_6_TRIG	EMB_PORT4	USART 3_CK		SDIO1_CK	TIM2_2_P WMB/TRIG B				EVNTP21 5	EVENTOUT	TIM4_2_O WL					FG1	
77	55	37	PD8		EIRQ8			VCOUT 4	TIM4_3 _OUL	TIM6_1 _PWMB		TIMA_6_PWM1/TIMA_6 _CLKA		USART 1_CTS	KEYOUT7		USBHS_DR VVBUS		EXMC_DAT A13		EVNTP40 8	EVENTOUT			QSPI_IO0			FG1	
78	56	38	PD9		EIRQ9			VCOUT 3	TIM4_3 _OVL	TIM6_2 _PWMB	TIMA_2_PWM1/TIMA_2 _CLKA	TIMA_6_PWM2/TIMA_6 _CLKB	EMB_PORT3	USART 1_RTS	KEYOUT6		USBHS_UL PI_D4		EXMC_DAT A14		EVNTP40 9	EVENTOUT			QSPI_IO1			FG1	
79	57	-	PD10		EIRQ10			CAN2 TST_SA MPLE	TIM4_3 _OWL	TIM6_3 _PWMB	TIMA_2_PWM2/TIMA_2 _CLKB	TIMA_6_PWM3		USART 3_CK	KEYOUT5				EXMC_DAT A15		EVNTP41 0	EVENTOUT		I2S2_EXCK	QSPI_IO2			FG1	
80	58	-	PD11		EIRQ11			CAN2 TST_CL OCK	TIM4_3 _CLK	TIM6_T RIGB		TIMA_6_PWM4		USART 3_CTS	KEYOUT4				EXMC_ADD 16		EVNTP41 1	EVENTOUT		I2S2_MCK	QSPI_IO3			FG1	
81	59	-	PD12		EIRQ12				TIM4_1 _ADSM		TIMA_4_PWM1/TIMA_4 _CLKA			USART 3_RTS					EXMC_ADD 17		EVNTP41 2	EVENTOUT						FG3	
82	60	-	PD13		EIRQ13				TIM4_1 _PCT		TIMA_4_PWM2/TIMA_4 _CLKB								EXMC_ADD 18		EVNTP41 3	EVENTOUT						FG3	
83	-	-	VSS																										
84	-	-	VCC																										
85	61	-	PD14		EIRQ14			ADTRG 1			TIMA_4_PWM3								EXMC_DAT A0		EVNTP41 4	EVENTOUT		I2S4_EXCK				FG3	
86	62	-	PD15		EIRQ15			ADTRG 2			TIMA_4_PWM4								EXMC_DAT A1		EVNTP41 5	EVENTOUT		I2S4_MCK				FG3	
87	-	-	PG2		EIRQ2			ADTRG 3											EXMC_ADD 12			EVENTOUT						FG3	
88	-	-	PG3		EIRQ3														EXMC_ADD 13	DVP_DATA 10		EVENTOUT						FG3	
89	-	-	PG4		EIRQ4														EXMC_ADD 14	EXMC_ADD 16		EVENTOUT						FG3	
90	-	-	PG5		EIRQ5														EXMC_ADD 15	EXMC_ADD 17		EVENTOUT						FG3	
91	-	-	PG6		EIRQ6														EXMC_RB0	DVP_DATA 12		EVENTOUT						FG3	
92	-	-	PG7		EIRQ7														EXMC_RB1	DVP_DATA 13		EVENTOUT		I2S1_EXCK		USART6_C K		FG3	
93	-	-	PG8		EIRQ8													ETH_PPS_O UT	EXMC_CLK			EVENTOUT		I2S1_SDIN		SPI6_NSS0	USART6_R TS		FG3

LQFP 144	LQFP 100	LQFP 64	Pin Name	Analog	EIRQ /WKUP	TRACE /JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21~31	Func32~63	
							GPO		TIM4	TIM6	TIMA	TIMA	EMB, TIM6,TIMA	USART	KEY	SDIO	USBFS, USBHS, TIM2	ETH	EXMC, USBHS	DVP	EVNTP	EVENTOUT	TIM2, TIM4	I2S	SPI, QSPI	SPI	USART		Communication Function Group	
94	-	-	VSS																											
95	-	-	VCC																											
96	63	-	PC6		EIRQ6			CTCRE F	TIM4_2 _OUH		TIMA_3_PWM1/TIMA_3 _CLKA				KEYOUT3	SDIO1_D6				DVP_DATA 0	EVNTP30 6	EVENTOUT	TIM4_3_AD SM	I2S1_MCK	QSPI_SCK		USART6_T X		FG3	
97	64	39	PC7		EIRQ7				TIM4_2 _OVH	TIM6_T RIGD	TIMA_3_PWM2/TIMA_3 _CLKB				KEYOUT2	SDIO1_D7			I2S2_EXCK	DVP_DATA 1	EVNTP30 7	EVENTOUT	TIM4_2_CL K	I2S2_MCK	QSPI_NSS		USART6_R X		FG3	
98	65	-	PC8		EIRQ8				TIM4_2 _OWH		TIMA_3_PWM3				KEYOUT1	SDIO1_D0				DVP_DATA 2	EVNTP30 8	EVENTOUT		I2S2_MCK			USART6_C K		FG2	
99	66	40	PC9		EIRQ9			MCO_2	TIM4_2 _OWL		TIMA_3_PWM4				KEYOUT0	SDIO1_D1	USBFS_DR VVBUS		EXMC_CLE	DVP_DATA 3	EVNTP30 9	EVENTOUT		I2S3_EXCK					FG2	
100	67	41	PA8		EIRQ8+ WKUP2_ 0			MCO_1	TIM4_1 _OUH	TIM6_1 _PWMA	TIMA_1_PWM1/TIMA_1 _CLKA		TIMA_7_TRIG	USART 4_CK		SDIO1_D1	USBFS_SO F					EVNTP10 8	EVENTOUT		I2S3_MCK			USART1_C K		FG2
101	68	42	PA9		EIRQ9+ WKUP2_ 1				TIM4_1 _OVH	TIM6_2 _PWMA	TIMA_1_PWM2/TIMA_1 _CLKB		TIMA_2_TRIG			SDIO1_D2	USBFS_VB US			DVP_DATA 0	EVNTP10 9	EVENTOUT		I2S3_SDIN			USART1_T X		FG2	
102	69	43	PA10		EIRQ10+ WKUP2_ 2				TIM4_1 _OWH	TIM6_3 _PWMA	TIMA_1_PWM3	TIMA_5_TRIG				SDIO1_CD	USBFS_ID			DVP_DATA 1	EVNTP11 0	EVENTOUT					USART1_R X		FG2	
103	70	44	PA11	USBFS_D M	EIRQ11+ WKUP2_ 3				TIM4_1 _CLK		TIMA_1_PWM4		EMB_PORT1	USART 4_CTS		SDIO2_CD						EVNTP11 1	EVENTOUT					USART1_C TS		FG2
104	71	45	PA12	USBFS_DP	EIRQ12+ WKUP3_ 0				TIM4_3 _OWL	TIM6_T RIGA	TIMA_1_TRIG	TIMA_6_PWM1/TIMA_6 _CLKA		USART 4_RTS		SDIO2_WP						EVNTP11 2	EVENTOUT	TIM4_1_CL K				USART1_R TS		FG2
105	72	46	PA13		EIRQ13	JTMS_S WDIO				TIM6_T RIGD	TIMA_8_PWM1/TIMA_8 _CLKA	TIMA_6_PWM2/TIMA_6 _CLKB				SDIO2_D3					EVNTP11 3	EVENTOUT			SPI2_NSS1				FG2	
106	73	-	VCAP_2																											
107	74	47	VSS																											
108	75	48	VCC																											
109	76	49	PA14		EIRQ14+ WKUP3_ 2	JTCK_S WCLK			TIM4_2 _ADSM	TIM6_T RIGC	TIMA_8_PWM2/TIMA_8 _CLKB	TIMA_6_PWM3	TIMA_4_TRIG	USART 2_RTS		SDIO2_D2						EVNTP11 4	EVENTOUT		I2S1_EXCK	SPI2_NSS2				FG1
110	77	50	PA15		EIRQ15+ WKUP3_ 3	JTDI			TIM4_2 _PCT	TIM6_T RIGA	TIMA_2_PWM1/TIMA_2 _CLKA	TIMA_6_PWM4	TIMA_2_TRIG	USART 2_CTS		SDIO2_D1						EVNTP11 5	EVENTOUT		I2S1_MCK	SPI2_NSS3	SPI1_NSS0			FG1
111	78	51	PC10		EIRQ10			CAN1 TST_SA MPLE	TIM4_3 _OUH		TIMA_8_PWM3	TIMA_5_PWM1/TIMA_5 _CLKA		USART 2_CK		SDIO1_D2				DVP_DATA 8	EVNTP31 0	EVENTOUT		I2S2_CK	SPI1_NSS1	SPI3_SCK	USART4_T X		FG3	
112	79	52	PC11		EIRQ11			CAN1 TST_CL OCK	TIM4_3 _OVH		TIMA_8_PWM4	TIMA_5_PWM2/TIMA_5 _CLKB			KEYOUT0	SDIO1_D3				DVP_DATA 4	EVNTP31 1	EVENTOUT		I2S2_SDIN	SPI1_NSS2	SPI3_MISO	USART4_R X		FG3	
113	80	53	PC12		EIRQ12				TIM4_3 _OWH		TIMA_4_TRIG	TIMA_5_PWM3		USART 3_CK	KEYOUT1	SDIO1_CK				DVP_DATA 9	EVNTP31 2	EVENTOUT		I2S2_SD	SPI1_NSS3	SPI3_MOSI	USART5_T X		FG3	
114	81	-	PD0		EIRQ0			VCOUT	TIM4_3 _OUL			TIMA_5_PWM4			KEYOUT2				EXMC_DAT A2		EVNTP40 0	EVENTOUT							FG3	
115	82	-	PD1		EIRQ1				TIM4_3 _OVL		TIMA_3_TRIG				KEYOUT3				EXMC_DAT A3		EVNTP40 1	EVENTOUT							FG3	
116	83	54	PD2		EIRQ2			VCOUT 4	TIM4_3 _OWL		TIMA_2_PWM4		TIMA_3_TRIG	USART 7_CTS	KEYOUT4	SDIO1_CM D				DVP_DATA 11	EVNTP40 2	EVENTOUT					USART5_R X		FG3	
117	84	-	PD3		EIRQ3			VCOUT 1					TIMA_6_TRIG	USART 5_CTS	KEYOUT5				EXMC_CLK	DVP_DATA 5	EVNTP40 3	EVENTOUT				SPI2_SCK	USART2_C TS		FG3	
118	85	-	PD4		EIRQ4			VCOUT 2			TIMA_6_PWM1/TIMA_6 _CLKA		EMB_PORT4	USART 5_RTS	KEYOUT6				EXMC_OE	DVP_DATA 12	EVNTP40 4	EVENTOUT					USART2_R TS		FG2	
119	86	-	PD5		EIRQ5			VCOUT 3			TIMA_6_PWM2/TIMA_6 _CLKB			USART 7_RTS	KEYOUT7				EXMC_WE		EVNTP40 5	EVENTOUT			SPI6_NSS1		USART2_T X		FG2	
120	-	-	VSS																											
121	-	-	VCC																											
122	87	-	PD6		EIRQ6			ADTRG 1	TIM4_2 _CLK	TIM6_T RIGC	TIMA_6_PWM3			USART 7_CK					EXMC_RB0	DVP_DATA 10	EVNTP40 6	EVENTOUT		I2S2_SD	SPI6_NSS2	SPI3_MOSI	USART2_R X		FG2	
123	88	-	PD7		EIRQ7			ADTRG 2		TIM6_T RIGD	TIMA_6_PWM4		EMB_PORT1	USART 5_CK					EXMC_CE0		EVNTP40 7	EVENTOUT			SPI6_NSS3		USART2_C K		FG2	
124	-	-	PG9		EIRQ9			ADTRG 3						USART 4_CK					EXMC_CE1	DVP_VSYN C		EVENTOUT							FG2	
125	-	-	PG10		EIRQ10				TIM4_3 _ADSM					USART 4_CTS					EXMC_CE2	DVP_DATA 2		EVENTOUT							FG2	
126	-	-	PG11		EIRQ11				TIM4_3 _PCT		TIMA_8_PWM1/TIMA_8 _CLKA			USART 4_RTS				ETH_MII_R MII_TXEN	EXMC_RB7	DVP_DATA 3		EVENTOUT							FG2	
127	-	-	PG12		EIRQ12						TIMA_8_PWM2/TIMA_8 _CLKB			USART 6_RTS					EXMC_CE3			EVENTOUT							FG2	

LQFP 144	LQFP 100	LQFP 64	Pin Name	Analog	EIRQ /WKUP	TRACE /JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21~31	Func32~63
							GPO		TIM4	TIM6	TIMA	TIMA	EMB, TIM6,TIMA	USART	KEY	SDIO	USBFS, USBHS, TIM2	ETH	EXMC, USBHS	DVP	EVNTPT	EVENTOUT	TIM2, TIM4	I2S	SPI, QSPI	SPI	USART		Communication Function Group
128	-	-	PG13		EIRQ13						TIMA_8_PWM3			USART 6_CTS				ETH_MII_R MII_TXD0	EXMC_ADD 24	DVP_VSYN C		EVENTOUT							FG2
129	-	-	PG14		EIRQ14				TIM4_3 _ADSM		TIMA_8_PWM4							ETH_MII_R MII_TXD1	EXMC_ADD 25	DVP_DATA 2		EVENTOUT		I2S3_EXCK					FG2
130	-	-	VSS																										
131	-	-	VCC																										
132	-	-	PG15		EIRQ15				TIM4_3 _PCT				TIMA_5_TRIG	USART 6_CTS					EXMC_BAA	DVP_DATA 13		EVENTOUT		I2S3_MCK					FG1
133	89	55	PB3		EIRQ3+ WKUP0_3	JTDO_S WO		FCMRE F	TIM4_3 _CLK	TIM6_T RIGC	TIMA_2_PWM2/TIMA_2 _CLKB					SDIO2_D0					EVNTP20 3	EVENTOUT							FG1
134	90	56	PB4		EIRQ4+ WKUP1_0	NJTRST			TIM4_3 _OWL	TIM6_3 _PWMB	TIMA_3_PWM1/TIMA_3 _CLKA					SDIO1_D0				DVP_DATA 13	EVNTP20 4	EVENTOUT		I2S2_SDIN					FG1
135	91	57	PB5		EIRQ5+ WKUP1_1			ADTRG 3	TIM4_3 _OWH	TIM6_3 _PWMA	TIMA_3_PWM2/TIMA_3 _CLKB					SDIO1_D3	USBHS_UL PI_D7	ETH_PPS_O UT	EXMC_ALE	DVP_DATA 10	EVNTP20 5	EVENTOUT		I2S4_EXCK	SPI3_NSS3				FG1
136	92	58	PB6		EIRQ6+ WKUP1_2			ADTRG 2	TIM4_3 _OVL	TIM6_2 _PWMB	TIMA_4_PWM1/TIMA_4 _CLKA					SDIO2_CK		ETH_MII_T XCLK	EXMC_CE1	DVP_DATA 5	EVNTP20 6	EVENTOUT		I2S4_MCK	SPI3_NSS2				FG1
137	93	59	PB7		EIRQ7+ WKUP1_3			ADTRG 1	TIM4_3 _OVH	TIM6_2 _PWMA	TIMA_4_PWM2/TIMA_4 _CLKB					SDIO1_D0		ETH_MII_T XER	EXMC_ADV	DVP_VSYN C	EVNTP20 7	EVENTOUT		I2S2_EXCK	SPI3_NSS1				FG1
138	94	60	PI13/M D											USART 3_TX															
139	95	61	PB8		EIRQ8				TIM4_3 _OUL	TIM6_1 _PWMB	TIMA_4_PWM3			USART 1_CK	KEYOUT7	SDIO1_D4	USBFS_DR VVBUS	ETH_MII_T XD3		DVP_DATA 6	EVNTP20 8	EVENTOUT		I2S2_MCK	SPI2_NSS0				FG1
140	96	62	PB9		EIRQ9				TIM4_3 _OUH	TIM6_1 _PWMA	TIMA_4_PWM4	TIMA_6_TRIG		USART 1_CTS	KEYOUT6	SDIO1_D5		ETH_MII_T XD2		DVP_DATA 7	EVNTP20 9	EVENTOUT		I2S2_SDIN	SPI2_NSS1	SPI2_NSS0			FG1
141	97	-	PE0		EIRQ0			MCO_1	TIM4_3 _PCT		TIMA_4_TRIG		TIMA_2_TRIG	USART 1_RTS				ETH_MII_R MII_TXD1	EXMC_CE4	DVP_DATA 2		EVENTOUT				SPI2_NSS2			FG1
142	98	-	PE1		EIRQ1			MCO_2	TIM4_3 _CLK	TIM6_T RIGC								ETH_MII_R MII_TXD0	EXMC_CE5	DVP_DATA 3		EVENTOUT				SPI2_NSS3			FG1
143	-	-	PI12		EIRQ12														EXMC_CLE										FG1
-	99	63	VSS																										
144	100	64	VCC																										

注：

- 上表中，Func32~63 主要为串行通信功能（包含 USART，SPI，I2C，I2S，CAN），分成三组 FunctionGroup，简称 FG1, FG2, FG3。详细请参考表 2-2。

表 2-2 Func32~63 表

	Func32	Func33	Func34	Func35	Func36	Func37	Func38	Func39	Func40	Func41	Func42	Func43	Func44	Func45	Func46	Func47
FG1	USART1_TX	USART1_RX	USART2_TX	USART2_RX	USART3_TX	USART3_RX	USART4_TX	USART4_RX	SPI1_SCK	SPI1_MOSI	SPI1_MISO	SPI2_SCK	SPI2_MOSI	SPI2_MISO	SPI3_SCK	SPI3_MOSI
FG2	USART4_TX	USART4_RX	USART5_TX	USART5_RX	USART6_TX	USART6_RX	USART7_TX	USART7_RX	SPI4_SCK	SPI4_MOSI	SPI4_MISO	SPI5_SCK	SPI5_MOSI	SPI5_MISO	SPI6_SCK	SPI6_MOSI
FG3	USART3_TX	USART3_RX					USART10_TX	USART10_RX	SPI1_SCK	SPI1_MOSI	SPI1_MISO	SPI4_SCK	SPI4_MOSI	SPI4_MISO	SPI4_NSS0	SPI1_NSS0

	Func48	Func49	Func50	Func51	Func52	Func53	Func54	Func55	Func56	Func57	Func58	Func59	Func60	Func61	Func62	Func63
FG1	SPI3_MISO	SPI3_NSS0	I2C1_SDA	I2C1_SCL	I2C3_SDA	I2C3_SCL	I2S1_CK	I2S1_WS	I2S1_SD	I2S2_CK	I2S2_WS	I2S2_SD	CAN1_TX	CAN1_RX	CAN2_TX	CAN2_RX
FG2	SPI6_MISO	SPI6_NSS0	I2C2_SDA	I2C2_SCL						I2S3_CK	I2S3_WS	I2S3_SD	CAN1_TX	CAN1_RX	CAN2_TX	CAN2_RX
FG3	I2C1_SDA	I2C1_SCL	I2C2_SDA	I2C2_SCL			I2S1_CK	I2S1_WS	I2S1_SD	I2S4_CK	I2S4_WS	I2S4_SD	CAN1_TX	CAN1_RX	CAN2_TX	CAN2_RX

表 2-3 端口配置

Package	Port Group	Bits																Pin Count	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Total	
LQFP144	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	116
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortF	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	2	
	PortI	-	-	0	0	-	-	-	-	-	-	-	-	-	-	-	-	2	
LQFP100	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	83
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	2	
	PortI	-	-	0	-	-	-	-	-	-	-	-	-	-	-	-	-	1	
LQFP64	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	52
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	-	0	-	0	0	0	0	0	0	14	
	PortD	-	-	-	-	-	-	0	0	-	-	-	-	-	0	-	-	3	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	2	
	PortI	-	-	0	-	-	-	-	-	-	-	-	-	-	-	-	-	1	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

表 2-4 通用功能规格

Port		上拉	开漏输出	驱动能力	5V 耐压
PortA	PA3~PA5 PA7~PA10 PA13~PA15	支持	支持	低,中,高	支持
	PA0,PA1,PA2, PA6,PA11,PA12	支持	支持	低,中,高	不支持
PortB	PB0~PB13	支持	支持	低,中,高	支持
	PB14,PB15	支持	支持	低,中,高	不支持
PortC	PC0~PC15	支持	支持	低,中,高	支持
PortD	PD0~PD15	支持	支持	低,中,高	支持
PortE	PE0~PE15	支持	支持	低,中,高	支持
PortF	PF0~PF15	支持	支持	低,中,高	支持
PortG	PG0~PG15	支持	支持	低,中,高	支持
PortH	PH0~PH1	支持	支持	低,中,高	支持
PortI	PI13	支持	支持	低,中,高	支持

注:

- 用作模拟功能时，输入电压不得高于 VREFH/AVCC。

2.3 引脚功能说明

表 2-5 引脚功能说明

类别	功能名	I/O	说明
Power	VCC	I	电源
	VSS	I	电源地
	VCAP_x (x=1~2)	-	内核电压
	AVCC	I	模拟电源
	VREFH	I	模拟参考电压
	AVCC_VREFH	I	模拟参考电压
	AVSS	I	模拟电源地
	VREFL	I	模拟参考电压
	AVSS_VREFL	I	模拟电源地, 参考地共用引脚
	VBAT	I	后备电池电源
System	NRST	I	复位端子, 低有效
	MD	I	模式端子
PVD	PVD2EXINP	I	PVD2 外部输入比较电压
Clock	XTAL_IN	I	外部主时钟振荡器接口
	XTAL_OUT	O	
	XTAL32_IN	I	外部副时钟(32K)振荡器接口
	XTAL32_OUT	O	
	MCO_x (x=1~2)	O	内部时钟输出
GPIO	GPIOxy (x=A~I y=0~15)	IO	通用输入输出
EVENTOUT	EVENTOUT	O	Cortex-M4 CPU 事件输出
EIRQ	EIRQx (x=0~15)	I	可屏蔽外部中断
	WKUPx_y (x=0~3 y=0~3)	I	PowerDown 模式外部唤醒输入
Event Port	EVNTPxy (x=1~4 y=0~15)	IO	事件端口输入输出功能
Key	KEYOUTx(x=0~7)	O	KEYSCAN 扫描输出信号
JTAG/SWD	JTCK_SWCLK	I	在线调试接口
	JTMS_SWDIO	IO	
	JTDO_TRACESWO	O	
	JTDI	I	
	NJTRST	I	
TRACE	TRACECLK	O	跟踪调试同步时钟输出
	TRACEDx (x=0~3)	O	跟踪调试数据输出
FCM	FCMREF	I	时钟频率计测用外部基准时钟输入
RTC	RTC_OUT	O	1Hz 时钟输出
	RTCICx (x=0~1)	I	时间戳事件输入
Timer4 (x=1~3)	TIM4_x_CLK	I	计数时钟端口输入
	TIM4_x_OUH	IO	PWM 端口 U 相输出
	TIM4_x_OUL	IO	PWM 端口 U 相输出

类别	功能名	I/O	说明
	TIM4_x_OVH	IO	PWM 端口 V 相输出
	TIM4_x_OVL	IO	PWM 端口 V 相输出
	TIM4_x_OWH	IO	PWM 端口 W 相输出
	TIM4_x_OWL	IO	PWM 端口 W 相输出
	TIM4_x_ADSM	O	专用事件输出监测
	TIM4_x_PCT	O	PWM 周期输出监测
Timer6 (x=1~3)	TIM6_TRIGA	I	外部事件触发 A 输入
	TIM6_TRIGB	I	外部事件触发 B 输入
	TIM6_TRIGC	I	外部事件触发 C 输入
	TIM6_TRIGD	I	外部事件触发 D 输入
	TIM6_x_PWMA	IO	外部事件触发输入或 PWM 端口输出
	TIM6_x_PWMB	IO	外部事件触发输入或 PWM 端口输出
TimerA (x=1~8)	TIMA_x_TRIG	I	外部事件触发输入
	TIMA_x_PWM1/TIMA_x_CLKA	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TIMA_x_PWM2/TIMA_x_CLKB	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TIMA_x_PWM _y (y=3~4)	IO	外部事件触发输入或 PWM 端口输出
EMB	EMB_PORT _x (x=1~4)	I	端口输入控制信号
USART _x (x=1~7, 10)	USART _x _TX	IO	发送数据
	USART _x _RX	IO	接收数据
	USART _x _CK	IO	通信时钟
	USART _x _RTS	O	请求发送信号
	USART _x _CTS	I	清除发送信号
SPI _x (x=1~6)	SPI _x _MISO	IO	主输入/从输出数据传输引脚
	SPI _x _MOSI	IO	主输出/从输入数据传输引脚
	SPI _x _SCK	IO	传输时钟
	SPI _x _NSS0	IO	从机选择输入输出引脚
	SPI _x _NSS _y (y=1~3)	O	从机选择输出引脚
QSPI	QSPI_IO _x (x=0~3)	IO	数据线
	QSPI_SCK	O	时钟输出
	QSPI_NSS	O	从机选择
I2Cx (x=1~3)	I2Cx_SCL	IO	时钟线
	I2Cx_SDA	IO	数据线
I2Sx (x=1~4)	I2Sx_SD	IO	串行数据
	I2Sx_SDIN	I	全双工串行数据输入
	I2Sx_WS	IO	字选择
	I2Sx_CK	IO	串行时钟
	I2Sx_EXCK	I	外部时钟源
	I2Sx_MCK	O	主时钟

类别	功能名	I/O	说明
CANx (x=1~2)	CANx_TX	O	发送数据
	CANx_RX	I	接收数据
SDIOx (x=1~2)	SDIOx_Dy (y=0~7)	IO	SD 数据信号
	SDIOx_CK	O	SD 时钟输出信号
	SDIOx_CMD	IO	SD 命令和回复信号
	SDIOx_CD	I	SD 卡识别状态信号
	SDIOx_WP	I	SD 卡写保护状态信号
USB_FS	USBFS_DM	IO	USBFS 片上全速 PHY D-信号
	USBFS_DP	IO	USBFS 片上全速 PHY D+信号
	USBFS_VBUS	I	USBFS VBUS 信号
	USBFS_ID	I	USBFS ID 信号
	USBFS_SOF	O	USBFS SOF 脉冲输出信号
	USBFS_DRVVBUS	O	USBFS VBUS 驱动许可信号
USB_HS	USBHS_DP	IO	USBHS 片上全速 PHY D+信号
	USBHS_DM	IO	USBHS 片上全速 PHY D-信号
	USBHS_VBUS	I	USBHS VBUS 信号
	USBHS_ID	I	USBHS ID 信号
	USBHS_SOF	O	USBHS SOF 脉冲输出信号
	USBHS_DRVVBUS	O	USBHS VBUS 驱动许可信号
	USBHS_ULPI_CLK	I	ULPI 接口 clock 信号
	USBHS_ULPI_DIR	I	ULPI 接口 dir 信号
	USBHS_ULPI_STP	O	ULPI 接口 stp 信号
	USBHS_ULPI_NXT	I	ULPI 接口 nxt 信号
	USBHS_ULPI_Dx (x=0~7)	IO	ULPI 接口 data 信号
ETHMAC	ETH_SMI_MDC	O	SMI 接口时钟
	ETH_SMI_MDIO	IO	SMI 接口数据
	ETH_PPS_OUT	IO	PPS 输出
	ETH_MII_RMII_RXCLK	I	MII 接收动作时钟或 RMII 参考时钟
	ETH_MII_RMII_RXDV	I	MII 接收数据有效或 RMII 接收数据有效
	ETH_MII_RMII_RXD0	I	MII 接收数据 0 或 RMII 接收数据 0
	ETH_MII_RMII_RXD1	I	MII 接收数据 1 或 RMII 接收数据 1
	ETH_MII_RMII_TXEN	O	MII 发送数据使能或 RMII 发送数据使能
	ETH_MII_RMII_TXD0	O	MII 发送数据 0 或 RMII 发送数据 0
	ETH_MII_RMII_TXD1	O	MII 发送数据 1 或 RMII 发送数据 1
	ETH_MII_RXD2	I	MII 接收数据 2
	ETH_MII_RXD3	I	MII 接收数据 3
	ETH_MII_RXER	I	MII 接收数据错误
	ETH_MII_TXCLK	I	MII 发送动作时钟

类别	功能名	I/O	说明
	ETH_MII_TXD2	O	MII 发送数据 2
	ETH_MII_TXD3	O	MII 发送数据 3
	ETH_MII_TXER	O	MII 发送数据错误
	ETH_MII_COL	I	MII 载波侦听
	ETH_MII_CR5	I	MII 冲突检测
CMP	VCOUT1	O	CMP1 结果输出
	VCOUT2	O	CMP2 结果输出
	VCOUT3	O	CMP3 结果输出
	VCOUT	O	CMP1~3 结果 OR 输出
	CMPx_INPy (x=1~3 y=2~4)	I	CMPx 正端模拟输入
	CMPx_INM4 (x=1~3)	I	CMPx 负端模拟输入
	CMP123_INM3	I	CMP1,2,3 负端模拟输入
ADC	ADTRG1	I	ADC1 AD 转换外部启动源
	ADTRG2	I	ADC2 AD 转换外部启动源
	ADTRG3	I	ADC3 AD 转换外部启动源
	ADC123_INx (x=0~3,10~13)	I	ADC1,2,3 共用外部模拟输入端口
	ADC12_INx (x=4~9,14,15)	I	ADC1,2 共用外部模拟输入端口
	ADC3_INx (x=4~9,14,15)	I	ADC3 外部模拟输入端口
	PGA12_VSS	I	PGA1~2 Ground 输入
DAC	DACx_OUTy (x=1 y=1,2)	O	DAC 模拟输出
DVP	DVP_HSYNC	I	行同步输入端口
	DVP_VSYNC	I	帧同步输入端口
	DVP_PIXCLK	I	时钟输入端口
	DVP_DATAx (x=0~13)	I	数据输入端口
EXMC	EXMC_CLK	IO	具体参考参考手册 外部存储器控制器 章 EXMC 端口功能分配表
	EXMC_OE	O	
	EXMC_WE	O	
	EXMC_CLE	O	
	EXMC_ALE	O	
	EXMC_BAA	O	
	EXMC_ADV	O	
	EXMC_CEx (x=0~7)	O	
	EXMC_RBx(x=0~7)	I	
	EXMC_ADDx (x=0~29)	IO	
	EXMC_DATAx (x=0~31)	IO	

2.4 引脚使用说明

表 2-6 引脚使用说明

引脚名	使用说明
VCC	电源，接 1.8V~3.6V 电压，并就近与 VSS 引脚接去耦电容（参考【电气特性（ECs）】）
VSS	电源地，接 0V
VBAT	备用电源，连接电池或其它供电设备上 不使用时与 VCC 短接，并外接 100nF 的去耦电容
VCAP_x (x=1~2)	内核电压，就近与 VSS 引脚接电容，以稳定内核电压（参考【电气特性（ECs）】）
AVCC	模拟电源，给模拟模块供电，接与 VCC 相同电压（参考【电气特性（ECs）】） 不使用模拟模块时，请与 VCC 短接
AVSS	模拟电源地，给模拟模块供电，接与 VSS 相同电压（参考【电气特性（ECs）】） 不使用模拟模块时，请与 VSS 短接
VREFL	模拟参考电压，接与 AVSS 相同电压（参考【电气特性（ECs）】） 不使用模拟模块时，请与 AVSS 短接
VREFH	模拟参考电压，接不高于 AVCC 的电压 不使用 ADC 时，请与 AVCC 短接
PI13/MD	模式输入。复位引脚（NRST）解除（从低电平变为高电平）时，本管脚必须固定为低电平。推荐接电阻（4.7kΩ）到 VSS（下拉）
NRST	复位引脚，低有效。不使用时接电阻到 VCC（上拉）
Pxy (x=A~I y=0~15)	通用引脚。用作输入功能时，支持 5V 耐压的引脚输入电压不要超过 5V，输入电压超过 VCC 时禁止内部上拉，不支持 5V 耐压的引脚输入电压不要超过 VCC。用作模拟输入时，模拟电压不要超过 VREFH/AVCC 不使用时悬空，或者接电阻到 VCC（上拉）/VSS（下拉）

3 电气特性 (ECs)

3.1 参数条件

若无另行说明，所有电压都以 V_{SS} 为基准。

3.1.1 最小值和最大值

除非特别说明，所有器件的最小值和最大值在最坏的环境温度、供电电压和时钟频率条件下由设计保证或者特性测试保证。

3.1.2 典型值

除非特别说明，典型数据都是在 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ 条件下通过设计或者特性测试分析得到。

3.1.3 典型曲线

除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

3.1.4 负载电容

图 3-1（左）中显示了用于测量引脚参数的负载条件。

3.1.5 引脚输入电压

图 3-1（右）中显示了器件引脚上输入电压的测量方法。

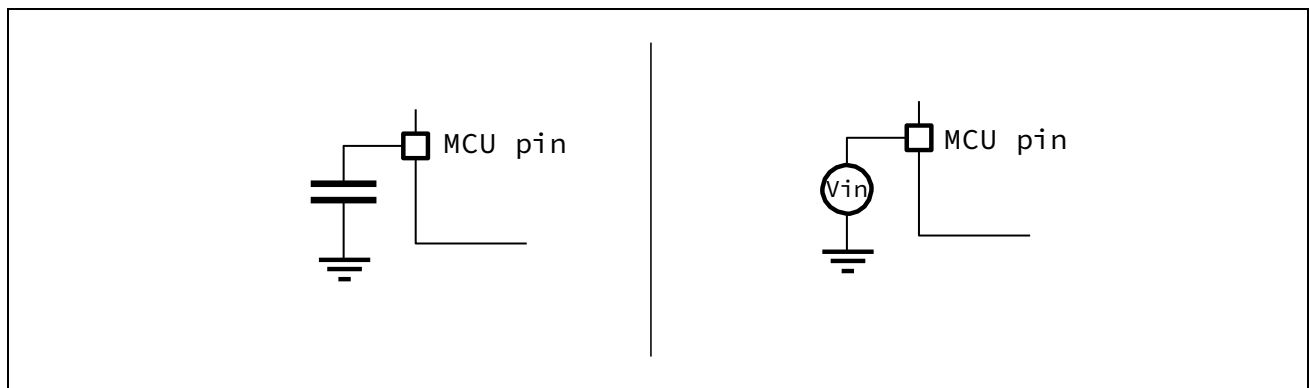


图 3-1 引脚负载条件(左)与输入电压测量 (右)

3.1.6 电源方案

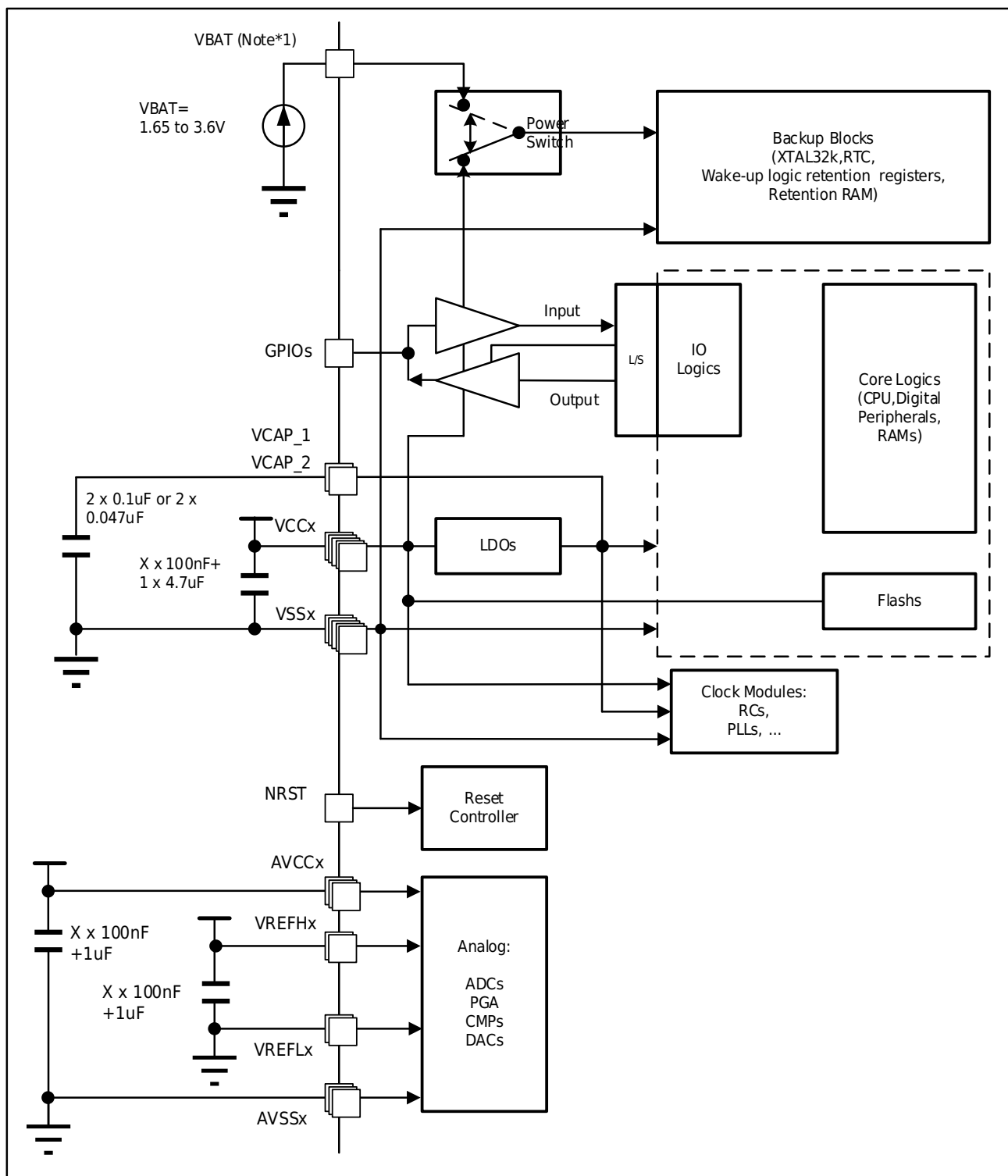


图 3-2 电源方案

Note*1:对于不可充电类电池，强烈推荐在该电池和 VBAT 引脚之间接入一个低压降的二极管。

1. 4.7 μ F 陶瓷电容必须连至 VCC 引脚之一。
2. AVSS=VSS。

- 每个电源对（例如 VCC/VSS, AVCC/AVSS ...）必须使用上述的滤波陶瓷电容去耦。这些电容必须尽量靠近或低于 PCB 下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低 PCB 尺寸或成本。这可能导致器件工作不正常。
- 芯片的 VCAP_1/VCAP_2 管脚使用的电容如下: 1) 同时存在 VCAP_1 和 VCAP_2 管脚的芯片，每个管脚可以使用 0.047 μ F 或者 0.1 μ F 电容(总容量为 0.094 μ F 或者 0.2 μ F)。2) 只有 VCAP_1 管脚的芯片，可以使用 0.1 μ F 或者 0.22 μ F 电容。从掉电模式唤醒时，内核电压建立过程中需要给 VCAP_1/VCAP_2 充电。一方面，较小的 VCAP_1/VCAP_2 总容量能够缩短充电时间，为应用带来快速响应能力；另一方面，较大的 VCAP_1/VCAP_2 总容量会延长充电时间，但是也提供 stronger 的电磁兼容性(EMC)。用户可以根据电磁兼容性和系统响应速度的要求，选择较大或者较小的电容值。芯片的 VCAP_1/VCAP_2 总容量必须与 PWC_PWRC3.PDTS 位的赋值相匹配。VCAP_1/VCAP_2 的总容量为 0.2 μ F 或者 0.22 μ F 时，需要在进入掉电模式之前确保 PWC_PWRC3.PDTS 位清零。VCAP_1/VCAP_2 的总容量为 0.094 μ F 或者 0.1 μ F 时，需要在进入掉电模式之前确保 PWC_PWRC3.PDTS 位置位。
- 主调压器的稳定性是通过将外部电容连接到 VCAP_1（或 VCAP_1/VCAP_2）引脚实现的，电容值 C_{EXT} 根据系统的稳定性要求确定。电容值 C_{EXT} 和 ESR 要求如下：

表 3-1 VCAP_1/VCAP_2 工作条件

符号	参数	条件
C _{EXT}	外部电容的电容值	0.047 μ F / 0.1 μ F
ESR	外部电容的等效串联电阻 ESR	< 0.3 Ω

3.1.7 电流消耗测量

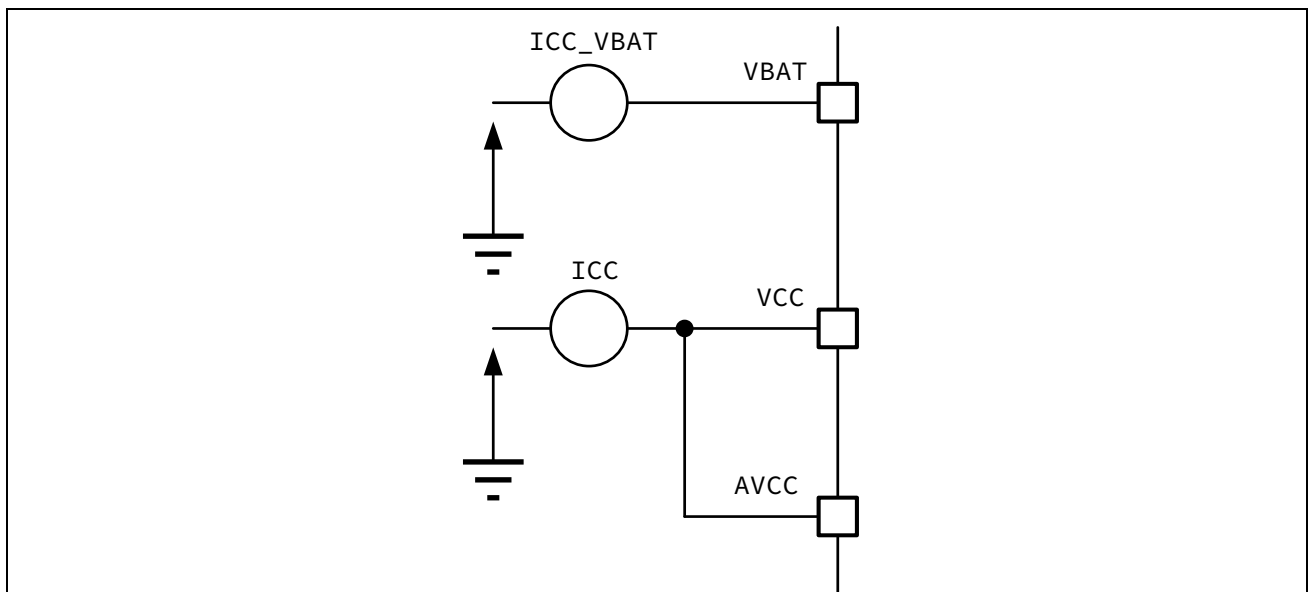


图 3-3 电流消耗测量方案

3.2 绝对最大额定值

如果加在器件上的载荷超过表 3-2 电压特性、表 3-3 电流特性和表 3-4 热特性中列出的绝对最大额定值，则可能导致器件永久损坏。这些数值只是额定应力，并不意味着器件在这些条件下功能正常。长期工作在最大额定值条件下可能会影响器件的可靠性。

表 3-2 电压特性

符号	项目	最小值	最大值	单位
V _{CC} -V _{SS}	外部主电源电压（包括 AV _{CC} 、V _{CC} 和V _{BAT} ） ⁽¹⁾	-0.3	4.0	V
V _{IN}	除PA11/USBFS_DM、PA12/USBFS_DP、PB14_USBHS_DM、PB15_USBHS_DP、PA0、PA1、PA2、PA6之外其他引脚上的输入电压 ⁽²⁾	V _{SS} -0.3	V _{CC} +4.0(最大5.8V)	
	PA11/USBFS_DM、PA12/USBFS_DP、PB14/USBHS_DM、PB15/USBHS_DP、PA0、PA1、PA2、PA6引脚上的输入电压	V _{SS} -0.3	V _{CC} +0.7(最大4.0V)	
V _{ESD} (HBM)	静电放电电压(人体模型)	请参考【电气敏感性】		-

1. 在允许的范围内，所有主电源（V_{CC}、AV_{CC}、V_{BAT}）和接地（V_{SS}、AV_{SS}）引脚必须始终连接到外部电源。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表 3-3。

表 3-3 电流特性

符号	项目	最大值	单位
ΣI _{VCC}	流入所有 V _{CCx} 电源线的总电流（拉电流） ⁽¹⁾	240	mA
ΣI _{VSS}	流出所有 V _{SSx} 接地线的总电流（灌电流） ⁽¹⁾	-240	
I _{VCC}	流入每个 V _{CCx} 电源线的最大电流（拉电流） ⁽¹⁾	100	
I _{VSS}	流出每个 V _{SSx} 接地线的最大电流（灌电流） ⁽¹⁾	-100	
I _{IO}	任意 I/O 和控制引脚的输出灌电流	20	
	任意 I/O 和控制引脚的输出拉电流	-20	
ΣI _{IO}	所有 I/O 和控制引脚上的总输出灌电流	120	
	所有 I/O 和控制引脚上的总输出拉电流	-120	

1. 在允许的范围内，所有主电源（V_{CC}、AV_{CC}、V_{BAT}）和接地（V_{SS}、AV_{SS}）引脚必须始终连接到外部电源。

表 3-4 热特性

符号	项目	数值	单位
T _{STG}	储存温度范围	-65~150	°C
T _J	最大结温范围	-40~125	°C

3.3 工作条件

3.3.1 通用工作条件

表 3-5 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	高速模式 ⁽¹⁾ PWRC2.DVS=11 PWRC2.DDAS=1111 PWRC3.DDAS=0xff	-	-	240	MHz
		超低速模式 PWRC2.DVS=10 PWRC2.DDAS=0000 PWRC3.DDAS=0x00	-	-	8	
V_{CC}	标准工作电压	-	1.8	-	3.6	V
$V_{AVCC}^{(2)}$	模拟工作电压	-	1.8	-	3.6	
V_{BAT}	备份工作电压	-	1.65	-	3.6	
V_{IN}	5V耐压引脚上的输入电压 ⁽³⁾	$2V \leq V_{CC} \leq 3.6V$ $2V \leq AV_{CC} \leq 3.6V$	-0.3	-	5.5	
		$V_{CC} < 2V$ $AV_{CC} < 2V$	-0.3	-	5.2	
	PA11/USBFS_DM、 PA12/USBFS_DP、 PB14/USBHS_DM、 PB15/USBHS_DP、 PA0、PA1、PA2、PA6引脚上的 输入电压	-	-0.3	-	$V_{CC}+0.3$	

1. 量产测试保证。
2. 若存在 VREFH 引脚，则必须考虑下述条件： $0 \leq V_{AVCC} - V_{REFH} \leq 1.2V$ 。
3. 要使电压保持在高于 $V_{CC}+0.3$ ，必须禁止内部上拉/下拉电阻。

3.3.2 上电 / 掉电时的工作条件

TA 服从一般工作条件。

表 3-6 上电 / 掉电时的工作条件

符号	参数	最小值	最大值	单位
t_{VCC}	VCC 上升时间速率	20	20000	$\mu s/V$
	VCC 下降时间速率	20	20000	

3.3.3 复位和电源控制模块特性

表 3-7 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{BOR}		ICG1.BOR_LEV[1:0]=00	1.85 ⁽¹⁾	2.00	2.10	V

符号	参数	条件	最小值	典型值	最大值	单位
	BOR的监测电压	ICG1.BOR_LEV [1:0]=01	1.96	2.10	2.20	V
		ICG1.BOR_LEV [1:0]=10	2.06	2.20	2.30	V
		ICG1.BOR_LEV [1:0]=11	2.27 ⁽¹⁾	2.40	2.50	V
VPVD1	PVD1监测电压 ⁽³⁾	PVD1LVL[2:0]=000	1.96 ⁽¹⁾	2.10	2.20	V
		PVD1LVL[2:0]=001	2.06	2.20	2.30	V
		PVD1LVL[2:0]=010	2.27	2.40	2.52	V
		PVD1LVL[2:0]=011	2.48	2.60	2.72	V
		PVD1LVL[2:0]=100	2.58	2.70	2.82	V
		PVD1LVL[2:0]=101	2.69	2.80	2.92	V
		PVD1LVL[2:0]=110	2.79	2.95	3.07	V
		PVD1LVL[2:0]=111	2.90 ⁽¹⁾	3.05	3.17	V
VPVD2	PVD2监测电压 ⁽³⁾	PVD2LVL[2:0]=000	2.06 ⁽¹⁾	2.20	2.30	V
		PVD2LVL[2:0]=001	2.27	2.40	2.50	V
		PVD2LVL[2:0]=010	2.48	2.60	2.72	V
		PVD2LVL[2:0]=011	2.58	2.70	2.82	V
		PVD2LVL[2:0]=100	2.69	2.85	2.94	V
		PVD2LVL[2:0]=101	2.79	2.95	3.07	V
		PVD2LVL[2:0]=110 ⁽¹⁾	2.90 ⁽¹⁾	3.05	3.17	V
		PVD2LVL[2:0]=111 ⁽²⁾	1.05 ⁽¹⁾	1.15	1.25	V
V _{pvdhyst}	PVD1,2的迟滞 ⁽⁴⁾	-	-	100	-	mV
V _{POR} ⁽¹⁾	上电/掉电复位阈值	上升沿VPOR	1.60	1.68	1.80	V
		下降沿VPDR	1.56	1.64	1.76	V
V _{PORhyst}	POR 迟滞	-	-	40	-	mV
I _{RUSH}	调压器上电时的浪涌电流 (POR或从待机唤醒)	-	-	160	200	mA
T _{NRST}	NRST复位最低宽度	-	10	-	-	μs
T _{IPVD1}	PVD1复位解除时间	-	300	380	460	μs
T _{IPVD2}	PVD2复位解除时间	-	300	380	460	μs
T _{INRST}	NRST复位解除时间	-	25	35	50	μs
T _{RIPT}	内部复位时间	-	140	160	200	μs
T _{RSTBOR}	BOR复位解除时间	-	440	520	610	μs
T _{RSTPOR}	上电复位解除时间	-	-	2500	3000	μs

1. 量产测试保证。
2. PVD2LVDL[2:0] = 111 时，比较电压是 PVD2EXINP 管脚的外部输入比较电压。
3. PVD1 监测电压是 VCC 电压下降时的监测电压;在 PVD2LVL[2:0]设置为 111 时 PVD2 监测电压是 PVDEXINP 电压下降时的监测电压，在 PVD2LVD[2:0]设置为 111 之外的值时 PVD2 监测电压是 VCC 电压下降时的监测电压。

4. PVD1,2 的迟滞是 VCC 上升时的监测电压与 VCC 下降时的监测电压的差值。

VCC 上升时的 PVD1 监测电压= $V_{pvd1}+V_{pvdhyst}$;

VCC 上升时的 PVD2 监测电压= $V_{pvd2}+V_{pvdhyst}$ 。

3.3.4 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。

图 3-3 中介绍了电流消耗的测量方法。本节所述各种模式下的电流消耗测量值都是在实验室条件下通过一套运行在 FLASH 的测试代码得出。

具体条件如下：

- 1) 所有 I/O 引脚都处于高阻模式（无负载）。
- 2) 时钟频率选择高速模式 $f_{HCLK}=240\text{MHz}/120\text{MHz}/24\text{MHz}$ 和超低速模式 $f_{HCLK}=8\text{MHz}/1\text{MHz}$ 。
- 3) 功耗模式分为：正常工作模式 ICC_RUN, 休眠模式 ICC_SLEEP, 停止模式 ICC_STP, 掉电模式 ICC_PD, Dhrystone 工作模式 ICC_DHRYSTONE 以及 VBAT 供电模式 ICC_VBAT。
- 4) 外设时钟 ON/OFF 请参考具体电流条件说明。
- 5) 高速模式 $f_{HCLK}=240\text{MHz}/120\text{MHz}$ 下 PLL 处于开启状态。

表 3-8 高速模式电流消耗 1

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
高速 模式	f _{HCLK} = 240MHz	ICC_RUN	while(1),全模块时钟 OFF	-40	-	33	-	mA
			while(1),全模块时钟 ON	-40	-	73	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	37	-	mA
			CACHE ON	-40	-	38	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	26	-	mA
			全模块时钟ON	-40	-	66	-	mA
		ICC_RUN	while(1),全模块时钟 OFF	25	-	33	-	mA
			while(1),全模块时钟 ON	25	-	74	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	38	-	mA
			CACHE ON	25	-	39	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	26	-	mA
			全模块时钟ON	25	-	67	-	mA
		ICC_RUN	while(1),全模块时钟 OFF	85	-	-	70	mA
			while(1),全模块时钟 ON	85	-	-	120	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	77	mA
			CACHE ON	85	-	-	78	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	60	mA
			全模块时钟ON	85	-	-	110	mA
		ICC_RUN	while(1),全模块时钟 OFF	105	-	-	110 ⁽³⁾	mA
			while(1),全模块时钟 ON	105	-	-	160 ⁽³⁾	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	120	mA
			CACHE ON	105	-	-	121	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	100 ⁽³⁾	mA
			全模块时钟ON	105	-	-	150 ⁽³⁾	mA

1. Typ 电压条件 V_{CC}=3.3V。
2. Max 电压条件 V_{CC}=1.8~3.6V。
3. 量产保证。

表 3-9 高速模式电流消耗 2

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
高速 模式	f _{HCLK} = 120MHz	ICC_RUN	while(1),全模块时钟 OFF	-40	-	21	-	mA
			while(1),全模块时钟 ON	-40	-	42	-	mA

		ICC_DHRYSTONE	CACHE OFF	-40	-	21	-	mA
			CACHE ON	-40	-	22	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	16	-	mA
			全模块时钟ON	-40	-	37	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	22	-	mA
			while(1),全模块时钟ON	25	-	43	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	22	-	mA
			CACHE ON	25	-	23	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	16	-	mA
			全模块时钟ON	25	-	38	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	52	mA
			while(1),全模块时钟ON	85	-	-	78	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	53	mA
			CACHE ON	85	-	-	54	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	44	mA
			全模块时钟ON	85	-	-	71	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	84	mA
			while(1),全模块时钟ON	105	-	-	108	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	88	mA
			CACHE ON	105	-	-	89	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	77	mA
			全模块时钟ON	105	-	-	101	mA

1. Typ 电压条件 $V_{CC}=3.3V$ 。
2. Max 电压条件 $V_{CC}=1.8\sim 3.6V$ 。
3. 量产保证。

表 3-10 高速模式电流消耗 3

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
高速模式	f _{HCLK} = 24MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	6	-	mA
			while(1),全模块时钟ON	-40	-	13	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	6	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	4	-	mA
			全模块时钟ON	-40	-	12	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	6	-	mA

			while(1),全模块时钟 ON	25	-	14	-	mA
		ICC_DHRystone	CACHE OFF	25	-	7	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	4	-	mA
			全模块时钟ON	25	-	13	-	mA
		ICC_RUN	while(1),全模块时钟 OFF	85	-	-	27	mA
			while(1),全模块时钟 ON	85	-	-	36	mA
		ICC_DHRystone	CACHE OFF	85	-	-	29	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	24	mA
			全模块时钟ON	85	-	-	33	mA
		ICC_RUN	while(1),全模块时钟 OFF	105	-	-	54	mA
			while(1),全模块时钟 ON	105	-	-	61	mA
		ICC_DHRystone	CACHE OFF	105	-	-	59	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	52	mA
			全模块时钟ON	105	-	-	59	mA

1. Typ 电压条件 $V_{CC}=3.3V$ 。
2. Max 电压条件 $V_{CC}=1.8\sim 3.6V$ 。
3. 量产测试保证。

表 3-11 超低速模式电流消耗 1

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
超低速 模式	f _{HCLK} = 8MHz	ICC_RUN	while(1),全模块时 钟OFF	-40	-	3	-	mA
			while(1),全模块时 钟ON	-40	-	6	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	3	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	2	-	mA
			全模块时钟ON	-40	-	6	-	mA
		ICC_RUN	while(1),全模块时 钟OFF	25	-	3	-	mA
			while(1),全模块时 钟ON	25	-	7	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	3	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	3	-	mA
			全模块时钟ON	25	-	7	-	mA
		ICC_RUN	while(1),全模块时 钟OFF	85	-	-	22	mA
			while(1),全模块时 钟ON	85	-	-	28	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	25	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	22	mA
			全模块时钟ON	85	-	-	27	mA
		ICC_RUN	while(1),全模块时 钟OFF	105	-	-	48	mA
			while(1),全模块时 钟ON	105	-	-	50	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	49	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	48	mA
			全模块时钟ON	105	-	-	50	mA

1. Typ 电压条件 V_{CC}=3.3V。
2. Max 电压条件 V_{CC}=1.8~3.6V。
3. 量产测试保证。

表 3-12 超低速模式电流消耗 2

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
超低速 模式	f _{HCLK} = 1MHz	ICC_RUN	while(1),全模块时 钟OFF	-40	-	1	-	mA
			while(1),全模块时 钟ON	-40	-	4	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	2	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	1	-	mA
			全模块时钟ON	-40	-	3	-	mA
		ICC_RUN	while(1),全模块时 钟OFF	25	-	2	-	mA
			while(1),全模块时 钟ON	25	-	4	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	2	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	2	-	mA
			全模块时钟ON	25	-	4	-	mA
		ICC_RUN	while(1),全模块时 钟OFF	85	-	-	20	mA
			while(1),全模块时 钟ON	85	-	-	24	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	23	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	20	mA
			全模块时钟ON	85	-	-	24	mA
		ICC_RUN	while(1),全模块时 钟OFF	105	-	-	46	mA
			while(1),全模块时 钟ON	105	-	-	47	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	47	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	46	mA
			全模块时钟ON	105	-	-	47	mA

1. Typ 电压条件 V_{CC}=3.3V。
2. Max 电压条件 V_{CC}=1.8~3.6V。
3. 量产测试保证。

表 3-13 低功耗模式电流消耗

模式	Parameter	Symbol	条件(VCC=3.3V)	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
停止模式	-	ICC_STP	PWC_PWRC1.STPDAS=00	-40	-	191	-	μA
			PWC_PWRC1.STPDAS=11	-40	-	56	-	μA
			PWC_PWRC1.STPDAS=00	25	-	396	-	μA
			PWC_PWRC1.STPDAS=11	25	-	248	-	μA
			PWC_PWRC1.STPDAS=00	85	-	-	15	mA
			PWC_PWRC1.STPDAS=11	85	-	-	16	mA
			PWC_PWRC1.STPDAS=00	105	-	-	40 ⁽³⁾	mA
			PWC_PWRC1.STPDAS=11 ⁽³⁾	105	-	-	41 ⁽³⁾	mA
掉电模式	-	ICC_PD	掉电模式1	-40	-	9.1	-	μA
			掉电模式2	-40	-	3.8	-	μA
			掉电模式3	-40	-	1.6	-	μA
			掉电模式4	-40	-	1.6	-	μA
			掉电模式2+XTAL32+RTC	-40	-	5.1	-	μA
			掉电模式2+LRC+RTC	-40	-	7.5	-	μA
			掉电模式2+XTAL32+RTC+Backup SRAM	-40	-	5.5	-	μA
			掉电模式1	25	-	10.5	-	μA
			掉电模式2	25	-	4.3	-	μA
			掉电模式3	25	-	2	-	μA
			掉电模式4	25	-	2	-	μA
			掉电模式2+XTAL32+RTC	25	-	5.8	-	μA
			掉电模式2+LRC+RTC	25	-	8.1	-	μA
			掉电模式2+XTAL32+RTC+Backup SRAM	25	-	6.3	-	μA
			掉电模式1	85	-	-	24	μA
			掉电模式2	85	-	-	17	μA
			掉电模式3	85	-	-	14	μA
			掉电模式4	85	-	-	14	μA
			掉电模式2+XTAL32+RTC	85	-	-	18	μA
			掉电模式2+LRC+RTC	85	-	-	19	μA
			掉电模式2+XTAL32+RTC+Backup SRAM	85	-	-	23	μA
			掉电模式1	105	-	-	75 ⁽³⁾	μA
			掉电模式2	105	-	-	68 ⁽³⁾	μA
			掉电模式3	105	-	-	65 ⁽³⁾	μA
			掉电模式4 ^[3]	105	-	-	65 ⁽³⁾	μA
			掉电模式2+XTAL32+RTC	105	-	-	69	μA
			掉电模式2+LRC+RTC	105	-	-	70 ⁽³⁾	μA
			掉电模式2+XTAL32+RTC+Backup SRAM	105	-	-	87 ⁽³⁾	μA

1. Typ 电压条件 V_{CC}=3.3V。
2. Max 电压条件 V_{CC}=1.8~3.6V。
3. 量产测试保证。

表 3-14 备份域电流消耗

Item	Parameter	Symbol	条件(VBAT=3.3V) ⁽¹⁾	Ta (°C)	产品规格			Unit
					Min	Typ	Max	
VBAT 供电	-	ICC_VBAT	VBAT 区域模块全关闭	-40	-	0.05	-	μA
			XTAL32 ON	-40	-	1.0	-	μA
			XTAL32 ON+ XTAL32 滤波器开	-40	-	1.4	-	μA
			XTAL32 ON+ XTAL32 滤波器开 +RTC 计数	-40	-	1.5	-	μA
			Backup SRAM 开	-40	-	0.6	-	μA
			RTCLRC 开	-40	-	3.8	-	μA
			RTCLRC 开+WKTM 计数	-40	-	3.9	-	μA
			VBAT 区域模块全关闭	25	-	0.1	-	μA
			XTAL32 ON	25	-	1.2	-	μA
			XTAL32 ON+ XTAL32 滤波器开	25	-	1.5	-	μA
			XTAL32 ON+ XTAL32 滤波器开 +RTC 计数	25	-	1.6	-	μA
			Backup SRAM 开	25	-	0.9	-	μA
			RTCLRC 开	25	-	3.8	-	μA
			RTCLRC 开+WKTM 计数	25	-	3.9	-	μA
			VBAT 区域模块全关闭	85	-	-	1.4	μA
			XTAL32 ON	85	-	-	3.3	μA
			XTAL32 ON+ XTAL32 滤波器开	85	-	-	3.8	μA
			XTAL32 ON+ XTAL32 滤波器开 +RTC 计数	85	-	-	3.9	μA
			Backup SRAM 开	85	-	-	6.3	μA
			RTCLRC 开	85	-	-	7.6	μA
			RTCLRC 开+WKTM 计数	85	-	-	7.8	μA
			VBAT 区域模块全关闭	105	-	-	3.6	μA
			XTAL32 ON	105	-	-	5.6	μA
			XTAL32 ON+ XTAL32 滤波器开	105	-	-	6.2	μA
			XTAL32 ON+ XTAL32 滤波器开 +RTC 计数	105	-	-	6.3	μA
			Backup SRAM 开	105	-	-	15.2	μA
			RTCLRC 开	105	-	-	9.8	μA
			RTCLRC 开+WKTM 计数	105	-	-	9.9	μA

1. 条件说明中，未列举的 VBAT 供电模块处于关闭状态。

表 3-15 模拟模块电流消耗

Item	Parameter	Symbol	条件(VCC=AVCC=3.3V)	Ta (°C)	产品规格			Unit
					Min	Typ	Max	
模块 电流	-	ICC_MODULE	XTAL振荡模式大驱动24MHz	25	-	1.8	-	mA
			振荡模式中驱动16MHz	25	-	1.0	-	mA
			振荡模式小驱动10MHz	25	-	0.8	-	mA
			振荡模式超小驱动8MHz	25	-	0.6	-	mA
			XTAL 32.768kHz	25	-	1.1	-	uA
			HRC	25	-	0.3	-	mA
			PLLH (VCO=1200MHz)	25	-	4	-	mA
			PLLH (VCO=600MHz)	25	-	2.4	-	mA
			PLLA (VCO=480MHz)	25	-	2.8	-	mA
			PLLA (VCO=240MHz)	25	-	1.6	-	mA
			ADC	25	-	1.2	-	mA
			DAC	25	-	0.2	-	mA
			CMP	25	-	0.4	-	mA
			PGA	25	-	0.7	-	mA
			USBFS ⁽¹⁾	25	-	6	-	mA

1. 包含控制部分与 USBPHY 通信时的电流,负载 50pf。

3.3.5 低功耗模式唤醒时序

唤醒时间测量方法为，从唤醒事件触发至 CPU 执行的第一条指令：

- 对于停止或睡眠模式：唤醒事件为 WFE。
- WKUP 引脚用于从待机、停止、睡眠模式唤醒。所有时序均在环境温度及 VCC=3.3V 测试得出。

表 3-16 低功耗模式唤醒时间

符号	参数	条件	典型值	最大值	单位
T _{STOP1}	从停止模式唤醒	PWC_PWRC1.VHRCSD=1且 PWC_PWRC1.VPLLSD=1，系统时钟为MRC，程序在RAM 上执行	2	5	μs
T _{STOP2}	从停止模式唤醒	系统时钟为MRC，程序在Flash上执行	8	15	
T _{PD1} ⁽¹⁾	从掉电模式1唤醒	VCAP_1/VCAP_2总容量为0.094μF或者0.1μF	25	35	
		VCAP_1/VCAP_2总容量为0.2μF或者0.22μF	30	40	
T _{PD2} ⁽¹⁾	从掉电模式2唤醒	VCAP_1/VCAP_2总容量为0.094μF或者0.1μF	70	80	
		VCAP_1/VCAP_2总容量为0.2μF或者0.22μF	75	85	
T _{PD3} ⁽¹⁾	从掉电模式3唤醒	VCAP_1/VCAP_2总容量为0.094μF或者0.1μF	2500	3000	
		VCAP_1/VCAP_2总容量为0.2μF或者0.22μF	2500	3000	
T _{PD4} ⁽¹⁾	从掉电模式4唤醒	VCAP_1/VCAP_2总容量为0.094μF或者0.1μF	130	140	-
		VCAP_1/VCAP_2总容量为0.2μF或者0.22μF	140	150	

1. 芯片的 VCAP_1/VCAP_2 总容量必须与 PWC_PWRC3.PDTS 位的赋值相匹配。VCAP_1/VCAP_2 的总容量为 0.2μF 或者 0.22μF 时，需要在进入掉电模式之前确保 PWC_PWRC3.PDTS 位清零。VCAP_1/VCAP_2 的总容量为 0.094μF 或者 0.1μF 时，需要在进入掉电模式之前确保 PWC_PWRC3.PDTS 位置位。

3.3.6 外部时钟源特性

3.3.6.1 外部源产生的高速外部用户时钟

在旁路模式，XTAL 振荡器关闭，输入引脚为标准 I/O。外部时钟信号必须考虑 I/O 静态特性。

表 3-17 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTAL_EXT}	用户外部时钟源频率	-	1	-	25	MHz
V_{IH_XTAL}	XTAL_IN输入引脚高电平电压		$0.8 \cdot V_{CC}$	-	V_{CC}	V
V_{IL_XTAL}	XTAL_IN输入引脚低电平电压		V_{SS}	-	$0.2 \cdot V_{CC}$	
$t_{r(XTAL)}$ $t_{f(XTAL)}$	XTAL_IN上升或下降时间		-	-	5	ns
Duty(XTAL)	占空比	-	40	-	60	%

3.3.6.2 晶振/陶瓷谐振器产生的高速外部时钟

高速外部(XTAL)时钟可以使用一个 4 到 25MHz 的晶振/陶瓷谐振振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 3-18 XTAL 4-25MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTAL_IN}	振荡器频率	-	4	-	25	MHz
$R_F^{(1)}$	反馈电阻	-	-	300	-	k Ω
$A_{XTAL}^{(2)}$	XTAL精度	-	-500	-	500	ppm
G_{max}	-	起振	4	-	-	mA/V
$t_{SU(XTAL)}^{(3)}$	启动时间	VCC稳定, 晶振=8MHz	-	-	2.0	ms
		VCC稳定, 晶振=4MHz	-	-	4.0	ms

1. 量产测试保证。
2. 此参数取决于应用系统上使用到的谐振器。
3. $t_{SU(XTAL)}$ 是起振时间，即从软件使能 XTAL 开始测量，直至得到稳定的 8MHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5pF 到 25pF（典型值）之间的高质量外部陶瓷电容（请参见下图）。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10pF）。

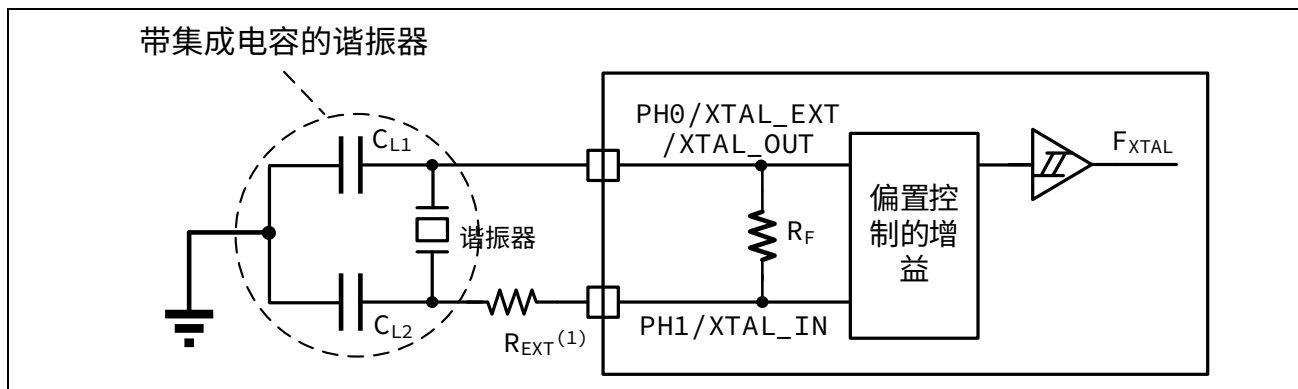


图 3-4 采用8MHz 晶振的典型应用

1. R_{EXT} 的值取决于晶振特性。

3.3.6.3 晶振/陶瓷谐振器产生的低速外部时钟

低速外部时钟可以使用一个由 32.768 kHz 的晶振/陶瓷谐振器构成的振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 3-19 XTAL32 振荡器特性

符号	参数	条件	规格			单位
			Min	Typ	Max	
F _{XTAL32}	频率	-	-	32.768	-	kHz
R _F ⁽¹⁾	反馈电阻	-	-	15	-	MΩ
I _{DD_XTAL32}	功耗	XTAL32DRV[2:0]=000	-	0.8	-	μA
A _{XTAL32} ⁽²⁾	XTAL32精度	-	-500	-	500	ppm
G _{mmax}	G _m	-	-	-	5.6	μA/V
T _{SUXTAL32}	启动时间 ⁽³⁾	VCC稳定状态下	-	2	-	s

1. 量产测试保证。
2. 此参数取决于应用系统上使用到的谐振器。
3. T_{SUXTAL32} 是起振时间，即从软件使能 XTAL32 开始测量，直至得到稳定的 32.768kHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

对于 C_{L1} 和 C_{L2}，建议使用大小介于 5pF 到 18pF（典型值）之间的高质量外部陶瓷电容（请参见下图）。C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚电容可粗略地估算为 5pF）。如果 C_{L1} 和 C_{L2} 大于 18pF，建议设置 XTAL32DRV[2:0]=001（大驱动，功耗典型值增加 0.2uA）。

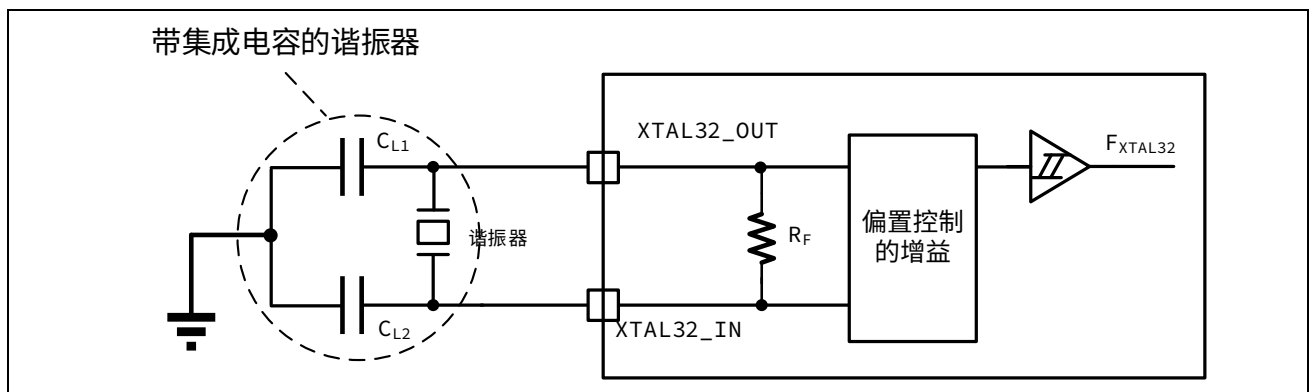


图 3-5 采用 32.768kHz 晶振的典型应用

3.3.7 内部时钟源特性

3.3.7.1 内部高速（HRC）振荡器

表 3-20 HRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HRC}	频率 ⁽¹⁾	模式1	-	16	-	MHz
		模式2	-	20	-	
	用户调整刻度	-	-	-	0.2	%
	频率精度 ⁽¹⁾	TA = -40 到 105 °C	-3 ⁽¹⁾	-	3 ⁽¹⁾	%
		TA = -20 到 105 °C	-2.5	-	2.5	%
		TA = 25 °C	-1.5 ⁽¹⁾	-	1.5 ⁽¹⁾	%
$t_{st(HRC)}$	HRC 振荡器振荡稳定时间	-	-	-	15	μs

1. 量产测试保证。

3.3.7.2 内部中速（MRC）振荡器

表 3-21 MRC 振荡器特性

符号	参数	最小值	典型值	最大值	单位
$f_{MRC}^{(1)}$	频率	7.2 ⁽¹⁾	8	8.8 ⁽¹⁾	MHz
$t_{st(MRC)}$	MRC振荡器稳定时间	-	-	3	μs

1. 量产测试保证。

3.3.7.3 内部低速（LRC）振荡器

表 3-22 LRC 振荡器特性

符号	参数	最小值	典型值	最大值	单位
$f_{LRC}^{(1)}$	频率	27.853 ⁽¹⁾	32.768	37.683 ⁽¹⁾	kHz
$t_{st(LRC)}$	LRC振荡器稳定时间	-	-	36	μs

1. 量产测试保证。

3.3.7.4 SWDT 专用内部低速（SWDTLRC）振荡器

表 3-23 SWDTLRC 振荡器特性

符号	参数	最小值	典型值	最大值	单位
$f_{\text{SWDTLRC}}^{(1)}$	频率	9 ⁽¹⁾	10	11 ⁽¹⁾	kHz
$t_{\text{st}}(\text{SWDTLRC})$	SWDTLRC振荡器稳定时间	-	-	57.1	μs

1. 量产测试保证。

3.3.7.5 RTC 专用内部低速（RTCRC）振荡器

表 3-24 RTCRC 振荡器特性

符号	参数	最小值	典型值	最大值	单位
$f_{\text{RRC}}^{(1)}$	频率	29.5 ⁽¹⁾	32.768	36 ⁽¹⁾	kHz
$t_{\text{st}}(\text{RRC})$	RTCRC振荡器稳定时间	-	-	36	μs

1. 量产测试保证。

3.3.8 PLL 特性

表 3-25 I2S-PLL (PLLA) 主要性能指标

符号	参数	条件	Min	Typ	Max	Unit
f_{PLL_IN}	PLL PFD (Phase Frequency Detector) input clock ⁽¹⁾	-	1	-	25	MHz
f_{PLL_OUT}	PLL multiplier output clock	-	15	-	240	MHz
f_{VCO_OUT}	PLL VCO output	-	240	-	480	MHz
Jitter _{PLL}	Period Jitter	PLL PFD input clock=8MHz, System clock=120MHz, Peak-to-Peak	-	±100	-	ps
	Cycle-to-Cycle Jitter	PLL PFD input clock=8MHz, System clock=120MHz, Peak-to-Peak	-	±150	-	
t_{LOCK}	PLL lock time	-	-	80	120	μs

表 3-26 系统 PLL (PLLH) 主要性能指标

符号	参数	条件	Min	Typ	Max	Unit
f_{PLL_IN}	PLL PFD (Phase Frequency Detector) input clock ⁽¹⁾	-	8	-	25	MHz
f_{PLL_OUT}	PLL multiplier output clock	-	37.5	-	600	MHz
f_{VCO_OUT}	PLL VCO output	-	600	-	1200	MHz
Jitter _{PLL}	Period Jitter	PLL PFD input clock=8MHz, System clock=120MHz, Peak-to-Peak	-	±70	-	ps
	Cycle-to-Cycle Jitter	PLL PFD input clock=8MHz, System clock=120MHz, Peak-to-Peak	-	±100	-	
t_{LOCK}	PLL lock time	-	-	80	120	μs

1. 推荐使用较高的输入时钟，以获得良好的 Jitter 特性。

3.3.9 存储器（闪存）特性

器件交付给客户时，闪存已被擦除。

表 3-27 闪存特性

符号	参数	条件	最小值	典型值	最大值	单位
I _{VCC}	供电电流	读模式，V _{CC} =1.8V~3.6V	-	-	5	mA
		编程模式，V _{CC} =1.8V~3.6V	-	-	10	
		块擦除模式，V _{CC} =1.8V~3.6V	-	-	10	
		全擦除模式，V _{CC} =1.8V~3.6V	-	-	10	

表 3-28 闪存编程擦除时间

符号	参数	条件	最小值	典型值	最大值	单位
$T_{\text{prog}}^{(1)}$	字编程时间	单编程模式	$43+2* T_{\text{hclk}}^{(2)}$	$48+4* T_{\text{hclk}}^{(2)}$	$53+6* T_{\text{hclk}}^{(2)}$	μs
	字编程时间	连续编程模式	$12+2* T_{\text{hclk}}^{(2)}$	$14+4* T_{\text{hclk}}^{(2)}$	$16+6* T_{\text{hclk}}^{(2)}$	μs
$T_{\text{erase}}^{(1)}$	块擦除时间	-	$16+2* T_{\text{hclk}}^{(2)}$	$18+4* T_{\text{hclk}}^{(2)}$	$20+6* T_{\text{hclk}}^{(2)}$	ms
$T_{\text{mas}}^{(1)}$	全擦除时间	-	$16+2* T_{\text{hclk}}^{(2)}$	$18+4* T_{\text{hclk}}^{(2)}$	$20+6* T_{\text{hclk}}^{(2)}$	ms

1. 量产测试保证。
2. T_{hclk} 为 CPU 时钟的 1 周期。

表 3-29 闪存可擦写次数和数据保存期限

符号	参数	条件	数值	单位
			最小值	
N_{end}	编程, 块擦除次数	$T_A = 85^\circ\text{C}$	10	kcycles
N_{end}	全擦除次数	$T_A = 85^\circ\text{C}$	10	kcycles
T_{ret}	数据保存期限	$T_A = 85^\circ\text{C}$, after 10 kcycles	10	Years

3.3.10 电气敏感性

使用特定的测量方法对芯片进行不同的测试（ESD、LU），以确定其在电气敏感性方面的性能。

3.3.10.1 静电放电（ESD）

根据每种引脚组合，对每个样本的引脚施加静电放电。此项测试符合 JESD22-A114/C101 标准。

表 3-30 ESD 特性

符号	参数	条件	最大值	单位
V _{ESD(HBM)}	静电放电电压（人体模型）	T _A = +25 °C，符合 JESD22-A114 标准	2000	V
V _{ESD(CDM)}	静电放电电压（充电设备模型）	T _A = +25 °C，符合 JESD22-C101 标准	500	

3.3.10.2 静态 Latch-up

为评估静态 Latch-up 性能，需要对芯片执行两项互补的静态 Latch-up 测试：

- 对每个电源和模拟输入引脚施加过压
- 对其他输入、输出和可配置 I/O 引脚施加电流注入

这些测试符合 EIA/JESD 78A IC Latch-up 标准。

表 3-31 静态 Latch-up 特性

符号	参数	条件	最大值	单位
LU	静态 Latch-up	T _A = +105 °C，符合 JESD78A 标准	200	mA

3.3.11 I/O 端口特性

常规输入/输出特性

表 3-32 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}^{(1)}$	Schmitt输入低电平	$1.8 \leq V_{CC} \leq 3.6$	-	-	$0.2V_{CC}$	V
$V_{IH}^{(1)}$	Schmitt输入高电平	$1.8 \leq V_{CC} \leq 3.6$	$0.8V_{CC}$	-	-	V
V_{HYS}	Schmitt输入迟滞	$1.8 \leq V_{CC} \leq 3.6$	-	0.2	-	V
$V_{IL}^{(1)}$	CMOS输入低电平	$1.8 \leq V_{CC} \leq 3.6$	-	-	$0.3V_{CC}$	V
$V_{IH}^{(1)}$	CMOS输入高电平	$1.8 \leq V_{CC} \leq 3.6$	$0.7V_{CC}$	-	-	V
$I_{LKG}^{(1)}$	I/O输入漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-1	-	1	μA
		$V_{IN} = 5.5V^{(2)}$	-	-	10	μA
$R_{PU}^{(1)(2)(3)}$	弱上拉 等效电阻	-	$V_{IN} = V_{SS}$	-	30	$k\Omega$
$R_{PD}^{(2)(4)}$	弱下拉 等效电阻	PA11/USBFS_DM PA12/USBFS_DP PB14/USBHS_DM PB15/USBHS_DP	$V_{IN} = V_{CC}$	-	500	$k\Omega$
C_{IO}	I/O引脚电容	PA11/USBFS_DM PA12/USBFS_DP PB14/USBHS_DM PB15/USBHS_DP	-	-	10	pF
		除 PA11/USBFS_DM PA12/USBFS_DP PB14/USBHS_DM PB15/USBHS_DP之外 的其他输入引脚	-	-	5	pF

1. 量产测试保证。
2. 要使电压保持在高于 $V_{CC}+0.3V$ ，必须禁止内部上拉/下拉电阻。
3. 对 PA11/USBFS_DM、PA12/USBFS_DP、PB14/USBHS_DM、PB15/USBHS_DP 而言，标明的是 USB 功能关闭时 GPIO 的弱上拉等效电阻数值。关于 USB 功能的上拉/下拉电阻请参考【USB 接口特性】章节。
4. 仅 PA11/USBFS_DM、PA12/USBFS_DP、PB14/USBHS_DM、PB15/USBHS_DP 有弱下拉电阻，且一直有效。

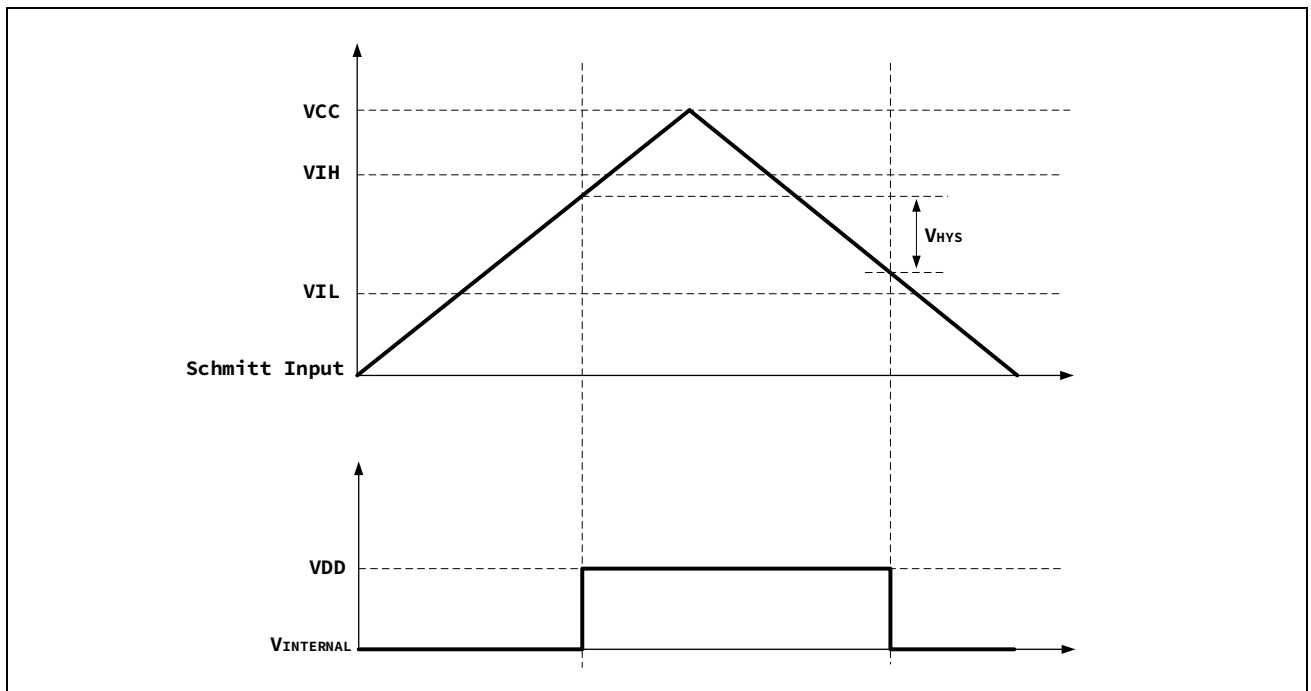


图 3-6 Schmitt input DC electrical characteristics definition

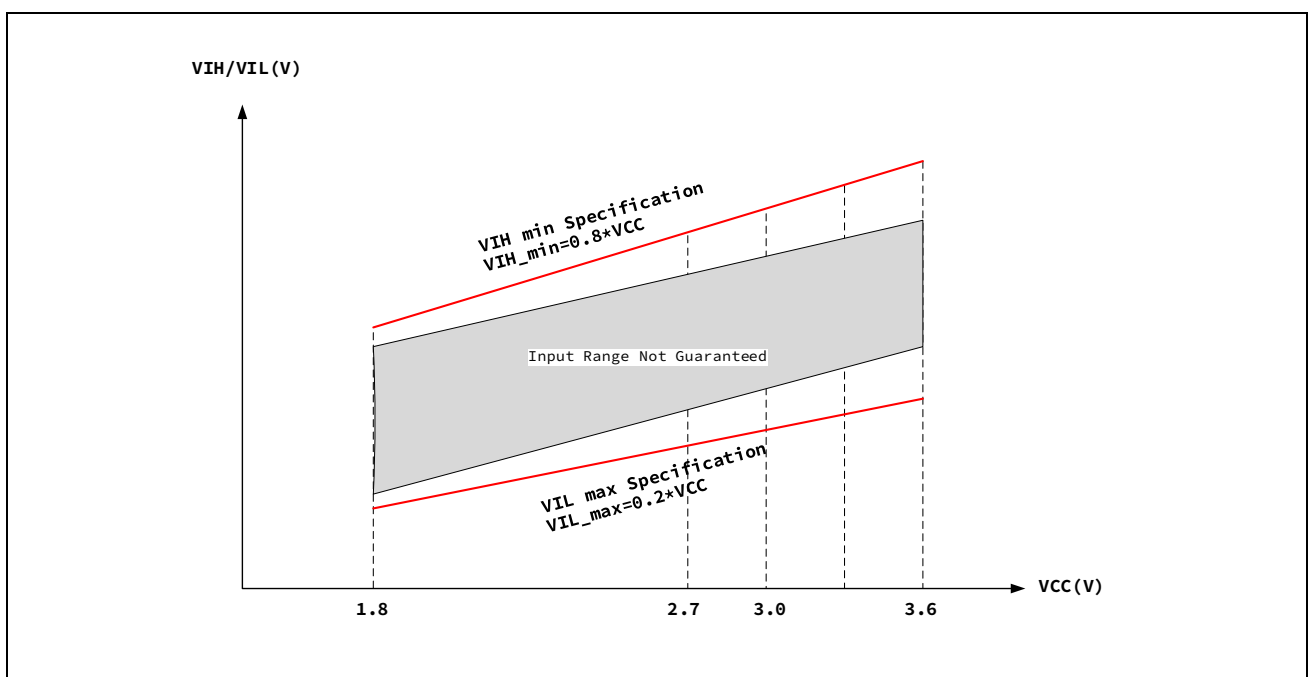


图 3-7 VIH/VIL versus VCC (Schmitt Input)

输出电流

GPIO(通用输入/输出)可提供最大 $\pm 20\text{mA}$ 的拉电流或灌电流。

PC13、PC14、PC15、PI8 的拉电流或灌电流电流，需满足下列限制条件： $\sum I_{IO}$ (PC13、PC14、PC14、PI8) $\leq 20\text{mA}$ 。

输出电压

表 3-33 输出电压特性

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 1.5\text{mA}$, $1.8\leq V_{CC}<2.7$	-	-	0.6	V
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.6$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 3\text{mA}$, $2.7\leq V_{CC}\leq 3.6$	-	-	0.6	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.6$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 6\text{mA}$, $2.7\leq V_{CC}\leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	
中驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 3\text{mA}$, $1.8\leq V_{CC}<2.7$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 5\text{mA}$, $2.7\leq V_{CC}\leq 3.6$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 12\text{mA}$, $2.7\leq V_{CC}\leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	
高驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 6\text{mA}$, $1.8\leq V_{CC}<2.7$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 8\text{mA}$, $2.7\leq V_{CC}\leq 3.6$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 20\text{mA}$, $2.7\leq V_{CC}\leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	

1. 量产测试保证。
2. 器件的 I_{IO} 灌电流必须一直考虑表 3-3 中规定的绝对最大额定。 I_{IO} (I/O 端口和控制引脚) 之和一定不能超过 I_{VSS} 。
3. 器件的 I_{IO} 拉电流必须始终遵循表 3-3 所列的绝对最大额定值， I_{IO} (I/O 端口和控制引脚) 的总和不得超过 I_{VCC} 。

输入/输出交流特性

表 3-34 I/O 交流特性

驱动设置	符号	参数	条件(3)	最小值	典型值	最大值	单位
低驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	20	MHz
			$C_L=30\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	10	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	40	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	20	
	$t_r(\text{IO})_{\text{out}}$ $t_f(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	15	ns
			$C_L=30\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	25	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	7.5	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	15	
中驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	45	MHz
			$C_L=30\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	22.5	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	90	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	45	
	$t_r(\text{IO})_{\text{out}}$ $t_f(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	6	ns
			$C_L=30\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	10	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	4	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	6	
高驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	100	MHz
			$C_L=30\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	50	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	180	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	100	
	$t_r(\text{IO})_{\text{out}}$ $t_f(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	4	ns
			$C_L=30\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	6	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 2.7\text{V}$	-	-	2.5	
			$C_L=10\text{ pF}, V_{\text{CC}}\geq 1.8\text{V}$	-	-	3.5	

1. 最大频率在图 3-8 中定义。
2. 负载电容 C_L 必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10pF）。

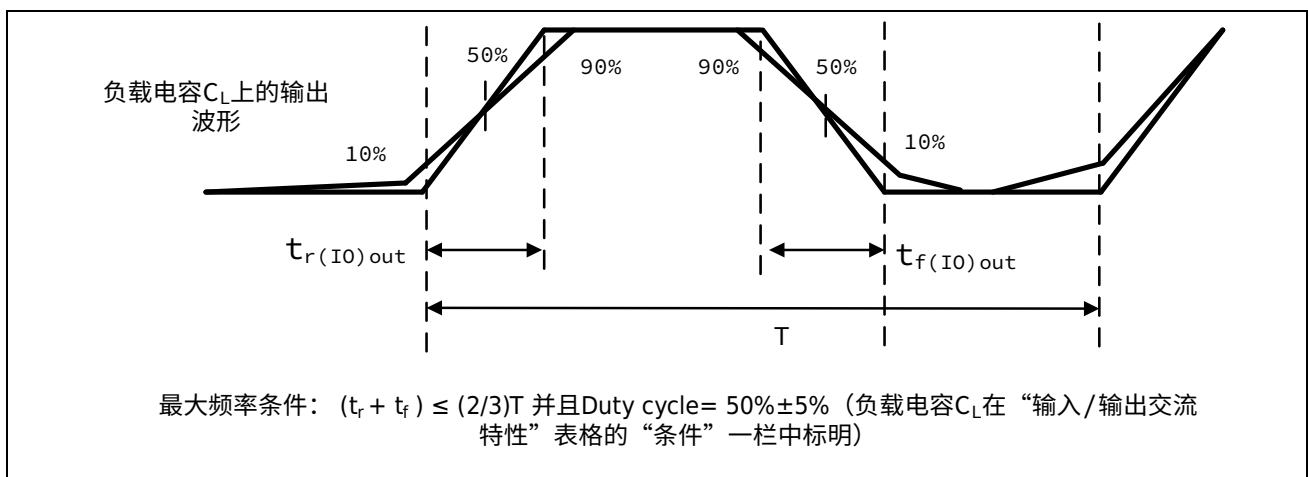


图 3-8 I/O 交流特性定义

3.3.12 I2C 接口特性

表 3-35 I2C 电气特性

符号	参数	标准模式 (SM)		快速模式 (FM)		单位
		Min	Max	Min	Max	
f_{SCL}	SCL频率	0	100	0	400	kHz
$t_{HD;STA}$	开始条件/重新开始条件Hold	4.0	-	0.6	-	μs
t_{LOW}	SCL低电平	4.7	-	1.3	-	μs
t_{HIGH}	SCL高电平	4	-	0.6	-	μs
$t_{SU;STA}$	重新开始条件Setup	4.7	-	0.6	-	μs
$t_{HD;DAT}$	数据Hold	0	-	0	-	μs
$t_{SU;DAT}$	数据Setup	30+ t_{I2C} 基准时钟周期	-	30+ t_{I2C} 基准时钟周期	-	ns
t_R	SCL/SDA的上升时间	-	1000	-	300	ns
t_F	SCL/SDA的下降时间	-	300	-	300	ns
$t_{SU;STO}$	停止条件Setup	4	-	0.6	-	μs
t_{BUF}	停止条件到开始条件间的BUS空闲时间	4.7	-	1.3	-	μs
C_b	负载电容	-	400	-	400	pF

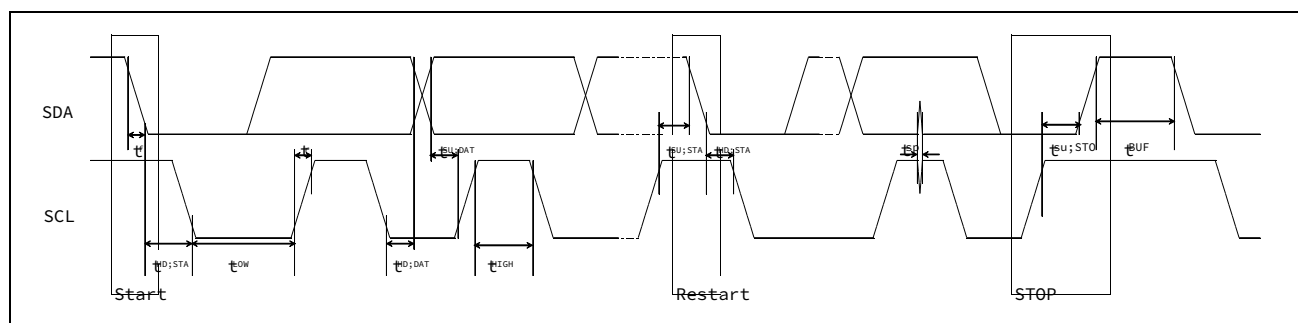


图 3-9 I2C 总线时序定义

3.3.13 SPI 接口特性

表 3-36 SPI 电气特性

符号	参数	条件	最小值	最大值	单位	
t _w (SCKH)	SCK high and low time	master mode *4 1.8V≤V _{cc} ≤3.6V	T _{pclk1} -1*1	T _{pclk1} +1*1	ns	
		slave mode 1.8V≤V _{cc} ≤3.6V	3xT _{pclk1} -1*1	3xT _{pclk1} +1*1	ns	
t _w (SCKL)		master mode *4 1.8V≤V _{cc} <3.6V	T _{pclk1} -1*1	T _{pclk1} *1+1	ns	
		slave mode 1.8V≤V _{cc} <3.6V	3xT _{pclk1} -1*1	3xT _{pclk1} +1*1	ns	
t _{su} (SI)		Data input setup time	slave mode 1.8V≤V _{cc} ≤3.6V	4	-	ns
t _h (SI)		Data input hold time	slave mode 1.8V≤V _{cc} ≤3.6V	3	-	ns
t _v (SO)	Data output valid time	slave mode 2.7V≤V _{cc} ≤3.6V	-	15	ns	
		slave mode 1.8V≤V _{cc} <2.7V	-	26	ns	
t _{su} (MI)	Data input setup time	master mode 2.7V≤V _{cc} ≤3.6V	5	-	ns	
		master mode 1.8V≤V _{cc} <2.7V	9	-	ns	
t _h (MI)	Data input hold time	master mode 1.8V≤V _{cc} ≤3.6V	T _{pclk1} *1	-	ns	
t _{su} (SS)	SS setup time	slave mode 1.8V≤V _{cc} ≤3.6V	6 x T _{pclk1} *1	-	ns	
		master mode 2.7V≤V _{cc} ≤3.6V	-5+N x T _{sck} *1*2	-	ns	
		master mode 1.8V≤V _{cc} <2.7V	-10+N x T _{sck} *1*2	-	ns	
t _h (SS)	SS hold time	slave mode 1.8V≤V _{cc} ≤3.6V	6 x T _{pclk1} *1	-	ns	
		master mode 2.7V≤V _{cc} ≤3.6V	-5+N x T _{sck} *1*3	-	ns	
		master mode 1.8V≤V _{cc} <2.7V	-10+N x T _{sck} *1*3	-	ns	
t _v (MO)	Data output valid time	master mode 2.7V≤V _{cc} ≤3.6V	-	4	ns	
		master mode 1.8V≤V _{cc} ≤2.7V	-	9	ns	

*1: T_{pclk1} 是指时钟 PCLK1 的 1 个周期, T_{sck} 是指 SPI 通信时钟的 1 个周期。

*2: $N=1 \sim 8$ 由寄存器 SPI_CFG1.MSSI[2:0] 决定。

*3: $N=1 \sim 8$ 由寄存器 SPI_CFG1.MSSDL[2:0] 决定。

*4: $t_w(\text{SCKH})$ 和 $t_w(\text{SCKL})$ 的数值由 SPI_CFG2.MBR 决定, 表格中所列值为 SPI_CFG2.MBR=0 的值。

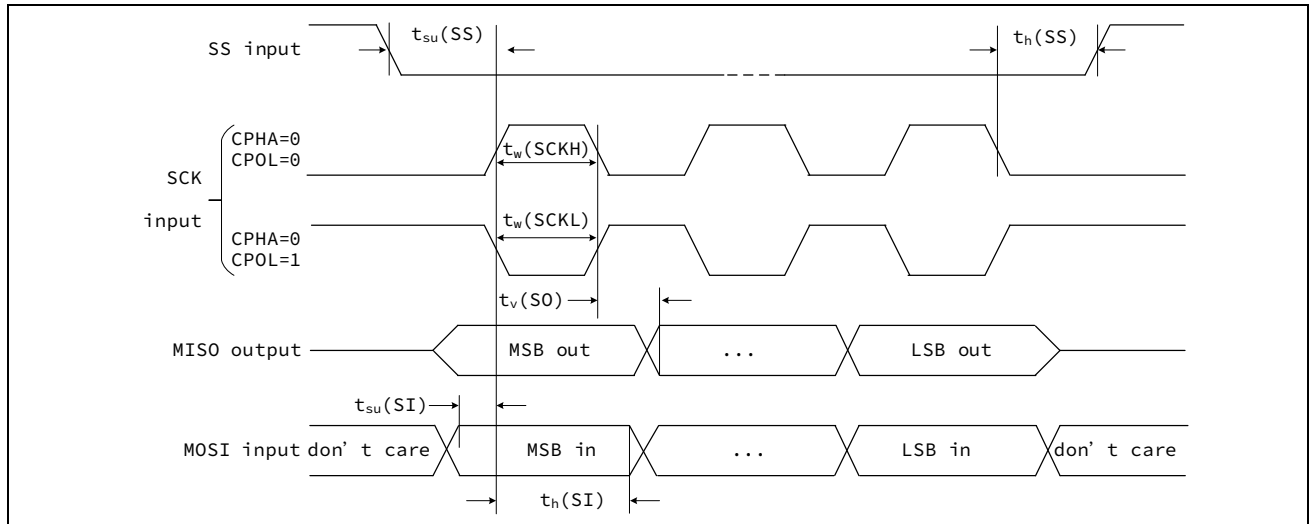


图 3-10 SPI timing diagram -slave mode and CPHA=0

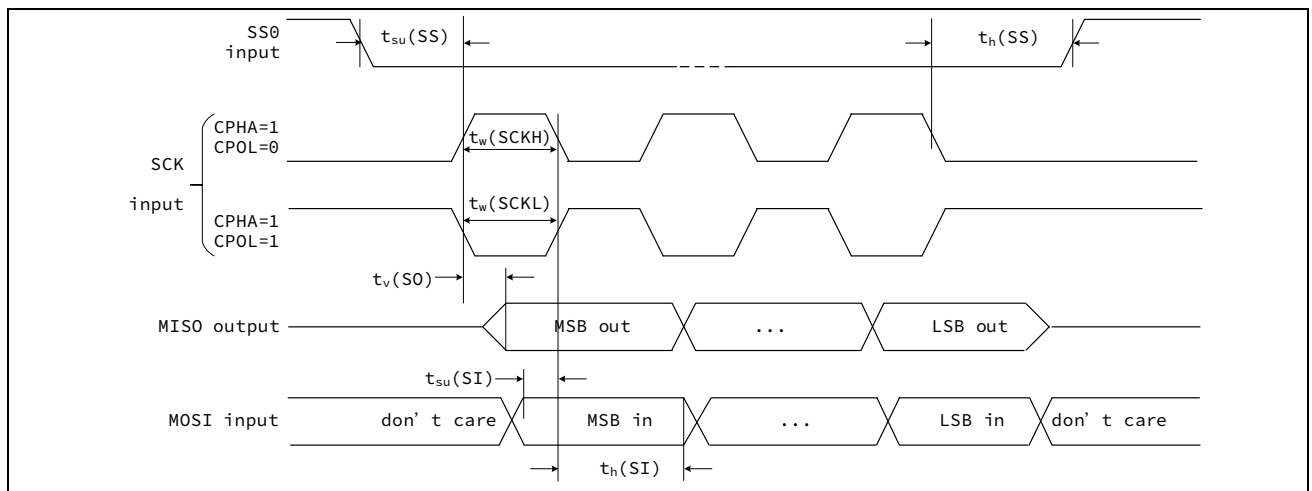


图 3-11 SPI timing diagram -slave mode and CPHA=1

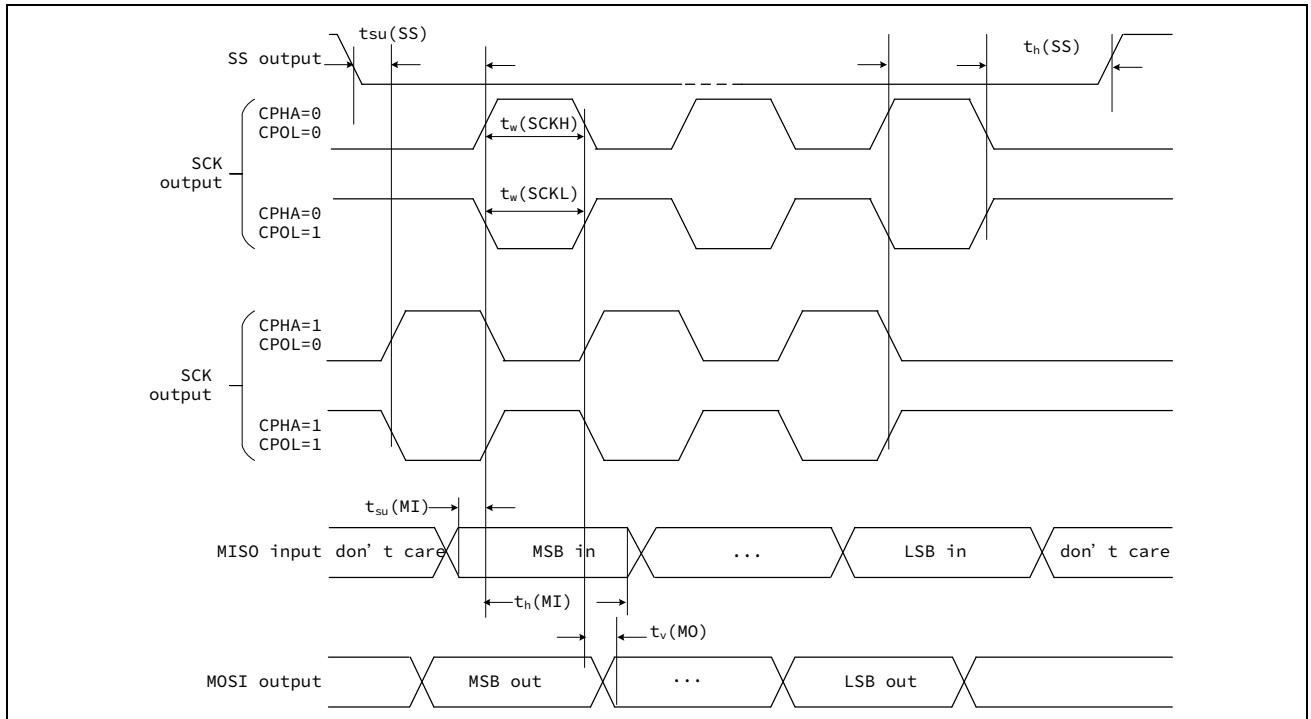


图 3-12 SPI timing diagram -master mode

3.3.14 QSPI 接口特性

表 3-37 QSPI 电气特性

符号	参数	最小值	最大值	单位
t_{Qscyc}	QSPCK clock cycle	2	48	thclk
t_{QSWH}	QSPCK high level	$t_{Qscyc} \times 0.4$	-	ns
t_{QSWL}	QSPCK low level	$t_{Qscyc} \times 0.4$	-	ns
t_{SU}	data input setup time (2.7V~3.6V)	5	-	ns
	data input setup time (1.8V~2.7V)	5	-	ns
t_{IH}	data input hold time (2.7V~3.6V)	11	-	ns
	data input hold time (1.8V~2.7V)	15	-	ns
t_{OD}	data output delay	-	4	ns
t_{OH}	data output hold time	0	-	ns

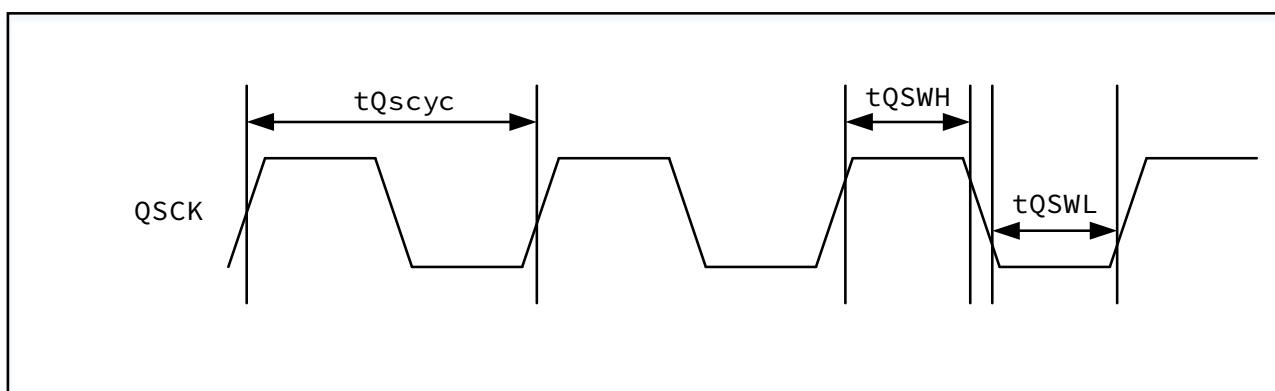


图 3-13 QSPCK 输出时序图

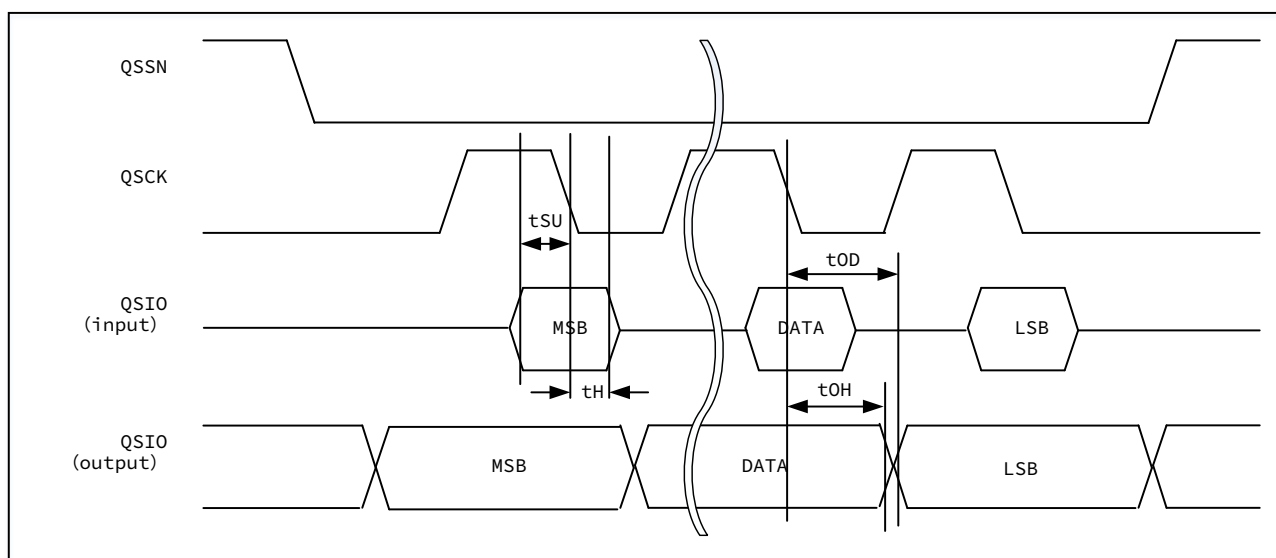


图 3-14 QSPI 数据接收发送时序图

3.3.15 I2S 接口特性

表 3-38 I2S 电气特性

符号	性能指标	条件	最小值	最大值	单位
f _{MCK}	I2S main clock output	-	256*8K	256*Fs	MHz
f _{CK}	I2S clock frequency	Master data: 32 bits	20	64*Fs	MHz
		Slave data: 32 bits	-	64*Fs	
D _{CK}	I2S clock frequency duty cycle	Slave receiver	30	70	%
t _v (WS)	WS valid time	Master mode	-	6	ns
t _{su} (WS)	WS setup time	Slave mode	7.5	-	
t _h (WS)	WS hold time	Slave mode	6	-	
t _{su} (SD_MR)	Data input setup time	Master receiver (2.7V~3.6V)	22	-	
		Master receiver (1.8V~2.7V)	25	-	
t _{su} (SD_SR)		Slave receiver	7	-	
t _h (SD_MR)	Data input hold time	Master receiver	0	-	
t _h (SD_SR)		Slave receiver	7	-	
t _v (SD_ST)	Data output valid time	Slave transmitter(after enable edge)	-	24	
t _h (SD_ST)		Master transmitter(after enable edge)	-	10	
t _v (SD_MT)					

1. Fs: I2S 采样频率

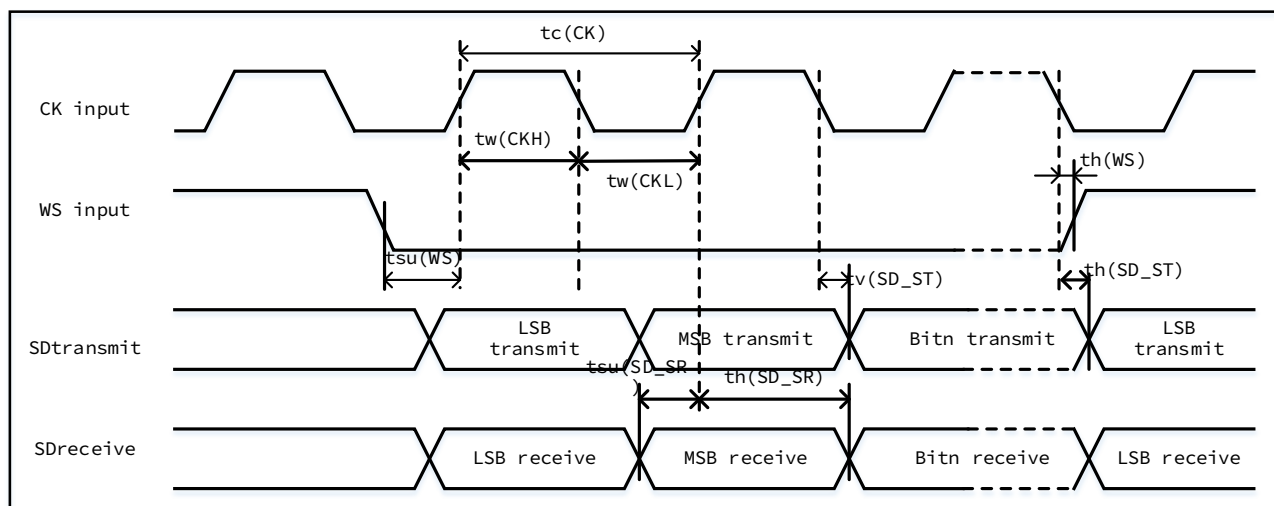


图 3-15 I2S 从模式时序 (Philips 协议)

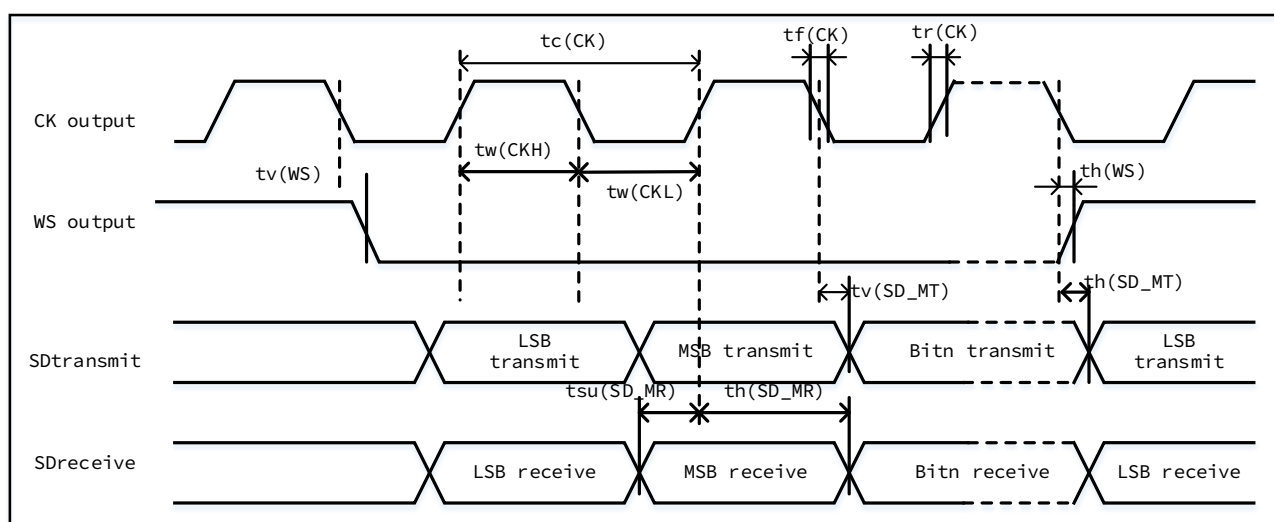


图 3-16 I2S 主模式时序 (Philips 协议)

3.3.16 CAN FD/CAN2.0B 接口特性

CANx_TX 和 CANx_RX 的端口特性, 请参考【I/O 端口特性】。

3.3.17 USB 接口特性

表 3-39 USB Full-Speed 电气特性

Symbol		Parameter	Conditions	Min. ⁽¹⁾	Typ.	Max. ⁽¹⁾	Unit
输入	V _{CC}	工作电压	-	3.0 ⁽²⁾	-	3.6	V
	V _{IL}	输入低电平	-	-	-	0.8	V
	V _{IH}	输入高电平	-	2.0	-	-	V
	V _{DI}	差分输入灵敏度	-	0.2	-	-	V
	V _{CM}	差分共模电压	-	0.8	-	2.5	V
输出	V _{OL}	静态输出低电平	R _L =1.5kΩ to 3.6V ⁽⁴⁾	-	-	0.3	V
	V _{OH}	静态输出高电平	R _L =15kΩ to V _{SS} ⁽⁴⁾	2.8	-	3.6	V
	V _{CRS}	Cross-over电压	C _L =50pF	1.3	-	2.0	V
	t _R	上升时间	C _L =50pF, 10%~90% of V _{OH} -V _{OL}	4	-	20	ns
	t _F	下降时间	C _L =50pF, 10%~90% of V _{OH} -V _{OL}	4	-	20	ns
	t _{RFMA}	上升下降时间比t _R /t _F	C _L =50pF	90	-	111	%
R _{PD}		下拉电阻	V _{IN} = V _{CC} , in host mode	-	15.0	-	kΩ
R _{PU} ⁽³⁾		上拉电阻	V _{IN} = V _{SS} , idle state	0.900	1.2	1.575	kΩ
			V _{IN} = V _{SS} , in device mode	1.425	2.3	3.090	kΩ
Z _{DRV}		输出阻抗 ⁽⁵⁾	Driving high or low	28	36	44	Ω

1. 所有电压均基于局部接地电位测得。
2. 工作电压降至 2.7V 时, 仍可保证 USB 全速收发器的功能, 但不能保证完整的 USB 全速电气特性, 后者在 2.7 到 3.0V 的 V_{CC} 电压范围内会降级。
3. 量产测试保证。
4. R_L 是连接至 USB 全速驱动器的负载。
5. DP、DM 端口无需外接串联电阻进行阻抗匹配, Driver 输出已包括该匹配电阻。
6. DP、DM 端口无需外接上拉/下拉电阻, PHY 内部已集成。

表 3-40 USB Low-Speed 电气特性

Symbol	Parameter	Conditions	Min. ⁽¹⁾	Typ.	Max. ⁽¹⁾	Unit
输入	V _{CC}	工作电压	-	3.0 ⁽²⁾	3.6	V
	V _{IL}	输入低电平	-	-	0.8	V
	V _{IH}	输入高电平	-	-	-	V
	V _{DI}	差分输入灵敏度	-	0.2	-	V
	V _{CM}	差分共模电压	-	0.8	2.5	V
输出	V _{OL}	静态输出低电平	R _L =1.5kΩ to 3.6V ⁽⁴⁾	-	0.3	V
	V _{OH}	静态输出高电平	R _L =15kΩ to V _{SS} ⁽⁴⁾	2.8	3.6	V
	V _{CRS}	Cross-over电压	C _L =200pF~600pF	1.3	2.0	V
	t _R	上升时间	C _L =200pF~600pF, 10%~90% of V _{OH} -V _{OL}	75	300	ns
	t _F	下降时间	C _L =200pF~600pF, 10%~90% of V _{OH} -V _{OL}	75	300	ns
	t _{RFMA}	上升下降时间比t _R /t _F	C _L =200pF~600pF	80	125	%
R _{PD}	下拉电阻	V _{IN} = V _{CC} , in host mode	-	15.0	-	kΩ
Z _{DRV}	输出阻抗 ⁽⁵⁾	Driving high or low	28	36	44	Ω

1. 所有电压均基于局部接地电位测得。
2. 工作电压降至 2.7V 时，仍可保证 USB 低速收发器的功能，但不能保证完整的 USB 低速电气特性，后者在 2.7 到 3.0V 的 V_{CC} 电压范围内会劣化。
3. 量产测试保证。
4. R_L 是连接至 USB 低速驱动器的负载。
5. DP、DM 端口无需外接串联电阻进行阻抗匹配，Driver 输出已包括该匹配电阻。
6. DP、DM 端口无需外接上拉/下拉电阻，PHY 内部已集成。

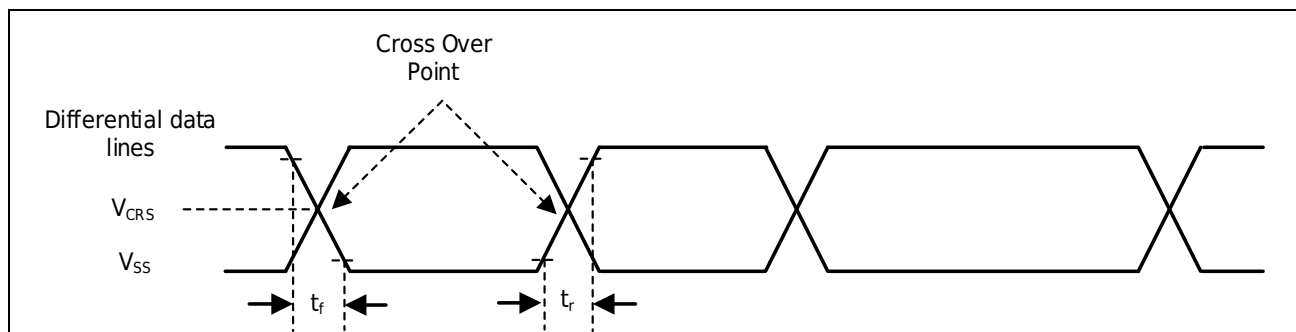


图 3-17 USB 上升/下降时间及 Cross Over 电压定义

表 3-41 ULPI HS 时钟时序参数

符号	参数(1)	条件	最小值(2)	典型值(2)	最大值(2)	单位
t _{SC}	控制信号建立时间 (ULPI_DIR,ULPI_NXT)建立时间	2.7V≤V _{CC} ≤3.6V C _L =20pF -40~105℃	3.0	-	-	ns
t _{HC}	控制信号保持时间 (ULPI_DIR,ULPI_NXT)保持时间		2.0	-	-	ns
t _{SD}	数据建立时间		3.0	-	-	ns
t _{HD}	数据保持时间		2.2	-	-	ns
t _{DC} /t _{DD}	数据/控制信号输出延迟		4.5	7.5	10.6	ns

1. ULPI_CLK 时钟需要遵循 UTMI+ Low Pin Interface Specification, Revision 1.1, 20/10/2004 协议规定。
2. 对应 IO 应设置为高驱动。

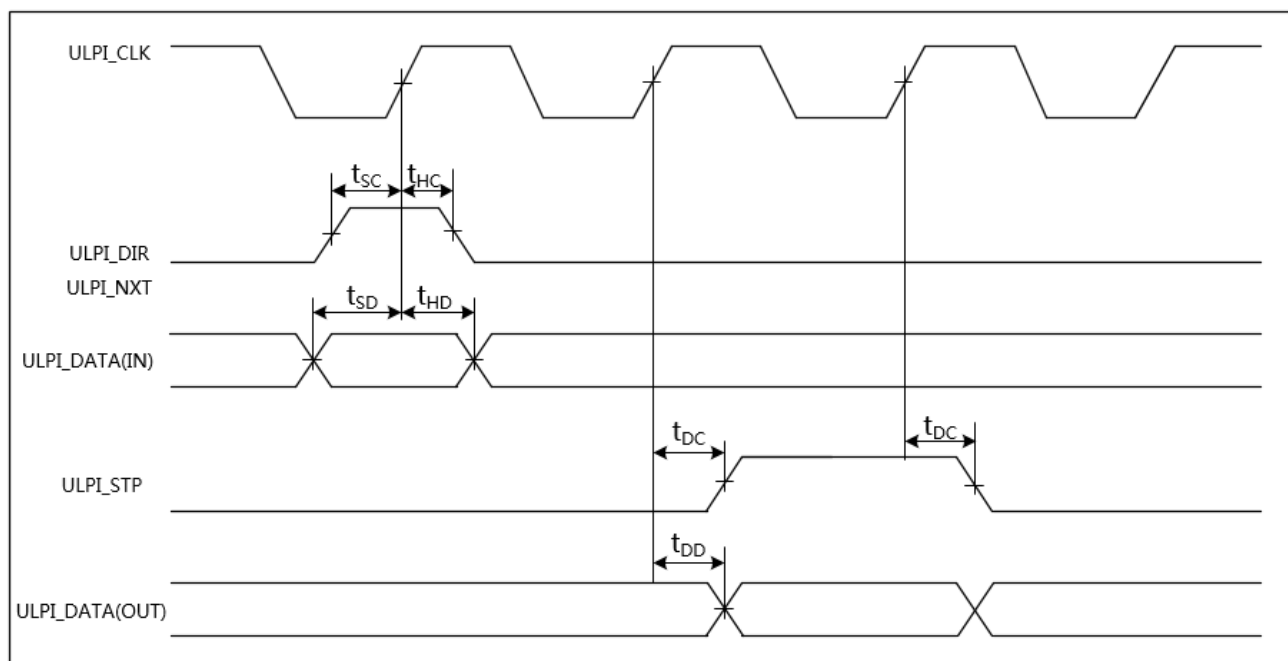


图 3-18 ULPI 时序图

3.3.18 ETHMAC 特性

3.3.18.1 SMI 接口

表 3-42 ETHMAC_SMI 接口特性

Symbol	Parameter	Min	Typ	Max	Unit
t_mdc	SMI_MDC 输出频率	400	420	425	ns
t_mdo_d	SMI_MDO 输出迟延时间 (2.7V~3.6V)	-	-	Tpclk1+9	ns
	SMI_MDO 输出迟延时间 (1.8V~2.7V)	-		Tpclk1+12	ns
t_mdi_s	SMI_MDI 输入 Setup 时间	11	-	-	ns
t_mdi_h	SMI_MDI 输入 Hold 时间	0	-	-	ns

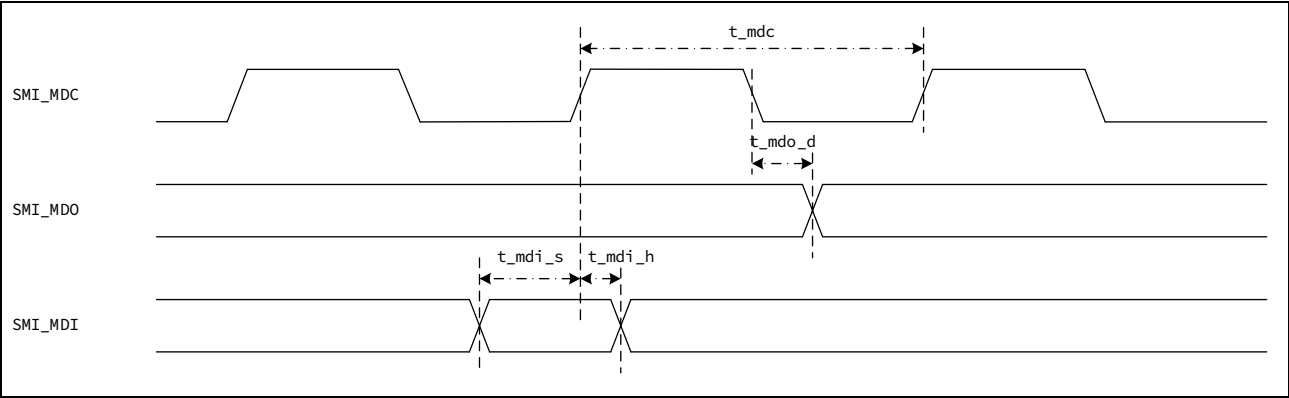


图 3-19 ETHMAC-SMI 接口时序图

3.3.18.2 MII 接口

表 3-43 ETHMAC_MII 接口特性

Symbol	Parameter	Min	Typ	Max	Unit
t_mii_tx_clk	MII_TX_CLK 时钟输入频率	-	40	-	ns
t_mii_txen_d	MII_TX_EN 输出迟延时间 (2.7V~3.6V)	5	-	15	ns
	MII_TX_EN 输出迟延时间 (1.8V~2.7V)	5	-	21	ns
t_mii_txer_d	MII_TX_ER 输出迟延时间 (2.7V~3.6V)	5	-	15	ns
	MII_TX_ER 输出迟延时间 (1.8V~2.7V)	5	-	21	ns
t_mii_txd_d	MII_TXD 输出迟延时间 (2.7V~3.6V)	5	-	15	ns
	MII_TXD 输出迟延时间 (1.8V~2.7V)	5	-	21	ns
t_mii_rx_clk	MII_RX_CLK 时钟输入频率	-	40	-	ns
t_mii_rxdv_s	MII_RX_DV 输入 Setup 时间	8	-	-	ns
t_mii_rxdv_h	MII_RX_DV 输入 Hold 时间	4	-	-	ns
t_mii_rxer_s	MII_RX_ER 输入 Setup 时间	8	-	-	ns
t_mii_rxer_h	MII_RX_ER 输入 Hold 时间	4	-	-	ns
t_mii_rxd_s	MII_RXD 输入 Setup 时间	8	-	-	ns
t_mii_rxd_h	MII_RXD 输入 Hold 时间	4	-	-	ns

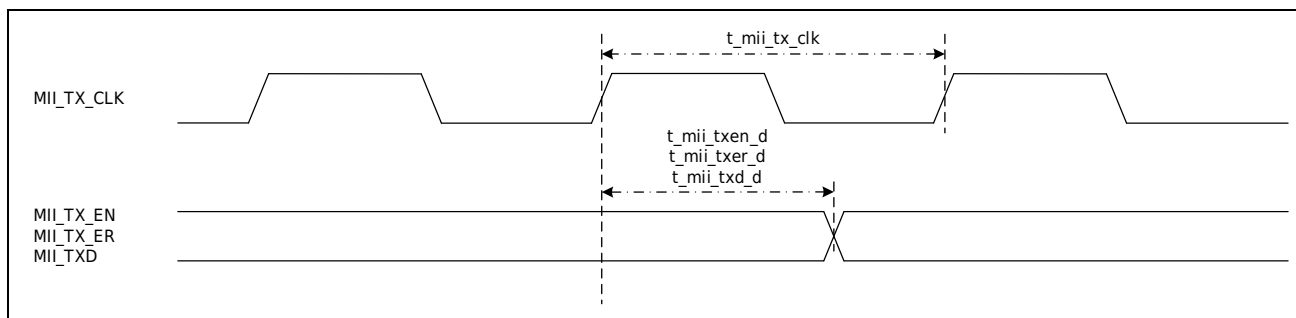


图 3-20 ETHMAC-MII 接口输出信号时序图

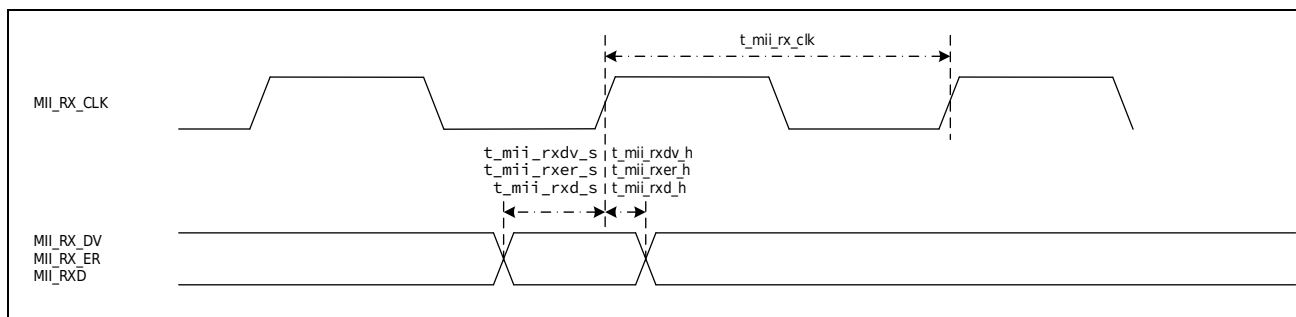


图 3-21 ETHMAC-MII 接口输入信号时序图

3.3.18.3 RMII 接口

表 3-44 ETHMAC_RMII 接口特性

Symbol	Parameter	Min	Typ	Max	Unit
t_rmii_clk	RMII_REF_CLK 参考时钟输入频率	-	20	-	ns
t_rmii_txen_d	RMII_TX_EN 输出迟延时间 (2.7V~3.6V)	5	-	12.5	ns
	RMII_TX_EN 输出迟延时间 (1.8V~2.7V)	5		15	ns
t_rmii_txd_d	RMII_TXD 输出迟延时间 (2.7V~3.6V)	5	-	12.5	ns
	RMII_TXD 输出迟延时间 (1.8V~2.7V)	5		15	ns
t_rmii_crsvd_s	RMII_CRSDV 输入 Setup 时间	4	-	-	ns
t_rmii_crsvd_h	RMII_CRSDV 输入 Hold 时间	2	-	-	ns
t_rmii_rxer_s	RMII_RX_ER 输入 Setup 时间	4	-	-	ns
t_rmii_rxer_h	RMII_RX_ER 输入 Hold 时间	2	-	-	ns
t_rmii_rxd_s	RMII_RXD 输入 Setup 时间	4	-	-	ns
t_rmii_rxd_h	RMII_RXD 输入 Hold 时间	2	-	-	ns

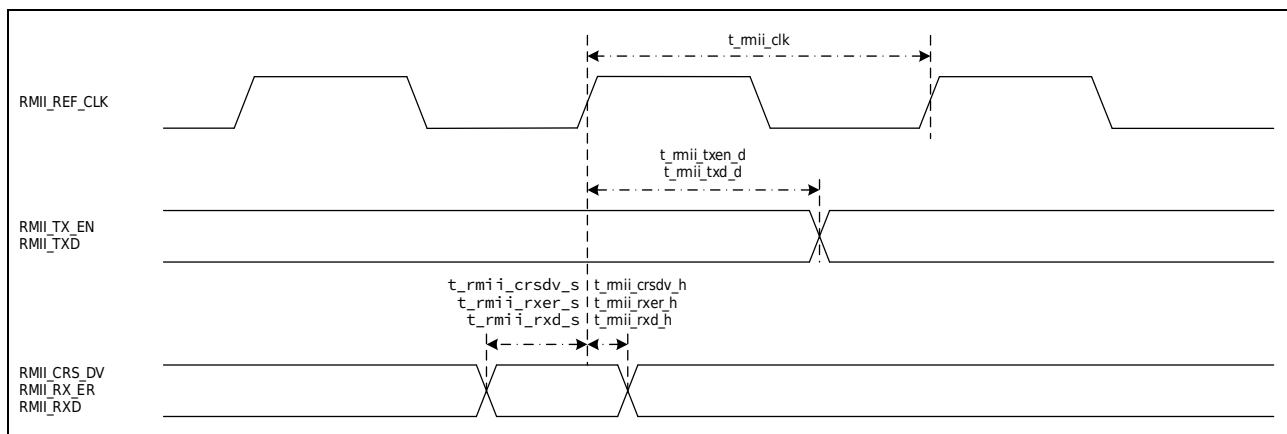


图 3-22 ETHMAC-RMII 接口时序图

3.3.19 USART 接口特性

表 3-45 USART AC 时序

符号	参数		最小值	最大值	单位
t _{cyc}	输入时钟周期数	UART	4	-	t _{PCLK1}
		时钟同步模式	6	-	
t _{CKW}	输入时钟宽度		0.4	0.6	t _{cyc}
t _{CKr}	输入时钟上升时间		-	5	ns
t _{CKf}	输入时钟下降时间		-	5	ns
t _{TD}	发送延迟时间 2.7V ≤ V _{CC} ≤ 3.6V	时钟同步模式	-	23	ns
	发送延迟时间 1.8V ≤ V _{CC} < 2.7V	时钟同步模式	-	30	ns
t _{RDS}	接收数据建立时间 2.7V ≤ V _{CC} ≤ 3.6V	时钟同步模式	17	-	ns
	接收数据建立时间 1.8V ≤ V _{CC} < 2.7V	时钟同步模式	23	-	ns
t _{RDH}	接收数据保持时间	时钟同步模式	5	-	ns

表 3-46 USART AC 时序

模式		最高波特率
UART	内部时钟源	PCLK1/8
	外部时钟源	PCLK1/32
时钟同步模式 2.7V ≤ V _{CC} ≤ 3.6V		12.0Mbps
时钟同步模式 1.8V ≤ V _{CC} < 2.7V		8.0Mbps

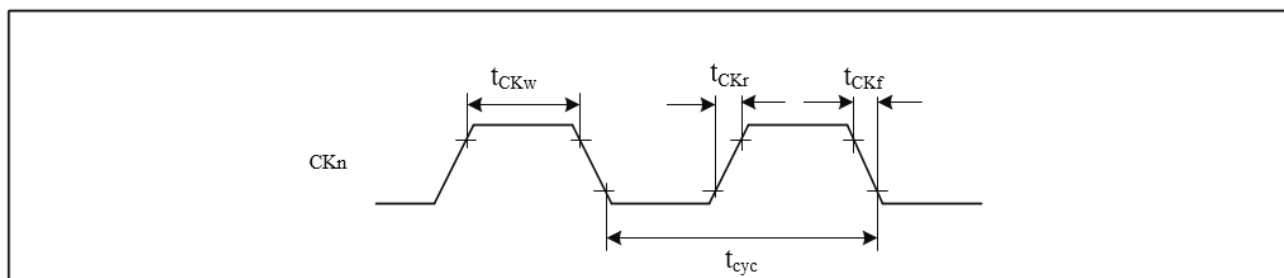


图 3-23 USART 时钟时序

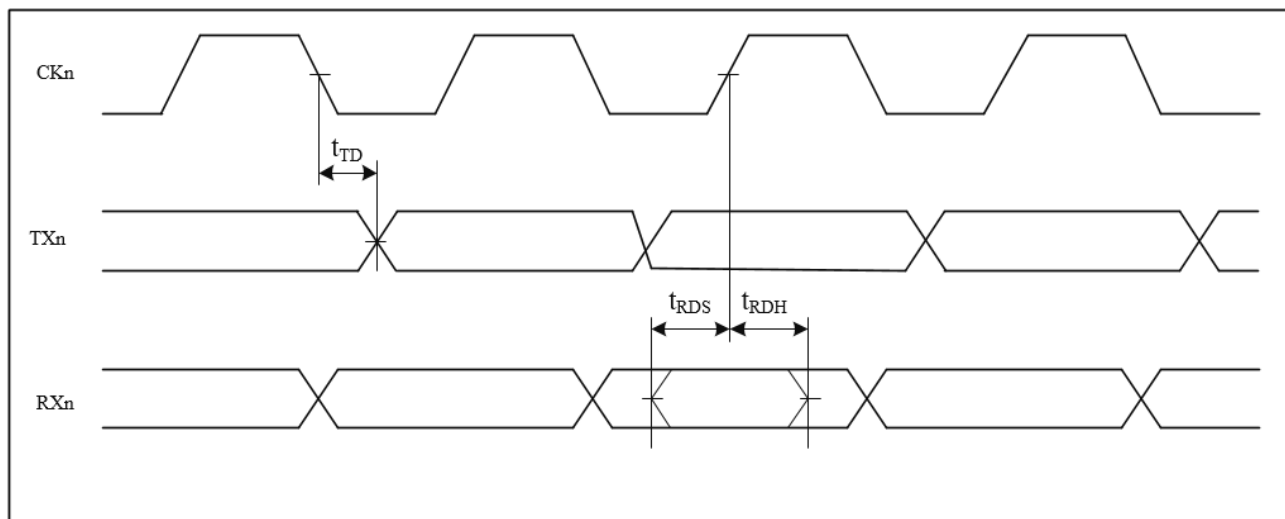


图 3-24 USART (CSI) 输入输出时序

3.3.20 JTAG 接口特性

表 3-47 JTAG 接口特性

Synbol	Item	Min	Typ	Max	Unit
t_{TCKcyc}	JTCK clock cycle time	50	-	-	ns
t_{TCKH}	JTCK clock high pulse width	15	-	-	ns
t_{TCKL}	JTCK clock low pulse width	15	-	-	ns
t_{TCKr}	JTCK clock rise time	-	-	5	ns
t_{TCKf}	JTCK clock fall time	-	-	5	ns
t_{TMSs}	JTMS setup time	10	-	-	ns
t_{TMSh}	JTMS hold time	10	-	-	ns
t_{TDIs}	JTDI setup time	10	-	-	ns
t_{TDIh}	JTDI hold time	10	-	-	ns
t_{TDod}	JTDO data delay time	10	-	25	ns

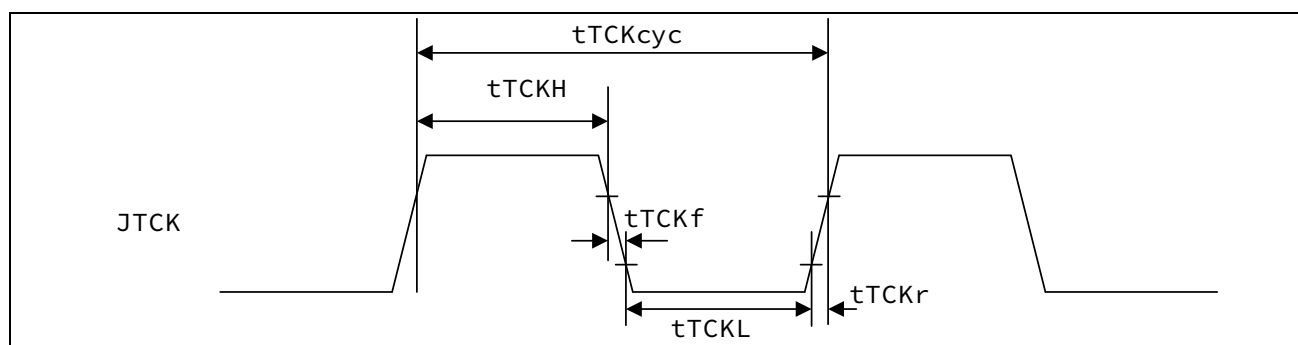


图 3-25 JTAG TCK 时钟

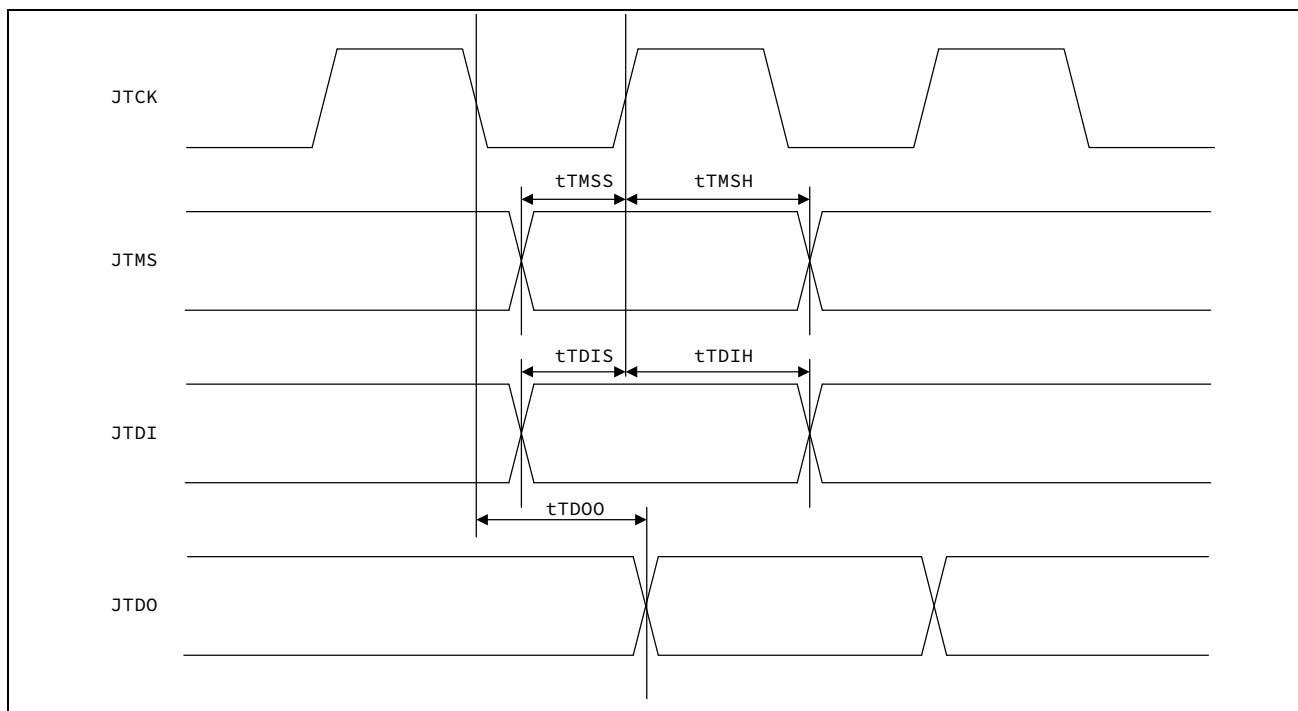


图 3-26 JTAG 输入输出

3.3.21 SWD 接口特性

表 3-48 SWD 接口特性

Synbol	Item	Min	Typ	Max	Unit
$t_{SWCLKcyc}$	SWCLK clock cycle time	50	-	-	ns
t_{SWCLKH}	SWCLK clock high pulse width	15	-	-	ns
t_{SWCLKL}	SWCLK clock low pulse width	15	-	-	ns
t_{SWCLKr}	SWCLK clock rise time	-	-	5	ns
t_{SWCLKf}	SWCLK clock fall time	-	-	5	ns
t_{SWDIs}	SWDI setup time	10	-	-	ns
t_{SWDIh}	SWDI hold time	10	-	-	ns
t_{SWD0d}	SWDO data delay time	10	-	25	ns

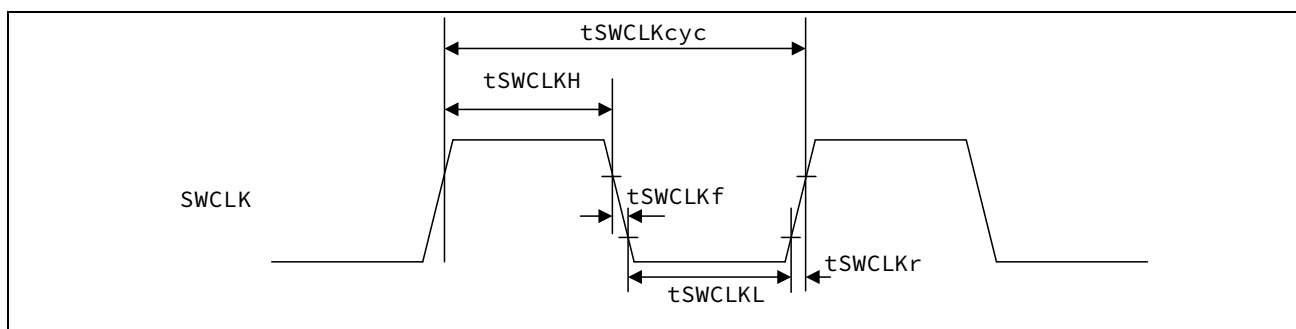


图 3-27 SWD SWCLK 时钟

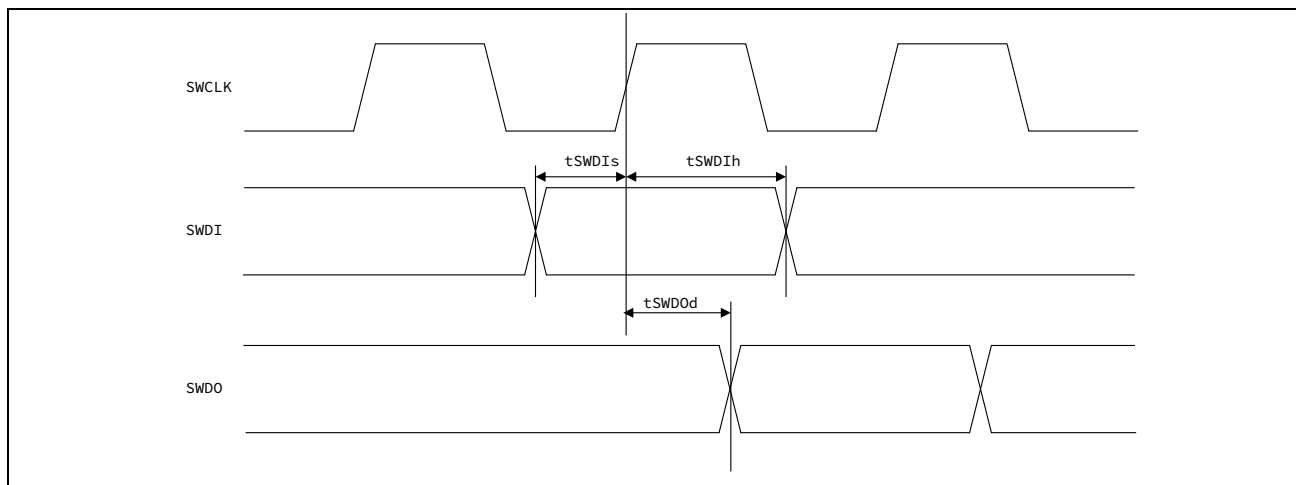


图 3-28 SWDIO 输入输出

3.3.22 ETM 接口特性

表 3-49 ETM 接口特性

Symbol	Item	Min	Typ	Max	Unit
$t_{TRCLKcyc}$	TRACECK clock cycle time	20	-	-	ns
t_{TRCKH}	TRACECK clock high pulse width	7	-	-	ns
t_{TRCKL}	TRACECK clock low pulse width	7	-	-	ns
t_{TRCKr}	TRACECK clock rise time	-	-	2.5	ns
t_{TRCKf}	TRACECK clock fall time	-	-	2.5	ns
t_{TRDd}	TRACED[3:0] output delay time	1.6	-	8.4	ns

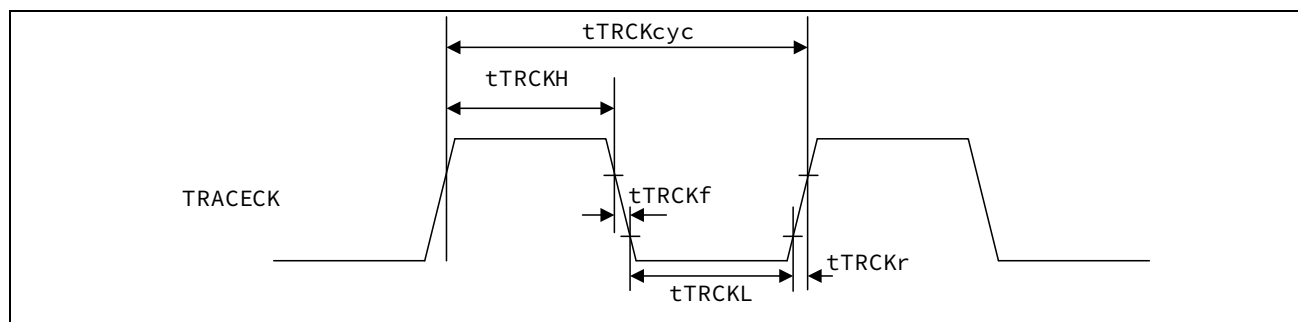


图 3-29 TRACE 时钟

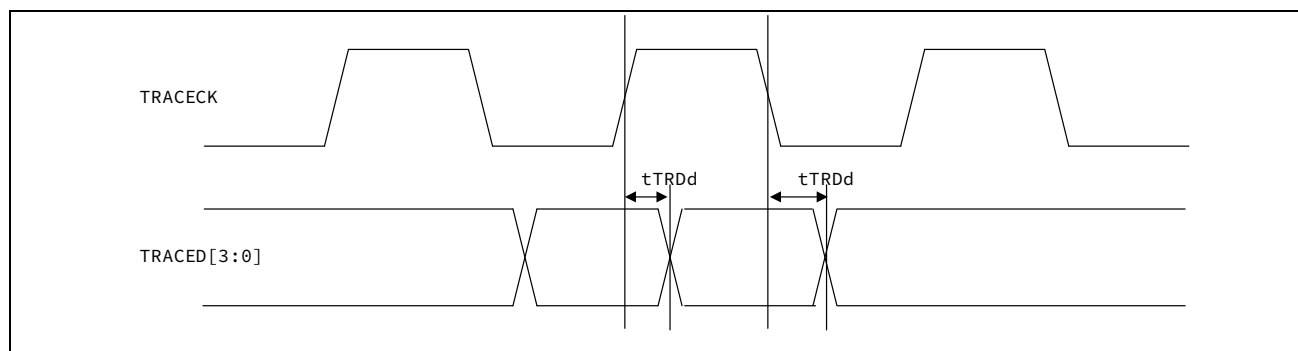


图 3-30 TRACE DATA 输出

3.3.23 12 位 ADC 特性

表 3-50 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	电源	-	1.8	-	3.6	V
V _{REFH} ⁽¹⁾	正参考电压	-	1.8	-	V _{AVCC}	V
f _{ADC}	ADC 转换时钟频率	高速工作模式下 V _{AVCC} =2.4 ~3.6V	1	-	60	MHz
		低速工作模式下 V _{AVCC} =1.8 ~2.4V	1	-	30	
		超低速工作模式	1	-	8	
V _{AIN}	转换电压范围	-	V _{REFL}	-	V _{REFH}	V
R _{AIN}	外部输入阻抗	详见公式1	-	-	50	kΩ
R _{ADC}	采样开关电阻	-	-	3	6	kΩ
C _{ADC}	内部采样和保持电容	-	-	4	7	Pf
t _D	触发器转换延迟	f _{ADC} = 60 MHz	-	-	0.3	μs

表 3-51 ADC 特性 (续)

符号	参数	条件	最小值	典型值	最大值	单位
t _s	采样时间	f _{ADC} =60MHz	0.183	-	4.266	μs
			11	-	255	1/ f _{ADC}
t _{CONV}	单通道总转换时间 (包括采样时间)	f _{ADC} = 60 MHz 12 位分辨率	0.4	-	-	μs
		f _{ADC} = 60 MHz 10 位分辨率	0.37	-	-	μs
		f _{ADC} = 60 MHz 8 位分辨率	0.34	-	-	μs
		20到 268 (采样时间 T _s + 逐次趋近 n 位分辨率+1)				1/f _{ADC}
f _s	采样率 f _{ADC} = 60 MHz	12 位分辨率单ADC	-	-	2.5	Msp/s
t _{ST}	上电时间	-	-	1	2	μs

1. 0≤V_{AVCC}-V_{REFH}≤1.2V公式 1: R_{AIN} 最大值公式

$$R_{AIN} = \frac{k-1}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上式（公式 1）用于确定使误差低于 1/4 LSB 的最大外部阻抗。其中 N = 12（12 位分辨率），k 为 ADC_SSTR 寄存器中定义的采样周期数。

表 3-52 ADC123_IN0~3、ADC12_IN4~9、ADC12_IN14~15 输入通道精度@ $f_{\text{ADC}}=60\text{MHz}$

符号	参数	条件	典型值	最大值	单位
E_T	绝对误差	$f_{\text{ADC}}=60\text{MHz}$ 输入源阻抗 $<1\text{K}\Omega$ $V_{\text{REFH}}=V_{\text{AVCC}}=2.4\sim3.6\text{V}$	± 4.5	± 6	LSB
E_O	偏移误差		± 3.5	± 6	LSB
E_G	增益误差		± 3.5	± 6	LSB
E_D	微分非线性误差		± 1	± 3	LSB
E_L	积分非线性误差		± 1.5	± 4	LSB

表 3-53 ADC123_IN0~3、ADC12_IN4~9、ADC12_IN14~15 输入通道精度@ $f_{\text{ADC}}=8/30\text{MHz}$

符号	参数	条件	典型值	最大值	单位
E_T	绝对误差	$f_{\text{ADC}}=8/30\text{MHz}$ 输入源阻抗 $<1\text{K}\Omega$ $V_{\text{REFH}}=V_{\text{AVCC}}=1.8\text{V}$	± 4.5	± 6	LSB
E_O	偏移误差		± 3.5	± 6	LSB
E_G	增益误差		± 3.5	± 6	LSB
$E_D^{(1)}$	微分非线性误差		± 1	± 3	LSB
$E_L^{(1)}$	积分非线性误差		± 1.5	± 4	LSB

1. 量产测试保证。

表 3-54 ADC123_IN0~3、ADC12_IN4~9、ADC12_IN14~15 输入通道精度@ $f_{\text{ADC}}=60\text{MHz}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{\text{ADC}}=60\text{MHz}$ 输入信号频 $=2\text{kHz}$ 输入源阻抗 $=0\text{ohm}$ $V_{\text{REFH}}=V_{\text{AVCC}}=2.4\sim3.6\text{V}$	10.5	-	Bits
SINAD	信噪谐波比		64.3	-	dB
SNR	信噪比		64.4	-	dB
THD	总谐波失真		-	-78.1	dB

表 3-55 ADC123_IN0~3、ADC12_IN4~9、ADC12_IN14~15 输入通道精度@ $f_{\text{ADC}}=8/30\text{MHz}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{\text{ADC}}=8/30\text{MHz}$ 输入信号频 $=2\text{kHz}$ 输入源阻抗 $=0\text{ohm}$ $V_{\text{REFH}}=V_{\text{AVCC}}=1.8\text{V}$	10.6	-	Bits
SINAD	信噪谐波比		67.0	-	dB
SNR	信噪比		67.1	-	dB
THD	总谐波失真		-	-75.1	dB

表 3-56 ADC12_IN10~13、ADC3_IN4~15 输入通道精度@ $f_{ADC}=60\text{MHz}$

符号	参数	条件	典型值	最大值	单位
E_T	绝对误差	$f_{ADC}=60\text{MHz}$ 输入源阻抗 $<1\text{K}\Omega$ $V_{REFH} = V_{AVCC}=2.4 \sim 3.6\text{V}$	± 5.5	± 7	LSB
E_O	偏移误差		± 4.5	± 7	LSB
E_G	增益误差		± 4.5	± 7	LSB
E_D	微分非线性误差		± 1.5	± 3	LSB
E_L	积分非线性误差		± 2.0	± 4	LSB

表 3-57 ADC12_IN10~13、ADC3_IN4~15 输入通道精度@ $f_{ADC}=30\text{MHz}$

符号	参数	条件	典型值	最大值	单位
E_T	绝对误差	$f_{ADC}=8/30\text{MHz}$ 输入源阻抗 $<1\text{K}\Omega$ $V_{REFH} = V_{AVCC}=1.8\text{V}$	± 5.5	± 7	LSB
E_O	偏移误差		± 4.5	± 7	LSB
E_G	增益误差		± 4.5	± 7	LSB
$E_D^{(1)}$	微分非线性误差		± 1.5	± 3	LSB
$E_L^{(1)}$	积分非线性误差		± 2.0	± 4	LSB

1. 量产测试保证。

表 3-58 ADC12_IN10~12、ADC3_IN4~15 输入通道输入通道动态精度@ $f_{ADC}=60\text{MHz}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{ADC}=60\text{MHz}$	10.5	-	Bits
SINAD	信噪谐波比	输入信号频=2kHz	64.4	-	dB
SNR	信噪比	输入源阻抗=0ohm	64.4	-	dB
THD	总谐波失真	$V_{REFH} = V_{AVCC}=2.4 \sim 3.6\text{V}$	-	-80.3	dB

表 3-59 ADC12_IN10~13、ADC3_IN4~15 输入通道输入通道动态精度@ $f_{ADC}=8/30\text{MHz}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{ADC}=8/30\text{MHz}$	10.6	-	Bits
SINAD	信噪谐波比	输入信号频=2kHz	66.6	-	dB
SNR	信噪比	输入源阻抗=0ohm	66.8	-	dB
THD	总谐波失真	$V_{REFH} = V_{AVCC}=1.8\text{V}$	-	-79.4	dB

表 3-60 ADC+采样保持电路通道精度@ $f_{ADC}=60\text{MHz}$

符号	参数	条件	典型值	最大值	单位
E_T	绝对误差	$f_{ADC}=60\text{MHz}$ 输入源阻抗=1KΩ $V_{REFH} = V_{AVCC}=2.7 \sim 3.6\text{V}$	± 6.0	± 8.0	LSB
E_O	偏移误差		± 6.0	± 8.0	LSB
E_G	增益误差		± 6.0	± 8.0	LSB
E_D	微分非线性误差		± 2	± 3	LSB
E_L	积分非线性误差		± 3	± 4	LSB

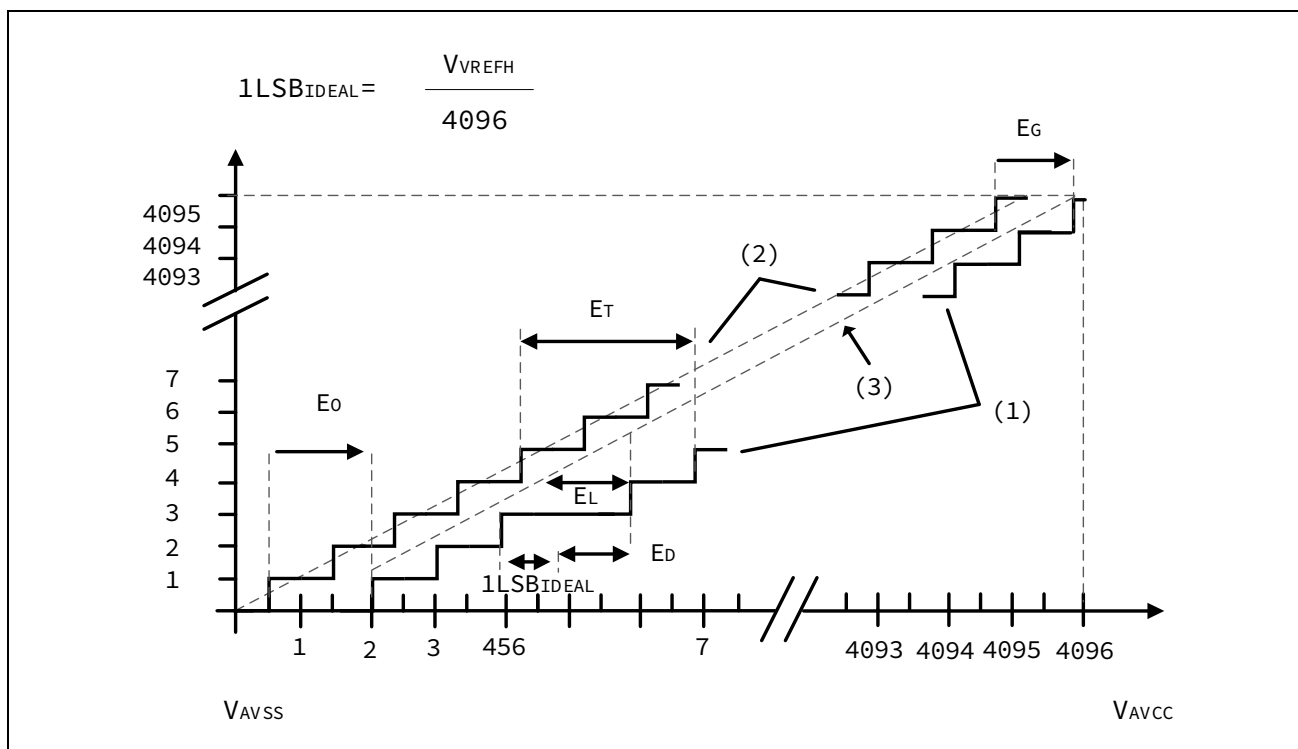


图 3-31 ADC 精度特性

1. 另请参见上述表格。
2. 实际传输曲线举例。
3. 理想传输曲线。
4. 端点相关线。
5. E_T = 总未调整误差：实际和理想传输曲线间的最大偏离。
 E_0 = 偏移误差：第一次实际转换和第一次理想转换间的偏离。
 E_G = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
 E_D = 微分非线性误差：实际步进和理想值间的最大偏离。
 E_L = 积分非线性误差：任何实际转换和端点相关线间的最大偏离。

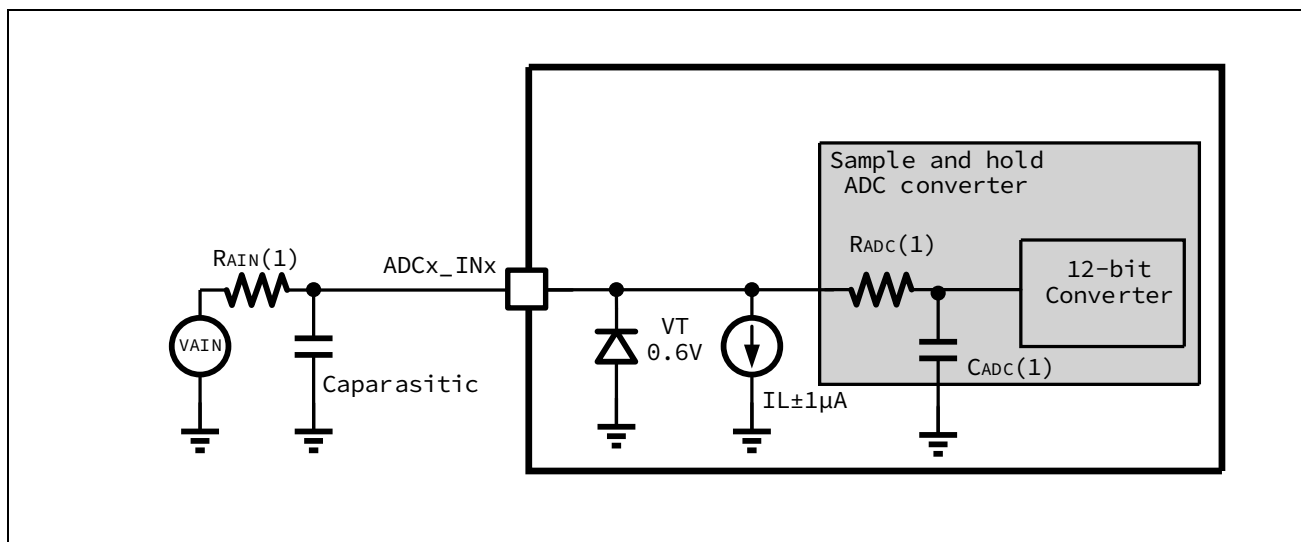


图 3-32 使用 ADC 的典型连接

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 值的信息，请参见表 3-50。
2. $C_{parasitic}$ 表示 PCB 电容（取决于焊接和 PCB 布线质量）以及焊盘电容（约 5Pf）。 $C_{parasitic}$ 值较高会导致转换精度降低。要解决这一问题，应减小 F_{adc} 。

通用 PCB 设计准则

应按照下图所示对电源进行去耦，具体取决于 V_{REFH} 是否与 $AVCC$ 相连以及 $AVCC$ 引脚个数。0.1 μ F 电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。

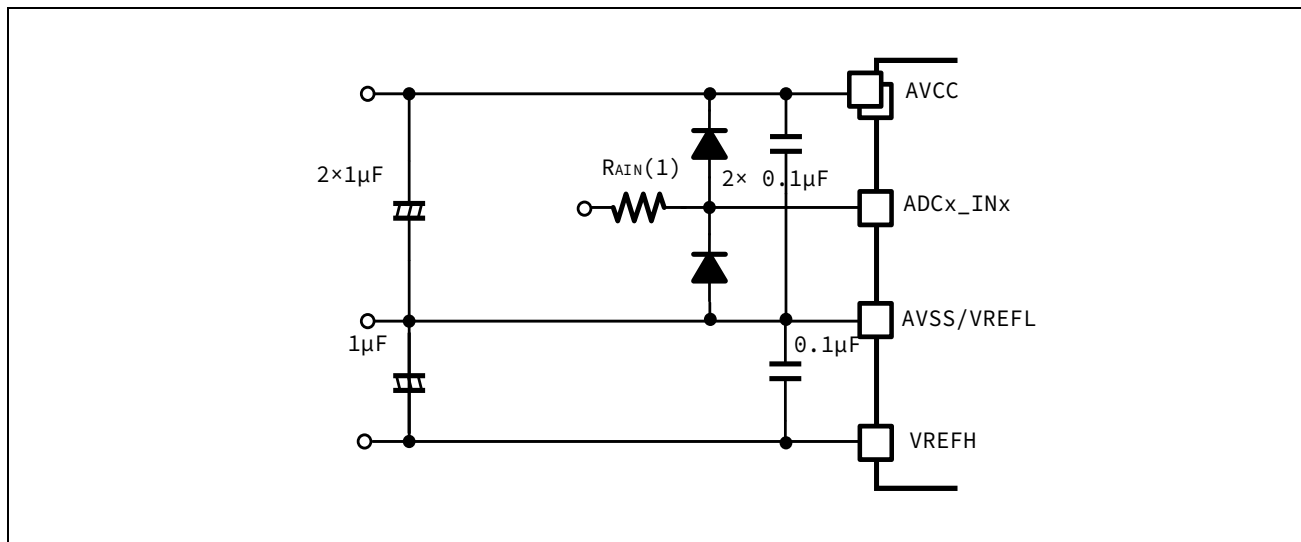


图 3-33 电源和参考电源去耦例

3.3.24 12 位 DAC 特性

表 3-61 12-bit DAC 端口输出允许且输出放大器允许时特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
A _{ref}	参考电源电压 (V _{REFH})	= V _{AVCC}	1.8	3.3	3.6	V
AO	输出电压范围	-	0.2	-	A _{ref} -0.2	-
R _L	负载电阻	-	5	-		kΩ
C _L	负载电容	-		-	50	Pf
DNL ⁽¹⁾	微分非线性误差 (两个连续代码之间的偏差-1LSB)	-	-	-	3 ⁽¹⁾	LSB
INL ⁽¹⁾	积分非线性误差 (代码 1 处测得的值与代码 0 及最后一个代码 4095 之间连线上代码 1 处的值之间的差)	-	-	-	5 ⁽¹⁾	LSB
OE	偏移误差 (代码 (0x800) 处测得值与理想值 V _{REF} +/2 之间的差)	-	-	-	±15	LSB
GE	增益误差	-	-	-	±1	%
T _{st}	建立时间 (满刻度: 适用于到DAC输出达到最终值±4LSB时, 最低输入代码与最高输入代码之间12位输入代码转换)	-	-	1.2	2.1	μs
I _{avcc}	模拟电源电流 (静态电流, 无负载)	-	-	604	800	μA
I _{aref}	参考电源电流 (静态电流)	-	-	161	270	μA

1. 量产测试保证。

表 3-62 12-bit DAC 端口输出允许且输出放大器禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
A _{ref}	参考电源电压	= V _{AVCC}	1.8	3.3	3.6	V
A _O	输出电压范围	-	0	-	A _{ref} -1LSB	V
C _L	负载电容	-	-	-	20	Pf
R _O	输出电阻	-	-	8.6	12	kΩ
DNL	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	-	±2	LSB
TUE	总不可调整误差	-	-	-	±24	LSB
T _{st}	建立时间（适用于到DAC输出达到最终值±4LSB时，最低输入代码与最高输入代码之间12位输入代码转换，CL=10Pf）	-	-	0.9	1.2	μs
I _{avcc}	模拟电源电流（静态电流）	-	-	0.1	2	μA
I _{aref}	参考电源电流（静态电流）	-	-	146	260	μA

表 3-63 12-bit DAC 端口输出禁止且输出放大器禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
Aref	参考电源电压	= V _{AVCC}	1.8	3.3	3.6	V
AO	输出电压范围		0		Aref-1LSB	
DNL	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	-	±2	LSB
TUE	总不可调整误差	-	-	-	±5	LSB
T _{st}	建立时间（适用于到DAC输出达到最终值±1 LSB时，最低输入代码与最高输入代码之间12位输入代码转换，V _{AVCC} ≥2.7）	-	-	65.3	81	ns
	建立时间（适用于到DAC输出达到最终值±32 LSB时，最低输入代码与最高输入代码之间12位输入代码转换，V _{AVCC} ≥2.7）	-	-	36	44.9	ns
	建立时间（适用于到DAC输出达到最终值±1 LSB时，最低输入代码与最高输入代码之间12位输入代码转换，V _{AVCC} <2.7）	-	-	-	83.82	ns
	建立时间（适用于到DAC输出达到最终值±32 LSB时，最低输入代码与最高输入代码之间12位输入代码转换，V _{AVCC} <2.7）	-	-	-	48.55	ns
I _{AVCC}	模拟电源电流（静态电流）	-	-	0.1	2	μA
I _{AREF}	参考电源电流（静态电流）	-	-	146	260	μA

3.3.25 温度传感器

表 3-64 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
T _L	温度线性度	-	-2	-	+2	°C
T _E	绝对精度 ⁽¹⁾	25°C, 105°C 两点定标	-2	-	+2	°C

1. 实际特性与定标点温度的精度有关。如果使用芯片预置的数据定标，由于量产测试环境的温度存在偏差，特性不做保证。

3.3.26 比较器特性

表 3-65 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
V _I	输入电压范围	-	0	-	V _{AVCC}	V
T _{cmp}	比较时间	比较器分辨电压=100mV	-	30	50	ns
T _{set}	输入通道切换稳定时间	-	-	100	200	ns

3.3.27 EXMC 特性

表 3-66 EXMC 特性

Symbol	Parameter	Min	Typ	Max	Unit
t_add_d	地址线输出延迟时间 (2.7V~3.6V)	-	-	12	ns
	地址线输出延迟时间 (1.8V~2.7V)	-	-	18	ns
t_data_d	数据线输出延迟时间 (2.7V~3.6V)	-	-	12	ns
	数据线输出延迟时间 (1.8V~2.7V)	-	-	18	ns
t_ce_d	CE 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	CE 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t_we_d	WE 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	WE 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t_oe_d	OE 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	OE 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t_baa_d	BAA 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	BAA 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t_adv_d	ADV 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	ADV 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t_ale_d	ALE 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	ALE 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t_data_s	数据线输入 Setup 时间 (2.7V~3.6V)	24	-	-	ns
	数据线输入 Setup 时间 (1.8V~2.7V)	28	-	-	ns
t_data_h	数据线输入 Hold 时间	0	-	-	ns
t_rb_s	RB 输入 Setup 时间 (2.7V~3.6V)	24	-	-	ns
	RB 输入 Setup 时间 (1.8V~2.7V)	28	-	-	ns
t_rb_h	RB 输入 Hold 时间	0	-	-	ns

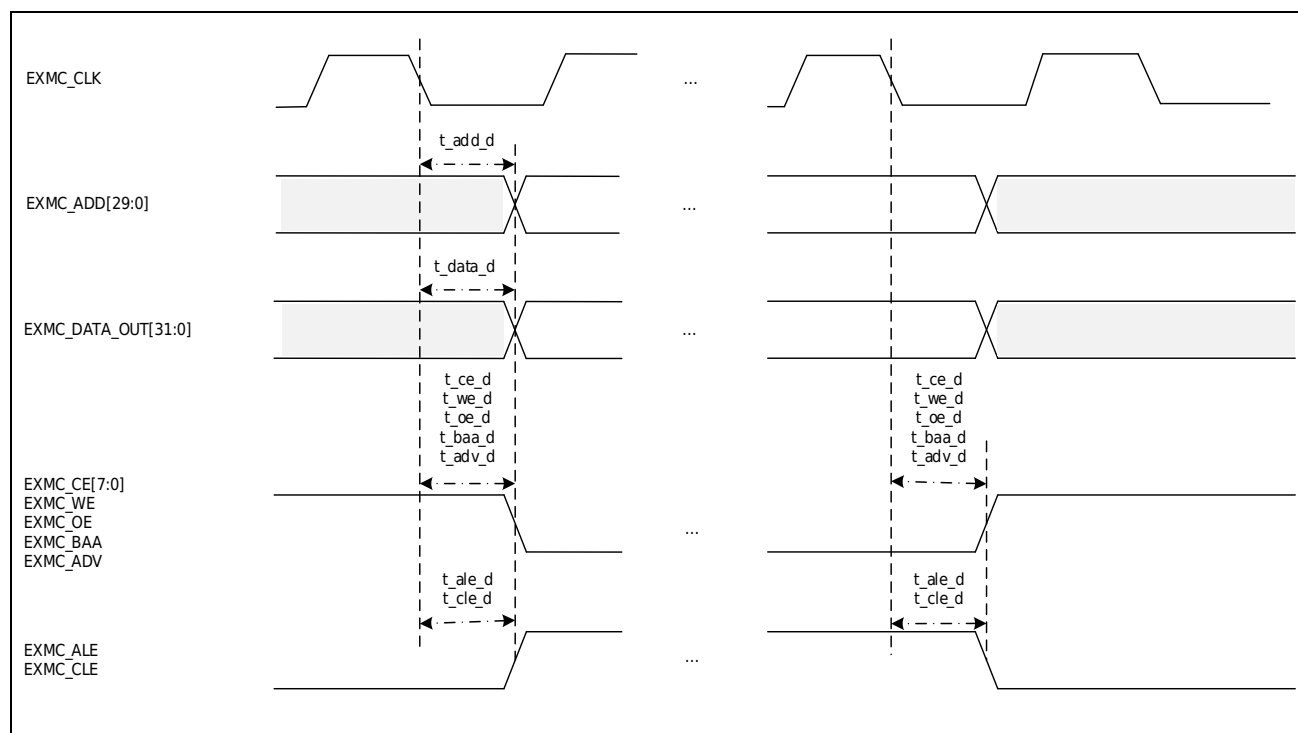


图 3-34 EXMC 输出信号时序图

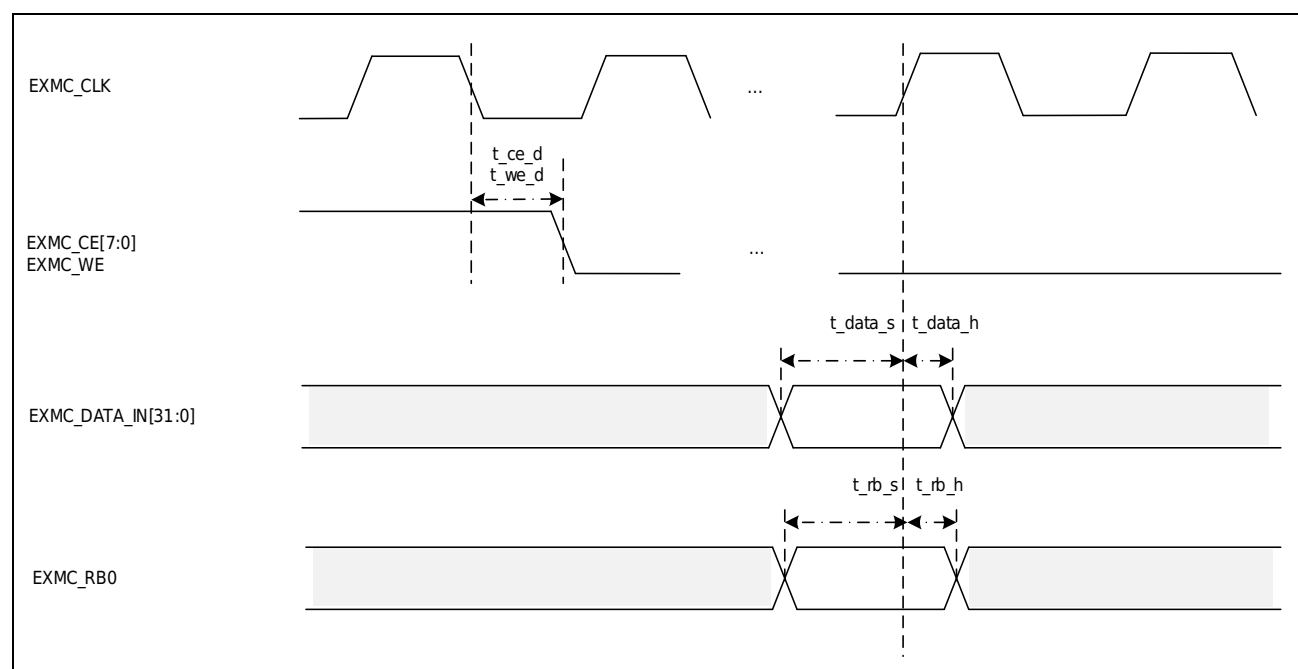


图 3-35 EXMC 输入信号时序图

3.3.28 DVP 特性

表 3-67 DVP 特性

Symbol	Parameter	Min	Typ	Max	Unit
t_pixclk_s	输入数据 DVP_PIXCLK Setup 时间 (2.7V~3.6V)	6	-	-	ns
	输入数据 DVP_PIXCLK Setup 时间 (1.8V~2.7V)	9	-	-	ns
t_pixclk_h	输入数据 DVP_PIXCLK Hold 时间 (2.7V~3.6V)	6	-	-	ns
	输入数据 DVP_PIXCLK Hold 时间 (1.8V~2.7V)	9	-	-	ns
t_data_s	输入数据 DVP_DATA Setup 时间 (2.7V~3.6V)	2.5	-	-	ns
	输入数据 DVP_DATA Setup 时间 (1.8V~2.7V)	4	-	-	ns
t_data_h	输入数据 DVP_DATA Hold 时间 (2.7V~3.6V)	2	-	-	ns
	输入数据 DVP_DATA Hold 时间 (1.8V~2.7V)	3	-	-	ns
t_vsync_s	输入数据 DVP_VSYNC Setup 时间 (2.7V~3.6V)	2.5	-	-	ns
	输入数据 DVP_VSYNC Setup 时间 (1.8V~2.7V)	4	-	-	ns
t_vsync_h	输入数据 DVP_VSYNC Hold 时间 (2.7V~3.6V)	1.5	-	-	ns
	输入数据 DVP_VSYNC Hold 时间 (1.8V~2.7V)	3	-	-	ns
t_hsync_s	输入数据 DVP_HSYNC Setup 时间 (2.7V~3.6V)	2.5	-	-	ns
	输入数据 DVP_HSYNC Setup 时间 (1.8V~2.7V)	4	-	-	ns
t_hsync_h	输入数据 DVP_HSYNC Hold 时间 (2.7V~3.6V)	1.5	-	-	ns
	输入数据 DVP_HSYNC Hold 时间 (1.8V~2.7V)	3	-	-	ns

下图以 DVP_VSYNC 和 DVP_HSYNC 的高电平为同步区间、DVP_PIXCLK 的下降沿采集数据的设定条件下为例。

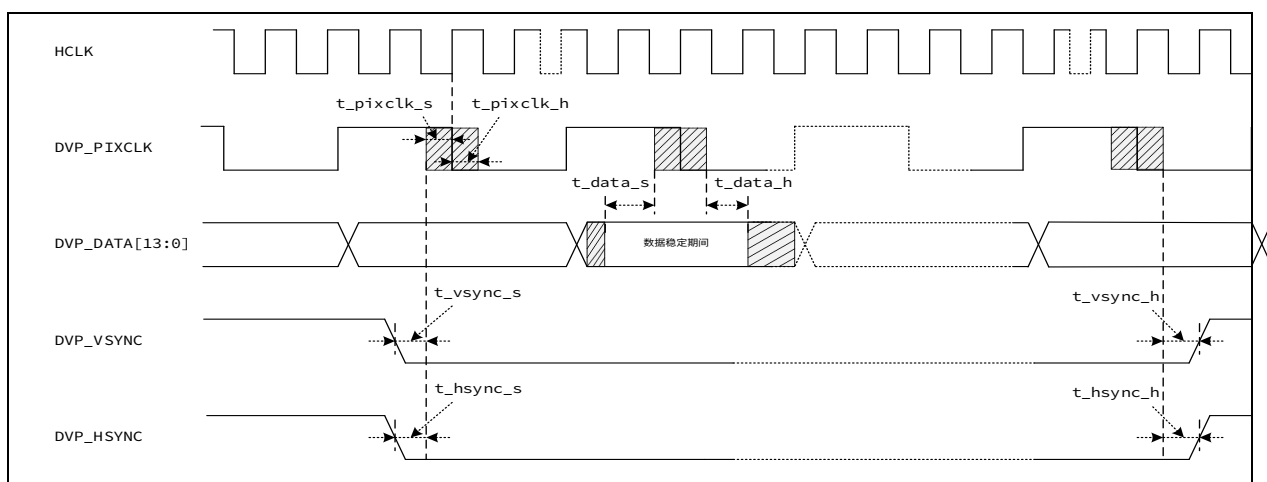


图 3-36 DVP 输入信号时序图

3.3.29 SD/SDIO MMC Card host interface(SDIO)特性

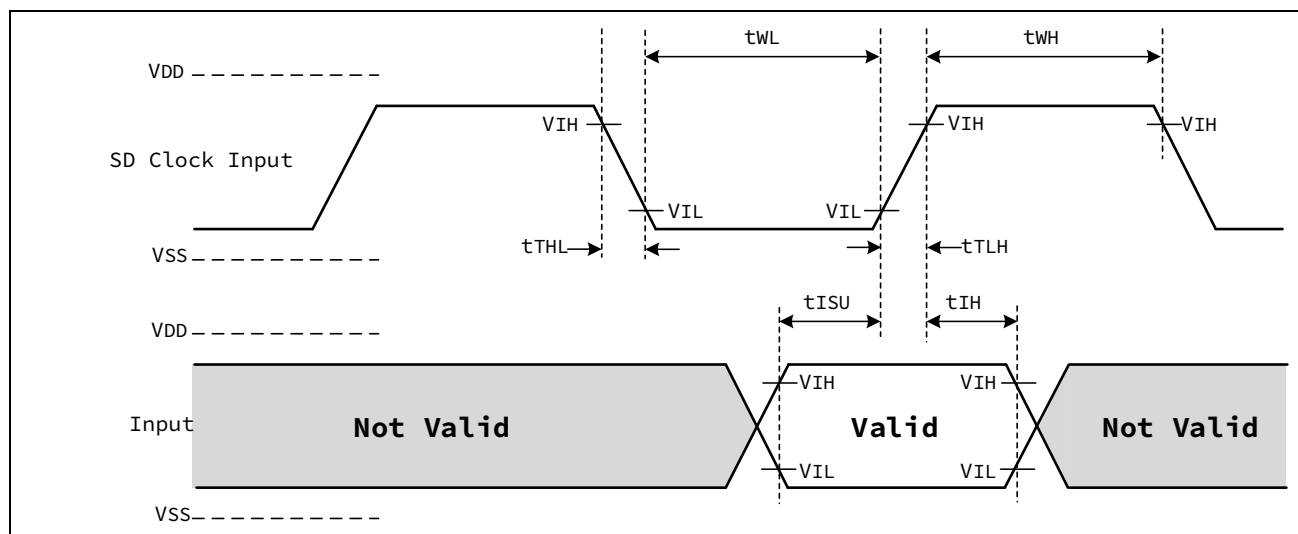


图 3-37 默认速度模式输入时序图

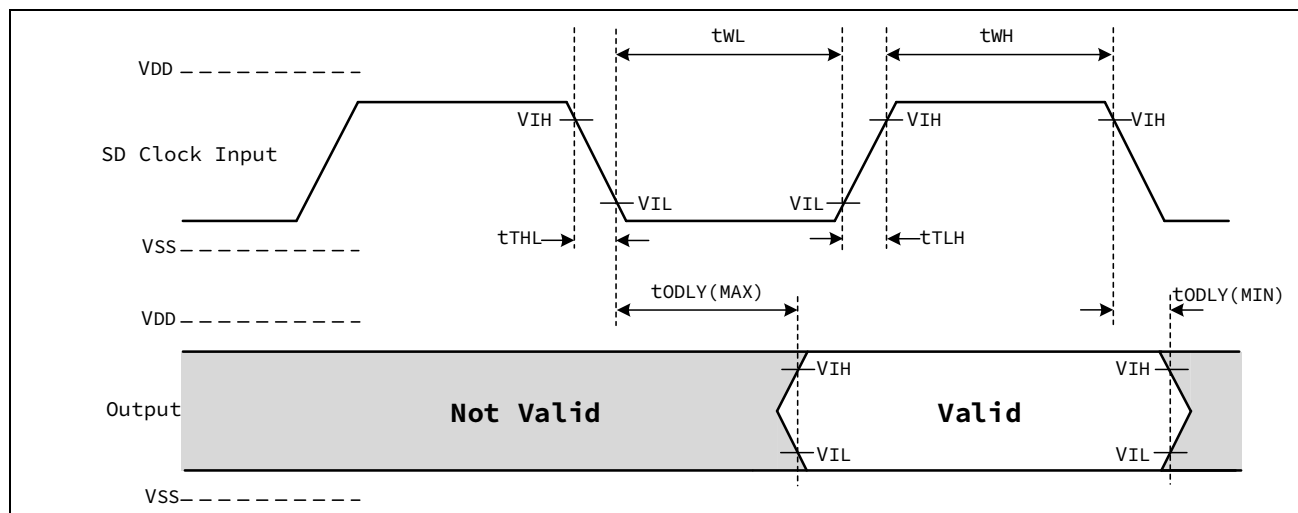


图 3-38 默认速度模式输出时序图

表 3-68 默认速度模式时序参数

符号	参数	最小值	最大值	单位	备注
-	工作电压	1.8	3.6	V	
f_{PP}	传输模式时钟频率	-	25	MHz	负载 $C = 30\text{ Pf}$
f_{OD}	卡识别模式时钟频率	-	400	kHz	负载 $C = 30\text{ Pf}$
t_{WL}	时钟低电平时间	10	-	ns	负载 $C = 30\text{ Pf}$
t_{WH}	时钟高电平时间	10	-	ns	负载 $C = 30\text{ Pf}$
t_{TLH}	时钟上升时间	-	10	ns	负载 $C = 30\text{ Pf}$
t_{THL}	时钟下降时间	-	10	ns	负载 $C = 30\text{ Pf}$
t_{ISU}	数据输入建立时间	5	-	ns	负载 $C = 30\text{ Pf}$
t_{IH}	数据输入保持时间	14	-	ns	负载 $C = 30\text{ Pf}$
t_{ODLY}	数据输出延时	1	14	ns	负载 $C = 30\text{ Pf}$

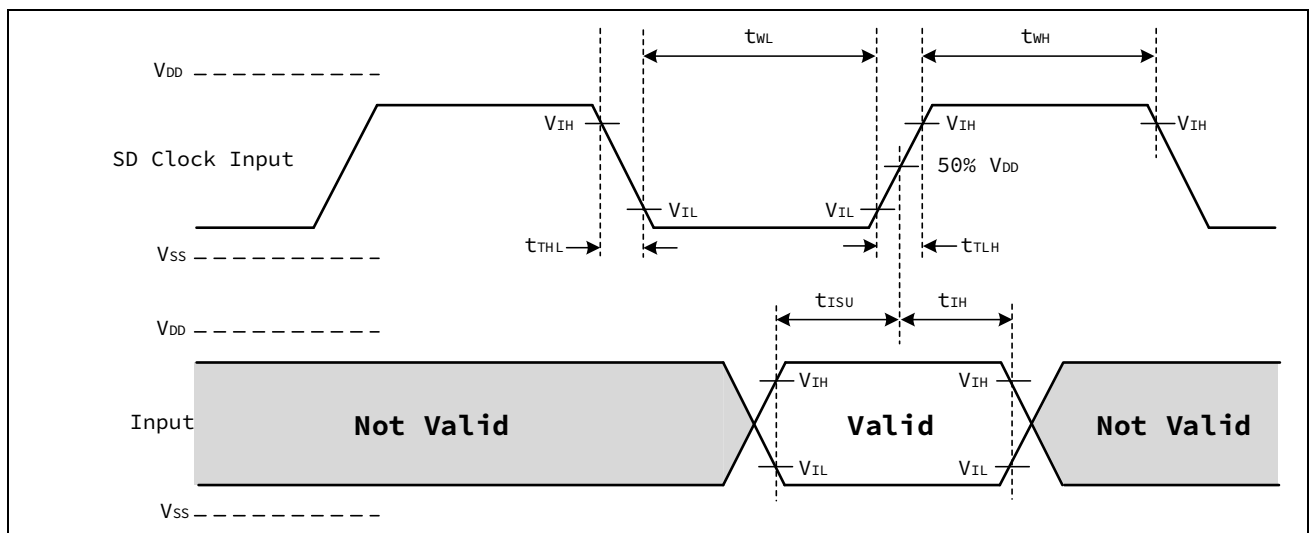


图 3-39 高速模式输入时序图

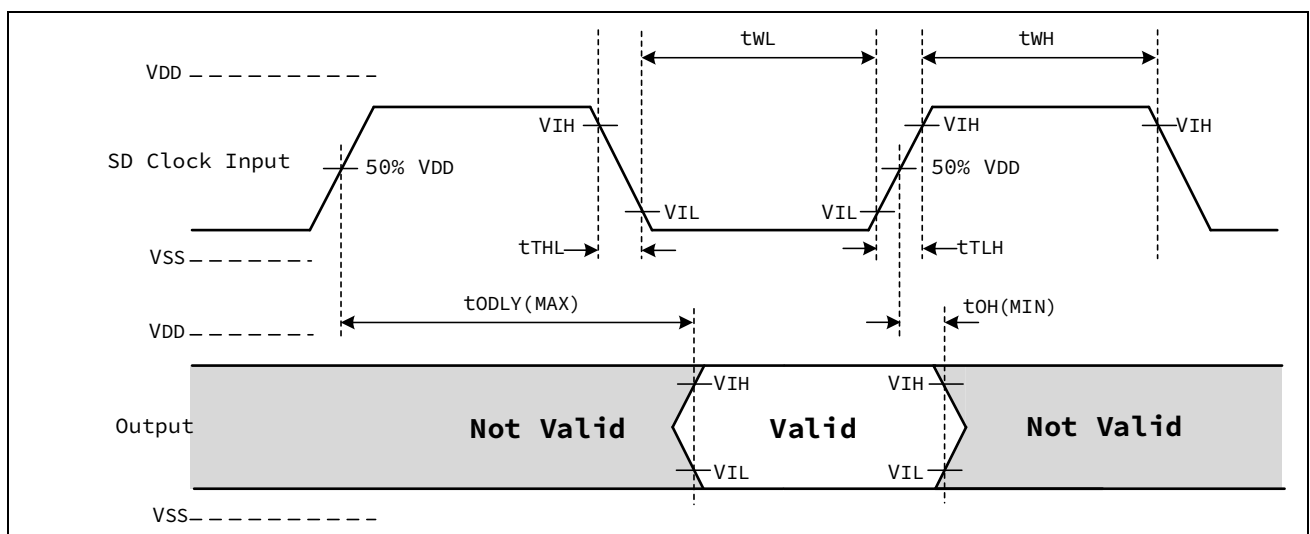


图 3-40 高速模式输出时序图

表 3-69 高速模式时序参数

符号	参数	最小值	最大值	单位	备注
-	工作电压	1.8	3.6	V	
f _{PP}	传输模式时钟频率	-	50	MHz	负载 C = 30 Pf
f _{OD}	卡识别模式时钟频率	-	400	kHz	负载 C = 30 Pf
t _{WL}	时钟低电平时间	7	-	ns	负载 C = 30 Pf
t _{WH}	时钟高电平时间	7	-	ns	负载 C = 30 Pf
t _{TLH}	时钟上升时间	-	3	ns	负载 C = 30 Pf
t _{THL}	时钟下降时间	-	3	ns	负载 C = 30 Pf
t _{ISU}	数据输入建立时间	5	-	ns	负载 C = 30 Pf
t _{IH}	数据输入保持时间	14	-	ns	负载 C = 30 Pf
t _{ODLY}	数据输出延时	-	14	ns	负载 C = 30 Pf
t _{OH}	数据输出保持时间	3	-	ns	负载 C = 30 Pf

3.3.30 增益可调放大器特性

表 3-70 增益可调放大器特性

符号	参数		条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压		-	1.8	3.3	3.6	V
V _{OS} ⁽¹⁾	输入失调电压		-	-8	-	8	mV
V _I	输入电压范围		-	0.1*V _{AVCC} /Gain	-	0.9*V _{AVCC} /Gain	V
G _E	增益误差	使用外部端口PGA _{AVSS} 作为PGA负相输入	Gain=2 ⁽¹⁾	-1	-	1	%
			Gain=2.133	-1	-	1	%
			Gain=2.286	-1	-	1	%
			Gain=2.667	-1	-	1	%
			Gain=2.909	-1	-	1	%
			Gain=3.2	-1.5	-	1.5	%
			Gain=3.556	-1.5	-	1.5	%
			Gain=4.0	-1.5	-	1.5	%
			Gain=4.571	-2	-	2	%
			Gain=5.333	-2	-	2	%
			Gain=6.4	-3.0	-	3.0	%
			Gain=8	-3.0	-	3.0	%
			Gain=10.667	-4.0	-	4.0	%
			Gain=16	-4.0	-	4.0	%
			Gain=32 ⁽¹⁾	-7.0	-	7.0	%
		使用内部的模拟地AV _{SS} 作为PGA负相输入	Gain=2 ⁽¹⁾	-2	-	2	%
			Gain=2.133	-2	-	2	%
			Gain=2.286	-2	-	2	%
			Gain=2.667	-2	-	2	%
			Gain=2.909	-2	-	2	%
			Gain=3.2	-2.5	-	2.5	%
			Gain=3.556	-2.5	-	2.5	%
			Gain=4.0	-2.5	-	2.5	%
			Gain=4.571	-3.0	-	3.0	%
			Gain=5.333	-3.0	-	3.0	%
			Gain=6.4	-4.0	-	4.0	%
			Gain=8	-4.0	-	4.0	%
			Gain=10.667	-5.0	-	5.0	%
Gain=16	-5.0	-	5.0	%			
Gain=32 ⁽¹⁾	-8.0	-	8.0	%			

1. 量产测试保证。

3.3.31 VBAT 特性

表 3-71 备份电池域电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{BATLVD}	低电压监视电压	PWC_PWRC4.VBATREFSEL=0	1.70	1.80	1.90	V
		PWC_PWRC4.VBATREFSEL=1	2.00	2.10	2.20	V

3.3.32 EIRQ 滤波特性

表 3-72 EIRQ 滤波特性

符号	参数	条件	最小值	典型值	最大值	单位
W _F _EIRQ	EIRQ输入滤波宽度	INTC_NOCCR.NOCSEL = 00b	0.4	-	0.9	μs
		INTC_NOCCR.NOCSEL = 01b	0.8	-	1.6	μs
		INTC_NOCCR.NOCSEL = 10b	1.5	-	3.0	μs
		INTC_NOCCR.NOCSEL = 11b	3.1	-	5.9	μs

3.3.33 USART1 STOP 模式下 RX 滤波特性

表 3-73 USART1 STOP 模式下 RX 滤波特性

符号	参数	条件	最小值	典型值	最大值	单位
W _F _USART1	USART1输入滤波宽度	USART1_NFC.USART1_NFS = 00b	0.4	-	0.9	μs
		USART1_NFC.USART1_NFS = 01b	0.8	-	1.6	μs
		USART1_NFC.USART1_NFS = 10b	1.5	-	3.0	μs
		USART1_NFC.USART1_NFS = 11b	3.1	-	5.9	μs

3.3.34 USB 片上全速 PHY STOP 模式下滤波特性

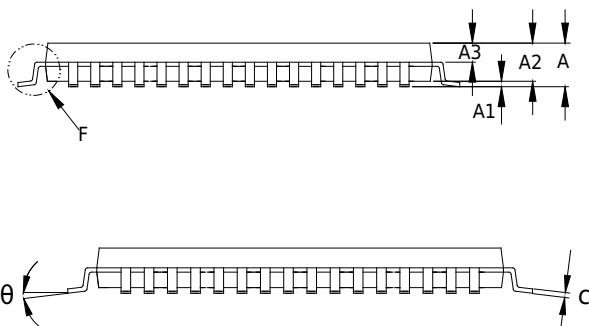
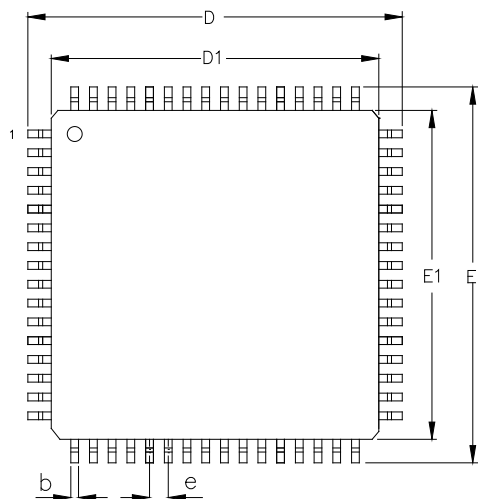
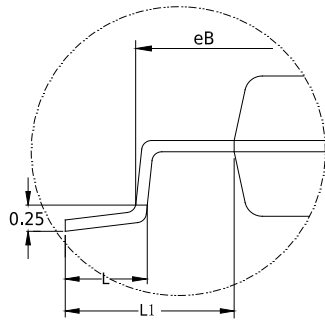
表 3-74 USB 片上全速 PHY STOP 模式下滤波特性

符号	参数	条件	最小值	典型值	最大值	单位
W _F _USB	USB输入滤波宽度	USB_SYCTLREG.USBFS_NFS = 00b USB_SYCTLREG.USBHS_NFS = 00b	0.4	-	0.9	μs
		USB_SYCTLREG.USBFS_NFS = 01b USB_SYCTLREG.USBHS_NFS = 01b	0.8	-	1.6	μs
		USB_SYCTLREG.USBFS_NFS = 10b USB_SYCTLREG.USBHS_NFS = 10b	1.5	-	3.0	μs
		USB_SYCTLREG.USBFS_NFS = 11b USB_SYCTLREG.USBHS_NFS = 11b	3.1	-	5.9	μs

4 封装信息

4.1 封装尺寸

LQFP64 封装

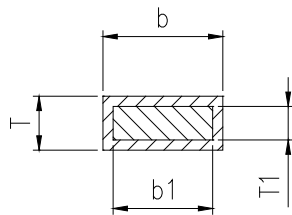
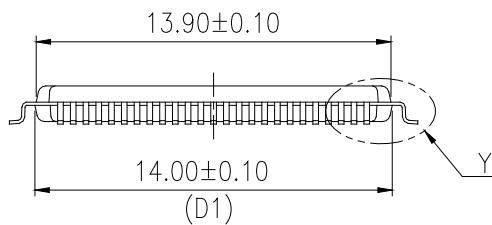
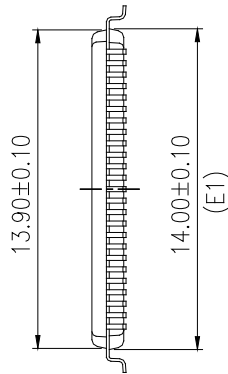
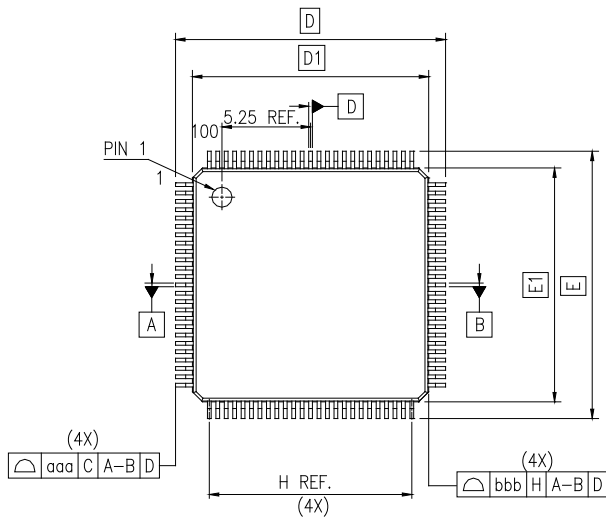


Symbol	10x10 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	0.22	0.27
c	0.09	--	0.20
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0°	--	7°

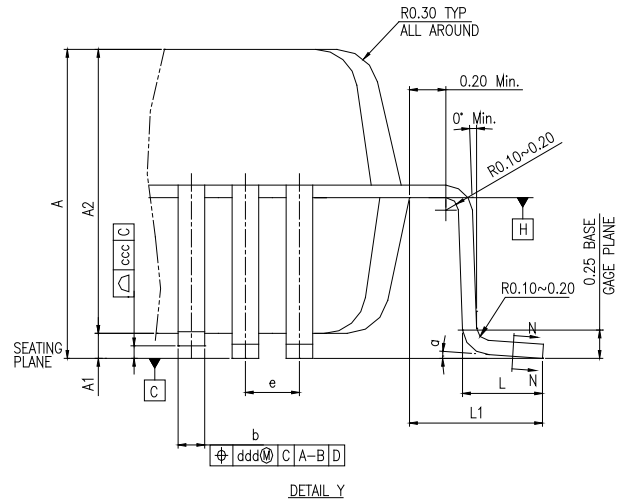
NOTE:

- Dimensions “D1” and “E1” do not include mold flash.

LQFP100 封装



SECTION N-N



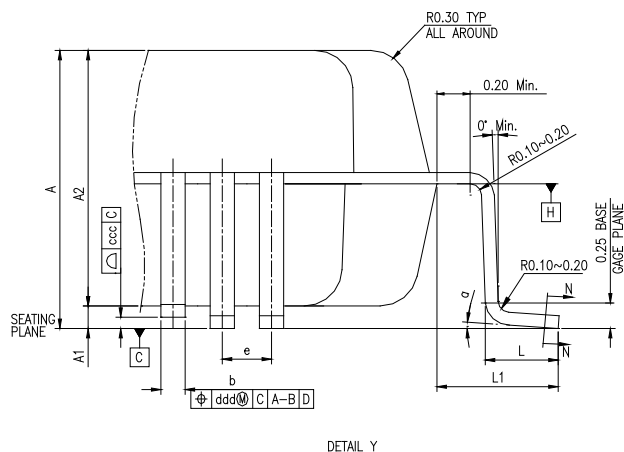
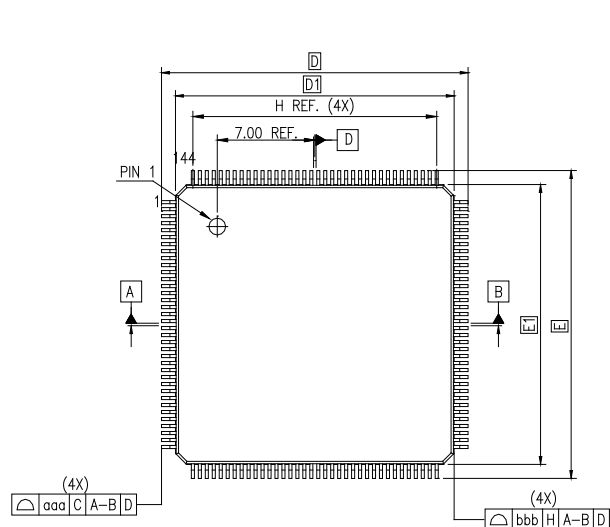
DIMENSION LIST (FOOTPRINT: 2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.10±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	16.00±0.20	LEAD TIP TO TIP
5	D1	14.00±0.10	PKG LENGTH
6	E	16.00±0.20	LEAD TIP TO TIP
7	E1	14.00±0.10	PKG WIDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF.	LEAD LENGTH
10	T	0.15 ^{+0.05} _{-0.06}	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.05	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(12.00)	CUM. LEAD PITCH
17	aaa	0.20	PROFILE OF LEAD TIPS
18	bbb	0.20	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

NOTE:

- Dimensions "D1" and "E1" do not include mold flash.

LQFP144 封装

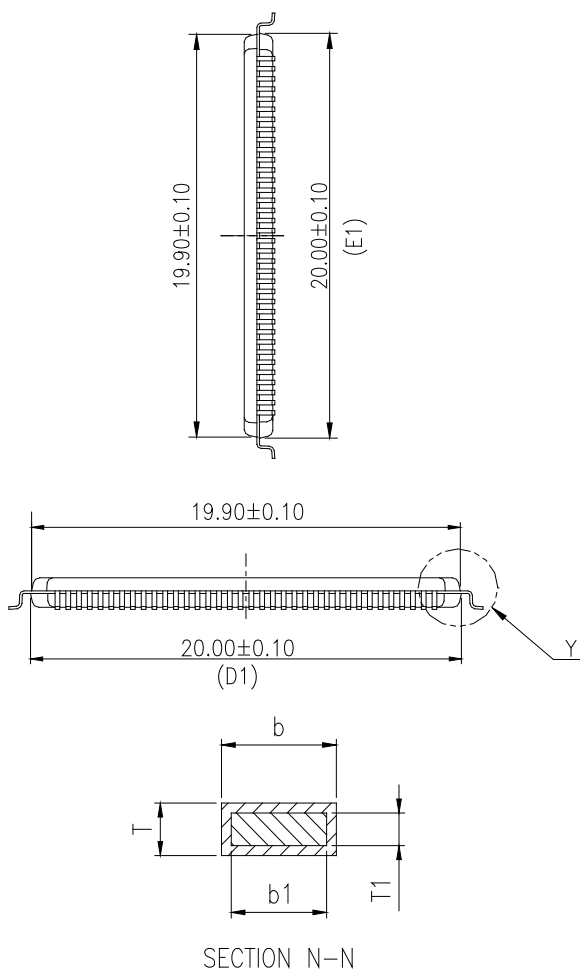


DIMENSION LIST (FOOTPRINT: 2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.10±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	22.00±0.20	LEAD TIP TO TIP
5	D1	20.00±0.10	PKG LENGTH
6	E	22.00±0.20	LEAD TIP TO TIP
7	E1	20.00±0.10	PKG WIDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF.	LEAD LENGTH
10	T	0.15 ^{+0.05} _{-0.06}	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.05	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H (REF.)	(17.50)	CUM. LEAD PITCH
17	aaa	0.20	PROFILE OF LEAD TIPS
18	bbb	0.20	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

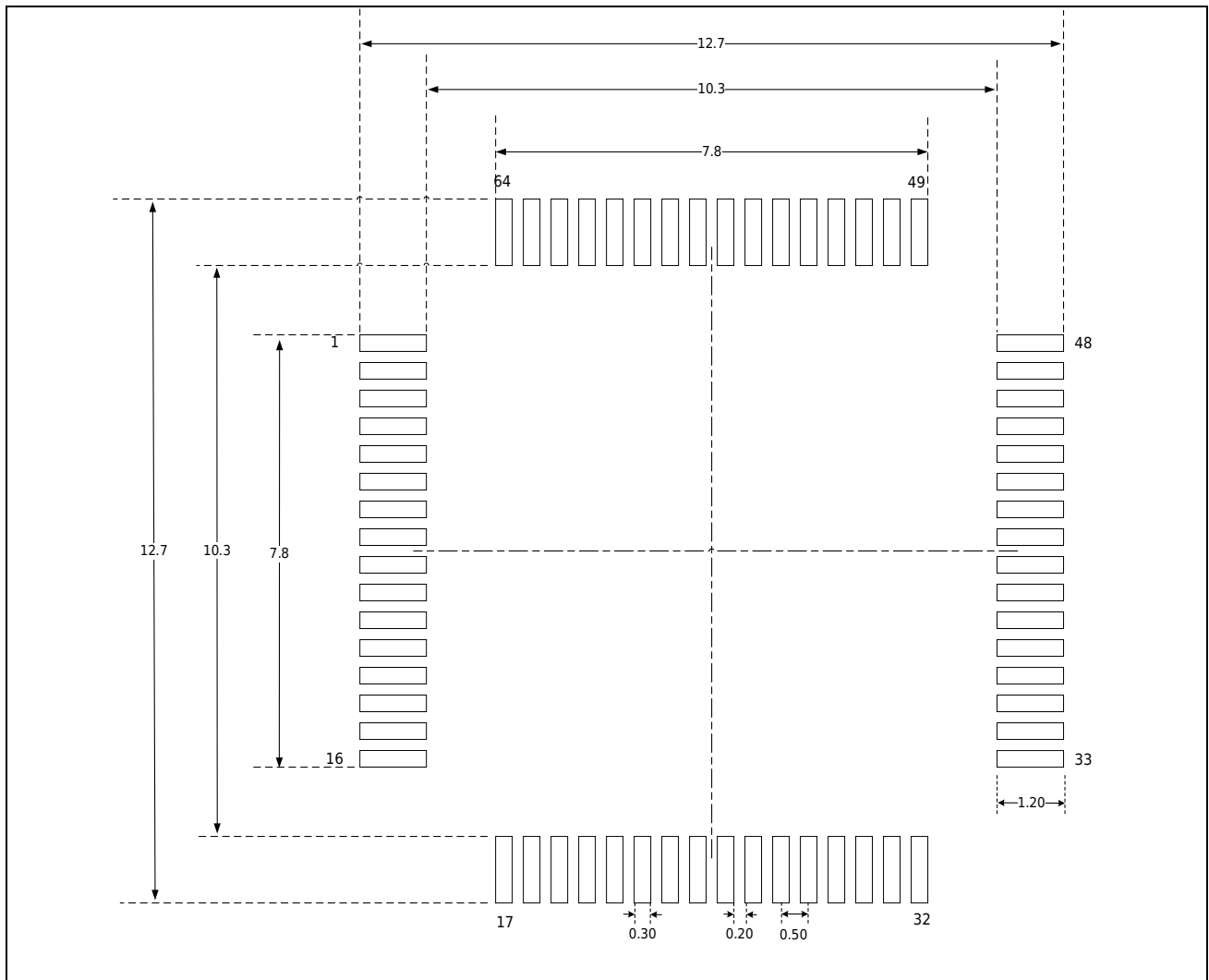
NOTE:

- Dimensions "D1" and "E1" do not include mold flash.



4.2 焊盘示意图

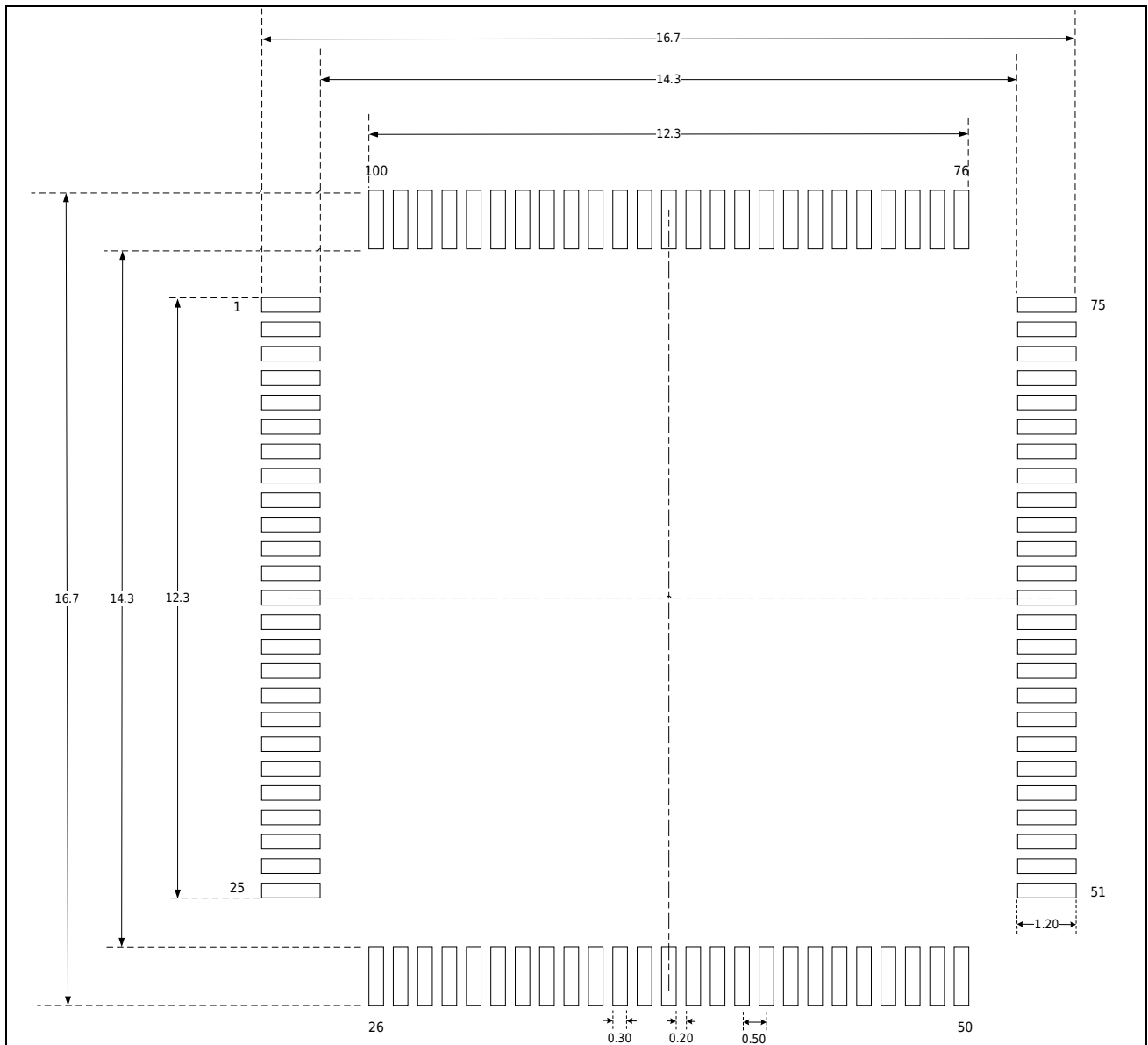
LQFP64 封装 (10mm x 10mm)



NOTE:

- Dimensions are expressed in millimeters.
- 尺寸仅做参考。

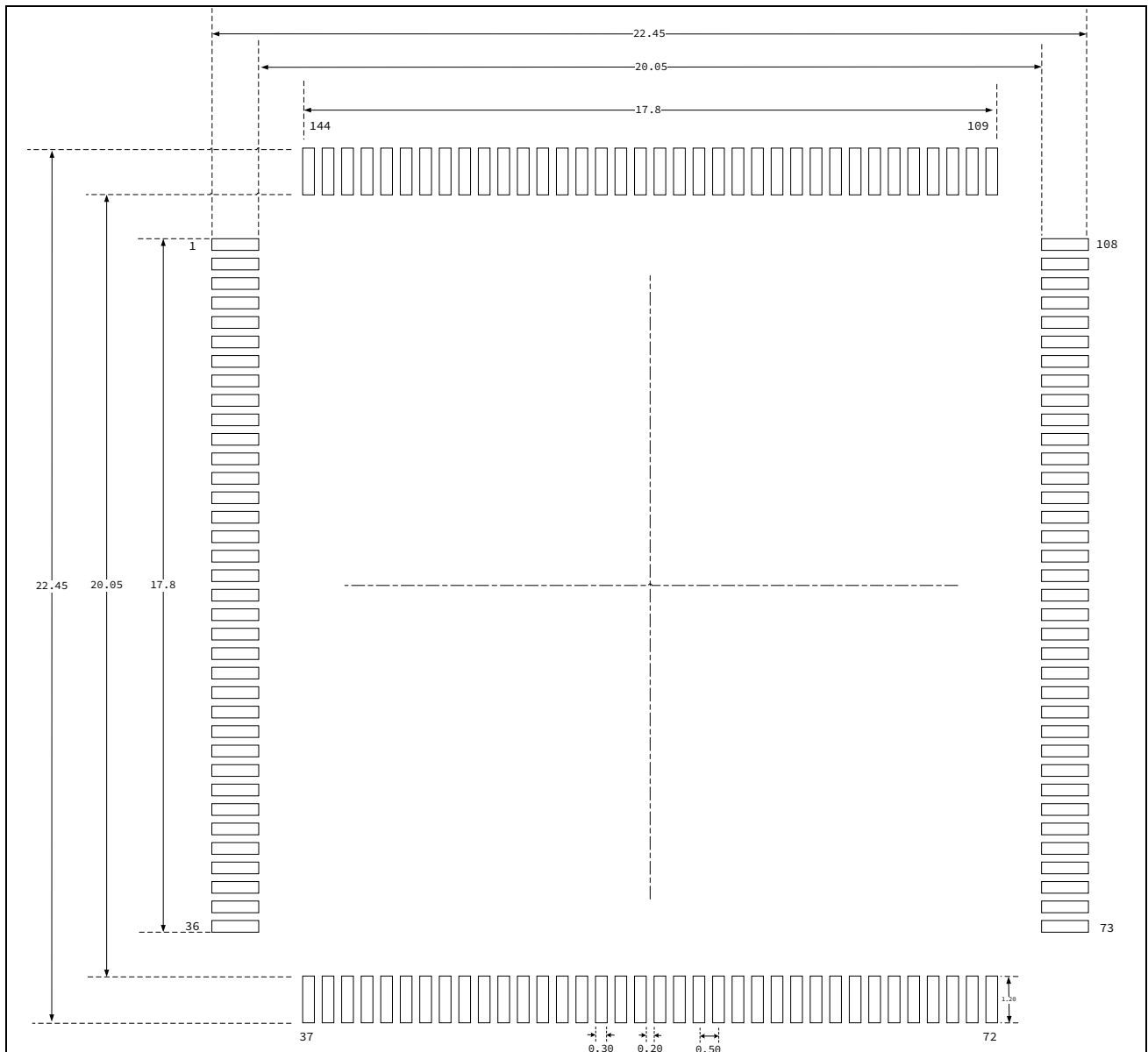
LQFP100 封装 (14mm x 14mm)



NOTE:

- Dimensions are expressed in millimeters.
- 尺寸仅做参考。

LQFP144 封装 (20mm x 20mm)



NOTE:

- Dimensions are expressed in millimeters.
- 尺寸仅做参考。

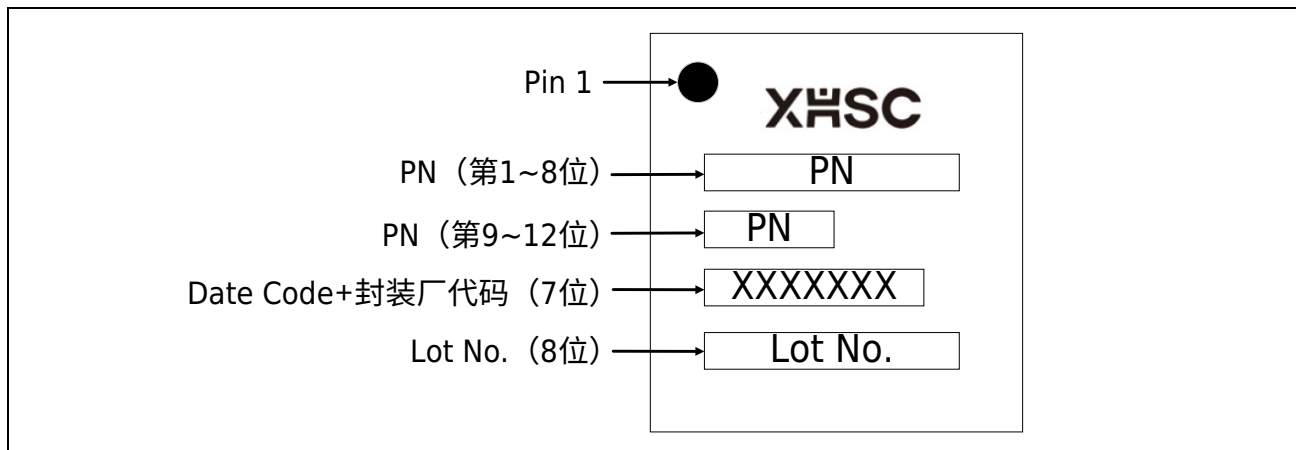
4.3 丝印说明

以下给出各封装正面丝印的 Pin 1 位置和信息说明。

LQFP64 封装 (10mm x 10mm)

LQFP100 封装 (14mm x 14mm)

LQFP144 封装 (20mm x 20mm)



注意：

- 上图空白框表示与生产相关的可选标记，本节不作说明。

4.4 封装热阻系数

封装芯片在指定工作环境温度下工作时，芯片表面的结温 T_j (°C) 可以按照下面的公式计算：

$$T_j = T_A + (P_D \times \theta_{JA})$$

- T_A 是指封装芯片工作时的环境温度，单位是°C；
- θ_{JA} 是指封装对工作环境的热阻系数，单位是°C/W；
- P_D 等于芯片的内部功耗 (P_{INT}) 和芯片工作时 I/O 引脚产生的功耗 ($P_{I/O}$) 之和，单位是 W。
 $P_{INT} = I_{CC} \times V_{CC}$
 $P_{I/O} = \sum(V_{OL} \times I_{OL}) + \sum((V_{CC} - V_{OH}) \times I_{OH})$

芯片在指定工作环境温度下工作时芯片表面的结温 T_j ，不可以超出芯片可容许的最大结温度 T_{j0} 。

表 4-1 各封装热阻系数表

Package Type and Size	Thermal Resistance Junction-ambient Value (θ_{JA})	Unit
LQFP64 10mm x 10mm / 0.5mm pitch	65 +/- 10%	°C/W
LQFP100 14mm x 14mm / 0.5mm pitch	50 +/- 10%	°C/W
LQFP144 20mm x 20mm / 0.5mm pitch	45 +/- 10%	°C/W

5 订购信息

产品型号		HC32F467RGTI- LQFP144	HC32F467PGTI- LQFP100	HC32F467KGTI- LQFP64
主频 (MHz)		240	240	240
内核		M4	M4	M4
Flash(KB)		1024	1024	1024
OTP(KB)		134	134	134
RAM(KB)		512+4	512+4	512+4
GPIO		116	83	53
电压 (V)		1.8 - 3.6	1.8 - 3.6	1.8 - 3.6
DMA		2*8ch	2*8ch	2*8ch
定时及计数	Timer	19	19	19
	RTC	✓	✓	✓
通信接口	UART	8	8	8
	I ² C	3	3	3
	SPI	6	6	6
	QSPI	1	1	1
	USB	USB 2.0 OTG FS + USB 2.0 OTG HS		
	CAN	2*CAN 2.0		
	EXMC	1	1	0
	ETHMAC	1	1	1
	I ² S	4	4	4
	SDIO	2	2	2
模拟	ADC 12bit+	3*24ch	3*16ch	3*16ch
	SH	3ch	3ch	3ch
	DAC 12bit+	2ch	2ch	2ch
	PGA	2	2	2
	Vcomp	3	3	3
	DVP	1	1	0
	LVD	✓	✓	✓
	LVR	✓	✓	✓
安全	AES	AES256	AES256	AES256
	TRNG	1	1	1
	Hash	SHA256	SHA256	SHA256
协处理	FMAC	1	1	1
	MAU	1	1	1
	DCU	8ch	8ch	8ch
工作温度 (°C)		-40~105	-40~105	-40~105
脚间距		0.5mm	0.5mm	0.5mm
封装包装	封装形式	LQFP144 (20*20)	LQFP100 (14*14)	LQFP64 (10*10)
	包装形式	TRAY	TRAY	TRAY

订购前，请联系销售窗口咨询最新量产信息。

版本修订记录

版本号	修订日期	修订内容
Rev1.00	2024/08/12	初版发布。
Rev1.01	2024/10/09	增加 LQFP64 封装信息。