

数据手册

Datasheet

APM32FEPSxB

基于 Arm® Cortex®-M3 内核的 32 位微控制器

版本: V1.1

1 产品特性

■ 系统与架构

- 32 位 Arm® Cortex®-M3 内核
- 最高工作频率为 96MHz

■ 时钟与存储器

- HSECLK: 支持 4MHz~16 MHz 外部晶体振荡器
- LSECLK: 支持 32.768KHz 晶体/陶瓷振荡器
- HSICLK: 出厂校准的 8MHz RC 振荡器
- LSICLK: 40KHz RC 振荡器
- Flash 容量最高 128KB
- SRAM 容量最高 20KB

■ 电源与低功耗模式

- 复位供电电压 2.0V~3.6V
- 支持可编程电压监测器(PVD)
- 支持睡眠, 停机和待机三种低功耗模式
- V_{BAT} 供电可支持 RTC 及备用寄存器工作

■ FPU

- 独立 FPU 模块, 支持浮点运算

■ ADC 及温度传感器

- 2 个 12bit 精度的 ADC, 最多支持 16 个输入通道
- ADC 电压转换范围: 0~ V_{DDA}
- 支持双采样和保持功能
- 1 个内部温度传感器

■ I/O

- 产品最多有 51 个 I/O, 可选择 51/37 个 I/O
- 所有 I/O 均可以映射到 16 个外部中断

■ DMA

- 1 个 DMA, 支持 7 个独立的可配置通道

■ 定时器

- 1 个 16 位高级定时器 TMR1, 支持死区控制和紧急刹车功能
- 3 个 16 位通用定时器 TMR2/3/4, 每个定时器拥有 4 个独立通道支持输入捕获、输出比较、PWM 与脉冲计数等功能
- 2 个看门狗定时器, 分别为独立型 IWDT 和窗口型 WWDT
- 1 个 24 位自减型系统定时器 Sys Tick Timer

■ 通信接口

- 3 个 USART, 支持 ISO7816、LIN 和 IrDA 等功能
- 2 个 I2C, 支持 SMBus/PMBus
- 2 个 SPI, 最大传输速率 18Mbps
- 1 个 USB 2.0 FS Device
- 1 个 CAN 2.0B, 可支持 USBD 和 CAN 可同时独立工作

■ 1 个 CRC 单元

- 支持 96 位不可改写的唯一 ID

■ 串行调试接口 SWD 和 JTAG

■ 芯片封装

- LQFP48
- LQFP64

■ 应用领域

- 医疗设备、PC 外设、工业控制、智能仪表、家用电器

目录

| | | |
|----------|-------------------|-----------|
| 1 | 产品特性 | 1 |
| 2 | 产品信息 | 5 |
| 3 | 引脚信息 | 6 |
| 3.1 | 引脚分布 | 6 |
| 3.2 | 引脚功能描述 | 7 |
| 4 | 功能描述 | 11 |
| 4.1 | 系统架构 | 12 |
| 4.1.1 | 系统框图 | 12 |
| 4.1.2 | 地址映射 | 13 |
| 4.1.3 | 启动配置 | 13 |
| 4.2 | 内核 | 14 |
| 4.3 | 中断控制器 | 14 |
| 4.3.1 | 嵌套的向量式中断控制器(NVIC) | 14 |
| 4.3.2 | 外部中断/事件控制器(EINT) | 14 |
| 4.4 | 存储器 | 14 |
| 4.5 | 时钟 | 14 |
| 4.5.1 | 时钟树 | 14 |
| 4.5.2 | 时钟源 | 15 |
| 4.5.3 | 系统时钟 | 15 |
| 4.5.4 | 总线时钟 | 16 |
| 4.6 | 电源与电源管理 | 16 |
| 4.6.1 | 电源方案 | 16 |
| 4.6.2 | 调压器 | 16 |
| 4.6.3 | 电源电压监控器 | 16 |
| 4.7 | 低功耗模式 | 16 |
| 4.8 | DMA | 17 |
| 4.9 | GPIO | 17 |
| 4.10 | 通信外设 | 17 |
| 4.10.1 | USART | 17 |
| 4.10.2 | I2C | 17 |

| | |
|-----------------------------------|-----------|
| 4.10.3 SPI | 17 |
| 4.10.4 CAN | 18 |
| 4.10.5 USBD | 18 |
| 4.10.6 USBD 接口与 CAN 接口的同时使用 | 18 |
| 4.11 模拟外设 | 18 |
| 4.11.1 ADC | 18 |
| 4.12 定时器 | 18 |
| 4.13 RTC | 19 |
| 4.13.1 备份寄存器 | 19 |
| 4.14 CRC 检验计算单元 | 20 |
| 4.15 浮点运算单元 (FPU) | 20 |
| 4.16 调试接口(SWJ-DP) | 20 |
| 5 电气特性 | 21 |
| 5.1 电气特性测试条件 | 21 |
| 5.1.1 最大值和最小值 | 21 |
| 5.1.2 典型值 | 21 |
| 5.1.3 典型曲线 | 21 |
| 5.1.4 电源方案 | 22 |
| 5.1.5 负载电容 | 23 |
| 5.2 通用工作条件下的测试 | 24 |
| 5.3 绝对最大额定值 | 24 |
| 5.3.1 最大温度特性 | 25 |
| 5.3.2 最大额定电压特性 | 25 |
| 5.3.3 最大额定电流特性 | 25 |
| 5.3.4 静电放电 (ESD) | 25 |
| 5.3.5 静态栓锁 (LU) | 26 |
| 5.4 存储器 | 26 |
| 5.4.1 Flash 特性 | 26 |
| 5.5 时钟 | 27 |
| 5.5.1 外部时钟源特性 | 27 |
| 5.5.2 内部时钟源特性 | 28 |

| | |
|-----------------------------|-----------|
| 5.5.3 PLL 特性 | 29 |
| 5.6 电源与电源管理 | 29 |
| 5.6.1 内嵌复位和电源控制模块特性测试 | 29 |
| 5.7 功耗 | 30 |
| 5.7.1 功耗测试环境 | 30 |
| 5.7.2 运行模式功耗 | 31 |
| 5.7.3 睡眠模式功耗 | 32 |
| 5.7.4 停机、待机模式功耗 | 33 |
| 5.7.5 备份域功耗 | 33 |
| 5.8 低功耗模式唤醒时间 | 33 |
| 5.9 引脚特性 | 34 |
| 5.9.1 I/O 引脚特性 | 34 |
| 5.9.2 NRST 引脚特性 | 36 |
| 5.10 通信外设 | 36 |
| 5.10.1 I2C 外设特性 | 36 |
| 5.10.2 SPI 外设特性 | 37 |
| 5.10.3 USBD 外设特性 | 39 |
| 5.11 模拟外设 | 40 |
| 5.11.1 ADC | 40 |
| 6 封装信息 | 45 |
| 6.1 LQFP48 封装图 | 45 |
| 6.2 LQFP64 封装信息 | 48 |
| 7 包装信息 | 51 |
| 8 订货信息 | 54 |
| 9 常用功能模块命名 | 56 |
| 10 版本历史 | 57 |

2 产品信息

APM32FEPSxBT6 产品功能和外设配置请参阅下表。

表 1 APM32FEPSxBT6 系列芯片功能和外设

| 产品 | | APM32FEPSxBT6 | |
|-------------|-----------------------|--|--------|
| 型号 | | CBT6 | RBT6 |
| 封装 | | LQFP48 | LQFP64 |
| 内核及最大工作频率 | Arm® Cortex®-M3@96MHz | | |
| 工作电压 | 2.0~3.6V | | |
| Flash(KB) | 128 | | |
| SRAM(KB) | 20 | | |
| GPIOs | 37 | 51 | |
| FPU | 1 | | |
| 通信接口 | USART | 3 | |
| | SPI | 2 | |
| | I2C | 2 | |
| | USB2.0FS | 1 | |
| | CAN2.0B | 1 | |
| 定时器 | 16 位高级 | 1 | |
| | 16 位通用 | 3 | |
| | 系统滴答定时器 | 1 | |
| | 看门狗 | 2 | |
| 实时时钟 | | 1 | |
| 12 位 ADC | 单元 | 2 | |
| | 通道 | 10 | 16 |
| 工作温度 | | 环境温度: -40°C 至 85°C 结温度: -40°C 至 105°C | |

3 引脚信息

3.1 引脚分布

图 1 APM32FEPSxBT6 的 LQFP48 引脚分布图

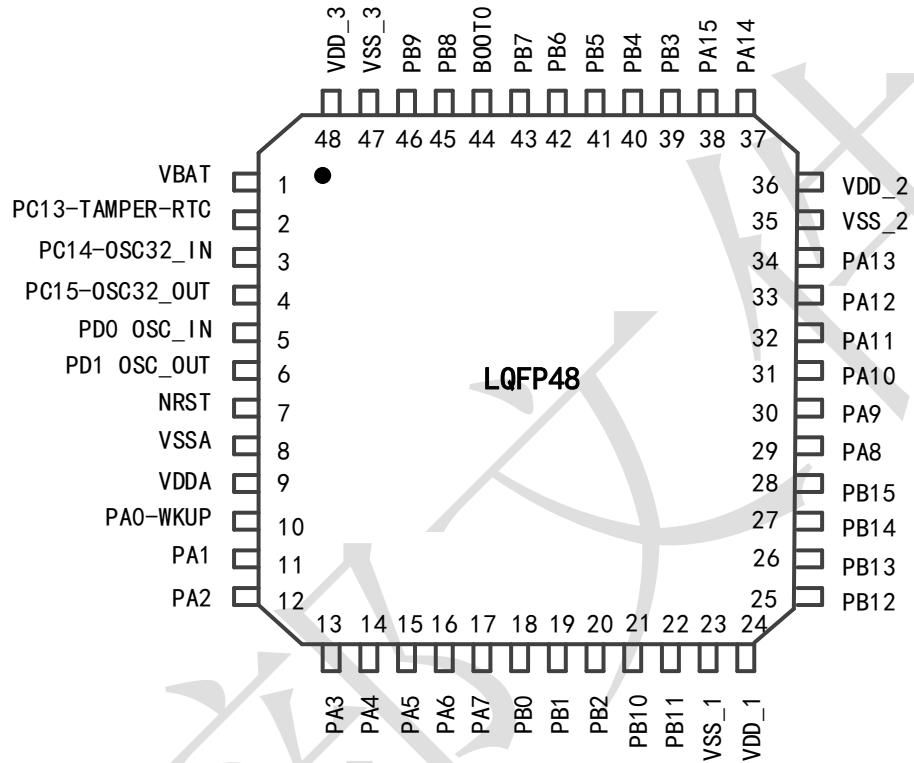
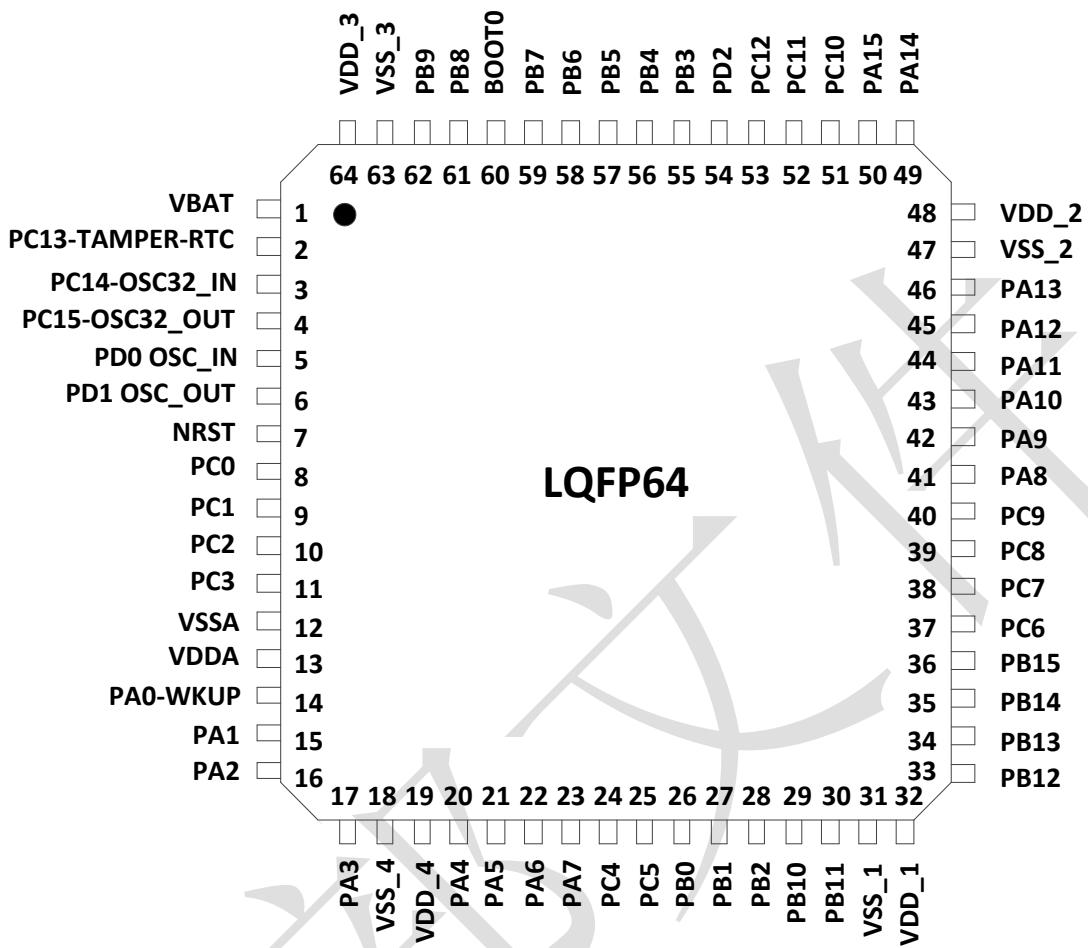


图 2 APM32FEPSxBT6 的 LQFP64 引脚分布图



3.2 引脚功能描述

表 2 输出引脚表中使用的图例/缩写

| 名称 | 缩写 | 定义 |
|--------|---|----------------------|
| 引脚名称 | 除非引脚名称下方的括号中另有规定，否则复位期间和复位后的引脚功能与实际引脚名称相同 | |
| 引脚类型 | S | 电源引脚 |
| | I | 输入引脚 |
| | O | 输出引脚 |
| | I/O | I/O 引脚 |
| I/O 结构 | FT | 5V 容忍 I/O |
| 注意 | 除非注释另有规定，否则复位期间和复位后，所有 I/O 都设置为浮空输入 | |
| 引脚功能 | 默认复用功能 | 通过外设寄存器直接选择/启用此功能 |
| | 重定义功能 | 通过 AFIO 的重映射寄存器选择此功能 |

表 3 APM32FEPSxBT6 按引脚名称排序描述

| 名称 | 类型 | 结构 | 主功能 (复位后) | 默认复用功能 | 重定义功能 | LQFP48 | LQFP64 |
|--------------------------------|-----|----|---------------------|---|--------------------|--------|--------|
| V _{BAT} | S | - | V _{BAT} | - | - | 1 | 1 |
| PC13-TAMPER-RTC ⁽²⁾ | I/O | - | PC13 ⁽¹⁾ | TAMPER-RTC | - | 2 | 2 |
| PC14-OSC32_IN ⁽²⁾ | I/O | - | PC14 ⁽¹⁾ | OSC32_IN | - | 3 | 3 |
| PC15-OSC32_OUT ⁽²⁾ | I/O | - | PC15 ⁽¹⁾ | OSC32_OUT | - | 4 | 4 |
| OSC_IN | I | - | OSC_IN | - | PD0 ⁽³⁾ | 5 | 5 |
| OSC_OUT | O | - | OSC_OUT | - | PD1 ⁽³⁾ | 6 | 6 |
| NRST | I/O | - | NRST | - | - | 7 | 7 |
| PC0 | I/O | - | PC0 | ADC12_IN10 | - | - | 8 |
| PC1 | I/O | - | PC1 | ADC12_IN11 | - | - | 9 |
| PC2 | I/O | - | PC2 | ADC12_IN12 | - | - | 10 |
| PC3 | I/O | - | PC3 | ADC12_IN13 | - | - | 11 |
| V _{SSA} | S | - | V _{SSA} | - | - | 8 | 12 |
| V _{DDA} | S | - | V _{DDA} | - | - | 9 | 13 |
| PA0-WKUP | I/O | - | PA0 | WKUP, USART2_CTS ⁽⁴⁾ , ADC12_IN0, TMR2_CH1_ETR ⁽⁴⁾ | - | 10 | 14 |
| PA1 | I/O | - | PA1 | USART2_RTS ⁽⁴⁾ , ADC12_IN1, TMR2_CH2 ⁽⁴⁾ | - | 11 | 15 |
| PA2 | I/O | - | PA2 | USART2_TX ⁽⁴⁾ , ADC12_IN2, TMR2_CH3 ⁽⁴⁾ | - | 12 | 16 |
| PA3 | I/O | - | PA3 | USART2_RX ⁽⁴⁾ , ADC12_IN3, TMR2_CH4 ⁽⁴⁾ | - | 13 | 17 |
| V _{SS_4} | S | - | V _{SS_4} | - | - | - | 18 |
| V _{DD_4} | S | - | V _{DD_4} | - | - | - | 19 |
| PA4 | I/O | - | PA4 | SPI1_NSS ⁽⁴⁾ , USART2_CK ⁽⁴⁾ , ADC12_IN4 | - | 14 | 20 |
| PA5 | I/O | - | PA5 | SPI1_SCK ⁽⁴⁾ , ADC12_IN5 | - | 15 | 21 |

| 名称 | 类型 | 结构 | 主功能 (复位后) | 默认复用功能 | 重定义功能 | LQFP48 | LQFP64 |
|-------------------|-----|----|-------------------|--|-----------|--------|--------|
| PA6 | I/O | - | PA6 | SPI1_MISO ⁽⁴⁾ , ADC12_IN6, TMR3_CH1 ⁽⁴⁾ | TMR1_BKIN | 16 | 22 |
| PA7 | I/O | - | PA7 | SPI1_MOSI ⁽⁴⁾ , ADC12_IN7, TMR3_CH2 ⁽⁴⁾ | TMR1_CH1N | 17 | 23 |
| PC4 | I/O | - | PC4 | ADC12_IN14 | - | - | 24 |
| PC5 | I/O | - | PC5 | ADC12_IN15 | - | - | 25 |
| PB0 | I/O | - | PB0 | ADC12_IN8, TMR3_CH3 ⁽⁴⁾ , | TMR1_CH2N | 18 | 26 |
| PB1 | I/O | - | PB1 | ADC12_IN9, TMR3_CH4 ⁽⁴⁾ , | TMR1_CH3N | 19 | 27 |
| PB2 | I/O | FT | PB2/BOOT1 | - | - | 20 | 28 |
| PB10 | I/O | FT | PB10 | I2C2_SCL, I2C4_SCL, USART3_TX ⁽⁴⁾ | TMR2_CH3 | 21 | 29 |
| PB11 | I/O | FT | PB11 | I2C2_SDA/ I2C4_SDA/ USART3_RX ⁽⁴⁾ | TMR2_CH4 | 22 | 30 |
| V _{SS_1} | S | - | V _{SS_1} | - | - | 23 | 31 |
| V _{DD_1} | S | - | V _{DD_1} | - | - | 24 | 32 |
| PB12 | I/O | FT | PB12 | SPI2_NSS, I2C2_SMBAI, USART3_CK ⁽⁴⁾ , TMR1_BKIN ⁽⁴⁾ | - | 25 | 33 |
| PB13 | I/O | FT | PB13 | SPI2_SCK, USART3_CTS ⁽⁴⁾ , TMR1_CH1N ⁽⁴⁾ , | - | 26 | 34 |
| PB14 | I/O | FT | PB14 | SPI2_MISO, USART3_RTS ⁽⁴⁾ , TMR1_CH2N ⁽⁴⁾ , | - | 27 | 35 |
| PB15 | I/O | FT | PB15 | SPI2_MOSI, TMR1_CH3N ⁽⁴⁾ , | - | 28 | 36 |
| PC6 | I/O | FT | PC6 | - | TMR3_CH1 | - | 37 |
| PC7 | I/O | FT | PC7 | - | TMR3_CH2 | - | 38 |
| PC8 | I/O | FT | PC8 | - | TMR3_CH3 | - | 39 |
| PC9 | I/O | FT | PC9 | - | TMR3_CH4 | - | 40 |
| PA8 | I/O | FT | PA8 | USART1_CK, TMR1_CH1 ⁽⁴⁾ , | - | 29 | 41 |

| 名称 | 类型 | 结构 | 主功能 (复位后) | 默认复用功能 | 重定义功能 | LQFP48 | LQFP64 |
|-------------------|-----|----|-------------------|---|--|--------|--------|
| | | | | MCO | | | |
| PA9 | I/O | FT | PA9 | USART1_TX ⁽⁴⁾ , TMR1_CH2 ⁽⁴⁾ | - | 30 | 42 |
| PA10 | I/O | FT | PA10 | USART1_RX ⁽⁴⁾ , TMR1_CH3 ⁽⁴⁾ | - | 31 | 43 |
| PA11 | I/O | FT | PA11 | USART1_CTS, USBD1DM, USBD2DM, CAN_RX ⁽⁴⁾ , TMR1_CH4 ⁽⁴⁾ | - | 32 | 44 |
| PA12 | I/O | FT | PA12 | USART1_RTS, USBD1DP USBD2DP, CAN_TX ⁽⁴⁾ , TMR1_ETR ⁽⁴⁾ | - | 33 | 45 |
| PA13 | I/O | FT | JTMS, SWDIO | - | PA13 | 34 | 46 |
| V _{SS_2} | S | - | V _{SS_2} | - | - | 35 | 47 |
| V _{DD_2} | S | - | V _{DD_2} | - | - | 36 | 48 |
| PA14 | I/O | FT | JTCK, SWCLK | - | PA14 | 37 | 49 |
| PA15 | I/O | FT | JTDI | - | TMR2_CH1_ETR, PA15, SPI1 NSS | 38 | 50 |
| PC10 | I/O | FT | PC10 | - | USART3_TX | - | 51 |
| PC11 | I/O | FT | PC11 | - | USART3_RX | - | 52 |
| PC12 | I/O | FT | PC12 | - | USART3_CK | - | 53 |
| PD2 | I/O | FT | PD2 | TMR3_ETR | - | - | 54 |
| PB3 | I/O | FT | JTDO | - | PB3, TRACESWO, TMR2_CH2, SPI1_SCK | 39 | 55 |
| PB4 | I/O | FT | NJTRST | - | PB4, TMR3_CH1, SPI1_MISO | 40 | 56 |
| PB5 | I/O | - | PB5 | I2C1_SMBAI, | TMR3_CH2, SPI1_MOSI, | 41 | 57 |
| PB6 | I/O | FT | PB6 | I2C1_SCL ⁽⁴⁾ , I2C3_SCL, TMR4_CH1 ⁽⁴⁾ | USART1_TX, | 42 | 58 |

| 名称 | 类型 | 结构 | 主功能 (复位后) | 默认复用功能 | 重定义功能 | LQFP48 | LQFP64 |
|-------------------|-----|----|-------------------|---|-------------------------------------|--------|--------|
| PB7 | I/O | FT | PB7 | I2C1_SDA ⁽⁴⁾ , I2C3_SDA, TMR4_CH2 ⁽⁴⁾ , | USART1_RX | 43 | 59 |
| BOOT0 | I | - | BOOT0 | - | - | 44 | 60 |
| PB8 | I/O | FT | PB8 | TMR4_CH3 ⁽⁴⁾ | I2C1_SCL, (I2C3_SCL) , CAN_RX | 45 | 61 |
| PB9 | I/O | FT | PB9 | TMR4_CH4 ⁽⁴⁾ | I2C1_SDA, (I2C3_SDA) , CAN_TX | 46 | 62 |
| V _{SS_3} | S | - | V _{SS_3} | - | - | 47 | 63 |
| V _{DD_3} | S | - | V _{DD_3} | - | - | 48 | 64 |

注意：

1. PC13, PC14 和 PC15 引脚供电能力弱。因此对这三个引脚有以下限制：在同一时间只有一个引脚能作为输出，且只能工作在 2MHz 模式下，最大驱动负载为 30pF，不能作为电流源(如驱动 LED)
2. 这些引脚的状态由备份区域寄存器控制 (这些寄存器不会被主复位系统所复位)。
3. LQFP48 和 LQFP64 封装的引脚 5 和引脚 6，在芯片复位后默认配置为 OSC_IN 和 OSC_OUT 功能脚，可以软件设置这两个引脚为 PDO 和 PD1 功能。
4. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚)，详细信息请参考参考手册的复用功能 I/O 章节和调试设置章节。

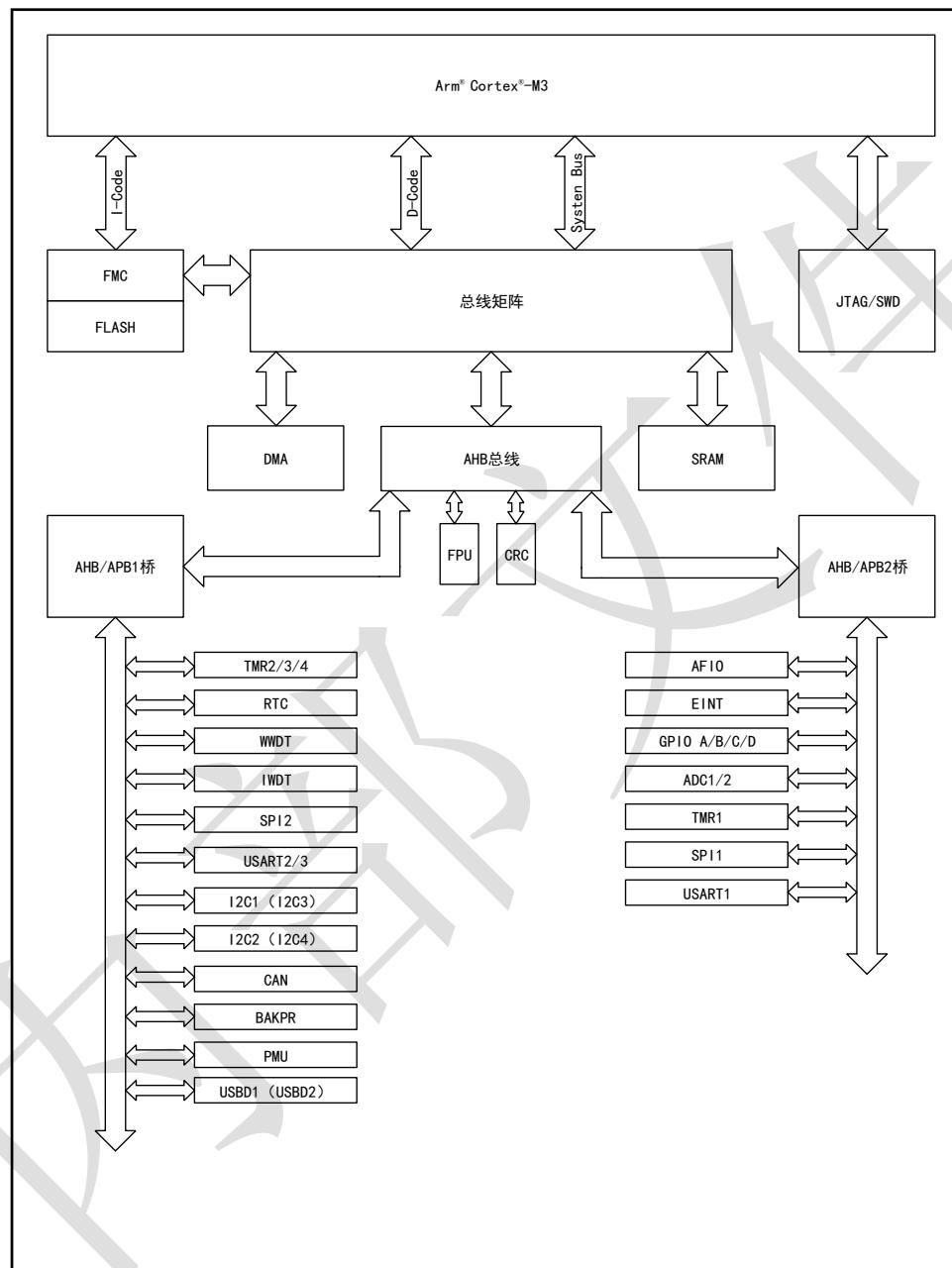
4 功能描述

本章主要介绍 APM32FEPSxBT6 型号产品系统架构、中断、片上存储器、时钟、电源、外设特点，有关 Arm® Cortex®-M3 内核的相关信息，请参考 Arm® Cortex®-M3 技术参考手册，该手册可以在 Arm 公司的网站下载。

4.1 系统架构

4.1.1 系统框图

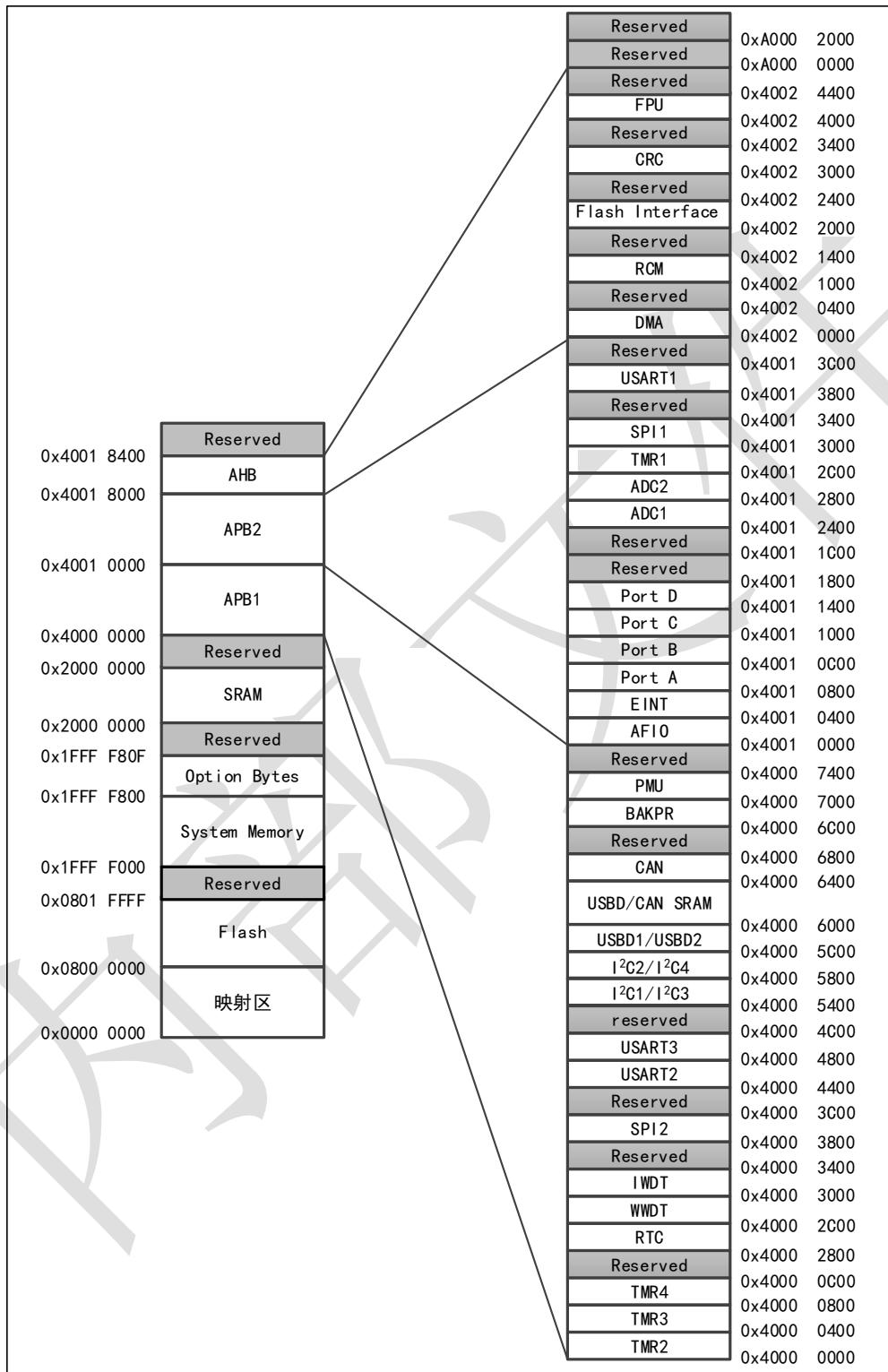
图 3 APM32FEPSxBT6 系列系统框图



1. APM32FEPSxBT6 系列的 AHB 和高速 APB 的最高频率为 96MHz;
2. APM32FEPSxBT6 系列的低速 APB 时钟的最高频率为 48MHz;
3. “/” 表示外设不共用资源; “()” 表示外设共用资源。

4.1.2 地址映射

图 4 APM32FEPSxBT6 地址映射图



4.1.3 启动配置

在启动时，通过 BOOT 引脚可以选择启动模式：

- 从用户闪存存储器启动
- 从系统存储器启动

- 从内部 SRAM 启动

启动加载程序(Boot loader)存放于系统存储器中，借助它，用户可以通过 USART1 对闪存重新进行编程。

4.2 内核

产品内置 Arm® Cortex®-M3 内核，工作频率为 96MHz，兼容主流 Arm 工具和软件。

4.3 中断控制器

4.3.1 嵌套的向量式中断控制器(NVIC)

内置 1 个嵌套向量中断控制器 (NVIC)，NVIC 能够处理多达 48 个可屏蔽中断通道 (不包括 16 个 Cortex®-M3 的中断线) 和 16 个优先级；可直接向内核传递中断向量入口地址，从而达到低延迟的中断响应处理能优先处理晚到的较高优先级中断。

4.3.2 外部中断/事件控制器(EINT)

外部中断/事件控制器由 19 个产生事件/中断请求的边沿检测器组成。其触发事件(上升沿、或下降沿、或双边沿)可以独立地配置或屏蔽；一个挂起寄存器维持着所有中断请求的状态。多达 51 个通用 I/O 口连接到 16 个外部中断线。EINT 可以检测到脉冲宽度小于内部 APB2 的时钟周期。

4.4 存储器

表 4 存储器

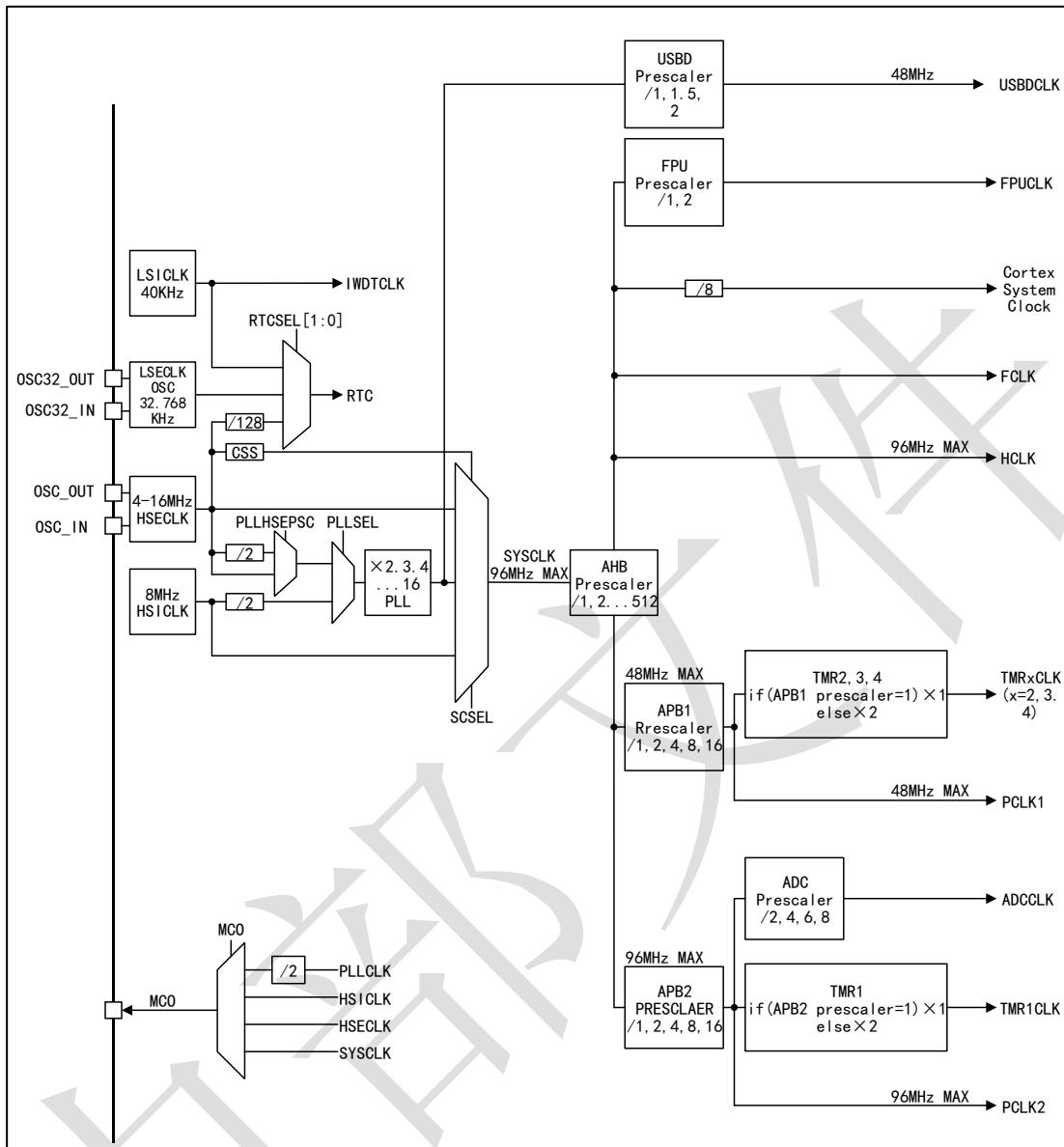
| 存储器 | 最大容量 | 功能 |
|-----------|--------|----------------------------|
| 内置高速闪存存储器 | 128 KB | 用于存放程序和数据。 |
| 内置静态存储器 | 20 KB | 可以以字节，半字(16 位)或全字(32 位)访问。 |

4.5 时钟

4.5.1 时钟树

APM32FEPSxBT6 的时钟树见下图：

图 5 APM32FEPSxBT6 系列时钟树



1. APM32FEPSxBT6 系列的 AHB 和高速 APB 的最高频率为 96MHz;
2. APM32FEPSxBT6 系列的低速 APB 时钟的最高频率为 48MHz。

4.5.2 时钟源

时钟源按速度分为高速时钟、低速时钟，高速时钟有、HSICLK、HSECLK，低速时钟分有 LSECLK、LSICLK；按片内/外分为内部时钟、外部时钟，内部时钟有 HSICLK、LSICLK，外部时钟有 HSECLK、LSECLK，其中 HSICLK 在出厂时会校准精度至±1%。

4.5.3 系统时钟

可选择 HSICLK、PLLCLK、HSECLK 作为系统时钟，PLLCLK 的时钟源可选择 HSICLK、HSECLK 中的一种，配置 PLL 的倍频系数、分频系数可获得所需系统时钟。

内部 8MHz 的 RC 振荡器作为系统启动的默认时钟，通过配置可以切换为外部的、具失效监控的 4~16MHz 时钟；当检测到外部时钟失效时，系统将自动地切换到内部的 RC 振荡器，如果设置了中断，软件可以接收到相应的中断。

4.5.4 总线时钟

内置 AHB、APB1、APB2 总线，AHB 的时钟源是 SYSCLK，APB1、APB2 的时钟源是 HCLK；配置分频系数可获得所需的时钟，AHB 和高速 APB2 的最高频率为 96MHz，APB1 的最高频率是 48MHz。

4.6 电源与电源管理

4.6.1 电源方案

表 5 电源方案

| 名称 | 电压范围 | 说明 |
|------------------|----------|---|
| V _{DD} | 2.0~3.6V | V _{DD} 直接给 IO 口供电，另外 V _{DD} 经电压调压器为核心电路供电。 |
| V _{DDA} | 2.4~3.6V | 与 V _{DD} 相连，为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分供电。使用 ADC 时，V _{DDA} 大于等于 2.4V。V _{DDA} 和 V _{SSA} 必须分别连接到 V _{DD} 和 V _{SS} 。 |
| V _{BAT} | 1.8~3.6V | 当关闭 V _{DD} 时，自动为 RTC、外部 32KHz 振荡器和后备寄存器供电。 |

注：关于如何连接电源引脚的详细信息参见图 5。

4.6.2 调压器

通过电压调压器可调节 MCU 的工作模式，从而减少功耗，主要有三种工作模式。

表 6 调压器的工作模式

| 名称 | 说明 |
|-------------|--|
| 主模式 (MR) | 以正常功耗模式提供 1.6V 电源(内核、内存、外设)。 |
| 低功耗模式 (LPR) | 以低功耗模式提供 1.6V 电源，以保存寄存器和 SRAM 的内容。 |
| 掉电模式 | 用于 CPU 的待机模式，调压器停止供电，除了备用电路和备份区域外，寄存器和 SRAM 的内容全部丢失。 |

注：调压器在复位后始终处于工作状态，在关断模式下高阻输出。

4.6.3 电源电压监控器

产品内部集成了上电复位(POR)/掉电复位(PDR)电路。当 V_{DD}达到设定的阀值 V_{POR/PDR}时，系统正常工作；当 V_{DD}低于设定的阀值 V_{POR/PDR}时，系统会保持复位状态，无需连接外部复位电路。V_{POR/PDR}的细节请参考第五章的电气特性。

4.7 低功耗模式

APM32FEPSxBT6 支持睡眠、停机、待机三种低功耗模式，用户可以通过设置在这些模式间进行切换。

表 7 低功耗模式

| 模式 | 说明 |
|------|---|
| 睡眠模式 | 睡眠模式下，所有外设都处于工作状态，但 CPU 停止工作，如果发生中断/事件，则 CPU 被唤醒。 |
| 停机模式 | 停机模式是保持 SRAM 和寄存器内容不丢失的情况下可以达到最低的电能消耗的模式。此时，内部 1.6V 供电部分停止导致 HSECLK、HSICLK、PLL 时钟关闭，调压器被置于普通模式或低功耗模式。 |

| 模式 | 说明 |
|------|---|
| | 配置成 EINT 的中断、事件唤醒可将 CPU 从停机模式唤醒。EINT 信号包括 16 个外部 I/O 口、PVD 的输出、RTC 闹钟或 USBD 的唤醒信号。 |
| 待机模式 | 待机模式是芯片使用的最低的电能消耗模式。此时，内部的电压调压器被关闭引起内部 1.6V 部分的供电被切断；HSECLK、HSICLK、PLL 时钟关闭；SRAM 和寄存器的内容也将消失。但后备寄存器的内容仍然保留，待机电路仍工作。 NRST 上的外部复位信号、IWDT 复位、WKUP 引脚上的一个上升边沿或 RTC 的闹钟到时会终止芯片待机模式。 |

注：在进入停机或待机模式时，RTC、IWDT 和对应的时钟不会被停止。

4.8 DMA

产品具有 7 路通用 DMA，可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输。

每个通道都有硬件 DMA 请求逻辑，同时可以通过软件单独设置每个通道的源地址、目标地址和传输的长度。

DMA 可以用于主要的外设：SPI、I2C、USART，定时器 TMRx 和 ADC。

4.9 GPIO

产品最多可达 51 个 GPIO 引脚，并且可以通过软件配置在输入（可上拉，下拉）、输出（可推挽，开漏）或复用功能间切换。多数 GPIO 引脚都与复用外设共用。为避免 I/O 寄存器的意外写入，I/O 引脚的外设功能可通过特定的操作进行锁定。

在 APB2 上的 I/O 脚翻转速度可达 18MHz。

4.10 通信外设

4.10.1 USART

内嵌 3 个 USART 通信接口，其中 USART1 接口可支持 4.5Mbit/s 的通信速率，其它接口支持 2.25Mbit/s 的通信速率。它具有硬件信号 CTS 和 RTS，兼容 ISO7816 智能卡，支持 IrDA SIR ENDEC 传输编解码，还提供 LIN 主/从模式。

4.10.2 I2C

I2C1/2 均可工作于多主模式或从模式并支持 7 位和 10 位寻址，协议支持标准和快速模式。内置了硬件 CRC 发生器/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版 / PMBus 总线。

I2C3/4 总线是一个双线串行接口，由串行数据线（SDA）和串行时钟（SCL）组成。可以作为“发射器”和“接收器”工作，可以在标准模式、快速模式、快速模式和高速模式下运行；此外，高速模式和快速模式设备是向下兼容的。

4.10.3 SPI

内嵌 2 个 SPI 接口，支持芯片与外部设备以半/全双工的串行方式通信。可配置为主模式或从模

式，每帧 8 位或 16 位。全双工和半双工的通信速率可支持 18 Mbit/s。所有的 SPI 接口支持 DMA 操作。

4.10.4 CAN

内嵌 1 个 CAN 总线接口，兼容 2.0A 和 2.0B(主动) 规范，通信速率最高可达 1Mbit/s。支持 11 位标识符的标准帧和 29 位标识符的扩展帧，具有 3 个发送邮箱，2 个接收 FIFO，以及 3 级 14 个可调节的滤波器。

4.10.5 USBD

产品内嵌兼容全速 USBD 设备的模块 USBD (USBD1、USBD2)，遵循全速 USBD 设备 (12 兆位/秒) 标准，端点可由软件配置，具有待机/唤醒功能。USBD 专用的 48MHz 时钟由内部 PLL 直接产生，使用 USBD 功能时，系统时钟只能是 48MHz、72MHz、96MHz 中的一个，可分别经过 1 分频、1.5 分频、2 分频获得 USBD 所需的 48MHz。

USBD1、USBD2 共用寄存器地址、引脚接口，因此同一时刻只能使用其中 1 个。

4.10.6 USBD 接口与 CAN 接口的同时使用

USBD 与 CAN 同时使用时，需要：USBD1 与 CAN2 可以同时使用

- 在 USBD 的地址偏移 0x100 处写 0x00000001。
- PA11 和 PA12 引脚给 USBD 用，CAN 复用其它引脚。

4.11 模拟外设

4.11.1 ADC

集成两个 12 位精度的 ADC，共有 16 个通道，每个 ADC 都可以实现单次模式和扫描模式的转换。可支持 DMA 操作，解放 CPU。ADC 接口支持单次采样、同步的采样和保持、及交叉的采样和保持逻辑功能。模拟看门狗功能可以监视多路通道，当被监视的信号超出预置的值时产生中断。

使用定时器可以使模数转换与时钟同步。

4.11.1.1 温度传感器

内嵌连接到 ADC1_IN16 输入通道上的温度传感器可以将芯片的环境温度转换为数字信号。

4.12 定时器

产品包含 1 个高级控制定时器(TMR1)、3 个通用定时器(TMR2/3/4)和 1 个系统滴答定时器。

下表比较了高级定时器和通用定时器的功能：

表 8 高级/通用和系统滴答定时器功能比较

| 定时器类型 | 系统滴答定时器 | 通用定时器 | | | 高级定时器 |
|--------|----------------|-------|------|------|-------|
| 定时器名称 | Sys Tick Timer | TMR2 | TMR3 | TMR4 | TMR1 |
| 计数器分辨率 | 24 位 | 16 位 | | | 16 位 |

| 定时器类型 | 系统滴答定时器 | 通用定时器 | 高级定时器 |
|-----------|---|--|---|
| 计数器类型 | 向下 | 向上, 向下, 向上/下 | 向上, 向下, 向上/下 |
| 预分频系数 | - | 1~65536 之间的任意整数 | 1~65536 之间的任意整数 |
| 产生 DMA 请求 | - | 可以 | 可以 |
| 捕获/比较通道 | - | 4 | 4 |
| 互补输出 | - | 没有 | 有 |
| 功能说明 | 专用于实时操作系统 具有自动重加载功能 当计数器为 0 时能产生一个可屏蔽系统中断 可编程时钟源 | 提供同步或事件链接功能 在调试模式下, 计数器可以被冻结。 可用于产生 PWM 输出 每个定时器都有独立的 DMA 请求机制。 可以处理增量编码器的信号和 1 至 3 个霍尔传感器的数字输出。 | 具有带死区插入的互补 PWM 输出 配置为 16 位标准定时器时, 它与 TMRx 定时器具有相同的功能。 配置为 16 位 PWM 发生器时, 它具有全调制能力(0~100%)。 在调试模式下, 计数器可以被冻结, 同时 PWM 输出被禁止。 提供同步或事件链接功能。 |

表 9 独立看门狗和窗口看门狗定时器

| 名称 | 计数器分辨率 | 计数器类型 | 预分频系数 | 功能说明 |
|-------|--------|-------|---------------|--|
| 独立看门狗 | 12 位 | 向下 | 1~256 之间的任意整数 | 由内部独立的 40KHz 的 RC 振荡器提供时钟, 因此可运行于停机和待机模式; 在发生问题时可复位整个系统; 可以为应用程序提供超时管理; 可以配置成是软件或硬件启动看门狗; 在调试模式下, 为了方便调试可暂停计数器。 |
| 窗口看门狗 | 7 位 | 向下 | - | 可以设置成自由运行; 在发生问题时可复位整个系统; 由主时钟驱动, 具有早期预警中断功能; 在调试模式下, 计数器可以被冻结。 |

4.13 RTC

RTC 具有一组连续运行的计数器, 配合软件可提供日历、闹钟中断和阶段性中断功能。它的时钟源可以选择外部 32.768KHz 的晶体振荡器、内部 40KHz 低速 RC 振荡器或经 128 分频的外部高速时钟。并且, 通过一个 512Hz 的信号可以对 RTC 的时钟进行误差校准。

RTC 在 V_{DD} 有效时由 V_{DD} 供电, 否则由 V_{BAT} 引脚供电。系统或电源复位源复位, 从待机模式唤醒, 都不会引起 RTC 的复位。

4.13.1 备份寄存器

10 个 16 位的寄存器的备份寄存器, 用于在 V_{DD} 关闭时保存 20 个字节的用户数据。

备份寄存器在 V_{DD} 有效时由 V_{DD} 供电, 否则由 V_{BAT} 引脚供电。系统或电源复位源复位, 从待机模式唤醒, 都不会引起备份寄存器的复位。

4.14 CRC 检验计算单元

使用 CRC(循环冗余校验)计算单元可以计算一个 32 位的数据字的 CRC 码。

此应用实时地计算软件的签名，便于与原始签名对比。

4.15 浮点运算单元 (FPU)

产品内置独立的 FPU 浮点运算处理单元，支持 IEEE754 标准，支持单精度浮点运算。

4.16 调试接口(SWJ-DP)

产品支持串行调试接口(SW-DP)和 JTAG(JTAG-DP)调试接口两种方式。

JTAG 接口为 AHB 访问端口提供 5 针标准 JTAG 接口。

SW-DP 接口为 AHB 模块提供 2 针(数据+时钟)接口。其中，SW-DP 接口的 2 个引脚和 JTAG 接口的 5 个引脚中的一些是复用的。

5 电气特性

5.1 电气特性测试条件

除非特别规定，所有电压参数都以 V_{SS} 为参照。

5.1.1 最大值和最小值

除非特别说明，所有产品是在 $T_A=25^\circ\text{C}$ 下在生产线上进行测试的。其最大和最小值可支持所定最恶劣的环境温度、供电电压和时钟频率。

在每个表格下方的注解中说明是通过综合评估、设计仿真或工艺特性得到的数据，没有在生产线上进行测试；在综合评估的基础上，通过样本测试，取其平均值再加减三倍的标准差(平均 $\pm 3\Sigma$)得到最大和最小数值。

5.1.2 典型值

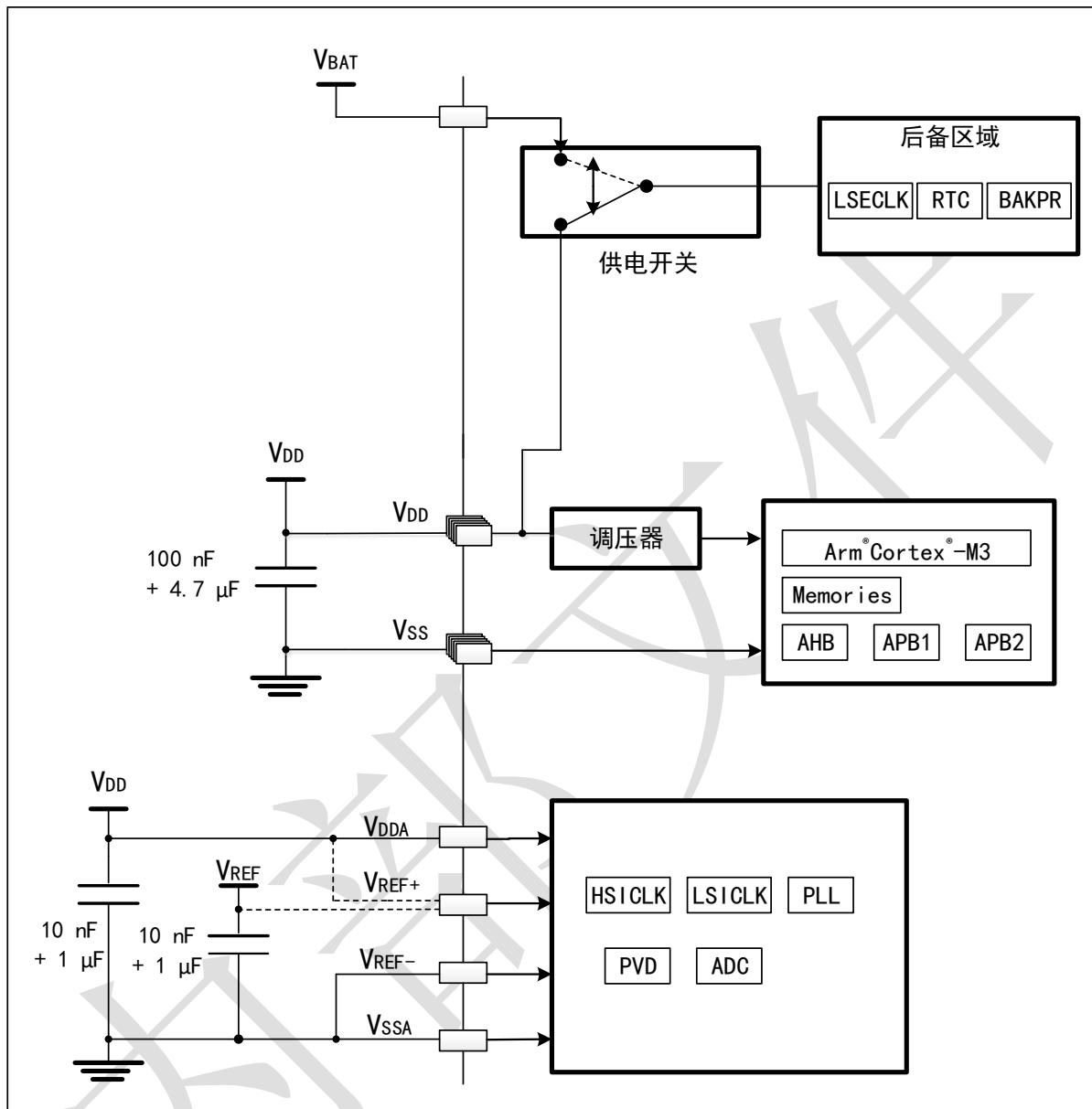
除非特别说明，典型数据的运行条件是 $T_A=25^\circ\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.6\text{V}$ 电压范围)。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 电源方案

图 6 电源方案



5.1.5 负载电容

图 7 测量引脚参数时的负载条件

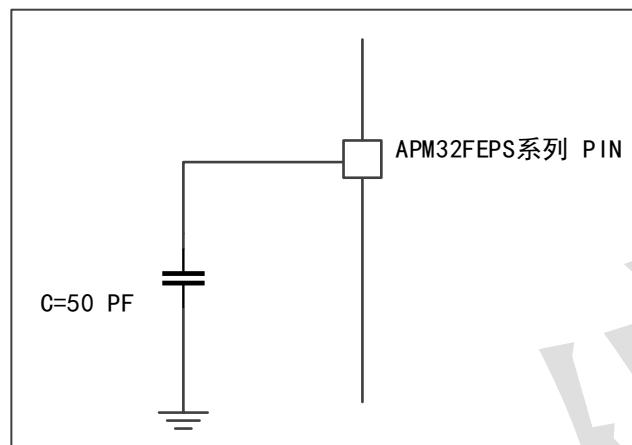


图 8 引脚输入电压测量方案

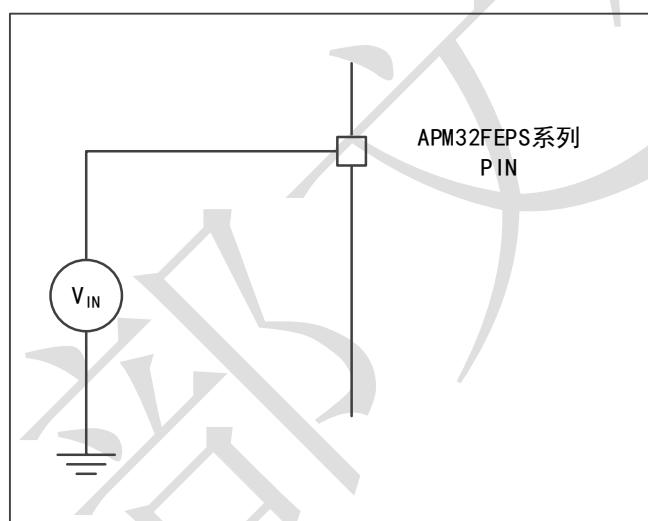
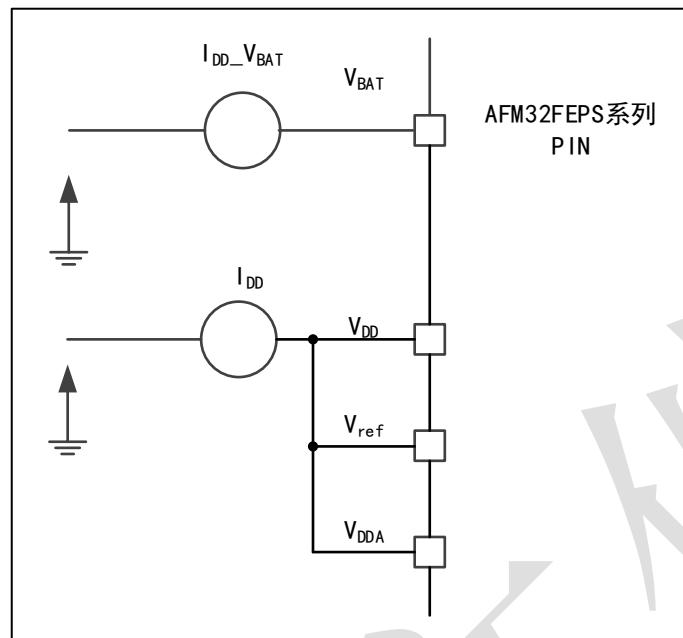


图 9 电流消耗测量方案



5.2 通用工作条件下的测试

表 10 通用工作条件

| 符号 | 参数 | 条件 | 最小值 | 最大值 | 单位 |
|-----------------|------------------------|-----------------------|-----|-----|-----|
| f_{HCLK} | 内部 AHB 时钟频率 | - | 0 | 96 | MHz |
| f_{PCLK1} | 内部 APB1 时钟频率 | | 0 | 48 | |
| f_{PCLK2} | 内部 APB2 时钟频率 | | 0 | 96 | |
| V_{DD} | 标准工作电压 | - | 2 | 3.6 | V |
| $V_{DDA}^{(1)}$ | 模拟部分工作电压 (都未使用 ADC) | 必须与 $V_{DD}^{(2)}$ 相同 | 2 | 3.6 | V |
| | 模拟部分工作电压 (使用 ADC) | | 2.4 | 3.6 | |
| V_{BAT} | 备份部分工作电压 | - | 1.6 | 3.6 | V |
| T_A | 环境温度 (温度标号 6) | 最大功率耗散 | -40 | 85 | °C |
| T_J | 结温度范围 | - | -40 | 105 | °C |

1. 当使用 ADC 时, 参见 5.11.1 节。
2. 在上电和正常操作期间, 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电, 要求 V_{DD} 和 V_{DDA} 之间最多相差 300mV。

5.3 绝对最大额定值

器件上的载荷如果超过绝对最大额定值, 可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷, 不保证在此条件下器件的功能运行正常。

5.3.1 最大温度特性

表 11 温度特性

| 符号 | 描述 | 数值 | 单位 |
|-----------|--------|------------|----|
| T_{STG} | 储存温度范围 | -55 ~ +150 | °C |
| T_J | 最大结温度 | 105 | °C |

5.3.2 最大额定电压特性

表 12 最大额定电压特性

| 符号 | 描述 | 最小值 | 最大值 | 单位 |
|--------------------|--|----------------|----------------|----|
| $V_{DD} - V_{SS}$ | 外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾ | -0.3 | 4.0 | V |
| V_{IN} | 在 5V 容忍的引脚上的输入电压 ⁽²⁾ | $V_{SS} - 0.3$ | 5.5 | |
| | 在其它引脚上的输入电压 ⁽²⁾ | $V_{SS} - 0.3$ | $V_{DD} + 0.3$ | |
| $ \Delta V_{DDx} $ | 不同供电引脚之间的电压差 | - | 50 | mV |
| $ \Delta V_{SSx} $ | 不同接地引脚之间的电压差 | - | 50 | |

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})必须始终在允许范围内。
- 如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 电流流入引脚 $V_{IN} < V_{SS}$ 时, 电流流出引脚。

5.3.3 最大额定电流特性

表 13 电流特性

| 符号 | 描述 | 最大值 | 单位 |
|-----------------------------|--|----------|----|
| I_{VDD} | 经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾ | 150 | mA |
| I_{VSS} | 经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾ | 150 | |
| I_{IO} | 任意 I/O 和控制引脚上的灌电流 | 25 | |
| | 任意 I/O 和控制引脚上的拉电流 | -25 | |
| $I_{INJ(PIN)}^{(2)(3)}$ | NRST 引脚的注入电流 | ± 5 | mA |
| | HSECLK 的 OSC_IN 引脚和 LSECLK 的 OSC_IN 引脚的注入电流 | ± 5 | |
| | 其他引脚的注入电流 ⁽⁴⁾ | ± 5 | |
| $\Sigma I_{INJ(PIN)}^{(2)}$ | 所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾ | ± 25 | |

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})必须始终在允许范围内。
- 如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 电流流入引脚; 当 $V_{IN} < V_{SS}$ 时, 电流流出引脚。
- 流出电流会干扰 ADC 的模拟性能。
- 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为流入电流与流出电流的即时绝对值之和。

5.3.4 静电放电 (ESD)

静电放电实施方法是一个正的脉冲然后间隔一秒钟后一个负的脉冲, 样片的所有引脚都要测, 样品的大小与芯片上供电引脚数目有关(3 片 x(n+1) 供电引脚)。这个测试符合 JS-001-2017/JS-002-

2018 标准。

表 14 ESD 绝对最大额定值

| 符号 | 参数 | 条件 | 最大值 ⁽¹⁾ | 单位 |
|----------------|----------------|--------------------------------------|--------------------|----|
| $V_{ESD(HBM)}$ | 静电放电电压 (人体模型) | $T_A = +25^\circ C$, 符合 JS-001-2017 | 2000 | V |
| $V_{ESD(CDM)}$ | 静电放电电压(充电设备模型) | $T_A = +25^\circ C$, 符合 JS-002-2018 | 500 | |

注：由第三方测试机构测试，不在生产中测试。

5.3.5 静态栓锁 (LU)

当运行一个简单的而应用时（通过 I/O 端口控制 2 个 LED 闪烁），测试样品是被假电磁干扰直到产生错误，LED 闪烁指示错误的产生为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78E 集成电路栓锁标准。

表 15 静态栓锁

| 符号 | 参数 | 条件 | 类型 |
|----|-------|--|-------|
| LU | 静态栓锁类 | $T_A = +25^\circ C/105^\circ C$, 符合 EIA/JESD78E | II类 A |

注：由第三方测试机构测试，不在生产中测试。

5.4 存储器

5.4.1 Flash 特性

表 16 Flash 存储器特性

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------|----------------|--|------|------|------|----|
| t_{prog} | 16 位编程时间 | $T_A = -40\sim105^\circ C$ $V_{DD}=2.4\sim3.6V$ | 17.8 | 18.6 | 19.5 | μs |
| t_{ERASE} | 页 (1K 字节) 擦除时间 | $T_A = -40\sim105^\circ C$ $V_{DD}=2.4\sim3.6V$ | 1.34 | 1.42 | 1.51 | ms |
| t_{ME} | 整片擦除时间 | $T_A = 25^\circ C$ $V_{DD}=3.3V$ | - | - | 6.5 | ms |
| V_{prog} | 编程电压 | $T_A = -40\sim105^\circ C$ | 2.0 | 3.3 | 3.6 | V |

注：由综合评估得出，不在生产中测试。

表 17 FLASH 存储器寿命和数据保存期限

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-----------|--------|---------------------------|-----|-----|-----|------|
| N_{END} | 擦写循环次数 | $T_A = -40\sim85^\circ C$ | 100 | - | - | 千次循环 |
| t_{RET} | 数据保存期限 | $T_A = 55^\circ C$ | 20 | - | - | 年 |

注：由综合评估得出，不在生产中测试。

5.5 时钟

5.5.1 外部时钟源特性

晶体谐振器产生的高速外部时钟

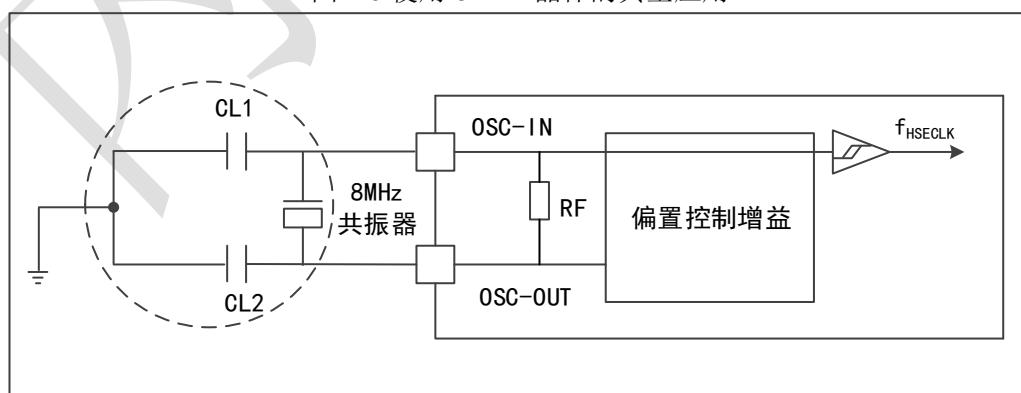
高速外部时钟(HSECLK)可以使用一个 4~16 MHz 的晶体/陶瓷谐振器产生。下表给出了评估的外部器件情况在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小失真和启动的稳定时间。晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表 18 HSECLK4~16MHz 振荡器特性⁽¹⁾⁽²⁾

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------------------------|---|---|------|------|-----|------|
| f_{osc_in} | 振荡器频率 | - | 4 | 8 | 16 | MHz |
| R_F | 反馈电阻 | - | - | 300 | - | kΩ |
| C_{L1} & C_{L2} ⁽³⁾ | 建议的负载电容与对应的晶体串行阻抗(R_S) ⁽⁴⁾ | $R_S = 30\text{k}\Omega$ | - | 30 | - | pF |
| i_2 | HSECLK 驱动电流 | $V_{DD}=3.3\text{V}$, $V_{IN}=V_{SS}$ 30pF 负载 | - | - | 1.1 | mA |
| g_m | 振荡器的跨导 | 启动 | 6.17 | - | - | mA/V |
| $t_{SU(HSECLK)}$ ⁽⁵⁾ | 启动时间 | V_{DD} 是稳定的 | - | 1.33 | - | ms |

1. 谐振器的特性参数来自晶体/陶瓷谐振器制造商。
2. 上述是综合评估得出。
3. 推荐 C_{L1} 和 C_{L2} ，采用高质量的、为高频应用而设计的(典型值为)5pF~25pF 之间的瓷介电容器，选择符合晶体或谐振器要求的电容值。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常给出的负载电容参数是以 C_{L1} 和 C_{L2} 的串行组合值。在选择 C_{L1} 和 C_{L2} 时，要考虑 PCB 和 MCU 引脚的容抗(通常电容按 10pF 估计)。
4. 潮湿环境下使用时应使用相对低的 R_F 电阻值。然而，如果 MCU 是应用在恶劣的潮湿环境里，设计时需要注意防护。
5. $t_{SU(HSECLK)}$ 是启动时间，定义从软件使能 HSECLK 开始，直至得到稳定的 8MHz 振荡这段时间。这个数值是使用标准的晶体谐振器测量得到的，它会因晶体制造商的不同而变化较大。

图 10 使用 8MHz 晶体的典型应用



晶体谐振器产生的低速外部时钟

低速外部时钟(LSECLK)可以使用一个 32.768 kHz 的晶体/陶瓷谐振器产生。下表给出了评估的外部器件情况在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小失真和启动的

稳定时间。晶体谐振器的详细参数(频率、封装、精度等), 请咨询相应的生产厂商。

表 19 LSECLK 振荡器特性($f_{LSECLK}=32.768\text{kHz}$)⁽¹⁾

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------------|---|--|-----|--------|-----|------------------|
| f_{OSF_IN} | 振荡器频率 | - | - | 32.768 | - | kHz |
| R_F | 反馈电阻 | - | - | 7 | - | $\text{M}\Omega$ |
| $C_{L1\&} C_{L2}^{(2)}$ | 建议的负载电容与对应的晶体串行阻抗(R_S) ⁽³⁾ | $R_S = 30\text{k}\Omega$ | - | - | 15 | pF |
| i_2 | LSECLK 驱动电流 | $V_{DD}=3.3\text{V}$, $V_{IN}=V_{SS}$ | - | - | 1.4 | μA |
| $t_{SU(LSECLK)}^{(4)}$ | 启动时间 | V_{DD} 是稳定的 | - | 2.75 | - | s |

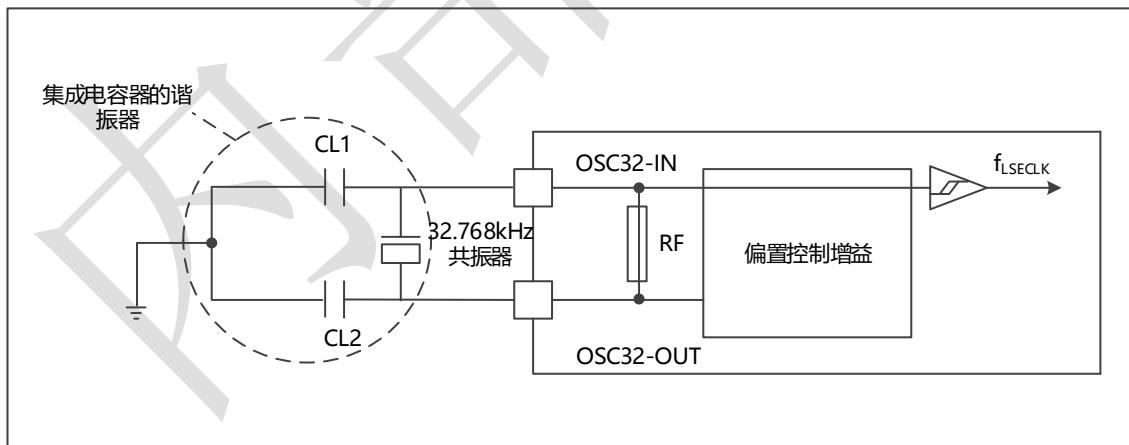
1. 此表是评估表。
2. 参见提示和警告段落。
3. 较小 R_S 值的高质量振荡器(如 MSIV-TIN32.768kHz)可以优化电流消耗。详情请咨询晶体制造商。
4. $t_{SU(LSECLK)}$ 是启动时间, 定义从软件使能 LSECLK 开始, 直至得到稳定的 32.768kHz 振荡这段时间。这个数值是使用标准的晶体谐振器测量得到的, 它会因晶体制造商的不同而变化较大。

提示: 建议 C_{L1} 和 C_{L2} , 选用高质量的 5pF~15pF 之间的瓷介电容器, 选择符合晶体或谐振器的要求电容值。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常给出负载电容的参数是 C_{L1} 和 C_{L2} 的串行组合值。负载电容 C_L 的计算公式: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$, 其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容, 它通常介于 2pF 至 7pF 之间。

警告: 建议使用负载电容 $C_L \leq 7\text{pF}$ 的谐振器, 拒绝使用负载电容为 12.5pF 的谐振器。

例如: 如果选择了一个负载电容 $C_L=6\text{pF}$ 的谐振器并且 $C_{stray}=2\text{pF}$, 则 $C_{L1}=C_{L2}=8\text{pF}$

图 11 使用 32.768kHz 的典型应用



5.5.2 内部时钟源特性

高速内部 (HSICLK) RC 振荡器

表 20 HSICLK 振荡器特性

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|--------------|----|----|-----|-----|-----|-----|
| f_{HSICLK} | 频率 | - | - | 8 | - | MHz |

| 符号 | 参数 | 条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|-----------------------|----------------|--|--|-------|-----|------|---------------|
| ACC _{HSICLK} | HSICLK 振荡器的精度 | 工厂校准 | $T_A=25^\circ\text{C}$ $V_{DD} = 3.3\text{V}$ | 1 | - | 1 | % |
| | | | $T_A=-40\text{~}105^\circ\text{C}$ $V_{DD} = 3.3\text{V}$ | -2.63 | - | 3.56 | % |
| | | 用户校准 | - | -1 | - | 1 | % |
| $t_{SU(HSICLK)}$ | HSICLK 振荡器启动时间 | $V_{DD}=3.3\text{V}, T_A=-40\text{~}105^\circ\text{C}$ | | 1.73 | - | 2.12 | μs |
| $I_{DDA(HSICLK)}$ | HSICLK 振荡器功耗 | $V_{DD}=3.6\text{V}, T_A=-40\text{~}105^\circ\text{C}$ | | - | - | - | μA |

1. 由综合评估得出, 不在生产中测试。

2. $V_{DD}=3.3\text{V}, T_A=-40\text{~}105^\circ\text{C}$, 除非特别说明。

低速内部 (LSICLK) RC 振荡器

表 21 LSICLK 振荡器特性

| 符号 | 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------|---|-----|-----|-----|---------------|
| f_{LSICLK} | 频率 ($V_{DD}=2\text{~}3.6\text{V}, T_A=-40\text{~}105^\circ\text{C}$) | 30 | 40 | 50 | KHz |
| $t_{SU(LSICLK)}$ | LSICLK 振荡器启动时间, ($V_{DD}=3.3\text{V}, T_A=-40\text{~}105^\circ\text{C}$) | - | - | 39 | μs |
| $I_{DD(LSICLK)}$ | LSICLK 振荡器功耗 ($V_{DD} = 3.6\text{V}, T_A = -40\text{~}105^\circ\text{C}$) | - | 1 | 1.5 | μA |

注: 由综合评估得出, 不在生产中测试。

5.5.3 PLL 特性

表 22 PLL 特性

| 符号 | 参数 | 数值 | | | 单位 |
|----------------|--|-----|-----|--------------------|---------------|
| | | 最小值 | 典型值 | 最大值 ⁽¹⁾ | |
| f_{PLL_IN} | PLL 输入时钟 ⁽²⁾ | 2 | 8 | 25 | MHz |
| | PLL 输入时钟占空比 | 40 | - | 60 | % |
| f_{PLL_OUT} | PLL 倍频输出时钟, ($V_{DD}=3.3\text{V}, T_A=-40\text{~}105^\circ\text{C}$) | 16 | - | 96 | MHz |
| t_{LOCK} | PLL 锁相时间 | - | - | 130 | μs |

1. 由综合评估得出, 不在生产中测试。

2. 注意使用合适的倍频系数, 从而使 PLL 输入时钟频率与由 f_{PLL_OUT} 确定的范围相一致。

5.6 电源与电源管理

5.6.1 内嵌复位和电源控制模块特性测试

表 23 内嵌复位和电源控制模块特性($T_A=25^\circ\text{C}$) (-40°C-105°C)

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---------------------|-----------|-----|---------------------|------|------|-------------|
| $V_{POR/PDR}$ | 上电/掉电复位阈值 | 下降沿 | 1.87 ⁽¹⁾ | 1.89 | 1.91 | V |
| | | 上升沿 | 1.92 | 1.94 | 1.96 | V |
| $V_{PDRhyst}^{(2)}$ | PDR 迟滞 | - | - | 50 | - | mV |

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|----------------|--------|----|-----|-----|-----|----|
| $T_{RSTTEMPO}$ | 复位持续时间 | - | 0.9 | - | 2.4 | ms |

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。

2. 由设计保证, 不在生产中测试。

3. 由综合评估得出, 不在生产中测试。

表 24 可编程电源电压检测器特性($T_A=25^\circ C$) (-40°C-105°C) ⁽¹⁾

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---------------------|----------------|--------------------|------|------|------|----|
| $V_{PVD}^{(3)}$ | 可编程电源电压检测器电平选择 | PLS[2:0]=000 (上升沿) | 2.18 | 2.2 | 2.22 | V |
| | | PLS[2:0]=000 (下降沿) | 2.08 | 2.09 | 2.11 | V |
| | | PLS[2:0]=001 (上升沿) | 2.28 | 2.3 | 2.32 | V |
| | | PLS[2:0]=001 (下降沿) | 2.17 | 2.19 | 2.21 | V |
| | | PLS[2:0]=010 (上升沿) | 2.38 | 2.4 | 2.42 | V |
| | | PLS[2:0]=010 (下降沿) | 2.27 | 2.29 | 2.31 | V |
| | | PLS[2:0]=011 (上升沿) | 2.48 | 2.5 | 2.52 | V |
| | | PLS[2:0]=011 (下降沿) | 2.37 | 2.39 | 2.41 | V |
| | | PLS[2:0]=100 (上升沿) | 2.58 | 2.6 | 2.62 | V |
| | | PLS[2:0]=100 (下降沿) | 2.47 | 2.49 | 2.51 | V |
| | | PLS[2:0]=101 (上升沿) | 2.67 | 2.69 | 2.72 | V |
| | | PLS[2:0]=101 (下降沿) | 2.57 | 2.59 | 2.61 | V |
| | | PLS[2:0]=110 (上升沿) | 2.77 | 2.8 | 2.82 | V |
| | | PLS[2:0]=110 (下降沿) | 2.66 | 2.68 | 2.71 | V |
| | | PLS[2:0]=111 (上升沿) | 2.86 | 2.89 | 2.91 | V |
| | | PLS[2:0]=111 (下降沿) | 2.76 | 2.79 | 2.81 | V |
| $V_{PVDhyst}^{(2)}$ | PVD 迟滞 | - | - | 107 | - | mV |

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。

2. 由设计保证, 不在生产中测试。

3. 由综合评估得出, 不在生产中测试。

5.7 功耗

5.7.1 功耗测试环境

(1) 执行 Dhrystone2.1, 编译环境为 Keil.V5, 编译优化等级为 L3 条件下测得的。

(2) 所有的 I/O 引脚都处于输入模式, 并连接到同一个电源上, V_{DD} 或 V_{SS} (无负载)。

(3) 除非特别说明, 所有的外设都关闭

(4) Flash 等待周期的设置与 f_{HCLK} 的关系:

0~24MHz: 0 个等待周期

24~48MHz: 1 个等待周期

48~72MHz: 2 个等待周期

72~96MHz: 3 个等待周期

- (5) 指令预取功能使能 (提示: 这些的设置必须在时钟设置和总线分频之前进行)
- (6) 当外设开启时: $f_{PCLK1}=f_{HCLK}/2$, $f_{PCLK2}=f_{HCLK}$

5.7.2 运行模式功耗

表 25 运行模式的功耗, 数据处理代码从内部 flash 中运行

| 参数 | 条件 | f_{HCLK} | 典型值 ⁽¹⁾ | 最大值 ⁽¹⁾ |
|--------|------------------------------|------------|-------------------------------|--------------------------------|
| | | | $T_A=25^\circ C, V_{DD}=3.3V$ | $T_A=105^\circ C, V_{DD}=3.6V$ |
| | | | $I_{DD}(mA)$ | $I_{DD}(mA)$ |
| 运行模式功耗 | 外部时钟 ⁽²⁾ , 使能所有外设 | 96MHz | 30.94 | 31.05 |
| | | 72MHz | 25.47 | 25.78 |
| | | 48MHz | 19.35 | 19.82 |
| | | 36MHz | 14.95 | 15.19 |
| | | 24MHz | 11.17 | 11.47 |
| | | 16MHz | 7.72 | 8.01 |
| | | 8MHz | 4.25 | 4.41 |
| | 外部时钟 ⁽²⁾ , 关闭所有外设 | 96MHz | 19.37 | 20.03 |
| | | 72MHz | 17.22 | 17.60 |
| | | 48MHz | 14.08 | 14.24 |
| | | 36MHz | 10.67 | 10.89 |
| | | 24MHz | 8.32 | 8.65 |
| | | 16MHz | 6.01 | 6.30 |
| | | 8MHz | 3.28 | 3.54 |

注:

- (1) 由综合评估得出, 不在生产中测试。
- (2) 外部时钟为 8MHz, 当 $f_{HCLK}>8MHz$ 时, 开启 PLL; 否则关闭 PLL。

表 26 运行模式下的功耗, 数据处理代码从内部 RAM 中运行

| 参数 | 条件 | f_{HCLK} | 典型值 ⁽¹⁾ | 最大值 ⁽¹⁾ |
|---------|------------------------------|------------|-------------------------------|--------------------------------|
| | | | $T_A=25^\circ C, V_{DD}=3.3V$ | $T_A=105^\circ C, V_{DD}=3.6V$ |
| | | | $I_{DD}(mA)$ | $I_{DD}(mA)$ |
| 运行模式下功耗 | 外部时钟 ⁽²⁾ , 使能所有外设 | 96MHz | 27.53 | 27.82 |
| | | 72MHz | 20.78 | 20.96 |
| | | 48MHz | 14.43 | 14.24 |
| | | 36MHz | 11.02 | 10.89 |
| | | 24MHz | 7.65 | 7.60 |

| 参数 | 条件 | f _{HCLK} | 典型值 ⁽¹⁾ | 最大值 ⁽¹⁾ |
|----|------------------------------|-------------------|--|---|
| | | | T _A =25°C, V _{DD} =3.3 V | T _A =105°C, V _{DD} =3.6 V |
| | | | I _{DD} (mA) | I _{DD} (mA) |
| | | 16MHz | 5.36 | 5.39 |
| | 外部时钟 ⁽²⁾ , 关闭所有外设 | 8MHz | 3.08 | 3.17 |
| | | 96 MHz | 16.42 | 16.63 |
| | | 72MHz | 12.51 | 12.63 |
| | | 48MHz | 8.74 | 8.77 |
| | | 36MHz | 6.61 | 6.79 |
| | | 24MHz | 4.68 | 4.86 |
| | | 16MHz | 3.37 | 3.58 |
| | | 8MHz | 3.10 | 3.14 |

注:

(1) 由综合评估得出, 不在生产中测试。

(2) 外部时钟为 8MHz, 当 f_{HCLK}>8MHz 时, 开启 PLL; 否则关闭 PLL。

5.7.3 睡眠模式功耗

表 27 睡眠模式下的功耗, 代码从 Flash 或 RAM 中运行

| 参数 | 条件 | f _{HCLK} | 典型值 ⁽¹⁾ | 最大值 ⁽¹⁾ |
|--------|------------------------------|-------------------|--|---|
| | | | T _A =25°C, V _{DD} =3.3 V | T _A =105°C, V _{DD} =3.6 V |
| | | | I _{DD} (mA) | I _{DD} (mA) |
| 睡眠模式功耗 | 外部时钟 ⁽²⁾ , 使能所有外设 | 96MHz | 17.18 | 17.39 |
| | | 72MHz | 13.03 | 13.32 |
| | | 48MHz | 9.11 | 9.14 |
| | | 36MHz | 7.06 | 7.11 |
| | | 24MHz | 5.01 | 5.07 |
| | | 16MHz | 3.67 | 3.69 |
| | | 8MHz | 2.25 | 2.31 |
| | 外部时钟 ⁽²⁾ , 关闭所有外设 | 96MHz | 5.16 | 5.07 |
| | | 72MHz | 3.92 | 4.06 |
| | | 48MHz | 2.88 | 3.02 |
| | | 36MHz | 2.36 | 2.46 |
| | | 24MHz | 1.85 | 1.99 |
| | | 16MHz | 1.52 | 1.62 |

| 参数 | 条件 | f _{HCLK} | 典型值 ⁽¹⁾ | | 最大值 ⁽¹⁾ |
|----|----|-------------------|---|--|----------------------|
| | | | T _A =25°C, V _{DD} =3.3V | T _A =105°C, V _{DD} =3.6V | |
| | | | I _{DD} (mA) | I _{DD} (mA) | I _{DD} (mA) |
| | | | 8MHz | 1.19 | 1.35 |

注：

(1) 由综合评估得出，不在生产中测试。

(2) 外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL；否则关闭 PLL。

5.7.4 停机、待机模式功耗

表 28 停机、待机模式功耗

| 参数 | 条件 | 典型值 (T _A =25°C) | | | 最大值 ⁽¹⁾ |
|--------|--|----------------------------|-----------------------|-----------------------|--------------------|
| | | V _{DD} =2.4V | V _{DD} =3.3V | V _{DD} =3.6V | |
| | | I _{DD} (μA) | | | |
| 停机模式功耗 | 调压器处于运行模式，低速和高速内部 RC 振荡器和高速振荡器处于关闭状态(没有独立看门狗) | 22.44 | 24.7 | 25.8 | 94.19 |
| | 调压器处于低功耗模式，低速和高速内部 RC 振荡器和高速振荡器处于关闭状态(没有独立看门狗) | 10.3 | 12.5 | 13.6 | 79.18 |
| 待机模式功耗 | 低速内部 RC 振荡器和独立看门狗处于开启状态 | 3.6 | 6.2 | 7.6 | 17 |
| | 低速内部 RC 振荡器处于开启状态,独立看门狗处于关闭状态 | 3.4 | 6.0 | 7.3 | 16.82 |
| | 低速内部 RC 振荡器和独立看门狗处于关闭状态，低速振荡器和 RTC 处于关闭状态 | 2.8 | 5.1 | 6.3 | 15.89 |

注：(1) 由综合评估得出，不在生产中测试。

5.7.5 备份域功耗

表 29 备份域功耗

| 符号 | 参数 | 条件 | 典型值 (T _A =25°C) | | 最大值 ⁽¹⁾ | 单位 |
|----------------------|--------|-------------------|----------------------------|-----------------------|--------------------|----|
| | | | V _{DD} =2.4V | V _{DD} =3.3V | | |
| I _{DD_VBAT} | 备份区域功耗 | 低速振荡器和 RTC 处于开启状态 | 1.2 | 1.5 | 3.0 | μA |

注：(1) 由综合评估得出，不在生产中测试。

5.8 低功耗模式唤醒时间

表中的时间值都是由一个 8MHz 的 HSICLK 振荡器作唤醒时钟源，并在其唤醒阶段测得的。唤醒

时使用的时钟源由当前的工作模式确定：

- 停机或待机模式：时钟源是 RC 振荡器
- 睡眠模式：时钟源是进入睡眠模式时所设置的时钟。

表 30 低功耗唤醒时间

| 符号 | 参数 | 典型值 | 单位 |
|---------------------|--------------------|-----|---------|
| $t_{WUSLEEP}^{(1)}$ | 从睡眠模式唤醒 | 1.2 | μs |
| $t_{WUSTOP}^{(1)}$ | 从停机模式唤醒(调压器处于运行模式) | 3.6 | μs |
| | 从停机模式唤醒(调压器为低功耗模式) | 6 | |
| $t_{WUSTDBY}^{(1)}$ | 从待机模式唤醒 | 32 | μs |

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.9 引脚特性

5.9.1 I/O 引脚特性

表 31 直流特性 (测试条件 $V_{DD}=2.7\sim3.6V$, $T_A=-40\sim105^{\circ}C$)

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-----------|---------------------------------------|----------------------------------|--------------|-----|--------------|------------|
| V_{IL} | 输入低电平电压 | CMOS 端口 | -0.5 | - | 0.3 V_{DD} | V |
| V_{IH} | 输入高电平电压 | | 0.7 V_{DD} | - | $V_{DD}+0.5$ | |
| V_{IL} | 输入低电平电压 | TTL 端口 | -0.5 | - | 0.8 | |
| V_{IH} | 标准 I/O 引脚, 输入高电平电压 | | 2 | - | $V_{DD}+0.5$ | |
| | 5V 容忍 I/O 引脚 ⁽¹⁾ , 输入高电平电压 | | 2 | - | 5.5 | |
| V_{hys} | 标准 I/O 脚施密特触发器电压迟滞 ⁽²⁾ | - | 150 | - | - | mV |
| | 5V 容忍 I/O 脚施密特触发器电压迟滞 ⁽²⁾ | | 5% V_{DD} | - | - | mV |
| I_{lkg} | 输入漏电流 ⁽³⁾ | $V_{SS} \leq V_{IN} \leq V_{DD}$ | - | - | ± 1 | μA |
| | | 标准 I/O 端口 | - | - | 1 | |
| R_{PU} | 弱上拉等效电阻 ⁽⁴⁾ | $V_{IN}=V_{SS}$ | 32 | 40 | 49 | k Ω |
| R_{PD} | 弱下拉等效电阻 ⁽⁴⁾ | $V_{IN}=V_{DD}$ | 32 | 40 | 49 | k Ω |
| C_{IO} | I/O 引脚的电容 | - | - | 5 | - | pF |

1. $FT = 5V$ 容忍, 要想承受高于 $V_{DD}+0.3$ 的电压, 内部的上拉或下拉电阻必须关断。

2. 施密特触发器开关电平的迟滞电压由综合评估得出, 不在生产中测试。

3. 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。

4. 上下拉电阻是设计为一个真正的电阻串联一个可控的 PMOS/NMOS 开关实现。

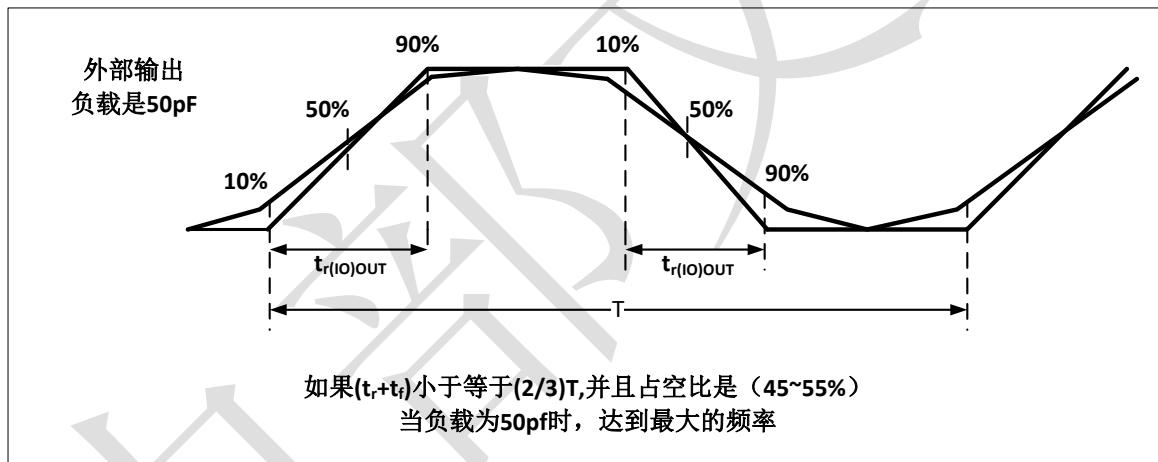
表 32 交流特性

| MODEy[1:0] 的配置 | 符号 | 参数 | 条件 | 最小值 | 最大值 | 单位 |
|-------------------|------------------|---------------------|----------------------|-----|-----|-----|
| 10 | $f_{max(IO)out}$ | 最大频率 ⁽²⁾ | $C_L=50\text{ pF}$, | - | 2 | MHz |

| MODEy[1:0] 的配置 | 符号 | 参数 | 条件 | 最小值 | 最大值 | 单位 |
|-------------------|--|---------------------|--|-----|------------|-----|
| (2MHz) | | | $V_{DD}=2\sim3.6V$ | | | |
| | $t_f(\text{IO})_{\text{out}}$ | 输出高至低电平的下降时间 | $C_L=50\text{ pF}$, $V_{DD}=2\sim3.6V$ | - | $50^{(3)}$ | ns |
| | $t_r(\text{IO})_{\text{out}}$ | 输出低至高电平的上升时间 | | - | $50^{(3)}$ | |
| 01 (10MHz) | $f_{\text{max}(\text{IO})_{\text{out}}}$ | 最大频率 ⁽²⁾ | $C_L=50\text{ pF}$, $V_{DD}=2\sim3.6V$ | - | 10 | MHz |
| | $t_f(\text{IO})_{\text{out}}$ | 输出高至低电平的下降时间 | $C_L=50\text{ pF}$, $V_{DD}=2\sim3.6V$ | - | $24^{(3)}$ | ns |
| | $t_r(\text{IO})_{\text{out}}$ | 输出低至高电平的上升时间 | | - | 23 | |
| 11 (50MHz) | $f_{\text{max}(\text{IO})_{\text{out}}}$ | 最大频率 ⁽²⁾ | $C_L=30\text{ pF}$, $V_{DD}=2.7\sim3.6V$ | - | 48 | MHz |
| | $t_f(\text{IO})_{\text{out}}$ | 输出高至低电平的下降时间 | $C_L=30\text{ pF}$, $V_{DD}=2.7\sim3.6V$ | - | $7^{(3)}$ | ns |
| | $t_r(\text{IO})_{\text{out}}$ | 输出低至高电平的上升时间 | | - | $5^{(3)}$ | |

1. I/O 端口的速度可以通过 MODEy[1:0]配置。
2. 最大频率在下图中定义。
3. 由设计保证，不在生产中测试。

图 12 输入输出交流特性定义



注：由综合评估得出，不在生产中测试。

输出驱动电流测试

GPIO(通用输入/输出端口)正常支持 $\pm 8\text{mA}$ 电流，最多支持 $\pm 20\text{mA}$ 电流(V_{OL}/V_{OH} 降低标准)。在应用中，要限制能够驱动电流的 I/O 的数目，以保证消耗的电流不能超过绝对最大额定值：

- 所有 I/O 输出的电流总和，加上 MCU 的最大运行电流，不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 吸收的电流总和，加上 MCU 最大运行电流，不能超过绝对最大额定值 I_{VSS} 。

输出电压测试

表 33 输出电压特性 (测试条件 $V_{DD}=2.7\sim3.6V$, $T_A=-40\sim105^{\circ}\text{C}$)

| 符号 | 参数 | 条件 | 最小值 | 最大值 | 单位 |
|----------------|---------------------|--------------------------------|-----|-----|----|
| $V_{OL}^{(1)}$ | 输出低电平，当 8 个引脚同时吸收电流 | TTL 端口, $I_{IO} = +8\text{mA}$ | - | 0.4 | V |

| 符号 | 参数 | 条件 | 最小值 | 最大值 | 单位 |
|-------------------|----------------------|--|--------------------|-----|----|
| $V_{OH}^{(2)}$ | 输出高电平, 当 8 个引脚同时输出电流 | $2.7V < V_{DD} < 3.6V$ | $V_{DD}-0.4$ | - | |
| $V_{OL}^{(1)}$ | 输出低电平, 当 8 个引脚同时吸收电流 | CMOS 端口, $I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$ | - | 0.4 | V |
| $V_{OH}^{(2)}$ | 输出高电平, 当 8 个引脚同时输出电流 | | 2.4 | - | |
| $V_{OL}^{(1)(3)}$ | 输出低电平, 当 8 个引脚同时吸收电流 | $I_{IO} = +20mA$ $2.7V < V_{DD} < 3.6V$ | - | 1.3 | V |
| $V_{OH}^{(2)(3)}$ | 输出高电平, 当 8 个引脚同时输出电流 | | $V_{DD}-1.3^{(4)}$ | - | |

1. I/O 吸收的电流 I_{IO} 必须始终遵循绝对最大额定值要求, 同时 I_{IO} 的总和(所有 I/O 和控制脚)不能超过 I_{VSS} 。
2. I/O 输出的电流 I_{IO} 必须始终遵循绝对最大额定值要求, 同时 I_{IO} 的总和(所有 I/O 和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出, 不在生产中测试。
4. PC13-15 的驱动能力不包含在该项中, PC 其他端口规格在电压范围为 $3.3V < V_{DD} < 3.6V$ 。

5.9.2 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺, 它连接了一个永久性上拉电阻 R_{PU} 。

表 34 NRST 引脚特性 (测试条件 $V_{DD}=3.3V$, $T_A=-40\sim105^\circ C$)

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|----------------------|------------------------|-------------------|------|-----|--------------|------------|
| $V_{IL(NRST)}^{(1)}$ | NRST 输入低电平电压 | - | -0.5 | - | 0.8 | V |
| $V_{IH(NRST)}^{(1)}$ | NRST 输入高电平电压 | | 2 | - | $V_{DD}+0.5$ | |
| $V_{hys(NRST)}$ | NRST 施密特触发器电压迟滞 | - | - | 300 | - | mV |
| R_{PU} | 弱上拉等效电阻 ⁽²⁾ | $V_{IN} = V_{SS}$ | 32 | 40 | 49 | k Ω |

1. 由设计保证, 不在生产中测试。
2. 上拉电阻由一个纯电阻串联一个可关断的 PMOS/NMOS 管实现的, 这个 PMOS/NMOS 开关的电阻很小。

5.10 通信外设

5.10.1 I2C 外设特性

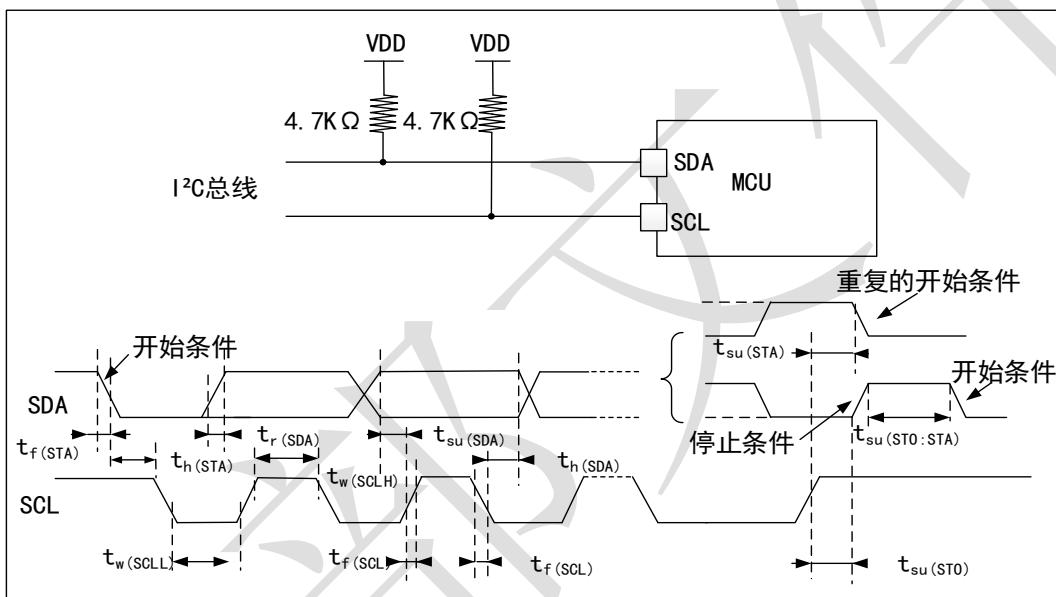
表 35 I2C 接口特性($T_A=25^\circ C, V_{DD}=3.3V$)

| 符号 | 参数 | 标准 I2C ⁽¹⁾ | | 快速 I2C ⁽¹⁾⁽²⁾ | | 单位 |
|-------------------------|----------------|-----------------------|-----|--------------------------|--------------------|---------|
| | | 最小值 | 最大值 | 最小值 | 最大值 | |
| $t_{w(SCL)}$ | SCL 时钟低时间 | 5.05 | - | 1.72 | - | μs |
| $t_{w(SCLH)}$ | SCL 时钟高时间 | 4.94 | - | 0.77 | - | |
| $t_{su}(SDA)$ | SDA 建立时间 | 4532 | - | 1216 | - | ns |
| $t_h(SDA)$ | SDA 数据保持时间 | 0 ⁽³⁾ | 503 | 0 ⁽⁴⁾ | 459 ⁽³⁾ | |
| $t_{r(SDA)}/t_{r(SCL)}$ | SDA 和 SCL 上升时间 | - | 197 | - | 190 | |
| $t_{f(SDA)}/t_{f(SCL)}$ | SDA 和 SCL 下降时间 | - | 8 | - | 9.8 | |
| $t_h(STA)$ | 开始条件保持时间 | 4.97 | - | 0.82 | - | μs |
| $t_{su}(STA)$ | 重复的开始条件建立时间 | 4.93 | - | 0.81 | - | |

| 符号 | 参数 | 标准 I ² C ⁽¹⁾ | | 快速 I ² C ⁽¹⁾⁽²⁾ | | 单位 |
|------------------|--------------------|------------------------------------|-----|---------------------------------------|-----|----|
| | | 最小值 | 最大值 | 最小值 | 最大值 | |
| $t_{su(ST0)}$ | 停止条件建立时间 | 4.91 | - | 0.82 | - | |
| $t_{w(ST0:STA)}$ | 停止条件至开始条件的时间(总线空闲) | 5.27 | - | 4.02 | - | |

- 由设计保证, 不在生产中测试。
- 为位达到标准模式 I²C 的最大频率, f_{PCLK1} 必须大于 2MHz。为达到快速模式 I²C 的最大频率, f_{PCLK1} 必须大于 4MHz。
- 如果不想拉长 SCL 信号的低电平时间, 则起始条件的最大保持时间必须满足。
- 为了跨越 SCL 下降沿未定义的区域, 在 MCU 内部必须保证 SDA 信号至少有 300ns 的保持时间。

图 13 总线交流波形和测量电路



注: 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

5.10.2 SPI 外设特性

表 36 SPI 特性($T_A=25^\circ C$, $V_{DD}=3.3V$)

| 符号 | 参数 | 条件 | 最小值 | 最大值 | 单位 |
|--|---------------|--------------------------------------|-------|------|-----|
| f_{SCK} $1/t_{c(SCK)}$ | SPI 时钟频率 | 主模式 | - | 18 | MHz |
| | | 从模式 | - | 18 | |
| $t_{r(SCK)}$ $t_{f(SCK)}$ | SPI 时钟上升和下降时间 | 负载电容: $C = 30pF$ | - | 7.1 | ns |
| $t_{su(NSS)}^{(2)}$ | NSS 建立时间 | 从模式 $f_{PCLK} = 36MHz$ | 111.4 | - | ns |
| $t_{h(NSS)}^{(2)}$ | NSS 保持时间 | 从模式 $f_{PCLK} = 36MHz$ | 55.6 | - | ns |
| $t_{w(SCKH)}^{(2)}$ $t_{w(SCKL)}^{(2)}$ | SCK 高和低的时间 | 主模式, $f_{PCLK} = 36MHz$, 预分频系数=4 | 55.1 | 55.9 | ns |
| $t_{su(MI)}^{(2)}$ | 数据输入建立时间 | 主模式 | 10.9 | - | ns |

| 符号 | 参数 | 条件 | 最小值 | 最大值 | 单位 |
|------------------------|----------|-----------------------|------|------|----|
| $t_{SU(SI)}^{(2)}$ | | 从模式 | 21.3 | - | |
| $t_h(MI)^{(2)}$ | 数据输入保持时间 | 主模式 | 35 | - | ns |
| $t_h(SI)^{(2)}$ | | 从模式 | 25 | - | |
| $t_a(SO)^{(2)(3)}$ | 数据输出访问时间 | 从模式, $f_{PCLK}=20MHz$ | 6.5 | 8.7 | ns |
| $t_{dis(SO)}^{(2)(4)}$ | 数据输出禁止时间 | 从模式 | 12 | - | ns |
| $t_v(SO)^{(2)(1)}$ | 数据输出有效时间 | 从模式 (使能边沿之后) | - | 19.3 | ns |
| $t_v(MO)^{(2)(1)}$ | 数据输出有效时间 | 主模式 (使能边沿之后) | - | 7.6 | ns |
| $t_h(SO)^{(2)}$ | 数据输出保持时间 | 从模式 (使能边沿之后) | 10.7 | - | ns |
| $t_h(MO)^{(2)}$ | | 主模式 (使能边沿之后) | 2 | - | |

- 重映射的 SPI1 特性需要进一步确定。
- 由推算得出, 不在生产中测试。
- 最小值表示驱动输出的最小时间, 最大值表示使数据有效的最大时间。
- 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

图 14 SPI 时序图—从模式和 CPHA=0

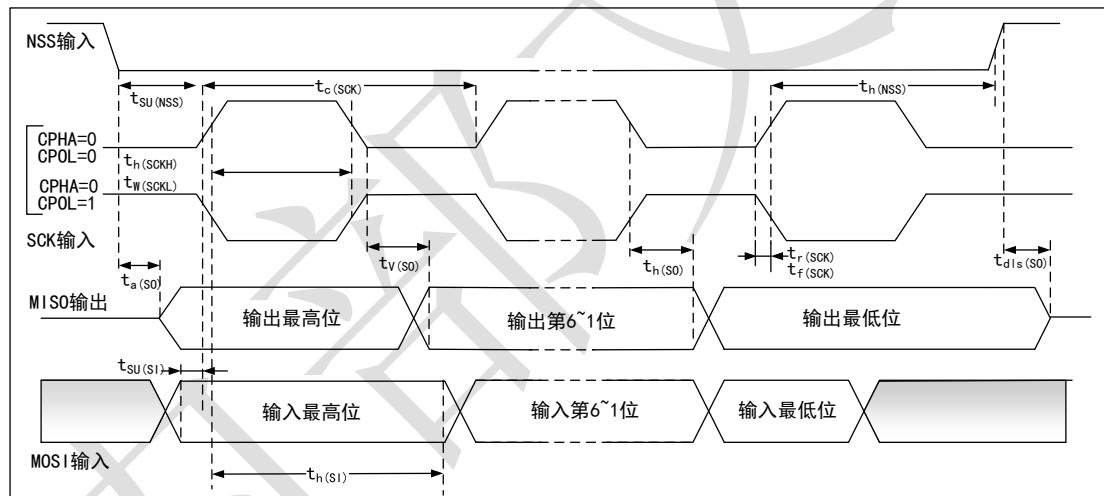
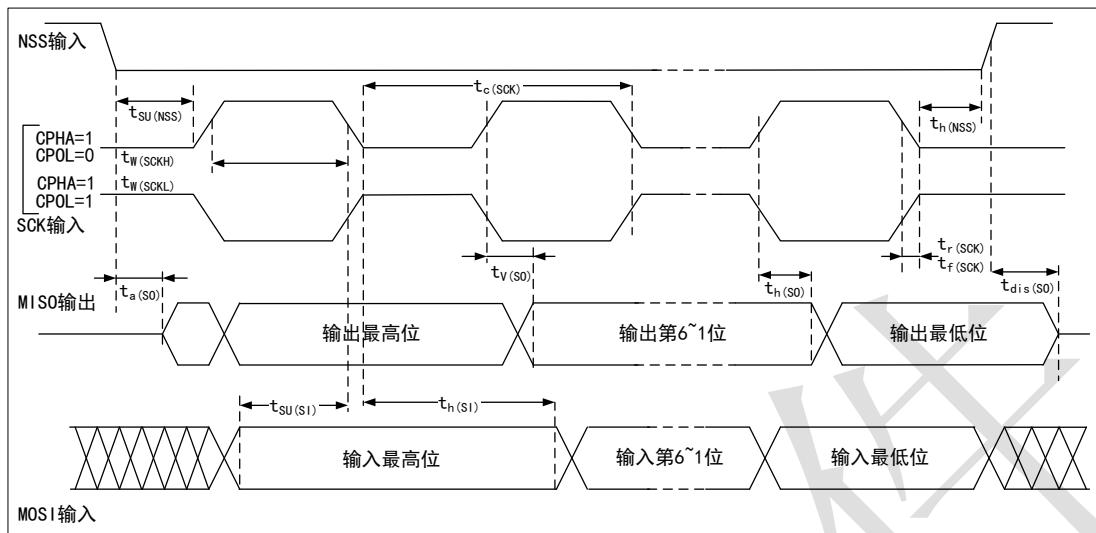
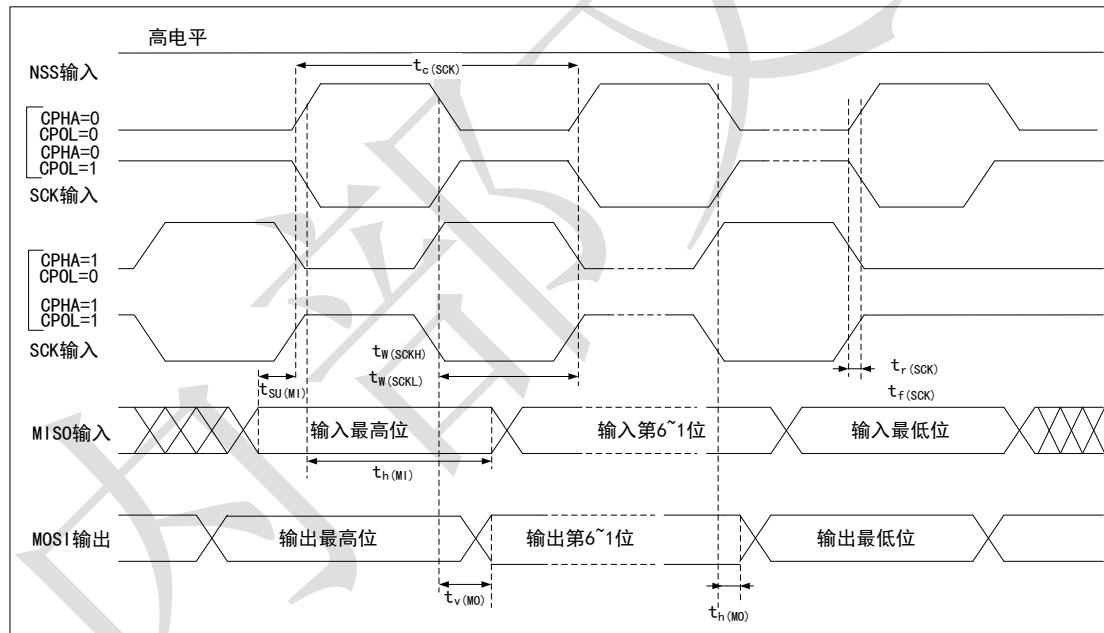


图 15 SPI 时序图一从模式和 CPHA=1



注：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

图 16 SPI 时序图一主模式



注：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.10.3 USBD 外设特性

表 37 USBD 直流特性

| 符号 | 参数 | 条件 | 最小值 ⁽¹⁾ | 最大值 ⁽¹⁾ | 单位 |
|----------|--------------------------|----|--------------------|--------------------|----|
| 输入电平 | | | | | |
| V_{DD} | USBD 操作电压 ⁽²⁾ | - | 3.0 ⁽³⁾ | 3.6 | V |

| 符号 | 参数 | 条件 | 最小值 ⁽¹⁾ | 最大值 ⁽¹⁾ | 单位 |
|----------------|---------|--------------------------------------|--------------------|--------------------|----|
| $V_{DI}^{(4)}$ | 差分输入灵敏度 | I (USBDP, USBDM) | 0.2 | - | V |
| $V_{CM}^{(4)}$ | 差分共模范围 | 包含 V_{DI} 范围 | 0.8 | 2.5 | |
| $V_{SE}^{(4)}$ | 单端接收器阈值 | - | 1.3 | 2.0 | |
| 输出电平 | | | | | |
| V_{OL} | 静态输出低电平 | 1.5kΩ 的 R_L 接至 3.6V ⁽⁵⁾ | - | 0.3 | V |
| V_{OH} | 静态输出高电平 | 15kΩ 的 R_L 接至 $V_{SS}^{(5)}$ | 2.8 | 3.6 | |

- 所有的电压测量都是以设备端地线为准。
- 为了与 USB2.0 全速电气规范兼容, USBDP (D+) 引脚必须通过一个 1.5kΩ 电阻接至 3.0~3.6V 电压。
- APM32FEP5xBT6 的正确 USBD 功能可以在 2.7V 得到保证, 而不是在 2.7~3.0V 电压范围下降级的电气特征。
- 有综合评估保证, 不在生产中测试。
- R_L 是连接到 USBD 驱动器上的负载

图 17 USBD 时序: 数据信号上升和下降的时间定义

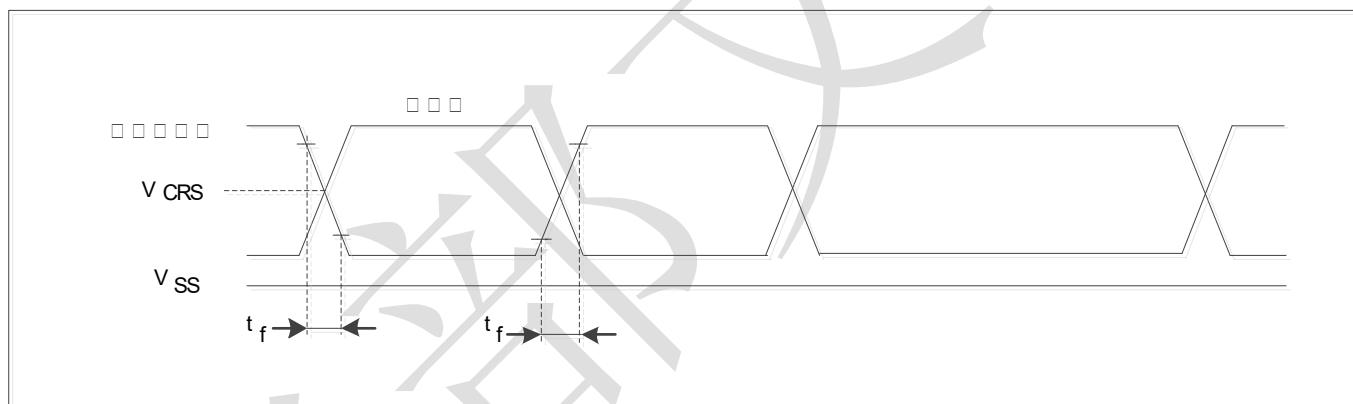


表 38 USBD 全速电气特性($V_{DD} = 3.0\text{--}3.6V$, $T_A = 25^\circ\text{C}$)

| 符号 | 参数 | 条件 | 最小值 | 最大值 | 单位 |
|-----------|----------|---------------------|------|------|----|
| t_r | 上升时间 | $C_L = 50\text{pF}$ | 4.6 | 9.3 | ns |
| t_f | 下降时间 | $C_L = 50\text{pF}$ | 5.2 | 10.9 | ns |
| t_{rfm} | 上升下降时间匹配 | t_r / t_f | 71 | 97 | % |
| V_{CRS} | 输出信号交叉电压 | - | 1.60 | 2.17 | V |

5.11 模拟外设

5.11.1 ADC

测试参数说明:

- 采样率：ADC 每秒进行的模拟量转数字量的次数，采样率=ADC 时钟/(采样周期数+转换周期数)

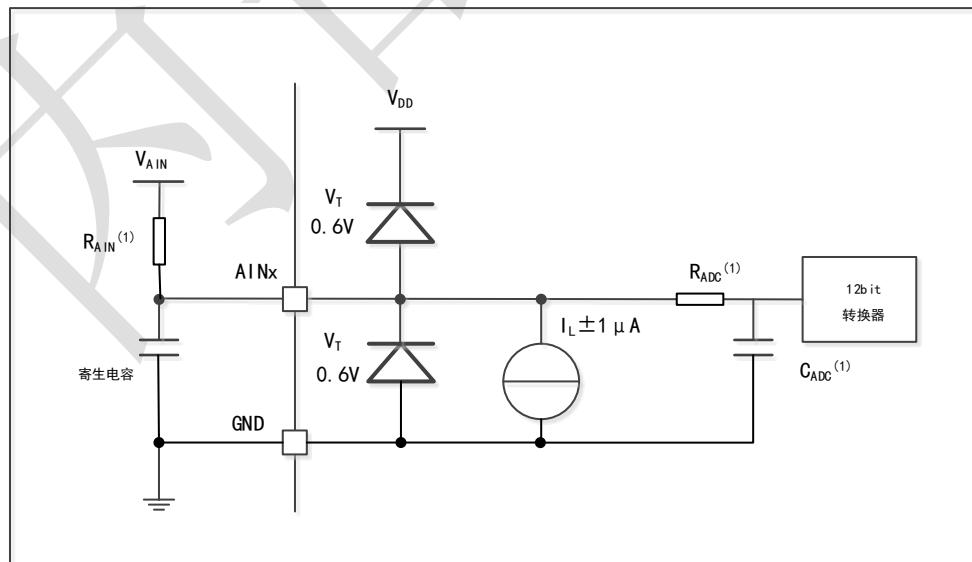
5.11.1.1 12 位 ADC 特性

表 39 12 位 ADC 特性($V_{DD} = 2.4\text{-}3.6V$, $T_A = -40\text{-}105^\circ\text{C}$)

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|------------|---------------------|--------------------------|------------------------------|-----|------------|------------------|
| V_{DDA} | 供电电压 | - | 2.4 | - | 3.6 | V |
| V_{REF+} | 正参考电压 | - | 2.4 | - | V_{DDA} | V |
| I_{VREF} | 在 V_{REF} 输入脚上的电流 | - | - | 260 | 484 | μA |
| f_{ADC} | ADC 时钟频率 | - | 0.6 | - | 14 | MHz |
| f_s | 采样速率 | - | 0.05 | - | 1 | MHz |
| V_{AIN} | 转换电压范围 | - | 0 | - | V_{REF+} | V |
| t_{CAL} | 校准时间 | $f_{ADC} = 14\text{MHz}$ | 5.9 | | | μs |
| | | - | 83 | | | $1/f_{ADC}$ |
| C_{ADC} | 采样保持电容 | - | 12 | | | pF |
| R_{ADC} | 采样电阻 | - | 1 | | | $\text{K}\Omega$ |
| t_s | 采样时间 | $f_{ADC}=14\text{MHz}$ | 0.107 | - | 17.1 | μs |
| | | - | 1.5 | - | 239.5 | $1/f_{ADC}$ |
| T_{CONV} | 总的转换时间(包括采样时间) | $f_{ADC}=14\text{MHz}$ | 1 | - | 18 | μs |
| | | - | 14~252(采样 t_s + 逐次逼近 12.5) | | | $1/f_{ADC}$ |

- 由综合评估保证，不在生产中测试
- $C_{parasitic}$ 表示 PCB (与焊接和 PCB 布局质量相关) 与焊盘上的寄生电容(大约 7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

图 18 ADC 的典型应用



外部输入阻抗的最大值计算公式如下：

公式 1：最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} X \ C_{ADC} X \ \ln(2^{N+2})} - R_{ADC}$$

其中 $f_{ADC}=14\text{MHz}$, $C_{ADC}=12\text{pF}$ (表 39), $R_{ADC}=1\text{k}\Omega$ (表 39), 对于 0.25LSB 采样误差精度要求的条件下, T_S 与 R_{AIN} 的关系如下表:

表 40 $f_{ADC}=14\text{MHz}$ ⁽¹⁾时的最大 R_{AIN}

| T_S (周期) | t_S (μs) | 最大值 R_{AIN} (kΩ) |
|------------|------------|--------------------|
| 1.5 | 0.11 | 1.2 |
| 7.5 | 0.54 | 10 |
| 13.5 | 0.96 | 19 |
| 28.5 | 2.04 | 41 |
| 41.5 | 2.96 | 60 |
| 55.5 | 3.96 | 80 |
| 71.5 | 5.11 | 104 |
| 239.5 | 17.1 | 350 |

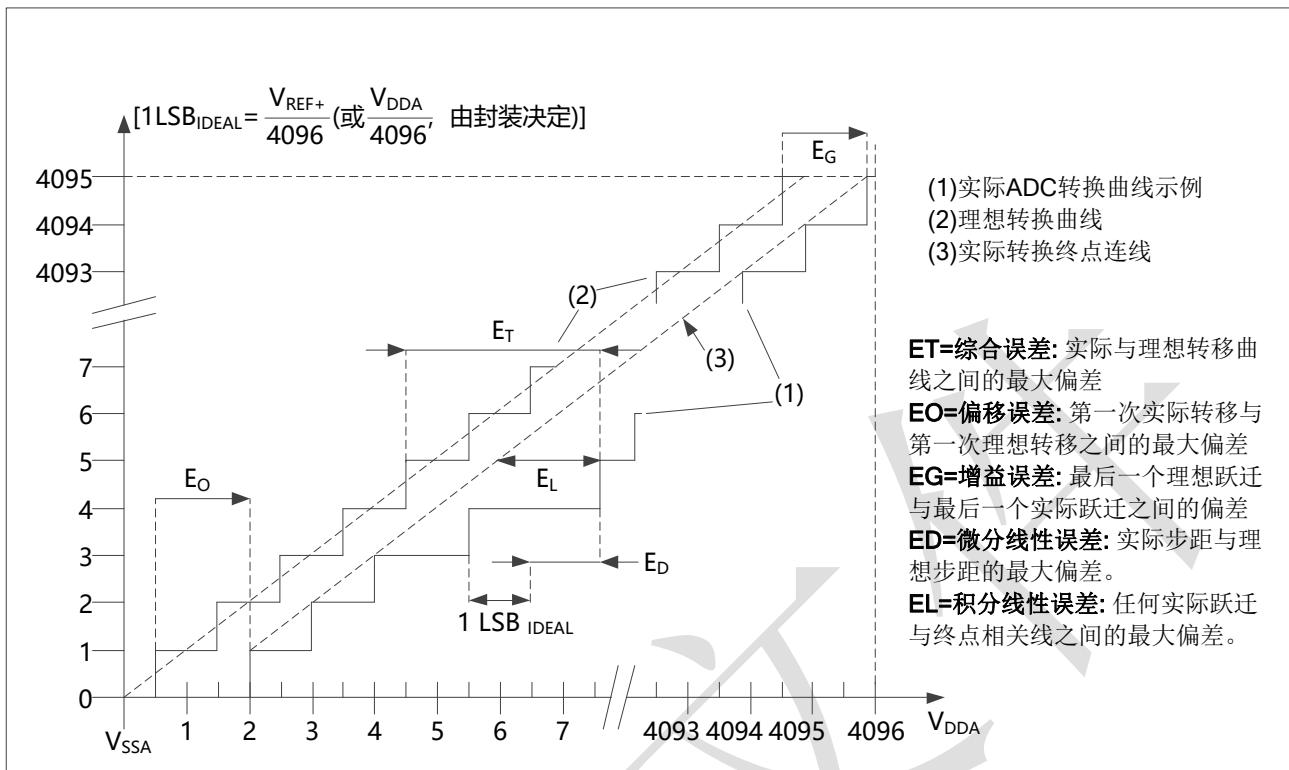
注: 由设计保证, 不在生产中测试。

表 41 12 位 ADC 精度⁽¹⁾⁽²⁾

| 符号 | 参数 | 测试条件 | 典型值 | 最大值 ⁽³⁾ | 单位 |
|-------|--------|--|------|--------------------|-----|
| E_T | 综合误差 | $f_{PCLK2}=56\text{MHz}$, $f_{ADC}=14\text{MHz}, R_{AIN}<10\text{k}\Omega$, $V_{DDA}=2.4\sim3.6\text{V}, T_A=-40\sim105^\circ\text{C}$ 测量是在 ADC 校准之后进行的 | ±2.5 | ±5.5 | LSB |
| E_o | 偏移误差 | | ±2.1 | ±3.5 | |
| E_G | 增益误差 | | ±2.0 | ±4 | |
| E_D | 微分线性误差 | | ±1.5 | ±2.5 | |
| E_L | 积分线性误差 | | ±1.8 | ±3 | |

1. 经过内部校准后测量得到 ADC 的直流精度数值。
2. 反向注入电流会明显影响 ADC 精度建议在可能产生反向注入电流的标准模拟引脚上, (引脚与地之间) 增加一个肖特基二极管。
正向的注入电流, 只要处于 5.9.1 中给出的 $I_{INJ(PIN)}$ 和 $\sum I_{INJ(PIN)}$ 范围之内, 就不会影响 ADC 精度。
3. 是评估值。

图 19 ADC 精度特性



5.11.1.2 内置参考电压特性测试

表 42 内置参考电压特性

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------------|-----------------------|---|------|------|------|------------------|
| $V_{REFINT}^{(1)}$ | 内置参考电压 | $-40^{\circ}C < T_A < +105^{\circ}C$ $V_{DD} = 2-3.6V$ | 1.16 | 1.21 | 1.26 | V |
| $T_{S_vrefint}^{(2)}$ | 当读出内部参考电压时, ADC 的采样时间 | - | - | 5.1 | 17.1 | μs |
| V_{RERINT} | 内置参考电压扩展到温度范围 | $V_{DD} = 3V \pm 10mV$ | - | - | 20 | mV |
| T_{coeff} | - | - | - | - | 126 | ppm/ $^{\circ}C$ |

注:

- 由综合评估得出, 不在生产中测试。
- 由设计保证, 不在生产中测试。

5.11.1.3 温度传感器特性

表 43 温度传感器特性

| 符号 | 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|--------------------|--|------|------|-----|-----------------|
| $Avg_Slope^{(1)}$ | 平均斜率 ($V_{DD} = 3.3V$, $T_A = -40\sim105^{\circ}C$) | 4.1 | 4.2 | 4.5 | mV/ $^{\circ}C$ |
| V_{25} | 在 $25^{\circ}C$ 时的电压 ($V_{DD} = 2.0-3.6V$) | 1.32 | 1.41 | 1.5 | V |
| $t_{START}^{(2)}$ | 建立时间 | 4 | - | 10 | μs |

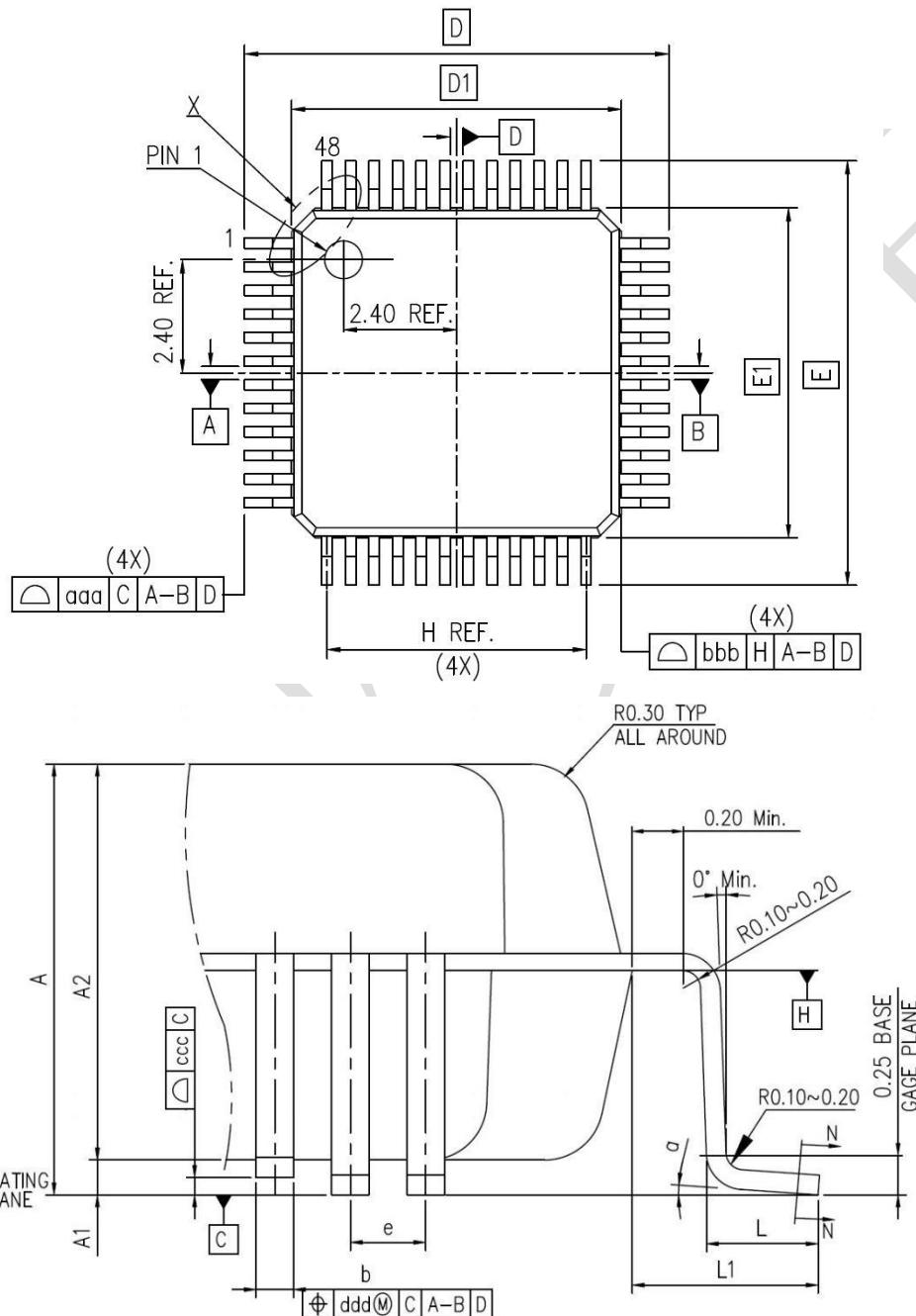
| 符号 | 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------------|------------------|-----|-----|------|---------|
| $T_{S_temp}^{(2)(3)}$ | 当读取温度时, ADC 采样时间 | - | - | 17.1 | μs |

1. 由特性分析保证, 不在生产中测试。
2. 由设计保证, 不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

6 封装信息

6.1 LQFP48 封装图

图 20 LQFP48 封装图



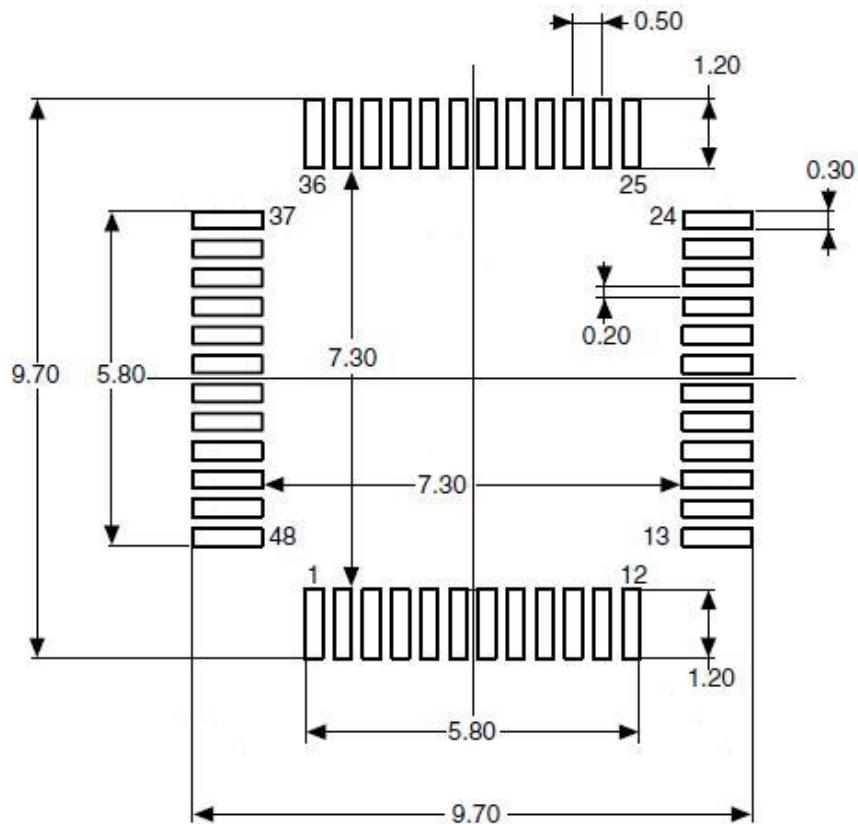
- (1) 图不是按照比例绘制。
- (2) 后背的焊盘内部没有联到 V_{SS} 或 V_{DD} 。
- (3) 在 LQFP 封装的底面有一个焊盘, 应把它焊接在 PCB 上。
- (4) 所有的引脚都应该焊接在 PCB 上。

表 44 LQFP48 封装数据

| DIMENSION LIST (FOOTPRINT: 2.00) | | | |
|----------------------------------|---------|------------|---------------------------|
| S/N | SYM | DIMENDIONS | REMARKS |
| 1 | A | MAX. 1.60 | OVERALL HEIGHT |
| 2 | A1 | 0.1±0.05 | STANDOFF |
| 3 | A2 | 1.40±0.05 | PKG THICKNESS |
| 4 | D | 9.00±0.20 | LEAD TIP TO TIP |
| 5 | D1 | 7.00±0.10 | PKG LENGTH |
| 6 | E | 9.00±0.20 | LEAD TIP TO TIP |
| 7 | E1 | 7.00±0.10 | PKG WDTH |
| 8 | L | 0.60±0.15 | FOOT LENGTH |
| 9 | L1 | 1.00 REF | LEAD LENGTH |
| 10 | T | 0.15 | LEAD THICKNESS |
| 11 | T1 | 0.127±0.03 | LEAD BASE METAL THICKNESS |
| 12 | a | 0°~7° | FOOT ANGLE |
| 13 | b | 0.22±0.02 | LEAD WIDTH |
| 14 | b1 | 0.20±0.03 | LEAD BASE METAL WIDTH |
| 15 | e | 0.50 BASE | LEAD PITCH |
| 16 | H(REF.) | (5.50) | CUM. LEAD PITCH |
| 17 | aaa | 0.2 | PROFILE OF LEAD TIPS |
| 18 | bbb | 0.2 | PROFILE OF MOLD SURFACE |
| 19 | ccc | 0.08 | FOOT COPLANARITY |
| 20 | ddd | 0.08 | FOOT POSITION |

(1) 尺寸以毫米表示。

图 21 LQFP48 - 48 引脚, 7 x 7 mm 焊接 Layout 建议



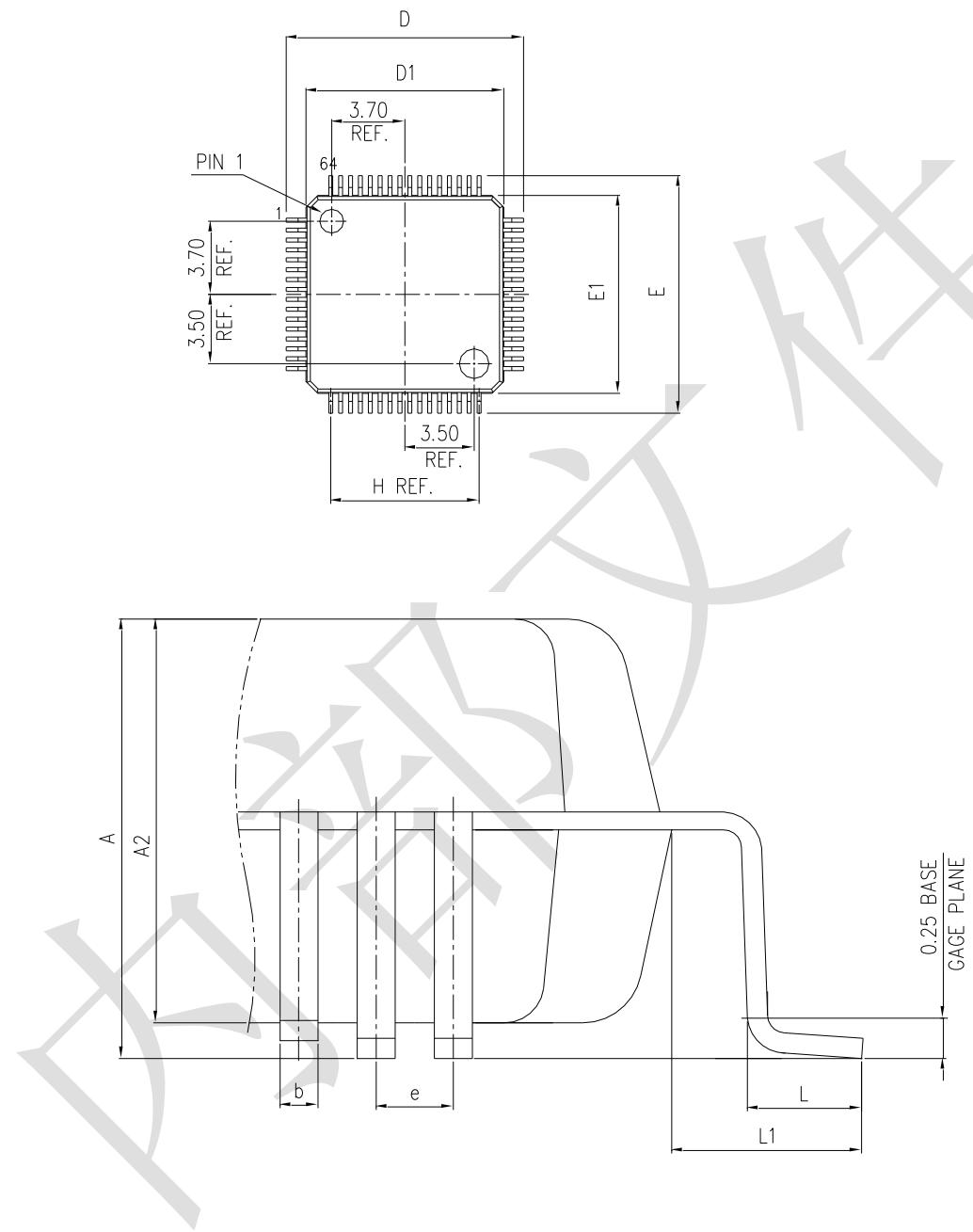
(1) 尺寸以毫米表示。

图 22 LQFP48 - 48 引脚, 7 x 7 mm 标识图



6.2 LQFP64 封装信息

图 23 LQFP64 封装图



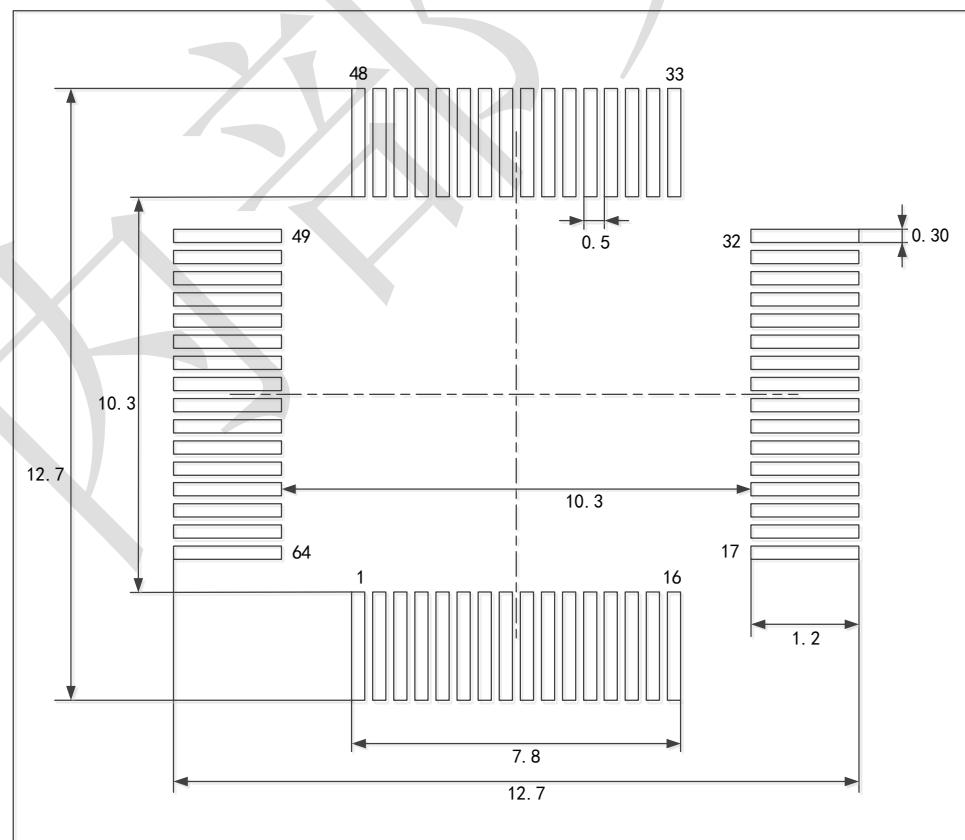
注：图不是按比例绘制。

表格 1 LQFP64 封装数据

| S/N | SYM | DIMENSIONS | REMARKS |
|-----|---------|--------------|---------------|
| 1 | A | MAX.1.600 | OVERALLHEIGHT |
| 2 | A2 | 1.400±0.050 | PKGTHICKNESS |
| 3 | D | 12.000±0.200 | LEADTIPTOTIP |
| 4 | D1 | 10.000±0.100 | PKGLENGTH |
| 5 | E | 12.000±0.200 | LEADTIPTOTIP |
| 6 | E1 | 10.000±0.100 | PKGWIDTH |
| 7 | L | 0.600±0.150 | FOOTLENGTH |
| 8 | L1 | 1.000REF. | LEADLENGTH |
| 9 | e | 0.500BASE | LEADPITCH |
| 10 | H(REF.) | (7.500) | GUM.LEADPITCH |
| 11 | b | 0.220±0.050 | LEADWIDTH |

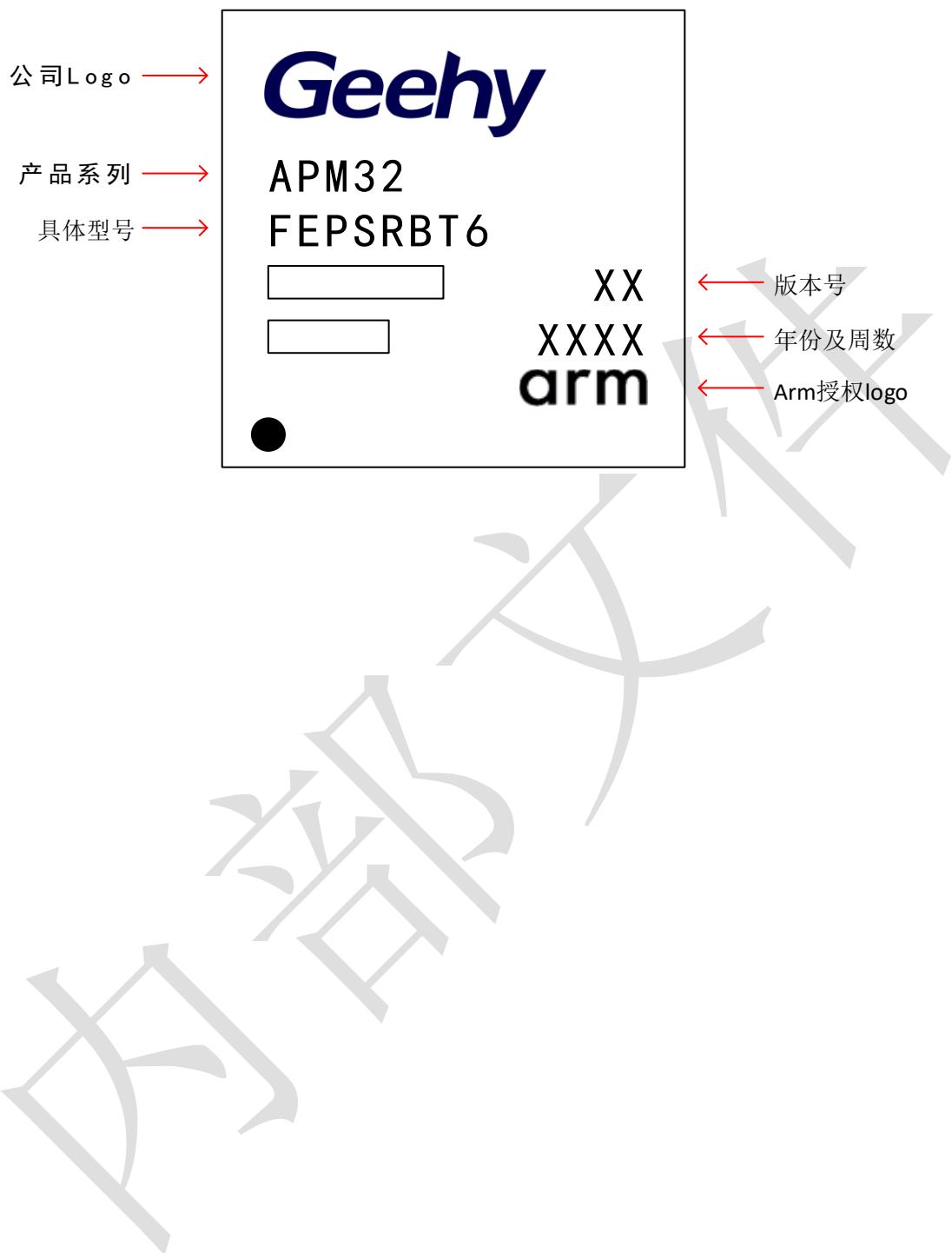
注：尺寸以毫米表示。

图 24 LQFP64 焊接 Layout 建议



注：尺寸单位为毫米。

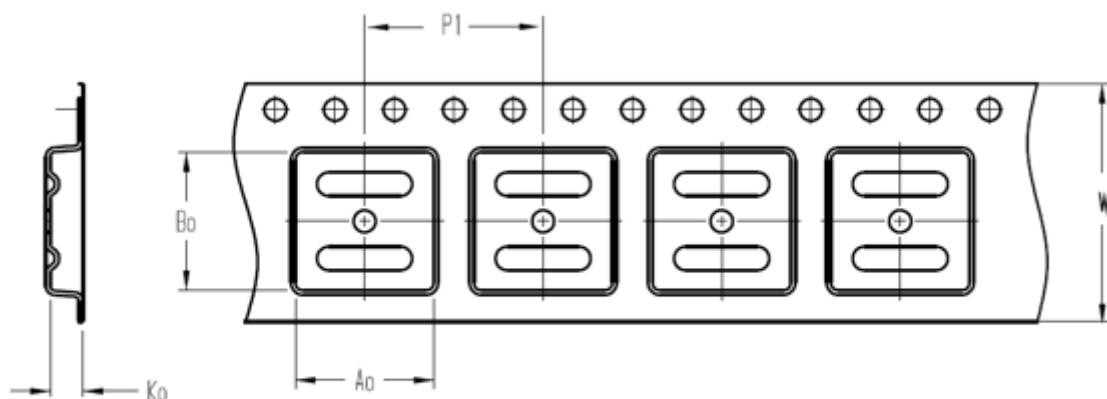
图 25 LQFP64 - 64 引脚, 10 x 10mm 封装标识



7 包装信息

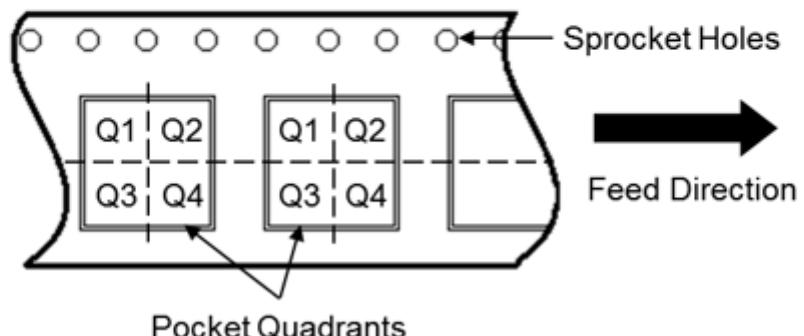
图 26 带状包装规格图

Tape Dimensions

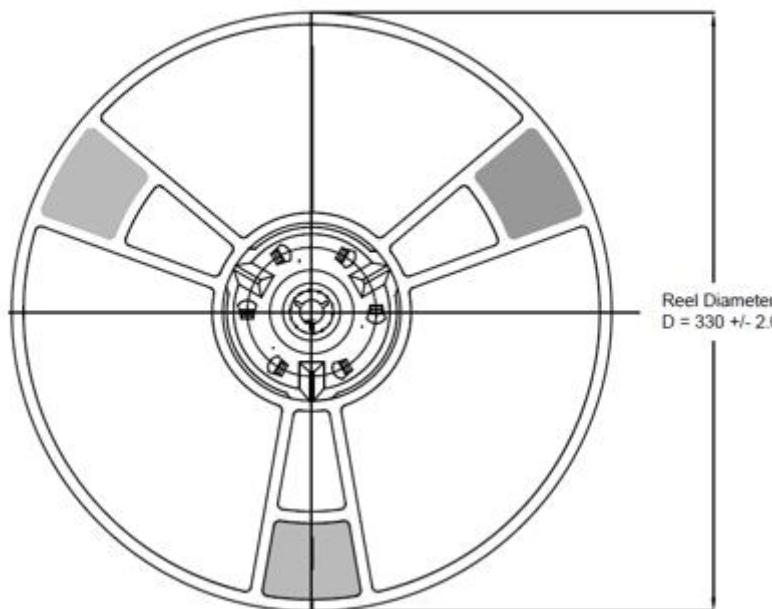


| | |
|----|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

Quadrant Assignments For PIN1 Orientation In Tape



Reel Dimensions

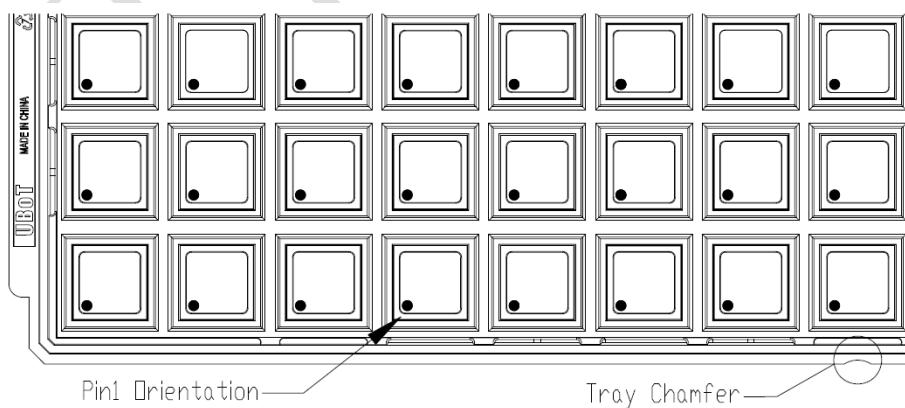


所有照片仅供参考，外观以产品为准。

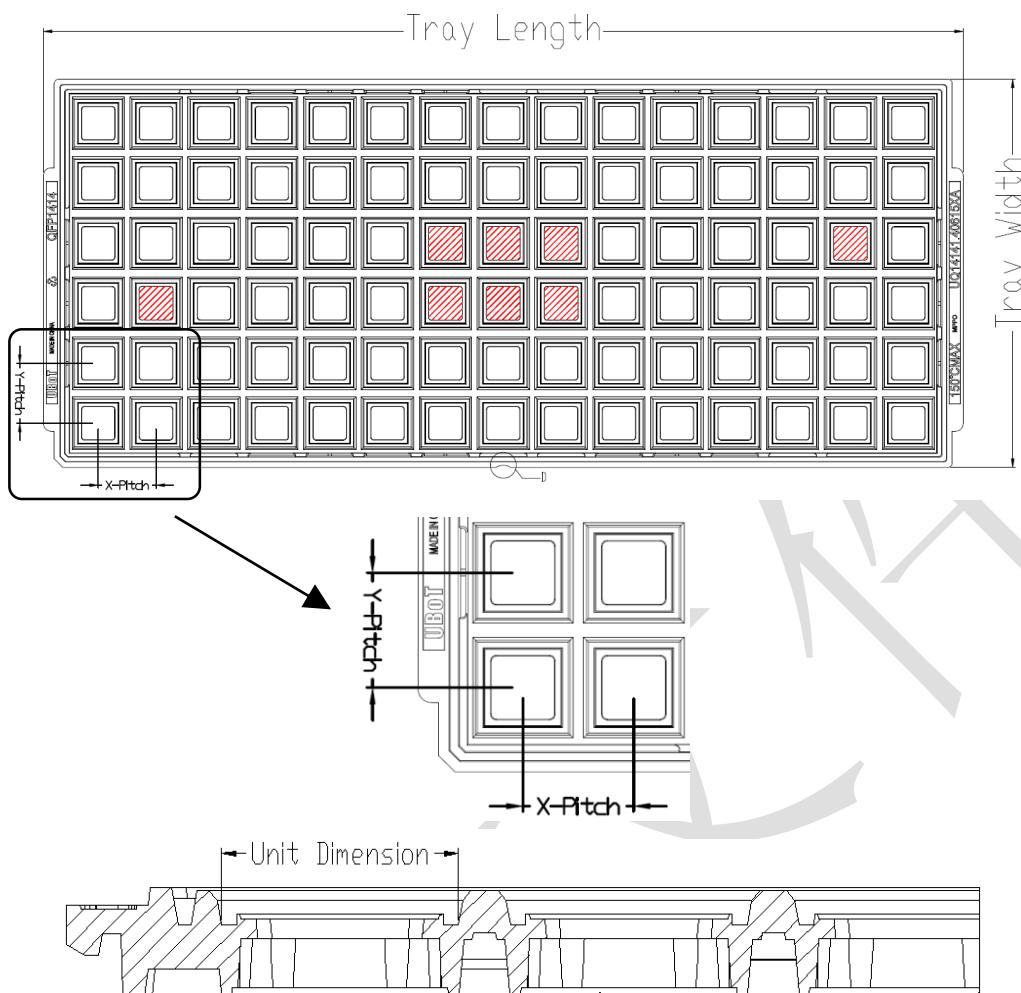
表 45 带状包装参数规格表

| Device | Package Type | Pins | SPQ | Reel Diameter (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---------------|--------------|------|------|--------------------|---------|---------|---------|---------|--------|---------------|
| APM32FEPSGBT6 | LQFP | 48 | 2000 | 330 | 9.3 | 9.3 | 2.2 | 12 | 16 | Q1 |
| APM32FEPSRBT6 | LQFP | 64 | 1000 | 330 | 12.35 | 12.35 | 2.2 | 16 | 24 | Q1 |

图 27 托盘包装示意图



Tray Dimensions



所有照片仅供参考，外观以产品为准

表 46 托盘包装参数规格表

| Device | Package Type | Pins | SPQ | X-Dimension | Y-Dimension | X-Pitch | Y-Pitch | Tray Length | Tray Width |
|---------------|--------------|------|------|-------------|-------------|---------|---------|-------------|------------|
| | | | | (mm) | (mm) | (mm) | (mm) | (mm) | (mm) |
| APM32FEPSCBT6 | LQFP | 48 | 2500 | 9.7 | 9.7 | 12.2 | 12.6 | 322.6 | 135.9 |
| APM32FEPSRBT6 | LQFP | 64 | 1600 | 12.3 | 12.3 | 15.2 | 15.7 | 322.6 | 135.9 |

8 订货信息

图 28 产品命名规则

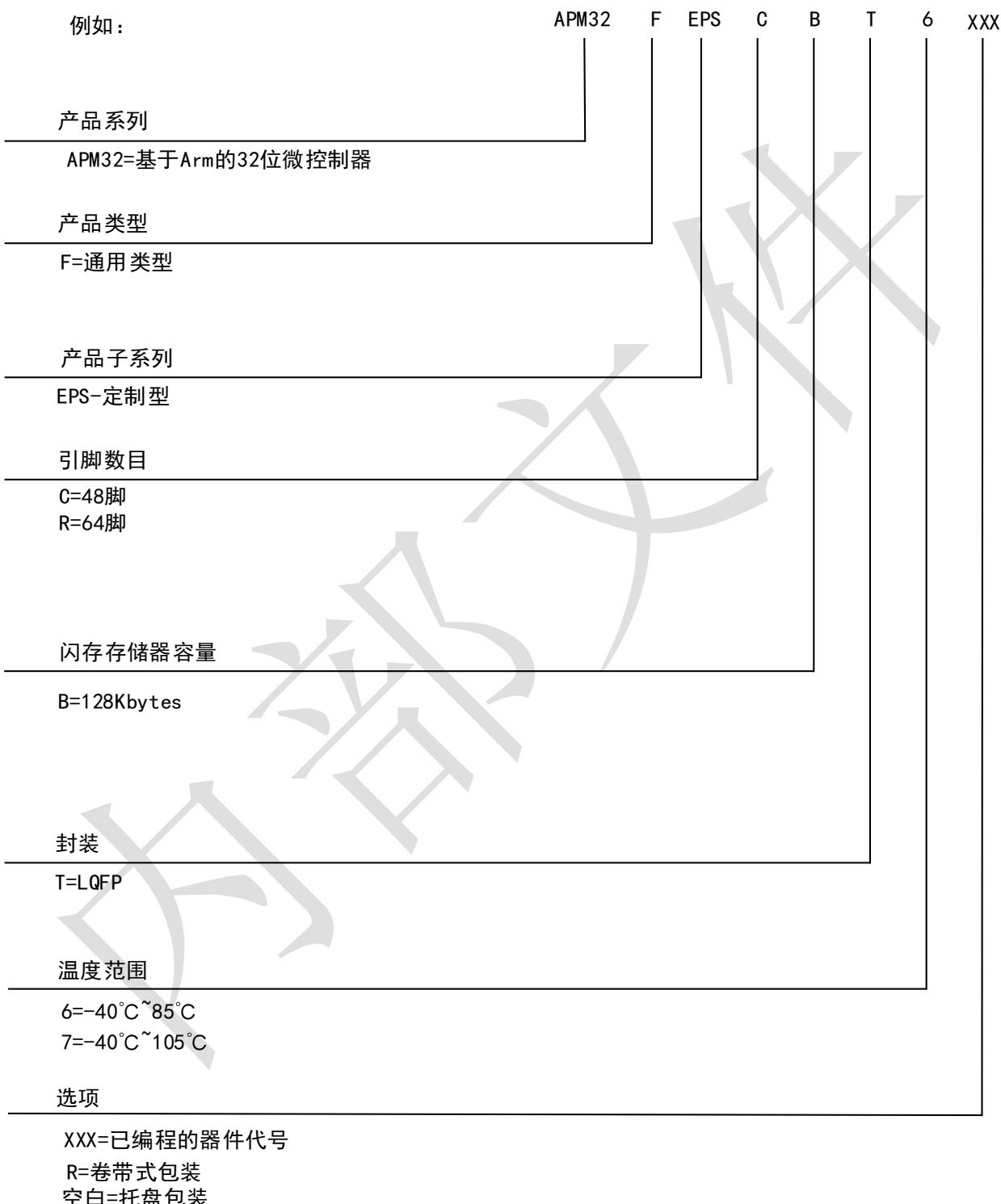


表 47 订货信息列表

| 订货编码 | FLASH(KB) | SRAM(KB) | 封装 | SPQ | 温度范围 |
|-----------------|-----------|----------|--------|------|--------------|
| APM32FEPSCBT6-R | 128 | 20 | LQFP48 | 2000 | 工业级 -40℃~85℃ |
| APM32FEPSCBT6 | 128 | 20 | LQFP48 | 2500 | 工业级 -40℃~85℃ |
| APM32FEPSRBT6-R | 128 | 20 | LQFP64 | 1000 | 工业级 -40℃~85℃ |
| APM32FEPSRBT6 | 128 | 20 | LQFP64 | 1600 | 工业级 -40℃~85℃ |

1. SPQ=最小包装数量



9 常用功能模块命名

表 48 常用功能模块命名

| 中文描述 | 简称 |
|-----------|--------|
| 复位管理单元 | RMU |
| 时钟管理单元 | CMU |
| 复位和时钟管理 | RCM |
| 外部中断 | EINT |
| 通用 IO | GPIO |
| 复用 IO | AFIO |
| 唤醒控制器 | WUPT |
| 蜂鸣器 | BUZZER |
| 独立看门狗定时器 | IWDT |
| 窗口看门狗定时器 | WWDT |
| 定时器 | TMR |
| CRC 控制器 | CRC |
| 电源管理单元 | PMU |
| DMA 控制器 | DMA |
| 模拟数字转换器 | ADC |
| 实时时钟 | RTC |
| 外部存储控制器 | EMMC |
| 控制器局域网络 | CAN |
| I2C 接口 | I2C |
| 串行外设接口 | SPI |
| 通用异步收发器 | UART |
| 通用异步同步收发器 | USART |
| 闪存接口控制单元 | FMC |

10 版本历史

表 49 文件版本历史

| 日期 | 版本 | 变更历史 |
|---------|-----|---|
| 2022.10 | 1.0 | 新建 |
| 2023.5 | 1.1 | <ul style="list-style-type: none">(1) 修改系统框图、地址映射和引脚定义表格中 USBD 的名称(2) 修改 USBD 的功能描述(3) 增加 RBT6 型号。请注意手册名称的修改(4) 更新产品丝印图(5) 修改系统框图，并对框图中的“/”与“（）”进行注释(6) “停止模式”统一改为“停机模式”(7) 删除功能描述中 GPIO 模块的描述：“每个引脚都支持大电流通过”(8) 产品信息表中的“DAC”更正为：“ADC” |

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，除非在极海销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”(**as is**)提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册相关信息而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失）。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

© 2022-2023 珠海极海半导体有限公司 – 保留所有权利