

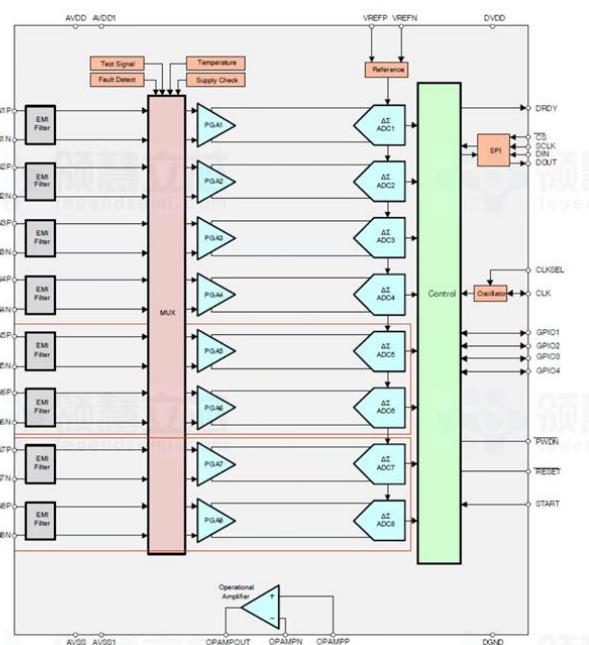
1. 特性

- 8 路差分模数转换器 (ADC) 输入
- 优异的性能:
 - 动态范围: 1kSPS 时为 122dB
 - 64kSPS 时为 91dB
- 串扰: -110dB
- 总谐波失真 (THD): 50Hz 和 60Hz 时为 -120dB
- 模拟电源范围选项:
 - 3V 至 5V (单极)
 - ±2.5V (双极, 允许直流耦合)
 - 数字: 1.8V 至 3.6V
 - 低功耗: 每通道 2mW
 - 数据速率: 1, 2, 4, 8, 16, 32, 64 和 128kSPS
 - 可编程增益: 1, 2, 3, 4, 6, 8, 12, 24
 - 故障检测和器件测试功能
 - SPI 数据接口和四个通用输入输出接口 (GPIO)
 - 封装: LQFP-64
 - 工作温度范围: -40°C 至 +105°C

2. 应用

- 电源保护: 断路器和继电器保护
- 电能计量: 单相、多相和电能质量
- 电池测试系统
- 测试和测量
- 同步采样数据采集系统

4. 功能框图



3. 概述

LHA7878H 是一款多通道同步采样、24 位 Δ-Σ 模数转换器 (ADC)，内置可编程增益放大器(PGA)、内部基准和振荡器。凭借 ADC 的宽动态范围、可扩展数据传输速率以及内部故障检测监测计，LHA7878H 受到工业电源监测和保护以及测试和测量应用的青睐。真正的高阻抗输入支持 LHA7878H 直接与电阻分压器网络或电压互感器相连以测量线路电压或与电流互感器或罗戈夫斯基线圈相连来测量电流。借助于高集成度和出色的性能，LHA7878H 系列产品可在大大降低尺寸、功耗和总体成本的前提下创建可升级的工业用电源系统。

LHA7878H 在每通道上有一个灵活输入多路复用器，此多路复用器被独立连接至内部生成信号以实现测试、温度和故障检测。故障检测可在器件内部执行，此器件使用集成的带有数模转换器 (DAC) 控制的触发电平的比较器。LHA7878H 运行的数据速率可高达 128kSPS。

完整的模拟前端 (AFE) 解决方案封装在 LQFP-64 封装内并且额定工业用温度范围为 -40°C 至 +105°C。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 (标称值)
LHA7878H	LQFP (64)	10.00mm x 10.00mm

(1) 要了解所有可用封装，请参见数据表末尾的可订购产品附录。

目录

1. 特性	1
2. 应用	1
3. 概述	1
4. 功能框图	1
5. 版本历史	5
6. 引脚配置和功能	6
7. 规格	7
7.1. 绝对最大额定值	7
7.2. ESD 性能	8
7.3. 推荐工作条件	8
7.4. 热信息	8
7.5. 电气特性	8
7.6. 时间要求	10
7.7. 开关特性	11
7.8. 典型特征	11
8. 参数测量信息	13
8.1. 噪声测量	13
9. 详细描述	15
9.1. 概述	15
9.2. 功能框图	16
9.3. 功能描述	16
9.3.1. 电磁干扰(EMI)滤波器	16
9.3.2. 输入多路选择器	16
9.3.2.1. 噪声测量	17
9.3.2.2. 测试信号(TESTP 和 TESTN)	17
9.3.2.3. 温度传感器(TEMP_P TEMP_N)	17
9.3.2.4. 电源测量(MVDD_P, MVDD_N)	18
9.3.3. 模拟输入	18
9.3.4. PGA 设置和输入范围	19
9.3.4.1. 输入共模范围	19
9.3.5. DELTA SIGMA 调制器	19
9.3.6. CLOCK	19
9.3.7. 数字抽取滤波器	20
9.3.8. 电压基准	20
9.3.9. 输入超出范围检测	21
9.3.10. 通用数字 IO (GPIO)	21

9.4. 设备功能模式	21
9.4.1. START	21
9.4.1.1. 建立时间	22
9.4.1.2. 输入信号阶跃	22
9.4.2. RESET (RESET)	23
9.4.3. POWER-DOWN (PWDN)	23
9.4.4. 连续转换模式	23
9.4.5. 数据检索	24
9.4.5.1. 数据就绪(DRDY)	24
9.4.5.2. 回读数据	25
9.4.5.3. 状态字	25
9.4.5.4. 回读长度	25
9.5. 通讯	25
9.5.1. 数据格式	25
9.5.2. SPI 接口	26
9.5.2.1. SPI 选择(CS)	26
9.5.2.2. 串行时钟 (SCLK)	26
9.5.2.3. 数据输出 (DOUT)	27
9.5.3. SPI 命令定义	27
9.5.3.1. 发送多字节命令	27
9.5.3.2. 唤醒：退出待机模式	28
9.5.3.3. 待机：进入待机模式	28
9.5.3.4. RESET：将寄存器重置为默认值	28
9.5.3.5. START：开始转换	28
9.5.3.6. 停止：停止转换	28
9.5.3.7. OFFSETCAL：通道偏移校准	28
9.5.3.8. RDATAC：启动读取数据连续模式	28
9.5.3.9. SDATAC:停止读取数据连续模式	29
9.5.3.10. RDATA：读取数据	29
9.5.3.11. RREG：从寄存器读取	30
9.5.3.12. WREG：写寄存器	30
9.6. 寄存器列表	31
9.6.1. 寄存器说明	31
9.6.1.1. ID：ID 控制寄存器（工厂编程，只读）（地址=00H） [RESET=XXH]	31
9.6.1.2. C0NFIG1:配置寄存器 1 (地址=01H) [RESET=1EH]	32
9.6.1.3. C0NFIG2：配置寄存器 2 (地址=02H) [RESET=C0H]	32
9.6.1.4. CONFIG3：配置寄存器 3 (地址=03H) [RESET=00]	33
9.6.1.5. 故障：故障检测控制寄存器（地址=04H） [复位=00H]	33
9.6.1.6. CHNSET：通道设置（地址=05H 至 OCH） [RESET=00H]	34
9.6.1.7. FAULT_STATP：故障检测正输入状态（地址=12H） [RESET=XXH]	35
9.6.1.8. FAULT_STATN：故障检测负输入状态（地址=13H） [RESET=XXH]	35
9.6.1.9. GPIO：通用 IO 寄存器(地址=14H) [RESET=0FH]	36

10. 应用和实现	36
10.1. 应用信息	36
10.1.1. 未使用的输入和输出	36
10.1.2. 设置设备以进行基本数据捕获	37
10.1.3. 多器件配置	39
10.1.3.1. 同步多个器件	39
10.1.3.2. 标准配置	39
10.1.3.3. 菊花链配置	39
10.1.4. 电力监控特定应用	40
10.1.5. 电流检测	41
10.1.6. 电压感应	42
11. 电源建议	44
11.1. 上电时序	44
11.2. 推荐的外部电容值	44
11.3. 单极电源的设备连接	45
11.4. 用于双极电源的器件连接	45
12. LAYOUT	46
12.1. 设计指引	46
12.2. 布局示例	46
13. 封装和可订购信息	47
14. 采购指南	48

5. 版本历史

版本号	日期	更新内容
PreA	2023年8月13日	初版
	2023年9月24日	增加包装规范
	2024年4月8日	增加小包装规格

6. 引脚配置和功能

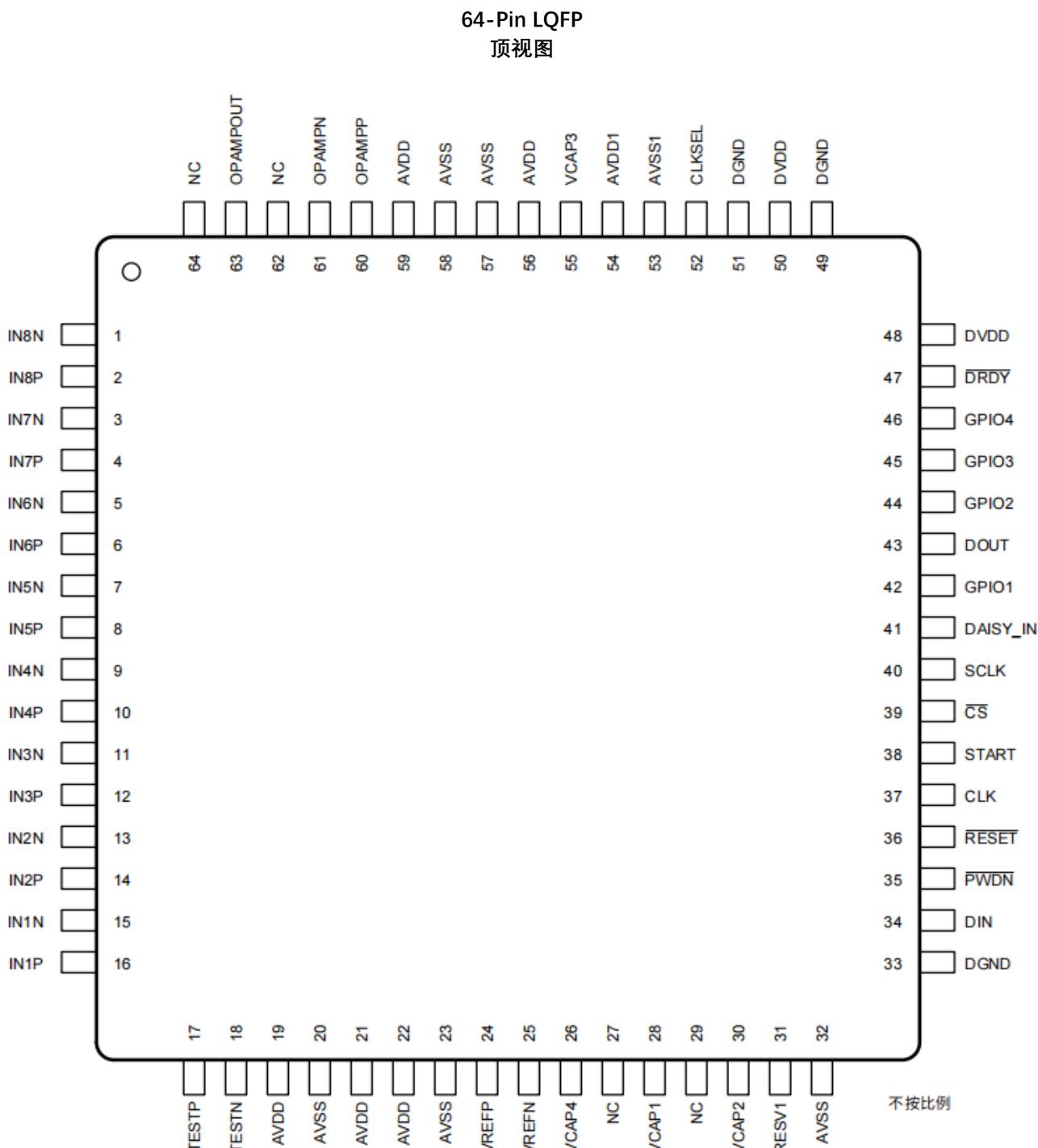


表1. 引脚功能

PIN		I/O	DESCRIPTION
NAME	NO.		
AVDD	19, 21, 22, 56, 59	电源	模拟电源。每个 AVDD 管脚连接一个 1μF (或更大) 电容器到 AVSS。
AVDD1	54	电源	数字 LDO 输出，连接 1μF(或更大)电容到 AVSS1。
AVSS	20, 23, 32, 57, 58	电源	模拟地
AVSS1	53	电源	电荷泵模拟地
CS	39	数字输入	芯片选择；低有效
CLK	37	数字输入	主时钟输入。如果未使用，请连接到 DGND。
CLKSEL	52	数字输入	主时钟选择
DAISY_IN	41	数字输入	菊花链输入。如果未使用，请连接到 DGND。
DGND	33, 49, 51	电源	数字地
DIN	34	数字输入	串行数据输入
DOUT	43	数字输出	串行数据输出

DRDY	47	数字输出	数据就绪; 低电平有效。如果未使用, 请使用 10-KΩ电阻连接到 DGND。
DVDD	48, 50	电源	数字核心电源。每个 DVDD 引脚连接一个 1μF (或更大) 电容器到 DGND。
GPIO1	42	数字输入/输出	通用输入输出引脚 1。如果未使用, 请使用 10-KΩ电阻连接到 DGND。
GPIO2	44	数字输入/输出	通用输入输出引脚 2。如果未使用, 请使用 10-KΩ电阻连接到 DGND。
GPIO3	45	数字输入/输出	通用输入输出引脚 3。如果未使用, 请使用 10-KΩ电阻连接到 DGND。
GPIO4	46	数字输入/输出	通用输入输出引脚 4。如果未使用, 请使用 10-KΩ电阻连接到 DGND。
IN1N ⁽¹⁾	15	模拟输入	负模拟输入 1
IN1P ⁽¹⁾	16	模拟输入	正模拟输入 1
IN2N ⁽¹⁾	13	模拟输入	负模拟输入 2
IN2P ⁽¹⁾	14	模拟输入	正模拟输入 2
IN3N ⁽¹⁾	11	模拟输入	负模拟输入 3
IN3P ⁽¹⁾	12	模拟输入	正模拟输入 3
IN4N ⁽¹⁾	9	模拟输入	负模拟输入 4
IN4P ⁽¹⁾	10	模拟输入	正模拟输入 4
IN5N ⁽¹⁾	7	模拟输入	负模拟输入 5
IN5P ⁽¹⁾	8	模拟输入	正模拟输入 5
IN6N ⁽¹⁾	5	模拟输入	负模拟输入 6
IN6P ⁽¹⁾	6	模拟输入	正模拟输入 6
IN7N ⁽¹⁾	3	模拟输入	负模拟输入 7
IN7P ⁽¹⁾	4	模拟输入	正模拟输入 7
IN8N ⁽¹⁾	1	模拟输入	负模拟输入 8
IN8P ⁽¹⁾	2	模拟输入	正模拟输入 8
NC	27, 29, 62, 64	—	没有连接, 保持浮空。可使用 10-KΩ或更高电阻连接到 AVDD 或 AVSS。
OPAMPN	61	模拟输入	运算放大器反相输入; 如果未使用, 则保持浮空, 并关闭运算放大器。
OPAMPP	60	模拟输入	运算放大器同相输入; 如果未使用, 则保持浮空, 并关闭运算放大器。
OPAMPOUT	63	模拟输出	运算放大器输出; 如果未使用, 请保持浮空, 并关闭运算放大器。
PWDN	35	数字输入	掉电; 低电平有效
RESET	36	数字输入	系统复位; 低电平有效
RESV1	31	数字输入	保留以备将来使用。直接连接到 DGND。
SCLK	40	数字输入	串行时钟输入
START	38	数字输入	开始转换
TESTN	18	模拟输入/输出	测试信号, 负引脚。有关未使用的引脚, 请参阅未使用的输入和输出部分。
TESTP	17	模拟输入/输出	测试信号, 正引脚。有关未使用的引脚, 请参阅未使用的输入和输出部分。
VCAP1	28	模拟输出	模拟旁路电容。将一个 22μF 电容连接到 AVSS。
VCAP2	30	模拟输出	模拟旁路电容。将 1μF 电容连接到 AVSS。
VCAP3	55	模拟输出	旁路电容。1μF 电容器连接到 DGND。
VCAP4	26	模拟输出	模拟旁路电容。将 1μF 电容连接到 AVSS。
VREFN	25	模拟输入	负参考电压。连接 AVSS。
VREFP	24	模拟输入/输出	正参考电压。连接一个 22μF 电容到 VREFN。

(1) 将任何未使用或掉电的模拟输入引脚连接到 AVDD。

7. 规格

7.1. 绝对最大额定值

表2. 环境温度范围内 (除非另有说明) ⁽¹⁾

		MIN	MAX	UNIT
电源电压	AVDD to AVSS	-0.3	5.5	V
	AVSS to DGND	-3	0.2	V
	DVDD to DGND	-0.3	3.9	V

模拟输入电压	模拟输入到 AVSS	AVSS - 0.3	AVDD + 0.3	V
数字输入电压	数字输入到 DVDD	DGND-0.3	DVDD + 0.3	V
输入电流	短暂的	-100	100	mA
	连续, 除电源引脚外的所有其他引脚	-10	10	
温度	结温, T_j		150	°C
	存储温度, T_{stg}	-60	150	

(1) 超过绝对最大额定值所列的应力可能会对器件造成永久性损坏。这些只是压力额定值，并不意味着设备在这些或任何其他条件下的功能操作，超出了推荐的操作条件。长时间暴露在绝对最大额定条件下可能会影响器件的可靠性。

7.2. ESD 性能

表3. 性能

		VALUE	UNIT
V (ESD) 静电放电	人体模型(HBM)根据 ANSIESDAJEDECJS-001 ⁽¹⁾	±2000	V
	充电设备型号 (CDM), 符合 JEDEC 规范 JESD22	±500	

(1) JEDEC 文件 JEP155 指出, 500-VHBM 允许使用标准 ESD 控制过程进行安全制造。

(2) JEDEC 文件 JEP157 指出, 250-VCDM 允许使用标准 ESD 控制过程进行安全制造。

7.3. 推荐工作条件

表4. 工作条件超过操作自由空气温度范围 (除非另有说明)

			MIN	NOM	MAX	UNIT
电源						
AVDD	模拟电源	AVDD to AVSS	2.7	5.0	5.25	V
DVDD	数字电源	DVDD to DGND	1.7	1.8	3.6	V
	模拟数字电源	AVDD to DVDD	-2.1		3.6	V
模拟输入						
VIN	差分输入电压	$VIN = VIN_{xP} - V(IN_{xN})$	-VREF/增益		VREF/增益	V
V_{CM}	共模输入电压	$V_{CM} = (V(IN_{xP}) - VIN_{xN}) / 2$	请参阅输入共模范围部分			V
电压基准输入						
VREF	参考输入串压	AVDD = 3 V, VREF = ($V_{VREFP} - V_{VREFN}$)	1	2.5	AVDD	V
		AVDD = 5 V, VREF = ($V_{VREFP} - V_{VREFN}$)	1	4	AVDD	V
VREFN	负参考输入		AVSS			V
VREFP	正输入		AVDD - 3	AVSS + 2.5	AVDD	V
外部时钟源						
f_{CLK}	主时钟频率	CLKSEL pin = 0, (AVDD - AVSS) = 3 V	1.7	2.048	2.25	MHz
		CLKSEL pin = 0, (AVDD - AVSS) = 5 V	1.0	2.048	2.25	
数字输入						
	输入电压		DGND-0.1		DVDD+ 0.1	V
温度范围						
TA	工作环境温度		-40		105	°C

7.4. 热信息

表5. 热信息

热米制(1)		LHA7878H	UNIT
		LQFP	
		64 PINS	
R_{ja}	结-环境热阻	35	°C/W
$R_{jc}(top)$	结对壳(顶部)热阻	31	°C/W
R_{jb}	结对板热阻	26	°C/W
W_{jt}	结到顶特性参数	0.1	°C/W
W_{jb}	结对板特性参数	NA	°C/W
$R_{jc}(bot)$	结对壳(底部)热阻	NA	°C/W

(1) 有关传统和新热指标的更多信息, 请参阅半导体和 IC 封装热指标应用报告。

7.5. 电气特性

所有规格均为 DVDD=1.8V、AVDD=3V、AVSS=0V、VREF=2.4V、外部 f_{CLK}=2.048MHz、数据速率=8kSPS 和增益等于 1,除非另有说明。

表6. 电气特性

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
模拟输入					
C _j 输入电容			20		pF
I _B 输入偏置电流	正常范围内的 PGA 输出		5		nA
直流输入阻抗			200		MΩ
PGA					
增益设置			1,2,3,4,6,8,12,24		
带宽			见表 3		
ADC 性能					
DR 数据速率	f _{CLK} = 2.048 MHz	1		128	kSPS
分辨率	DR = 1kSPS, 2kSPS, 4kSPS, 8kSPS, 16kSPS	24			Bits
	DR = 32kSPS, 64 kSPS, 128 kSPS	24			Bits
通道性能(DC 性能)					
INL 积分非线性	全输入范围		1		ppm
动态范围	G = 1		117		dB
	1 以外的增益设置	查看噪声测量			
偏移误差	G=1, 2, 3, 4		5		μV
偏移误差漂移			0.02		μV/°C
增益误差	排除电压基准误差		0.1%		
增益漂移	排除电压基准漂移		0.5	1.5	ppm/°C
通道之间的增益匹配			0.2		% of FS
通道性能(AC 性能)					
CMRR 共模抑制比	f _{CM} = 50 Hz and 60 Hz ⁽¹⁾		-120		dB
PSRR 电源抑制比	f _{PS} = 50 Hz and 60 Hz		-102		dB
通道串扰	f _{IN} =50Hz 和 60Hz		-110		dB
精度	3000: 1 动态范围, 1 秒测量(V _{RMS})	AVDD = 3 V, V _{REF} = 4 V	0.006%		
		AVDD = 5 V, V _{REF} = 4 V	0.004%		
SNR 信噪比	f _{IN} =50Hz 和 60Hz, 增益=1		117		dB
THD 总谐波失真	10 Hz, 0.5 dBFS		-124		dB
内部参考					
V _{REF} 输出电压	T _A = 25°C, V _{REF} = 2.4 V	2.397	2.4	2.402	V
	T _A = 25°C, V _{REF} = 4 V		4		V
V _{REF} 精度			±0.2%		
温度漂移	T _A = -40°C to +105°C		20		ppm/°C
Start-up time	稳定到 0.2%		150		μs
外部参考					
输入阻抗			6		kΩ
内部振荡器					
精度			±2%		
	T _A = 25°C			±0.5%	
	T _A = -40°C to 105°C			2.5%	
内部振荡器时钟频率	标称频率		2.048		MHz
内部振荡器启动时间			20		μs
内部振荡器功耗			60		μW
故障检测和报警					
比较器阈值精度			±30		mV

(1) 用(AVSS+0.3V)至(AVDD-0.3V)的共模信号测量 CMRR。指示的值是八个通道中的最小值。

所有规格均为 DVDD=1.8V、AVDD=3V、AVSS=0V、VREF=2.4V、外部 f_{CLK}=2.048MHz、数据速率=8kSPS 和增益=1,除非另有说明。

表7. 电气特性

PARAMETER		测试条件	MIN	TYP	MAX	UNIT			
运算放大器									
总噪音		0.1 Hz to 250 Hz		4		μVRMS			
噪音密度		2 kHz		50		nV/√Hz			
GBP 增益带宽积		50 kΩ 10-pF load		580		kHz			
SR 压摆率		50 kΩ 10-pF load		0.2		V/μS			
负载电流				50		μA			
THD 总谐波失真		f _{IN} = 100 Hz		70		dB			
共模输入范围			AVSS +0.3		AVDD -0.55	V			
静态功耗				14		μA			
系统监视器									
电源监测误差	Analog			2%					
	Digital			2%					
芯片唤醒		从上电到 DRDY 变低		150		ms			
		待机模式		31.25		μs			
温度传感器读数	Voltage	T _A = 25°C		145		mV			
	Coefficient			490		μV/°C			
自测试信号									
信号频率		有关设置, 请参阅寄存器部分	f _{CLK} / 2 ²¹			Hz			
信号电压			f _{CLK} / 2 ²⁰						
数字输入和输出(DVDD=1.8V 至 3.6V)		有关设置, 请参阅寄存器部分	±Vref/1000			V			
I _{IN} 输入电流			±Vref/1000						
电源电流 (运算放大器关闭)									
I _{AVDD}	正常模式		AVDD - AVSS = 3 V		5				
			AVDD - AVSS = 5 V		6.9				
I _{DVDD}			DVDD = 3.3 V		1				
			DVDD = 1.8 V		0.5				
功耗 (模拟电源=3V)									
静态功耗			正常模式		16				
			关断模式		10				
			待机模式		2				
功耗 (模拟电源=5V)									
静态功耗			正常模式		35				
			关断模式		20				
			待机模式		4.2				

7.6. 时间要求

表8. 超过工作环境温度范围和 DVDD=1.7V 至 3.6V (除非另有说明)

		2.7 V < DVDD < 3.6 V	1.7 V < DVDD < 2.0 V		UNIT
			MIN	MAX	
t _{CLK}	主时钟周期	444	588	444	ns
t _{CSSC}	延迟时间, CS 下降沿后的第一个 SCLK 上升沿	6		17	ns
t _{SCLK}	SCLK period	28		33	ns
t _{SPWH_L}	脉冲持续时间, SCLK 高或低	15		25	ns
t _{DIST}	建立时间, DIN 在 SCLK 下降沿之前有效	10		10	ns
t _{DIHD}	保持时间, DIN 在 SCLK 下降沿后有效	10		11	ns
t _{CSH}	CS 高电平脉冲时间	2		2	t _{CLK}
t _{SCCS}	延迟时间, 第 8 个 SCLK 下降沿至 CS 高电平	4		4	t _{CLK}

$t_{SDECODE}$	命令解码时间	4		4		t_{CLK}
$t_{DISCK2ST}$	建立时间, DAISYIN 在 SCLK 下降沿之前有效	10		10		ns
$t_{DISCK2HT}$	保持时间, SCLK 下降沿后 DAISYIN 有效	10		10		ns

7.7. 开关特性

表9. 在工作环境温度范围内, DVDD=1.7V 至 3.6V, DOUT 上的负载=20pF||100KOhm (除非另有说明)

PARAMETER		2.7 V < DVDD < 3.6 V		1.7 V < DVDD < 2.0 V		UNIT
		MIN	MAX	MIN	MAX	
t_{CSDDO}	传播延迟时间, CS 下降沿到 DOUT 驱动	10		20		ns
t_{DOST}	传播延迟时间, SCLK 上升沿到有效的新 DOUT		17		32	ns
t_{DOHD}	保持时间, SCLK 下降沿到无效 DOUT	10		10		ns
t_{CSDOZ}	传播延迟时间, CS 上升沿到 DOUT 高阻抗		10		20	ns

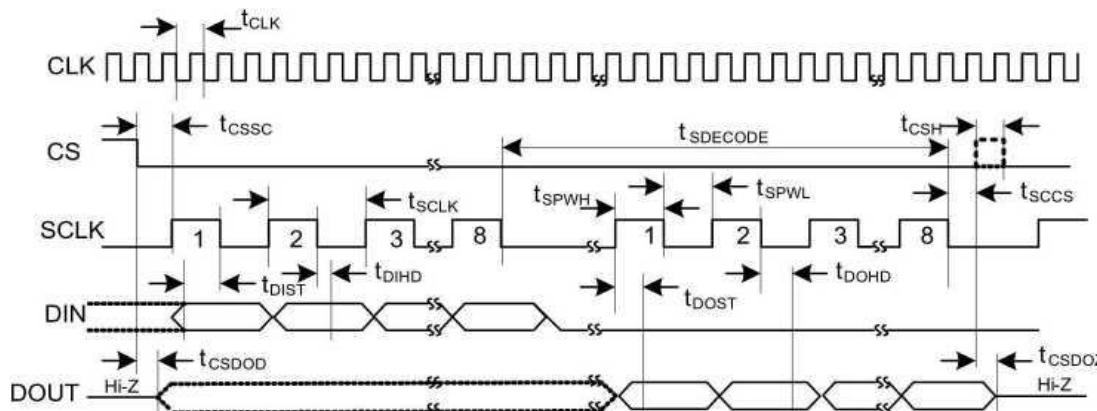
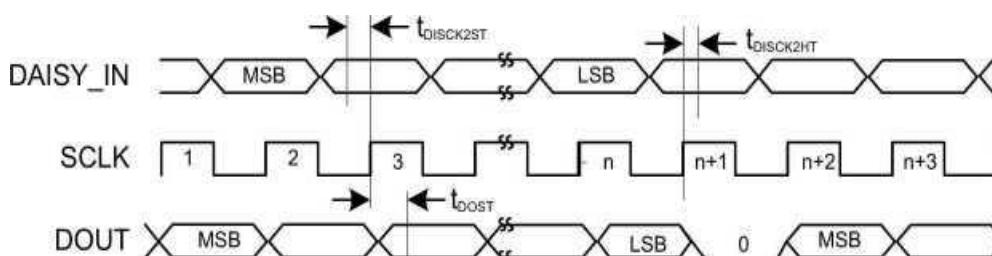


图1. 串行接口定时



(1) n=通道数 × 分辨率+24 位。通道数为 8; 分辨率为 24 位。

图2. 菊花链接口时序

7.8. 典型特征

除非另有说明, 否则所有曲线均处于 TA=25°C, AVDD=3V, AVSS=0V, DVDD=1.8V, 内部 VREFP=2.4V, VREFN=AVSS, 外部时钟=2.048MHz, 数据速率=8kSPS 和增益=1。

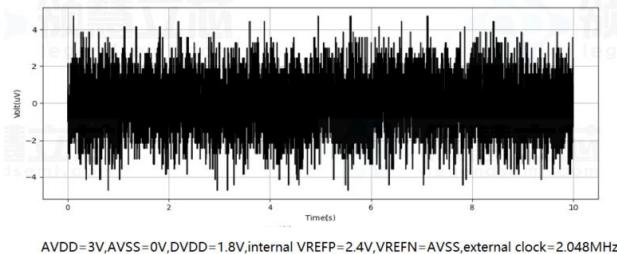


图3. 输入参考噪声

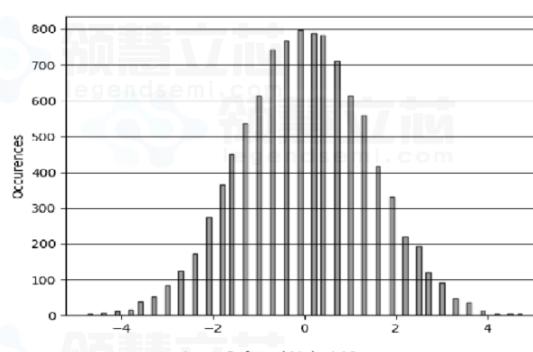
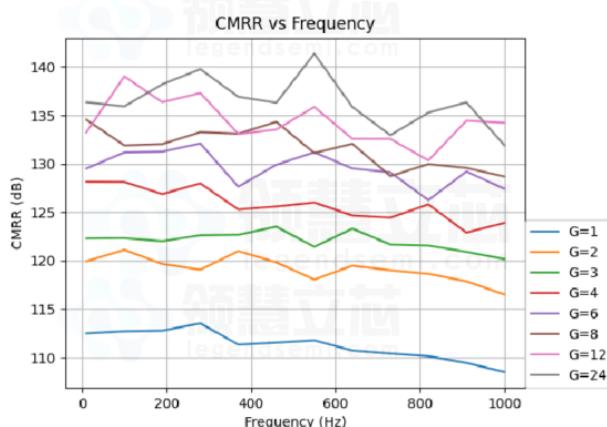


图4. 噪声直方图



AVDD=5V, AVSS=0V, DVDD=1.8V, internal VREFP=2.4V, VREFN=AVSS,
external clock=2.048MHz data rate=4 kSPS

图5. CMRR vs 频率

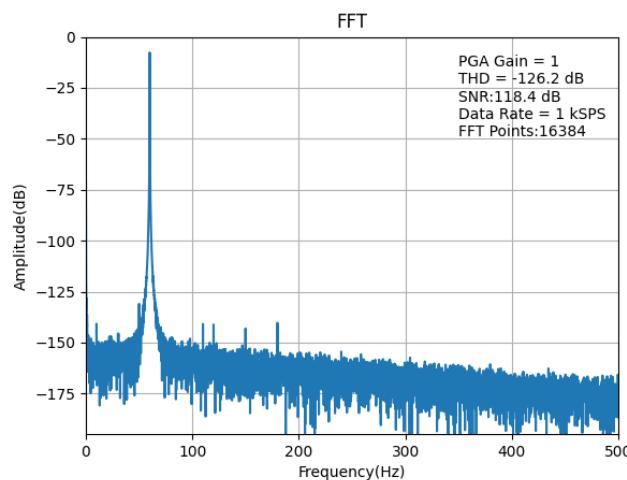


图6. -40°C THD FFT(输入信号频率 60Hz)

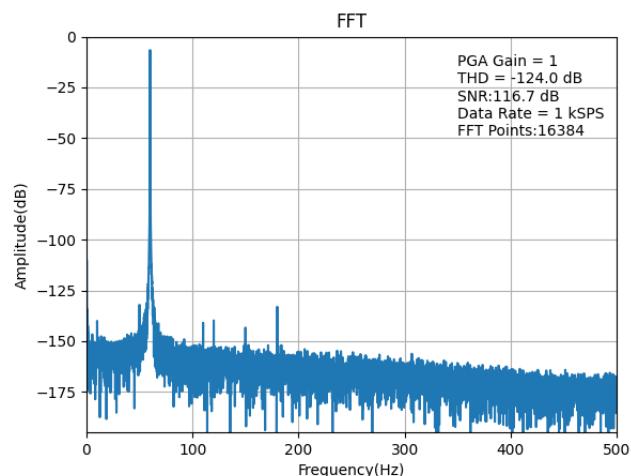


图7. +25°C THD FFT(输入信号频率 60Hz)

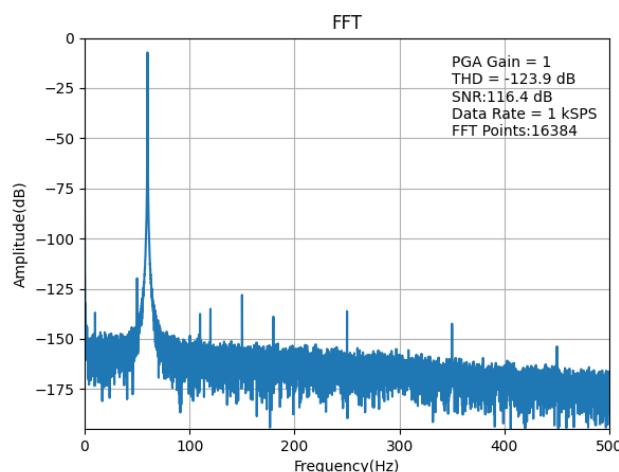
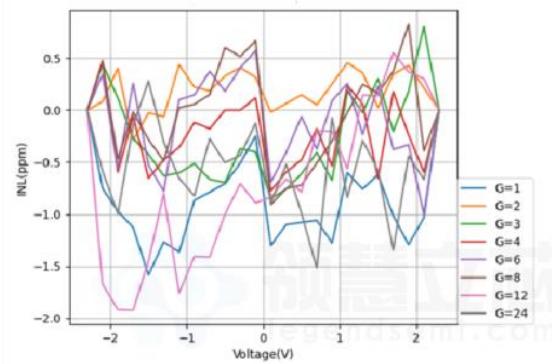
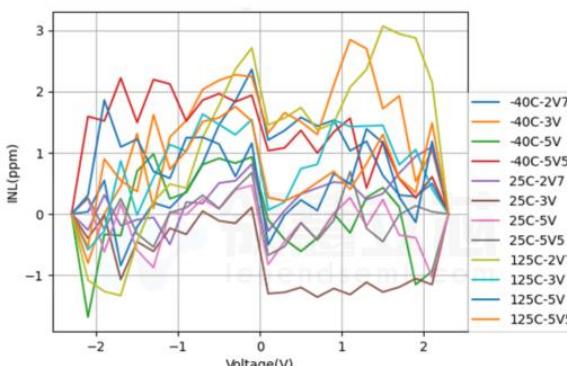


图8. +125°C THD FFT(输入信号频率 60Hz)



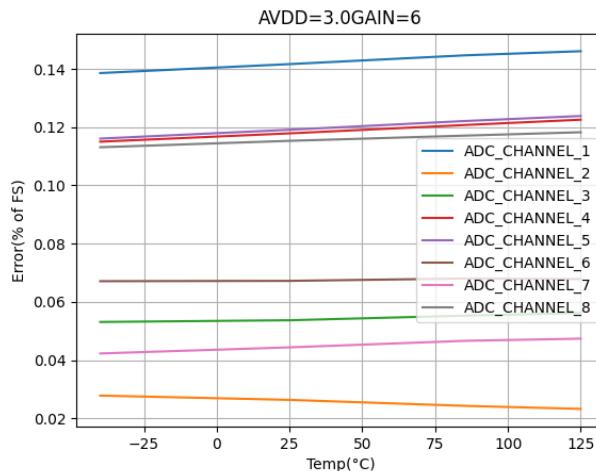
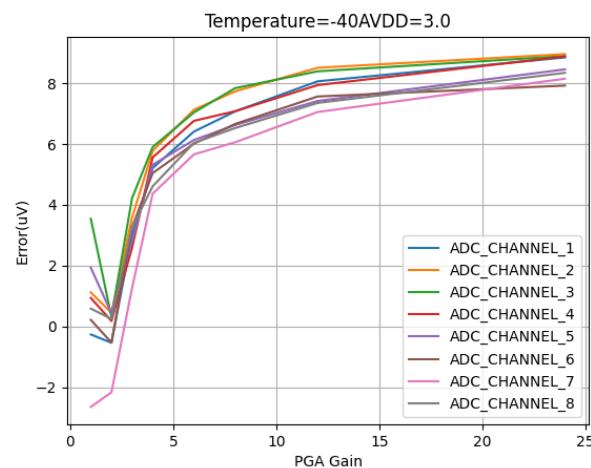
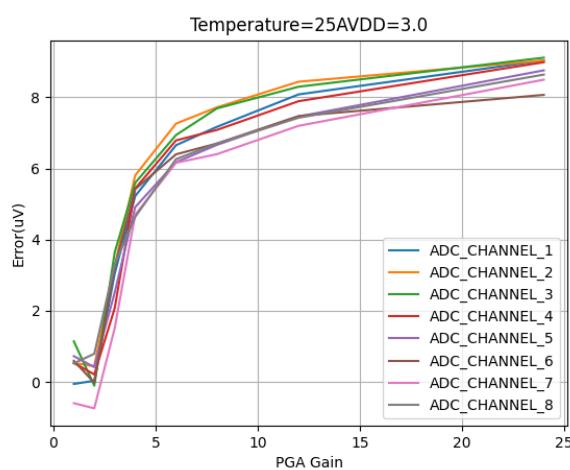
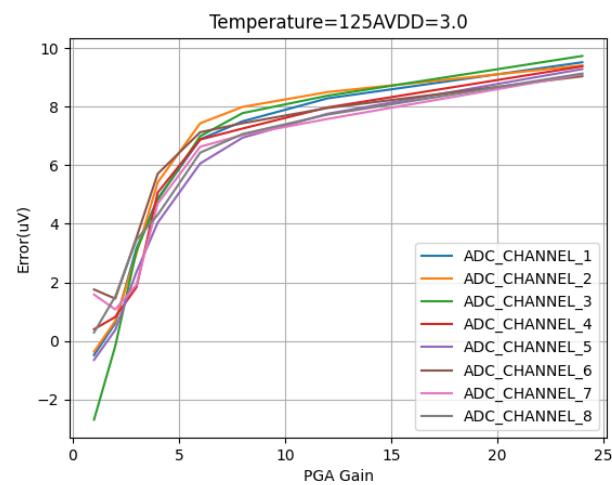
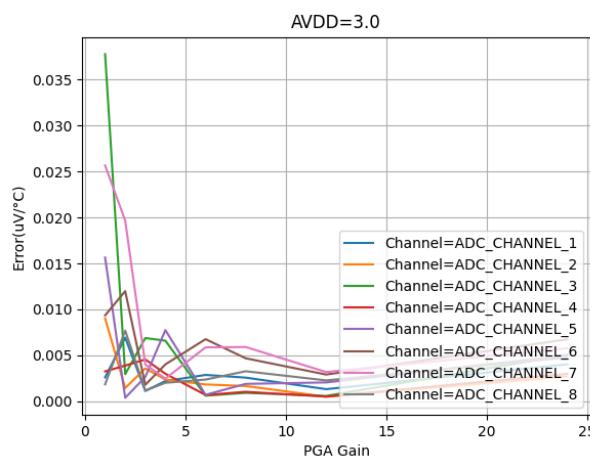
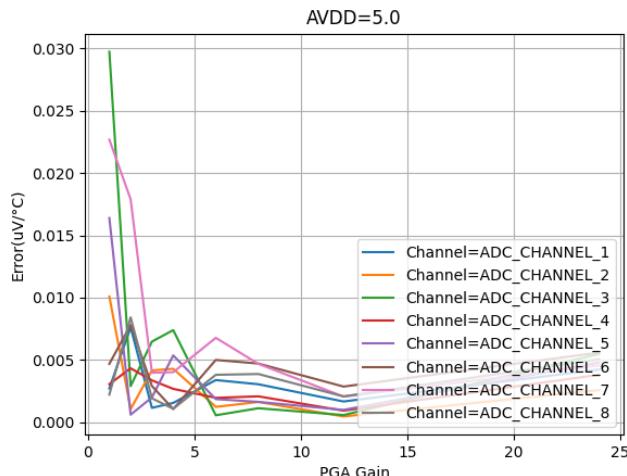
AVDD=5V, AVSS=0V, DVDD=3.3V, internal VREFP=2.4V, VREFN=AVSS
external clock=2.048MHz, data rate=1 kSPS

图9. INL vs PGA 增益



AVSS=0V, DVDD=3.3V, internal VREFP=2.4V, VREFN=AVSS, external clock=2.048MHz
Gain=6, data rate=1 kSPS

图10. INL vs 温度/AVDD 电压


图11. Gain vs 温度

图12. -40°C Offset vs Gain(Absolute Value)

图13. +25°C Offset vs Gain(Absolute Value)

图14. +125°C Offset vs Gain(Absolute Value)

图15. AVDD=3V Offset Drift vs PGA Gain

图16. AVDD=5V Offset Drift vs PGA Gain

8. 参数测量信息

8.1. 噪声测量

调整数据速率和 PGA 增益以优化 LHA7878H 噪声性能。当通过降低数据速率来增加平均数时，噪声相应地下降。增加 PGA 增益可降低输入参考噪声，这在测量小电平信号时特别有用。表 10 总结了采用 3V 模拟电源时 LHA7878H 的噪声性能。表 12 总结了采用 5V 模拟电源时 LHA7878H 的噪声性能。数据代表了 TA=25°C

时的典型噪声性能。所示数据是来自多个器件的读数的平均结果，并且是在输入短路时测量的。至少使用 1000 个连续读数来计算每个读数的 RMS 噪声。对于两个最高数据速率，噪声受 ADC 量化噪声的限制，不具有高斯分布。表 10 和表 12 显示了用内部参考进行的测量。数据代表了 LHA7878H 在使用低噪声外部基准电压源（如 LHR3025）时的有效位数(ENOB)和动态范围。使用公式 1 计算表 10 和表 12 中的 ENOB 数据。

$$ENOB = \log_2 \left| \frac{V_{REF}}{\sqrt{2} \times V_{RMS_Noise} \times Gain} \right| \quad (1)$$

$$Dynamic Range = 20 \times \log_{10} \left| \frac{V_{REF}}{\sqrt{2} \times V_{RMS_Noise} \times Gain} \right| \quad (2)$$

表10. 输入参考噪声:3V 模拟电源和 2.4V 基准电压源,噪声均方根值(μV)

Data Rate(kSPS)	GAIN_1	GAIN_2	GAIN_3	GAIN_4	GAIN_6	GAIN_8	GAIN_12	GAIN_24
1	1.419	0.740	0.621	0.404	0.329	0.318	0.295	0.259
2	2.000	1.038	0.882	0.580	0.471	0.447	0.424	0.371
4	2.871	1.493	1.257	0.835	0.673	0.647	0.614	0.544
8	4.179	2.175	1.814	1.270	1.049	1.000	0.940	0.859
16	6.425	3.408	2.862	2.137	1.870	1.790	1.724	1.604
32	11.630	6.192	5.318	4.510	4.071	3.949	3.810	3.690
64	49.660	25.498	18.563	14.771	11.929	10.441	9.447	8.658
128	714.546	360.436	237.260	176.455	118.240	89.532	59.419	30.752

表11. 输入参考噪声:3V 模拟电源和 2.4V 基准电压源,有效位数 ENOB(bit)

Data Rate(kSPS)	GAIN_1	GAIN_2	GAIN_3	GAIN_4	GAIN_6	GAIN_8	GAIN_12	GAIN_24
1	20.190	20.130	19.797	20.003	19.711	19.347	18.873	18.061
2	19.695	19.641	19.291	19.481	19.197	18.856	18.347	17.540
4	19.173	19.117	18.779	18.955	18.680	18.322	17.812	16.989
8	18.632	18.574	18.251	18.349	18.040	17.695	17.199	16.329
16	18.011	17.926	17.593	17.599	17.206	16.855	16.324	15.428
32	17.155	17.064	16.699	16.522	16.084	15.713	15.180	14.226
64	15.061	15.022	14.895	14.810	14.533	14.310	13.870	12.996
128	11.214	11.201	11.219	11.231	11.224	11.210	11.217	11.167

表12. 输入参考噪声:5V 模拟电源和 2.4V 基准电压源,噪声均方根值(μV)

Data Rate(kSPS)	GAIN_1	GAIN_2	GAIN_3	GAIN_4	GAIN_6	GAIN_8	GAIN_12	GAIN_24
1	1.405	0.717	0.601	0.397	0.316	0.299	0.276	0.241
2	1.988	1.025	0.848	0.567	0.440	0.417	0.388	0.346
4	2.837	1.488	1.207	0.797	0.651	0.613	0.564	0.501
8	4.061	2.101	1.754	1.222	1.006	0.948	0.892	0.804
16	6.384	3.349	2.792	2.093	1.803	1.734	1.644	1.540
32	11.483	6.126	5.256	4.434	4.081	3.914	3.689	3.599
64	49.688	24.997	18.328	14.778	11.721	10.488	9.423	8.616
128	711.635	354.879	238.430	176.490	118.739	89.663	59.162	30.798

表13. 输入参考噪声:5V 模拟电源和 2.4V 基准电压源,有效位数 ENOB(bit)

Data Rate(kSPS)	GAIN_1	GAIN_2	GAIN_3	GAIN_4	GAIN_6	GAIN_8	GAIN_12	GAIN_24
1	20.204	20.175	19.845	20.028	19.774	19.438	18.966	18.162
2	19.704	19.659	19.347	19.513	19.293	18.958	18.474	17.641
4	19.190	19.121	18.838	19.022	18.729	18.400	17.937	17.107
8	18.673	18.624	18.299	18.406	18.101	17.772	17.275	16.424
16	18.020	17.951	17.629	17.629	17.259	16.900	16.393	15.487
32	17.173	17.080	16.716	16.546	16.081	15.726	15.226	14.262
64	15.060	15.051	14.914	14.809	14.559	14.304	13.873	13.003
128	11.220	11.223	11.212	11.231	11.218	11.208	11.223	11.165

9. 详细描述

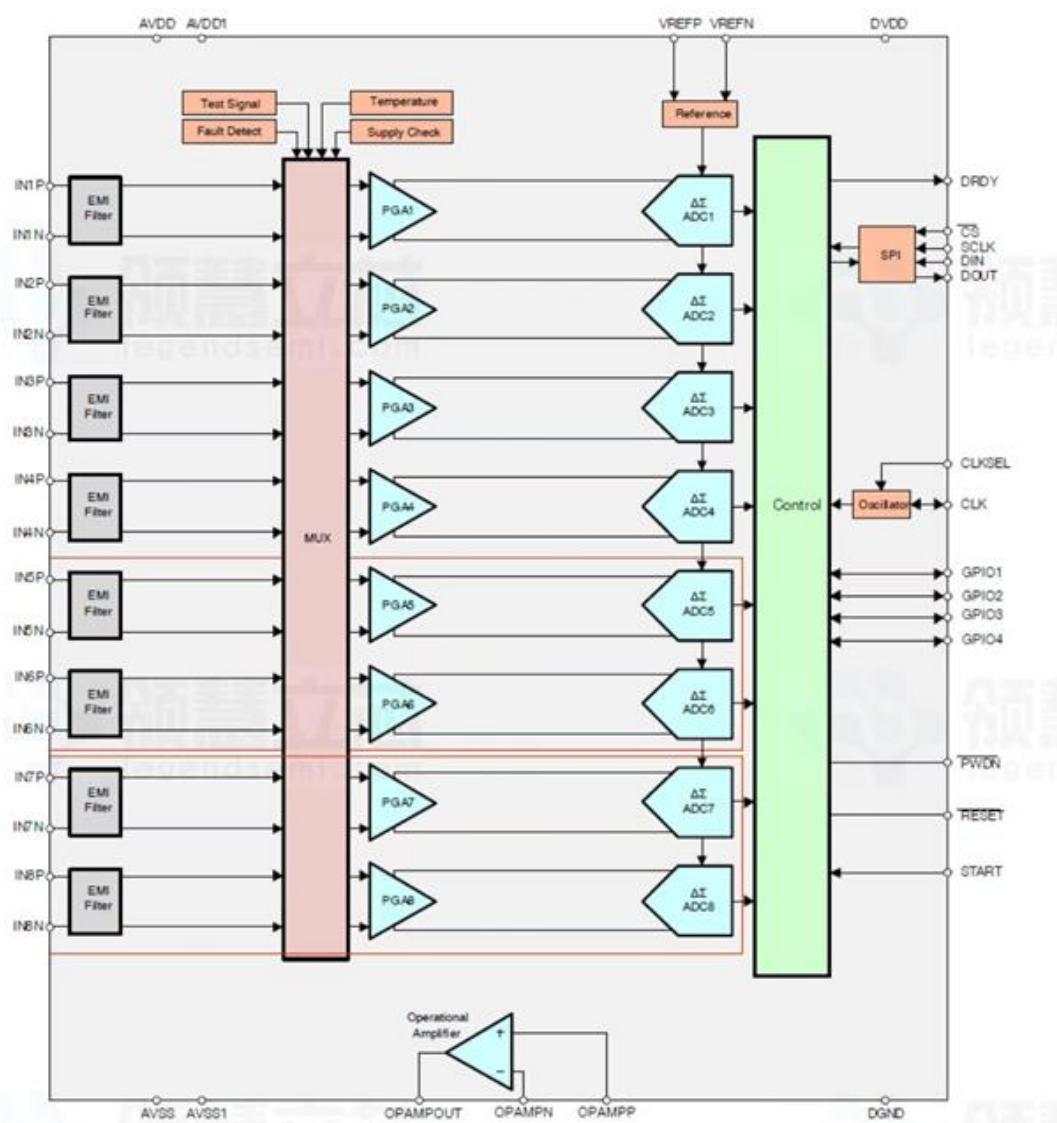
9.1. 概述

LHA7878H 系列是具有集成可编程增益放大器(PGA)的低功耗、多通道、同时采样、24 位、delta-sigma、模数转换器(ADC)。该器件在不同数据速率下的性能使该设备非常适合智能电网和其他工业电源监控、控制和保护应用。

LHA7878H 器件具有可编程多路复用器，可进行各种内部监测信号测量，包括温度、电源和用于器件噪声测试的输入短路信号。PGA 增益可以从以下八种设置中选择一种：1/2/3/4/6/8/12/24。器件中的 ADC 提供 1kSPS、2kSPS、4kSPS、8 kSPS、16kSPS、32kSPS、64kSPS 和 128kSPS 的数据速率。这些器件使用兼容串行外设接口(SPI)的接口进行通信。提供四个通用 IO(GPIO)引脚供一般使用。使用多个设备轻松地向系统添加通道，并将其与 START 引脚同步。

将内部基准设置为 2.4V 或 4V。内部振荡器产生一个 2.048MHz 时钟。使用带有可编程触发点的集成比较器进行输入超量程或欠量程检测。LHA7878H 的详细图如下。

9.2. 功能框图



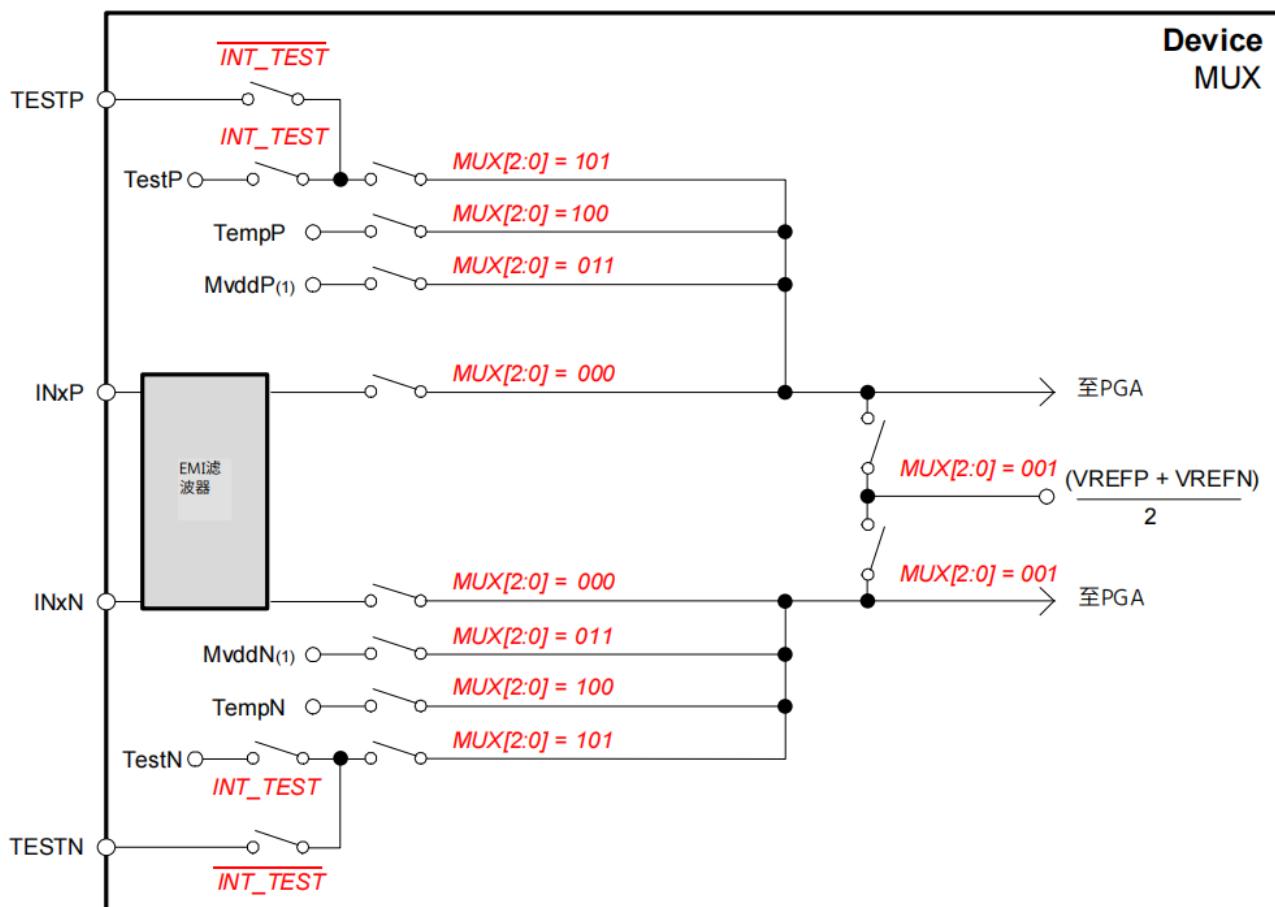
9.3. 功能描述

9.3.1. 电磁干扰(EMI)滤波器

输入端的 RC 滤波器在所有通道上用作 EMI 滤波器。-3dB 滤波器带宽约为 3MHz。

9.3.2. 输入多路选择器

LHA7878H 输入多路选择器非常灵活，提供多种可配置信号切换选项。下图示出了该器件单通道上的多路复用器图。INxP 和 INxN 对于四个、六个或八个通道中的每一个都是独立的(取决于器件)。这种灵活性允许重要的器件和子系统诊断、校准和配置。通过将适当的值写入 CHnSET 寄存器来选择每个通道的开关设置(有关详细信息，请参阅寄存器部分中的 CHnSET 寄存器)。每个多路复用器的输出连接到单独的通道 PGA。



(1) MVDD 监控电源电压取决于通道号；请参阅电源测量(MVDDP、MVDDN)部分。

图17. 一个通道的输入多路复用器块

9.3.2.1. 噪声测量

设 CHnSET[2: 0]=001 将 $[(V_{\text{REFP}}+V_{\text{REFN}})/2]$ 的共模电压送入两个通道输入端。使用此设置可测试用户系统中的固有器件噪声。

9.3.2.2. 测试信号(TestP 和 TestN)

设置 CHnSET[2: 0]=101 可提供内部生成的测试信号，用于上电时的子系统验证。测试信号通过寄存器设置进行控制(详情参见 CONFIG2: 配置寄存器 2 部分)。TEST_AMP 控制信号幅度，TEST_FREQ 控制测试信号的开关频率。测试信号在 TESTP 和 TESTN 引脚被多路复用并传输出器件。INT_TEST 寄存器位(在 CONFIG2: 配置寄存器 2 部分)停用内部测试信号，以便测试信号可以从外部驱动。此功能允许测试或校准具有相同信号的多个器件。

9.3.2.3. 温度传感器(TempP TempN)

设置 CHnSET[2: 0]=100 将温度传感器信号送入通道输入端。该传感器使用两个内部二极管，其中一个二极管的电流密度是另一个二极管的 16 倍，如下图所示。二极管电流密度的差异产生与绝对温度成正比的电压差异。

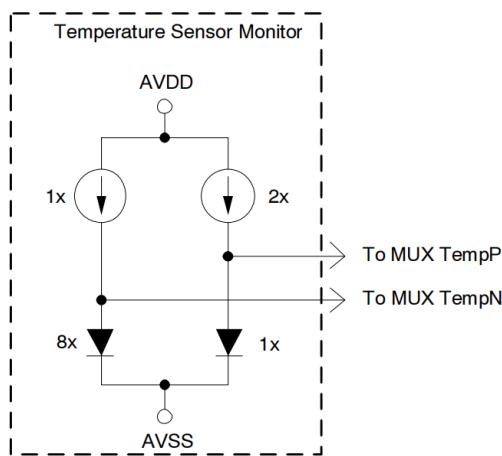


图18. 温度传感器实现

由于封装对 PCB 的热阻较低，内部器件温度会密切跟踪 PCB 温度。LHA7878H 的自发热导致读数高于周围 PCB 的温度。在进行温度测量时，建议将通道增益设置为 1。

公式 3 的比例因子将温度读数转换为°C。在使用该公式之前，温度读数代码必须首先缩放为 μV。

$$\text{Temperature } (\text{°C}) = \left(\frac{\text{温度读数(V)} - 145,300 \mu\text{V}}{490 \mu\text{V}/\text{°C}} \right) + 25\text{°C} \quad (3)$$

9.3.2.4. 电源测量(MVDDP, MVDDN)

设置 CHnSET[2: 0]=011 可将通道输入设置为不同的器件电源电压。对于通道 1 2 5 6 7 和 8 (MVDDP, MVDDN)是[0.5x(AVDD-AVSS)]; 对于通道 3 和 4 (MVDDP-MVDDN)是 DVDD/4。将增益设置为 1,以避免在测量电源时使 PGA 饱和。

9.3.3. 模拟输入

器件的模拟输入被直接连接到片上集成的低噪声、低漂移、高输入阻抗、可编程增益放大器。放大器位于各个通道多路复用器之后。

LHA7878H 模拟输入为全差分输入。差分输入电压(VINxP-VINxN)范围在-VREF/gain 到 VREF/gain 之间。有关模拟输入和数字代码之间的相关性的解释，请参阅数据格式部分。驱动 LHA7878H 模拟输入的一般方法有两种：伪差分或全差分，如下图所示。

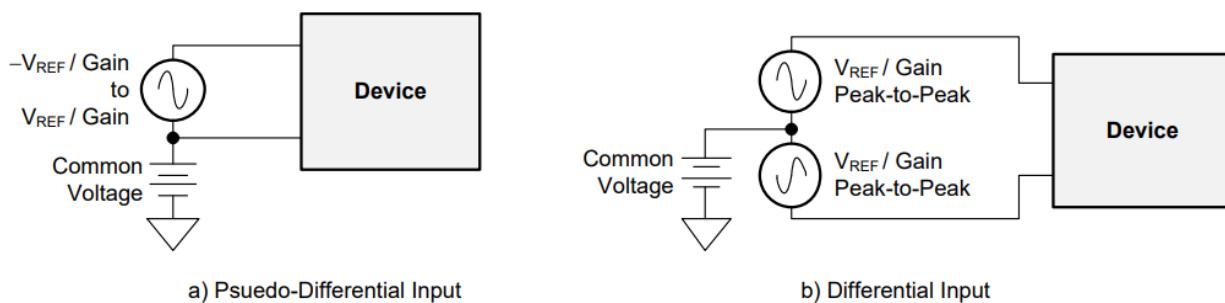


图19. 驱动 LHA7878H 的方法：伪差分或全差分

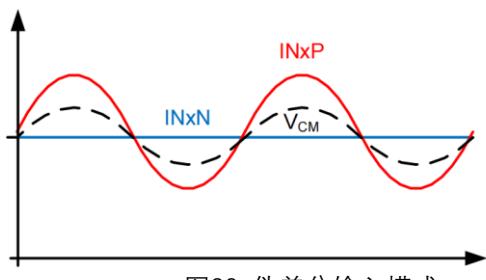


图20. 伪差分输入模式

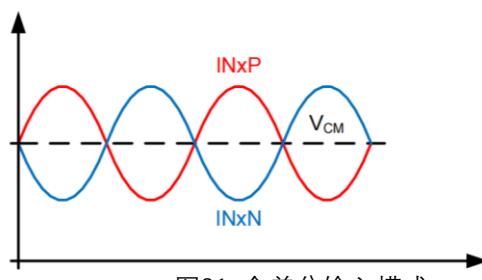


图21. 全差分输入模式

将 INxN 引脚保持在一个公共电压，最好是在中间电源，以配置全差分输入的伪差分信号。INxP 信号需要被限制在 $V_{CM} - V_{REF/GAIN}$ 到 $V_{CM} + V_{REF/GAIN}$ 范围内，并保持在绝对最大规格内，并验证最小值和最大值处的差分信号是否满足输入共模范围部分中讨论的共模输入规范。

将 INxP 和 INxN 处的信号配置为以共模电压 V_{CM} 为中心并保持 180° 相位差，以使用全差分输入模式。INxP 和 INxN 输入幅度均保持在 $V_{CM} + 0.5 \times V_{REF/GAIN}$ 到 $V_{CM} - 0.5 \times V_{REF/GAIN}$ 范围内。最大值和最小值处的差分电压等于 $V_{REF/gain}$ 和 $-V_{REF/gain}$ 。在差分配置中使用 LHA7878H 可最大限度地扩大数据转换器的动态范围。为获得最佳性能，建议将共模电压设置在模拟电源的中点 $[(AVDD + AVSS)/2]$ 。

如果没有使用任何模拟输入通道，则使用寄存器位关断这些引脚以节省功率。有关如何关断各个通道的更多信息，请参阅 SPI 命令定义部分。将任何未使用或掉电的模拟输入引脚直接连接到 AVDD。

9.3.4. PGA 设置和输入范围

每个通道都有自己的可配置可编程增益放大器 (PGA) 跟随其多路复用器。使用每个通道的 CHnSET 寄存器将增益设置为 8 种设置之一 (1、2、3、4、6、8、12 和 24)（有关详细信息，请参阅寄存器映射部分中的 CHnSET 寄存器）。LHA7878H 具有 CMOS 输入，因此电流噪声可忽略不计。

9.3.4.1. 输入共模范围

模拟前端的可用输入共模范围取决于各种参数，包括最大差分输入信号、电源电压。共模范围 V_{CM} 在公式 4 中定义：

$$AVDD - \frac{V_{MAX_DIFF}}{2} > V_{CM} > AVSS + \frac{V_{MAX_DIFF}}{2} \quad (4)$$

其中：

- V_{MAX_DIFF} =PGA 输入端的最大差分信号
- V_{CM} = 共模电压

例如：

如果 $AVDD - AVSS = 3.3V$, $V_{MAX_DIFF} = 1000mV$, 那么 $0.5V < V_{CM} < 2.8V$ 。

9.3.5. Delta Sigma 调制器

每个 LHA7878H 通道都有自己的 delta-sigma ADC。调制器以($f_{MOD}=f_{CLK}/2$)的速率采样输入信号。与任何 delta-sigma 调制器一样，LHA7878H 噪声整形直到 $F_{MOD}/2$ 。

9.3.6. Clock

LHA7878H 提供两种不同的器件时钟来源：内部和外部。使用内部振荡器的内部时钟非常适合非同步、低功耗系统。内部振荡器经过微调，以确保室温下的精度。内部振荡器的精度在指定的温度范围内变化；有关详细信息，请参阅电气特性表。当同步多个 LHA7878H 器件或同步外部事件时建议采用外部时钟，因为内部振荡器时钟性能会随温度变化而变化。时钟选择由 CLKSEL 引脚和 CLK_EN 寄存器位控制。在模拟和数字电源上电后随

时提供外部时钟。

CLKSEL 引脚选择内部振荡器或外部时钟。CONFIG1 寄存器中的 CLK_EN 位使能和禁止在 CLK 引脚上输出振荡器时钟。CLKSEL 引脚和 CLK_EN 位的真值表如下表所示。在菊花链配置中使用多个器件时，CLK_EN 位非常有用。在掉电期间，建议关闭外部时钟以节省功耗。

表14. CLKSEL 引脚和 CLK_EN 位

CLKSEL PIN	CLK_EN BIT	时钟源	CLK 引脚状态
0	X	外部时钟	输入：外部时钟
1	0	内部振荡器	三态
1	1	内部振荡器	输出：内部振荡器

9.3.7. 数字抽取滤波器

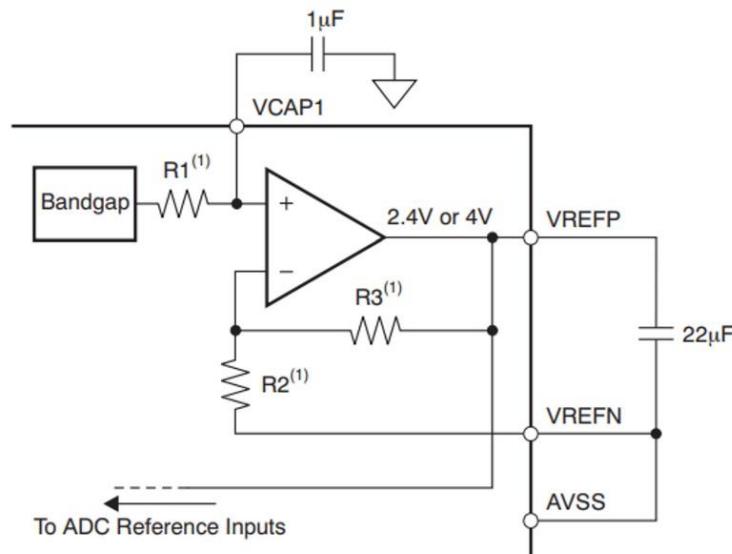
数字滤波器接收调制器输出比特流并抽取数据流。抽取比决定输出速率，抽取比等于 f_{mod}/f_{dr} 。通过调整抽取比，可以在分辨率和数据速率之间进行权衡：更高的抽取允许更高的分辨率（从而产生更低的数据速率），而更低的抽取会降低分辨率，但能够以更高的数据速率实现更宽的带宽。更高的数据速率通常用于实现软件重新采样技术的电源应用中，以帮助调整电压和电流通道的相位。

每个通道上的数字滤波器由四阶 Sinc 滤波器组成。输入阶跃变化需要四个转换周期才能使滤波器建立。使用 CONFIG 1 寄存器中的 DR[2: 0]位调整 sinc4 滤波器的抽取比（详情请参阅寄存器映射部分）。数据速率设置是将所有通道设置为相同数据速率的全局设置。

Sinc 滤波器是一种可变抽取率、四阶低通滤波器。数据以 f_{MOD} 的速率从调制器提供到滤波器。Sinc4 滤波器衰减高频调制器噪声，然后将数据流抽取为并行数据。抽取率会影响整个转换器数据速率。

9.3.8. 电压基准

下图显示了内部 LHA7878H 基准电压源的简化框图。参考电压相对于 AVSS 产生。使用内部基准电压时，请将 VREFN 连接到 AVSS。



对于 VREF=2.4V: R1=12.5KΩ, R2=25KΩ, R3=25KΩ。

对于 VREF=4V: R1=10.5KΩ, R2=15KΩ, R3=35KΩ。

图22. 内部参考

外部带限电容决定了参考噪声的贡献量。对于高端系统，应选择电容值，使带宽限制在 10Hz 以下，以便参考噪声不会主导系统噪声。当使用 3V 模拟电源时，内部基准必须设置为 2.4V。对于 5V 模拟电源，可以通过设置配置 2 寄存器中的 VREF_4V 位将内部基准设置为 4V。

或者，可以关断内部基准缓冲器，并在外部驱动 VREFP。下图示出了典型的外部基准驱动电路。掉电由 CONFIG3 寄存器中的 PD.REFBUF 位控制。当两个器件级联时，此掉电可以设置器件共享内部参考。

默认情况下，器件在外部基准模式下唤醒。

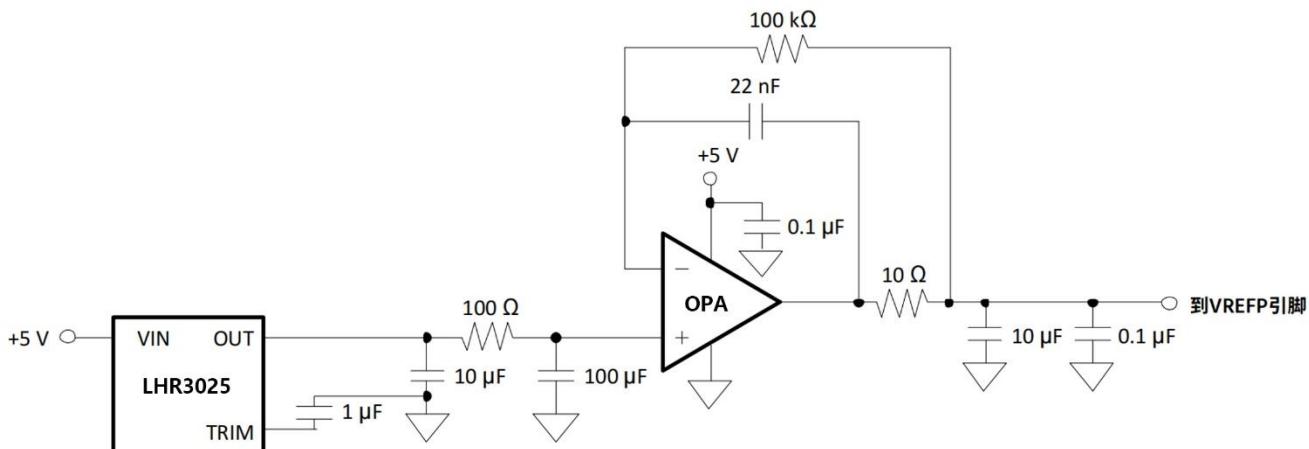


图23. 外部参考驱动器

9.3.9. 输入超出范围检测

LHA7878H 集成了比较器，可检测输入信号的超出范围条件。基本原理是将输入电压与基于模拟电源的 3 位数模转换器(DAC)设置的阈值电压进行比较。比较器触发阈值电平由故障寄存器中的 COMP_TH[2:0]位设置。

如果 LHA7878H 从 $\pm 2.5V$ 电源供电并且 COMP_TH[2:0]=000(95%和 5%),高侧触发阈值设置在 2.25v[等于 AVSS+(AVDD AVSS)x95%], 低侧阈值设置在 -2.25V[等于 AVSS+(AVDD-AVSS)x5%]。阈值计算公式适用于单极性和双极性电源。

可以通过使用 COMP_TH[2:0]位设置适当的阈值电平来检测故障状况。要确定哪些输入超出范围，请单独读取 FAULT_STATP 和 FAULT_STATN 寄存器，或将 FAULT_STATx 位作为输出数据流的一部分并读取；具体请参阅数据输出(DOUT)部分。

9.3.10. 通用数字 IO (GPIO)

LHA7878H 共有四个通用数字 IO(GPIO)引脚可用。通过 GPIOC 位将数字 IO 引脚配置为输入或输出。GPIO 寄存器中的 GPIOD 位指示引脚的电平。GPIO 逻辑高电平由 DVDD 的电压设置。当读取 GPIOD 位时，返回的数据是引脚的逻辑电平，无论它们被编程为输入还是输出。当 GPIO 引脚配置为输入时，写入相应的 GPIOD 位不起作用。配置为输出时，对 GPIOD 位的写入将设置输出电平。

如果配置为输入，则必须将 GPIO 引脚驱动到明确的状态。GPIO 引脚上电或复位后被设置为输入。下图显示了 GPIO 引脚结构。通过 10kΩ 电阻将未使用的 GPIO 引脚直接连接到 DGND。

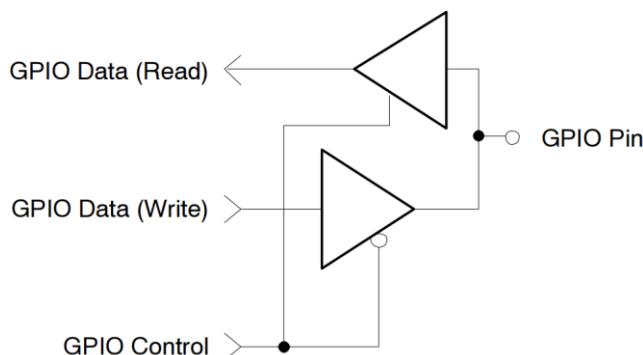


图24. GPIO 引脚实现

9.4. 设备功能模式

9.4.1. Start

将 START 引脚拉高至少 $2 t_{\text{CLK}}$ 周期，或发送 START 命令开始转换。当 START 为低电平且 START 命令尚未发送时，器件不会发出 DRDY 信号（转换停止）。

使用 START 命令控制转换时，将 START 引脚保持为低电平。在多个设备配置中，START 引脚用于同步设备（有关更多详细信息，请参阅多个设备配置小节）。

9.4.1.1. 建立时间

建立时间 (t_{SETTLE}) 是转换器在启动信号拉高到输出完全建立的所需时间。当 START 被拉高时，DRDY 也被拉高。下一个 DRDY 下降沿指示数据准备就绪。下图示出了时序图，下表示出了不同数据速率下的建立时间。建立时间取决于 f_{CLK} 和抽取比 (CONFIG1 寄存器中的 DR[2:0] 位控制)。当初始建立时间过去后，DRDY 下降沿发生在设定的数据速率 t_{DR} 。如果数据没有在 DOUT 上读回并且输出移位寄存器需要更新，则 DRDY 在返回低电平之前变为高电平并保持 $4 t_{CLK}$ ，此时表示新数据已准备就绪。请注意，当 START 保持高电平，输入信号发生阶跃变化时，滤波器需要 $3 \times t_{DR}$ 才能建立到新值。在第四个 DRDY 脉冲上可获得稳定后的数据。

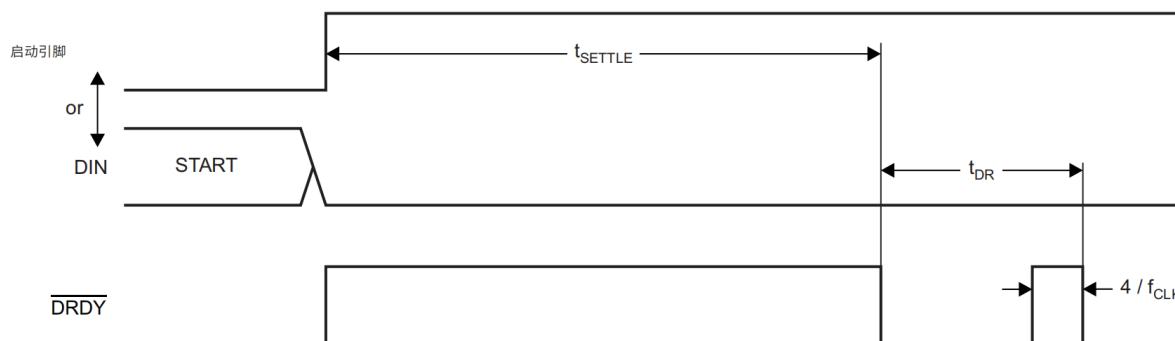


图25. 结算时间

表15. 不同数据速率的建立时间

DR[2:0]	正常模式	UNIT
000	152	t_{CLK}
001	296	t_{CLK}
010	584	t_{CLK}
011	1160	t_{CLK}
100	2312	t_{CLK}
101	4616	t_{CLK}
110	9224	t_{CLK}

9.4.1.2. 输入信号阶跃

当 ADC 转换时，如果输入信号发生阶跃变化，输出数据需要 $3t_{DR}$ 的建立延迟时间。在第四个 DRDY 脉冲上可获得稳定的数据。数据可在第 4 个 DRDY 脉冲之前的每个 DRDY 低电平转换处读取，但建议忽略。下图显示了模拟输入上的输入阶跃或输入瞬态事件完全建立所需的等待时间。

设备功能模式续

START

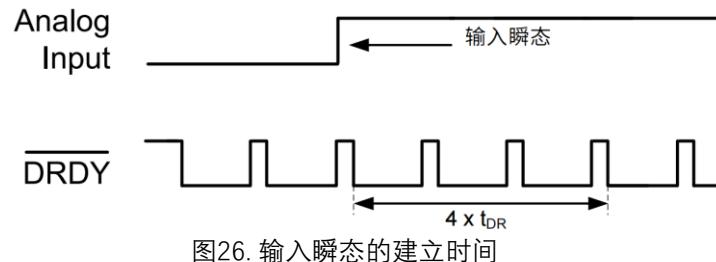


图26. 输入瞬态的建立时间

9.4.2. Reset (RESET)

复位 LHA7878H 的方法有两种：将 RESET 引脚拉低，或发送 RESET 命令。当使用复位引脚时，确保遵循最 小脉冲持续时间满足规范，然后再将引脚 RESET 为高电平。复位命令在命令的第八个 SCLK 下降沿生效。复位后，需要 18 个 TCLK 周期才能完成配置寄存器到默认状态的初始化并开始转换周期。请注意，只要使用 WREG 命令将 CONFIG1 寄存器设置为新值，就会自动向数字滤波器发出内部复位。

9.4.3. Power-Down (PWDN)

当 PWDN 拉低时，所有片上电路都掉电。要退出掉电模式，请将 PWDN 引脚置于高电平。从掉电模式退出后，内部振荡器和基准需要时间唤醒。在掉电期间，建议关闭外部时钟以节省功耗。

9.4.4. 连续转换模式

当 START 引脚变为高电平或发送 START 命令时，转换开始。如下图所示，当转换开始时 DRDY 输出变为高电平，当数据准备就绪时变为低电平。转换无限期地继续直到开始引脚被拉低或停止命令被传输。当 START 引脚拉低或发出 STOP 命令时，允许正在进行的转换完成。下图和下表显示了在这种模式下控制转换时所需的 DRDY 到 START 引脚或 START 和 STOP 命令的时序。 T_{SDSU} 时序指示何时将 START 引脚变为低电平或何时在 DRDY 下降沿之前发送 STOP 命令以停止进一步的转换。 T_{DSHD} 时序指示何时将 START 引脚变为低电平或在 DRDY 下降沿后发送 STOP 命令以完成当前转换并停止进一步转换。为了保持转换器连续运行，START 引脚可以永久地保持高电平。

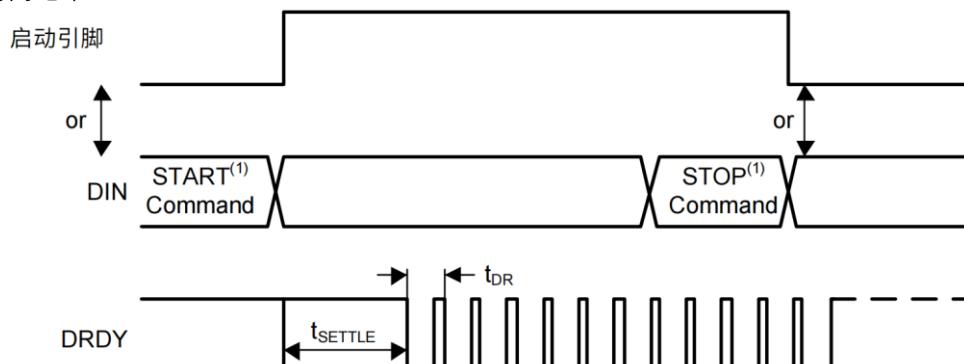


图27. 连续转换模式

设备功能模式续

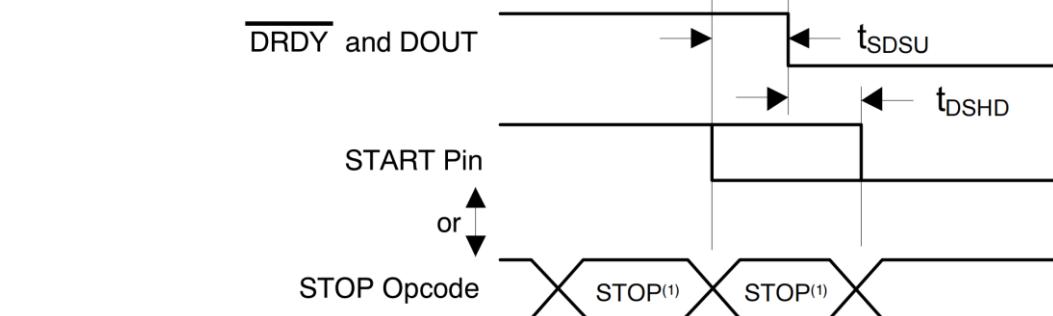


图28. 开始 DRDY 时机

表16. 图 33⁽¹⁾的时序特性

		MIN	UNIT
tSDSU	建立时间: 在 $\overline{\text{DRDY}}$ 下降沿之前启动引脚低电平或停止命令, 以停止进一步的转换	16	tCLK
tDSHD	延迟时间: 启动引脚低电平或停止命令以完成当前转换并停止进一步的转换	16	tCLK

(1) 启动和停止命令在传输结束时的第七个 SCLK 下降沿生效。

9.4.5. 数据检索

9.4.5.1. 数据就绪(DRDY)

$\overline{\text{DRDY}}$ 是一个从高电平转换到低电平的输出信号, 表示新的转换数据已准备就绪。CS对数据就绪信号没有影响。 $\overline{\text{DRDY}}$ 行为取决于设备是否处于 RDATAC 模式或 RDATA 命令用于按需读取数据。(有关详细信息, 请参阅 SPI 命令 定义部分的 RDATAC: 开始读取数据连续模式和 RDATA: 读取数据子部分)。

当使用 RDATA 命令读取数据时, 读取操作可以与下一个 $\overline{\text{DRDY}}$ 重叠, 而不会发生数据损坏。

START 引脚或 START 命令将器件置于正常数据捕获模式或脉冲数据捕获模式。

下图显示了数据检索过程中 CS、 $\overline{\text{DRDY}}$ 、DOUT 和 SCLK 之间的关系(在 LHA7878H 的情况下)。DOUT 在 SCLK 上升沿锁存。 $\overline{\text{DRDY}}$ 在 SCLK 下降沿被拉高。请注意, $\overline{\text{DRDY}}$ 在第一个 SCLK 下降沿变为高电平, 无论是从器件检索数据还是通过 DIN 引脚发送命令。

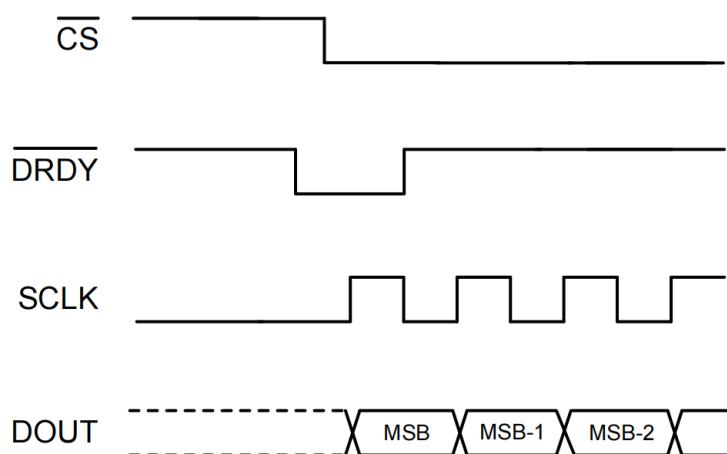


图29. DRDY行为与数据检索

无论CS状态如何，DRDY信号在第一个SCLK下降沿被清零。如果SPI总线用于与同一总线上的其他设备通信，则必须考虑此条件。

9.4.5.2. 回读数据

数据检索可以通过两种方法之一来完成：

1 . RDATA: 连续读数据命令将设备设置为连续读取数据的模式，而不发送命令。有关更多详细信息，请参阅 RDATA: 开始读取数据连续模式部分。

2 . RDATA: 读取数据命令要求向设备发送命令以加载输出移位用最新数据注册。有关更多详细信息，请参阅 RDATA: ReadData 部分。

转换数据是通过在 DOUT 上移出数据来读取的。DOUT 上数据的 MSB 在第一个 SCLK 上升沿被计时。DRDY 在第一个 SCLK 下降沿返回高电平。对于整个读取操作，DIN 应保持低电平。

9.4.5.3. 状态字

状态字在数据回读之前，提供有关 LHA7878H 状态的信息。状态字长 24 位，包含 FAULT_STATP、FAULT_STATN 和 GP10 数据位的值。内容对齐下图所示。

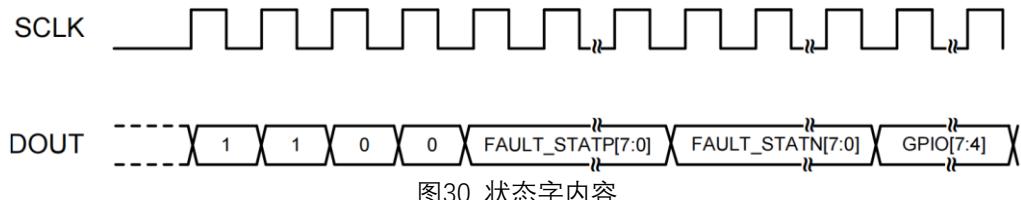


图30. 状态字内容

状态字长始终为 24 位。对于 32-kSPS、64-kSPS 和 128-kSPS 数据速率，长度不会改变。

9.4.5.4. 回读长度

数据输出中的位数取决于通道数和每个通道的位数。每个通道数据的数据格式首先是两个补码和 MSB。

对于所有数据速率，数据位数为：24 个状态位+每通道 24 位通道=216 位。

当使用用户寄存器设置关闭通道时，相应的通道输出设置为 0。但是，通道输出的顺序保持不变。

LHA7878H 还提供多数据回读功能。通过简单地提供更多 SCLKs，可以多次读出数据，在这种情况下，MSB 数据字节 在读取最后一个字节后重复。CONFIG1 寄存器中的 DAISYJN 位必须设置为 1 才能进行多次读回。

9.5. 通讯

9.5.1. 数据格式

CONFIG1 寄存器中的 DR [2:0] 位设置 LHA7878H 的输出分辨率。

$$1 \text{ LSB} = (2 \times V_{\text{REF}} / \text{Gain}) / 2^{24} = FS / 2^{23} \quad (8)$$

正满量程输入 $[V_{\text{IN}} \geq (FS - 1 \text{ LSB}) = (V_{\text{REF}}/\text{Gain} - 1 \text{ LSB})]$ 产生 7FFFFFFh 的输出码，负满量程输入 $(V_{\text{IN}} \leq -FS = V_{\text{REF}}/\text{Gain})$ 产生 800000h 的输出码。

下表总结了不同输入信号的理想输出代码。

表17. 24 位理想输出代码与输入信号

输入信号, $V_{(IN \times P)} - V_{(IN \times N)}$	理想输出代码 ⁽¹⁾
$> FS (2^{23} - 1)/2^{23}$	7FFFFFFh
$FS/2^{23}$	000001h
0	000000h
$-FS/2^{23}$	FFFFFFFFFFh
$<-FS$	800000h

(1)排除噪声、INL、失调和增益误差的影响。

9.5.2. SPI 接口

SPI 兼容串行接口由四个信号组成: \overline{CS} 、SCLK、DIN 和 DOUT。该接口用于读取转换数据、读写寄存器以及控制 LHA7878H 操作。 \overline{DRDY} 用作状态信号, 用于指示 ADC 数据何时准备好回读。当有新数据可用时, \overline{DRDY} 变低。

9.5.2.1. SPI 选择(\overline{CS})

\overline{CS} 引脚激活 SPI 通信。 \overline{CS} 在数据事务处理之前必须为低电平, 并且必须在整个 SPI 通信期间保持低电平。当 \overline{CS} 为高电平时, DOUT 引脚进入高阻状态。因此, 对串行接口的读取和写入被忽略并且串行接口被复位。 \overline{DRDY} 操作独立于 \overline{CS} 。即使 \overline{CS} 为高电平, \overline{DRDY} 仍然指示新的转换已经完成, 发送 SCLK 后会被强制为高电平。

将 \overline{CS} 设为高电平停用与器件的 SPI 通信, 并复位串行接口。数据转换继续进行, 并且可以监视 \overline{DRDY} 以检查新的转换结果是否准备就绪。监控 \overline{DRDY} 信号的主设备可以通过将 \overline{CS} 引脚拉低来选择合适的从设备。串行通信完成后, 始终等待四个或更多个 t_{CLK} 周期, 然后才将 \overline{CS} 变为高电平。

9.5.2.2. 串行时钟 (SCLK)

SCLK 为串行通信提供时钟。SCLK 是施密特触发输入, 但建议尽可能保持 SCLK 无噪声, 以防止毛刺无意中移位数据。数据在 SCLK 的下降沿从 DIN 移入, 在 SCLK 的上升沿从 DOUT 移出。

绝对最大 SCLK 限制。使用 SCLK 切换命令时, 请确保向器件发出整套 SCLKs 命令。如果不这样做, 可能会导致设备串行接口处于未知状态, 要求将 CS 调高以恢复。

对于单个器件, SCLK 所需的最低速度取决于通道数、分辨率位数和输出数据速率。(有关多个设备, 请参阅多个设备配置部分。)

例如, 如果 LHA7878H 与 8kSPS 模式 (24 位分辨率) 一起使用, 则最低 SCLK 速度为 1.755MHz 以移出所有数据。

数据检索可以通过将设备置于 RDATAAC 模式或根据需要发出数据的 RDATA 命令来完成。公式 9 中的 SCLK 速率限制适用于 RDATAG 对于 RDATA 命令, 如果必须在两个连续的 DRDY 信号之间读取数据, 则限制适用。公式 9 假设在数据捕获之间没有发出其他命令。

$$(t_{SCLK} < t_{DR} - 4 t_{CLK}) / (N_{bits} \times 8 + 24)$$

这里

- N 位=当前数据速率的数据分辨率 (24 bits) (9)

该器件的通信本质上是全双工的。即使数据被移出, 该设备也会监视移入的命令。当发送命令时, 输出移

位寄存器中的数据被移出。因此，在移出数据时，请确保 DIN 引脚上发送的任何内容都是有效的。当读出数据时没有命令要发送到设备时，在 DIN 上发送 NOP 命令。在 DIN 上发送多字节命令时，确保在发送多字节命令部分满足 $t_{SDECODE}$ 定时。

9.5.2.3. 数据输出 (DOUT)

DOUT 与 SCLK 一起用于从器件读取转换和寄存器数据。数据首先在 SCLK MSB 的上升沿输出，当 \overline{CS} 为高电平时，DOUT 进入高阻抗状态。在读取数据连续模式下（详情请参阅 SPI 命令定义部分），DOUT 输出线也可用于指示何时有新数据可用。如果新数据就绪时， \overline{CS} 为低电平 DOUT 线上的高电平到低电平转换与 DRDY 的高电平到低电平转换同步发生如下图所示。此功能可用于最小化器件和系统控制器之间的连接数量。

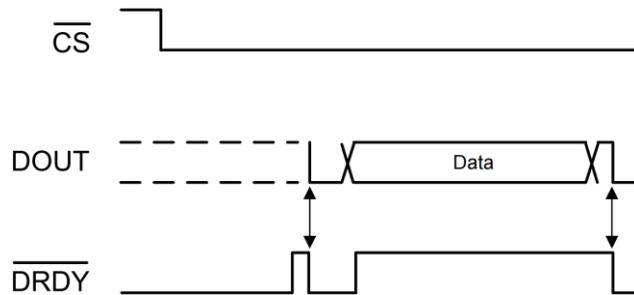


图31. 使用 DOUT 作为 DRDY

9.5.3. SPI 命令定义

LHA7878H 提供灵活的配置控制。下表中总结的命令控制和配置设备操作。这些命令是独立的，除了寄存器读和寄存器写操作需要第二个命令字节来包含额外的数据。 \overline{CS} 在命令之间保持高电平或低电平，但在整个命令操作（包括多字节命令）中必须保持低电平。系统命令和 RDATA 命令由 LHA7878H 在第七个 SCLK 下降沿解码。寄存器读写命令在第八 SCLK 下降沿进行解码。发出命令后将 \overline{CS} 高时请务必遵循 SPI 时序要求。

表18. 命令定义

COMMAND	DESCRIPTION	第一个字节	第二字节
系统命令			
WAKEUP	从待机模式唤醒	0000 0010 (02h)	
STANDBY	进入待机模式	0000 0100 (04h)	
RESET	重置设备	0000 0110 (06h)	
START	启动或重新启动（同步）转换	0000 1000 (08h)	
STOP	停止转换	0000 1010 (0Ah)	
OFFSETCAL	通道偏移校准	0001 1010 (1Ah)	
数据读取命令			
RDATAAC	启用读取数据连续模式。 此模式是上电时的默认模式。 ⁽¹⁾	0001 0000 (10h)	
SDATAC	停止读取数据连续模式	0001 0001 (11h)	
RDATA	通过命令读取数据	0001 0010 (12h)	
注册读取命令			
RREG	从地址 rrrr 开始读取 n 个 nnnn 寄存器	001rrrr(2xh) ⁽²⁾	000nnnnn ⁽²⁾
WREG	从地址 rrrr 开始写入 n 个 nnnn 寄存器	010rrrr(4xh) ⁽²⁾	000nnnnn ⁽²⁾

(1) 当处于 RDATAC 模式时，RREG 命令将被忽略。

(2) nnnnn=要读取或写入的寄存器数-1。例如，要读取或写入三个寄存器，请设置 nnnnn=0 (0010)。rrrr=读写命令的起始寄存器地址。

9.5.3.1. 发送多字节命令

LHA7878H 串行接口以字节为单位解码命令，解码和执行每个命令需要 4 tclk 周期。因此，当发送多字节命令（例如 RREG 或 WREG）时，当前字节（或命令）的末尾与下一字节必须使用 4 个 tclk 进行隔开。

假设 CLK 为 2.048MHz，则 $t_{SDECODE}$ (4 tclk) 为 1.96 μs。当 SCLK 为 16MHz 时，一个字节可以在 0.5 μs 内传

输。此字节传输时间不符合 $t_{SDECODE}$ 规范；因此，必须在第一个字节之后和第二个字节之前插入 $1.46\mu\text{s}$ ($1.96\mu\text{s} - 0.5\mu\text{s}$) 的延迟。如果 SCLK 为 4MHz , 则在 $2\mu\text{s}$ 内传输一个字节。由于此传输时间超过 $t_{SDECODE}$ 规范 ($2\mu\text{s} > 1.96\mu\text{s}$)，处理器可以无延迟地发送后续字节。

9.5.3.2. 唤醒：退出待机模式

唤醒命令退出低功耗待机模式，请参阅待机/进入待机模式部分。请务必留出足够的时间让处于待机模式的所有电路上电（详情请参阅电气特性表）。此命令没有 SCLK 速率限制，可以随时发出。任何后续命令必须在延迟 $4t_{\text{CLK}}$ 周期后发送。

9.5.3.3. 待机：进入待机模式

待机命令进入低功耗待机模式。除参考部分外，器件中的所有电路都掉电。待机模式功耗在电气特性表中指定。此命令没有 SCLK 速率限制，可以随时发出。在设备进入待机模式后，不要发送唤醒命令以外的任何其他命令。

9.5.3.4. RESET：将寄存器重置为默认值

RESET 命令重置数字滤波器并将所有寄存器设置返回到其默认值；有关更多详细信息，请参阅 RESET (复位) 部分。此命令没有 SCLK 速率限制，可以随时发出。执行复位命令需要 2ms 。避免在此期间发送任何命令。

9.5.3.5. START：开始转换

START 命令启动数据转换。将 START 引脚连接到低电平，通过 START 和 STOP 命令将 START 命令接低控制转换。如果正在进行转换，则此命令不起作用。STOP 命令用于停止转换。如果启动命令紧接着是停止命令，那么它们之间必须存在 $4t_{\text{CLK}}$ 周期延迟的间隙。在进一步的转换停止之前，当前转换完成。此命令没有 SCLK 速率限制，可以随时发出。

9.5.3.6. 停止：停止转换

STOP 命令停止转换。将 START 引脚连接到低电平，通过命令控制转换。发送停止命令时，正在进行的转换完成并停止进一步的转换。如果转换已停止，则此命令不起作用。此命令没有 SCLK 速率限制，可以随时发出。

9.5.3.7. OFFSETCAL：通道偏移校准

OFFSETCAL 命令取消每个通道的偏移。建议每次 PGA 增益设置发生变化时发出 OFFSETCAL 命令。

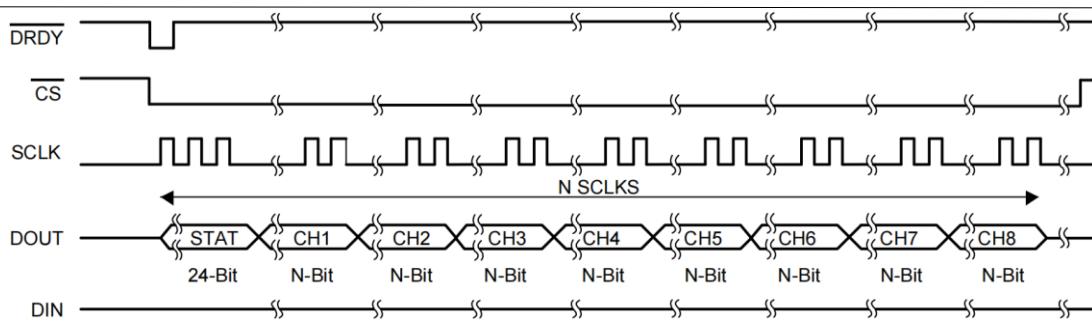
发出 OFFSETCAL 命令时，设备将自身配置为最低数据速率 ($\text{DR}[2:0] = 110-1 \text{ kSPS}$)，并对每个通道执行以下步骤：

- 将每个通道的模拟输入短路并连接到中间电源[$(\text{AVDD}+\text{AVSS}) / 2$]
- 复位数字滤波器（需要滤波器建立时间= $4t_{\text{DR}}$ ）
- 收集 16 个数据点进行校准= $15t_{\text{DR}}$

总校准时间= $(19T_{\text{DR}} \times 8) + 1 \text{ mS} = 153\text{mS}$ 。

9.5.3.8. RDATAC：启动读取数据连续模式

RDATAC 命令启用读取数据连续模式。在这种模式下，转换数据从器件检索，而不需要发出后续的 RDATA 命令。该模式在每个 DRDY 沿将转换数据放在输出寄存器中，这样就可以用下面的 SCLK 直接将数据移出。在使用新的 DRDY 下降沿更新数据之前，从器件中移出所有数据，以避免丢失数据。读取数据连续模式是器件默认模式；设备在上电时默认为该模式。下图显示了使用 RDATAC 模式时 LHA7878H 数据输出协议。



注意: $X\text{SCLKs} = (\text{N 位}) \times (\text{8 通道}) + 24 \text{ 位}。 (\text{N}=24)$ 。

图32. LHA7878H SPI 总线数据输出（八通道）

RDATAAC 模式由 Stop Read Data Continuous 命令取消。如果设备处于 RDATAAC 模式，则必须先发出 SDATAC 命令，然后才能将任何其他命令发送到设备。此命令没有 SCLK 速率限制。但是，后续数据检索 SCKK 或 SDATAC 命令应在完成之前至少等待 $4t_{\text{CLK}}$ 周期。RDATAAC 时序如下图所示。在 DRDY 脉冲周围有一个 $4t_{\text{CLK}}$ 周期的保持，在那里这个命令不能发出。如果没有从器件中检索到数据并且 CS 保持为低电平，则与 DRDY 同步发生从高到低的 DOUT 转换。若要在发出 RDATAAC 命令后从器件检索数据，请确保 START 引脚为高电平或发出 START 命令。下图显示了使用 RDATAAC 命令的推荐方式。读取数据连续模式非常适合数据记录器或记录仪等应用，这些应用只需设置一次寄存器，无需重新配置。

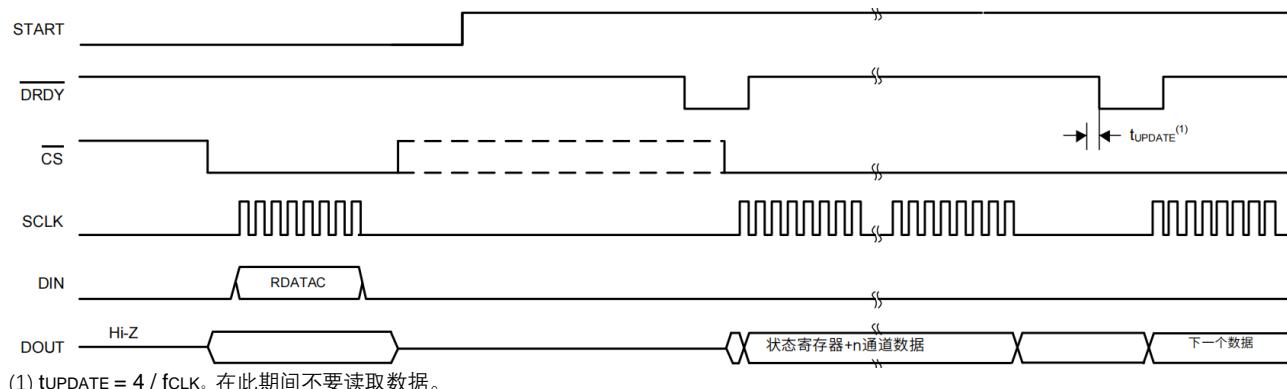


图33. 在 RDATAAC 模式下读取数据

9.5.3.9. SDATAC:停止读取数据连续模式

SDATAC 命令取消读取数据连续模式。此命令没有 SCLK 速率限制，但下一个命令必须等待 $4t_{\text{CLK}}$ 周期才能完成。

9.5.3.10. RDATA: 读取数据

RDATA 命令在不处于读取数据连续模式时用最新数据加载输出移位寄存器。在 DRDY 变为低电平后发出此命令以读取转换结果。此命令没有 SCLK 速率限制，并且后续命令或数据检索 SCLK 不需要等待时间。若要在发出 RDATA 命令后从设备中检索数据，请确保 START 引脚为高电平或发出 START 命令。当使用 RDATA 命令读取数据时，读取操作可以与下一个 DRDY 发生重叠，而不会发生数据损坏。RDATA 可以在新数据可用后多次发送，从而支持多次数据回读。下图说明了使用 RDATA 命令的推荐方式。RDATA 最适用于必须读取寄存器设置或用户无法精确控制时序的系统。建议使用 RDATA 命令读取数据，以避免在未监视 DRDY 信号时发生数据损坏。

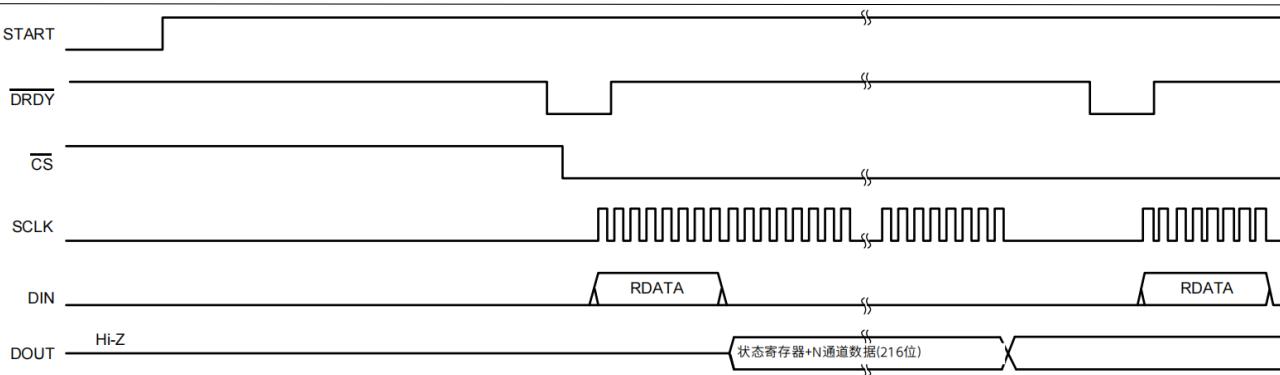


图34. RDATA 用法

9.5.3.11. RREG: 从寄存器读取

RREG 命令读取一个或多个设备配置寄存器的内容。寄存器读取命令是一个两字节命令，后跟寄存器数据输出。第一个字节包含命令和寄存器地址。第二个命令字节指定要读 1 的寄存器数。

第一个命令字节：001r rrrr,其中 r rrrr 是起始寄存器地址。

第二个命令字节：000n nnnn,其中 n nnnn 是要读取的寄存器数-1。

操作的第 17 个 SCLK 上升沿将第一个寄存器的 MSB 计时，如下图所示。当设备处于读取数据连续模式时，必须先发出 SDATAC 命令，然后才能发出 RREG 命令。RREG 命令可以随时发出。但是，由于此命令是多字节命令，因此存在 SCLK 速率限制，具体取决于发出 SCLK 的方式以满足 $t_{SDECODE}$ 时序。有关更多详细信息，请参阅 SPI 接口部分的串行时钟 (SCLK) 小节。请注意，整个命令的 CS 为低电平。

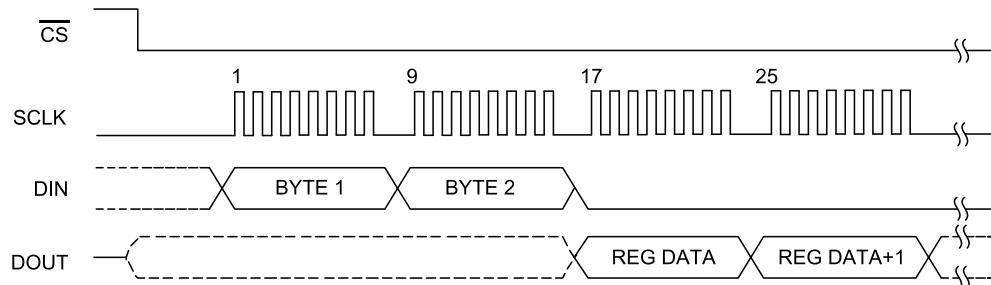


图35. RREG 命令示例：从寄存器 00h (ID 寄存器) 开始读取两个寄存器

9.5.3.12. WREG: 写寄存器

WREG 命令将数据写入一个或多个设备配置寄存器。寄存器写命令是一个两字节命令，后跟寄存器数据输入。第一个字节包含命令和寄存器地址。第二个命令字节指定要写 1 的寄存器数。

第一个命令字节：010r rrrr,其中 r rrrr 是起始寄存器地址。

第二个命令字节：000n nnnn,其中 n nnnn 是写入寄存器的个数-1。

在命令字节之后，寄存器数据跟随 (MSB-first 格式)，如下图所示。对于跨保留寄存器 (0dh-11h) 的多个寄存器写入，这些寄存器必须包含在寄存器计数中，并且必须写入保留寄存器的默认设置。WREG 命令可以随时发出。但是，由于此命令是多字节命令，因此存在 SCLK 速率限制，具体取决于发出 SCLK 的方式以满足 $t_{SDECODE}$ 时序。对于整个命令，CS 必须为低电平。

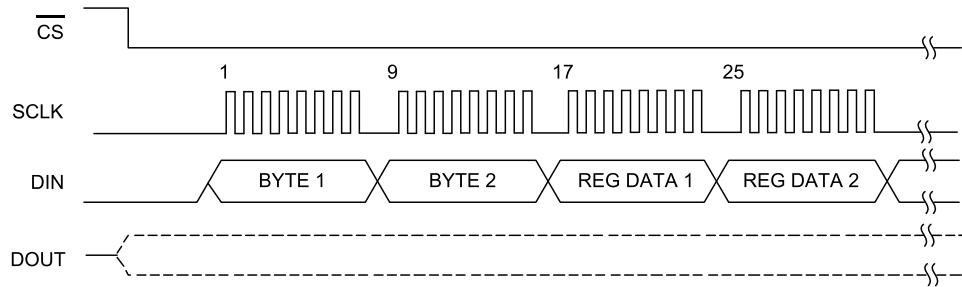


图36. WREG 命令示例：从 00h 开始写入两个寄存器（ID 寄存器）

9.6. 寄存器列表

下表描述了各种 LHA7878H 寄存器。

表19. 寄存器列表

ADDRESS	REGISTER	重置值 (十六进制)	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
设备设置 (只读寄存器)										
00h	ID	XX	REV_ID2	REV_ID1	REV_ID0	0	0	0	NU_CH2	NU_CH1
跨渠道的全局设置										
01h	CONFIG1	1E	0	DAISYJN	CLK_EN	1	1	DR[2:0]		
02h	CONFIG2	C0	1	1	0	INT_TEST	0	TEST_AMPO	TEST_FREQ[1:0]	
03h	CONFIG3	00	PDB_REFBUF	0	VREF_4V	0	OPAMP_REF	PDB_OPAMP	0	0
04h	FAULT	00	COMP_TH[2:0]			0	0	0	0	0
CHANNEL-SPECIFIC SETTINGS										
05h	CH1SET	00	PD1	GAI_N1 [2:0]			0	MUX1[2:0]		
06h	CH2SET	00	PD2	GAIN2[2:0]			0	MUX2[2:0]		
07h	CH3SET	00	PD3	GAIN3[2:0]			0	MUX3[2:0]		
08h	CH4SET	00	PD4	GAIN4[2:0]			0	MUX4[2:0]		
09h	CH5SET	00	PD5	GAIN5[2:0]			0	MUX5[2:0]		
0Ah	CH6SET	00	PD6	GAIN6[2:0]			0	MUX6[2:0]		
0Bh	CH7SET	00	PD7	GAIN7[2:0]			0	MUX7[2:0]		
0Ch	CH8SET	00	PD8	GAIN8[2:0]			0	MUX8[2:0]		
故障检测状态寄存器 (只读寄存器)										
12h	FAULT_STATP	XX	IN8P_FAULT	IN7P_FAULT	IN6P_FAULT	IN5P_FAULT	IN4P_FAULT	IN3P_FAULT	IN2P_FAULT	IN1P_FAULT
13h	FAULT_STATN	XX	IN8N_FAULT	IN7N_FAULT	IN6N_FAULT	IN5N_FAULT	IN4N_FAULT	IN3N_FAULT	IN2N_FAULT	IN1N_FAULT
GPIO SETTINGS										
14h	GPIO	0F	GPIO4	GPIO3	GPIO2	GPIO1	GPIO4	GPIO3	GPIO2	GPIO1

(1) 当使用多个寄存器写命令时，寄存器 0Dh、0Eh、0Fh、10h 和 11h 必须写入 00h。

9.6.1. 寄存器说明

9.6.1.1. ID: ID 控制寄存器 (工厂编程, 只读) (地址=00h) [reset=xxh]

该寄存器在器件制造期间被编程以指示器件特性。

表20. ID: ID 控制寄存器

7	6	5	4	3	2	1	0
REV_ID2	REVJD1	REV_J DO	0	0	0	NU_CH2	NU CH1
R-1h	R-1h	R-Oh	R-0h	R-Oh	R-Oh	R-xh	R-xh

图例: R=只读;-n 二重置后的值

表21. ID: ID 控制寄存器字段说明

Bit	Field	Type	Reset	Description
7:5	REV_ID[2:0]	R	6h	设备族标识。 此位指示设备系列。110: LHA7878H。000、001、010、011、100、101、111: 预留
4	Reserved	R	0h	总是读 0。

3:2	Reserved	R	0h	总是读0。
1:0	NU_CH[2:0]	R	xh	设备标识位。00: 8通道设备 01: 6通道设备 10: 4通道设备 11: 预留

9.6.1.2. CONFIG1: 配置寄存器 1 (地址=01h) [reset=1Eh]

该寄存器配置菊花链、时钟设置和每个ADC通道采样速率。

表22. CONFIG1: 配置寄存器 1

7	6	5	4	3	2	1	0
0	DAISY IN	CLK EN	1	1	DR[2:0]	DR[2:0]	DR[2:0]
R/W-0h	R/W-1h	R/W-0h	R/W-1h	R/W-1h	R/W-4h	R/W-4h	R/W-4h

图例: RW=读写;-n 二复位后的值

表23. CONFIG1: 配置寄存器 1 字段说明

Bit	Field	Type	Reset	Description
7	Reserved	R	0h	必须设置为0。
6	DAISY_EN	R/W	0h	菊花链和多数据回读模式。 该位决定启用哪种模式。0: 菊花链模式 1: 多数据回读模式
5	CLK_EN	R/W	0h	时钟连接 该位确定当 CLKSEL 引脚=1 时内部振荡器信号是否连接到 CLK 引脚。 0: 振荡器时钟输出禁用 1: 振荡器时钟输出启用
4	Reserved	R	1h	必须设置为1。
3	Reserved	R	1h	必须设置为1。
2:0	DR[2:0]	R/W	1h	输出数据速率。 这些位决定输出数据速率和分辨率。

(1) 驱动外部设备时消耗额外的功率。

表24. 数据速率设置

DR[2:0]	RESOLUTION	数据速率(kSPS) ⁽¹⁾
000	24-bit output	64
001	24-bit output	32
010	24-bit output	16
011	24-bit output	8
100	24-bit output	4
101	24-bit output	2
110	24-bit output	1 (default)
111	24-bit output	128

(1) 其中 f_{clk}=2.048MHz.

9.6.1.3. CONFIG2: 配置寄存器 2 (地址=02h) [reset=C0h]

该寄存器配置测试信号的生成；有关更多细节，请参阅输入多路复用器部分。

表25. CONFIG2: 配置寄存器 2

7	6	5	4	3	2	1	0
1	1	0	INT TEST	0	TEST AMP	TEST FREQ[1:0]	
R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: RW=读写;-n 二复位后的值

表26. CONFIG2: 配置寄存器 2 字段说明

Bit	Field	Type	Reset	Description
7:5	Reserved	R	110h	必须设置为 110。
4	INT_TEST	R/W	0h	测试信号源。 该位确定测试信号的源。0: 测试信号由外部驱动 1: 测试信号由内部产生
3	Reserved	R/W	0h	必须设置为 0
2	TEST_AMP	R/W	0h	测信号幅度。 这些位确定校准信号幅度。 0: 1x ($V_{VREFP} - V_{VREFN}$) / 1000 1: 1x ($V_{VREFP} - V_{VREFN}$) / 1000
1:0	TEST_FREQ[1:0]	R/W	0h	测信号频率。这些比特确定测试信号频率。 00: 频率等于 $f_{clk}/2^{21}$ 01: 频率等于 $f_{clk}/2^{20}$ 10: 未使用 11: DC

9.6.1.4. CONFIG3: 配置寄存器 3 (地址=03h) [reset=00]

该寄存器配置基准电压源和内部放大器。

表27. CONFIG3: 配置寄存器 3

7	6	5	4	3	2	1	0
PDB_REFBUF	0	VREF 4V	0	OPAMP REF	PDB_OPAMP	Reserved	Reserved
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

表28. CONFIG3: 配置寄存器 3 字段说明

Bit	Field	Type	Reset	Description
7	PDB_REFBUF	R/W	0h	PDB_REFBUF: 参考缓冲器被禁用 该位确定掉电参考缓冲器状态。 0: 禁用内部基准缓冲器 1: 启用内部基准缓冲器
6	Reserved	R/W	0h	必须设置为 0。
5	VREF_4V	R/W	0h	内部参考电压。 该位确定内部参考电压 VREF。 0: VREF 设置为 2.4V 1: VREF 设置为 4V
4	Reserved	R	0h	必须设置为 0。
3	OPAMP_REF	R/W	0h	运算放大器参考。 该位确定运算放大器同相输入是连接到 OPAMPP 引脚还是连接到 内部(AVDD+AVSS)/2。 0: 同相输入端连接到 OPAMPP 引脚 1: 同相输入端连接到(AVDD+AVSS)/2
2	PDB_OPAMP	R/W	0h	运算放大器掉电。该位使运算放大器断电。 0: 掉电运算放大器 1: 使能运算放大器
1	Reserved	R	0h	必须设置为 0。
0	Reserved	R	0h	必须设置为 0。

9.6.1.5. 故障: 故障检测控制寄存器 (地址=04h) [复位=00h]

该寄存器配置故障检测操作。

表29. 故障: 故障检测控制寄存器

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

COMP TH[2:0]	COMP TH[2:0]	COMP TH[2:0]	0	0	0	0	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: RW=读写;-n=复位后的值

表30. 故障: 故障检测控制寄存器字段描述

Bit	Field	Type	Reset	Description																
7:5	COMP_TH[2:0]	R/W	0h	<p>故障检测比较器阈值。 这些位确定故障检测比较器阈值电平设置。有关详细说明, 请参阅输入超出范围检测部分。比较器高侧阈值:</p> <table> <tr><td>000: 95%</td></tr> <tr><td>001: 92.5 %</td></tr> <tr><td>010: 90%</td></tr> <tr><td>011: 87.5%</td></tr> <tr><td>100: 85%</td></tr> <tr><td>101 : 80%</td></tr> <tr><td>110: 75%</td></tr> <tr><td>111: 70%</td></tr> </table> <p>比较器低侧阈值:</p> <table> <tr><td>000: 5%</td></tr> <tr><td>001 : 7.5%</td></tr> <tr><td>010: 10%</td></tr> <tr><td>011: 12.5%</td></tr> <tr><td>100: 15%</td></tr> <tr><td>101 : 20%</td></tr> <tr><td>110: 25%</td></tr> <tr><td>111: 30%</td></tr> </table>	000: 95%	001: 92.5 %	010: 90%	011: 87.5%	100: 85%	101 : 80%	110: 75%	111: 70%	000: 5%	001 : 7.5%	010: 10%	011: 12.5%	100: 15%	101 : 20%	110: 25%	111: 30%
000: 95%																				
001: 92.5 %																				
010: 90%																				
011: 87.5%																				
100: 85%																				
101 : 80%																				
110: 75%																				
111: 70%																				
000: 5%																				
001 : 7.5%																				
010: 10%																				
011: 12.5%																				
100: 15%																				
101 : 20%																				
110: 25%																				
111: 30%																				
4:0	Reserved	R	00h	必须设置为 0。该位读低。																

9.6.1.6. CHnSET: 通道设置 (地址=05h 至 OCh) [reset=00h]

该寄存器配置每个独立通道的工作模式、PGA 增益和多路复用器设置; 详情请参阅输入多路复用器部分。CHnSET 类似于 CH1SET, 不同的 n 对应于不同的通道。

表31. CHnSET⁽¹⁾ : 单个通道设置

7	6	5	4	3	2	1	0
PDn	GAINn[2:0]	GAINn[2:0]	GAINn[2:0]	0	MUXn[2:0]	MUXn[2:0]	MUXn[2:0]
R/W-0h	R/W-1h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: RW=读写;-n=复位后的值

(1) n = 1 to 8.

表32. CHnSET: 单个通道设置字段描述

Bit	Field	Type	Reset	Description								
7	PDn	R/W	0h	<p>掉电 (n=通道号)。 该位确定用于相应通道的工作模式。0: 正常工作 1: 通道掉电</p>								
6:4	GAINn[2:0]	R/W	0h	<p>PGA 增益 (n=通道号)。 这些位确定 PGA 增益设置。</p> <table> <tr><td>000: 6</td></tr> <tr><td>001 : 1</td></tr> <tr><td>010: 2</td></tr> <tr><td>011 : 3</td></tr> <tr><td>100: 4</td></tr> <tr><td>101: 8</td></tr> <tr><td>110: 12</td></tr> <tr><td>111: 24</td></tr> </table>	000: 6	001 : 1	010: 2	011 : 3	100: 4	101: 8	110: 12	111: 24
000: 6												
001 : 1												
010: 2												
011 : 3												
100: 4												
101: 8												
110: 12												
111: 24												
3	Reserved	R/W	0h	必须设置为 0。该位读低。								

2:0	MUXn[2:0]	R/W	0h	通道输入 (n=通道号)。这些位确定通道输入选择。 000: 正常输入 001: 输入短接至 (AVDD+AVSS) /2 (用于失调或噪声测量) 010: 不使用 011: MVDD, 用于电源测量 100: 温度传感器 101: 测试信号 110: 不使用 111: 不使用
-----	-----------	-----	----	---

9.6.1.7. FAULT_STATP: 故障检测正输入状态 (地址=12h) [reset=xxh]

该寄存器存储每个通道上的正输入是否有故障的状态。故障是通过将输入引脚与阈值进行比较来确定的；有关详细信息，请参阅输入超出范围检测部分。

表33. FAULT_STATP: 故障检测正输入状态

7	6	5	4	3	2	1	0
IN8P_FAULT	IN7P_FAULT	IN6P_FAULT	IN5P_FAULT	IN4P_FAULT	IN3P_FAULT	IN2P_FAULT	IN1P_FAULT
R-0h							

图例: RW=读写;-n=复位后的值

表34. FAULT_STATP: 故障检测正输入状态字段描述

Bit	Field	Type	Reset	Description
7	IN8P_FAULT	R	0h	IN8P 阈值检测。0: 通道 8 正输入引脚不超过阈值设置 1: 通道 8 正输入引脚超过阈值设置
6	IN7P_FAULT	R	0h	IN7P 阈值检测。0: 通道 7 正输入引脚不超过阈值设置 1: 通道 7 正输入引脚超过阈值设置
5	IN6P_FAULT	R	0h	IN6P 阈值检测。0: 通道 6 正输入引脚不超过阈值设置 1: 通道 6 正输入引脚超过阈值设置
4	IN5P_FAULT	R	0h	IN5P 阈值检测。0: 通道 5 正输入引脚不超过阈值设置 1: 通道 5 正输入引脚超过阈值设置
3	IN4P_FAULT	R	0h	IN4P 阈值检测。0: 通道 4 正输入引脚不超过阈值设置 1: 通道 4 正输入引脚超过阈值设置
2	IN3P_FAULT	R	0h	IN3P 阈值检测。0: 通道 3 正输入引脚不超过阈值设置 1: 通道 3 正输入引脚超过阈值设置
1	IN2P_FAULT	R	0h	IN2P 阈值检测。0: 通道 2 正输入引脚不超过阈值集 1: 通道 2 正输入引脚超过阈值集
0	IN1P_FAULT	R	0h	IN1P 阈值检测。0: 通道 1 正输入引脚不超过阈值集 1: 通道 1 正输入引脚超过阈值集

9.6.1.8. FAULT_STATN: 故障检测负输入状态 (地址=13h) [reset=xxh]

该寄存器存储每个通道上的负输入是否有故障的状态。故障是通过将输入引脚与阈值进行比较来确定的；有关详细信息，请参阅输入超出范围检测部分。

表35. FAULT_STATN: 故障检测负输入状态

7	6	5	4	3	2	1	0
IN8N_FAULT	IN7N_FAULT	IN6N_FAULT	IN5N_FAULT	IN4N_FAULT	IN3N_FAULT	IN2N_FAULT	IN1N_FAULT
R-0h							

图例: RW=读写;-n=复位后的值

表36. FAULT_STATN: 故障检测负输入状态字段描述

Bit	Field	Type	Reset	Description
-----	-------	------	-------	-------------

7	IN8N_FAULT	R	0h	IN8N 阈值检测。0: 通道 8 负输入引脚不超过阈值设置 1: 通道 8 负输入引脚超过阈值设置
6	IN7N_FAULT	R	0h	IN7N 阈值检测。0: 通道 7 负输入引脚不超过阈值设置 1: 通道 7 负输入引脚超过阈值设置
5	IN6N_FAULT	R	0h	IN6N 阈值检测。0: 通道 6 负输入引脚不超过阈值设置 1: 通道 6 负输入引脚超过阈值设置
4	IN5N_FAULT	R	0h	IN5N 阈值检测。0: 通道 5 负输入引脚不超过阈值设置 1: 通道 5 负输入引脚超过阈值设置
3	IN4N_FAULT	R	0h	IN4N 阈值检测。0: 通道 4 负输入引脚不超过阈值设置 1: 通道 4 负输入引脚超过阈值设置
2	IN3N_FAULT	R	0h	IN3N 阈值检测。0: 通道 3 负输入引脚不超过阈值设置 1: 通道 3 负输入引脚超过阈值设置
1	IN2N_FAULT	R	0h	IN2N 阈值检测。0: 通道 2 负输入引脚不超过阈值设置 1: 通道 2 负输入引脚超过阈值设置
0	IN1N_FAULT	R	0h	IN1N 阈值检测。0: 通道 1 负输入引脚不超过阈值设置 1: 通道 1 负输入引脚超过阈值设置

9.6.1.9. GPIO: 通用 IO 寄存器(地址=14h) [reset=0Fh]

该寄存器控制四个 GPIO 引脚的格式和状态。

表37. GPIO: 通用 10 寄存器

7	6	5	4	3	2	1	0
GPIOD[4:1]				GPIOC[4:1]			
R/W-0h				R/W-Fh			

图例: RW=读写;-n=复位后的值

表38. GPIO: 通用 10 寄存器字段说明

Bit	Field	Type	Reset	Description
7:4	GPIOD[4:1]	R/W	0h	这些位用于读取和写入数据到 GPIO 端口。读取寄存器时，返回的数据与 GPIO 外部引脚的状态相对应，无论它们是编程为输入还是输出。当作输出时，写 GPIOD 决定输出逻辑值；当作输入时，写 GPIOD 不起作用
3:0	GPIOC[4:1]	R/W	Fh	GPIO 控制（对应 GPIOD） o 这些位确定对应的 GPIOD 引脚是输入还是输出。0: 输出 1: 输入

10. 应用和实现

10.1. 应用信息

10.1.1. 未使用的输入和输出

关闭未使用的模拟输入并将其直接连接到 AVDD。

如果未使用，则关闭偏置放大器，浮空 OPAMPOUT 和 OPAMPN，并将 OPAMPP 直接连接到 AVSS 或保持浮空。

如果 TESTP、TESTN 或者内部测试信号未被使用，通过独立的 10kohm 电阻把 TESTP、TESTN 短路到 AVDD。如果使用了内部测试信号，TESTP、TESTN 需保持浮空。如果使用外部测试信号，TESTP、TESTN 需连接至外部测试信号。

不要浮空未使用的数字输入，这可能会导致过大的泄漏电流。通过 10kΩ 电阻将未使用的数字输入连接至

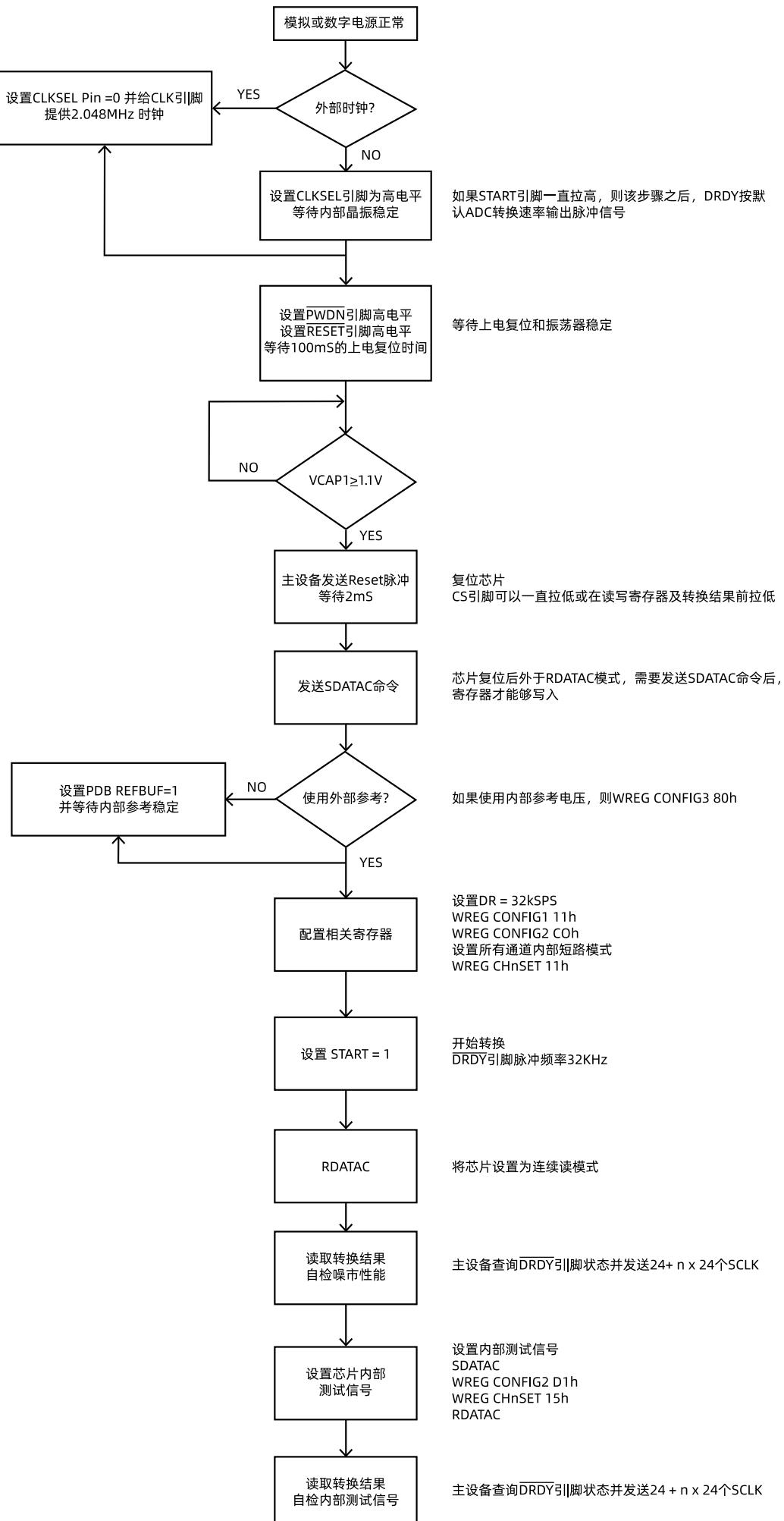
DVDD 或 DGND。

如果未使用，则使用弱上拉电阻将 DRDY 拉至电源。

如果没有菊花链设备，请将 DAISYIN 直接连接到 DGND。

10.1.2. 设置设备以进行基本数据捕获

本节概述了如何将器件配置为基本状态并捕获数据。此过程旨在将器件置于数据表规定的状态，以检查器件是否在用户系统中正常工作。建议最初遵循此过程以熟悉器件设置。验证此过程后，可以根据需要配置器件。有关命令时序要求的详细信息，请参阅数据手册中的相应部分。下图的流程图详细介绍了 LHA7878H 的初始配置和设置。


图37. 上电时的初始流量

10.1.3. 多器件配置

当系统中使用多个器件时, LHA7878H 可提供配置灵活性。串行接口通常需要四个信号: DIN、DOUT、SCLK 和 CS。每个器件附加一个片选信号, 可在同一 SPI 总线上操作多个器件。与 N 个设备接口所需的信号数为 3+N。

10.1.3.1. 同步多个器件

当使用多个器件时, 可以使用启动信号使器件同步。对于给定的数据速率, 从启动信号的上升沿到 DRDY 信号的下降沿的延迟时间是固定的 (有关建立时间的更多细节, 请参阅启动部分)。下图显示了两个器件在与启动信号同步时的行为。

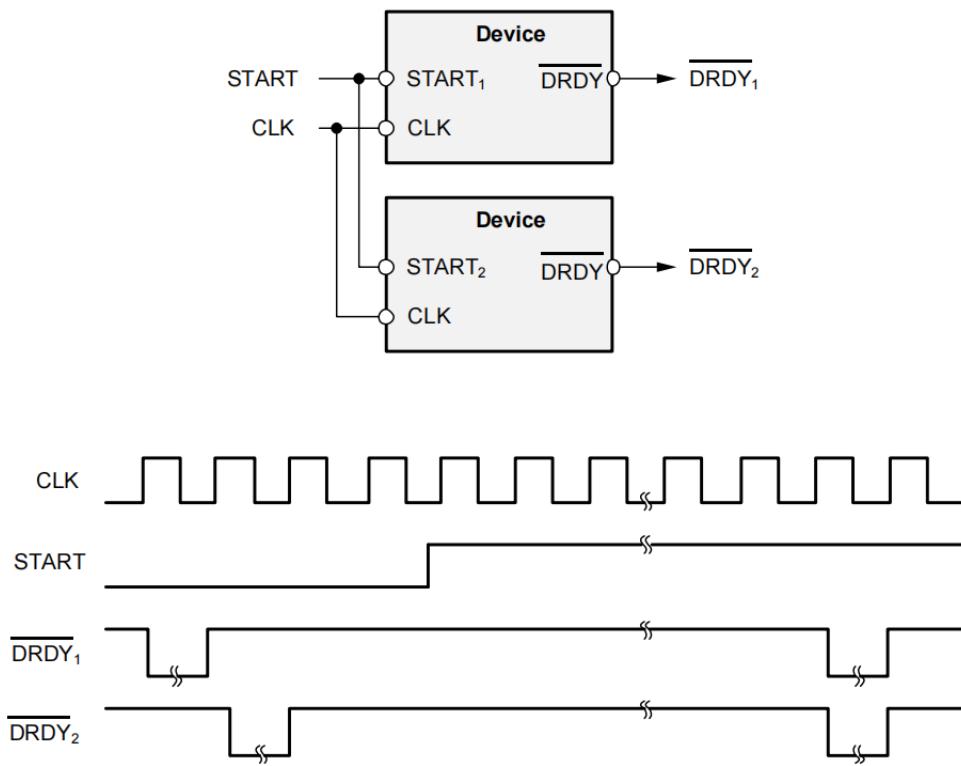


图38. 同步多个转换器

要在菊花链配置中使用内部振荡器, 必须将一个器件设置为时钟源的主器件, 使能内部振荡器 (CLKSEL 引脚=1), 并且必须通过将 CLK_EN 寄存器位设置为 1 来将内部主设备时钟用作其他设备的外部时钟源。

有两种方法可以通过最佳数量的接口引脚连接多个器件: 标准配置和菊花链配置。

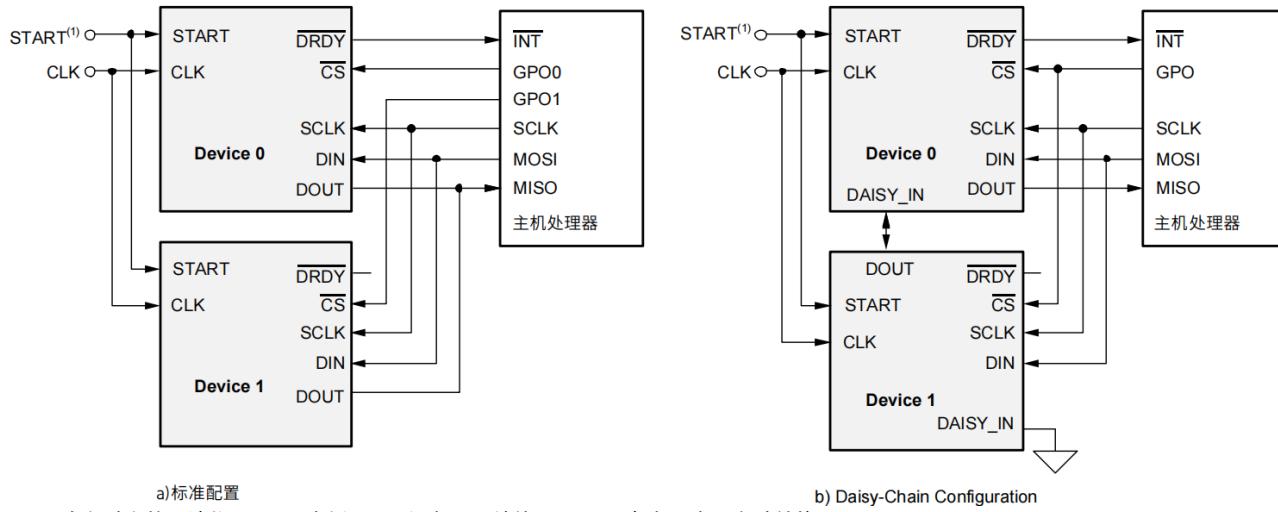
10.1.3.2. 标准配置

下图显示了级联两个 LHA7878H 器件的配置。这些设备共同创建了一个多达 16 个通道的系统。DOUT、SCLK 和 DIN 共享。每个设备都有自己的芯片选择。当一个设备没有被驱动到逻辑 1 的相应 CS 选择时, 该设备的 DOUT 引脚是高阻的。这种结构允许另一个器件控制 DOUT 总线。这种配置方法适用于大多数具有额外 IO 引脚的应用。

10.1.3.3. 菊花链配置

通过设置 CONFIG 1 寄存器中的 DAISY_IN 位来启用菊花链模式。下图示出了菊花链配置。在此模式下, SCLK、DIN 和 CS 可跨多个设备共享。器件 1 的 DOUT 引脚连接到器件 0 的 DAISY_IN 引脚, 从而为数据创建菊花链。如果不使用, 请将器件 1 的 DAISY_IN 引脚连接到 DGND。来自 LHA7878H 器件 0 的数据首先出现在 DOUT 上, 后跟一个不关心位, 然后是来自 LHA7878H 器件 1 的状态和数据字。

内部振荡器输出不能启用, 因为链中的所有设备通过共享相同的操作 DIN 引脚, 因此必须使用外部时钟。



a) 标准配置

b) Daisy-Chain Configuration

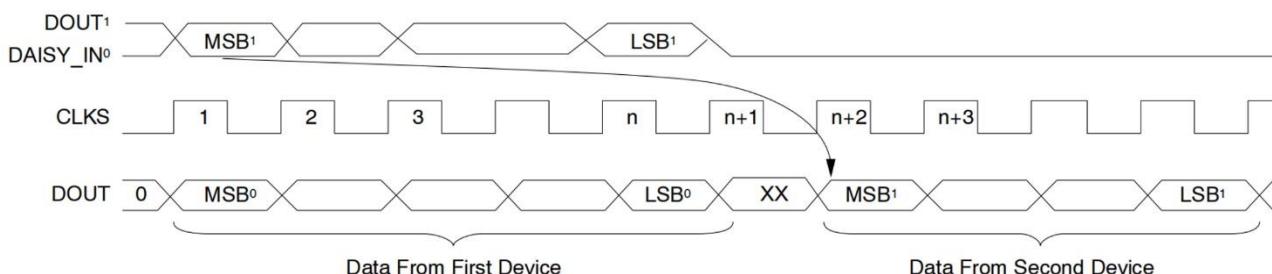
(1) 要减少引脚数, 请将 START 引脚设置为低电平, 并使用 START 命令同步和启动转换。

图39. 多种设备配置

使用菊花链模式时需要注意以下几个事项:

- 1、每个数据集之间必须发出一个额外的 SCLK。
- 2、所有器件都配置为相同的寄存器值, 因为 CS 信号是共享的。
- 3、器件寄存器回读仅对菊花链中的器件 0 有效。只能读取 ADC 转换数据从设备 1 回到设备 N, 其中 N 是链中的最后一个器件。

链中的器件越多, SETUP 设置和 HOLD 时间就越具挑战性。SCLK 与所有器件的星形连接、最大限度地减少 DOUT 的走线长度以及其他印刷电路板 (PCB) 布局技术有助于缓解信号延迟带来的挑战。在 DOUT 和 DAISY_IN 之间放置延迟电路 (如缓冲器) 是帮助减少信号延迟的选项。另一种选择是在 DOUT 和 DAISY_IN 之间插入一个 D 触发器, 时钟在一个反向的 SCLK 上。下图示出了用于菊花链模式的时序图。



注: $n = (\text{通道数}) \times (\text{分辨率}) + 24$ 位。通道数为 8。分辨率为 24 位。

图40. 菊花链数据字

可采用菊花链连接的最大器件数量取决于器件工作时的数据速率。最大器件数量可用公式 10 计算。

$$N_{\text{DEVICES}} = \frac{f_{\text{SCLK}}}{f_{\text{DR}} (N_{\text{BITS}})(N_{\text{CHANNELS}}) + 24}$$

where:

- N 位二设备分辨率 (取决于 DR[2:0]设置)
 - N 通道二设备中加电的通道数
- (10)

例如, 当 LHA7878H 工作在 24 位、8kSPS 数据速率 ($f_{\text{SCLK}}=10\text{MHz}$) 时, 最多可以将六个器件菊花链连接在一起。

10.1.4. 电力监控特定应用

LHA7878H 的所有通道完全相同, 但可独立配置, 因此用户可以灵活地选择任何通道进行电压或电流监控。配置为监视电压和电流的系统概述如下图所示。此外, 该器件的同时采样能力允许用户在同一时间监视电流和

电压。每个通道的满量程差分输入电压由各自通道的 PGA 增益设置（参见 CHnSET：独立通道设置部分）和 VREF（参见 CONFIG3：配置寄存器 3 部分）决定。

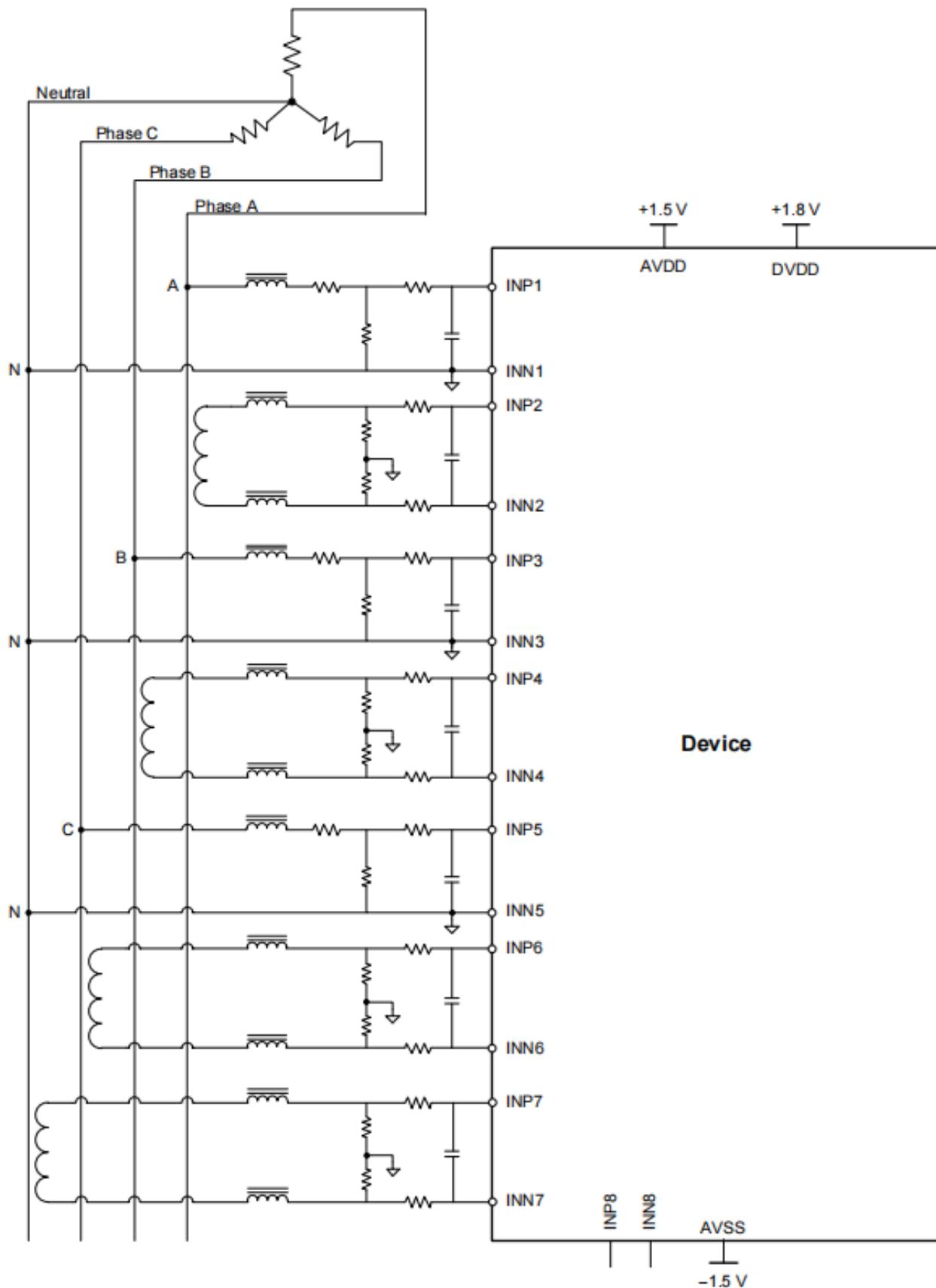


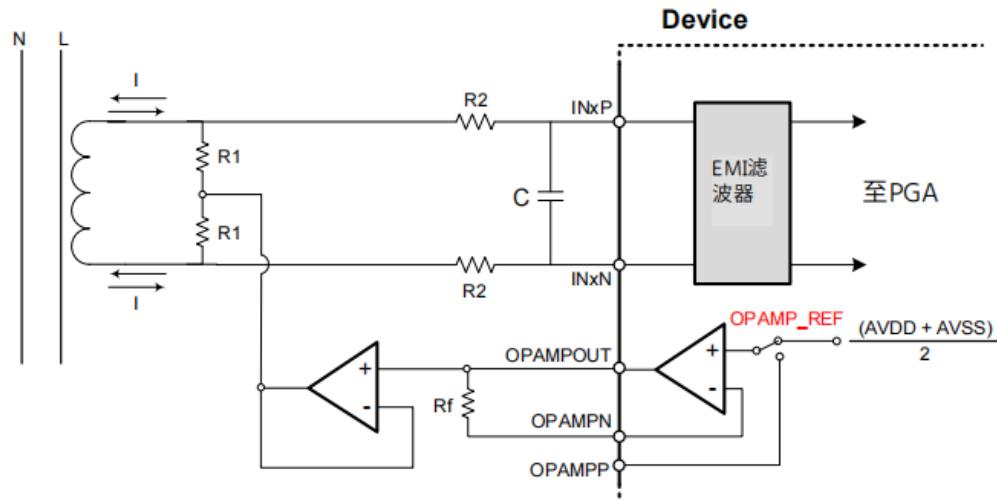
图41. 电源监控系统概述

10.1.5. 电流检测

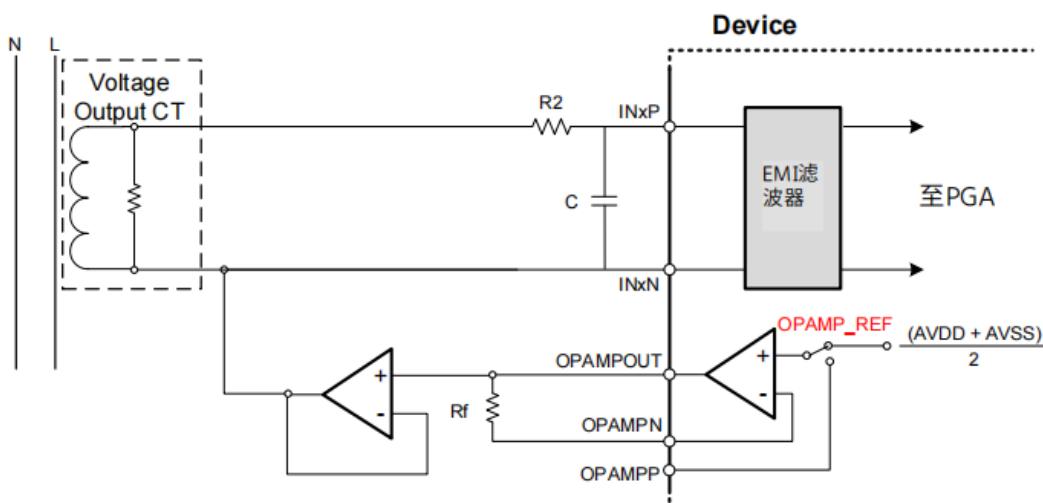
下图示出了使用罗氏线圈、电流互感器 (CT)、输出电流或电压的空气线圈进行电流感测的典型配置简化图。当使用电流互感器时，负载电阻 (R1) 用于电流到电压的转换。负载电阻的输出通过抗混叠 RC 滤波器连接到 LHA7878H INxP 和 INxN 输入端，用于电流检测。对于用于电流检测的电压输出变压器（例如某些类型的

Rogowsky 线圈)，变压器的输出端通过抗混叠 RC 滤波器直接连接到 LHA7878H INxP 和 INxN 输入端。如果使用单极电源模拟配置 (AVSS=0V, AVDD=2.7V 至 5.5V) , 则输入网络必须偏置到电源中间值。共模偏置电压 $[(AVDD+AVSS)/2]$ 可以从 LAH787x 获得，方法是使用 RF 电阻将内部运算放大器配置为单位增益配置，并将 CONFIG3 寄存器的 OPAMP.REF 位设置为 1, 或者通过外部电阻分压器获得。

为电流输出变压器选择合适的 R1 值和变压器匝数比使 LHA7878H 满量程差分输入电压范围不超出额定范围。同样，选择合适的电压输出变压器以保证输出电压不超过满量程差分输入电压范围。此外，电阻 (R1 和 R2) 和匝数比的选择不能使变压器在整个工作动态范围内饱和。图 a 说明差分输入电流检测，图 b 说明单端输入电压检测。使用单独的外部运算放大器来吸收或释放电流，因为内部运算放大器具有非常有限的电流驱动能力。此外，每个通道使用独立的运算放大器有助于将各个相位彼此隔离，以减小串扰。



(a) 具有差分输入的电流输出CT



(b) 单端输入的电压输出CT

图42. 简化的电流检测连接

10.1.6. 电压感应

下图示出了常用的差分和单端电压感测简化图。电阻分压器网络用于将线路电压降至 LHA7878H 的可接受输入范围内，然后通过电阻 R3 和电容 C 形成的抗混叠 RC 滤波器连接到输入 (INxP 和 INxN)。共模偏置电压 $[(AVDD+AVSS)/2]$ 可以从 LAH787x 获得，方法是使用 RF 电阻将内部运算放大器配置为单位增益配置，并将 CONFIG3 寄存器的 OPAMP.REF 位设置为 1, 或者通过外部电阻分压器获得。

在下图所示的任何一种情况下 (图 a 为差分输入，图 b 为单端输入)，线路电压都被按比例衰减 $[R2/(R1+R2)]$ 倍。必须仔细选择 R1 和 R2 值以便 LHA7878H 输入端 (INxP 和 INxN) 电压在整个工作动态范围内不超过 LHA7878H 的规范值。使用单独的外部运算放大器来吸收或释放电流，因为内部运算放大器具有非常有限的电流驱动能力。此外，每个通道使用独立的运算放大器有助于将各个相位彼此隔离，以限制串扰。

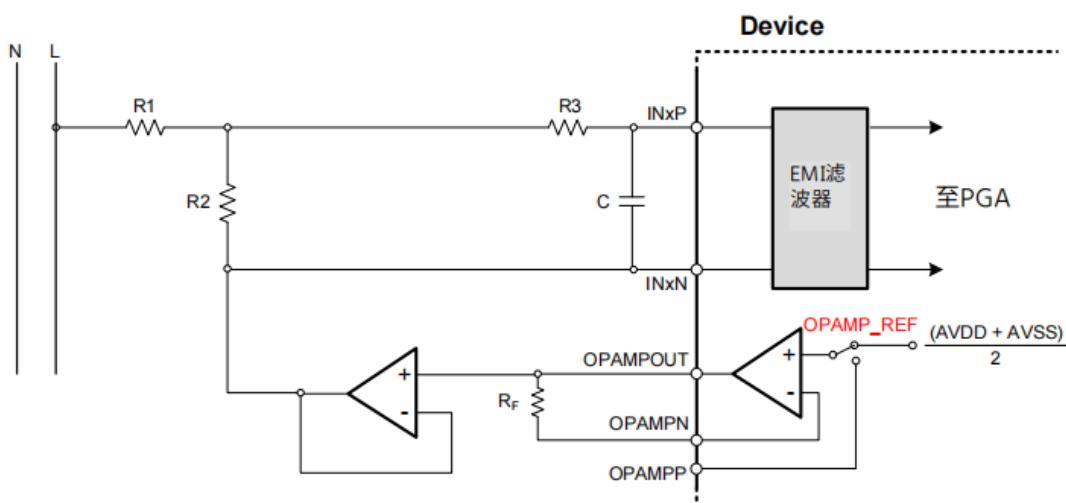
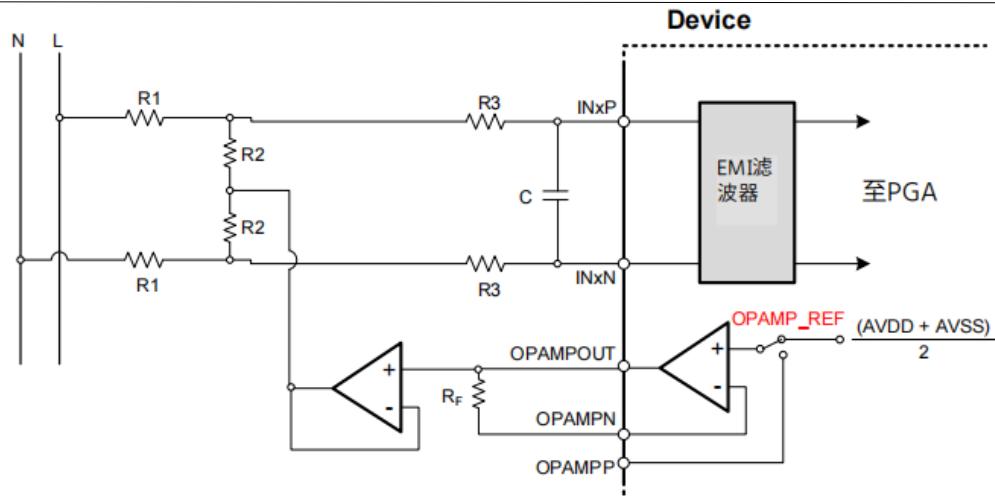


图43. 简化的电压检测连接

11. 电源建议

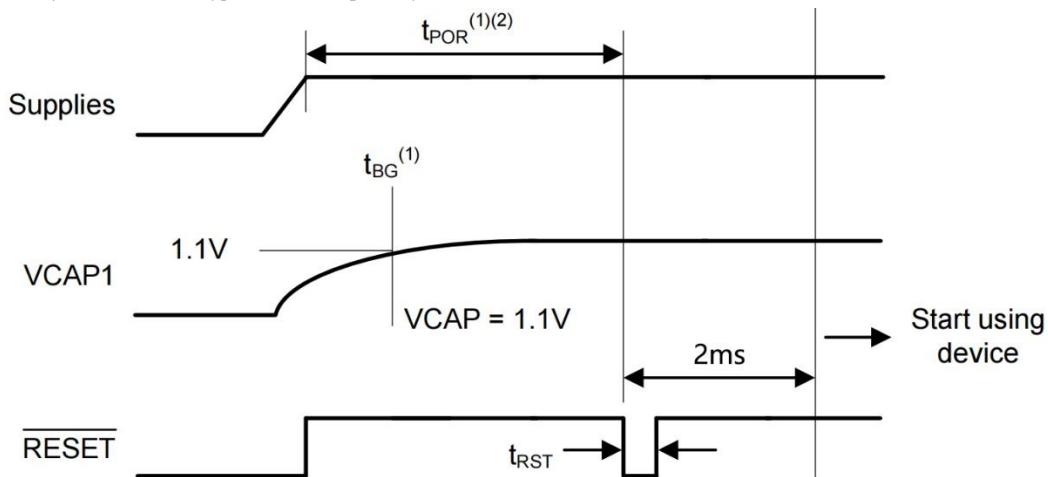
11.1. 上电时序

在器件上电之前，所有数字和模拟输入必须为低电平。上电时，将所有这些信号保持在低电平，直到电源稳定，如下图所示。

给电源电压留出时间达到其最终值，然后开始向 CLK 引脚提供主时钟信号。等待时间 t_{POR} ，然后使 RESET 引脚或 RESET 命令发送复位脉冲以初始化芯片的数字部分。在 t_{POR} 之后或 VCAP1 电压大于 1.1V 之后发出复位，以时间较长者为准。请注意：

- t_{POR} 描述于表 40 中。
- VCAP1 引脚充电时间由 VCAP1 上的电容值设置的 RC 时间常数设置。

释放 RESET 后，必须将配置寄存器编程为所需的设置(详情请参阅寄存器映射部分的 CONFIG1: Configuration Register 1 (address=01 h)[reset=91 h]小节)。上电顺序时序见下表。



- (1) 复位脉冲的定时是 t_{POR} 或 t_{BG} 之后，以较长者为准。
(2) 当使用外部时钟时，直到 CLK 存在且有效时才开始 t_{POR} 计时。

图44. 上电时序图

表39. 上图的时序要求

		典型值	推荐值	UNIT
t_{POR}	上电后等待，直到复位	32	100	ms
t_{RST}	复位低持续时间	2		t_{CLK}

11.2. 推荐的外部电容值

LHA7878H 上电时间由关键节点电压建立到最终值所需的时间设定。在数据转换器采样时，模拟电源(AVDD 和 AV SS)、数字电源(DVDD)和内部节点电压(VCAPx 引脚)必须保持稳定，以确保性能。电源的充电能力和旁路电容器的大小决定了 AVDD、AVSS 和 DVDD 的斜坡速率。VCAPx 电压使用电源电压在内部充电。

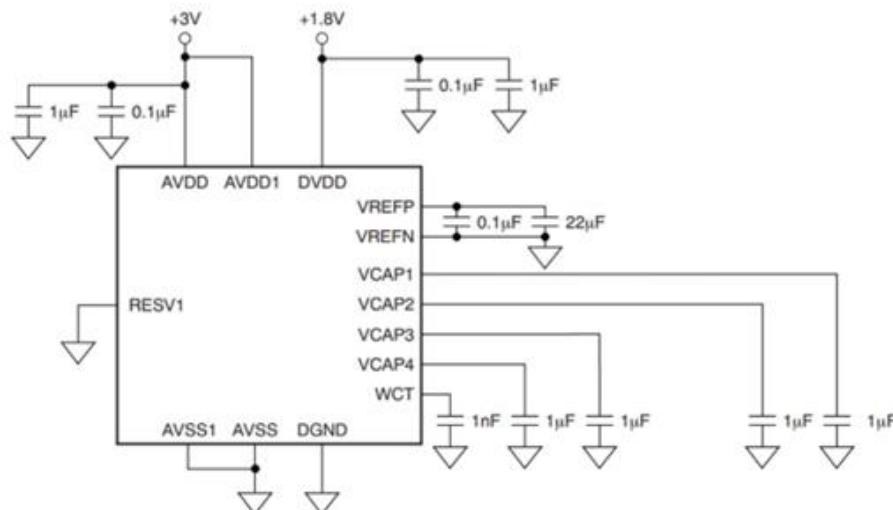
表40. 推荐的外部电容值

PIN		FUNCTION	电容值
NAME	NO.		
VCAP1	28	ADC 的带隙电压	1μF to AVSS
VCAP2	30	调制器的共模电压	1μF to AVSS
VCAP3	55	内部使用电压	1μF to DGND

VCAP4	26	参考源电压	1 μ F to AVSS
VREFP	24	内部缓冲器后的参考电压	0.1 μ F 22 μ F to AVSS
AVDD	19, 21, 22, 56, 59	模拟电源	每个电源 pin 通过 0.1 μ F 1 μ F 电容到 AVSS
AVDD1	54	内部 PGA 电荷泵模拟电源	0.1 μ F 1 μ F to AVSS1
DVDD	48, 50	数码供应	每个电源 pin 通过 0.1 μ F 1 μ F 电容到 DGND

11.3. 单极电源的设备连接

下图显示了连接到单极电源的 LHA7878H。在本例中，模拟电源(AVDD)以模拟地(AVSS)为基准，数字电源(DVDD)以数字地(DGND)为基准。当工作在单极电源模式时，LHA7878H 支持 AVDD=2.7V 至 5.25V 的模拟电源范围。

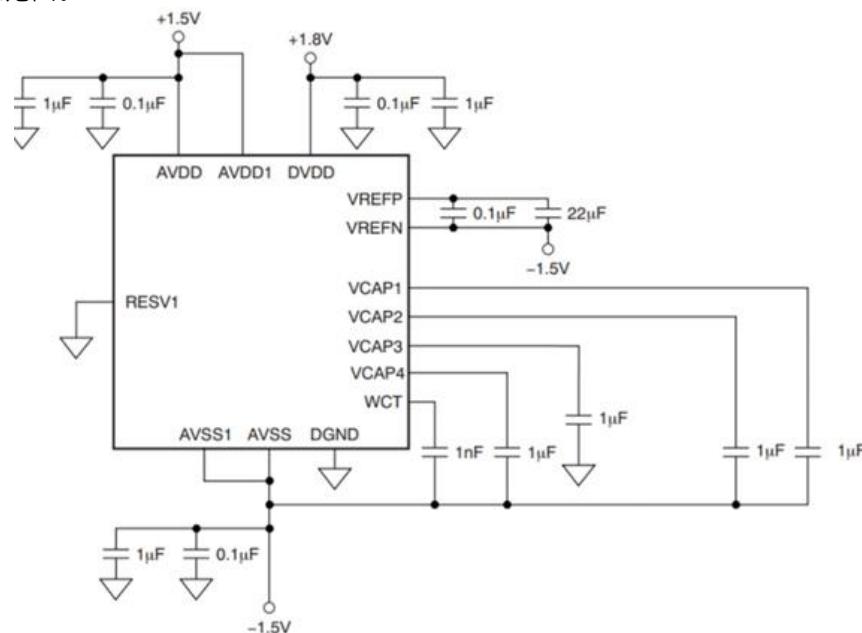


注意：将电源、基准电压源和 VCAP1 至 VCAP4 电容尽可能靠近封装。

图45. 单极供电操作

11.4. 用于双极电源的器件连接

下图显示了连接到双极性电源的 LHA7878H。在本例中，模拟电源(AVDD)以模拟地(AVSS)为基准，数字电源(DVDD)以数字地(DGND)为基准。当工作在双极性电源模式时，LHA7878H 支持 AVDD 和 AVSS=±1.5V 至 ±2.5V 的模拟电源范围。



注意：将电源、基准电压源和 VCAP1 至 VCAP4 电容尽可能靠近封装。

图46. 双极电源操作

12. Layout

12.1. 设计指引

建议在为模拟和数字组件布置印刷电路板(PCB)时采用最佳设计实践经验。此建议通常意味着布局将模拟组件(如 ADC、放大器、基准、数模转换器(DAC)和模拟多路复用器)与数字组件(如微控制器、复杂可编程逻辑器件(CPLD)、现场可编程门阵列(FPGA)、射频(RF)收发器、通用串行总线(USB)收发器和开关调节器)分开。一个良好的元件放置示例如下图。虽然提供了一个很好的元件放置示例，但每个应用的最佳放置需要考虑所采用的几何形状、元件和 PCB 制造能力。也就是说，没有完美且固定、通用、单一的版图布局。当使用模拟器件设计师必须认真考虑布局。

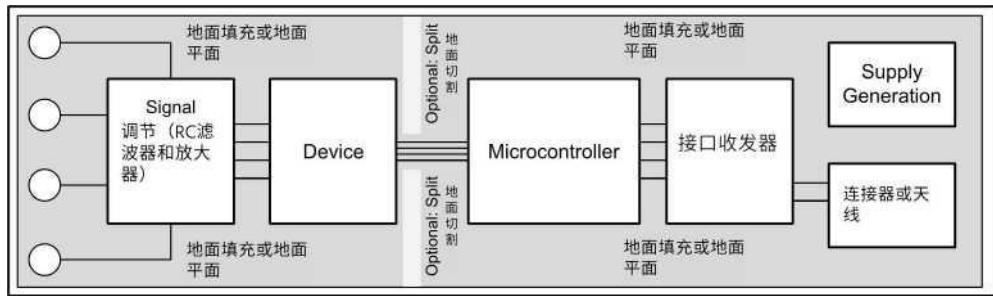


图47. 系统组件放置

以下概述了 LHA7878H 布局的一些基本建议，以获得 ADC 的最佳性能。一个好的设计可能会被一个坏的电路布局所破坏。

- 分离模拟和数字信号。首先，在布局允许的情况下，将电路板划分为模拟和数字部分。数字线路远离模拟线路，这可防止数字噪声耦合回模拟信号。
- 地平面可以分为模拟层(AGND)和数字层(DGND),但不是必需的。在数字平面上放置数字信号，在模拟平面上放置模拟信号。作为布局的最后一步，模拟地和数字地之间的分割必须在 ADC 处连接在一起。
- 用地面填充填充信号层上的空隙区域。
- 提供良好的地平面返回路径。信号返回电流在阻抗最小的路径上流动。如果接地层被切割或有其他走线阻止电流在信号迹线旁边流动，那么电流必须找到另一条路径以返回源极并完成电路。如果电流被迫进入更长的路径，信号辐射的机会就会增加。敏感信号更容易受到 EMI 干扰。
- 在电源上使用旁路电容以降低高频噪声。不要在旁路电容和有源器件之间放置过孔。将旁路电容放置在靠近有源器件的同一层上可获得最佳效果。
- 具有差分连接的模拟输入必须在输入端有一个差分连接的电容。差分电容必须是高质量的。最好的陶瓷片式电容器是 COG(NPO),具有稳定的性能和低噪声特性。

12.2. 布局示例

下图显示了至少需要两个 PCB 层的 LHA7878H 布局示例。示出了单极模拟电源连接或双极模拟电源连接的示例电路。在本例中，多边形走线布局用作设备周围的电源连接。如果使用三层或四层 PCB，则额外的内层可专用于布线电源走线。PCB 布局基本是：从左侧路由模拟信号、右侧路由数字信号以及器件上方和下方进行供电。

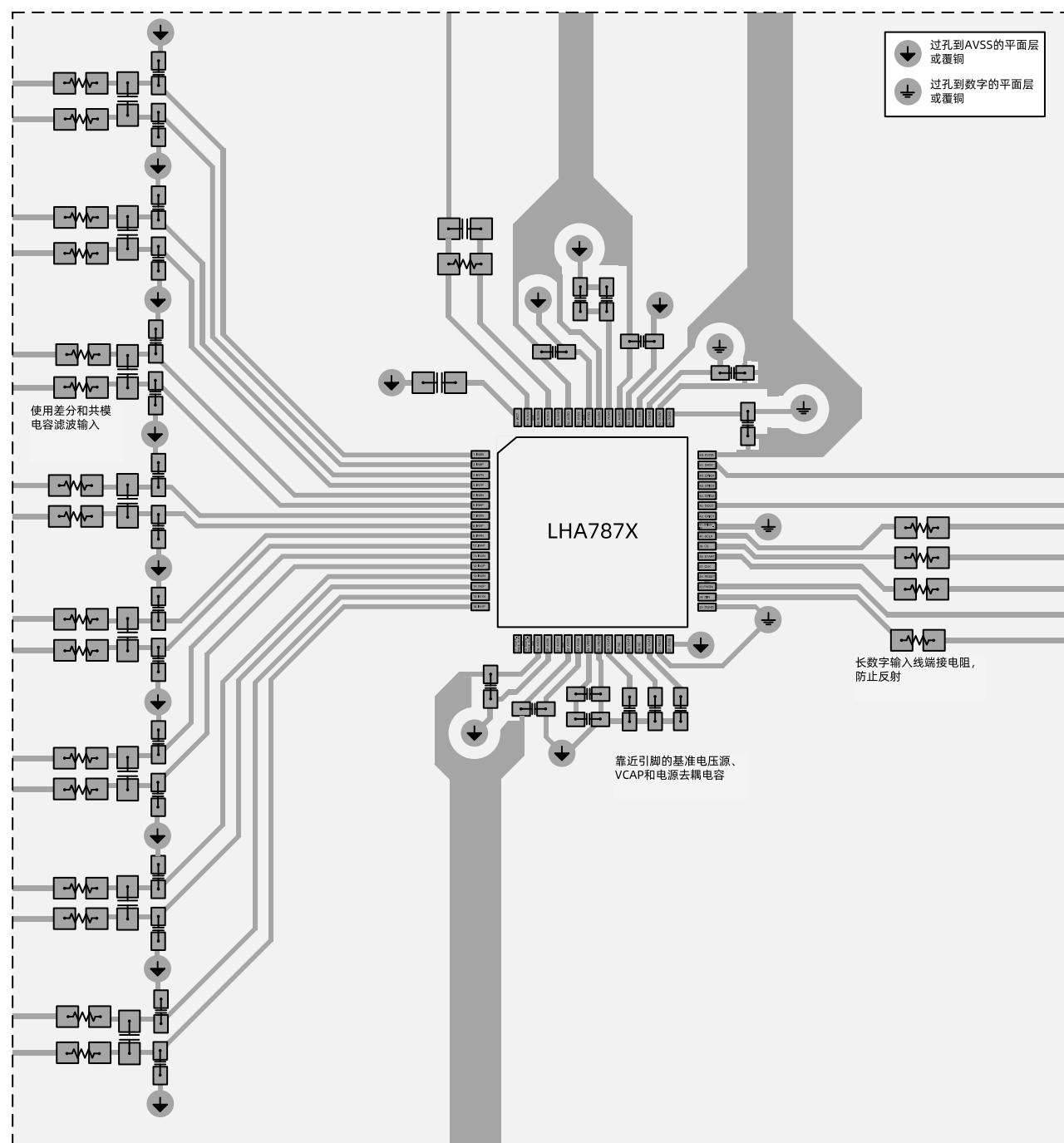


图48. LHA7878H 布局示例

13. 封装和可订购信息

以下页中包括装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据会在无通知且不对本文档进行修订的情况下发生改变。

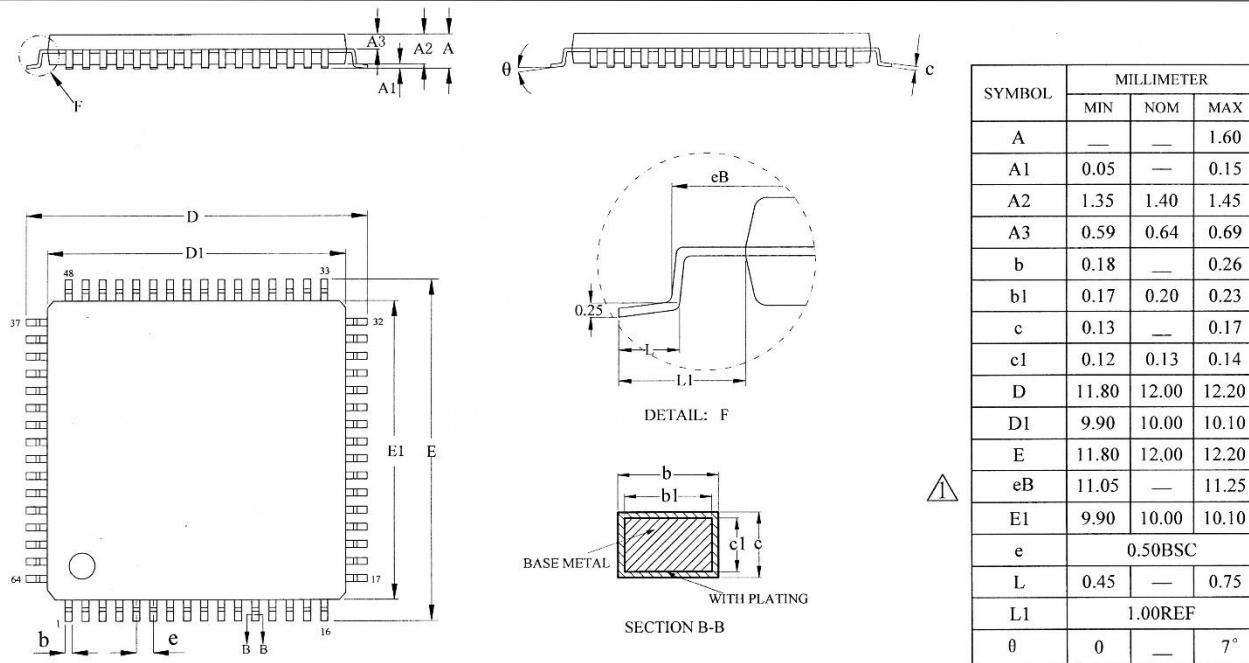


图49. LHA7878H LQFP64 封装尺寸图

14. 采购指南

表41. 采购信息

芯片编号	通道数	精度	温度范围	封装类型	引脚数
LHA7878HSGLB	8	24bit	-40°C 至 +105°C	LQFP	64

表42. 包装规格

订购型号	封装类型	引脚数	包装类型	大包装量	最小包装量	备注
LHA7878HSGLB-RE	LQFP	64	REEL	1500 颗/卷	NA	
LHA7878HSGLB-TR	LQFP	64	TRAY	800 颗/包	160 颗/盘	160 颗/盘

注释: -RE: REEL 卷带包装;

-TR: TRAY 吹盘包装;

-TU: TUBE 管式包装。