

# 7 端口多功能 USB HUB 控制器芯片 CH339

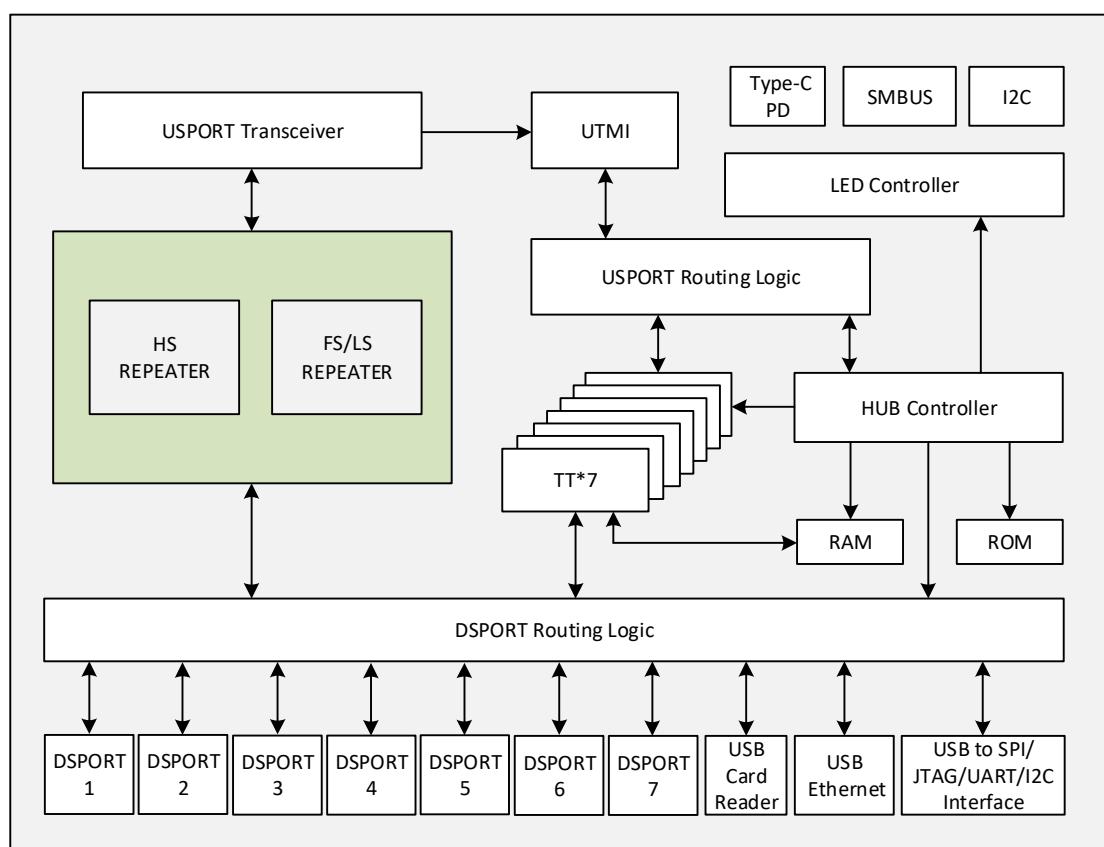
手册  
版本: 1.2  
<https://wch.cn>

## 1、概述

CH339 是符合 USB2.0 协议规范的 7 端口多功能 USB HUB 控制器芯片，单芯片集成 7 口 USB HUB、USB 百兆以太网、USB 高速 SD 读卡器、USB PD 和 USB 转 SPI、USB 转 JTAG、USB 转 UART、USB 转 I2C 接口等功能。CH339 上行端口支持 USB2.0 高速和全速，下行端口支持 USB2.0 高速 480Mbps、全速 12Mbps 和低速 1.5Mbps，另有 USB 网卡、USB 高速读卡器、USB 转 JTAG 等多个内部直达通道。CH339 支持高性能的并发处理 MTT 模式，采用工业级设计，外围精简，可应用于计算机和工控机主板、扩展坞、外设、嵌入式系统等场景。

下图为 CH339 的系统框图。

图 1-1 系统框图



上图是 HUB 控制器系统内部结构框图。HUB 控制器主要包括三大模块：Repeater、TT 和控制器。控制器类似 MCU 处理器，用于全局管理和控制。当上行端口与下行端口速度一致时，路由逻辑会将端口连接至 Repeater，当上行端口与下行端口速度不一致时，路由逻辑会将端口连接至 TT。

TT 分为单个 TT 和多个 TT 两种，即 STT 和 MTT，STT 是单个 TT 核分时调度处理 USB 主机下发至所有下行端口的事务，MTT 指多个 TT 并行，是 7 个 TT 核分别对应并实时处理一个下行端口的事务，因此 MTT 可以为各下行端口的接入设备提供更满的带宽，更好的支持多端口大数据量的并发传输。

注：

**USPORT Transceiver:** 上行端口收发器 PHY；

**DSOPORT 1-7:** 下行端口收发器 PHY；

**REPEATER:** HUB 中继器；

**TT:** 处理转换器。

## 2、特点

### (1) USB HUB 部分

- 7 口 USB 集线器，提供 7 个 USB2.0 下行端口，向下兼容 USB1.1 协议规范
- 支持各端口独立电源控制或 GANG 整体联动电源控制
- 支持各端口独立过流检测或 GANG 整体过流检测
- 支持高性能的 MTT 模式，为每个端口提供独立 TT 实现满带宽并发传输，总带宽是 STT 的 7 倍
- 自研的专用 USB PHY，低功耗技术，支持自供电或总线供电
- 可通过 I/O 引脚配置自供电或总线供电模式等功能
- 提供晶体振荡器，支持外部时钟输入，内置 PLL 为 USB PHY 提供 480MHz 时钟
- 非以太网应用场合可支持免晶振模式，节省外置晶体及电容
- 上行端口内置 1.5KΩ 上拉电阻，下行端口内置 USB Host 主机所需下拉电阻，外围精简

### (2) USB 转以太网和 USB 高速读卡器部分

- 内置自研 10M/100M 以太网 MAC+PHY，兼容 IEEE 802.3 10BASE-T/100BASE-TX
- 支持 CDC-ECM 协议和 CDC-NCM 协议，免安装驱动程序或可选厂商驱动程序
- 10M/100M 自动协商，支持 UTP CAT5E、CAT6 双绞线，支持 Auto-MDIX，自动识别正负信号线
- 支持休眠模式和低功耗睡眠模式，支持网络低功耗配置和动态电源管理
- 支持通过魔术包和网络唤醒包等事件进行远程唤醒
- 支持 IPv4/IPv6 封包校验，支持 IPv4 TCP/UDP/HEAD 和 IPv6 TCP/UDP 封包校验生成和检查
- 支持 SD 卡和 MMC 卡，并将其转换成标准的 USB 大容量存储类设备
- 提供 SDIO 接口，兼容 SD 卡规范 2.0，兼容 MMC 规范 4.5

### (3) USB 转 SPI 接口部分

- 作为 Host/Master 主机模式，提供 SCS、SCK/CLK、MISO/SDI、MOSI/SDO 四根信号线
- 支持 8 位数据结构，支持 MSB 或 LSB 传输
- 支持 SPI 模式 0/1/2/3，支持传输频率配置，最高可达 60MHz，支持硬件 DMA 发送和接收
- 通过计算机 API 配合，可灵活操作 4 线接口的 FLASH、MCU、传感器等器件

### (4) USB 转 JTAG 接口部分

- 作为 Host/Master 主机模式
- JTAG 接口提供 TMS 线、TCK 线、TDI 线、TDO 线、TRST 线(可选)和 SRST 线(可选)
- 支持高速 USB 数据传输
- 通过计算机 API 配合，可灵活操作 CPU、DSP、FPGA、CPLD、MCU 等器件

### (5) USB 转 UART 接口部分

- 仿真标准串口，用于升级原串口外围设备，或者通过 USB 增加额外串口
- 计算机端 Windows 操作系统下的串口应用程序完全兼容，无需修改
- 硬件全双工串口，内置独立的收发缓冲区，通讯波特率支持 2400bps~6Mbps
- 串口支持 8 个数据位，支持奇校验、偶校验以及无校验，支持 1 或 2 停止位
- 支持 CTS 和 RTS 硬件自动流控
- 通过外加电平转换器件，支持 RS232、RS485、RS422 等接口

### (6) USB 转 I2C 接口部分

- 作为 Host/Master 主机模式
- 提供 SCL 和 SDA 两根信号线，支持 5 种传输速度
- 通过计算机 API 配合，可灵活操作 2 线接口的 A/D、D/A、EEPROM 和传感器等器件

## (7) USB PD 部分

- 支持 USB PD2.0/3.0 协议
- 支持最大 100W 对外输出
- 支持 USB Type-C 正反插检测与自动切换
- 支持 VDM 协商使得设备进入 Alternate Mode 模式输出 DP 信号

## (8) 其它特征

- 可通过外部 EEPROM 或内部 EEPROM 配置 HUB 芯片是否支持复合设备、不可移除设备、自定义 VID、PID、端口配置和 USB 厂商、产品、序列号字符串描述符等
- 内置信息存储器，针对行业特殊需求可批量定制厂商或产品信息及配置
- 处理器内核、高速 USB、以太网等控制器和物理层收发器 IP 全自研，各模块紧密协同，效率高成本低，免除 IP 授权费
- USB 接口引脚具有 6kV 增强 ESD 性能，Class 3A
- 工业级温度范围：-40~85°C
- 提供 QFN68、QFN32 等多种封装形式

表 1-1 功能对比

功能 \ 型号	CH339W	CH339F
TT 模式	MTT	MTT
USB 端口数	7	4
过流检测	独立或 GANG	GANG 模式
电源控制	独立或 GANG	GANG 模式
I/O 引脚配置 供电模式	√	×
外部/内部 EEPROM 提供配置信息	√	√
定制配置信息	√	√
上行口交换功能	√	×
隔离/延长功能	√	√
USB 网卡功能	√	√
USB 读卡器功能	√	√
USB 转 JTAG 功能	√	×
USB 转 SPI 功能	√	×
USB 转 UART 功能	√	×
USB 转 I2C 功能	√	×
USB 转 SMBus 功能	√	×
Type-C/PD	√	×
芯片供电	单 3.3V	单 3.3V

### 3、引脚排列

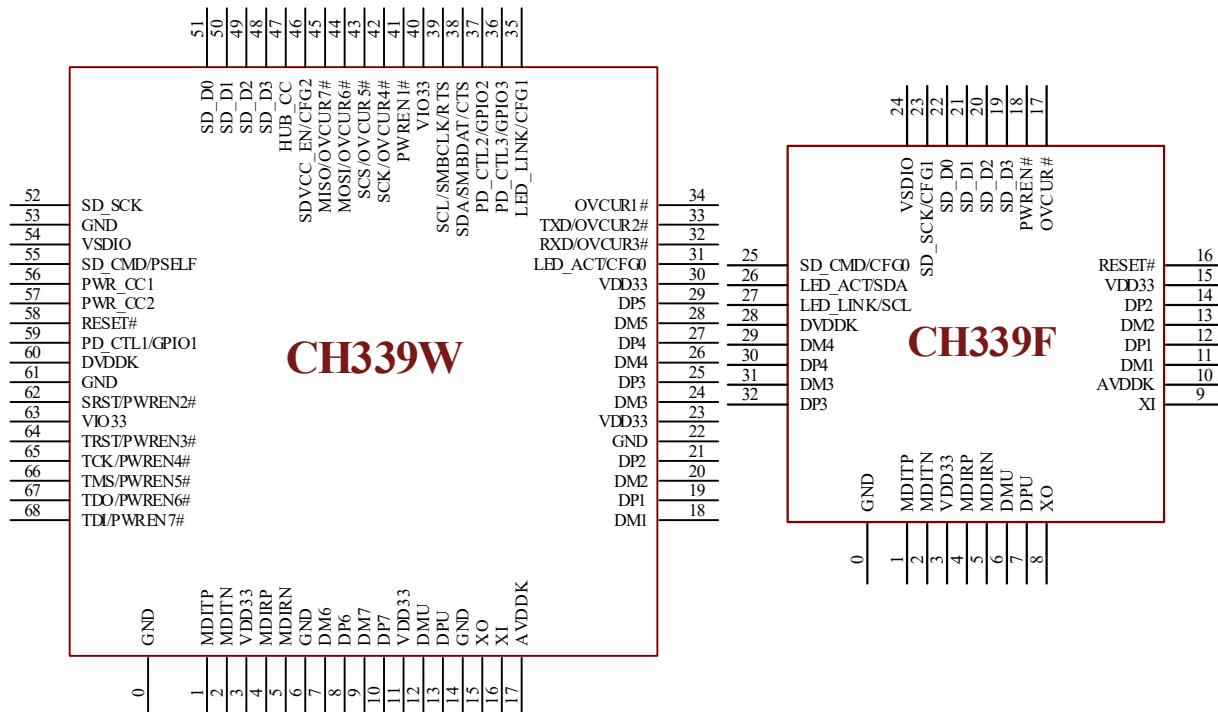


表 3-1 封装说明

封装形式	塑体尺寸	引脚节距		封装说明	订货型号		
QFN68	8*8mm	0.4mm		0.4mil	15.7mil	四边无引线 68 脚	CH339W
QFN32	4*4mm	0.4mm		0.4mil	15.7mil	四边无引线 32 脚	CH339F

注：优选 CH339F，体积小；CH339W 引脚多，侧重于功能齐全。

0#引脚是 QFN 封装的底板，是必要连接。

### 4、引脚定义

表 4-1 引脚定义

引脚号(同名引脚可参考)		引脚名称	类型 <sup>(1)</sup>	功能描述	
CH339W	CH339F				
12	6	DMU	USB	上行端口 USB2.0 信号线 D-。	
13	7	DPU	USB	上行端口 USB2.0 信号线 D+。	
18	11	DM1	USB	1#下行端口 USB 信号线 D-。	
19	12	DP1	USB	1#下行端口 USB 信号线 D+。	
20	13	DM2	USB	2#下行端口 USB 信号线 D-。	
21	14	DP2	USB	2#下行端口 USB 信号线 D+。	
24	31	DM3	USB	3#下行端口 USB 信号线 D-。	
25	32	DP3	USB	3#下行端口 USB 信号线 D+。	
26	29	DM4	USB	4#下行端口 USB 信号线 D-。	
27	30	DP4	USB	4#下行端口 USB 信号线 D+。	
28	-	DM5	USB	5#下行端口 USB 信号线 D-。	
29	-	DP5	USB	5#下行端口 USB 信号线 D+。	
7	-	DM6	USB	6#下行端口 USB 信号线 D-。	
8	-	DP6	USB	6#下行端口 USB 信号线 D+。	
9	-	DM7	USB	7#下行端口 USB 信号线 D-。	
10	-	DP7	USB	7#下行端口 USB 信号线 D+。	

16	9	XI	I	晶体振荡器输入端, 接外部晶体一端。
15	8	XO	0	晶体振荡器反相输出端, 接外部晶体另一端。
58	16	RESET#	5I	外部复位输入, 内置上拉电阻, 低电平有效, 不使用时可以悬空, 建议短接 V <sub>I033</sub> 防干扰。
3、23	3、15	VDD33	P	模拟电源输入, 外供 3.3V, 外接 1uF 电容。
11、30	-	VDD33	P	辅助电源输入, 外供 3.3V, 外接 0.1uF 或 1uF 电容。
40、63	-	V <sub>I033</sub>	P	引脚电源输入, 外供 3.3V, 外接 0.1uF 或 1uF 电容。
54	24	VSD10	P	SD10 引脚内部电源的退耦端, 外接 0.1uF 退耦电容。
17	10	AVDDK	P	模拟内核电源, 外接 1uF 退耦电容。
60	28	DVDDK	P	数字内核电源, 外接 0.1uF 退耦电容。
0	0	GND	P	公共接地端, 必须连接 GND。
6、14、22、 53、61	-	GND	P	公共接地端, 可选, 建议连接 GND。
34	17	OVCUR1# OVCUR#	5I	下行端口 1 过流检测输入引脚, 低电平过流; 整体模式下行端口过流检测输入引脚, 低电平过流。
33	-	OVCUR2#	5I	下行端口 2 过流检测输入引脚, 低电平过流。
32	-	OVCUR3#	5I	下行端口 3 过流检测输入引脚, 低电平过流。
42	-	OVCUR4#	5I	下行端口 4 过流检测输入引脚, 低电平过流。
43	-	OVCUR5#	5I	下行端口 5 过流检测输入引脚, 低电平过流。
44	-	OVCUR6#	5I	下行端口 6 过流检测输入引脚, 低电平过流。
45	-	OVCUR7#	5I	下行端口 7 过流检测输入引脚, 低电平过流。
41	18	PWREN1# PWREN#	0	下行端口 1 电源输出控制引脚, 低电平开启; 整体模式下行端口电源输出控制引脚, 低电平开启。
62	-	PWREN2#	0	下行端口 2 电源输出控制引脚, 低电平开启。
64	-	PWREN3#	0	下行端口 3 电源输出控制引脚, 低电平开启。
65	-	PWREN4#	0	下行端口 4 电源输出控制引脚, 低电平开启。
66	-	PWREN5#	0	下行端口 5 电源输出控制引脚, 低电平开启。
67	-	PWREN6#	0	下行端口 6 电源输出控制引脚, 低电平开启。
68	-	PWREN7#	0	下行端口 7 电源输出控制引脚, 低电平开启。
51	22	SD_D0	I/O	SD10 接口数据引脚 0。
50	21	SD_D1	I/O	SD10 接口数据引脚 1。
49	20	SD_D2	I/O	SD10 接口数据引脚 2。
48	19	SD_D3	I/O	SD10 接口数据引脚 3。
52	23	SD_SCK	0	SD10 接口时钟引脚。
55	25	SD_CMD	0	SD10 接口命令引脚。
1	1	MDITP	ETH	MDI 模式下为 10BASE-T/100BASE-TX 的差分发送端;
2	2	MDITN	ETH	MDIX 模式下为 10BASE-T/100BASE-TX 的差分接收端。
4	4	MDIRP	ETH	MDI 模式下为 10BASE-T/100BASE-TX 的差分接收端;
5	5	MDIRN	ETH	MDIX 模式下为 10BASE-T/100BASE-TX 的差分发送端。
31	26	LED_ACT	0	ETH 端口状态指示灯 0。
-	26	SDA	0	SDA: 在复位期间为 EEPROM 双向数据信号线。
35	27	LED_LINK	0	ETH 端口状态指示灯 1。
-	27	SCL	I/O	SCL: 在复位期间为 EEPROM 时钟信号线输出。
46	-	CFG2/ SDVCC_EN	5I/0	CFG2: 芯片功能配置引脚 2; SDVCC_EN: SD 卡或 MMC 卡供电控制引脚, 用于控制电源的通断。
35	23	CFG1	I	芯片功能配置引脚 1。
31	25	CFG0	5I	芯片功能配置引脚 0。
55	-	PSELF	I	PSELF: CH339W 在复位期间作为供电模式配置引脚, 悬

				空或高电平为自供电模式，低电平为总线供电模式，内置上拉电阻。
68	-	TDI	0	JTAG 接口的数据输出。
67	-	TDO	1	JTAG 接口的数据输入，内置上拉电阻。
65	-	TCK	0	JTAG 接口的时钟输出。
66	-	TMS	0	JTAG 接口的模式选择。
64	-	TRST	0	JTAG 接口的复位输出。
62	-	SRST	0	JTAG 接口的系统复位输出。
43	-	SCS	0	4 线串口的片选输出。
42	-	SCK	0	4 线串口的时钟输出，别名 DCK。
45	-	MISO	1	4 线串口的数据输入，别名 SDI/DIN，内置上拉电阻。
44	-	MOSI	0	4 线串口的数据输出，别名 SDO/DOUT。
33	-	TXD	0	UART 的串行数据输出，空闲态为高电平。
32	-	RXD	51	UART 的串行数据输入，内置上拉电阻。
39	-	RTS	0	UART 的 MODEM 输出信号，请求发送，低有效。
38	-	CTS	1	UART 的 MODEM 输入信号，清除发送，低有效。
39	-	SCL/ SMBCLK	0	SCL: 2 线串行接口的时钟输出； SMBCLK: SMBus 总线时钟信号线。
38	-	SDA/ SMBDAT	I/O	SDA: 2 线串行接口的数据输入输出； SMBDAT: SMBus 总线数据信号线。
56	-	PWR_CC1	51/0	外供电端 PD 协议通信引脚 CC1, 用于连接 Type-C 电源适配器
57	-	PWR_CC2	51/0	外供电端 PD 协议通信引脚 CC2, 用于连接 Type-C 电源适配器
47	-	HUB_CC	I/O	上行口 PD 协议通信引脚，用于连接手机/电脑等 USB 主机。
59	-	PD_CTL1	0	PD 协议通信控制引脚 1。
37	-	PD_CTL2	I/O	PD 协议通信控制引脚 2。 2 线串行接口的数据信号线，用于连接 CH211 芯片。
36	-	PD_CTL3	I/O	PD 协议通信控制引脚 3。 2 线串行接口的时钟信号线，用于连接 CH211 芯片。 启用上行口交换功能后，该引脚为切换控制引脚，悬空或上拉不切换，输入低电平控制切换。

注 1：引脚类型缩写解释：

USB = USB 信号引脚；

ETH = 以太网信号引脚；

I = 3.3V 信号输入；

0 = 3.3V 信号输出；

51 = 额定 3.3V 信号输入，支持 5V 耐压；

P = 电源或地。

## 5、功能说明

### 5.1 过流检测和电源控制

#### 5.1.1 过流检测

CH339W 支持两种过流保护模式：独立过流模式和整体过流模式，CH339F 支持整体过流模式，如表 5-1 所示。

表 5-1 过流保护控制说明

芯片型号	过流配置	过流模式	过流检测的采样引脚	参考图
CH339W	EEPROM 非默认配置/ CFG2-0 引脚配置	独立过流	OVCUR1#, OVCUR2#, OVCUR3#, OVCUR4#, OVCUR5#, OVCUR6#, OVCUR7#	图 5-1
	EEPROM 默认配置/ CFG2-0 引脚配置	整体过流	OVCUR1#	图 5-2
CH339F	-	整体过流	OVCUR#	图 5-2

#### 5.1.2 电源控制

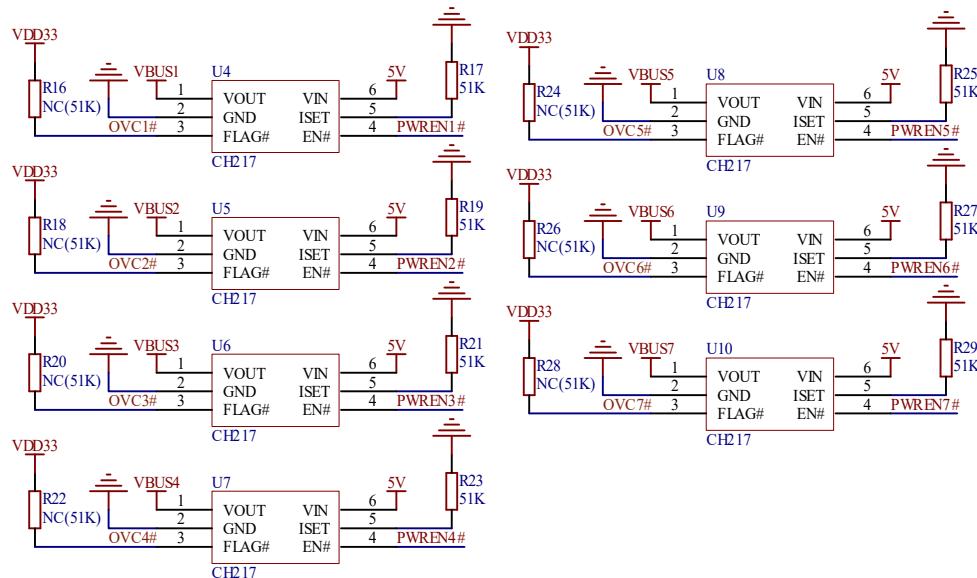
CH339W 支持两种电源控制模式：独立电源控制模式和整体电源控制模式，CH339F 支持整体电源控制模式，如表 5-2 所示。

表 5-2 电源控制说明

芯片型号	电源控制配置	电源控制	电源控制引脚	参考图
CH339W	EEPROM 非默认配置/ CFG2-0 引脚配置	独立控制	PWREN1#, PWREN2#, PWREN3#, PWREN4#, PWREN5#, PWREN6#, PWREN7# 注：低电平开启。	图 5-1
	EEPROM 默认配置/ CFG2-0 引脚配置	整体控制	PWREN1#	图 5-2
CH339F	-	整体控制	PWREN#	图 5-2

#### 5.1.3 独立过流检测和独立电源控制

图 5-1 CH339W 独立过流检测和独立电源控制

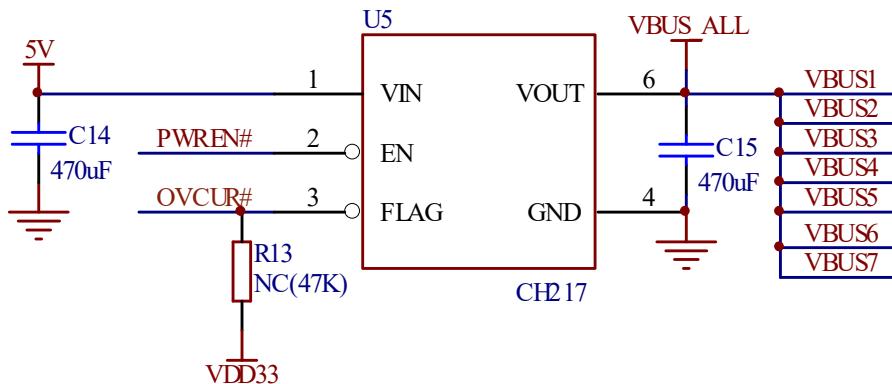


上图中，VBUS1~VBUS7 分别连接下行端口 1~7 的 VBUS 电源引脚。U4~U10 为 USB 限流配电开关芯片，内部集成了过流检测，用于 VBUS 电源分配管理。在 5V 没有外部供电的应用中，建议通过 ISET 外接电阻将限流设置在 1A 以下甚至 500mA。U4~U10 的 FLAG 引脚是开漏输出，需要分别通过电阻上拉。CH339W 芯片的 OVC#引脚提供内置的弱上拉电流，所以可省掉电阻 R16、R18、R20、R22、R24、

R26 和 R28。CH339 芯片的 PWRENx#引脚开启电源时输出为低电平, 如果使用的电源开关芯片控制引脚是高电平有效, 则需要对 PWREN 引脚进行极性配置。

### 5.1.4 整体过流检测和整体电源控制

图 5-2 整体过流检测和整体电源控制



U5 为 USB 限流电源开关芯片, 例如 CH217 芯片或类似功能的芯片。默认配置下可以省掉 R13。C14 的容量可以根据需要选择。VBUS-ALL 同时连接下行端口 1-7 的 VBUS 电源引脚。U5 的限流设置值需考虑 7 个下行端口及是否自供电。

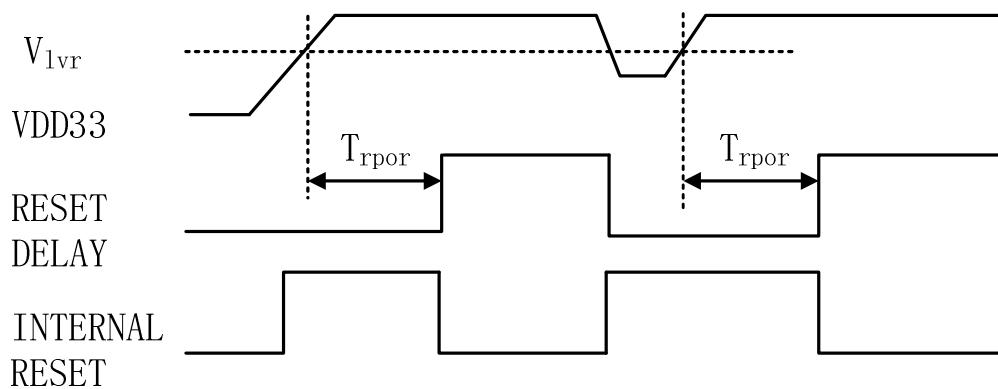
## 5.2 复位

芯片内嵌有上电复位模块, 一般情况下, 无需外部提供复位信号。同时也提供了外部复位输入引脚 RESET#, 该引脚内置有上拉电阻。

### 5.2.1 上电复位

当电源上电时, 芯片内部 POR 上电复位模块会产生上电复位时序, 并延时  $T_{rpor}$  约 25mS 以等待电源稳定。在运行过程中, 当电源电压低于  $V_{lvr}$  时, 芯片内部 LVR 低压复位模块会产生低压复位直到电压回升, 并延时以等待电源稳定。下图为上电复位过程以及低压复位过程。

图 5-3 上电期间复位



### 5.2.2 外部复位

外部复位输入引脚 RESET#已内置约  $40k\Omega$  上拉电阻, 如果外部需要对芯片进行复位, 那么可以将该引脚驱动为低电平, 驱动内阻建议不大于  $1k\Omega$ , 复位的低电平脉宽需要大于  $4\mu s$ 。

## 5.3 I/O 功能配置

CH339 芯片的部分功能可以通过 3 种方式进行配置: 内置 EEPROM、外置 EEPROM 和配置引脚。外

部 EEPROM 的参数配置功能优先级高于内部 EEPROM 的参数配置功能，内部 EEPROM 的参数配置功能优先级高于引脚配置功能。配置引脚一般为复用引脚，在复位期间作为配置引脚，复位完成之后，再切换到对应的功能引脚。

CH339W 芯片内置 7 口 HUB 功能、USB 网卡功能、USB 读卡器功能、PD 功能、USB 转 JTAG 功能、USB 转 SPI 功能、USB 转 UART 功能、USB 转 GPIO 功能和 USB 转 I2C 功能，支持整体/独立过流检测和整体/独立电源控制。除 7 口 HUB、USB 扩展以太网、USB 读卡器和 PD 等主要功能外，其它功能可根据需要通过配置引脚进行配置选择，具体见下表。

表 5-3 CH339W 主要配置引脚说明

配置引脚			功能使能/禁止说明									
PIN46	PIN35	PIN31	整体 过流 检测	独立 过流 检测	整体 电源 控制	独立 电源 控制	USB 转 JTAG	USB 转 SPI	USB 转 UART	USB 转 I2C、 SMBUS	上行 口交 换功 能	延 长 隔 离 功 能
CFG2	CFG1	CFG0										
0	0	0	保留									
0	0	1	√	×	√	×	√	√	√	√	√	×
0	1	0	√	×	√	×	√	√	√	√	×	√
0	1	1	×	√	×	√	×	×	×	√	×	×
1	0	0	×	√	√	×	√	×	×	√	×	×
1	0	1	√	×	×	√	×	√	√	√	×	×
1	1	0	√	×	√	×	√	√	(√)	×	×	×
1	1	1	√	×	√	×	√	√	√	√	×	×

注 1: √ 表示该功能使能，× 表示该功能禁止，(√) 表示 USB 转串口功能支持硬件流控功能。

注 2: 启用上行口交换功能后，PD\_CTL3 引脚作为切换控制引脚，悬空或上拉不切换，输入低电平控制切换。

CH339F 芯片内置 4 口 HUB 功能、USB 读卡器功能和 USB 百兆网卡功能，支持整体过流检测和整体电源控制。其中 USB 读卡器功能、USB 扩展以太网功能和延长/隔离功能可通过配置引脚进行配置。

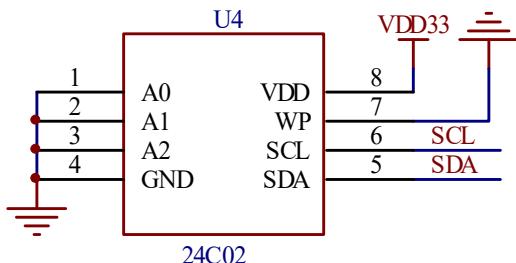
表 5-4 CH339F 配置引脚说明

配置引脚		功能使能/禁止说明		
PIN23	PIN25	USB 读卡器 功能	USB 转以太网 功能	延长/隔离 功能
CFG1	CFG0			
0	0	×	√	√
0	1	√	×	×
1	0	×	√	×
1	1	√	√	×

## 5.4 EEPROM 配置接口

CH339F 提供两线 I2C 接口与外部 EEPROM 存储芯片通信，EEPROM 芯片地址为 0，EEPROM 中存储有自定义的厂商 ID、产品 ID、下行端口个数、下行端口的设备不可移除特性、USB 字符串描述符和功能配置等信息。

图 5-4 外部 EEPROM 连接示意图



CH339 内置信息存储器，针对行业特殊需求可以代替外部 EEPROM 批量定制厂商或产品信息及配置，例如设置下行端口个数，设置下行端口的设备不可移除特性等。

## 5.5 EEPROM 配置

CH339 支持从外部或内部 EEPROM 中加载厂商识别码 VID、产品识别码 PID、USB 字符串描述符和功能配置等配置信息，如果 EEPROM 中的信息无效，则自动装载默认配置信息。表 5-5 为 EEPROM 具体配置信息描述。

表 5-5 内置/外置 EEPROM 配置信息

偏移地址	参数简称	参数说明	默认值
00h	VID_L	厂商识别码 VID 的低字节。	86h
01h	VID_H	厂商识别码 VID 的高字节。	1Ah
02h	PID_L	产品识别码 PID 的低字节，默认为 9Fh。	9Fh
03h	PID_H	产品识别码 PID 的高字节。	80h
04h	bcdDevice_L	bcdDevice 低字节，用于指示芯片封装型号；固定，不可修改。	跟随型号
05h	bcdDevice_H	bcdDevice 高字节，用于指示芯片版本；固定，不可修改。	跟随型号
06h	Fun_Cfg1	功能性配置字节 1； Bit7：供电模式选择； 0：总线供电模式（默认）； 1：自供电模式； Bit6：保留； Bit5：高速模式禁止控制； 0：高速模式使能（默认）； 1：高速模式禁止； Bit4：STT 和 MTT 模式选择； 0：STT 模式； 1：MTT 模式（默认）； Bit3：保留； Bit2-1：端口过流功能控制； 00：整体过流控制； 01：独立过流控制； 1x：不支持过流控制； Bit0：端口电源控制； 0：整体电源控制； 1：独立电源控制。	跟随型号
07h	Fun_Cfg2	功能性配置字节 2； Bit7：保留； Bit6：保留； Bit5：保留；	20h

		Bit4: 保留; Bit3: HUB 是否是 Compound Device; 0: 不是; 1: 是; Bit2-0: 保留。	
08h	Fun_Cfg3	功能性配置字节 3; Bit7-4: 保留; Bit3: 端口重映射功能控制; 0: 禁止(默认); 1: 使能; Bit2-1: 保留; Bit0: 字符串描述符使能控制; 0: 禁止(默认); 1: 使能。	00h
09h	Dev_Removable	下行端口设备是否可移除控制; Bit7-1: 下行端口 7-1 的设备是否可移除 0: 可移除(默认); 1: 不可移除; Bit0: 保留, 必须为 0。	跟随型号
0Ah	Port_Dis_Sp	自供电模式下端口禁止; Bit7-1: 下行端口 7-1 是否禁止 0: 使能(默认); 1: 禁止; Bit0: 保留, 必须为 0。	00h
0Bh	Port_Dis_Bp	总线供电模式下端口禁止; Bit7-1: 下行端口 7-1 是否禁止; 0: 使能(默认); 1: 禁止; Bit0: 保留, 必须为 0。	00h
0Ch	MaxPwr_Sp	自供电模式下最大工作电流, 单位为 2mA。	01h
0Dh	MaxPwr_Bp	总线供电模式下最大工作电流, 单位为 2mA。	64h
0Eh	HubCurrent_Sp	自供电模式下 HUB 要求的最大电流。	01h
0Fh	HubCurrent_Bp	总线供电模式下 HUB 要求的最大电流。	64h
10h	Pwr_OnTime	下行端口上电到电源有效的延迟时间。	32h
11h	LanguageID_H	语言 ID 高字节。	00h
12h	LanguageID_L	语言 ID 低字节。	00h
13h	Vendor_StrLen	厂商字符串描述符长度。	00h
14h	Product_StrLen	产品字符串描述符长度。	00h
15h	SN_StrLen	序列号字符串描述符长度。	00h
16h-53h	Vendor String	厂商字符串描述符; Unicode 码格式的厂商字符串描述符。	00h
54h-91h	Product String	产品字符串描述符; Unicode 码格式的产品字符串描述符。	00h
92h-CFh	Serial Number String	序列号字符串描述符; Unicode 码格式的序列号字符串描述符。	00h
D0h	PortNum	下行端口个数, 有效范围: 1-7。	跟随型号
D1h	bcdUSB_L	USB 版本低字节; bcdUSB_L = 0x00, USB2.00; bcdUSB_L = 0x01, USB2.01;	00h

		bcdUSB_L=0x10, USB2.10。	
D2h	Fun_Cfg4	功能性配置字节4; Bit7-2: 保留, 必须写0; Bit1: 强制下行端口为全速模式; 0: 高速模式(默认); 1: 全速模式; Bit0: 指示灯功能使能配置; 0: 禁止(默认); 1: 使能。	00h
D3h	Fun_Cfg5	功能性配置字节5; Bit7: LED指示灯极性配置; 0: 低电平有效(默认); 1: 高电平有效; Bit6: 端口过流检测极性配置; 0: 低电平有效(默认); 1: 高电平有效; Bit5: 端口电源控制极性配置; 0: 低电平有效(默认); 1: 高电平有效; Bit4-0: 保留。	00h
D4-FAh	Reserved	保留。	00h
FBh	Port_Remap12	下行端口1-2重映射配置; Bit7-4: 物理端口2重映射; 0000: 物理端口2禁止重映射; 0001: 物理端口2映射为逻辑端口1; 0010: 物理端口2映射为逻辑端口2; 0011: 物理端口2映射为逻辑端口3; 0100: 物理端口2映射为逻辑端口4; 0101: 物理端口2映射为逻辑端口5; 0110: 物理端口2映射为逻辑端口6; 0111: 物理端口2映射为逻辑端口7; 1000-1111: 无效; Bit3-0: 物理端口1重映射; 0000: 物理端口1禁止重映射; 0001: 物理端口1映射为逻辑端口1; 0010: 物理端口1映射为逻辑端口2; 0011: 物理端口1映射为逻辑端口3; 0100: 物理端口1映射为逻辑端口4; 0101: 物理端口1映射为逻辑端口5; 0110: 物理端口1映射为逻辑端口6; 0111: 物理端口1映射为逻辑端口7; 1000-1111: 无效。	00h
FCh	Port_Remap34	下行端口3-4重映射配置; Bit7-4: 物理端口4重映射; 0000: 物理端口4禁止重映射; 0001: 物理端口4映射为逻辑端口1; 0010: 物理端口4映射为逻辑端口2; 0011: 物理端口4映射为逻辑端口3; 0100: 物理端口4映射为逻辑端口4; 0101: 物理端口4映射为逻辑端口5;	00h

		<p>0110: 物理端口 4 映射为逻辑端口 6;      0111: 物理端口 4 映射为逻辑端口 7;      1000-1111: 无效;</p> <p>Bit3-0: 物理端口 3 重映射;      0000: 物理端口 3 禁止重映射;      0001: 物理端口 3 映射为逻辑端口 1;      0010: 物理端口 3 映射为逻辑端口 2;      0011: 物理端口 3 映射为逻辑端口 3;      0100: 物理端口 3 映射为逻辑端口 4;      0101: 物理端口 3 映射为逻辑端口 5;      0110: 物理端口 3 映射为逻辑端口 6;      0111: 物理端口 3 映射为逻辑端口 7;      1000-1111: 无效。</p>	
FDh	Port_Remap56	<p>下行端口 5-6 重映射配置;</p> <p>Bit7-4: 物理端口 6 重映射;      0000: 物理端口 6 禁止重映射;      0001: 物理端口 6 映射为逻辑端口 1;      0010: 物理端口 6 映射为逻辑端口 2;      0011: 物理端口 6 映射为逻辑端口 3;      0100: 物理端口 6 映射为逻辑端口 4;      0101: 物理端口 6 映射为逻辑端口 5;      0110: 物理端口 6 映射为逻辑端口 6;      0111: 物理端口 6 映射为逻辑端口 7;      1000-1111: 无效;</p> <p>Bit3-0: 物理端口 5 重映射;      0000: 物理端口 5 禁止重映射;      0001: 物理端口 5 映射为逻辑端口 1;      0010: 物理端口 5 映射为逻辑端口 2;      0011: 物理端口 5 映射为逻辑端口 3;      0100: 物理端口 5 映射为逻辑端口 4;      0101: 物理端口 5 映射为逻辑端口 5;      0110: 物理端口 5 映射为逻辑端口 6;      0111: 物理端口 5 映射为逻辑端口 7;      1000-1111: 无效。</p>	00h
FEh	Port_Remap7	<p>下行端口 7 重映射配置;</p> <p>Bit7-4: 物理端口 7 重映射;      0000: 物理端口 7 禁止重映射;      0001: 物理端口 7 映射为逻辑端口 1;      0010: 物理端口 7 映射为逻辑端口 2;      0011: 物理端口 7 映射为逻辑端口 3;      0100: 物理端口 7 映射为逻辑端口 4;      0101: 物理端口 7 映射为逻辑端口 5;      0110: 物理端口 7 映射为逻辑端口 6;      0111: 物理端口 7 映射为逻辑端口 7;      1000-1111: 无效;</p> <p>Bit3-0: 保留。</p>	00h
FFh	Reserved	保留。	00h

## 5.6 总线供电与自供电

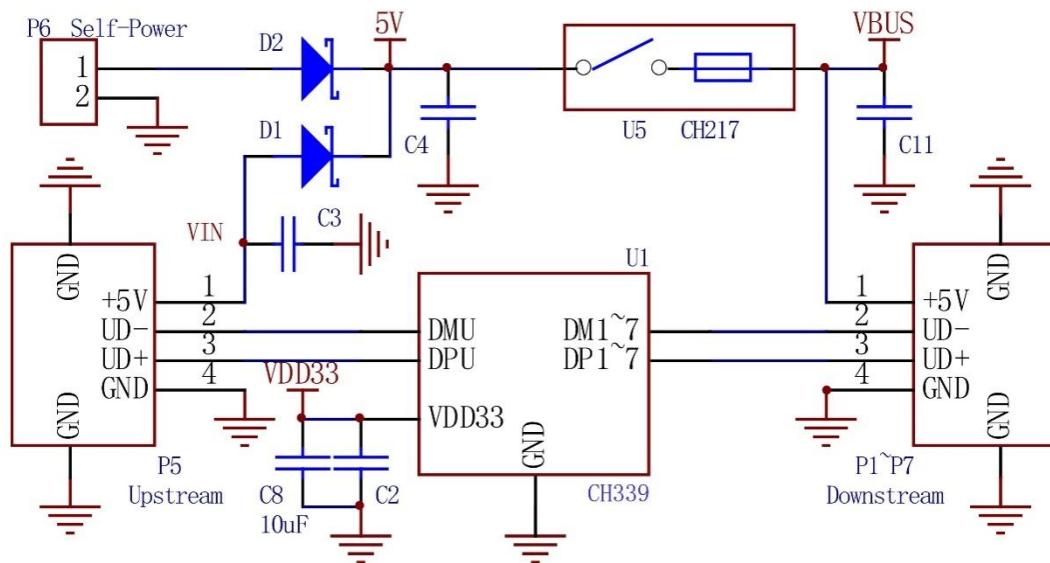
CH339 支持 USB 总线供电模式和自供电模式。总线供电来自 USB 上行端口，供电能力为 500mA 或 900mA、1.5A 等多种标准，USB 线材内阻损耗和 HUB 自身消耗会降低对下行端口的供电能力，下行端口电压可能偏低。自供电通常来自外部电源端口，取决于外部电源供电能力。

由于自供电与总线供电的电压难以完全相等，所以 HUB 需要避免两者直接短接而产生大电流。另外，当 USB 上行端口断电后，HUB 也要避免自供电的外部电源向 USB 总线及 USB 主机倒灌电流。

### 5.6.1 双向隔离示意

二极管 D1 和 D2 用于双向隔离  $V_{BUS}$  总线电源和 P6 端口外部供电，防止两个电源相互倒灌，采用大功率的肖特基二极管以降低自身压降，下行端口  $V_{BUS}$  得到 4.7V 电压甚至更低，仅为示意。

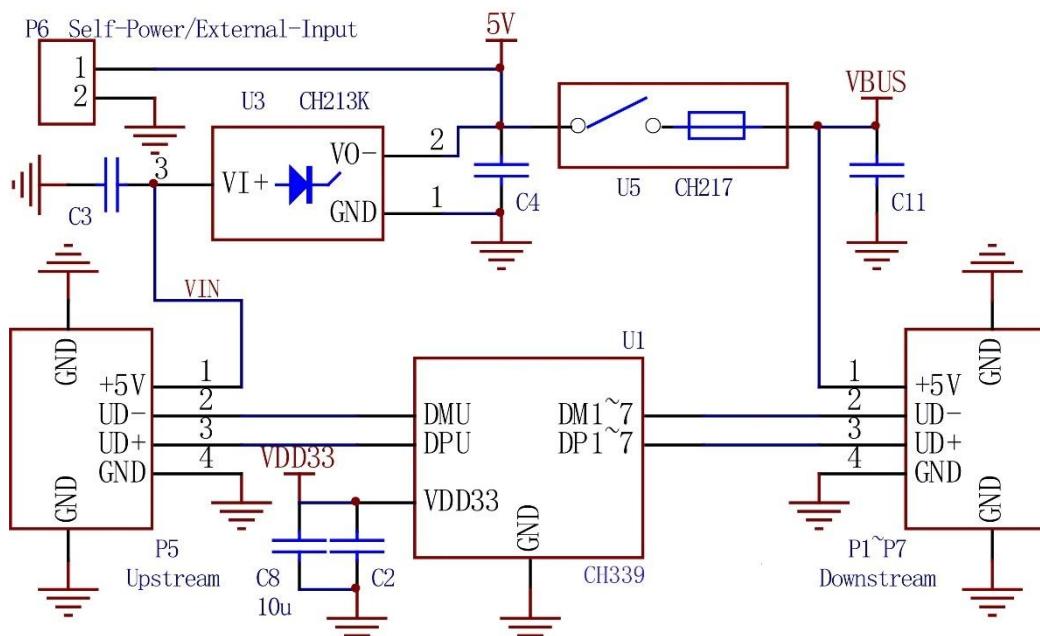
图 5-5 肖特基二极管双向隔离  $V_{BUS}$  和外部供电的示意图



### 5.6.2 实用的单隔离方案

理想二极管的功能是低压降单向导通，U3 用于防止 P6 端口的外部电源向上行端口  $V_{BUS}$  倒灌，在 500mA 电流时，U3 的压降约为肖特基二极管压降的三分之一，下行端口  $V_{BUS}$  可以得到 4.9V 电压。

图 5-6 理想二极管隔离  $V_{BUS}$  和外部供电的示意图



## 5. 7 USB 转以太网功能

CH339 芯片集成 USB 转百兆以太网功能，集成的 10M/100M 快速以太网 MAC 控制器和百兆收发器 PHY，兼容 IEEE 802.3 10Base-T、100Base-TX 协议标准。支持自动协商和 Auto-MDIX，提供在 CAT5 网线和 CAT6 网线上传输所需的必要功能。内置 50Ω 阻抗匹配电阻，外围电路精简。

ETH 相关功能引脚如下：

表 5-6 以太网功能脚描述

引脚名称	类型	功能描述
MDI TP	ETH	MDI 模式下为 10BASE-T/100BASE-TX 的差分发送端；
MDI TN	ETH	MDIX 模式下为 10BASE-T/100BASE-TX 的差分接收端。
MDI RP	ETH	MDI 模式下为 10BASE-T/100BASE-TX 的差分接收端；
MDI RN	ETH	MDIX 模式下为 10BASE-T/100BASE-TX 的差分发送端。
LED_ACT	0	ETH 端口状态指示灯 0。
LED_LINK	0	ETH 端口状态指示灯 1。

以太网控制器支持 IPv4/IPv6 封包校验，支持 IPv4 TCP/UDP/HEAD 和 IPv6 TCP/UDP 封包校验的生成和检查。支持符合 IEEE 802.3x 标准的流量控制和半双工冲突压力回退流量控制。支持符合 IEEE 802.3Q 标准的 VLAN 标记。支持魔术包唤醒，在休眠模式下可选网络低功耗，具有自动电源管理功能，可以节省在空载或者轻载下的功耗，支持 10Base-T 节能模式。

芯片默认支持 CDC-ECM 模式，定制固件可以支持厂商驱动程序和 CDC-NCM。固件将根据用户的配置要求和 PC 上位机下发的命令，选择并启用相应的模式。支持通过内置 EEPROM 配置相关参数，包括 MAC 地址，MAC 过滤配置、USB 厂商 ID、产品 ID、USB 电源配置和厂商自定义字符串等信息。

## 5. 8 USB 转高速读卡器功能

CH339 芯片集成 USB 转高速读卡器功能，支持 SD 卡和 MMC 卡。实现将 SD 卡或 MMC 卡等存储介质转换成标准的 USB 大容量存储类设备。

相关功能引脚如下：

表 5-7 读卡器功能脚描述

引脚名称	类型	功能描述
SD_D0	I/O	SDIO 接口数据引脚 0。
SD_D1	I/O	SDIO 接口数据引脚 1。
SD_D2	I/O	SDIO 接口数据引脚 2。
SD_D3	I/O	SDIO 接口数据引脚 3。
SD_SCK	0	SDIO 接口时钟引脚。
SD_CMD	0	SDIO 接口命令引脚。

## 5. 9 USB 转常见接口功能

CH339W 芯片集成 USB 转 SPI/JTAG/UART/I2C 等接口功能。各个接口功能的使能或禁止可根据需要通过配置引脚 CFG2-0 进行配置。

### 5. 9. 1 USB 转 SPI 接口

4 线 SPI 同步串行接口工作在 Host/Master 主机模式，包括 SCSx、SCK(CLK)、MISO(SDI/DIN)和 MOSI(SDO/DOUT) 四根信号线。支持 8 位数据结构，支持 MSB 和 LSB 传输、支持 SPI 模式 0/1/2/3、支持传输频率配置等。内置硬件 DMA，可进行批量数据的快速发送和读取。通过计算机 API 配合，可灵活操作 4 线接口的 FLASH、MCU、传感器等器件。

### 5. 9. 2 USB 转 JTAG 接口

JTAG 接口工作在 Host/Master 主机模式，包括 TMS、TCK、TDI、TDO、TRST 和 SRST 六根信号线，TRST 和 SRST 为可选信号线。支持自定义协议的快速模式和 bit-bang 模式，传输速率可达 30Mbit/S。提供计算机端的 USB 高速驱动和 USB 转 JTAG TAP 函数库，支持二次开发，用于构建自定义的 USB 转高速 JTAG 调试器、FPGA 下载器、CPU 编程器等产品。

### 5.9.3 USB 转 UART 接口

UART 接口工作在全双工模式，包括 TXD、RXD、CTS 和 RTS 四根信号线。串口输入空闲时，RXD 为高电平，串口输出空闲时，TXD 为高电平。

串行数据包括 1 个低电平起始位、8 个数据位、1 个/2 个高电平停止位，支持无校验/奇校验/偶校验。支持常用通讯波特率：2400、3600、4800、9600、14400、19200、28800、33600、38400、56000、57600、76800、115200、128000、153600、230400、460800、921600、1M、1.5M、2M、3M、4M、5M、6M 等。CH339W 芯片的异步串口支持 CTS 和 RTS 硬件自动流控制，默认不启用，可以通过 VCP 厂商驱动程序控制启用。如果启用，那么仅在检测到 CTS 引脚输入有效（低电平有效）时串口才继续发送下一包数据，否则暂停串口发送；当接收缓冲区空时，串口会自动有效 RTS 引脚（低电平有效），直到接收缓冲区的数据较满时，串口才自动无效 RTS 引脚，并在缓冲区空时再次有效 RTS 引脚。使用硬件自动速率控制，可以将己方的 CTS 引脚接到对方的 RTS 引脚，并将己方的 RTS 引脚接到对方的 CTS 引脚。

在计算机端的 Windows 操作系统下，安装高速率的 VCP 厂商驱动程序后，能够仿真标准串口，所以绝大部分串口应用程序完全兼容，通常无需任何修改。USB 转 UART 接口功能可以用于升级原串口外围设备，或者通过 USB 总线为计算机增加额外串口。通过外加电平转换器件，可以进一步提供 RS232、RS485、RS422 等接口。

### 5.9.4 USB 转 I2C/SMBus 接口

I2C/SMBus 接口工作在 Host/Master 主机模式，包括 SCL 和 SDA 两根信号线。SCL 用于单向输出同步时钟，开漏输出，SDA 用于双向数据输入输出，开漏输出及输入。

I2C 接口的基本操作元素包括：起始位、停止位、位输出、位输入。I2C 接口支持 5 种传输速度，通过计算机 API 配合，可灵活操作 2 线接口的 A/D、D/A、EEPROM 和传感器等器件。

## 6、参数

### 6. 1 绝对最大值 (临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏)

名称	参数说明	最小值	最大值	单位
$T_A$	工作时的环境温度	-40	85	°C
$T_J$	结温度范围	-40	100	°C
$T_S$	储存时的环境温度	-55	150	°C
$V_{DD33}$	工作电源电压 (VDD33 引脚接电源, GND 引脚接地)	-0. 4	4. 0	V
$V_{I033}$	引脚电源电压 (VI033 引脚接电源, GND 引脚接地)	-0. 4	4. 0	V
$V_{5I}$	5V 耐压输入引脚上的电压	-0. 4	5. 3	V
$V_{USB}$	USB 信号引脚上的电压	-0. 4	$V_{DD33}+0. 4$	V
$V_{GPIO}$	其它 (3. 3V) 输入或者输出引脚上的电压	-0. 4	$V_{I033}+0. 4$	V
$V_{ESDUSB}$	USB 信号引脚上的 HBM 人体模型 ESD 耐压		6K	V
$V_{ESDIO}$	其他引脚上的 HBM 人体模型 ESD 耐压		2K	V

### 6. 2 电气参数 (测试条件: $T_A = 25^{\circ}\text{C}$ , $V_{DD33} = 3. 3\text{V}$ )

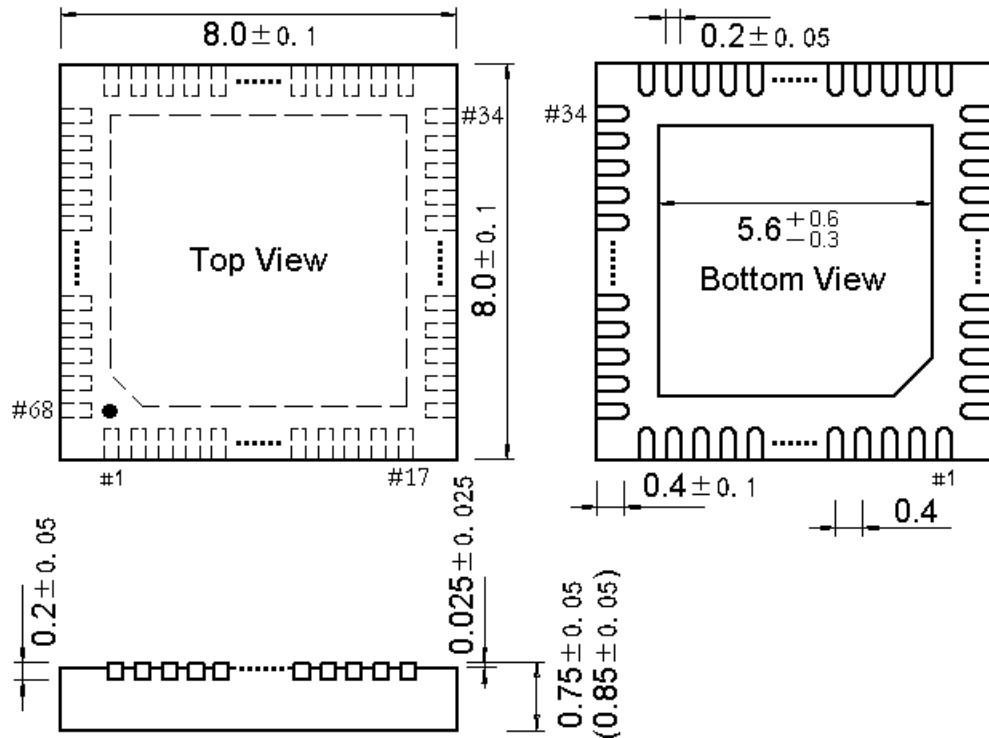
名称	参数说明		最小值	典型值	最大值	单位
$V_{DD33}$	外供 3. 3V 电压@VDD33		3. 2	3. 3	3. 4	V
$V_{I033}$	引脚电源电压			$V_{DD33}$		V
$I_{CC}$	工作电流	上行高速	7 个下行高速 +ETH+SDIO+USB 转接	200		mA
		上行高速	4 个下行高速 +ETH+SDIO	156		mA
		上行高速	4 个下行高速 +ETH	154		mA
		上行高速	4 个下行高速 +SDIO	106		mA
		上行高速	7 个下行高速	140		mA
		上行高速	4 个下行高速	100		mA
		上行高速	1 个下行高速	65		mA
		上行高速	7 个下行全速	50		mA
		上行全速	7 个下行全速	34		mA
		上行高速 上行全速	下行无设备 含 1. 5KΩ 上拉	0. 5		mA
$I_{SLP}$	深度睡眠电源电流 (不含 1. 5KΩ 上拉) 或: 自身睡眠电源电流 (不接 USB 主机)			0. 28		mA
$V_{IL}$	低电平输入电压	标准 I/O 引脚	0		0. 8	V
		5I 引脚	0		0. 8	V
$V_{IH}$	高电平输入电压	标准 I/O 引脚	2. 0		$V_{I033}$	V
		5I 引脚	2. 0		5. 0	V
$V_{ILRST}$	RESET#引脚的低电平输入电压		0		0. 8	V
$V_{OL}$	低电平输出电压	灌电流 5mA		0. 4	0. 6	V
$V_{OH}$	高电平输出电压	源电流 5mA	$V_{I033}-0. 6$	$V_{I033}-0. 4$		V
$R_{PU}$	上拉等效电阻		30	40	55	kΩ
$R_{PD}$	下拉等效电阻		30	40	55	kΩ
$V_{Ivr}$	电源低压复位的电压门限		2. 4	2. 9	3. 2	V

## 7、封装信息

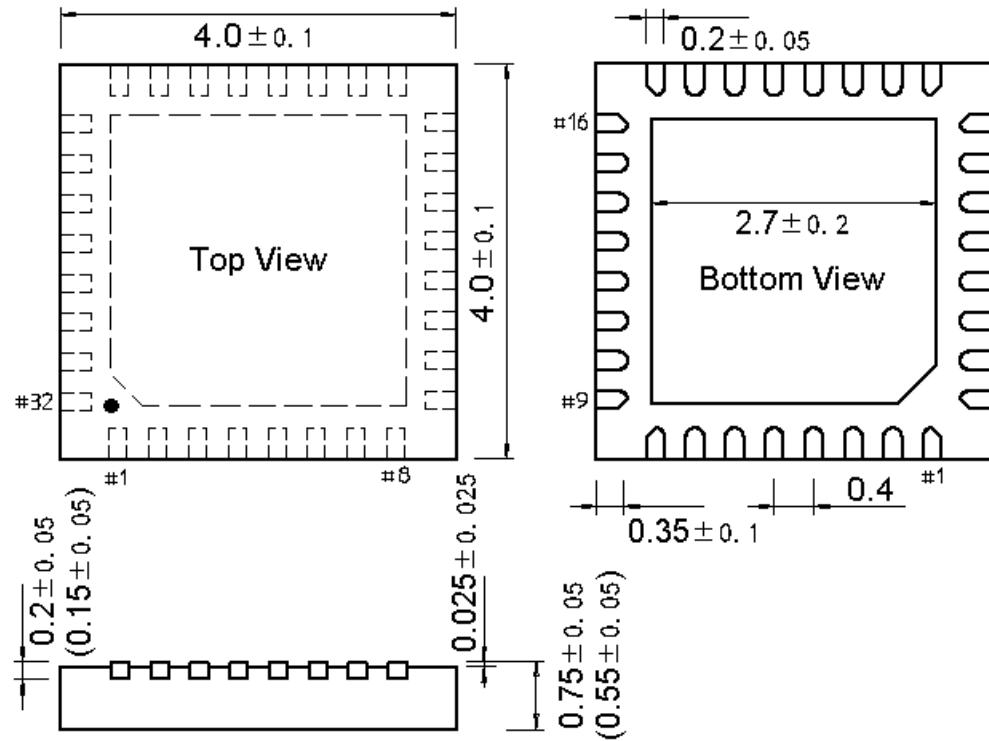
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 。

## 7.1 QFN68



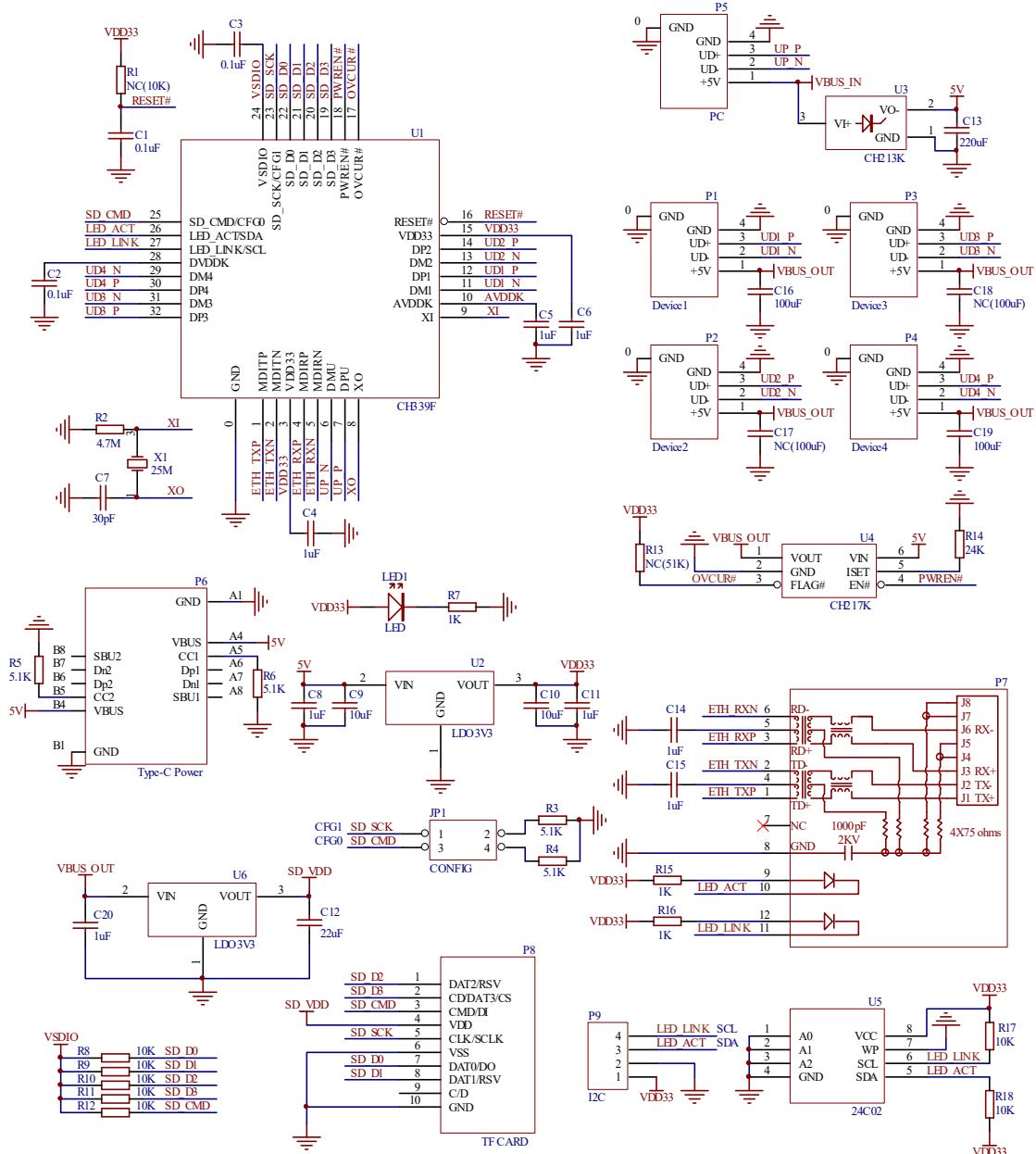
## 7.2 QFN32



## 8、应用

### 8.1 HUB+USB 读卡器+USB 网卡

图 8-1 CH339F 应用参考电路图



上图中 P1-P4 为 HUB 的 4 个下行 USB 接口, P5 为 HUB 的上行 USB 接口, P6 为外部供电接口, P7 为内置网络变压器的 RJ45 接口, P8 为 SD 卡接口。

图中 U5 是可选的 EEPROM, CH339 的以太网 LED 引脚兼用于在复位期间连接 EEPROM。

U2 为 5V 转 3.3V 的线性稳压芯片 (LDO), 尽量选择宽范围输入、低压差的型号, 建议不低于 500mA 负载能力且有散热机制, 以便保证输出能稳定在 3.3V。U3 是低压降理想二极管 CH213, 具有简单的过流和短路保护功能, 且保护响应更快, 用于避免 P6 外部电源向上行端口 P5 的 VBUS\_IN 倒灌, 尤其是上行端口例如计算机机关机而 P6 外部仍然供电时的情况。理论上 U3 可以换成肖特基二极管, 但需要选择自身压降较低的器件, 否则会降低下行端口 VBUS 的输出电压, 在 300mA 负载电流时, 肖特基二极管的压降约 0.3V, 理想二极管的压降约 0.05V。

当前应用中 HUB 所有端口的电源为整体电源控制和整体过流检测, U4 为支持过流保护的 USB 限流电源开关芯片 CH217K, 相对于保险电阻, 保护响应更快, 效果更好。注意, 保险电阻和 USB 电源

开关芯片可能不支持高温。图中 R14 可根据电源供电能力设置限流门限，USB 限流电源开关芯片的 FLAG#引脚可以产生过流或过温报警信号通知 HUB 控制器及计算机，CH339 芯片的 OVCUR#引脚已内置上拉电阻。

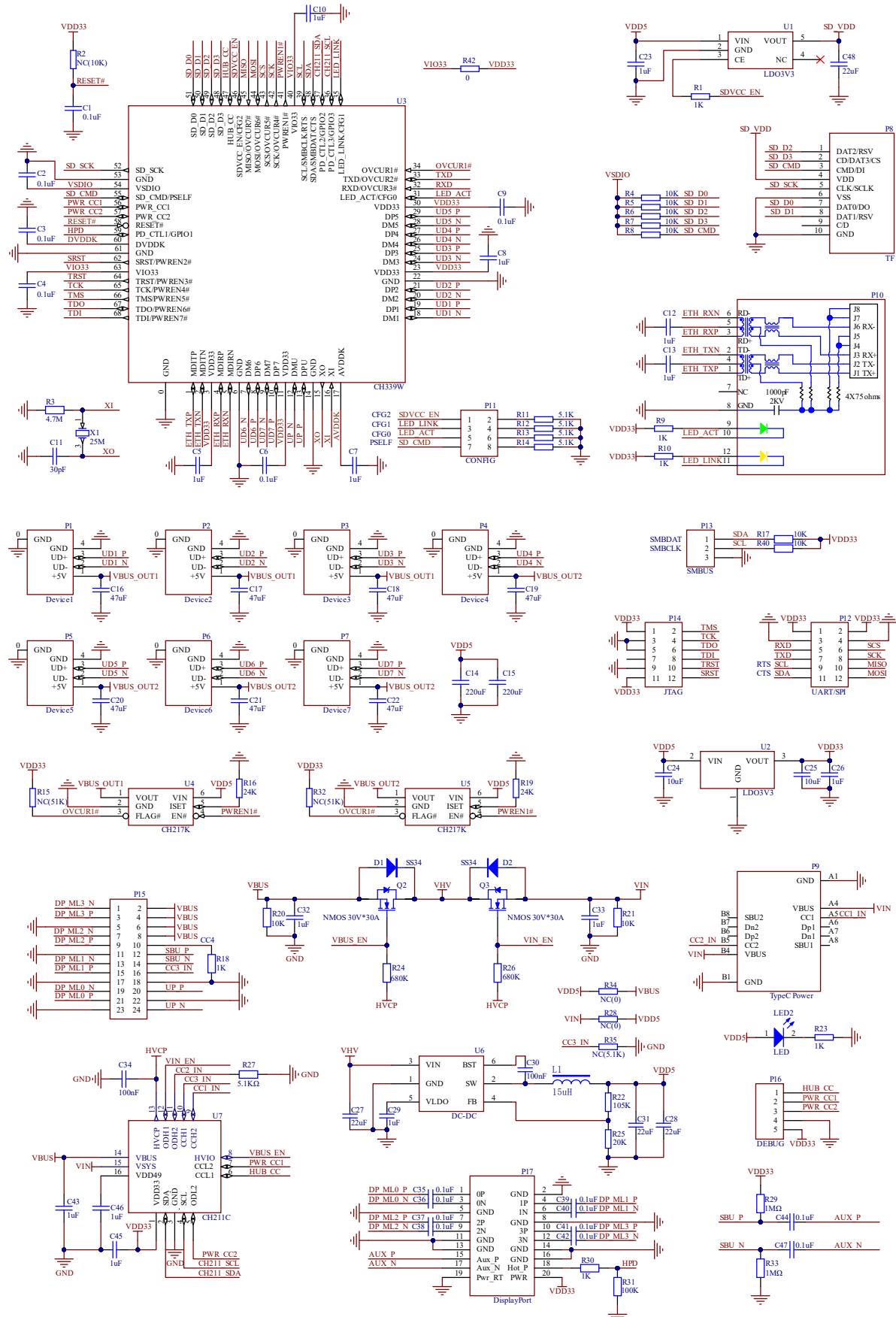
在下行端口 USB 设备带电热插拔的瞬间，动态负载可能使 VBUS 和 5V 电压瞬时跌落，进而可能产生 LVR 低压复位，从而出现整个 HUB 断开再连接的现象。改进方法：①在规范允许范围内加大 5V 电源的电解电容（加大图示 C13 容量），缓解跌落；②加大 HUB 芯片电源输入端的电容（加大图示 C10 容量，例如 22uF）；③增强 5V 供电能力或改为自供电，另外，提升 USB 线材质量也会改善供电能力。

设计 PCB 时需考虑实际工作电流承载能力，VBUS\_IN、5V、VBUS\_OUT 和 P6 及各端口 GND 走线路径的 PCB 尽可能宽，如有过孔则建议多个并联。USB 口的 D+和 D-信号线按高速 USB 规范贴近平行布线，保证特性阻抗，尽量在两侧提供地线或者覆铜，减少来自外界的信号干扰。

建议 5V 加过压保护器件，建议所有 USB 信号加 ESD 保护器件，例如 CH412K，其 VCC 应接 3.3V。

## 8.2 PD HUB+USB 读卡器+USB 网卡+USB 转多种接口

图 8-2 CH339W 应用参考电路图



上图中 P1-P7 为 HUB 的 7 个下行 USB 接口, P9 为 Type-C 外部供电接口, P15 为 Type-C 上行接口, P8 为 SD 卡接口, P10 为内置网络变压器的 RJ45 接口, P12 为 USB 转 UART 和 SPI 接口, P13 为 USB 转 I2C 接口, P14 为 USB 转 JTAG 接口, P17 为 DP 视频信号接口。

CH211 是一款内置了高压开关和升压模块的 Type-C/PD 高压接口芯片, 配合 CH339W 芯片可以实现支持高压的 PD 功能。CH211 芯片的详细功能可以查看对应的芯片手册, CH339W 的 PD 部分的功能已由芯片本身实现, 用户无需进行任何开发。PD 支持 USB PD2.0/3.0 协议、支持最大 100W 对外输出、支持 USB Type-C 正反插检测与自动切换、支持 VDM 协商使得设备进入 Alternate Mode 模式输出 DP 信号等功能。