



数字信号处理器及其解决方案提供商

FDM320RV335 数据手册

版本V1.0

青岛本原微电子有限公司

版本号	修改日期	修改人	修改内容
0.1	2023/9/26	邢园园，徐琛	初版
0.11	2023/12/12	邢园园，徐琛	引脚图，springcore 子系统
0.2	2023/12/20	徐琛	增加寄存器详细描述
1.0	2024/1/4	徐琛	增加 DMA 寄存器并更正错误

目 录

1. 产品特色	4
2. 功能结构图	6
3. 引脚说明	7
4. 设备详细描述	15
4.1. FDM320RV335 处理器核	15
4.1.1. 指令集	16
4.1.2. 地址映射	17
4.2. 系统控制	17
4.2.1. 振荡器和锁相环模块	19
4.2.2. 看门狗模块	20
4.3. 中断	24
4.4. 外设	32
4.4.1. DMA	33
4.4.2. 定时器	34
4.4.3. 增强型 PWM 模块	36
4.4.4. 高分辨率 PWM(HRPWM)	40
4.4.5. 增强型 CAP 模块	41
4.4.6. 增强型 QEP 模块	42
4.4.7. 模数转换器(ADC 模块)	44
4.4.8. 多通道缓冲串行端口 (McBSP) 模块	47
4.4.9. 增强型控制器局域网 (ECAN) 模块(ECAN-A 和 ECAN-B)	50
4.4.10. 串行通信接口 (SCI) 模块 (SCI-A, SCI-B, SCI-C)	55
4.4.11. 串行外设接口 (SPI) 模块 (SPI-A)	59
4.4.12. 内部集成电路(I2C)	62

4.4.13. GPIO MUX	65
4.4.14. 外部接口(XINTF)	72
4.5. 低功耗模式	75
4.6. 所有外设寄存器列表	75
4.6.1. 寄存器映射	75
4.6.2. 闪存和 OTP 寄存器	76
4.6.3. 代码安全模块 (CSM) 寄存器	81
4.6.4. DMA 寄存器	82
4.7. 启动流程与 BOOT ROM	86
5. 时序和开关特性	87
5.1. 时序参数符号	87
5.2. 测试负载电路	88
5.3. 器件时钟表	88
5.4. 电源排序	89
5.5. 时钟要求和特性	91
5.6. 外设时序	93
5.6.1. 通用输入输出 (GPIO)	93
5.6.2. 增强型控制外设	99
5.6.3. 外部中断时序	101
5.6.4. I2C 电气规格和时序	102
5.6.5. 串行外设接口 (SPI) 时序	102
5.6.6. 多通道缓冲串行端口 (MCBSP) 时序	107
5.6.7. 外部接口(XINTF)时序	114
5.6.8. 不带信号缓冲的 DSP 仿真器连接	115
5.6.9. 闪存(FLASH)时序	- 133 -
6. 程序移植	- 136 -

6.1. 可移植性	- 136 -
6.2. 转换程序	- 136 -
7. 电气规范	- 136 -
7.1. 最大绝对额定值	- 136 -
7.2. 建议的运行条件	- 137 -
7.3. 电气特性	- 138 -

1. 产品特色

- 高性能数字信号处理器技术
 - 高达 150MHz(6.67ns周期时间)
 - 1.8V/1.9V内核，3.3V I/O设计
- 高性能32位 DSP
 - IEEE 754-2008单精度浮点单元(FPU)，RNE、RTZ、RDN、RUP、RMM舍入模式
 - 16×16和32×32乘累加运算 (MAC), 40bit的MR寄存器(Multiply-accumulate Register)
 - 16×16双乘累加运算(MAC)
 - 哈佛(Harvard)总线架构
 - 快速中断响应和处理，增强实现RISC-V中断标准 (PLIC+CLINT)
 - 统一存储器编程模型
 - 高效代码(使用C/C++和汇编语言)
- 6通道DMA处理器(用于ADC， McBSP， ePWM， XINTF和SARAM)
- 16位或32位外部接口(XINTF)
 - 超过4M×8地址范围
- 片载存储器
 - 512K×8闪存， 16K×8 SARAM
 - 4K×8一次性可编程(OTP)ROM
- 引导ROM (16K×8)
 - 支持软件引导模式(通过SCI, SPI, CAN, I2C, McBSP, XINTF和并行I/O)
 - 标准数学查找表
- 时钟和系统控制
 - 支持动态锁相环(PLL)比率变化
 - 片载振荡器
 - 安全装置定时器模块
- GPIO0到 GPIO63引脚可以连接到八个外部内核中断其中的一个
- 128 位安全密钥/锁

- 保护闪存/OTP/RAM 模块
- 防止固件逆向工程
- 增强型控制外设
 - 多达18个脉宽调制(PWM)输出
 - 高达6个支持150ps微边界定位(MEP)分辨率的高分辨率脉宽调制(HRPWM)输出
 - 高达6个事件捕捉输入
 - 多达两个正交编码器接口
 - 高达8个32位定时器(6个eCAP以及 2个eQEP)
 - 高达9个32位定时器(6个ePWM以及 3个XINTCTR)
- 三个 32 位 DSP定时器
- 串行端口外设
 - 多达2个控制器局域网(CAN)模块
 - 多达3个SCI (UART)模块
 - 高达2个McBSP模块(可配置为SPI)
 - 一个SPI模块
 - 一个内部集成电路(I2C)总线
- 12位模数转换器(ADC)，16个通道
 - 80ns转换率
 - 2×8 通道输入复用器
 - 两个采样保持
 - 单一/同步转换
 - 内部或者外部基准
- 多达88个具有输入滤波功能可单独编程的多路复用通用输入输出(GPIO)引脚
- 支持RISC-V Debug 0.13.2调试标准
- 高级仿真特性
 - 分析和断点功能
 - 借助硬件的实时调试
- 开发支持包括

- ANSI C/C++编译器/汇编语言/链接器
- 数字电机控制和数字电源软件库
- 低功耗模式和省电模式
 - 支持IDLE(空闲)、STANDBY(待机)、HALT(暂停)模式
 - 可禁用独立外设时钟
- 字节存放顺序：小端模式
- 封装选项：
 - 无铅，绿色封装
 - 塑料四方扁平176管脚（LQFP176）封装
 - 尺寸按GB/T 7092的规定
- 工作温度
 - E - 工业应用+, -40~125℃

2. 功能结构图

FDM320RV335 结构框图如图 2-1 所示。

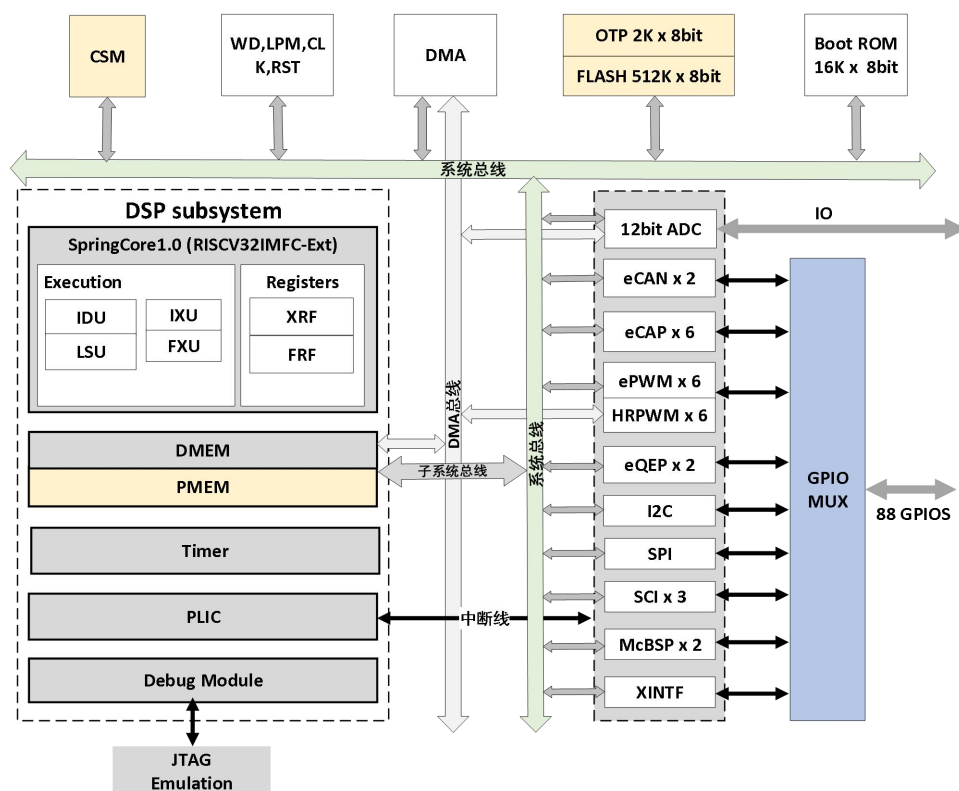


图 2-1 FDM320RV335 功能结构图

FDM320RV335 所有组件均挂在系统总线上，其中主设备包括 DSP 子系统和

DMA。DSP 子系统包括 RISC-V 架构的 SpringCore1.0、独立的内部存储单元、定时器、中断控制器和调试单元。

SpringCore1.0 发起访问时，DSP 子系统内部总线首先对地址进行判定，如果地址属于子系统内部，则在内部完成访问；否则，内部总线将访问请求发送至系统总线，在系统总线的调度下完成访问。DMA 作为主设备发起访问前，首先作为从设备接受 SpringCore1.0 的配置，其后 DMA 发起访问。DMA 能够访问的从设备包括：DSP 子系统内部的数据存储单元、ADC 的结果寄存器、ePWM+HRPWM 的寄存器。所有外设通过中断控制器（PLIC）对 DSP 子系统内部进行系统的访问和设置。PLIC 接入多个外部中断源将其仲裁后生成一根外部中断信号，通给 DSP 子系统。

3. 引脚说明

引脚分配如图 3-1 所示。各引脚的功能如表 3-1 所示。

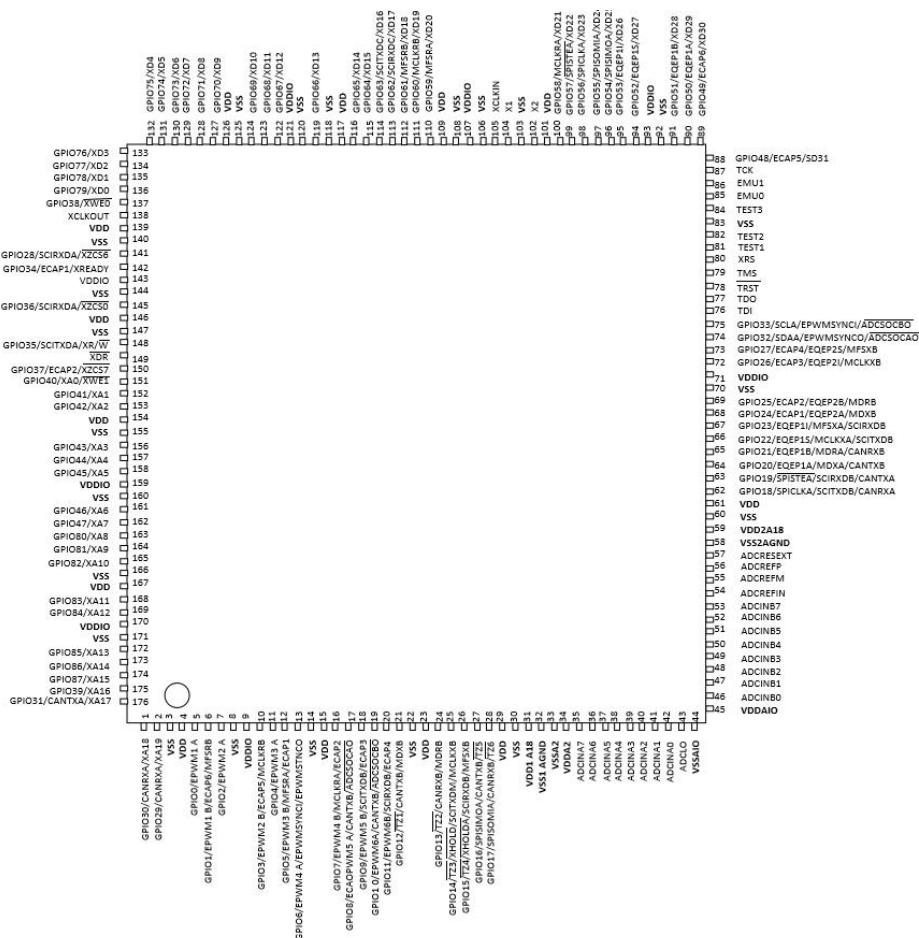


图 3-1 RV335 引脚图

各引脚的信号描述如表 3-1 所示。GPIO 功能（用斜体表示）在复位时为缺省值，在它们下面列出的外设信号是供替代的功能。所有能够产生 XINTF 输出功能的引脚有 8mA(典型)的驱动强度，即使引脚没有配置 XINTF 功能，也可以有此驱动能力。所有其他引脚有一个 4mA 驱动力的驱动典型值(除非另有说明)。所有 GPIO 引脚都是 I/O/Z 且有一个内部上拉电阻器，此内部上拉电阻器可在每个引脚的基础上有选择性地启用/禁用。这一特性只适用于 GPIO 引脚。GPIO0-GPIO11 引脚的上拉电阻器在复位时并不启用。GPIO12-GPIO87 引脚上的上拉电阻器复位时被启用。

表 3-1 引脚信号描述

引出端编号	功能	符号	引出端编号	功能	符号
LQFP			LQFP		
1	通用输入/输出 30 增强型 CAN-A 接收 外部接口地址线 18	<i>GPIO30</i> CANRXA XA18	89	通用输入/输出 49 增强型捕捉输入/输出 6 外部接口数据线 30	GPIO49 ECAP6 XD30
2	通用输入/输出 29 SCI 传输数据 外部接口地址线 19	<i>GPIO29</i> SCITXDA XA19	90	通用输入/输出 50 增强型 QEP1 输入 A 外部接口数据线 29	GPIO50 EQEP1A XD29
3	数字逻辑地引脚	V _{SS}	91	通用输入/输出 51 增强型 QEP1 输入 B 外部接口数据线 28	GPIO51 EQEP1B XD28
4	内核与数字逻辑电源	V _{DD}	92	数字逻辑地引脚	V _{SS}
5	通用输入/输出 0 增强型 PWM1 输出 A 和 HRPWM 通道	<i>GPIO0</i> EPWM1A	93	数字 I/O 电源	V _{DDIO}
6	通用输入/输出 1 增强型 PWM1 输出 B 增强型捕捉输入输出 6 McBSP-B 接收帧同步	<i>GPIO1</i> EPWM1B ECAP6 MFSRB	94	通用输入/输出 52 增强型 QEP1 选通脉冲 外部接口数据线 27	GPIO52 EQEP1S XD27
7	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道	<i>GPIO2</i> EPWM2A	95	通用输入/输出 53 增强型 QEP1 索引 外部接口数据线 26	GPIO53 EQEP1I XD26

8	数字逻辑地引脚	V _{SS}	96	通用输入/输出 54 SPI-A 从输入主输出 外部接口数据线 25	GPIO54 SPISIMOA XD25
9	数字 I/O 电源	V _{DDIO}	97	通用输入/输出 55 SPI-A 从输出主输入 外部接口数据线 24	GPIO55 SPISOMIA XD24
10	通用输入/输出 3 增强 PWM2 输出 B 增强型捕捉 5 输入输出 McBSP-B 接收帧同步	GPIO3 EPWM2B ECAP5 MCLKRB	98	通用输入/输出 56 SPI-A 时钟 外部接口数据线 23	GPIO56 SPICLKA XD23
11	通用输入/输出 4 增强型 PWM3 输出 A 和 HRPWM 通道	GPIO4 EPWM3A	99	通用输入/输出 57 SPI-A 从发送使能 外部接口数据线 22	GPIO57 $\overline{\text{SPISTEA}}$ XD22
12	通用输入/输出 5 增强型 PWM3 输出 B McBSP-B 接收帧同步 增强型捕捉输入输出 1	GPIO5 EPWM3B MFSRA ECAP1	100	通用输入/输出 58 McBSP-A 接收时钟 外部接口数据线 21	GPIO58 MCLKRA XD21
13	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 ePWM 同步脉冲输入 ePWM 同步脉冲输出	GPIO6 EPWM4A EPWMSYNC I EPWMSNCO	101	内核与数字逻辑电 源	V _{DD}
14	数字逻辑地引脚	V _{SS}	102	内部振荡器输出	X2
15	内核与数字逻辑电源	V _{DD}	103	数字逻辑地引脚	V _{SS}
16	通用输入/输出 7 增强 PWM4 输出 B McBSP-B 接收时钟 增强型捕捉输入输出 2	GPIO7 EPWM4B MCLKRA ECAP2	104	内部振荡器输入	X1
17	通用输入/输出 8 增强型 PWM5 输出 A 和 HRPWM 通道 增强型 CAN-B 传输 ADC 转换启动 A	GPIO8 EPWM5A CANTXB $\overline{\text{ADCSOCAO}}$	105	外部振荡器输入	XCLKIN
18	通用输入/输出 9 增强型 PWM5 输出 B SCI-B 发送数据	GPIO9 EPWM5B SCITXDB	106	数字逻辑地引脚	V _{SS}

	增强型捕捉输入/输出 3	ECAP3			
19	通用输入/输出 10 增强型 PWM6 输出 A 和 HRPWM 通道 增强型 CAN-B 接收 ADC 转换启动 B	<i>GPIO10</i> EPWM6A CANRXB $\overline{\text{ADCSOCBO}}$	107	数字 I/O 电源	V _{DDIO}
20	通用输入/输出 11 增强型 PWM6 输出 B SCI-B 接收数据 增强型捕捉输入/输出 4	<i>GPIO11</i> EPWM6B SCIRXDB ECAP4	108	数字逻辑地引脚	V _{SS}
21	通用输入/输出 12 触发区输入 1 增强型 CAN-B 传输 McBSP-B 串行数据传输	<i>GPIO12</i> $\overline{\text{TZ1}}$ CANTXB MDXB	109	内核与数字逻辑电 源	V _{DD}
22	数字逻辑地引脚	V _{SS}	110	通用输入/输出 59 McBSP-A 接收帧同 步 外部接口数据线 20	GPIO59 MFSRA XD20
23	内核与数字逻辑电源	V _{DD}	111	通用输入/输出 60 McBSP-B 接收时钟 外部接口数据线 19	GPIO60 MCLKRB XD19
24	通用输入/输出 13 触发区输入 2 增强型 CAN-B 接收 McBSP-B 串行数据接收	<i>GPIO13</i> $\overline{\text{TZ2}}$ CANRXB MDRB	112	通用输入/输出 61 McBSP-B 接收帧同 步 外部接口数据线 18	GPIO61 MFSRB XD18
25	通用输入/输出 14 触发区输入 3/外部保持 请求 SCI-B 传输 McBSP-B 传输时钟	<i>GPIO14</i> $\overline{\text{TZ3/XHOLD}}$ SCITXDB MCLKXB	113	通用输入/输出 62 SCI-C 接收数据 外部接口数据线 17	GPIO62 SCIRXDC XD17
26	通用输入/输出 15 触发区输入 4/外部保持 确 SCI-B 接收 McBSP-B 传输帧同步	<i>GPIO15</i> $\overline{\text{TZ3/XHOLDA}}$ SCIRXDB MFSXB	114	通用输入/输出 63 SCI-C 发送数据 外部接口数据线 16	GPIO63 SCITXDC XD16
27	通用输入/输出 16	<i>GPIO16</i>	115	通用输入/输出 64	GPIO64

	SPI 从输入/主输出 增强型 CAN-B 发送 触发区输入 5	SPISIMOA CANTXB $\overline{TZ5}$		外部接口数据线 15	XD15
28	通用输入/输出 17 SPI-A 从输出/主输入 增强型 CAN-B 接收 触发区输入 6	<i>GPIO17</i> SPISOMIA CANRXB $\overline{TZ6}$	116	通用输入/输出 65 外部接口数据线 14	GPIO65 XD14
29	内核与数字逻辑电源	V _{DD}	117	内核与数字逻辑电 源	V _{DD}
30	数字逻辑地引脚	V _{SS}	118	数字逻辑地引脚	V _{SS}
31	ADC 模拟低电源引脚 1	V _{DD1A18}	119	通用输入/输出 66 外部接口数据线 13	GPIO66 XD13
32	ADC 模拟地引脚	V _{SS1AGND}	120	数字逻辑地引脚	V _{SS}
33	ADC 模拟地引脚	V _{SSA2}	121	数字 I/O 电源	V _{DDIO}
34	ADC 模拟高电源引脚	V _{DDA2}	122	通用输入/输出 67 外部接口数据线 12	GPIO67 XD12
35	ADC 组 A, 通道 7 输入	ADCINA7	123	通用输入/输出 68 外部接口数据线 11	GPIO68 XD11
36	ADC 组 A, 通道 6 输入	ADCINA6	124	通用输入/输出 69 外部接口数据线 10	GPIO69 XD10
37	ADC 组 A, 通道 5 输入	ADCINA5	125	数字逻辑地引脚	V _{SS}
38	ADC 组 A, 通道 4 输入	ADCINA4	126	内核与数字逻辑电 源	V _{DD}
39	ADC 组 A, 通道 3 输入	ADCINA3	127	通用输入/输出 70 外部接口数据线 9	GPIO70 XD9
40	ADC 组 A, 通道 2 输入	ADCINA2	128	通用输入/输出 71 外部接口数据线 8	GPIO71 XD8
41	ADC 组 A, 通道 1 输入	ADCINA1	129	通用输入/输出 72 外部接口数据线 7	GPIO72 XD7
42	ADC 组 A, 通道 0 输入	ADCINA0	130	通用输入/输出 73 外部接口数据线 6	GPIO73 XD6
43	ADC 基准 0 电平	ADCLO	131	通用输入/输出 74 外部接口数据线 5	GPIO74 XD5
44	ADC 模拟 IO 地引脚	V _{SSAIO}	132	通用输入/输出 75 外部接口数据线 4	GPIO75 XD4
45	ADC 模拟 IO 电源引脚	V _{DDAIO}	133	通用输入/输出 76	GPIO76

				外部接口数据线 3	XD3
46	ADC 组 B, 通道 0 输入	ADCINB0	134	通用输入/输出 77 外部接口数据线 2	GPIO77 XD2
47	ADC 组 B, 通道 1 输入	ADCINB1	135	通用输入/输出 78 外部接口数据线 1	GPIO78 XD1
48	ADC 组 B, 通道 2 输入	ADCINB2	136	通用输入/输出 79 外部接口数据线 0	GPIO79 XD0
49	ADC 组 B, 通道 3 输入	ADCINB3	137	通用输入/输出 38 外部接口写入使能 0	GPIO38 $\overline{\text{XWE0}}$
50	ADC 组 B, 通道 4 输入	ADCINB4	138	SYSCLKOUT 的输 出时钟	XCLKOUT
51	ADC 组 B, 通道 5 输入	ADCINB5	139	内核与数字逻辑电 源	V _{DD}
52	ADC 组 B, 通道 6 输入	ADCINB6	140	数字逻辑地引脚	V _{SS}
53	ADC 组 B, 通道 7 输入	ADCINB7	141	通用输入/输出 28 SCI 接收数据 外部接口 6 芯片选 择	GPIO28 SCIRXDA $\overline{\text{XZCS6}}$
54	ADC 外部基准输入	ADCREFIN	142	通用输入/输出 34 增强型捕捉输入/输 出 1 外部接口就绪信号	GPIO34 ECAP1 XREADY
55	ADC 内部基准中输出	ADCREFM	143	数字 I/O 电源	V _{DDIO}
56	ADC 内部基准正输出	ADCREFP	144	数字逻辑地引脚	V _{SS}
57	ADC 电流偏置外接电阻 管脚, 接 22k Ω 精确电阻 至模拟地。	ADCRESEX T	145	通用输入/输出 36 SCI 接收数据 外部接口 0 区芯片 选择	GPIO36 SCIRXDA $\overline{\text{XZCS0}}$
58	ADC 模拟地引脚	V _{SS2AGND}	146	内核与数字逻辑电 源	V _{DD}
59	ADC 模拟低电源引脚 2	V _{DD2A18}	147	数字逻辑地引脚	V _{SS}
60	数字逻辑地引脚	V _{SS}	148	通用输入/输出 35 SCI 传输数据 外部接口读取	GPIO35 SCITXDA XR/ $\overline{\text{W}}$
61	内核与数字逻辑电源	V _{DD}	149	外部接口读取使能	$\overline{\text{XRD}}$

62	通用输入/输出 18 SPI-A 时钟输入/输出 SCI-B 传输 增强型 CAN-A 接收	<i>GPIO18</i> SPICLKA SCITXDB CANRXA	150	通用输入/输出 37 增强型捕获输入/输出 2 外部接口 7 区芯片选择	<i>GPIO37</i> ECAP2 <hr/> XZCS7
63	通用输入/输出 19 SPI-A 从器件发送使能 SCI-B 接收 增强型 CAN-A 传输	<i>GPIO19</i> <hr/> SPISTEA SCIRXDB CANTXA	151	通用输入/输出 40 外部接口地址线路 0/外部接口写入使能 1	<i>GPIO40</i> <hr/> XA0/XWE1
64	通用输入/输出 20 增强型 QEP1 输入 A McBSP-A 串行数据传输 增强型 CAN-B 传输	<i>GPIO20</i> EQEP1A MDXA CANTXB	152	通用输入/输出 41 外部接口地址线 1	<i>GPIO41</i> XA1
65	通用输入/输出 21 增强型 QEP1 输入 B McBSP-A 串行数据接收 增强型 CAN-B 接收	<i>GPIO21</i> EQEP1B MDRA CANRXB	153	通用输入/输出 42 外部接口地址线 2	<i>GPIO42</i> XA2
66	通用输入/输出 22 增强型 QEP1 选通脉冲 McBSP-A 传输时钟 SCI-B 传输	<i>GPIO22</i> EQEP1S MCLKXA SCITXDB	154	内核与数字逻辑电源	V _{DD}
67	通用输入/输出 23 增强型 QEP1 索引 McBSP-A 传输帧同步 SCI-B 接收	<i>GPIO23</i> EQEP1I MFSXA CIRXDB	155	数字逻辑地引脚	V _{SS}
68	通用输入/输出 24 增强型捕获 1 增强型 QEP2 输入 A McBSP-B 串行数据传输	<i>GPIO24</i> ECAP1 EQEP2A MDXB	156	通用输入/输出 43 外部接口地址线 3	<i>GPIO43</i> XA3
69	通用输入/输出 25 增强型捕获 2 增强型 QEP2 输入 B McBSP-B 串行数据接收	<i>GPIO25</i> ECAP2 EQEP2B MDRB	157	通用输入/输出 44 外部接口地址线 4	<i>GPIO44</i> XA4
70	数字逻辑地引脚	V _{SS}	158	通用输入/输出 45 外部接口地址线路 5	<i>GPIO45</i> XA5
71	数字 I/O 电源	V _{DDIO}	159	数字 I/O 电源	V _{DDIO}

72	通用输入/输出 26 增强型捕获 3 增强型 QEP2 索引 McBSP-B 传输时钟	<i>GPIO26</i> ECAP3 EQEP2I MCLKXB	160	数字逻辑地引脚	V _{SS}
73	通用输入/输出 27 增强型捕获 4 增强型 QEP2 选通脉冲 McBSP-B 传输帧同步	<i>GPIO27</i> ECAP4 EQEP2S MFSXB	161	通用输入/输出 46 外部接口地址线路 6	GPIO46 XA6
74	通用输入/输出 32 I2C 数据开漏双向端口 增强型 PWM 同步脉冲 输入 ADC 转换启动 A	<i>GPIO32</i> SDAA EPWMSYNC I $\overline{\text{ADCSOCAO}}$	162	通用输入/输出 47 外部接口地址线路 7	GPIO47 XA7
75	通用输入/输出 33 I2C 时钟开漏双向端口) 增强型 PWM 同步脉冲 输出 ADC 转换启动 B	<i>GPIO33</i> SCLA EPWMSYNC O $\overline{\text{ADCSOCBO}}$	163	通用输入/输出 80 外部接口地址线 8	GPIO80 XA8
76	JTAG 测试数据输入	TDI	164	通用输入/输出 81 外部接口地址线 9	GPIO81 XA9
77	JTAG 测试数据输出	TDO	165	通用输入/输出 82 外部接口地址线 10	GPIO82 XA10
78	JTAG 测试复位	$\overline{\text{TRST}}$	166	数字逻辑地引脚	V _{SS}
79	JTAG 测试模式选择	TMS	167	内核与数字逻辑电 源	V _{DD}
80	器件复位输入和安全装 置复位输出	$\overline{\text{XRS}}$	168	通用输入/输出 83 外部接口地址线 11	GPIO83 XA11
81	测试引脚 1	TEST1	169	通用输入/输出 84 外部接口地址线 12	GPIO84 XA12
82	测试引脚 2	TEST2	170	数字 I/O 电源	V _{DDIO}
83	数字逻辑地引脚	V _{SS}	171	数字逻辑地引脚	V _{SS}
84	测试引脚 3	TEST3	172	通用输入/输出 85 外部接口地址线 13	GPIO85 XA13
85	仿真器引脚 0	EMU0	173	通用输入/输出 86 外部接口地址线 14	GPIO86 XA14

86	仿真器引脚 1	EMU1	174	通用输入/输出 87 外部接口地址线路 15	GPIO87 XA15
87	JTAG 测试时钟	TCK	175	通用输入/输出 39 外部接口地址线 16	GPIO39 XA16
88	通用输入/输出 48 增强型捕捉输入/输出 5 外部接口数据线 31	GPIO48 ECAP5 XD31	176	通用输入/输出 31 增强型 CAN-A 传输 外部接口地址线 17	GPIO31 CANTXA XA17
-	-	-	-	数字 I/O 电源	V _{DDIO}

4. 设备详细描述

4.1.FDM320RV335 处理器核

FDM320RV335 处理器核是嵌入式领域的 RISC-V 兼容的高能效、低成本 32 位处理器。FDM320RV335 采用 RV32IMFC-Ext 指令集架构，主要面向数字电源、电机控制等高性能实时信号处理领域。FDM320RV335 处理器核的主要特征有：

- 1) RISC-V 架构。
- 2) 支持整型、定点计算类型。
- 3) 支持 32-bit 单精度数据类型。
- 4) 支持 32 个整型 X0-X31 通用寄存器。
- 5) 支持 32 个浮点 F0-F31 通用寄存器。
- 6) 硬件 RAW 和 WAR 相关判断。
- 7) 支持 RISC-V Debug 0.13.2 调试标准，可以进行设置断点、单步等操作。
- 8) 定制化指令加速关键性能路径。
- 9) 快速切换上下文进行实时处理加速。
- 10) 16 位压缩指令。

独立的存储空间：

- 1) 私有的快速程序空间 PMEM 和数据空间 DMEM。
- 2) 外部 master 可进行 DMEM 的初始化。
- 3) 32 位地址可寻址空间。

FDM320RV335 处理器 DSP 子系统的结构框图如下所示：

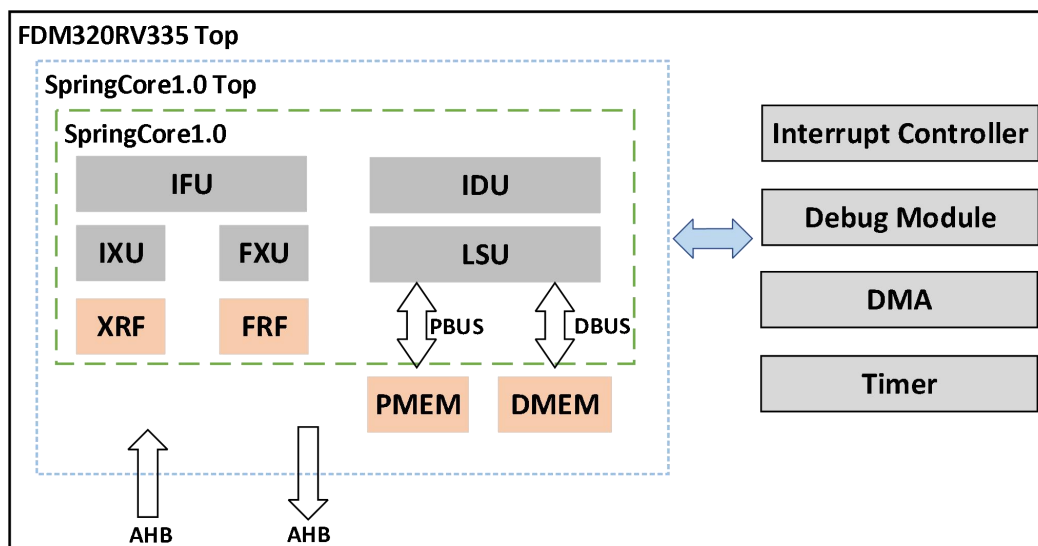


图 4-1 FDM320RV335 子系统框图

FDM320RV335 DSP 包括取指单元、译码单元、存储访问单元、跳转控制单元、整型处理单元和浮点处理单元，以及两类寄存器堆，X Regfile 和 F Regfile，分别用来进行整型和浮点型运算。各模块的含义及功能包括：

- 1) IFU: Instruction Fetch Unit, 负责指令的取指，包括外部输入的中断和分支指令的影响处理，也包括 Core 的异常处理以及流水线前端处理。
- 2) IDU: Instruction Decode Unit, 负责指令的译码以及指令到各个功能单元的分发。
- 3) IXU: Integer Execution Unit, 负责整型/定点类型的 ALU 计算。
- 4) FXU: Float Execution Unit, 负责单精度浮点类型的 ALU 计算。
- 5) LSU: Load Store Unit, 负责 memory 的存取操作，地址计算等。
- 6) XRF: X Register File, X 寄存器堆，存放整型数据。
- 7) FRF: F Register File, F 寄存器堆，存放浮点类型数据。
- 8) PMEM: Program Memory, 程序存储器。
- 9) DMEM: Data Memory, 数据存储器。

4.1.1. 指令集

FDM320RV335 DSP 采用 RV32IMFC-Ext 指令集架构，详细描述参考《FDM320RV335 指令集参考手册》。

4.1.2. 地址映射

如图 4-2，整个芯片的地址空间是 0x00_0000~0x7F_FFFF，每个地址对应 8 位数据。图中的保留区，对保留区的访问为无效访问。

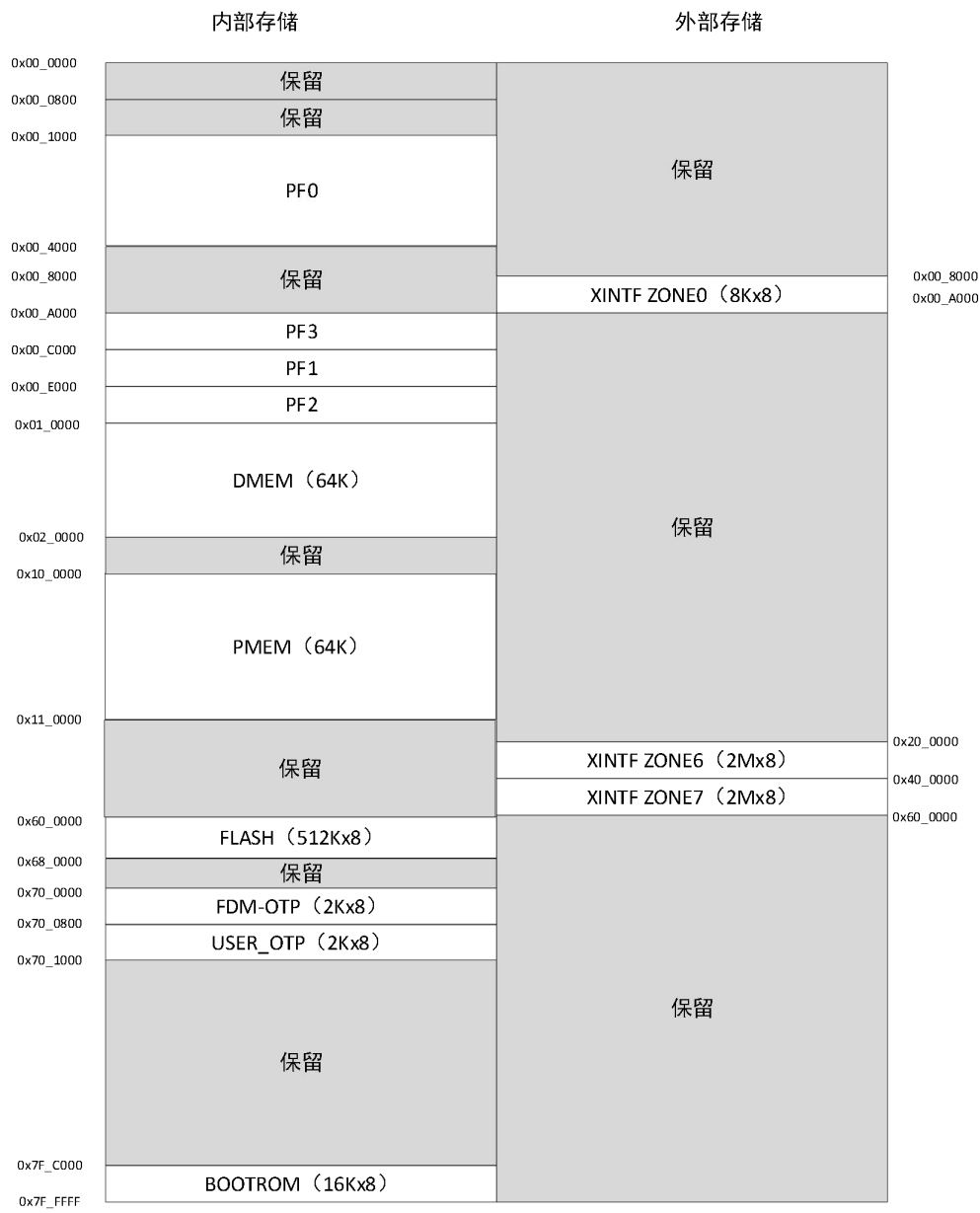


图 4-2 地址映射

4.2. 系统控制

这个部分描述了振荡器、锁相环和计时机制、安全装置功能和低功耗模式。图 4-3 列出了将要讨论的各种时钟和复位域。

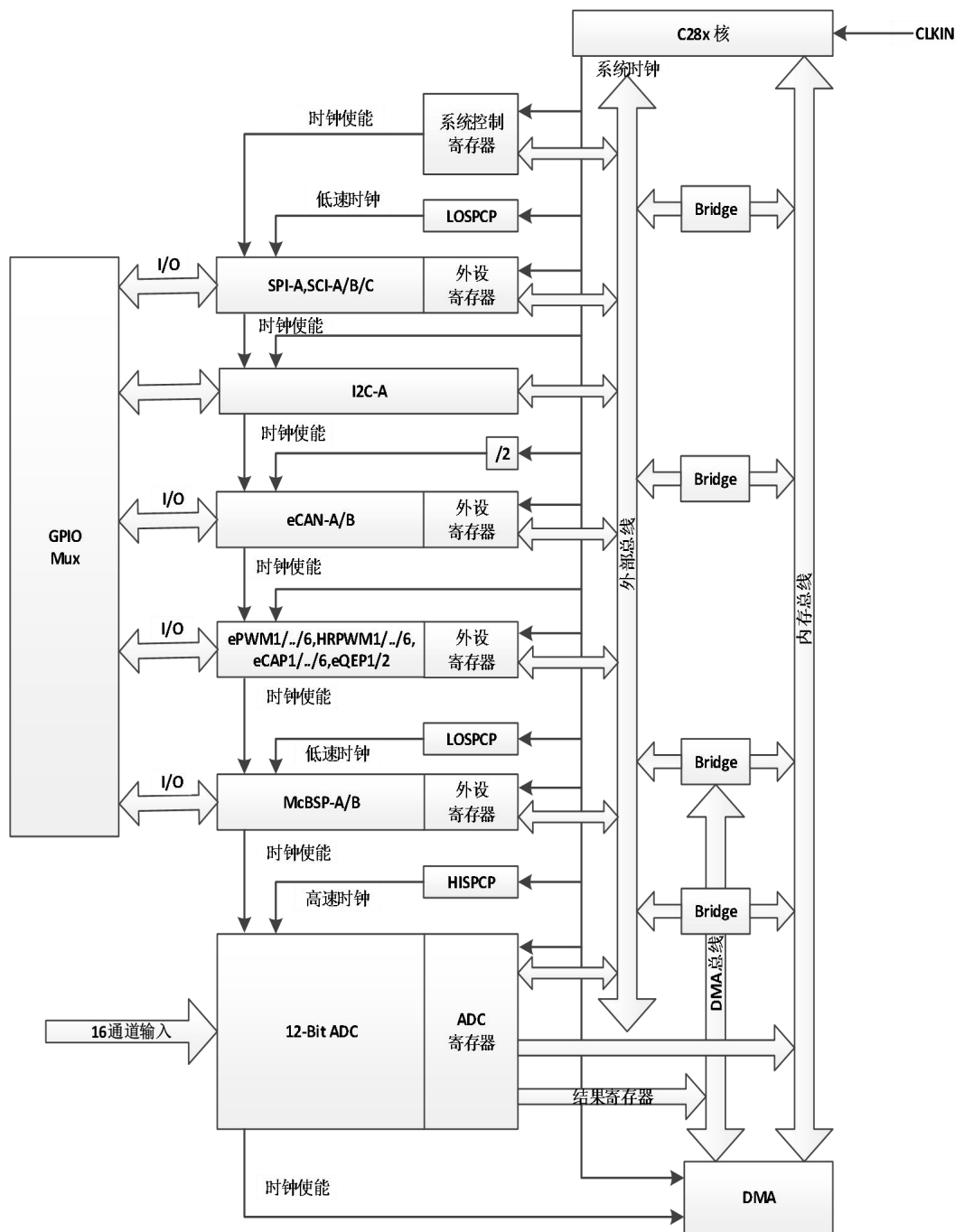


图 4-3 时钟与复位域

从写入 PCLKCR0, PCLKCR1 和 PCLKCR2 寄存器（启用外设时钟）发生到操作有效，有两个 SYSCLKOUT 周期延迟。在尝试访问外围设备配置寄存器前，必须把该延迟考虑在内。

PLL，计时，安全装置和低功耗模式由表 4-1 中列出的寄存器控制。

表 4-1 PLL，时钟，安全装置，和低功耗模式寄存器

名称	地址	大小 (字节)	说明
----	----	---------	----

PLLSTS	0x00 E022-0x00 E023	2	PLL 状态寄存器
保留	0x00 E024-0x00 E031	14	保留
保留	0x00 E032-0x00 E033	2	保留
HISPCP	0x00 E034-0x00 E035	2	高速外设时钟预分频寄存器
LOSPCP	0x00 E036-0x00 E037	2	低速外设时钟预分频寄存器
PCLKCR0	0x00 E038-0x00 E039	2	外设时钟控制寄存器 0
PCLKCR1	0x00 E03A-0x00 E03B	2	外设时钟控制寄存器 1
LPMCR0	0x00 E03C- 0x00 E03D	2	低功耗模式控制寄存器 0
保留	0x00 E03E-0x 00 E03F	2	保留
PCLKCR3	0x00 E040-0x00 E041	2	外设时钟控制寄存器 3
PLLCR	0x00 E042-0x00 E043	2	PLL 控制寄存器
SCSR	0x00 E044-0x00 E045	2	系统控制与状态寄存器
WDCNTR	0x00 E046-0x00 E047	2	安全装置计数器寄存器
保留	0x00 E048-0x00 E049	2	保留
WDKEY	0x00 E04A-0x00 E04B	2	安全装置复位密钥寄存器
保留	0x00 E04C-0x00 E051	6	保留
WDCR	0x00 E052-0x00 E053	2	安全装置控制寄存器
保留	0x00 E054-0x00 E05B	8	保留
MAPCNF	0x00 E05C-0x00 E05D	2	EPWM/HRPWM 重新映射寄存器

4.2.1. 振荡器和锁相环模块

图 4-4显示了 OSC 和 PLL 块

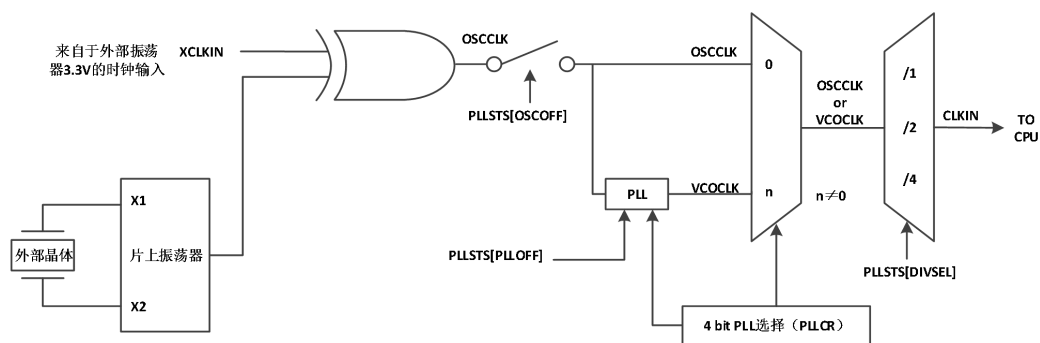


图 4-4 OSC 和 PLL 模块方框图

片载振荡器电路启用一个使用 X1 和 X2 引脚连接至 RV335 器件的晶振/谐振器。如果片载振荡器未被使用，那么一个外部振荡器可被用在下列配置中：

一个 3.3V 外部振荡器可被直接接至 XCLKIN 引脚。X2 引脚应被悬空，而 X1 引脚应在低电平时。这个情况下的逻辑高电平不用超过 VDDIO。

图 4-5和图 4-6显示了这两个可能的输入时钟配置。

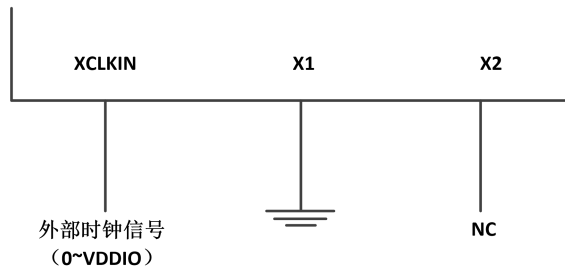


图 4-5 使用一个 3.3V 外部振荡器

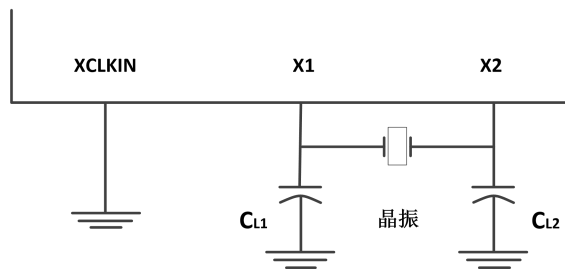


图 4-6 使用内部振荡器

30MHz 外部石英晶振的典型技术规范如下：

- 基本模式、并联谐振
- CL(负载电容)=12pF
- CL1=CL2=24pF
- C并联=6pF
- ESR 范围 = 25 至 40Ω

基于 PLL 的时钟模块为器件提供所有需要的时钟信号，以及对低功耗模式进入的控制。PLL 有一个 4 位比率控制 PLLCR[DIV]来选择不同的 DSP 时钟速率。在写入 PLLCR 寄存器之前，安全装置模块应该被禁用。在 PLL 模式稳定后，它可被重新启用(如果需要的话)，重新启用的时间为 131072 个 OSCCLK 周期。输入时钟和 PLLCR[DIV] 位应该在 PLL (VCOCLK) 的输出频率不超过 300MHz 时候选择。

4.2.2. 看门狗模块

RV335 的看门狗模块功能是：只要 8 位看门狗计数器达到了它的最大值，这个看门狗模块就生成一个输出脉冲，512 振荡器时钟宽度(OSCCLK)。要防止这

种情况，用户可以禁用该计数器，或者必须通过软件定期将一个 0x55+0xAA 序列写入至看门狗寄存器中，从而使看门狗计数器复位。

图 4-7显示了看门狗模块内的各种功能块。

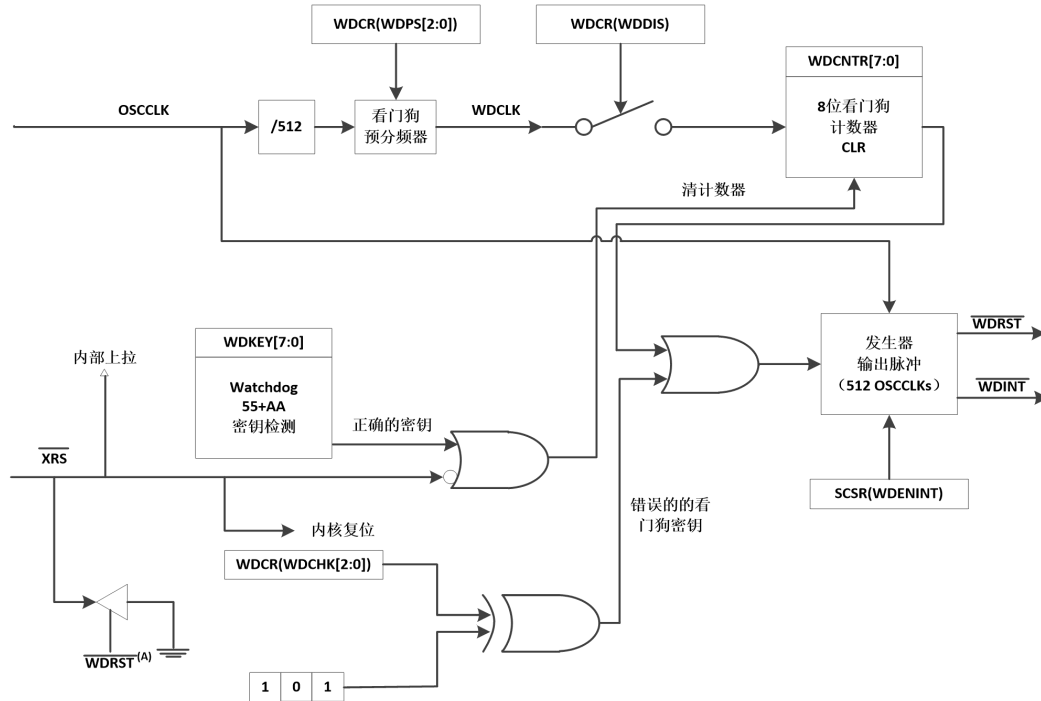


图 4-7 安全装置模块

$\overline{\text{WDINT}}$ 信号使得看门狗模块可被用作一个从 IDLE/STANDY 模式的唤醒。

在 STANDBY 模式中，器件上的所有外设关闭。继续工作的唯一外设是看门狗模块。WATCHDOG 模块将关闭 OSCCLK。 $\overline{\text{WDINT}}$ 信号被馈送到 LPM 块以便它可以将器件从 STANDBY 唤醒(如已启用)。

在 IDLE 模式中， $\overline{\text{WDINT}}$ 信号通过生成一个到 DSP 的中断来将 DSP 从 IDLE 模式中唤醒。在 HALT 模式中，不能使用此功能，这是因为振荡器(和 PLL)关闭，因此看门狗模块也关闭。

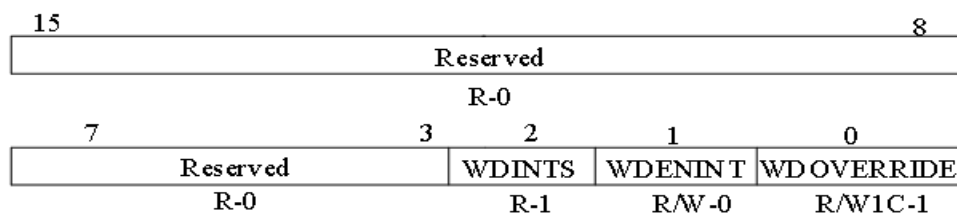


图 4-8 系统控制和状态寄存器 (SCSR)

图例：R/W=读/写；R=只读；-n=重置后的值

表 4-2 系统控制和状态寄存器（SCSR）字段说明

位域	字段	值	描述
15-3	Reserved		
2	WDINTS	0/1	<p>看门狗中断状态位。WDINTS 反映来自看门狗块的$\overline{\text{WDINT}}$信号的当前状态。WDINTS 跟随$\overline{\text{WDINT}}$的状态两个 SYSCLKOUT 周期。如果看门狗中断用于将设备从 IDLE（空闲）或 STANDBY（待机）低功率模式唤醒，则在尝试返回 IDLE（待机）或 STANDBY（待机）模式之前，使用此位确保$\overline{\text{WDINT}}$未激活。</p> <p>0 表示看门狗中断信号（$\overline{\text{WDINT}}$）处于激活状态。</p> <p>1 表示看门狗中断信号（$\overline{\text{WDINT}}$）未激活。</p>
1	WDENINT	0/1	<p>看门狗中断启用。</p> <p>0 表示看门狗复位（$\overline{\text{WDRST}}$）输出信号被启用，看门狗中断（$\overline{\text{WDINT}}$）的输出信号被禁用。这是重置时的默认状态（$\overline{\text{XRS}}$）。当看门狗中断发生时，$\overline{\text{WDRST}}$信号将在 512 个 OSCCLK 周期内保持低电平。如果 WDENINT 位在$\overline{\text{WDINT}}$为低电平时被清除，则将立即发生复位。WDINTS 位可以被读取以确定$\overline{\text{WDINT}}$信号的状态。</p> <p>1 表示禁用$\overline{\text{WDRST}}$输出信号，启用$\overline{\text{WDINT}}$输出信号。当看门狗中断发生时，$\overline{\text{WDINT}}$信号将在 512 个 OSCCLK 周期内保持低电平。如果看门狗中断用于将设备从 IDLE 或 STANDBY 低功率模式唤醒，请使用 WDINTS 位确保$\overline{\text{WDINT}}$未激活，然后再尝试返回 IDLE 或 STANDBY 模式。</p>
0	WDOVERRIDE	0/1	<p>看门狗重写。</p> <p>0 表示写入 0 无效。如果此位被清除，它将保持此状态，直到发生重置。该位的当前状态可由用户读取。</p>

		1 表示您可以更改看门狗控制（WDCR）寄存器中看门狗禁用（WDDIS）位的状态。如果通过写入 1 来清除 WDOVERRIDE 位，则不能修改 WDDIS 位。
--	--	---

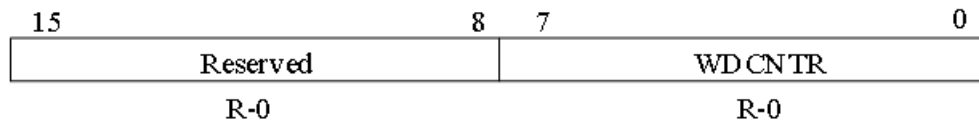


图 4-9 看门狗计数器寄存器（WDCNTR）

表 4-3 看门狗计数器寄存器（WDCNTR）字段说明

位域	字段	描述
15-8	Reserved	保留的
7-0	WDCNTR	这些位包含 WD 计数器的当前值。8 位计数器以看门狗时钟（WDCLK）的速率连续递增。如果计数器溢出，则看门狗启动重置。如果使用有效组合写入 WDKEY 寄存器，则计数器将重置为零。看门狗时钟速率配置在 WDCR 寄存器中。

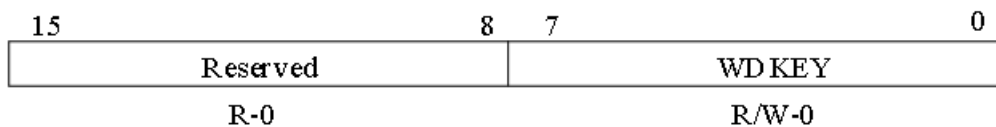


图 4-10 看门狗重置密钥寄存器（WDKEY）

表 4-4 看门狗重置密钥寄存器（WDKEY）字段说明

位域	字段	值	描述
15-8	Reserved		保留的
7-0	WDKEY	0x55+0xAA 其他值	将 0x55 后 0xAA 写入 WDKEY 会导致 WDCNTR 位被清除。其他值写入 0x55 或 0xAA 以外的任何值都不会导致生成任何操作。如果在 0x55 之后写入 0xAA 以外的任何值，则序列必须以 0x55 重新启动。从 WDKEY 读取返回 WDCR 寄存器的值。

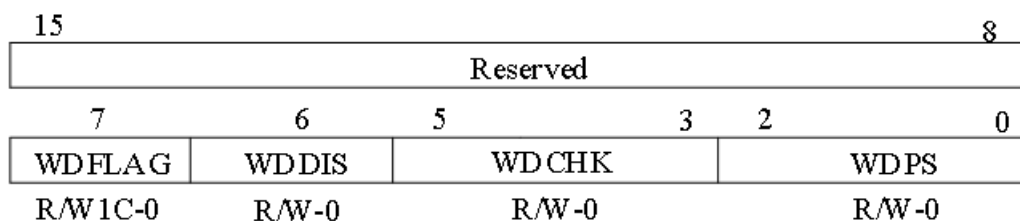


图 4-11 看门狗控制寄存器（WDCR）

图例：R/W=读/写；R=只读；-n=重置后的值

表 4-5 看门狗控制寄存器（WDCR）字段说明

位域	字段	值	描述
15-8	Reserved		保留的
7	WDFLAG	0/1	看门狗复位状态标志位 0 复位是由 $\overline{\text{XRS}}$ 引脚或通电引起的。该位保持锁存状态，直到您写入 1 以清除该条件。 0 的写入被忽略。 1 表示看门狗重置（ $\overline{\text{WDRST}}$ ）生成重置条件。
6	WDDIS	0/1	看门狗禁用。重置时，看门狗模块启用。 0 启用看门狗模块。只有当 SCSR 寄存器中的 WDOVERRIDE 位设置为 1 时，才能修改 WDDIS。（默认） 1 禁用看门狗模块。
5-3	WDCHK	0,0,0/其他	看门狗检查。 0,0,0 每当执行对此寄存器的写入时，您必须始终将 1,0,1 写入这些位，除非意图通过软件重置设备。 其他写入任何其他值会导致立即进行设备重置或看门狗中断。请注意，即使看门狗模块被禁用，这种情况也会发生。这三个比特总是作为零（0,0,0）读回。此功能可用于生成 DSP 的软件重置。
2-0	WDPS	000/001010 /011/100/10 1/110/111	看门狗预分频，这些位配置相对于 OSCCLK/512 的看门狗计数器时钟（WDCLK）速率： 000:WDCLK=OSCCLK/512/1（默认） 001:WDCLK=OSCCLK/512/2 010:WDCLK=OSCCLK/512/4 100:WDCLK=OSCCLK/512/8 101:WDCLK=OSCCLK/512/16 110:WDCLK=OSCCLK/512/32 111:WDCLK=OSCCLK/512/64

4.3. 中断

FDM320RV335 的中断控制模块实现处理器核局部中断控制器（CLINT，Core Local Interrupt Controller）、平台级中断控制器（PLIC，Platform Level Interrupt Controller）。图 4-12 显示了不同的中断源是如何被复用的。CLINT 模块产生一根软件中断信号和一根计时器中断信号，通给处理器核。PLIC 接入多个外部中断源将其仲裁后生成一根外部中断信号，通给处理器核。

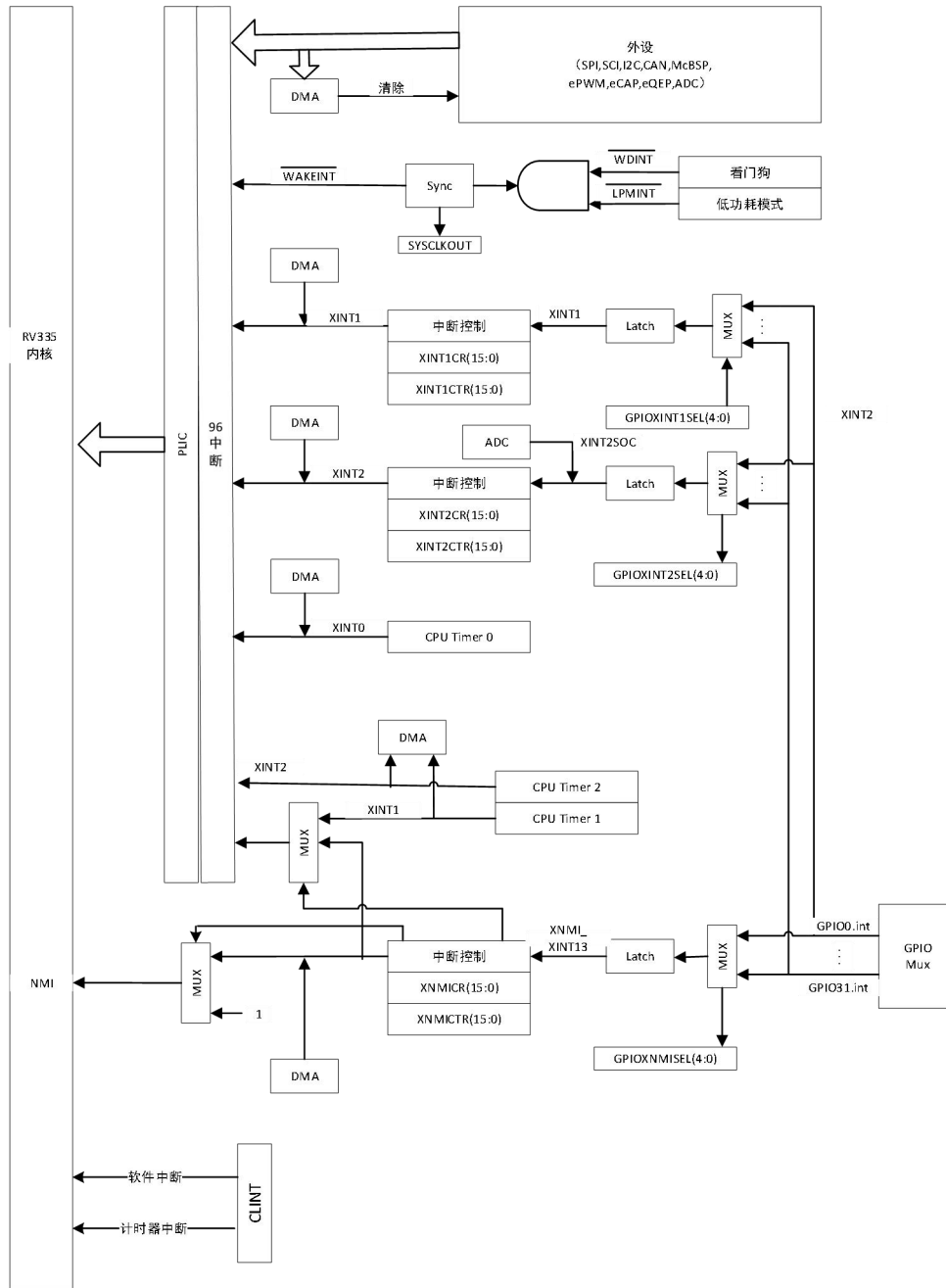


图 4-12 外部和中断源

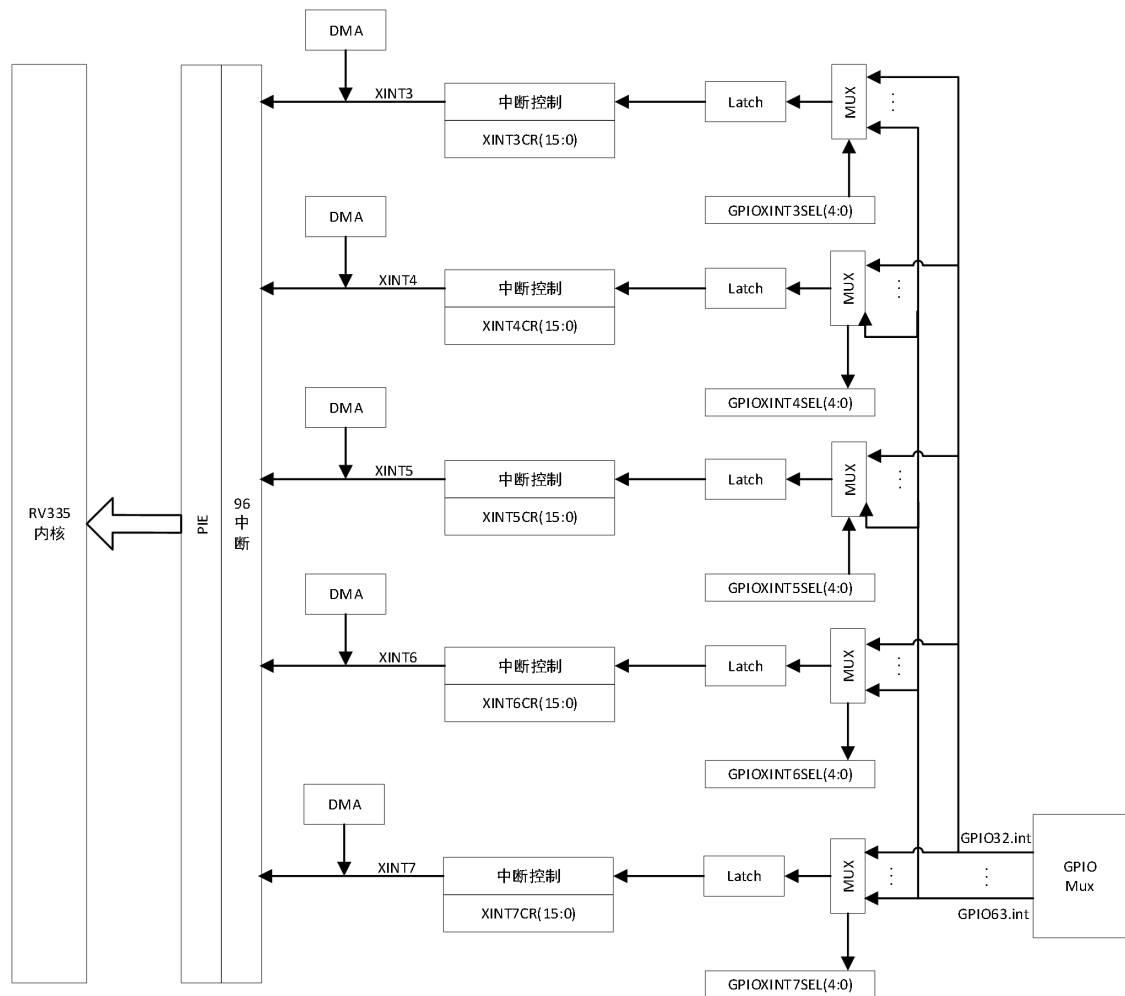


图 4-13 外部中断

CLINT 完成计时器中断和软件中断，实现了计时器中断和软件中断的产生。寄存器映射表如表 4-6 所示。

表 4-6 CLINT 寄存器映射表

寄存器名称	描述	寄存器地址（字节）
MSIP0	机器模式软件中断配置寄存器，bit[31:1]固定为 0，bit[0] 有效。	0x000018B0
MTIMECMP0	机器模式计时器比较值寄存器(低 32 位)	0x000018B4
MTIMECMPH0	机器模式计时器比较值寄存器(高 32 位)	0x000018B8
MTIME	机器模式计时器寄存器(低 32 位)	0x000018BC
MTIMEH	机器模式计时器寄存器(高 32 位)	0x000018C0

PLIC 是 RISC-V 架构标准定义的系统中断控制器，主要用于多个外部中断源的优先级仲裁和派发。PLIC 理论上最多可以支持 1024 外部中断源。在下表的 99 个可能中断中，目前使用 61 个中断，其余的中断被保留以供未来的设备使

用，其中 98 个中断由 PLIC 进行仲裁和派发，NMI 中断直接连到内核。

表 4-7 中断向量表

名字	触发方式	描述	优先级	ID
组 1				
INT1.1	电平触发	SEQ1INT(ADC)	16	1
INT1.2	电平触发	SEQ2INT(ADC)	16	2
INT1.3		保留	16	3
INT1.4	上升沿触发	XINT1(Ext. Int. 1)	16	4
	下降沿触发			
	上升下降沿触发			
INT1.5	上升沿触发	XINT2(Ext. Int. 2)	16	5
	下降沿触发			
	上升下降沿触发			
INT1.6	电平触发	ADCINT (ADC)	16	6
INT1.7	边沿触发	TINT0(DSP-Timer0)	16	7
INT1.8	边沿触发	WAKEINT(LPM/WD)	16	8
组 2				
INT2.1	边沿触发	EPWM1_TZINT (ePWM1)	15	9
INT2.2	边沿触发	EPWM2_TZINT(ePWM2)	15	10
INT2.3	边沿触发	EPWM3_TZINT(ePWM3)	15	11
INT2.4	边沿触发	EPWM4_TZINT(ePWM4)	15	12
INT2.5	边沿触发	EPWM5_TZINT(ePWM5)	15	13
INT2.6	边沿触发	EPWM6_TZINT(ePWM6)	15	14
INT2.7		保留	15	15
INT2.8		保留	15	16
组 3				
INT3.1	边沿触发	EPWM1_INT (ePWM1)	14	17
INT3.2	边沿触发	EPWM2_INT(ePWM2)	14	18
INT3.3	边沿触发	EPWM3_INT(ePWM3)	14	19
INT3.4	边沿触发	EPWM4_INT(ePWM4)	14	20
INT3.5	边沿触发	EPWM5_INT(ePWM5)	14	21
INT3.6	边沿触发	EPWM6_INT(ePWM6)	14	22
INT3.7		保留	14	23
INT3.8		保留	14	24
组 4				

INT4.1	边沿触发	ECAP1_INT(eCAP1)	13	25
INT4.2	边沿触发	ECAP2_INT(eCAP2)	13	26
INT4.3	边沿触发	ECAP3_INT(eCAP3)	13	27
INT4.4	边沿触发	ECAP4_INT(eCAP4)	13	28
INT4.5	边沿触发	ECAP5_INT(eCAP5)	13	29
INT4.6	边沿触发	ECAP6_INT(eCAP6)	13	30
INT4.7		保留	13	31
INT4.8		保留	13	32
组 5				
INT5.1	边沿触发	EQEP1_INT(eQEP1)	12	33
INT5.2	边沿触发	EQEP2_INT(eQEP2)	12	34
INT5.3		保留	12	35
INT5.4		保留	12	36
INT5.5		保留	12	37
INT5.6		保留	12	38
INT5.7		保留	12	39
INT5.8		保留	12	40
组 6				
INT6.1	边沿触发	SPIRXINTA(SPI-A)	11	41
INT6.2	边沿触发	SPITXINTA(SPI-A)	11	42
INT6.3	边沿触发	MRINTB(McBSP-B)	11	43
INT6.4	边沿触发	MXINTB(McBSP-B)	11	44
INT6.5	边沿触发	MRINTA(McBSP-A)	11	45
INT6.6	边沿触发	MXINTA(McBSP-A)	11	46
INT6.7		保留	11	47
INT6.8		保留	11	48
组 7				
INT7.1	边沿触发	DINTCH1 (DMA1)	10	49
INT7.2	边沿触发	DINTCH2 (DMA2)	10	50
INT7.3	边沿触发	DINTCH3 (DMA3)	10	51
INT7.4	边沿触发	DINTCH4 (DMA4)	10	52
INT7.5	边沿触发	DINTCH5 (DMA5)	10	53
INT7.6	边沿触发	DINTCH6 (DMA6)	10	54
INT7.7		保留	10	55
INT7.8		保留	10	56
组 8				

INT8.1	边沿触发	I2CINT1A(I2C-A)	9	57
INT8.2	边沿触发	I2CINT2A(I2C-A)	9	58
INT8.3		保留	9	59
INT8.4		保留	9	60
INT8.5	边沿触发	SCIRXINTC(SCI-C)	9	61
INT8.6	边沿触发	SCITXINTC(SCI-C)	9	62
INT8.7		保留	9	63
INT8.8		保留	9	64
组 9				
INT9.1	边沿触发	SCIRXINTA(SCI-A)	8	65
INT9.2	边沿触发	SCITXINTA(SCI-A)	8	66
INT9.3	边沿触发	SCIRXINTB(SCI-B)	8	67
INT9.4	边沿触发	SCITXINTB(SCI-B)	8	68
INT9.5	边沿触发	ECAN0INTA(eCAN-A)	8	69
INT9.6	边沿触发	ECAN1INTA(eCAN-A)	8	70
INT9.7	边沿触发	ECAN0INTB(eCAN-B)	8	71
INT9.8	边沿触发	ECAN1INTB(eCAN-B)	8	72
组 10				
INT10.1		保留	7	73
INT10.2		保留	7	74
INT10.3		保留	7	75
INT10.4		保留	7	76
INT10.5		保留	7	77
INT10.6		保留	7	78
INT10.7		保留	7	79
INT10.8		保留	7	80
组 11				
INT11.1		保留	6	81
INT11.2		保留	6	82
INT11.3		保留	6	83
INT11.4		保留	6	84
INT11.5		保留	6	85
INT11.6		保留	6	86
INT11.7		保留	6	87
INT11.8		保留	6	88
组 12				

INT12.1	上升沿触发	XINT3(Ext. Int. 3)	5	89
	下降沿触发			
	上升下降沿触发			
INT12.2	上升沿触发	XINT4(Ext. Int. 4)	5	90
	下降沿触发			
	上升下降沿触发			
INT12.3	上升沿触发	XINT5(Ext. Int. 5)	5	91
	下降沿触发			
	上升下降沿触发			
INT12.4	上升沿触发	XINT6(Ext. Int. 6)	5	92
	下降沿触发			
	上升下降沿触发			
INT12.5	上升沿触发	XINT7(Ext. Int. 7)	5	93
	下降沿触发			
	上升下降沿触发			
INT12.6		保留	5	94
INT12.7	边沿触发	LVF(FPU)	5	95
INT12.8	边沿触发	LUF(FPU)	5	96
INT13	边沿触发	External Interrupt 13 (XINT13) or DSPTimer1	4	97
INT14	边沿触发	DSP-Timer2 (for TI/RTOS use)	3	98
NMI	上升沿触发	External Non-Maskable Interrupt		
	下降沿触发			
	上升下降沿触发			
User-Defined Trap				
USER1				99
USER2				100
USER3				101
USER4				102
USER5				103
USER6				104
USER7				105
USER8				106
USER9				107
USER10				108
USER11				109

USER12			110
--------	--	--	-----

表 4-8 PLIC 寄存器地址映射表

寄存器名称	位宽	描述	寄存器地址（字节）
PLIC 控制寄存器			
PLIC_PRIO0	32	保留	0x00800000
PLIC_PRIO1	32	中断源 1 的优先级寄存器	0x00800004
PLIC_PRIO2	32	中断源 2 的优先级寄存器	0x00800008
...
PLIC_PRIO96	32	中断源 96 的优先级寄存器	0x00800180
PLIC_PRIO97	32	中断源 97 的优先级寄存器	0x00800184
PLIC_PRIO98	32	中断源 98 的优先级寄存器	0x00800188
PLIC_IP0	32	中断源 0-31 的中断等待寄存器	0x0080018C
PLIC_IP1	32	中断源 32-63 的中断等待寄存器	0x00800190
PLIC_IP2	32	中断源 64-95 的中断等待寄存器	0x00800194
PLIC_IP3	32	中断源 96-127 的中断等待寄存器	0x00800198
PLIC_H0_MIE0	32	中断源 0-31 的机器模式中断使能寄存器（中断源 0 默认不存在，该位为 0）	0x0080019C
PLIC_H0_MIE1	32	中断源 32-63 的机器模式中断使能寄存器	0x008001A0
PLIC_H0_MIE2	32	中断源 64-95 的机器模式中断使能寄存器	0x008001A4
PLIC_H0_MIE3	32	中断源 96-127 的机器模式中断使能寄存器	0x008001A8
PLIC_H0_MTH	32	机器模式中断阈值寄存器（取值范围为 0~31）	0x008001AC
PLIC_H0_MCLAIM	32	机器模式中断响应/完成寄存器	0x008001B0
外部中断控制寄存器			
XINT1CR	16	XINT1 控制寄存器	0x008001B4
XINT2CR	16	XINT2 控制寄存器	0x008001B6
XINT3CR	16	XINT3 控制寄存器	0x008001B8
XINT4CR	16	XINT4 控制寄存器	0x008001BA
XINT5CR	16	XINT5 控制寄存器	0x008001BC
XINT6CR	16	XINT6 控制寄存器	0x008001BE
XINT7CR	16	XINT7 控制寄存器	0x008001C0
XNMICR	16	XNMI 控制寄存器	0x008001C2
外部中断计数器寄存器			

XINT1CTR	16	XINT1 计数器寄存器	0x008001C4
XINT2CTR	16	XINT2 计数器寄存器	0x008001C6
XNMICTR	16	XNMI 计数器寄存器	0x008001C8
User-Defined Trap 优先级寄存器			
PLIC_PRIO99		USER1 的优先级寄存器	0x008001CC
PLIC_PRIO100		USER2 的优先级寄存器	0x008001D0
PLIC_PRIO101		USER3 的优先级寄存器	0x008001D4
PLIC_PRIO102		USER4 的优先级寄存器	0x008001D8
PLIC_PRIO103		USER5 的优先级寄存器	0x008001DC
PLIC_PRIO104		USER6 的优先级寄存器	0x008001E0
PLIC_PRIO105		USER7 的优先级寄存器	0x008001E4
PLIC_PRIO106		USER8 的优先级寄存器	0x008001E8
PLIC_PRIO107		USER9 的优先级寄存器	0x008001EC
PLIC_PRIO108		USER10 的优先级寄存器	0x008001F0
PLIC_PRIO109		USER11 的优先级寄存器	0x008001F4
PLIC_PRIO110		USER12 的优先级寄存器	0x008001F8

4.4. 外设

RV335 器件的集成外设有以下部分进行了说明：

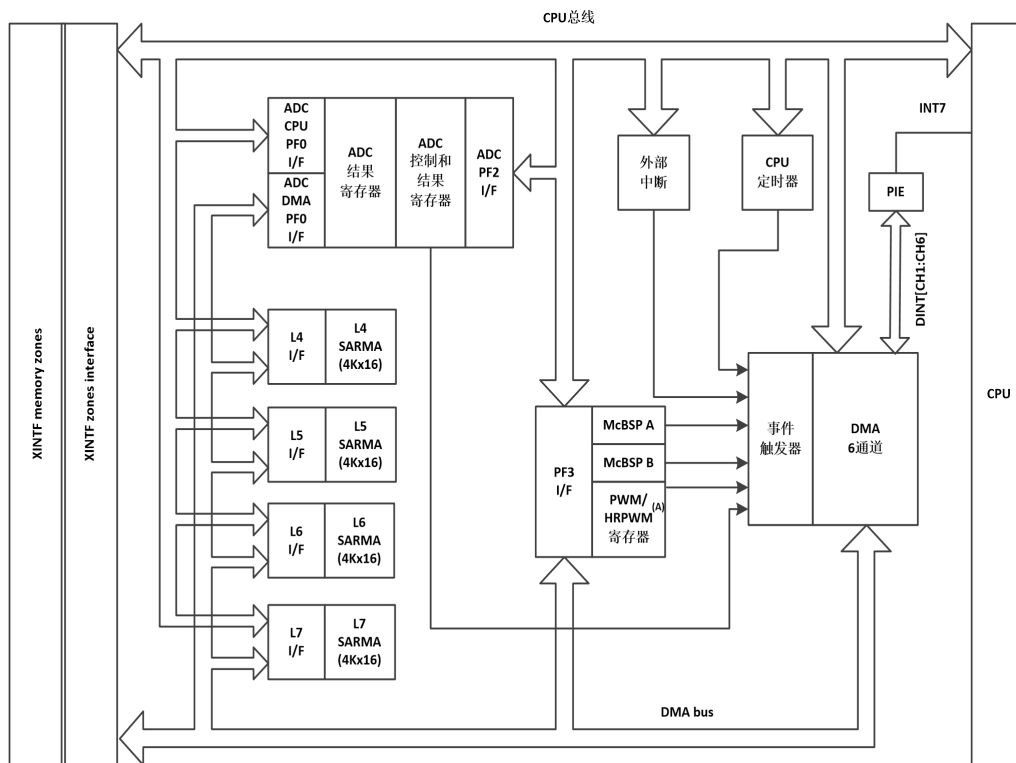
- 6 通道直接内存存取 (DMA)
- 三个 32 位 DSP 定时器
- 高达6 个增强型 PWM 模块 (ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6)
- 高达 6 个增强型捕获模块 (eCAP1, eCAP2, eCAP3, eCAP4, eCAP5, eCAP6)
- 高达2 个增强型 QEP 模块 (eQEP1, eQEP2)
- 增强型模数转换器 (ADC) 模块
- 多达 2 个增强型控制器局域网 (eCAN) 模块 (eCAN-A, eCAN-B)
- 多达 3 个串行通信接口模块(SCI-A, SCI-B, SCI-C)
- 1个串行外设接口 (SPI)模块模块(SPI-A)
- 内部集成电路模块 (I2C)
- 高达两个多通道缓冲串口 (McBSP-A, McBSP-B) 模块

- 数字 I/O 和共用引脚功能
- 外部接口 (XINTF)

4.4.1. DMA

特性:

- 触发源:
 - ePWM SOCA/SOCB
 - ADC 序列发生器 1 和序列发生器 2
 - McBSP-A 和 McBSP-B 传输和接收逻辑
 - XINT1-7 和 XINT13
 - DSP 定时器
 - 软件
- 数据源/目的地:
 - L4-L7 16K × 16 SARAM
 - 所有 XINTF 区域
 - ADC 内存总线映射结果寄存器
 - McBSP-A 和 McBSP-B 发送和接收缓冲区
 - ePWM 寄存器
- 字大小: 16 位或 32 位(McBSPs 限制到 16 位)
- 吞吐量: 4 周期/字(McBSP 读取时为 5 周期/字)



A. ePWM 和 HRPWM 寄存器必须重新映射到 PF3 (通过 MAPCNF 寄存器的位 0) 之后才可以由 DMA 访问。

图 4-14 DMA 功能方框图

4.4.2. 定时器

在器件上有 3 个 32 位 DSP 定时器 (DSP 定时器 0, DSP 定时器 1, DSP 定时器 2)。定时器 2 为 DSP/BIOS 预留。可以在用户应用程序中使用 DSP 定时器 0 和定时器 1。这些定时器与 ePWM 模块中的定时器不同。

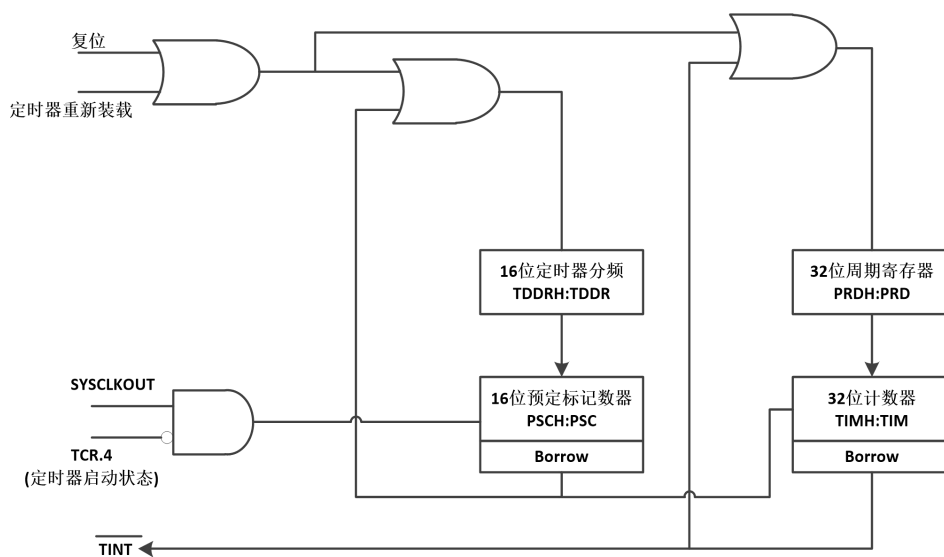
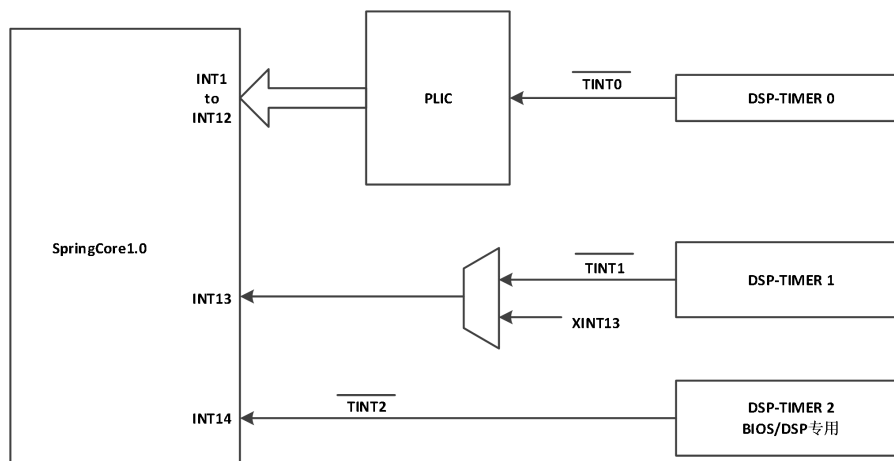


图 4-15 DSP 定时器

定时器中断信号(TINT0, TINT1, TINT2)的连接如图 4-16所示。



- A. 定时器寄存器连接到 DSP 处理器的存储器总线。
B. 定时器的时序与处理器时钟的 SYSCLKOUT 同步。

图 4-16 DSP 定时器中断信号和输出信号

定时器的通常操作如下：32 位计数器寄存器“TIMH:TIM”被装入周期寄存器 PRDH:PRD 中的值。计数器寄存器按 DSP 的 SYSCLKOUT 速率递减。当计数器到达 0 时，一个定时器中断输出信号生成一个中断脉冲。表 4-9 中列出的寄存器用于配置定时器。

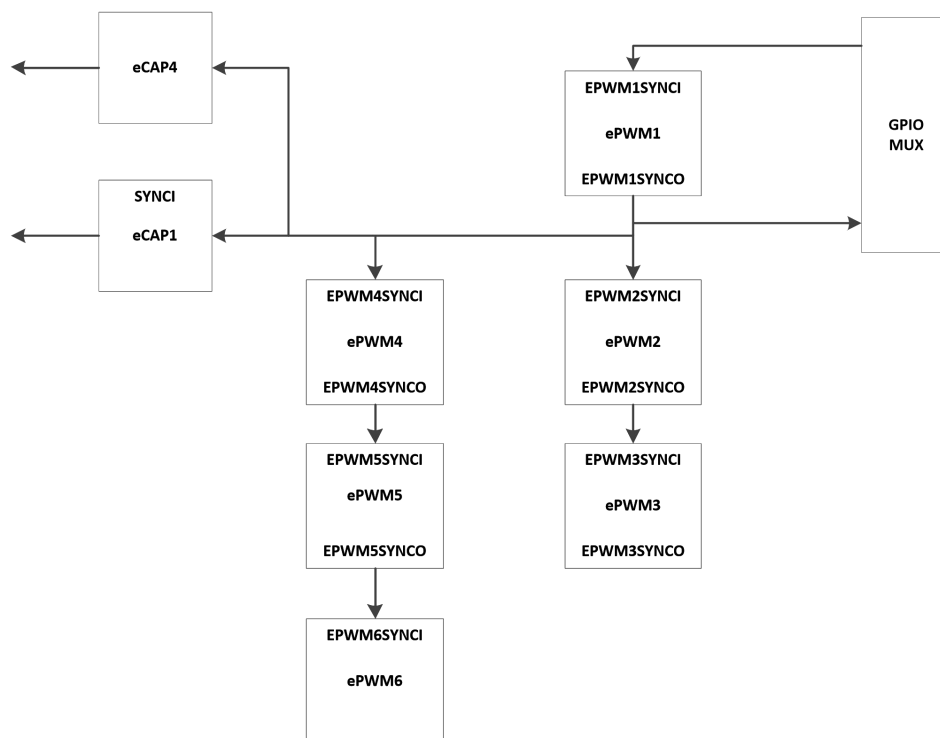
表 4-9 DSP 定时器 0, 1, 2 配置和控制寄存器

名称	地址	大小 (字节)	说明
TIMER0TIM	0x1800-0x1801	2	DSP 定时器 0, 计数器寄存器
TIMER0TIMH	0x1802-0x0C03	2	DSP 定时器 0, 计数器寄存器高电平
TIMER0PRD	0x1804-0x1805	2	DSP 定时器 0, 周期寄存器
TIMER0PRDH	0x1806-0x1807	2	DSP 定时器 0, 周期寄存器高电平
TIMER0TCR	0x1808-0x1809	2	DSP 定时器 0, 控制寄存器
保留	0x1814-0x1815	2	
TIMER0TPR	0x1816-0x1817	2	DSP 定时器 0, 预分频寄存器
TIMER0TPRH	0x1818-0x1819	2	DSP 定时器 0, 预分频寄存器高电平
TIMER1TIM	0x181A-0x181B	2	DSP 定时器 1, 计数器寄存器
TIMER1TIMH	0x181C-0x181D	2	DSP 定时器 1, 计数器寄存器高电平
TIMER1PRD	0x181E-0x181F	2	DSP 定时器 1, 周期寄存器
TIMER1PRDH	0x1820-0x1821	2	DSP 定时器 1, 周期寄存器高电平
TIMER1TCR	0x1822-0x1823	2	DSP 定时器 1, 控制寄存器
保留	0x1824-0x1825	2	

TIMER1TPR	0x1826-0x1827	2	DSP 定时器 1, 预分频寄存器
TIMER1TPRH	0x1828-0x1829	2	DSP 定时器 1, 预分频寄存器高电平
TIMER2TIM	0x182A-0x182B	2	DSP 定时器 2, 计数器寄存器
TIMER2TIMH	0x182C-0x182D	2	DSP 定时器 2, 计数器寄存器高电平
TIMER2PRD	0x182E-0x182F	2	DSP 定时器 2, 周期寄存器
TIMER2PRDH	0x1830-0x1831	2	DSP 定时器 2, 周期寄存器高电平
TIMER2TCR	0x1832-0x1833	2	DSP 定时器 2, 控制寄存器
保留	0x1834-0x1835	2	
TIMER2TPR	0x1836-0x1837	2	DSP 定时器 2, 预分频寄存器
TIMER2TPRH	0x1838-0x1839	2	DSP 定时器 2, 预分频寄存器高电平
保留	0x183A-0x1889	80	

4.4.3. 增强型 PWM 模块

RV335 器件包含高达 6 个增强型 PWM (ePWM) 模块 (ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6)。图 4-17 显示时基计数器同步方案 3。图 4-18 显示了与 ePWM 互连的信号。



- A. 默认情况下, ePWM 和 HRPWM 寄存器被映射到外设帧 1 (PF1)。表 18 显示该配置。重新映射寄存器至外设帧 3 (PF3) 来启用 DMA 访问, MAPCNF 寄存器 (地址 0x702E) 的位 0 (MAPEPWM) 必须被设置为 1。表 19 显示重新映射的配置。

图 4-17 时基计数器同步方案 3

表 4-10 ePWM 控制和状态寄存器 (PF1 中的默认配置)

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(字节) /影子寄存器	说明
TBCTL	0xD000	0xD080	0xD100	0xD180	0xD200	0xD280	2/0	时基控制寄存器
TBSTS	0xD002	0xD082	0xD102	0xD182	0xD202	0xD282	2/0	时基状态寄存器
TBPHSHR	0xD004	0xD084	0xD104	0xD184	0xD204	0xD284	2/0	时基相位 HRPWM 寄存器
TBPHS	0xD006	0xD086	0xD106	0xD186	0xD206	0xD286	2/0	时基相位寄存器
TBCTR	0xD008	0xD088	0xD108	0xD188	0xD208	0xD288	2/0	时基计数器寄存器
TBPRD	0xD00A	0xD08A	0xD10A	0xD18A	0xD20A	0xD28A	2/2	时基周期寄存器集
CMPCTL	0xD00E	0xD08E	0xD10E	0xD18E	0xD20E	0xD28E	2/0	计数器比较控制寄存器
CMPAHR	0xD010	0xD090	0xD110	0xD190	0xD210	0xD290	2/2	时基比较 A HRPWM 寄存器
CMPA	0xD012	0xD092	0xD112	0xD192	0xD212	0xD292	2/2	计数器比较 A 寄存器集
CMPB	0xD014	0xD094	0xD114	0xD194	0xD214	0xD294	2/2	计数器比较 B 寄存器集
AQCTLA	0xD016	0xD096	0xD116	0xD196	0xD216	0xD296	2/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0xD018	0xD098	0xD118	0xD198	0xD218	0xD298	2/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0xD01A	0xD09A	0xD11A	0xD19A	0xD21A	0xD29A	2/0	操作限定器软件强制寄存器
AQCSFRC	0xD01C	0xD09C	0xD11C	0xD19C	0xD21C	0xD29C	2/2	操作限定器连续 S/W 强制寄存器集
DBCTL	0xD01E	0xD09E	0xD11E	0xD19E	0xD21E	0xD29E	2/2	死区生成器控制寄存器
DBRED	0xD020	0xD0A0	0xD120	0xD1A0	0xD220	0xD2A0	2/0	死区生成器上升沿延迟计数寄存器
DBFED	0xD022	0xD0A2	0xD122	0xD1A2	0xD222	0xD2A2	2/0	死区生成器下降沿延迟计数寄存器
TZSEL	0xD024	0xD0A4	0xD124	0xD1A4	0xD224	0xD2A4	2/0	触发区选择寄存器
TZCTL	0xD026	0xD0A6	0xD126	0xD1A6	0xD226	0xD2A6	2/0	触发区控制寄存器
TZEINT	0xD028	0xD0A8	0xD128	0xD1A8	0xD228	0xD2A8	2/0	触发区启用中断寄存器
TZFLG	0xD02A	0xD0AA	0xD12A	0xD1AA	0xD22A	0xD2AA	2/0	触发区标志寄存器

TZCLR	0xD02C	0xD0AC	0xD12C	0xD1AC	0xD22C	0xD2AC	2/0	触发区清除寄存器
TZFRC	0xD02E	0xD0AE	0xD12E	0xD1AE	0xD22E	0xD2AE	2/0	触发区强制寄存器
ETSEL	0xD030	0xD0B0	0xD130	0xD1B0	0xD230	0xD2B0	2/0	事件触发器选择寄存器
ETPS	0xD032	0xD0B2	0xD132	0xD1B2	0xD232	0xD2B2	2/0	事件触发器预分频寄存器
ETFLG	0xD034	0xD0B4	0xD134	0xD1B4	0xD234	0xD2B4	2/0	事件触发器标志寄存器
ETCLR	0xD036	0xD0B6	0xD136	0xD1B6	0xD236	0xD2B6	2/0	事件触发器清除寄存器
ETFRC	0xD038	0xD0B8	0xD138	0xD1B8	0xD238	0xD2B8	2/0	事件触发器强制寄存器
PCCTL	0xD03A	0xD0BA	0xD13A	0xD1BA	0xD23A	0xD2BA	2/0	PWM 斩波器控制寄存器
HRCNFG	0xD03C	0xD0BC	0xD13C	0xD1BC	0xD23C	0xD2BC	2/0	HRPWM 配置寄存器

表 4-11 ePWM 控制和状态寄存器(在 PF3 中重新映射的配置-可由 DMA 访问)

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(字节)/ 影子寄存器	说明
TBCTL	0xB000	0xB080	0xB100	0xB180	0xB200	0xB280	2/0	时基控制寄存器
TBSTS	0xB002	0xB082	0xB102	0xB182	0xB202	0xB282	2/0	时基状态寄存器
TBPHSHR	0xB004	0xB084	0xB104	0xB184	0xB204	0xB284	2/0	时基相位 HRPWM 寄存器
TBPHS	0xB006	0xB086	0xB106	0xB186	0xB206	0xB286	2/0	时基相位寄存器
TBCTR	0xB008	0xB088	0xB108	0xB188	0xB208	0xB288	2/0	时基计数器寄存器
TBPRD	0xB00A	0xB08A	0xB10A	0xB18A	0xB20A	0xB28A	2/2	时基周期寄存器集
CMPCTL	0xB00C	0xB08C	0xB10C	0xB18C	0xB20C	0xB28C	2/0	计数器比较控制寄存器
CMPAHR	0xB00E	0xB08E	0xB10E	0xB18E	0xB20E	0xB28E	2/2	时基比较 A HRPWM 寄存器
CMPA	0xB010	0xB090	0xB110	0xB190	0xB210	0xB290	2/2	计数器比较 A 寄存器设置
CMPB	0xB012	0xB092	0xB112	0xB192	0xB212	0xB292	2/2	计数器比较 B 寄存器设置
AQCTLA	0xB014	0xB094	0xB114	0xB194	0xB214	0xB294	2/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0xB016	0xB096	0xB116	0xB196	0xB216	0xB296	2/0	用于输出 B 的操作

								限定器控制寄存器
AQSFRC	0xB018	0xB098	0xB118	0xB198	0xB218	0xB298	2/0	操作限定器软件强制寄存器
AQCSFRC	0xB01A	0xB09A	0xB11A	0xB19A	0xB21A	0xB29A	2/2	操作限定器连续 S/W 强制寄存器设置
DBCTL	0xB01C	0xB09C	0xB11C	0xB19C	0xB21C	0xB29C	2/2	死区生成器控制寄存器
DBRED	0xB01E	0xB09E	0xB11E	0xB19E	0xB21E	0xB29E	2/0	死区生成器上升沿延迟计数寄存器
DBFED	0xB020	0xB0A0	0xB120	0xB1A0	0xB220	0xB2A0	2/0	死区生成器下降沿延迟计数寄存器
TZSEL	0xB022	0xB0A2	0xB122	0xB1A2	0xB222	0xB2A2	2/0	触发区选择寄存器
TZCTL	0xB024	0xB0A4	0xB124	0xB1A4	0xB224	0xB2A4	2/0	触发区控制寄存器
TZEINT	0xB026	0xB0A6	0xB126	0xB1A6	0xB226	0xB2A6	2/0	触发区启用中断寄存器
TZFLG	0xB028	0xB0A8	0xB128	0xB1A8	0xB228	0xB2A8	2/0	触发区标志寄存器
TZCLR	0xB02A	0xB0AA	0xB12A	0xB1AA	0xB22A	0xB2AA	2/0	触发区清除寄存器
TZFRC	0xB02C	0xB0AC	0xB12C	0xB1AC	0xB22C	0xB2AC	2/0	触发区强制寄存器
ETSEL	0xB02E	0xB0AE	0xB12E	0xB1AE	0xB22E	0xB2AE	2/0	事件触发器选择寄存器
ETPS	0xB030	0xB0B0	0xB130	0xB1B0	0xB230	0xB2B0	2/0	事件触发器预分频寄存器
ETFLG	0xB032	0xB0B2	0xB132	0xB1B2	0xB232	0xB2B2	2/0	事件触发器标志寄存器
ETCLR	0xB034	0xB0B4	0xB134	0xB1B4	0xB234	0xB2B4	2/0	事件触发器清除寄存器
ETFRC	0xB036	0xB0B6	0xB136	0xB1B6	0xB236	0xB2B6	2/0	事件触发器强制寄存器
PCCTL	0xB038	0xB0B8	0xB138	0xB1B8	0xB238	0xB2B8	2/0	PWM 斩波器控制寄存器
HRCNFG	0xB03A	0xB0BA	0xB13A	0xB1BA	0xB23A	0xB2BA	2/0	HRPWM 配置寄存器

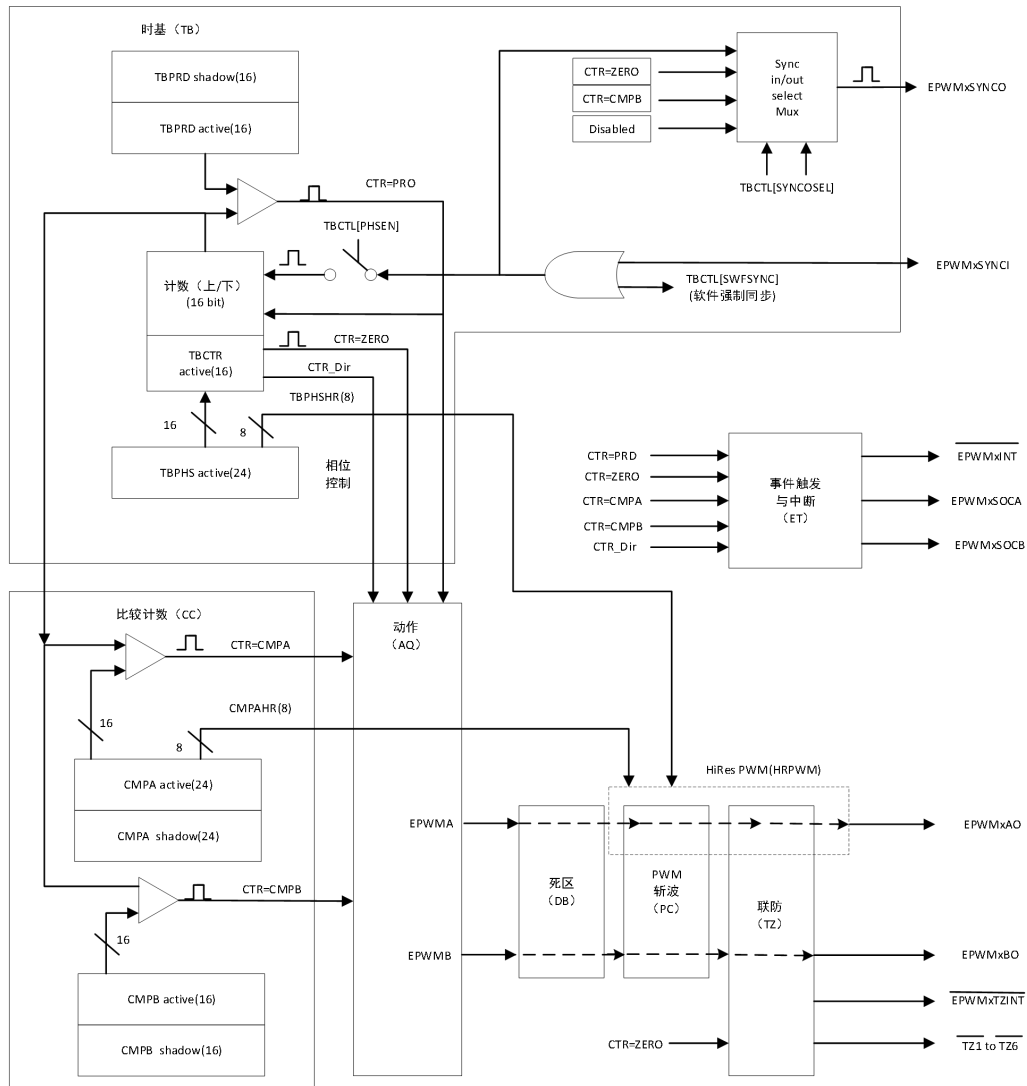


图 4-18 ePWM 子模块显示关键内部信号互连

4.4.4. 高分辨率 PWM(HRPWM)

HRPWM 模块提供 PWM 分辨率(时间粒度), 此分辨率好于使用传统数字 PWM 方法所能实现的分辨率。HRPWM 模块的关键点为:

- 扩展了传统数字 PWM 的时间分辨率能力。
- 通常在有效 PWM 分辨率下降到低于大约 9-10 位时使用。 当用一个 100MHz 的DSP / 系统时钟时, PWM 频率大于大约 200kHz 时会发生这种情况。
- 这个功能可被用在占空比和相移控制方法中。
- 通过对 ePWM 模块的比较 A 和相位寄存器的扩展来控制更加精细的时间粒度控制或者边沿定位。

- HRPWM 功能，只在 ePWM 模块的 A 信号路径上提供(也就是说，在 EPWMxA 输出上提供)。EPWMxB 输出具有传统 PWM 功能。

4.4.5. 增强型 CAP 模块

RV335器件包括6个增强型捕获 (eCAP) 模块 (eCAP1, eCAP2, eCAP3, eCAP4, eCAP5, 和 eCAP6)。图 4-19显示了一个模块的功能方框图。

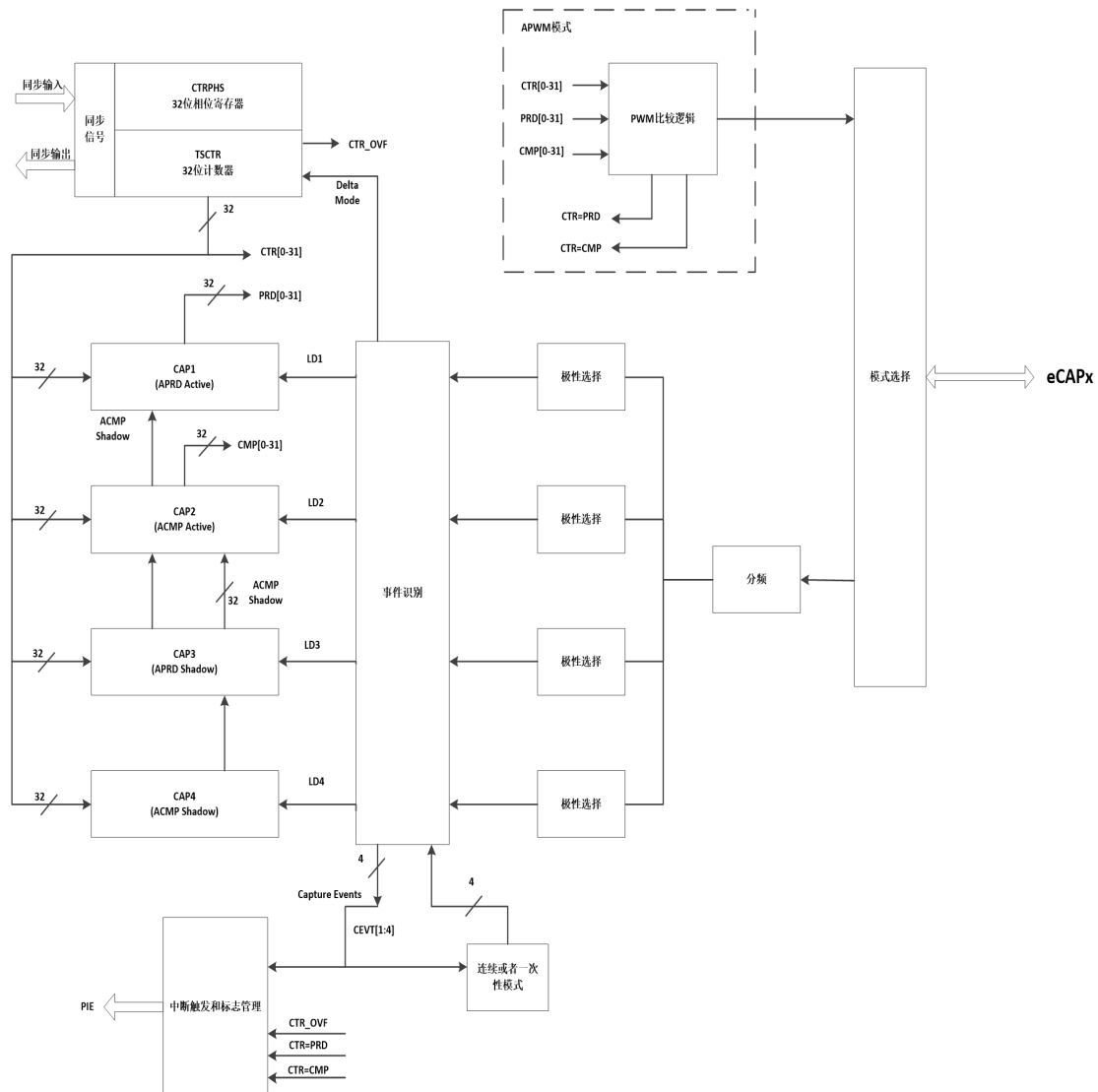


图 4-19 eCAP 功能方框图

eCAP 模块以 SYSCLKOUT 速率计时。

PCLKCR1 寄存器中的时钟使能位(ECAP1ENCLK, ECAP2ENCLK, ECAP3ENCLK, ECAP4ENCLK, ECAP5ENCLK, ECAP6ENCLK)被单独用来关闭 eCAP 模块(针对低功耗运行)。复位后, ECAP1ENCLK, ECAP2ENCLK,

ECAP3ENCLK, ECAP4ENCLK, ECAP5ENCLK 和 ECAP6ENCLK 被设为低电平，表明外设时钟关闭。

表 4-12 eCAP 控制和状态寄存器

名称	eCAP1	eCAP2	eCAP3	eCAP4	eCAP5	eCAP6	大小 (字节)	说明
TSCTR	0xD400	0xD440	0xD480	0xD4C0	0xD500	0xD540	4	时间戳计数器
CTRPHS	0xD404	0xD444	0xD484	0xD4C4	0xD504	0xD544	4	计数器相位偏移值寄存器
CAP1	0xD408	0xD448	0xD488	0xD4C8	0xD508	0xD548	4	捕捉 1 寄存器
CAP2	0xD40C	0xD44C	0xD48C	0xD4CC	0xD50C	0xD54C	4	捕捉 2 寄存器
CAP3	0xD410	0xD450	0xD490	0xD4D0	0xD510	0xD550	4	捕捉 3 寄存器
CAP4	0xD414	0xD454	0xD494	0xD4D4	0xD514	0xD554	4	捕捉 4 寄存器
保留	0xD418- 0xD427	0xD458- 0xD467	0xD498- 0xD4A7	0xD4D8- 0xD4E7	0xD518- 0xD527	0xD558- 0xD567	16	保留
ECCTL1	0xD428	0xD468	0xD4A8	0xD4E8	0xD528	0xD568	2	捕捉控制寄存器 1
ECCTL2	0xD42A	0xD46A	0xD4AA	0xD4EA	0xD52A	0xD56A	2	捕捉控制寄存器 2
ECEINT	0xD42C	0xD46C	0xD4AC	0xD4EC	0xD52C	0xD45C	2	捕捉中断使能寄存器
ECFLG	0xD42E	0xD46E	0xD4AE	0xD4EE	0xD52E	0xD45E	2	捕捉中断标志寄存器
ECCLR	0xD430	0xD470	0xD4B0	0xD4F0	0xD530	0xD460	2	捕捉中断清除寄存器
ECFRC	0xD432	0xD472	0xD4B2	0xD4F2	0xD532	0xD462	2	捕捉中断强制寄存器
保留	0xD434- 0xD43F	0xD474- 0xD47F	0xD4B4- 0xD4BF	0xD4F4- 0xD4FF	0xD534- 0xD53F	0xD464- 0xD46F	12	保留

4.4.6. 增强型 QEP 模块

该器件包括高达2个增强型正交编码器(eQEP) 模块(eQEP1, eQEP2)。图 4-20显示了 eQEP 模块的方框图。



表 4-13提供了eQEP寄存器的汇总。

表 4-13 eQEP 控制和状态寄存器

名称	eQEP1 地址	eQEP2 地址	eQEP1 大小 (字节)/ #SHADOW	寄存器说明
QPOSCNT	0xD600	0xD680	4/0	eQEP 位置计数器
QPOSINIT	0xD604	0xD684	4/0	eQEP 初始化位置计数
QPOSMAX	0xD608	0xD688	4/0	eQEP 最大位置计数

QPOSCMP	0xD60C	0xD68C	4/1	eQEP 位置比较
QPOSILAT	0xD610	0xD690	4/0	eQEP 索引位置锁存
QPOSSLAT	0xD614	0xD694	4/0	eQEP 选通脉冲位置锁存
QPOS LAT	0xD618	0xD698	4/0	eQEP 位置锁存
QUTMR	0xD61C	0xD69C	4/0	eQEP 单位定时器
QUPRD	0xD620	0xD6A0	4/0	eQEP 单位周期寄存器
QWDTMR	0xD624	0xD6A4	2/0	eQEP 安全装置定时器
QWDPRD	0xD626	0xD6A6	2/0	eQEP 安全装置周期寄存器
QDECCTL	0xD628	0xD6A8	2/0	eQEP 解码器控制寄存器
QEPCTL	0xD62A	0xD6AA	2/0	eQEP 控制寄存器
QCAPCTL	0xD62C	0xD6AC	2/0	eQEP 捕捉控制寄存器
QPOSCTL	0xD62E	0xD6AE	2/0	eQEP 位置比较控制寄存器
QEINT	0xD630	0xD6B0	2/0	eQEP 中断使能寄存器
QFLG	0xD632	0xD6B2	2/0	eQEP 中断标志寄存器
QCLR	0xD634	0xD6B4	2/0	eQEP 中断清除寄存器
QFRC	0xD636	0xD6B6	2/0	eQEP 中断强制寄存器
QEPSTS	0xD638	0xD6B8	2/0	eQEP 状态寄存器
QCTMR	0xD63A	0xD6BA	2/0	eQEP 捕捉定时器
QCPRD	0xD63C	0xD6BC	2/0	eQEP 捕捉周期寄存器
QCTMRLAT	0xD63E	0xD6BE	2/0	eQEP 捕捉定时器锁存
QCPRDLAT	0xD640	0xD6C0	2/0	eQEP 捕捉周期锁存
保留	0xD642- 0xD67F	0xD6C2-0xD6FF	62/0	

4.4.7. 模数转换器(ADC 模块)

图 4-21 显示了一个 ADC 模块的简化功能方框图 ADC 模块由一个带有内置采样保持 (S/H) 电路的 12 位 ADC 组成。ADC 模块的功能包括：

- 具有内置 S/H 的 12 位 ADC 内核。
- 模拟输入：0.0V 至 3.0V(高于 3.0V 的电压产生满刻度转换结果)。
- 快速转换率：在 25MHz ADC 时钟 12.5MSPS 上时高达 80ns。
- 16 个专用 ADC 通道。每次采样/保持都有复用的 8 通道。
- 自动定序功能在单次会话中可提供多达 16 次“自动转换”。可将每次转换编程为选择 16 个输入信道中的任何一个。
- 序列发生器可运行为 2 个独立的 8 态序列发生器，或作为 1 个较大的 16

态序列发生器(即 2 个级联的 8 态序列发生器)。

- 用于存储转换值的 16 个结果寄存器(可分别寻址)

- 输入模拟电压的数值源自:

Digital Value = 0

When input $\leq 0V$

Digital Value = $4096 \times \frac{\text{Input Analog Voltage} - \text{ADCLO}}{3}$

When $0V < \text{input} < 3V$

Digital Value = 4095

When input $\geq 3V$

- 作为转换开始 (SOC) 序列源的多个触发器
 - S/W - 软件立即启动
 - ePWMM 转换开始
 - XINT2 ADC 转换开始
- 灵活的中断控制允许每个序列结束 (EOS) 或每个其它 EOS 上的中断请求。
- 序列发生器可运行于“启/停”模式, 从而实现多个“时序触发器”同步转换。
- SOCA 和 SOCB 触发器可独立运行在双序列发生器模式中。
- 采样保持 (S/H) 采集时间窗口具有独立的预分频控制。

RV335 器件中的 ADC 模块已经被增强以便为 ePWM 外设提供灵活接口。ADC 接口被建立在一个快速, 12 位 ADC 模块上, 此模块在 25MHzADC 时钟上的快速转换率高达 80ns。ADC 模块有 16 个通道, 可配置为两个独立的 8 通道模块。可将 2 个独立的 8 信道模块级联成 1 个 16 信道模块。尽管有多个输入通道和 2 个序列发生器, 但在 ADC 模块中只有一个转换器。图 4-21 显示了 ADC 模块的方框图。

2 个 8 通道模块可自动对一系列转换定序, 每个模块可以通过模拟 MUX 选择其中一个可用 8 信道。在级联模式中, 自动序列发生器将作为一个单个 16 通道序列发生器使用。在每个序列发生器上, 一旦转换完成, 所选的通道值将存储在各自的 RESULT 寄存器中。系统可使用自动定序功能多次转换同一信道, 以使用户执行过采样算法。这种过采样算法可提供比传统的单一采样转换结果更高的分辨率。

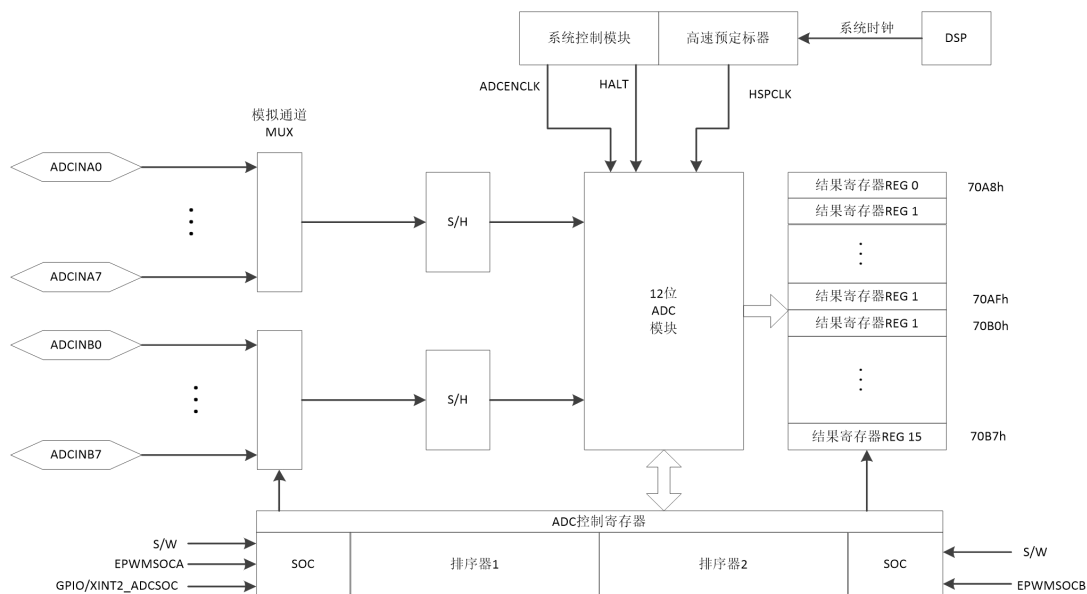
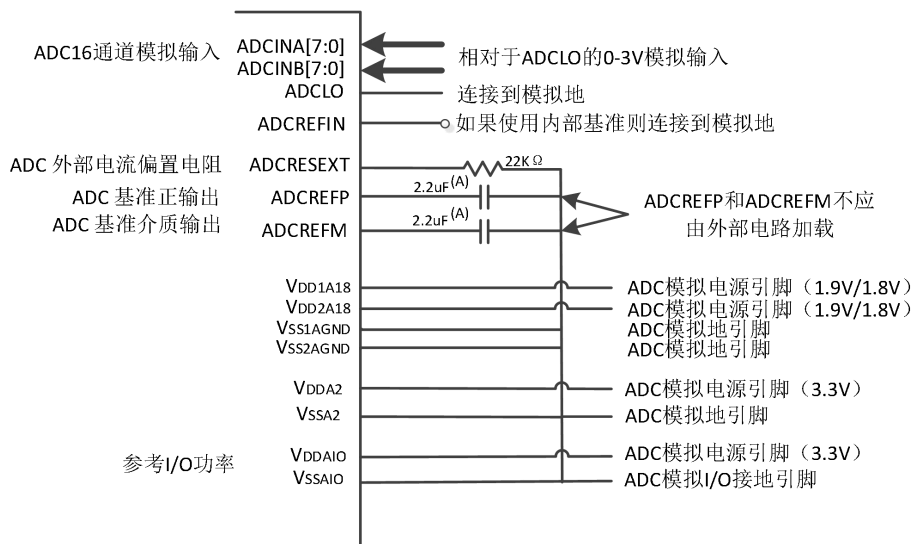


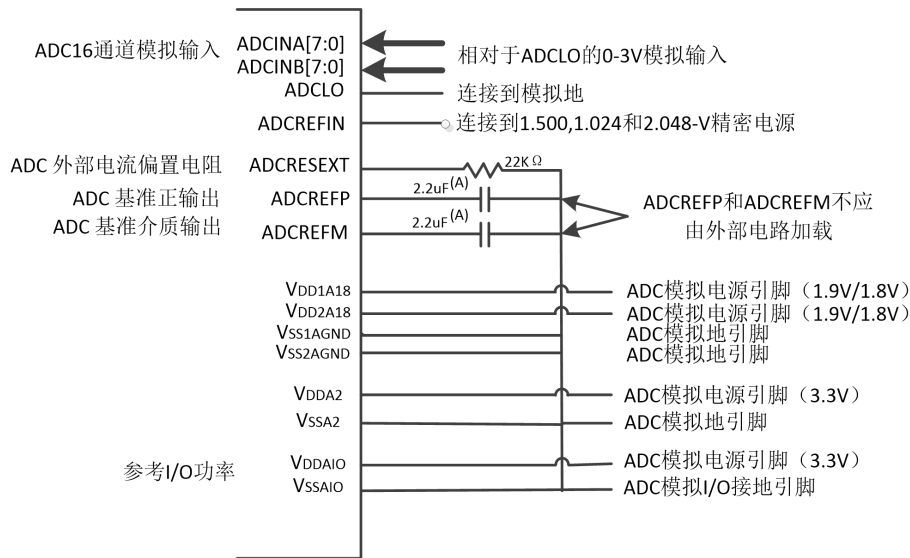
图 4-21 ADC 模块的方框图

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCIN 引脚的走线不应太靠近数字信号通道。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。而且，适当的隔离技术必须被用来将数字电源从 ADC 模块电源引脚 (VDD1A18, VDD2A18, VDDA2, VDDAIO) 上隔离。图 4-22 显示针对器件的 ADC 引脚。



- A. TAIYO YUDEN LMK212BJ225MG-T 或等效器件。
- B. 建议在所有电源引脚上使用外部去耦合电容器。
- C. 必须从不会降低 ADC 性能的运算放大器上驱动模拟输入。

图 4-22 带有内部基准的 ADC 引脚连接



- A. TAIYO YUDEN LMK212BJ225MG-T 或者等效器件。
B. 建议在所有电源引脚上使用外部去耦合电容器。
C. 模拟输入必须由一个运算放大器驱动，此运算放大器不会降低 ADC 性能。
D. 根据这个引脚上的电压，通过改变 ADC 基准选择寄存器中的位 15:14 可启用 ADCREFIN 上的外部电压。
总体增益精度将由这个电压源的精度确定。

图 4-23 带有外部基准的 ADC 引脚连接

4.4.8. 多通道缓冲串行端口 (McBSP) 模块

McBSP 模块有以下特性：

- 全双工通信
- 允许连续数据流的双缓冲数据寄存器
- 用于接收和发送的独立成帧和时钟
- 外部移位时钟生成或者一个内部可设定频率移位时钟
- 包括8, 12, 16, 20, 24, 或者 32 位在内的宽数据尺寸选择
- 以 LSB 或者 MSB 开头的 8 位数据传输
- 用于帧同步和数据时钟的可编程极性
- 高度可编程内部时钟和帧生成
- 到工业标准 CODEG、模拟接口芯片 (AIC)、和其它串行连接的 A/D 和 D/A 器件的直接接口
- 与 SPI 兼容器件一起工作
- McBSP 上支持下列应用接口：

- T1/E1 成帧器
 - 符合 IOM-2 的器件
 - AC97 - 兼容器件(提供所需的多相位帧同步功能)
 - IIS - 兼容器件
 - 串行外设接口 (SPI)
- McBSP 时钟速率,

$$CLKG = \frac{CLKSRG}{1 + CLKGDV}$$

在这里, CLKSRG 时钟源可以是 LSPCLK, CLKX, 或者 CLKR。串行端口性能受到 I/O 缓冲器开关速度的影响。内部预分频器必须被调整, 这样, 外设速度将低于 I/O 缓冲器速度限制。

图 4-24显示了 McBSP 模块的方框图。

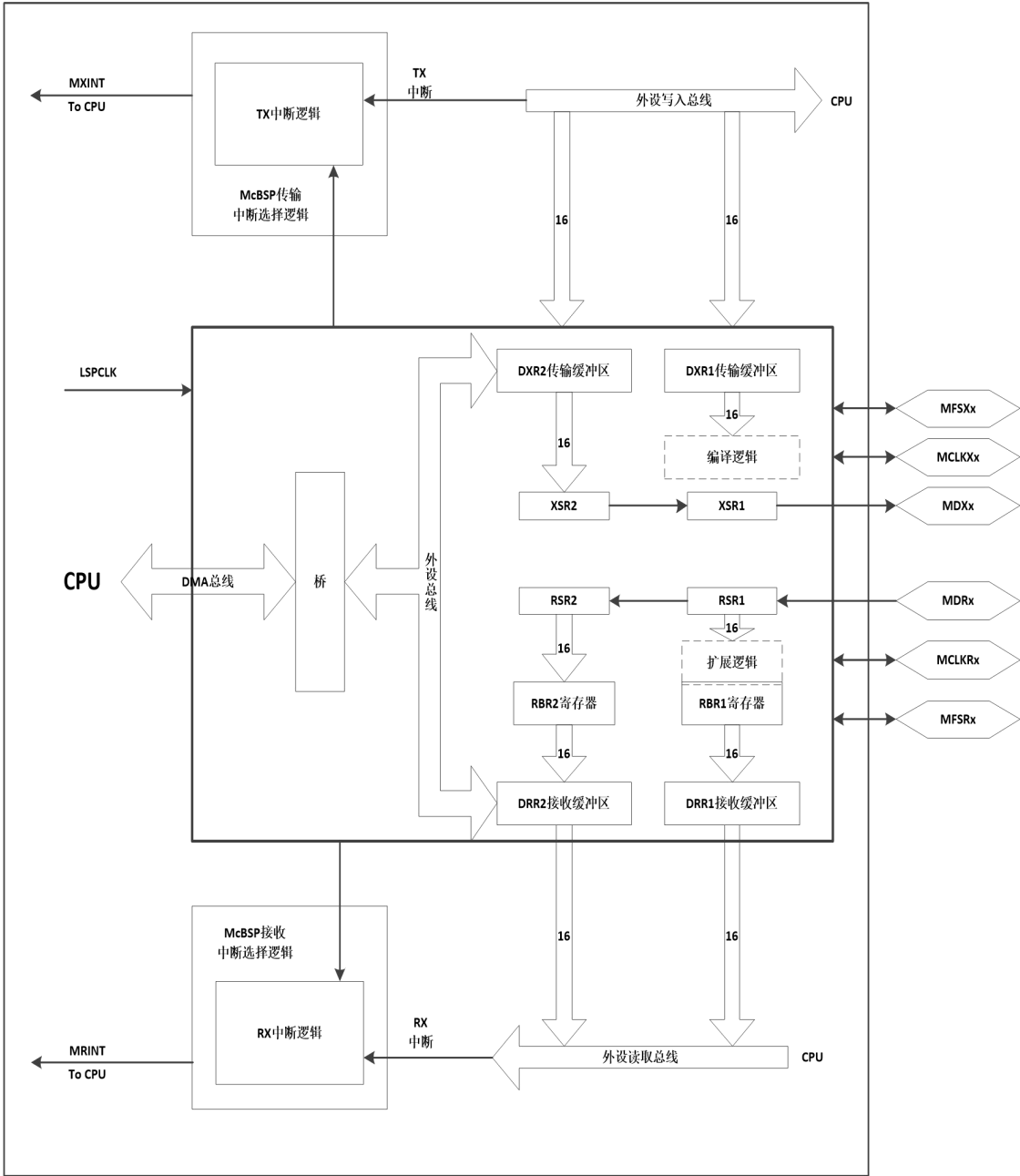


图 4- 24 McBSP 模块

表 4- 14 提供了 McBSP 寄存器的汇总。

表 4- 14 McBSP 寄存器汇总

名称	McBSP-A 地址	McBSP-B 地址	类型	复位值	说明
数据寄存器，接收、发送					
DRR2	0xA000	0xA080	R	0x0000	McBSP 数据接收寄存器 2
DRR1	0xA002	0xA082	R	0x0000	McBSP 数据接收寄存器 1

DXR2	0xA004	0xA084	W	0x0000	McBSP 数据发送寄存器 2
DXR1	0xA006	0xA086	W	0x0000	McBSP 数据发送寄存器 1
McBSP 控制寄存器					
SPCR2	0xA008	0xA088	读/写	0x0000	McBSP 串行端口控制寄存器 2
SPCR1	0xA00A	0xA08A	读/写	0x0000	McBSP 串行端口控制寄存器 1
RCR2	0xA00C	0xA08C	读/写	0x0000	McBSP 接收控制寄存器 2
RCR1	0xA00E	0xA08E	读/写	0x0000	McBSP 接收控制寄存器 1
XCR2	0xA010	0xA090	读/写	0x0000	McBSP 发送控制寄存器 2
XCR1	0xA012	0xA092	读/写	0x0000	McBSP 发送控制寄存器 1
SRGR2	0xA014	0xA094	读/写	0x0000	McBSP 采样率发生器寄存器 2
SRGR1	0xA016	0xA096	读/写	0x0000	McBSP 采样率发生器寄存器 1
多通道控制寄存器					
MCR2	0xA018	0xA098	读/写	0x0000	McBSP 多通道寄存器 2
MCR1	0xA01A	0xA09A	读/写	0x0000	McBSP 多通道寄存器 1
RCERA	0xA01C	0xA09C	读/写	0x0000	McBSP 接收通道使能寄存器分区 A
RCERB	0xA01E	0xA09E	读/写	0x0000	McBSP 接收通道使能寄存器分区 B
XCERA	0xA020	0xA0A0	读/写	0x0000	McBSP 发送通道使能寄存器分区 A
XCERB	0xA022	0xA0A2	读/写	0x0000	McBSP 发送通道使能寄存器分区 B
PCR	0xA024	0xA0A4	读/写	0x0000	McBSP 引脚控制寄存器
RCERC	0xA026	0xA0A6	读/写	0x0000	McBSP 接收通道使能寄存器分区 C
RCERD	0xA028	0xA0A8	读/写	0x0000	McBSP 接收通道使能寄存器分区 D
XCERC	0xA02A	0xA0AA	读/写	0x0000	McBSP 发送通道使能寄存器分区 C
XCERD	0xA02C	0xA0AC	读/写	0x0000	McBSP 发送通道使能寄存器分区 D
RCERE	0xA02E	0xA0AE	读/写	0x0000	McBSP 接收通道使能寄存器分区 E
RCERF	0xA030	0xA0B0	读/写	0x0000	McBSP 接收通道使能寄存器分区 F
XCERE	0xA032	0xA0B2	读/写	0x0000	McBSP 发送通道使能寄存器分区 E
XCERF	0xA034	0xA0B4	读/写	0x0000	McBSP 发送通道使能寄存器分区 F
RCERG	0xA036	0xA0B6	读/写	0x0000	McBSP 接收通道使能寄存器分区 G
RCERH	0xA038	0xA0B8	读/写	0x0000	McBSP 接收通道使能寄存器分区 H
XCERG	0xA03A	0xA0BA	读/写	0x0000	McBSP 发送通道使能寄存器分区 G
XCERH	0xA03C	0xA0BC	读/写	0x0000	McBSP 发送通道使能寄存器分区 H
MFFINT	0xA046	0xA0C6	读/写	0x0000	McBSP 中断使能寄存器

4.4.9. 增强型控制器局域网 (eCAN) 模块(eCAN-A 和 eCAN-B)

CAN 模块有下列特性:

- 与 CAN 协议，版本 2.0B 完全兼容
- 支持高达 1Mbps 的数据速率
- 32 个邮箱，每一个邮箱有下列属性：
 - 可配置为接收或者发送
 - 可使用标准或者扩展标识符进行配置
 - 有一个可编辑接收屏蔽
 - 支持数据和远程帧
 - 由0至8字节数据组成
 - 在接收和发送消息上使用一个32位时间戳
 - 防止接收新消息
 - 保持发送消息的动态可编辑优先级
 - 采用一个具有两个中断级别的可编辑中断机制
 - 在发送或者接收超时采用一个可编辑报警
- 低功耗模式
- 总线活动上的可编辑唤醒
- 对远程请求消息的自动答复
- 丢失仲裁或者错误情况下的帧自动重传
- 由一个特定消息同步的32位本地网络时间计数器(与邮箱6协同通信)
- 自测模式
 - 运行在接收其自身消息的回路模式。 提供一个“假”确认，从而无需另外节点提供确认位。

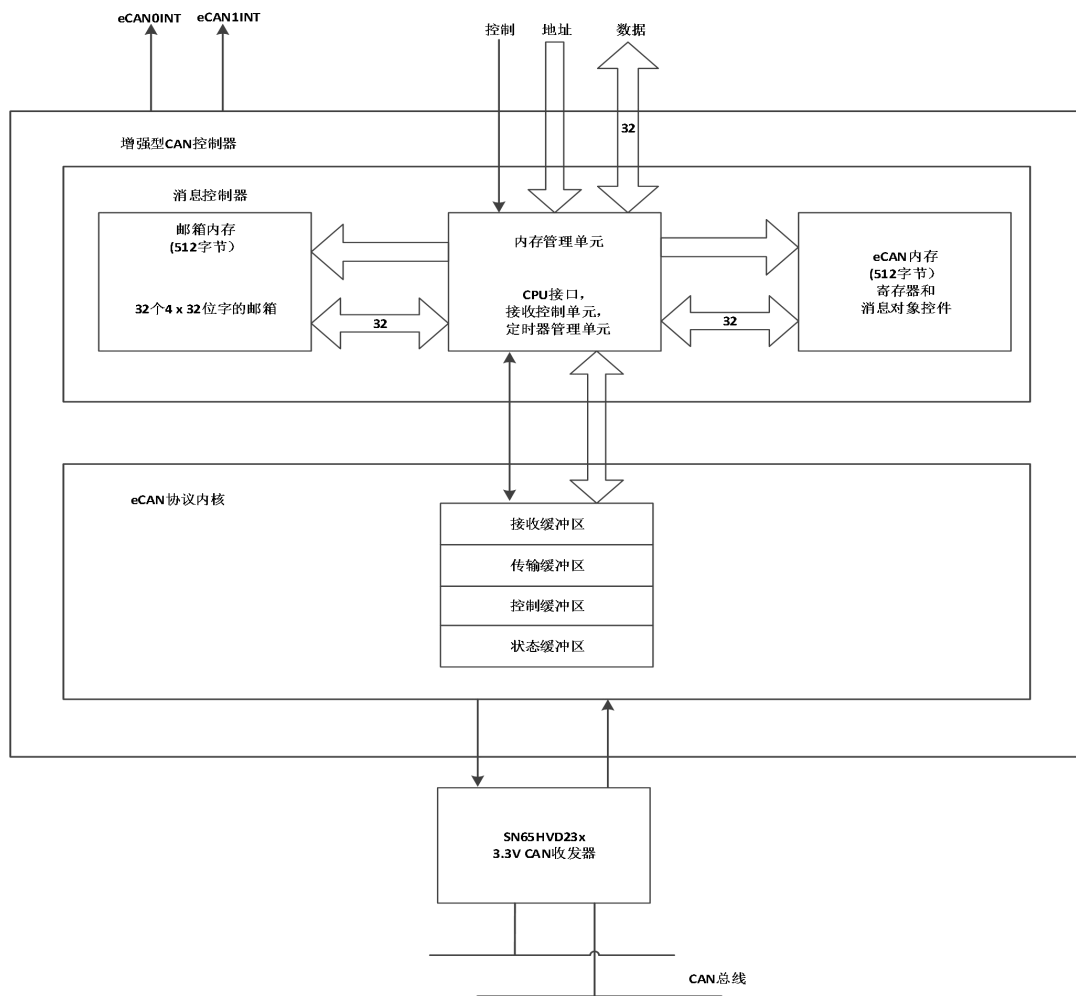


图 4-25 eCAN 方框图和接口电路图

表 4-15 3.3V eCAN 收发器

器件型号	电源电压	低功耗模式	斜率控制	VREF	其它	TA
SN65HVD230	3.3V	待机	可调节	支持	-	-40°C 至 85°C
SN65HVD230Q	3.3V	待机	可调节	支持	-	-40°C 至 125°C
SN65HVD231	3.3V	睡眠	可调节	支持	-	-40°C 至 85°C
SN65HVD231Q	3.3V	睡眠	可调节	支持	-	-40°C 至 125°C
SN65HVD232	3.3V	无	无	无	-	-40°C 至 85°C
SN65HVD232Q	3.3V	无	无	无	-	-40°C 至 125°C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	-40°C 至 125°C
SN65HVD234	3.3V	待机和休眠	可调节	无	-	-40°C 至 125°C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	-40°C 至 125°C

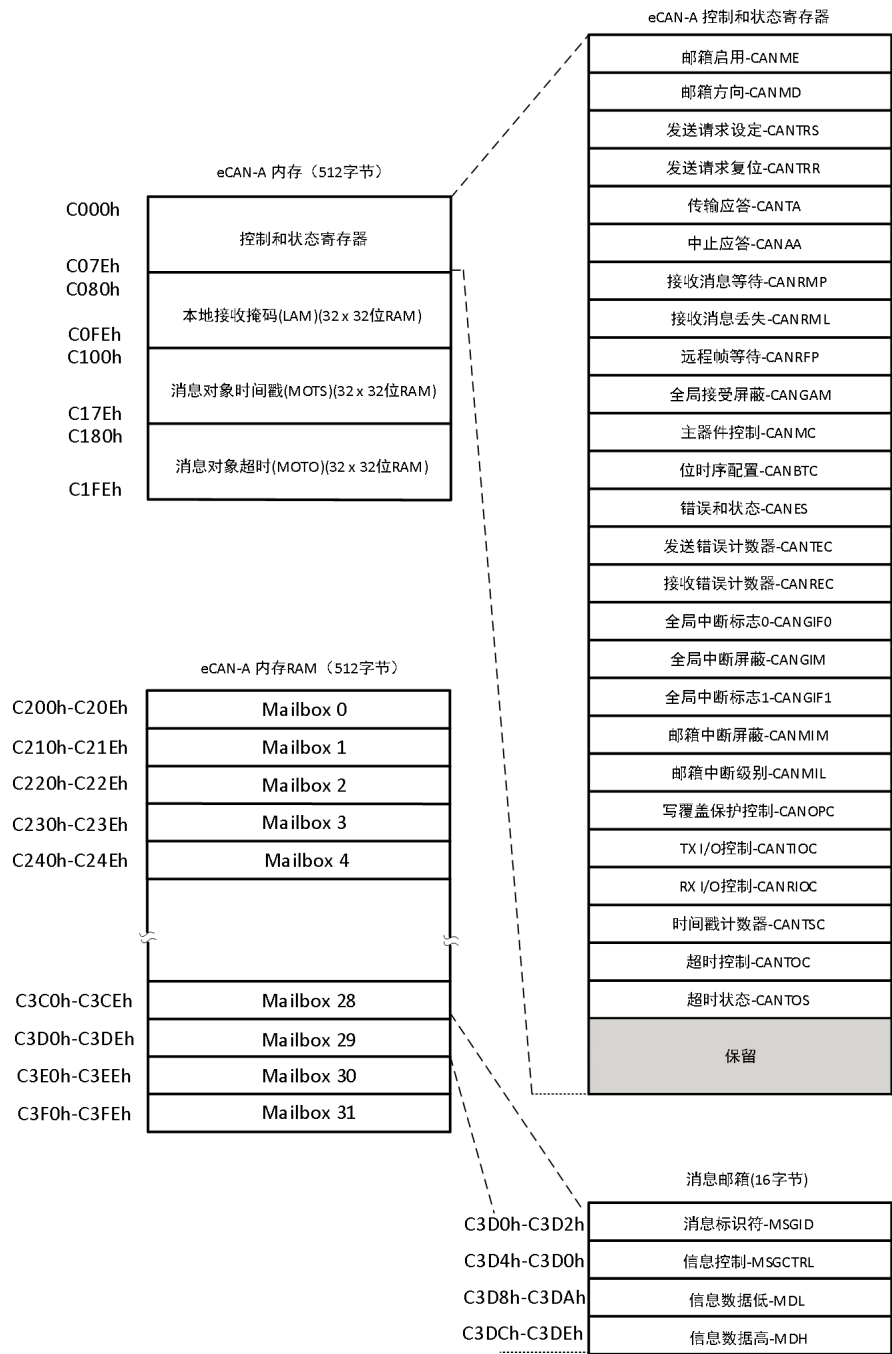


图 4-26 eCAN-A 内存映射

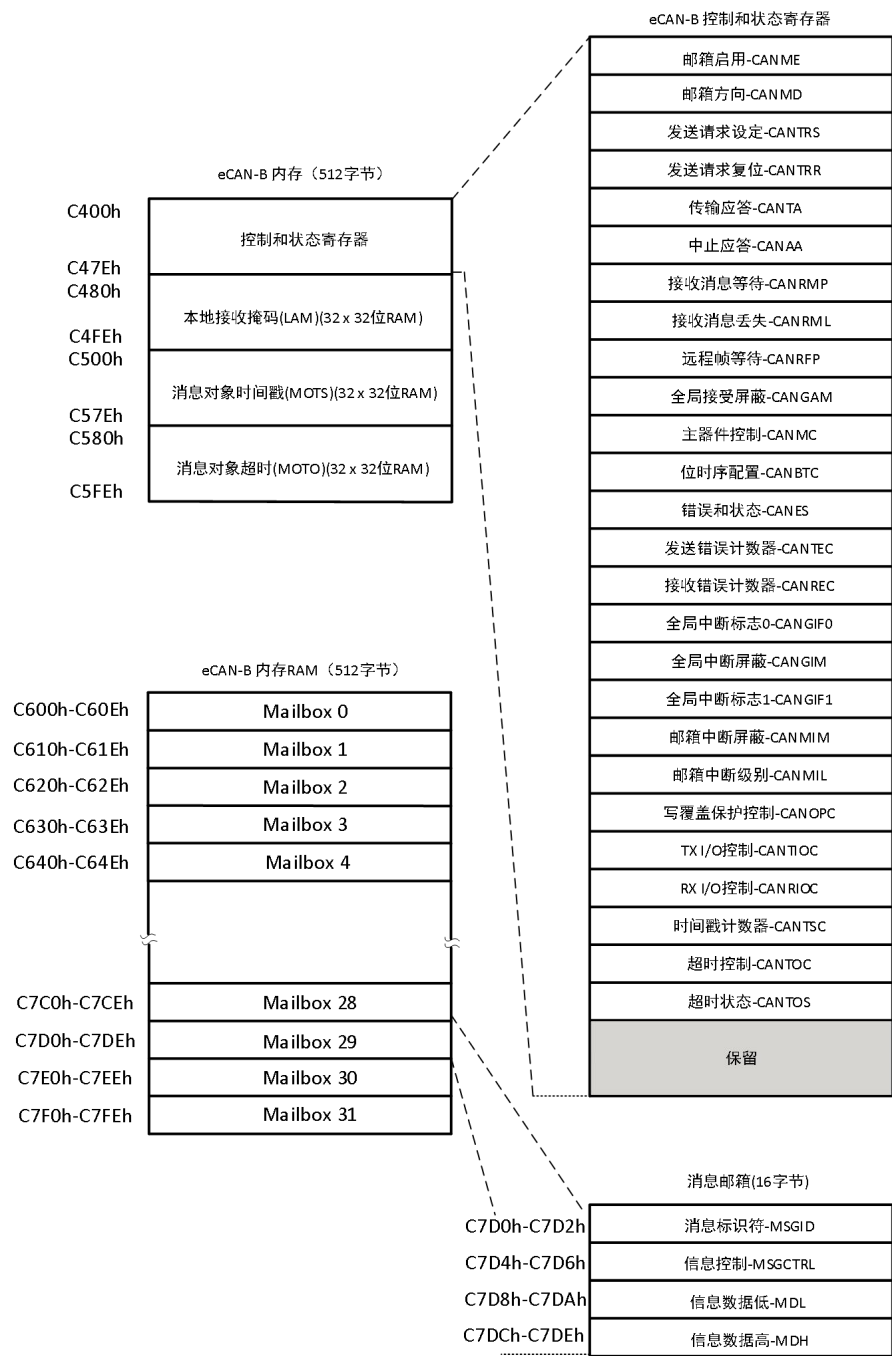


图 4-27 eCAN-B 内存映射

表 4-16中列出的CAN寄存器由DSP用于配置和控制CAN控制器和消息目标。eCAN 控制寄存器只支持 32位读取/写入操作。邮箱RAM可进行 16位或者32位访问。32位访问与一个偶边界对齐。

表 4-16 CAN 寄存器映射⁽¹⁾

寄存器名称	eCAN-A 地址	eCAN-B 地址	大小 (字节)	说明
-------	--------------	--------------	------------	----

CANME	0xC000	0xC400	4	邮箱启用
CANMD	0xC004	0xC404	4	邮箱方向
CANTRS	0xC008	0xC408	4	发送请求设定
CANTRR	0xC00C	0xC40C	4	发送请求复位
CANTA	0xC010	0xC410	4	传输确认
CANAA	0xC014	0xC414	4	中止确认
CANRMP	0xC018	0xC418	4	接收消息等待
CANRML	0xC01C	0xC41C	4	接收消息丢失
CANRFP	0xC020	0xC420	4	远程帧等待
CANGAM	0xC024	0xC424	4	全局接受屏蔽
CANMC	0xC028	0xC428	4	主器件控制
CANBTC	0xC02C	0xC42C	4	位时序配置
CANES	0xC030	0xC430	4	错误和状态
CANTEC	0xC034	0xC434	4	发送错误计数器
CANREC	0xC038	0xC438	4	接收错误计数器
CANGIF0	0xC03C	0xC43C	4	全局中断标志 0
CANGIM	0xC040	0xC440	4	全局中断屏蔽
CANGIF1	0xC044	0xC444	4	全局中断标志 1
CANMIM	0xC048	0xC448	4	邮箱中断屏蔽
CANMIL	0xC04C	0xC44C	4	邮箱中断级别
CANOPC	0xC050	0xC450	4	写覆盖保护控制
CANTIOC	0xC054	0xC454	4	TX I/O 控制
CANRIOC	0xC058	0xC458	4	RX I/O 控制
CANTSC	0xC05C	0xC45C	4	时间戳计数器(在 SCC 模式中保留)
CANTOC	0xC060	0xC460	4	超时控制(在 SCC 模式中保留)
CANTOS	0xC064	0xC464	4	超时状态(在 SCC 模式中保留)

(1) 这些寄存器被映射至外设帧 1。

4.4.10. 串行通信接口 (SCI) 模块 (SCI-A, SCI-B, SCI-C)

该器件包括三个串行通信接口(SCI)模块。SCI 模块支持 DSP 与其它异步外设之间的使用标准非归零码 (NRZ) 格式的数字通信。SCI 接收器和发射器是双缓冲的, 并且它们中的每一个有其自身独立的使能和中断位。两个器件都可独立或者同时地运行在全双工模式。为了确保数据完整性, SCI 在中断检测、奇偶校验、超载、和组帧错误方面对接收到的数据进行检查。通过一个 16 位波特率选择寄存器, 可将比特率设定为超过 65000 个不同的速度。

每个 SCI 模块的特性包括:

- 两个外部引脚:

- SCITXD: SCI 发送-输出引脚
- SCIRXD: SCI 接收-输入引脚

注释: 两个引脚如果不被用于 SCI 的话, 可被用作 GPIO。

- 波特率被设定为64K个不同速率:

$$\text{Baudrate} = \frac{\text{LSPCLK}}{(\text{BRR}+1)*8} \quad \text{When BRR} \neq 0$$

$$\text{Baudrate} = \frac{\text{LSPCLK}}{16} \quad \text{When BRR} = 0$$

- 数据-字格式

- 一个开始位
- 数据-字长度可被设定为1至8位
- 可选偶/奇/无奇偶校验位
- 一个或者两个停止位

- 四个错误检测标志: 奇偶、超载、组帧、和中断检测

- 两个唤醒多处理器模式: 空闲线路和地址位

- 半双工或者全双工运行

- 双缓冲接收和发送功能

- 可通过带有状态标志的中断驱动或者轮询算法来完成发射器和接收器操作。

- 发射器: TXRDY 标志(发射器缓冲寄存器已经准备好接收另外字符)和 TX EMPTY (TX 空)标志(发射器移位寄存器已空)

- 接收器: RXRDY 标志(接收器缓冲寄存器已经准备好接收另外的字符), BRKDT 标志(发生了中断条件), 和 RX ERROR 错误标志(监控四个中断条件)

- 用于发射器和接收器中断的独立使能位(除了 BRKDT)

- NRZ(非归零码)格式

增强型特性:

- 自动波特率检测硬件逻辑电路
- 16 级发送/接收 FIFO

SCI 端口运行由表 4-17，表 4-18和表 4-19中列出的寄存器配置和控制。

表 4-17 SCI-A 寄存器⁽¹⁾

名称	地址	大小 (字节)	说明
SCICCR A	0xE0A0	2	SCI-A 通信控制寄存器
SCICTL1A	0xE0A2	2	SCI-A 控制寄存器 1
SCIHBAUDA	0xE0A4	2	SCI-A 波特率寄存器，高位
SCILBAUDA	0xE0A6	2	SCI-A 波特率寄存器，低位
SCICTL2A	0xE0A8	2	SCI-A 控制寄存器 2
SCIRXSTA	0xE0AA	2	SCI-A 接收状态寄存器
SCIRXEMUA	0xE0AC	2	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0xE0AE	2	SCI-A 接收数据缓冲寄存器
SCITXBUFFA	0xE0B2	2	SCI-A 发送数据缓冲寄存器
SCIFFTXA ⁽²⁾	0xE0B4	2	SCI-A FIFO 发送寄存器
SCIFFRXA ⁽²⁾	0xE0B6	2	SCI-A FIFO 接收寄存器
SCIFFCTA ⁽²⁾	0xE0B8	2	SCI-A FIFO 控制寄存器
SCIPRIA	0xE0BE	2	SCI-A 优先级控制寄存器

(1)这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2)这些寄存器是用于 FIFO 模式的全新寄存器。

表 4-18 SCI-B 寄存器⁽¹⁾⁽²⁾

名称	地址	大小 (字节)	说明
SCICCRB	0xEEA0	2	SCI-B 通信控制寄存器
SCICTL1B	0xEEA2	2	SCI-B 控制寄存器 1
SCIHBAUDB	0xEEA4	2	SCI-B 波特率寄存器，高位
SCILBAUDB	0xEEA6	2	SCI-B 波特率寄存器，低位
SCICTL2B	0xEEA8	2	SCI-B 控制寄存器 2
SCIRXSTB	0xEEAA	2	SCI-B 接收状态寄存器
SCIRXEMUB	0xEEAC	2	SCI-B 接收仿真数据缓冲寄存器
SCIRXBUFFB	0xEEAE	2	SCI-B 接收数据缓冲寄存器
SCITXBUFFB	0xEEB2	2	SCI-B 发送数据缓冲寄存器
SCIFFTXB ⁽²⁾	0xEEB4	2	SCI-B FIFO 发送寄存器
SCIFFRXB ⁽²⁾	0xEEB6	2	SCI-B FIFO 接收寄存器
SCIFFCTB ⁽²⁾	0xEEB8	2	SCI-B FIFO 控制寄存器

SCIPRIB	0xEEBE	2	SCI-B 优先级控制寄存器
---------	--------	---	----------------

(1) 这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

表 4-19 SCI-C 寄存器⁽¹⁾⁽²⁾

名称	地址	大小 (字节)	说明
SCICCR	0xEEE0	2	SCI-C 通信控制寄存器
SCICTL1C	0xEEE2	2	SCI-C 控制寄存器 1
SCIHBAUDC	0xEEE4	2	SCI-B 波特率寄存器, 高位
SCILBAUDC	0xEEE6	2	SCI-C 波特率寄存器, 低位
SCICTL2C	0xEEE8	2	SCI-C 控制寄存器 2
SCIRXSTC	0xEEEA	2	SCI-C 接收状态寄存器
SCIRXEMUC	0xEEEC	2	SCI-C 接收仿真数据缓冲寄存器
SCIRXBUFC	0xEEEE	2	SCI-C 接收数据缓冲寄存器
SCITXBUFC	0xEEF2	2	SCI-C 传输数据缓冲寄存器
SCIFFTXC ⁽²⁾	0xEEF4	2	SPI-C FIFO 发送寄存器
SCIFFRXC ⁽²⁾	0xEEF6	2	SPI-C FIFO 接收寄存器
SCIFFCTC ⁽²⁾	0xEEF8	2	SPI-C FIFO 控制寄存器
SCIPRC	0xEEFE	2	SPI-C 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

图 4-28 显示了 SCI 模块方框图。

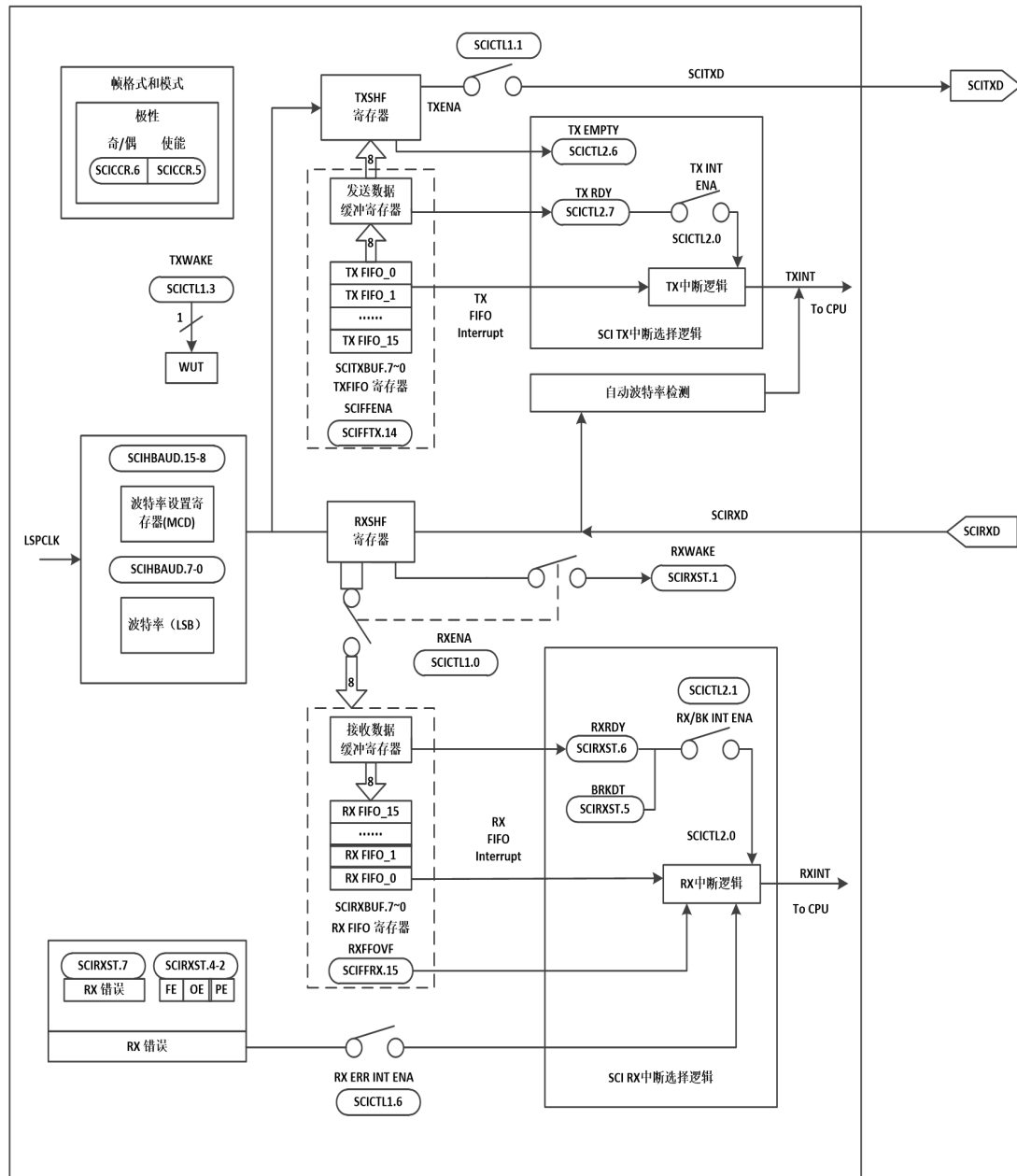


图 4-28 串行通信接口 (SCI) 模块方框图

4.4.11. 串行外设接口 (SPI) 模块 (SPI-A)

此器件包括四引脚串行外设接口 (SPI) 模块。一个 SPI 模块 (SPI-A) 可用。SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度(1至16位)的串行比特流移入和移出器件。SPI用于DSC控制器和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器和 DC等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。

SPI 模块的特性包括：

- 四个外部引脚：
 - SPISOMI: SPI 从器件输出/主器件输入引脚
 - SPISIMO: SPI 从器件输入/主器件输出引脚
 - SPISTE: SPI 从器件发送使能引脚
 - SPICLK: SPI 串行时钟引脚

请注意：如果SPI模块未被使用，所有四个引脚可被用作GPIO。

- 两个运行模式：主控和受控

波特率：125个不同的可编辑速率。

$$\text{Baudrate} = \frac{\text{LSPCLK}}{(\text{SPIBRR}+1)} \quad \text{When SPIBRR}=3 \text{ to } 127$$

$$\text{Baudrate} = \frac{\text{LSPCLK}}{4} \quad \text{When SPIBRR}=0, 1, 2$$

- 数据字长度：一到十六数据位
- 包括四个计时机制(由时钟极性和时钟相位的位控制):
 - 无相位延迟的下降沿：SPICLK高电平有效。SPI 在 SPICLK信号的下降沿上传送数据，而在SPICLK信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK高电平有效。SPI 在 SPICLK信号下降沿的一半周期之前发送数据，而在SPICLK信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK低电平无效。SPI在 SPICLK信号的上升沿上发送数据，而在SPICLK信号的下降沿上接收数据。
 - 有相位延迟的上升沿：SPICLK低电平无效。SPI在 SPICLK信号下降沿之前的半个周期发送数据，而在SPICLK信号的上升沿上接收数据。
- 同时接收和发送操作(发送功能可在软件中被禁用)
- 通过中断驱动或者轮询算法来完成发射器和接收器运行。
- 9 个 SPI 模块控制寄存器：位于控制寄存器内，帧开始地址7040h。
- 增强型特性：
 - 16 级发送/接收 FIFO
 - 经延迟的发射控制

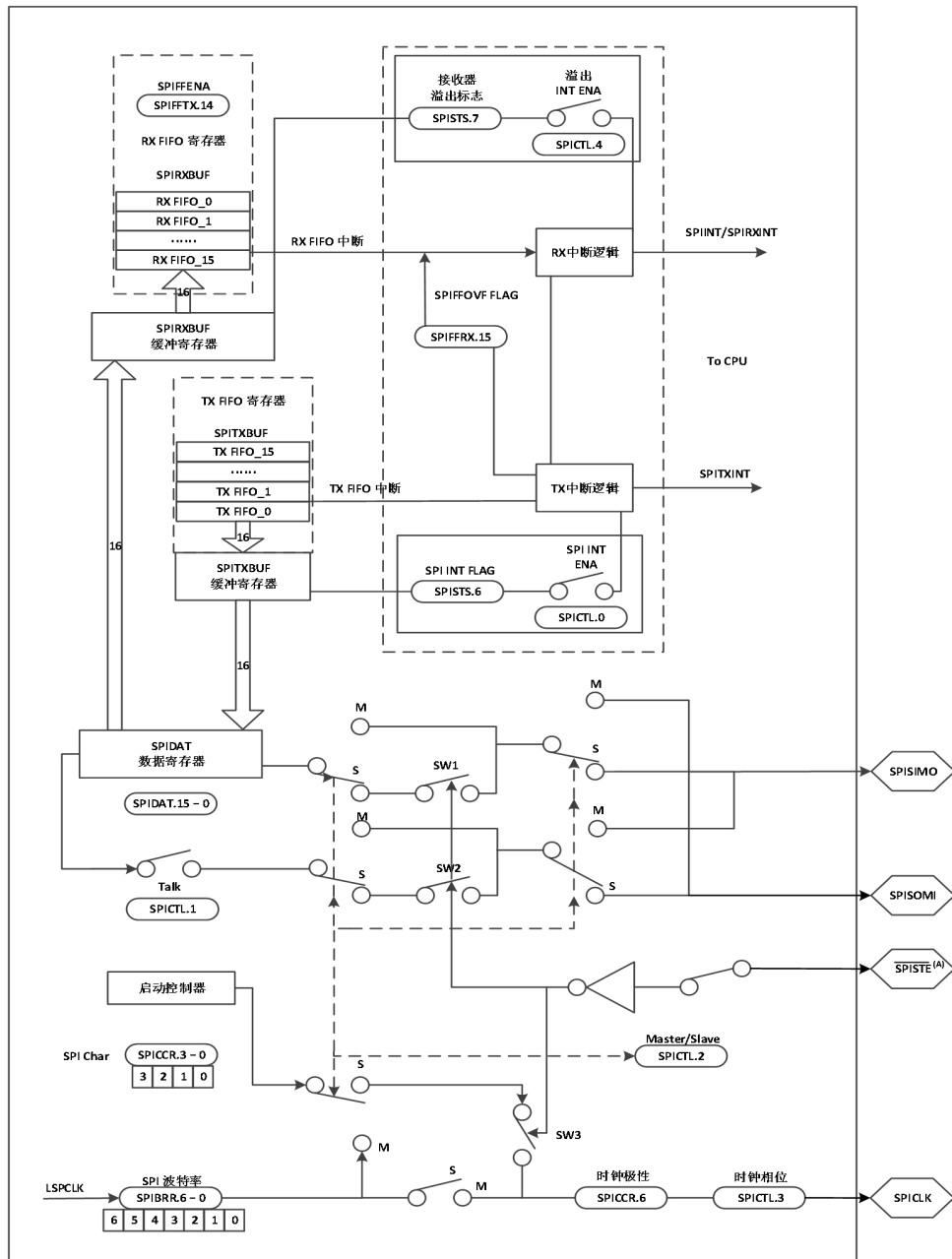
SPI 端口运行由表 4-20中列出的寄存器配置和控制。

表 4-20 SPI-A 寄存器

名称	地址	大小 (字节)	说明 ⁽¹⁾
SPICCR	0xE080	2	SPI-A 配置控制寄存器
SPICTL	0xE082	2	SPI-A 运行控制寄存器
SPISTS	0xE084	2	SPI-A 状态寄存器
SPIBRR	0xE088	2	SPI-A 波特率寄存器
SPIRXEMU	0xE08C	2	SPI-A 接收仿真缓冲寄存器
SPIRXBUF	0xE08E	2	SPI-A 串行输入缓冲寄存器
SPITXBUF	0xE090	2	SPI-A 串行输出缓冲寄存器
SPIDAT	0xE092	2	SPI-A 串行数据寄存器
SPIFFTX	0xE094	2	SPI-A FIFO 发送寄存器
SPIFFRX	0xE096	2	SPI-A FIFO 接收寄存器
SPIFFCT	0xE098	2	SPI-A FIFO 控制寄存器
SPIPRI	0xE09E	2	SPI-A 优先级控制寄存器

(1)这个表中寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会生成未定义的后果。

图 4-29 是一个处于受控模式下 SPI 的方框图。

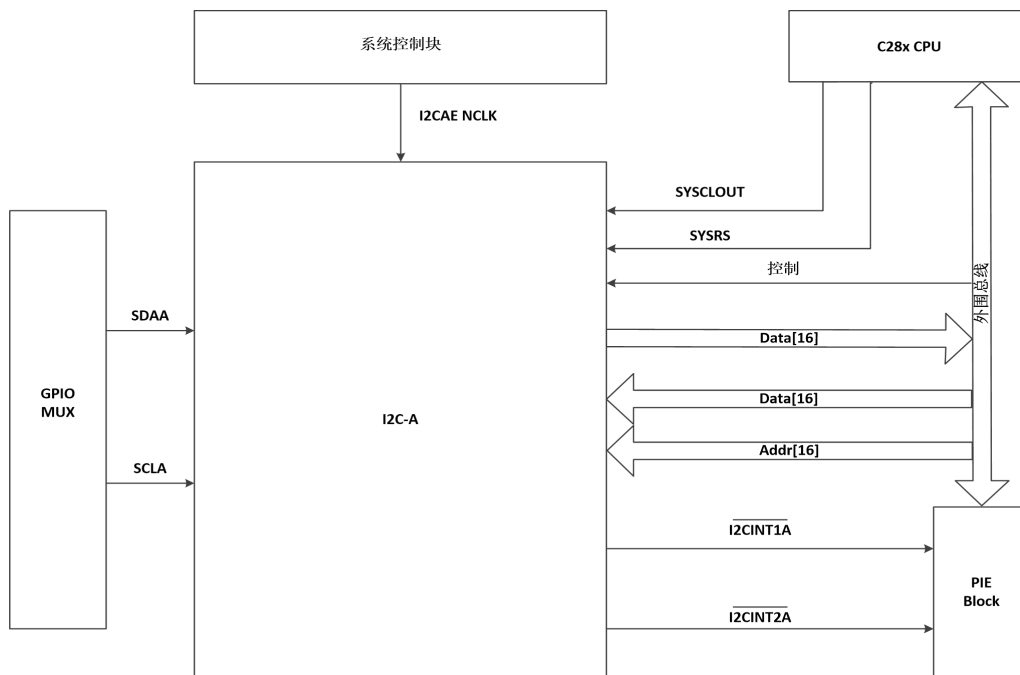


A. SPISTE被主控制器件驱动为用于受控器件的低电平。

图 4-29 SPI 模块方框图(受控模式)

4.4.12. 内部集成电路(I2C)

此器件包含一个 I2C 串行端口。图 4-30 显示了此器件内的 I2C 外设模块接口。



- A. 在 SYSCLKOUT 速率上对 I2C 寄存器进行访问。I2C 端口的内部时序和信号波形也为 SYSCLKOUT 速率。
- B. PCLKCRO 寄存器内的时钟使能位 (I2CAENCLK) 关闭到 I2C 端口的时钟以实现低功耗运行。复位时，I2CAENCLK 被清除，这表明外设内部时钟被关闭。

图 4-30 I2C 外设模块接口

I2C 模块具有以下特性：

- 符合飞利浦半导体 I2C 总线规格(版本 2.1):
 - 支持1位至 8位格式传输
 - 7位和10位寻址模式
 - 常规调用
 - START 字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合主器件发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到高达 400kbps(I2C 快速模式速率)
- 一个 16 字接收 FIFO 和一个 16 字发送 FIFO
- 可以由 DSP 使用的一个中断。这个中断可由下列条件中的一个生成：
 - 发送数据准备好
 - 接收数据准备好
 - 寄存器访问准备好

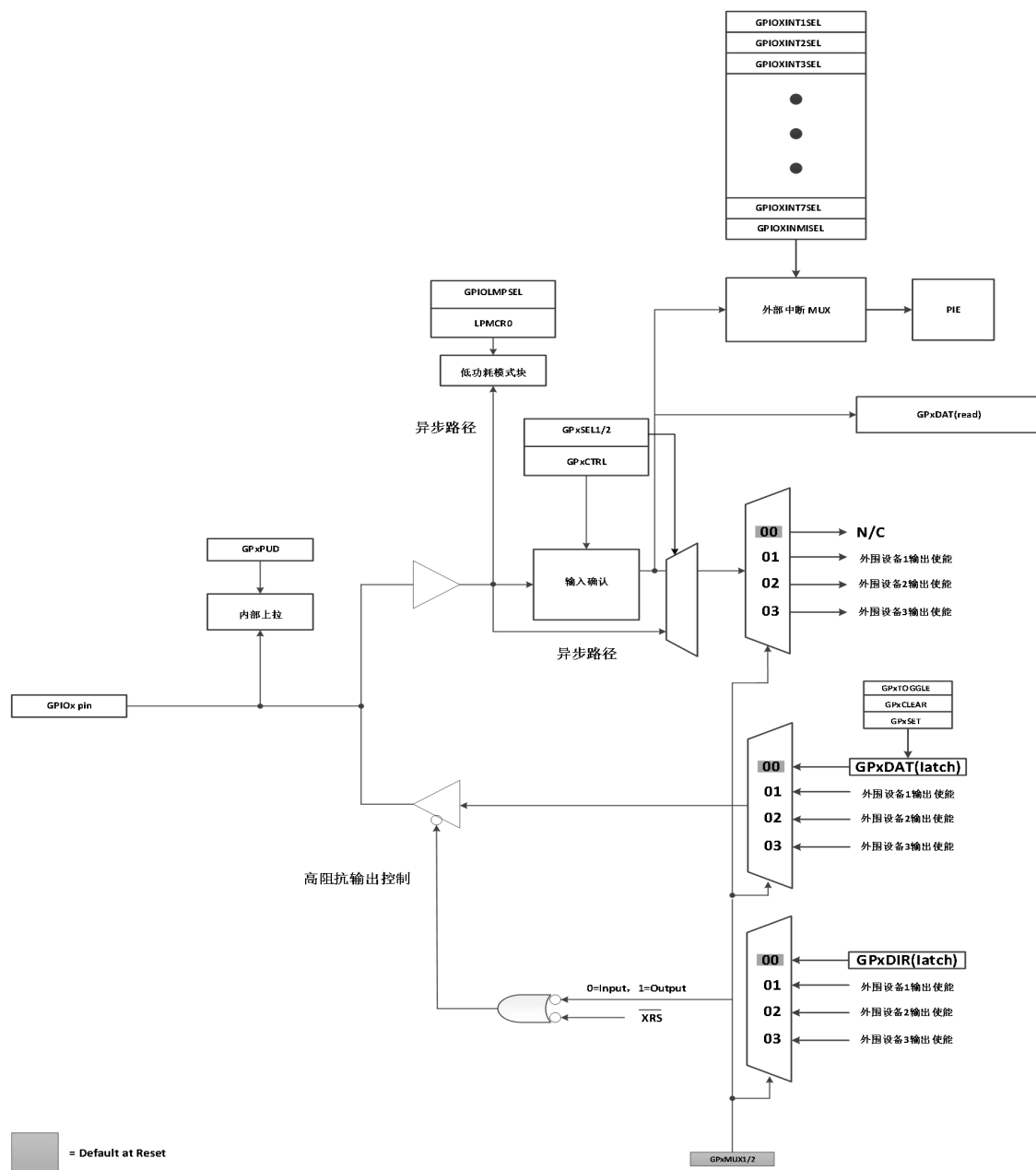
- 没有接收到确认
- 仲裁丢失
- 检测到停止条件
- 被寻址为从器件
- 在 FIFO 模式下，DSP 可以使用附加的中断
- 模块启用和模块禁用功能
- 自由数据格式模式

下表中的寄存器配置并且控制 I2C 端口操作。

名称	地址	说明
I2COAR	0xF200	I2C 自身地址寄存器
I2CIER	0xF202	I2C 中断使能寄存器
I2CSTR	0xF204	I2C 状态寄存器
I2CCLKL	0xF206	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0xF208	I2C 时钟高电平时间分频器寄存器
I2CCNT	0xF20A	I2C 数据计数寄存器
I2CDRR	0xF20C	I2C 数据接收寄存器
I2CSAR	0xF20E	I2C 从器件地址寄存器
I2CDXR	0xF210	I2C 数据发送寄存器
I2CMDR	0xF212	I2C 模式寄存器
I2CISRC	0xF214	I2C 中断源寄存器
I2CPSC	0xF218	I2C 预分频器寄存器
I2CFCTX	0xF240	I2C FIFO 发送寄存器
I2CFFRX	0xF242	I2C FIFO 接收寄存器
I2CRSR	-	I2C 接收移位寄存器(DSP 不可访问)
I2CXSR	-	I2C 发送移位寄存器(DSP 不可访问)

表 29 I2C-A 寄存器

4.4.13.GPIO MUX



A. x 代表端口, A 或 B。例如, GPxDIR 是指 GPADIR 或者 GPBDir 寄存器, 至于哪一个寄存器则取决于所选择的特定 GPIO 引脚。

B. 在相同的存储器位置存取 GPxDAT 锁定/读取。

C. 这是一个通用的 GPIO MUX 方框图。并不是所有选项都可用于所有 GPIO 引脚。

图 4-31 GPIO MUX 方框图

器件支持 88 个 GPIO 引脚。GPIO 控制和数据寄存器被映射到外设帧 1 以在寄存器上启用 32 位运行(连同 16 位运行)。表 4-21 显示了 GPIO 寄存器映射。

表 4-21 GPIO 寄存器

名称	地址	大小 (字节)	说明
GPIO 控制寄存器			
GPACTRL	0xDF00	4	GPIO A 控制寄存器(GPIO0 至 31)
GPAQSEL1	0xDF04	4	GPIO A 限定器选择 1 寄存器(GPIO0 至 15)
GPAQSEL2	0xDF08	4	GPIO A 限定器选择 2 寄存器(GPIO16 至 31)
GPAMUX1	0xDF0C	4	GPIO A MUX 1 寄存器(GPIO0 至 15)
GPAMUX2	0xDF10	4	GPIO A MUX 2 寄存器(GPIO16 至 31)
GPADIR	0xDF14	4	GPIO A 方向寄存器(GPIO0 至 31)
GPAPUD	0xDF18	4	GPIO A 上拉禁用寄存器(GPIO0 至 31)
保留	0xDF1C-0xDF1F	4	
GPBCTRL	0xDF20	4	GPIO B 控制寄存器(GPIO32 至 63)
GPBQSEL1	0xDF24	4	GPIO B 限定器选择 1 寄存器(GPIO32 至 47)
GPBQSEL2	0xDF28	4	GPIOB 限定符选择 2 寄存器(GPIO48 至 63)
GPBMUX1	0xDF2C	4	GPIO B MUX 1 寄存器(GPIO32 至 47)
GPBMUX2	0xDF30	4	GPIO B MUX 2 寄存器(GPIO48 至 63)
GPBDIR	0xDF34	4	GPIO B 方向寄存器(GPIO32 至 63)
GPBPUD	0xDF38	4	GPIO B 上拉电阻器禁用寄存器(GPIO32 至 38)
保留	0xDF3C-0xDF4B	16	
GPCMUX1	0xDF4C	4	GPIO C MUX1 寄存器(GPIO64 至 79)
GPCMUX2	0xDF50	4	GPIO C MUX2 寄存器(GPIO80 至 87)
GPCDIR	0xDF54	4	GPIO C 方向寄存器 (GPIO64 至 GPIO 87)
GPCPUD	0xDF58	4	GPIO C 上拉电阻器禁用寄存器(GPIO64 至 87)
保留	0xDF5C-0xDF7F	36	
GPIO 数据寄存器			
GPADAT	0xDF80	4	GPIO A 数据寄存器(GPIO0 至 31)
GPASET	0xDF84	4	GPIO A 数据设定寄存器(GPIO0 至 31)
GPACLEAR	0xDF88	4	GPIO A 数据清除寄存器(GPIO0 至 31)
GPATOGGLE	0xDF8C	4	GPIO A 数据切换寄存器(GPIO0 至 31)
GPBDAT	0xDF90	4	GPIO B 数据寄存器(GPIO32 至 63)
GPBSET	0xDF94	4	GPIO B 数据设定寄存器(GPIO32 至 63)
GPBCLEAR	0xDF98	4	GPIO B 数据清除寄存器(GPIO32 至 63)

GPBTOGGLE	0xDF9C	4	GPIO B 数据切换寄存器(GPIO32 至 63)
GPCDAT	0xDFA0	4	GPIO C 数据寄存器(GPIO64 至 87)
GPCSET	0xDFA4	4	GPIO C 数据设定寄存器(GPIO64 至 87)
GPCCLEAR	0xDFA8	4	GPIO C 数据清除寄存器(GPIO64 至 87)
GPCTOGGLE	0xDFAC	4	GPIO C 数据切换寄存器(GPIO64 至 87)
保留	0xDFB0-0xDFBF	16	
GPIO 中断和低功耗模式选择寄存器			
GPIOXINT1SEL	0xDFC0	2	XINT1 GPIO 输入选择寄存器(GPIO0 至 31)
GPIOXINT2SEL	0xDFC2	2	XINT2 GPIO 输入选择寄存器(GPIO0 至 31)
GPIOXNMISEL	0xDFC4	2	XNMI GPIO 输入选择寄存器(GPIO0 至 31)
GPIOXINT3SEL	0xDFC6	2	XINT3 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOXINT4SEL	0xDFC8	2	XINT4 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOXINT5SEL	0xDFCA	2	XINT5 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOXINT6SEL	0xDFCC	2	XINT6 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOINT7SEL	0xDFCE	2	XINT7 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOLPMSEL	0xDFD0	4	LPM GPIO 选择寄存器(GPIO0 至 31)
保留	0xDFD4-0xDFFF	44	

表 4-22 GPIO 复用器外设选择矩阵

寄存器位		外设选择				
GPADIR	QUALPRD0	GPAMUX1 GPAQSEL1	GPIOx	PER1	PER2	PER3
GPADAT			GPAMUX1	GPAMUX1 = 0,1	GPAMUX1 = 1,0	GPAMUX1 = 1,1
GPASET			= 0,0			
GPACLR						
GPATOGGLE						
0	1, 0		GPIO0 (I/O)	EPWM1A (O)	保留	保留
1	3, 2		GPIO1 (I/O)	EPWM1B (O)	ECAP6 (I/O)	MFSRB (I/O)
2	5, 4		GPIO2 (I/O)	EPWM2A (O)	保留	保留
3	7, 6		GPIO3 (I/O)	EPWM2B (O)	ECAP5 (I/O)	MCLKRB (I/O)
4	9, 8		GPIO4	EPWM3A (O)	保留	保留

			(I/O)			
	5	11, 10	GPIO5 (I/O)	EPWM3B (O)	MFSRA (I/O)	ECAP1 (I/O)
	6	13, 12	GPIO6 (I/O)	EPWM4A (O)	EPWMSY NCI(I)	EPWMSYNCO(O)
	7	15, 14	GPIO7 (I/O)	EPWM4B (O)	MCLKRA (I/O)	ECAP2 (I/O)
QUALPRD1	8	17, 16	GPIO8 (I/O)	EPWM5A (O)	CANTXB (O)	ADCSOAO (O)
	9	19, 18	GPIO9 (I/O)	EPWM5B (O)	SCITXDB (O)	ECAP3 (I/O)
	10	21, 20	GPIO10 (I/O)	EPWM6A (O)	CANRXB (I)	ADCSOCBO (O)
	11	23, 22	GPIO11 (I/O)	EPWM6B (O)	SCIRXDB (I)	ECAP4 (I/O)
	12	25, 24	GPIO12 (I/O)	TZ1 (I)	CANTXB (O)	MDXB (O)
	13	27, 26	GPIO13 (I/O)	TZ2 (I)	CANRXB (I)	MDRB (I)
	14	29, 28	GPIO14 (I/O)	TZ3 (I)/ XHOLD (I)	SCITXDB (O)	MCLKXB (I/O)
	15	31, 30	GPIO15 (I/O)	TZ4 (I) / XHOLDA (O)	SCIRXDB (I)	MFSXB (I/O)
		GPAMUX2 GPAQSEL2	GPAMUX2 = 0, 0	GPAMUX2 = 0, 1	GPAMUX 2 = 1, 0	GPAMUX2 = 1, 1
QUALPRD2	16	1, 0	GPIO16 (I/O)	SPISIMOA (I/O)	CANTXB (O)	TZ5 (I)
	17	3, 2	GPIO17 (I/O)	SPISOMIA (I/O)	CANRXB (I)	TZ6 (I)
	18	5, 4	GPIO18 (I/O)	SPICLKA (I/O)	SCITXDB (O)	CANRXA (I)
	19	7, 6	GPIO19 (I/O)	SPISTEA (I/O)	SCIRXDB (I)	CANTXA (O)
	20	9, 8	GPIO20 (I/O)	EQEP1A (I)	MDXA (O)	CANTXB (O)

	21	11, 10	GPIO21 (I/O)	EQEP1B (I)	MDRA (I)	CANRXB (I)
	22	13, 12	GPIO22 (I/O)	EQEP1S (I/O)	MCLKXA (I/O)	SCITXDB (O)
	23	15, 14	GPIO23 (I/O)	EQEP1I (I/O)	MFSXA (I/O)	SCIRXDB (I)
QUALPRD3	24	17, 16	GPIO24 (I/O)	ECAP1 (I/O)	EQEP2A (I)	MDXB (O)
	25	19, 18	GPIO25 (I/O)	ECAP2 (I/O)	EQEP2B (I)	MDRB (I)
	26	21, 20	GPIO26 (I/O)	ECAP3 (I/O)	EQEP2I (I/O)	MCLKXB (I/O)
	27	23, 22	GPIO27 (I/O)	ECAP4 (I/O)	EQEP2S (I/O)	MFSXB (I/O)
	28	25, 24	GPIO28 (I/O)	SCIRXDA (I)	$\overline{\text{XZCS6}}$ (O)	
	29	27, 26	GPIO29 (I/O)	SCITXDA (O)	XA19(O)	
	30	29, 28	GPIO30 (I/O)	CANRXA (I)	XA18(O)	
	31	31, 30	GPIO31 (I/O)	CANTXA (O)	XA17(O)	

表 4-23 GPIO-B 复用器外设选择矩阵

寄存器位			外设选择			
GPBDIR	GPBDAT	GPBMUX1 GPBQSEL1	GPIOx	PER1	PER2 GPBMUX1 = 1,0	PER3 GPBMUX1 = 1,1
GPBSET	GPBCLR		GPBMUX1 = 0,0	GPBMUX1 = 0,1		
QUALPRD0	0	1, 0	GPIO32(I/O)	SDAA (I/OC) ⁽¹⁾	EPWMSYNCI (I)	$\overline{\text{ADCSOCAO}}$
	1	3, 2	GPIO33(I/O)	SCLA (I/OC) ⁽¹⁾	EPWMSYNCO(O)	$\overline{\text{ADCSOCBO}}$
	2	5, 4	GPIO34 (I/O)	ECAP1 (I/O)	XREADY (I)	
	3	7, 6	GPIO35(I/O)	SCITXDA (O)	$\overline{\text{XR/ W}}$ (O)	
	4	9, 8	GPIO36(I/O)	SCIRXDA (I)	$\overline{\text{XZCS0}}$ (O)	
	5	11, 10	GPIO37(I/O)	ECAP2 (I/O)	$\overline{\text{XZCS7}}$ (O)	

	6	13, 12	GPIO38(I/O)	保留	$\overline{\text{XWE0}}$ (O)	
	7	15, 14	GPIO39(I/O)		XA16(O)	
QUALPRD1	8	17, 16	GPIO40(I/O)		$\overline{\text{XA0/ XWE1}}$ (O)	
	9	19, 18	GPIO41 (I/O)		XA1(O)	
	10	21, 20	GPIO42(I/O)		XA2(O)	
	11	23, 22	GPIO43(I/O)		XA3(O)	
	12	25, 24	GPIO44(I/O)		XA4(O)	
	13	27, 26	GPIO45 (I/O)		XA5(O)	
	14	29, 28	GPIO46(I/O)		XA6(O)	
	15	31, 30	GPIO47(I/O)		XA7(O)	
		GPBMUX2 GPBQSEL2	GPBMUX2 = 0,0	GPBMUX2 = 0, 1	GPBMUX2 = 1, 0	GPBMUX2 = 1, 1
QUALPRD2	16	1, 0	GPIO48 (I/O)	ECAP5 (I/O)	XD31(I/O)	
	17	3, 2	GPIO49 (I/O)	ECAP6 (I/O)	XD30 (I/O)	
	18	5, 4	GPIO50 (I/O)	EQEP1A (I)	XD29 (I/O)	
	19	7, 6	GPIO51 (I/O)	EQEP1B (I)	XD28 (I/O)	
	20	9, 8	GPIO52 (I/O)	EQEP1S (I/O)	XD27 (I/O)	
	21	11, 10	GPIO53 (I/O)	EQEP1I (I/O)	XD26 (I/O)	
	22	13, 12	GPIO54 (I/O)	SPISIMOA (I/O)	XD25 (I/O)	
	23	15, 14	GPIO55 (I/O)	SPISOMIA (I/O)	XD24 (I/O)	
QUALPRD3	24	17, 16	GPIO56 (I/O)	SPICLKA (I/O)	XD23 (I/O)	
	25	19, 18	GPIO57 (I/O)	$\overline{\text{SPISTEA}}$ (I/O)	XD22(I/O)	
	26	21, 20	GPIO58 (I/O)	MCLKRA (I/O)	XD21 (I/O)	
	27	23, 22	GPIO59 (I/O)	MFSRA (I/O)	XD20 (I/O)	
	28	25, 24	GPIO60(I/O)	MCLKRB (I/O)	XD19(I/O)	
	29	27, 26	GPIO61 (I/O)	MFSRB (I/O)	XD18 (I/O)	
	30	29, 28	GPIO62 (I/O)	SCIRXDC (I)	XD17 (I/O)	
	31	31, 30	GPIO63 (I/O)	SCITXDC (O)	XD16 (I/O)	

(1) 开漏.

表 4-24 GPIO-C 复用器外设选择矩阵

寄存器位			外设选择	
GPCDIR GPCDAT GPCSET GPCCLR GPCTOGGLE			GPIOx 或 PER1 GPCMUX1 = 0, 0 or 0, 1	PER2 或 PER3 GPCMUX1 = 1, 0 or 1, 1
no qual	0	1, 0	GPIO64 (I/O)	XD15 (I/O)
	1	3, 2	GPIO65 (I/O)	XD14 (I/O)
	2	5, 4	GPIO66 (I/O)	XD13 (I/O)
	3	7, 6	GPIO67 (I/O)	XD12 (I/O)
	4	9, 8	GPIO68 (I/O)	XD11 (I/O)
	5	11, 10	GPIO69 (I/O)	XD10 (I/O)
	6	13, 12	GPIO70 (I/O)	XD9 (I/O)
	7	15, 14	GPIO71 (I/O)	XD8 (I/O)
no qual	8	17, 16	GPIO72 (I/O)	XD7 (I/O)
	9	19, 18	GPIO73 (I/O)	XD6 (I/O)
	10	21, 20	GPIO74 (I/O)	XD5 (I/O)
	11	23, 22	GPIO75 (I/O)	XD4 (I/O)
	12	25, 24	GPIO76 (I/O)	XD3 (I/O)
	13	27, 26	GPIO77 (I/O)	XD2 (I/O)
	14	29, 28	GPIO78 (I/O)	XD1 (I/O)
	15	31, 30	GPIO79 (I/O)	XD0 (I/O)
		GPCMUX2	GPCMUX2 = 0, 0 或 0, 1	GPCMUX2 = 1, 0 或 1, 1
no qual	16	1, 0	GPIO80 (I/O)	XA8 (O)
	17	3, 2	GPIO81 (I/O)	XA9 (O)
	18	5, 4	GPIO82 (I/O)	XA10 (O)
	19	7, 6	GPIO83 (I/O)	XA11(O)
	20	9, 8	GPIO84 (I/O)	XA12 (O)
	21	11, 10	GPIO85 (I/O)	XA13 (O)
	22	13, 12	GPIO86 (I/O)	XA14 (O)
	23	15, 14	GPIO87 (I/O)	XA15 (O)

通过四个选择中的 GPxQSEL1/2 寄存器, 用户可为每一个 GPIO 引脚选择输入限定的类型:

- 只同步至 SYSCLKOUT (GPxQSEL1/2=0,0): 这是复位时所有 GPIO 引脚的

缺省模式并且它只是将输入信号同步至系统时钟 (SYSCLKOUT)。

- 使用采样窗口的限定条件($GPxQSEL1/2=0, 1$ 和 $1, 0$): 这个模式中, 在与系统时钟 (SYSCLKOUT)同步后, 输入信号在输入被允许改变前, 被一定数量的周期所限定。

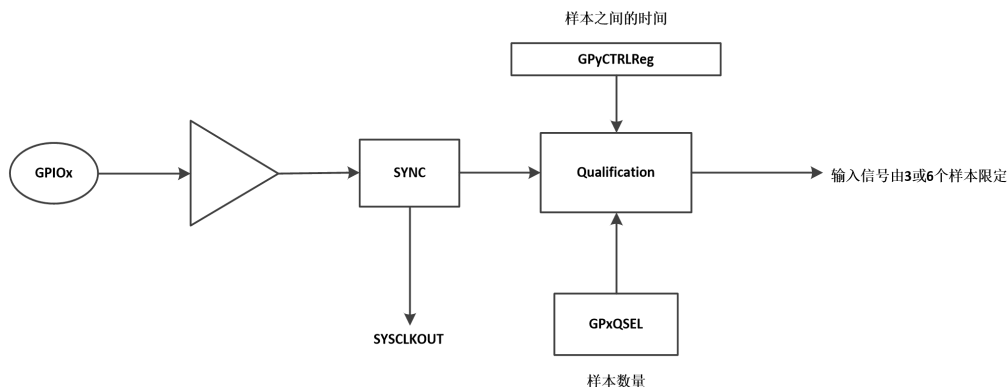


图 4-32 使用采样窗口的限定

- 采样周期由 $GPxCTRL$ 寄存器内的 $QUALPRD$ 位所指定并且可在一组 8 个信号中进行配置。它为采样输入信号指定了多个 $SYSCLKOUT$ 周期。采样窗口为 3 个样本或者 6 个样本宽并且只有当所有样本与图28所显示的一样时 (全 0 或者全 1)(对于 6 个样本模式), 输出才会改变。
- 无同步 ($GPxQSEL1/2=1, 1$): 这个模式用于无需同步的外设(同步不在外设内执行)。

由于器件上所要求的多级复用, 有可能会有一个外设输入信号被映射到多于一个 $GPIO$ 引脚的情况。此外, 当一个输入信号未被选择时, 输入信号将缺省为一个 0 或者 1 状态, 这由外设而定。

4.4.14. 外部接口(XINTF)

本节给出了在RV335器件上执行的外部接口(XINTF)的顶视图。

XINTF 是一个非复用的异步总线, 被映射到图 4-33中所示的三个固定区域。

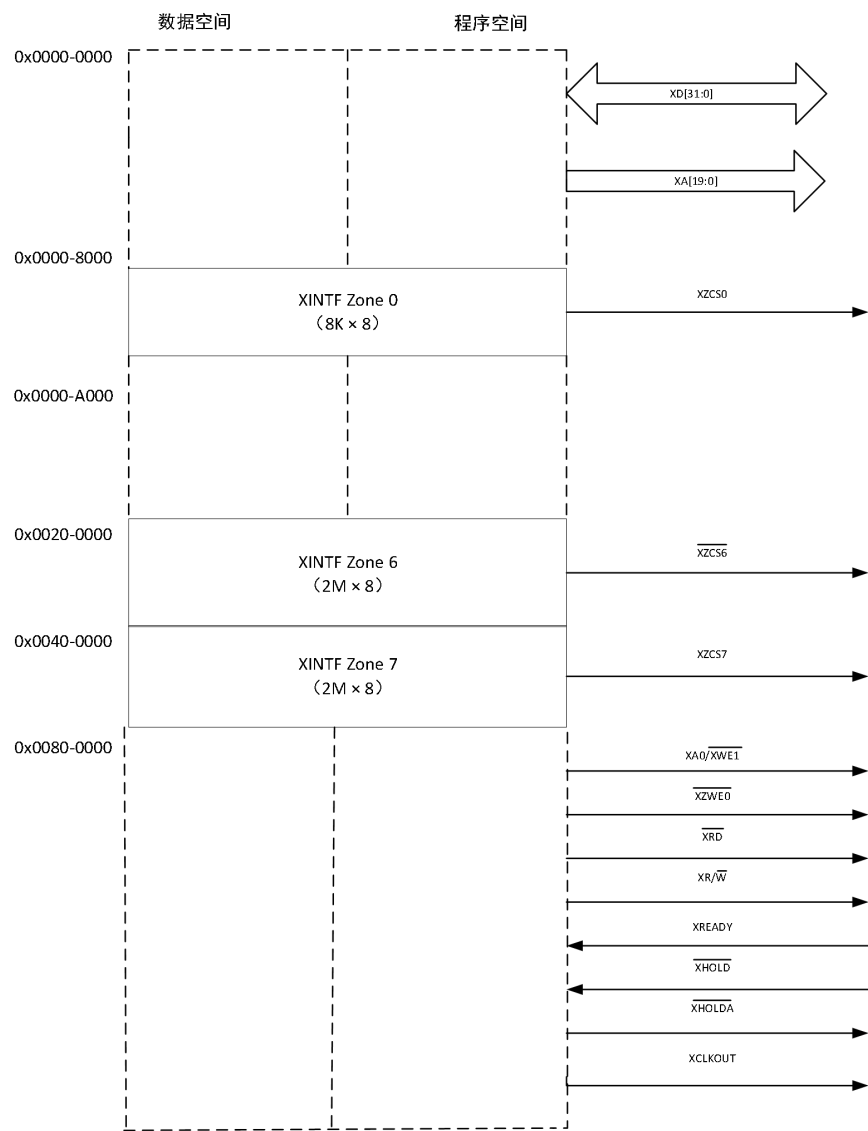


图 4-33 外部接口方框图

下图展示了典型 16 位和 32 位 数据总线 XINTF 连接，说明了 XA0 和XWE1的信号功能是如何根据具体的配置变化的。表 4-25定义了 XINTF 配置和控制寄存器。

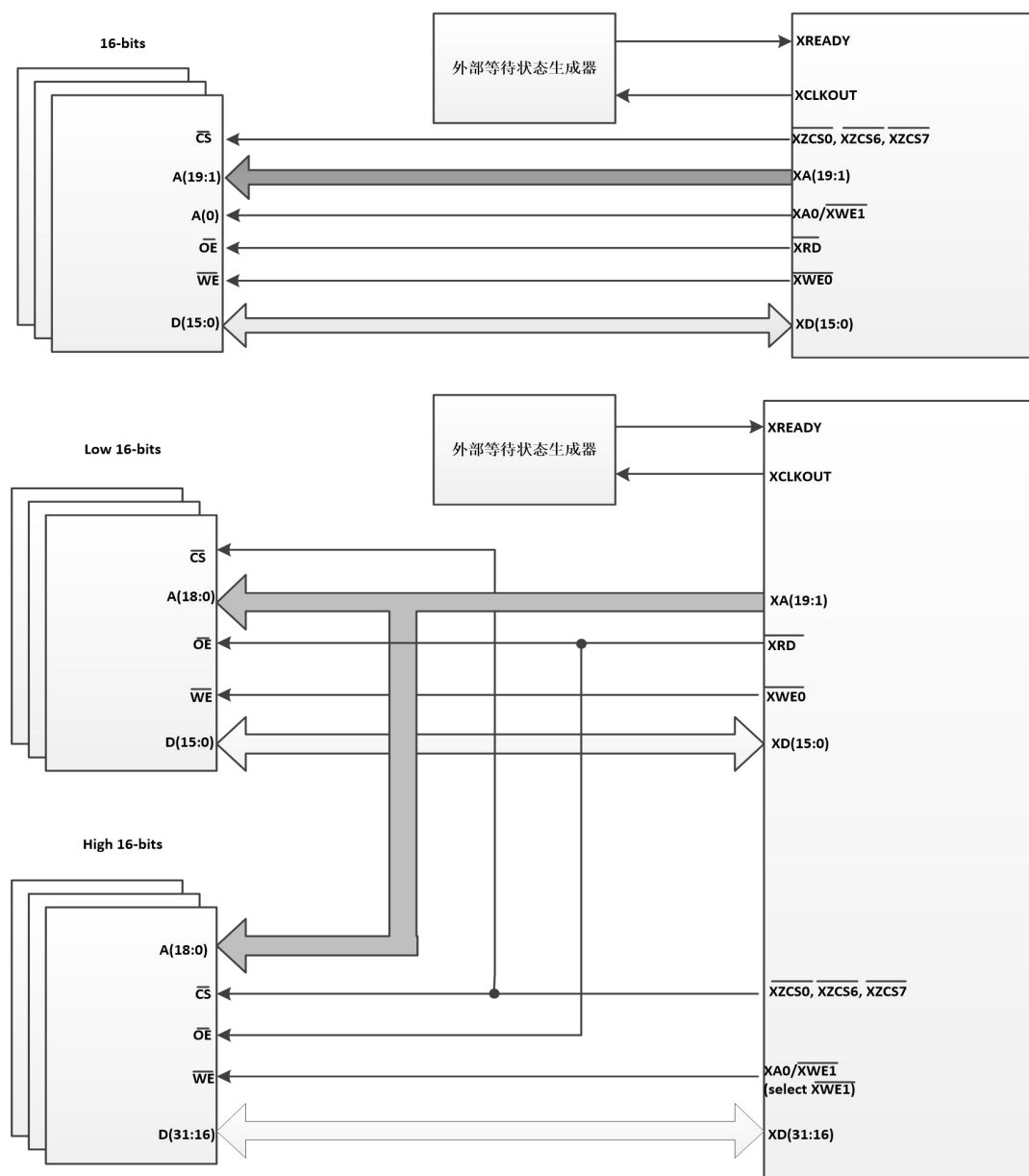


图 4-34 典型的 16 和 32 位数据总线 XINTF 连接

表 4-25 XINTF 配置和控制寄存器映射

名称	地址	大小 (字节)	说明
XTIMING0	0x00 1640	4	XINTF 定时寄存器, 区域 0
XTIMING6 ⁽¹⁾	0x00 1658	4	XINTF 定时寄存器, 区域 6
XTIMING7	0x00 165C	4	XINTF 定时寄存器, 区域 7
XINTCNF2 ⁽²⁾	0x00 1668	4	XINTF 配置寄存器
XBANK	0x00 1670	2	XINTF 组控制寄存器
XREVISION	0x00 1674	2	XINTF 修订版本寄存器
XRESET	0x00 167A	2	XINTF 复位寄存器

(1) XTIMING1 - XTIMING5保留用于将来的扩展，当前未使用。

(2) 保留了XINTCNF1，当前未使用。

4.5.低功耗模式

RV335 支持三种外设配置下的低功耗模式，通过配置 LPMCR0[1:0]比特位进行设置。进入低功耗模式的方式，是使用标准的 RISC-V WFI 指令，在无外设中断需要处理的情况下，内核会发出低功耗控制请求，关闭内核及相关模块的时钟，降低功耗。

表 4-26 低功耗模式寄存器

模式	LPMCR0[1:0]	OSCCLK	CLKIN	SYSCCLKOUT	退出方式
IDLE	00	On	On	On	\overline{XRS} , watchdog 中断, 其他使能外设中断, nmi 中断
STANDBY	01	On	Off	Off	\overline{XRS} , watchdog 中断, GPIO port A signal, nmi 中断
HALT	1x	Off	Off	Off	\overline{XRS} , watchdog 中断, 其他使能外设中断, nmi 中断

4.6.所有外设寄存器列表

4.6.1. 寄存器映射

此器件只包含一个外设寄存器空间。外设寄存器空间中包括了直接映射到 DSP 内存总线的外设、映射到 32 位外设总线的外设、映射到 16 位外设总线的外设以及映射到 32 位的 DMA-可访问外设总线的外设。详情请见表 4-27。

表 4-27 外设帧 0 寄存器

名称	地址范围	大小 (字节)
闪存寄存器 ⁽¹⁾	0x00 1500 - 0x00 15BF	192
代码安全模块寄存器	0x00 15C0 - 0x00 15DF	32
ADC 寄存器(双映射) 0 等待 (DMA), 1 个等待 (DSP), 只读	0x00 1600 - 0x00 161F	32
XINTF 寄存器	0x00 1640 - 0x00 167F	64
DSP 定时器 0, DSP 定时器 1, DSP 定时器 2 寄存器	0x00 1800 - 0x00 187F	128
CLINT 寄存器	0x00 18C0 - 0x00 18EF	48

PLIC 寄存器	0x80 0000 - 0xA0 0FFF	2101248
DMA 寄存器	0x00 2000 - 0x00 23FF	1024
eCAN-A 寄存器	0x00 C000 - 0x00 C3FE	1024
eCAN-B 寄存器	0x00 C400 - 0x00 C7FF	1024
ePWM1 + HRPWM1 寄存器	0x00 D000 - 0x00 D07F	128
ePWM2 + HRPWM2 寄存器	0x00 D080 - 0x00 D0FF	128
ePWM3 + HRPWM3 寄存器	0x00 D100 - 0x00 D17F	128
ePWM4 + HRPWM4 寄存器	0x00 D180 - 0x00 D1FF	128
ePWM5 + HRPWM5 寄存器	0x00 D200 - 0x00 D27F	128
ePWM6 + HRPWM6 寄存器	0x00 D280 - 0x00 D2FF	128
eCAP1 寄存器	0x00 D400 - 0x00 D43F	64
eCAP2 寄存器	0x00 D440 - 0x00 D47F	64
eCAP3 寄存器	0x00D480 - 0x00 D4BF	64
eCAP4 寄存器	0x00 D4C0 - 0x00 D4FF	64
eCAP5 寄存器	0x00 D500 - 0x00 D53F	64
eCAP6 寄存器	0x00 D540 - 0x00 D57F	Z
eQEP1 寄存器	0x00 D600 - 0x00 D67F	128
eQEP2 寄存器	0x00 D680 - 0x00 D6FF	128
GPIO 寄存器	0x00 DF00 - 0x00 DFFF	256
系统控制寄存器	0x00 E020 - 0x00 E05F	64
SPI-A 寄存器	0x00 E080 - 0x00 E09F	32
SCI-A 寄存器	0x00 E0A0 - 0x00 E0BF	32
外部中断寄存器	0x00 E0E0 - 0x00 E0FF	16
ADC 寄存器	0x00 E200 - 0x00 E23F	64
SCI-B 寄存器	0x00 EEA0 - 0x00 EEBF	32
SCI-C 寄存器	0x00 EEE0 - 0x00 EEFF	32
I2C-A 寄存器	0x00 F200 - 0x00 F27F	128
McBSP-A 寄存器 (DMA)	0xA000 - 0xA07F	128
McBSP-B 寄存器 (DMA)	0xA080 - 0xA0FF	128

(1) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

(2) EPWM 和 HRPWM 模块可以被重新映射到被 DMA 模块访问。

4.6.2. 闪存和 OTP 寄存器

闪存和 OTP 存储器可以通过表 4-27 中所示的寄存器进行配置。位域描述如图 4-35 和图 4-41 所示。

表 4-28 闪存/OTP 配置寄存器

名字	地址	大小(x8)	描述	位说明
FOPT	0x1500	2	闪存选项寄存器	图 4-35
Reserved	0x1502	2	保留的	
FPWR	0x1504	2	闪存功率模式寄存器	图 4-36
FSTATUS	0x1506	2	状态寄存器	图 4-37
FSTDBYWAIT	0x1508	2	闪存休眠到待机等待寄存器	图 4-38
FACTIVEWAIT	0x150A	2	闪存待机到活动等待寄存器	图 4-39
FBANKWAIT	0x150C	2	闪存读取访问等待状态寄存器	图 4-40
FOTPWAIT	0x150E	2	OTP 读取访问等待状态寄存器	图 4-41

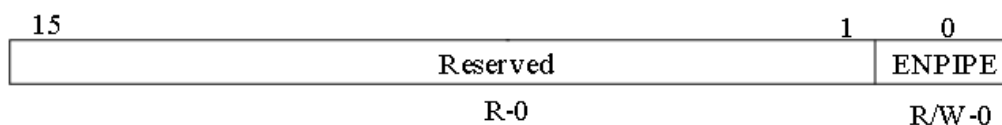


图 4-35 闪存选项寄存器（FOPT）

图例：R/W=读/写；R=只读；-n=重置后的值

表 4-29 闪存选项寄存器（FOPT）字段说明

位域	字段	值	说明
15-1	Reserved		保留的
0	ENPIPE	0/1	<p>启用 Flash 管道模式位。设置此位时，闪存流水线模式处于活动状态。流水线模式通过预取指令来提高指令获取的性能。启用流水线模式时，闪存等待状态（分页和随机）必须大于零。在闪存设备上，ENPIPE 会影响从闪存和 OTP 中提取数据。</p> <p>0 闪存流水线模式未处于活动状态。（默认）</p> <p>1 闪存流水线模式处于活动状态。</p>

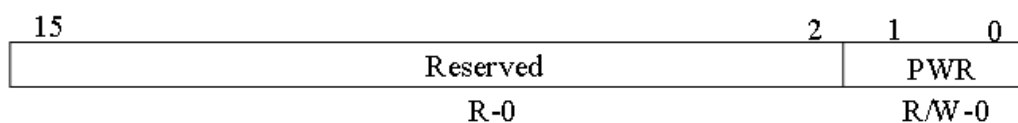


图 4-36 闪存功率寄存器（FPWR）

表 4-30 闪存功率寄存器（FPWR）字段说明

位域	字段	值	说明
15-2	Reserved		
1-0	PWR	00/01/10/11	<p>Flash 功率模式位。写入这些位会改变闪存块和 pump 的当前功率模式。</p> <p>00 泵和块休眠（最低功率），</p>

			01 泵和组备用， 10 保留（无效）， 11 泵和块激活（最大功率）。
--	--	--	--

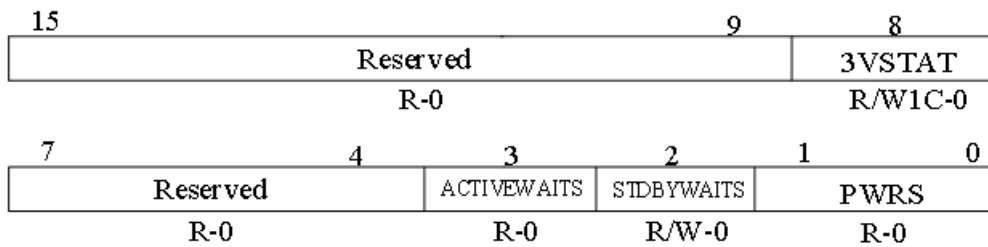


图 4-37 闪存状态寄存器（FSTATUS）

图例：R/W=读/写；R=只读；W1C=写入 1 以清除；-n=重置后的值

表 4-31 闪存状态寄存器（FSTATUS）字段说明

位域	字段	值	说明
15-9	Reserved		保留的
8	3VSTAT	0/1	闪存电压状态锁存位。设置时，此位表示来自泵模块的 3VSTAT 信号变为高电平。此信号表示闪存 3.3 伏电源超出了允许范围。 0 写入被忽略。当该位读取 1 时，表示闪光 3.3-V 电源超出允许范围。 通过写入 1 来清除此位。
7-4	Reserved		保留的
3	ACTIVEMWITS	0/1	Bank 和 Pump 待机至激活等待计数器状态位。该位指示相应的等待计数器是否正在超时访问。0 计数器不计数。 1 计数器正在计数。
2	STDBYMWITS	0/1	Bank 和 Pump 睡眠至待机等待计数器状态位。该位指示相应的等待计数器是否正在超时访问。0 计数器不计数。 1 计数器正在计数。
1-0	PWRS	00/01/10/11/	功率模式状态位。这些位指示闪存/OTP 当前处于哪个功率模式。只有在适当的定时延迟到期后，PWRS 位才会设置为新的功率模式。 00 Bank 和 Pump 处于睡眠模式（最低功率）， 01 Bank 和 Pump 处于待机模式， 10 保留， 11 Bank 和 Pump 处于激活和读取模式（最大功率）

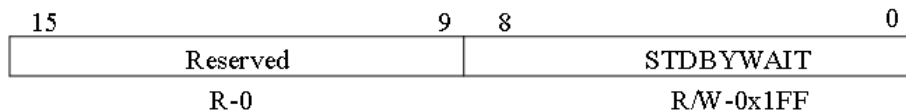


图 4-38 闪存待机等待寄存器 (FSTDBYWAIT)

表 4-32 闪存待机等待寄存器 (FSTDBYWAIT) 字段说明

位域	字段	值	说明
15-9	Reserved	0	保留的
8-0	STDBYWAIT	11111111	此寄存器应保持默认状态。Bank 和 Pump 睡眠到待机等待计数: 511 个 SYSCLKOUT 周期 (默认值)。

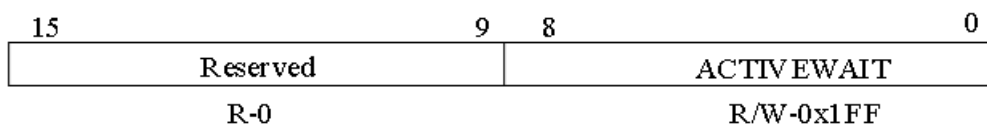


图 4-39 闪存待机到活动等待计数器寄存器 (FACTIVWAIT)

表 4-33 闪存待机至活动等待计数器寄存器 (FACTIVWAIT) 字段说明

位域	字段	值	说明
15-9	Reserved	0	保留的
8-0	ACTIVWAIT	11111111	此寄存器应保持默认状态。Bank 和 Pump 待机至激活等待计数: 511 SYSCLKOUT 周期 (默认值)。

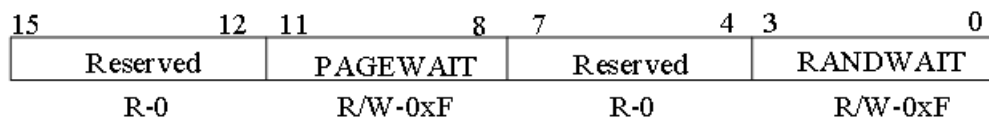


图 4-40 闪存等待状态寄存器 (FBANKWAIT)

表 4-34 闪存等待状态寄存器 (FBANKWAIT) 字段说明

位域	字段	值	说明
15-12	Reserved		保留的
11-8	PAGEWAIT	0000/0001/0010/0011/1111	闪存分页读取等待状态。这些寄存器位指定到闪存组的 CPU 时钟周期 (0..15SYSCLKOUT 周期) 中的分页读取操作的等待状态数。必须将 RANDWAIT 设置为大于或等于 PAGEWAIT 设置的值。没有提供硬件来检测大于 RANDWAIT 的 PAGEWAIT 值。 0000 为非法值。PAGEWAIT 必须设置为大于 0。

			<p>0001 表示每次分页闪存访问一个等待状态，或者每次访问总共两个 SYSCLKOUT 周期。</p> <p>0010 表示每次分页闪存访问有两个等待状态，或者每次访问总共有三个 SYSCLKOUT 周期。</p> <p>0011 表示每次分页闪存访问有三个等待状态，或者每次访问总共有四个 SYSCLKOUT 周期。</p> <p>1111 表示每次分页闪存访问 15 个等待状态，或者每次访问总共 16 个 SYSCLKOUT 周期。（默认）</p>
7-4	Reserved		保留的
3-0	RANDWAIT	0000/0001/0010/ 0011/.../1111	<p>闪存随机读取等待状态。这些寄存器位指定闪存组的 CPU 时钟周期（1..15SYSCLKOUT 周期）中随机读取操作的等待状态数。</p> <p>RANDWAIT 必须设置为大于 0。也就是说，必须使用至少一个随机等待状态。此外，必须将 RANDWAIT 设置为大于或等于 PAGEWAIT 设置的值。设备将无法检测和更正大于 RANDWAIT 的 PAGEWAIT 值。0000 为非法值。RANDWAIT 必须设置为大于 0。</p> <p>0001 表示每次随机闪存访问一个等待状态，或者每次访问总共两个 SYSCLKOUT 周期。</p> <p>0010 表示每次随机闪存访问有两个等待状态，或者每次访问总共有三个 SYSCLKOUT 周期。</p> <p>0011 表示每次随机闪存访问有三个等待状态，或者每次访问总共有四个 SYSCLKOUT 周期。</p> <p>1111 表示每次随机闪存访问 15 个等待状态，或者每次访问总共 16 个 SYSCLKOUT 周期。（默认）</p>

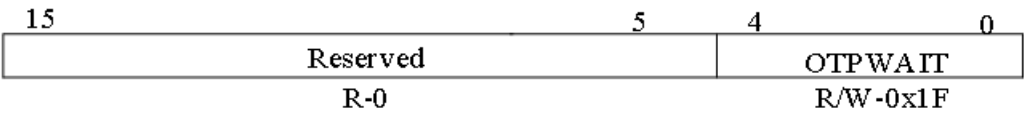


图 4-41 OTP 等待状态寄存器（FOTPWAIT）

表 4-35 OTP 等待状态寄存器字段说明

位域	字段	值	说明
15-5	Reserved	0	保留的
4-0	OTPWAIT	00000 00001 00010	OTP 读取等待状态。这些寄存器位指定以 CPU 时钟周期（1..31 SYSCLKOUT 周期）到 OTP 的读取操作的等待状态数。OTP 中没有 PAGE 模式。OTPWAIT 必须设置为大于 0。也就是说，必须使用至少 1 个等待状态。

		00011 ... 11111	<p>00000 为非法值。OTPWAIT 必须设置为 1 或更大。00001 表示每次 OTP 访问将使用一个等待状态，每次访问总共两个 SYSCLKOUT 周期。</p> <p>00010 表示每次 OTP 访问将使用两个等待状态，每次访问总共三个 SYSCLKOUT 周期。</p> <p>00011 表示每次 OTP 访问将使用三种等待状态，每次访问总共四个 SYSCLKOUT 周期。</p> <p>11111 表示 31 个等待状态将用于 OTP 访问，每次访问总共 32 个 SYSCLKOUT 周期。</p>
--	--	-----------------------	--

4.6.3. 代码安全模块（CSM）寄存器

表 4-36 代码安全模块（CSM）寄存器

内存地址	寄存器名字	重置值	寄存器说明
密钥寄存器			
0x00-15C0	KEY0	0xFFFF	128 位密钥寄存器的低位字
0x00-15C2	KEY1	0xFFFF	128 位密钥寄存器的第二个字
0x00-15C4	KEY2	0xFFFF	128 位密钥寄存器的第三个字
0x00-15C6	KEY3	0xFFFF	128 位密钥寄存器的第四个字
0x00-15C8	KEY4	0xFFFF	128 位密钥寄存器的第五个字
0x00-15CA	KEY5	0xFFFF	128 位密钥寄存器的第六个字
0x00-15CC	KEY6	0xFFFF	128 位密钥寄存器的第七个字
0x00-15CE	KEY7	0xFFFF	128 位密钥寄存器的高位字
0x00-15DE	CSMSCR	0x05F	CSM 状态控制寄存器
闪存中的密码位置(PWL)-仅为 CSM 密码保留			
0x67-FFF0	PWL0	用户自定义	128 位密码的低位字
0x67-FFF2	PWL1	用户自定义	128 位密码的第二个字
0x67-FFF4	PWL2	用户自定义	128 位密码的第三个字
0x67-FFF6	PWL3	用户自定义	128 位密码的第四个字
0x67-FFF8	PWL4	用户自定义	128 位密码的第五个字
0x67-FFFA	PWL5	用户自定义	128 位密码的第六个字
0x67-FFFC	PWL6	用户自定义	128 位密码的第七个字
0x67-FFFE	PWL7	用户自定义	128 位密码的高位字

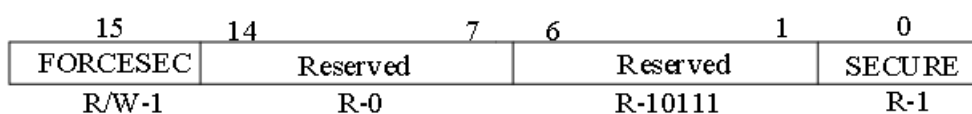


图 4-42 CSM 状态控制寄存器（CSMSCR）

图例：R/W=读/写；R=只读；-n=重置后的值

表 4-37 CSM 状态和控制寄存器（CSMSR）字段说明

位域	字段	值	说明
15	FORCESEC	0/1	写入 1 将清除 KEY 寄存器并保护设备。 0 表示读取总是返回零。 1 表示清除 KEY 寄存器并保护设备。
14-1	Reserved		保留的
0	SECURE	0/1	反映设备安全状态的只读位。 0 表示设备不安全（CSM 已解锁）。 1 表示设备安全（CSM 锁定）。

4.6.4. DMA 寄存器

表 4-38 列出了 DMA 的内存映射寄存器。表 4-38 中未列出的所有寄存器偏移地址应被视为保留位置，寄存器内容不应被修改。

表 4-38 DMA 寄存器汇总

偏移	缩写	寄存器名	章节
2000h	DMACtrl	DMA 控制寄存器	
2002h	DEBUGCtrl	调试控制寄存器	
2004h	REVISION	外设修正寄存器	
2008h	PRIORITYCtrl1	特权级控制寄存器 1	
200Ch	PRIORITYSTAT	特权级状态寄存器	
2040h	MODE_0	模式寄存器	
2042h	CONTROL_0	控制寄存器	
2044h	BURST_SIZE_0	触发大小寄存器	
2046h	BURST_COUNT_0	触发计数寄存器	
2048h	SRC_BURST_STEP_0	源触发步长寄存器	
204Ah	DST_BURST_STEP_0	目的触发步长寄存器	
204Ch	TRANSFER_SIZE_0	传输大小寄存器	
204Eh	TRANSFER_COUNT_0	传输计数寄存器	
2050h	SRC_TRANSFER_STEP_0	源传输步长寄存器	
2052h	DST_TRANSFER_STEP_0	目的传输步长寄存器	
2054h	SRC_WRAP_SIZE_0	源换行大小寄存器	
2056h	SRC_WRAP_COUNT_0	源换行计数寄存器	
2058h	SRC_WRAP_STEP_0	源换行步长寄存器	

205Ah	DST_WRAP_SIZE_0	目的换行大小寄存器	
205Ch	DST_WRAP_COUNT_0	目的换行计数寄存器	
205Eh	DST_WRAP_STEP_0	目的换行步长寄存器	
2060h	SRC_BEG_ADDR_SHADOW_0	影子源开始和当前地址指针寄存器	
2064h	SRC_ADDR_SHADOW_0	影子目的开始和当前地址指针寄存器	
2068h	SRC_BEG_ADDR_0	活动源开始和当前地址指针寄存器	
206Ch	SRC_ADDR_0	活动目的起始和当前地址指针寄存器	
2070h	DST_BEG_ADDR_SHADOW_0	影子目的开始和当前地址指针寄存器	
2074h	DST_ADDR_SHADOW_0	影子目的开始和当前地址指针寄存器	
2078h	DST_BEG_ADDR_0	活动目标起始和当前地址指针寄存器	
207Ch	DST_ADDR_0	活动目标起始和当前地址指针寄存器	
2206h	MODE_1	模式寄存器	
2208h	CONTROL_1	控制寄存器	
220Ah	BURST_SIZE_1	触发大小寄存器	
220Ch	BURST_COUNT_1	触发计数寄存器	
220Eh	SRC_BURST_STEP_1	源触发步长寄存器	
2210h	DST_BURST_STEP_1	目的触发步长寄存器	
2212h	TRANSFER_SIZE_1	传输大小寄存器	
2214h	TRANSFER_COUNT_1	传输计数寄存器	
2216h	SRC_TRANSFER_STEP_1	源传输步长寄存器	
2218h	DST_TRANSFER_STEP_1	目的传输步长寄存器	
221Ah	SRC_WRAP_SIZE_1	源换行大小寄存器	
221Ch	SRC_WRAP_COUNT_1	源换行计数寄存器	
221Eh	SRC_WRAP_STEP_1	源换行步长寄存器	
2220h	DST_WRAP_SIZE_1	目的换行大小寄存器	
2222h	DST_WRAP_COUNT_1	目的换行计数寄存器	
2224h	DST_WRAP_STEP_1	目的换行步长寄存器	
2226h	SRC_BEG_ADDR_SHADOW_1	影子源开始和当前地址指针寄存器	
222Ah	SRC_ADDR_SHADOW_1	影子目的开始和当前地址指针寄存器	
222Eh	SRC_BEG_ADDR_1	活动源开始和当前地址指针寄存器	
2232h	SRC_ADDR_1	活动目的起始和当前地址指针寄存器	
2236h	DST_BEG_ADDR_SHADOW_1	影子目的开始和当前地址指针寄存器	
223Ah	DST_ADDR_SHADOW_1	影子目的开始和当前地址指针寄存器	
223Eh	DST_BEG_ADDR_1	活动目的起始和当前地址指针寄存器	
2242h	DST_ADDR_1	活动目的起始和当前地址指针寄存器	
23CCh	MODE_2	模式寄存器	

23CEh	CONTROL_2	控制寄存器	
23D0h	BURST_SIZE_2	触发大小寄存器	
23D2h	BURST_COUNT_2	触发计数寄存器	
23D4h	SRC_BURST_STEP_2	源触发步长寄存器	
23D6h	DST_BURST_STEP_2	目的触发步长寄存器	
23D8h	TRANSFER_SIZE_2	传输大小寄存器	
23DAh	TRANSFER_COUNT_2	传输计数寄存器	
23DCh	SRC_TRANSFER_STEP_2	源传输步长寄存器	
23DEh	DST_TRANSFER_STEP_2	目的传输步长寄存器	
23E0h	SRC_WRAP_SIZE_2	源换行大小寄存器	
23E2h	SRC_WRAP_COUNT_2	源换行计数寄存器	
23E4h	SRC_WRAP_STEP_2	源换行步长寄存器	
23E6h	DST_WRAP_SIZE_2	目的换行大小寄存器	
23E8h	DST_WRAP_COUNT_2	目的换行计数寄存器	
23EAh	DST_WRAP_STEP_2	目的换行步长寄存器	
23ECh	SRC_BEG_ADDR_SHADOW_2	影子源开始和当前地址指针寄存器	
23F0h	SRC_ADDR_SHADOW_2	影子目的开始和当前地址指针寄存器	
23F4h	SRC_BEG_ADDR_2	活动源开始和当前地址寄存器	
23F8h	SRC_ADDR_2	活动目的开始和当前地址指针寄存器	
23FCh	DST_BEG_ADDR_SHADOW_2	影子目的开始和当前地址指针寄存器	
2400h	DST_ADDR_SHADOW_2	影子目的开始和当前地址指针寄存器	
2404h	DST_BEG_ADDR_2	活动目的开始和当前地址指针寄存器	
2408h	DST_ADDR_2	活动目的开始和当前地址指针寄存器	
2592h	MODE_3	模式寄存器	
2594h	CONTROL_3	控制寄存器	
2596h	BURST_SIZE_3	触发大小寄存器	
2598h	BURST_COUNT_3	触发计数寄存器	
259Ah	SRC_BURST_STEP_3	源触发步长寄存器	
259Ch	DST_BURST_STEP_3	目的触发步长寄存器	
259Eh	TRANSFER_SIZE_3	传输大小寄存器	
25A0h	TRANSFER_COUNT_3	传输计数寄存器	
25A2h	SRC_TRANSFER_STEP_3	源传输步长寄存器	
25A4h	DST_TRANSFER_STEP_3	目的传输步长寄存器	
25A6h	SRC_WRAP_SIZE_3	源换行大小寄存器	
25A8h	SRC_WRAP_COUNT_3	源换行计数寄存器	
25AAh	SRC_WRAP_STEP_3	源换行步长寄存器	

25ACh	DST_WRAP_SIZE_3	目的换行大小寄存器	
25AEh	DST_WRAP_COUNT_3	目的换行计数寄存器	
25B0h	DST_WRAP_STEP_3	目的换行步长寄存器	
25B2h	SRC_BEG_ADDR_SHADOW_3	影子源开始和当前地址指针寄存器	
25B6h	SRC_ADDR_SHADOW_3	影子目的开始和当前地址指针寄存器	
25BAh	SRC_BEG_ADDR_3	活动源开始和当前地址指针寄存器	
25BEh	SRC_ADDR_3	活动目的开始和当前地址指针寄存器	
25C2h	DST_BEG_ADDR_SHADOW_3	影子目的开始和当前地址指针寄存器	
25C6h	DST_ADDR_SHADOW_3	影子目的开始和当前地址指针寄存器	
25CAh	DST_BEG_ADDR_3	活动目的开始和当前地址指针寄存器	
25CEh	DST_ADDR_3	活动目的开始和当前地址指针寄存器	
2758h	MODE_4	模式寄存器	
275Ah	CONTROL_4	控制寄存器	
275Ch	BURST_SIZE_4	触发大小寄存器	
275Eh	BURST_COUNT_4	触发计数寄存器	
2760h	SRC_BURST_STEP_4	源触发步长寄存器	
2762h	DST_BURST_STEP_4	目的触发步长寄存器	
2764h	TRANSFER_SIZE_4	传输大小寄存器	
2766h	TRANSFER_COUNT_4	传输计数寄存器	
2768h	SRC_TRANSFER_STEP_4	源传输步长寄存器	
276Ah	DST_TRANSFER_STEP_4	目的传输步长寄存器	
276Ch	SRC_WRAP_SIZE_4	源换行大小寄存器	
276Eh	SRC_WRAP_COUNT_4	源换行计数寄存器	
2770h	SRC_WRAP_STEP_4	源换行步长寄存器	
2772h	DST_WRAP_SIZE_4	目的换行大小寄存器	
2774h	DST_WRAP_COUNT_4	目的换行计数寄存器	
2776h	DST_WRAP_STEP_4	目的换行步长寄存器	
2778h	SRC_BEG_ADDR_SHADOW_4	影子源开始和当前地址指针寄存器	
277Ch	SRC_ADDR_SHADOW_4	影子目的开始和当前地址指针寄存器	
2780h	SRC_BEG_ADDR_4	活动源开始和当前地址指针寄存器	
2784h	SRC_ADDR_4	活动目的开始和当前地址指针寄存器	
2788h	DST_BEG_ADDR_SHADOW_4	影子目的开始和当前地址指针寄存器	
278Ch	DST_ADDR_SHADOW_4	影子目的开始和当前地址指针寄存器	
2790h	DST_BEG_ADDR_4	活动目的开始和当前地址指针寄存器	
2794h	DST_ADDR_4	活动目的开始和当前地址指针寄存器	
291Eh	MODE_5	模式寄存器	

2920h	CONTROL_5	控制寄存器	
2922h	BURST_SIZE_5	触发大小寄存器	
2924h	BURST_COUNT_5	触发计数寄存器	
2926h	SRC_BURST_STEP_5	源触发步长寄存器	
2928h	DST_BURST_STEP_5	目的触发步长寄存器	
292Ah	TRANSFER_SIZE_5	传输大小寄存器	
292Ch	TRANSFER_COUNT_5	传输计数寄存器	
292Eh	SRC_TRANSFER_STEP_5	源传输步长寄存器	
2930h	DST_TRANSFER_STEP_5	目的传输步长寄存器	
2932h	SRC_WRAP_SIZE_5	源换行大小寄存器	
2934h	SRC_WRAP_COUNT_5	源换行计数寄存器	
2936h	SRC_WRAP_STEP_5	源换行步长寄存器	
2938h	DST_WRAP_SIZE_5	目的换行大小寄存器	
293Ah	DST_WRAP_COUNT_5	目的换行计数寄存器	
293Ch	DST_WRAP_STEP_5	目的换行步长寄存器	
293Eh	SRC_BEG_ADDR_SHADOW_5	影子源开始和当前地址指针寄存器	
2942h	SRC_ADDR_SHADOW_5	影子目的开始和当前地址指针寄存器	
2946h	SRC_BEG_ADDR_5	活动源开始和当前地址指针寄存器	
294Ah	SRC_ADDR_5	活动目的开始和当前地址指针寄存器	
294Eh	DST_BEG_ADDR_SHADOW_5	影子目的开始和当前地址指针寄存器	
2952h	DST_ADDR_SHADOW_5	影子目的开始和当前地址指针寄存器	
2956h	DST_BEG_ADDR_5	活动目的开始和当前地址指针寄存器	
295Ah	DST_ADDR_5	活动目的开始和当前地址指针寄存器	

4.7. 启动流程与 boot rom

boot rom 由厂家使用引导载入软件进行设定。提供的引导模式信号告之引导加载软件在加电时使用哪种引导模式。用户能够选择正常引导或者从外部连接下载新软件或者选择在内部闪存/ROM 中编辑的引导软件。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。

表 4-39 引导模式选择

模式	GPIO87/XA15	GPIO86/XA14	GPIO85/XA13	GPIO84/XA12	模式(1)
F	1	1	1	1	跳转到闪存
E	1	1	1	0	SCI-A boot

D	1	1	0	1	SPI-A 引导
C	1	1	0	0	I2C-A 引导
B	1	0	1	1	εCAN-A 引导
A	1	0	1	0	McBSP-A 引导
9	1	0	0	1	跳转到 XINTF x16
8	1	0	0	0	跳转到 XINTF x32
7	0	1	1	1	跳转到 OTP
6	0	1	1	0	并行 GPIO I/O 引导
5	0	1	0	1	并行 XINTF 引导
4	0	1	0	0	跳转至 SARAM
3	0	0	1	1	分支到检查引导模式
2	0	0	1	0	跳转到闪存,跳过 ADC 校准
1	0	0	0	1	跳转至 SARAM,跳过 ADC 校准
0	0	0	0	0	跳转至 SCI,跳过 ADC 校准

(1) 所有的4个GPIO引脚都有内部上拉电阻。

5. 时序和开关特性

5.1. 时序参数符号

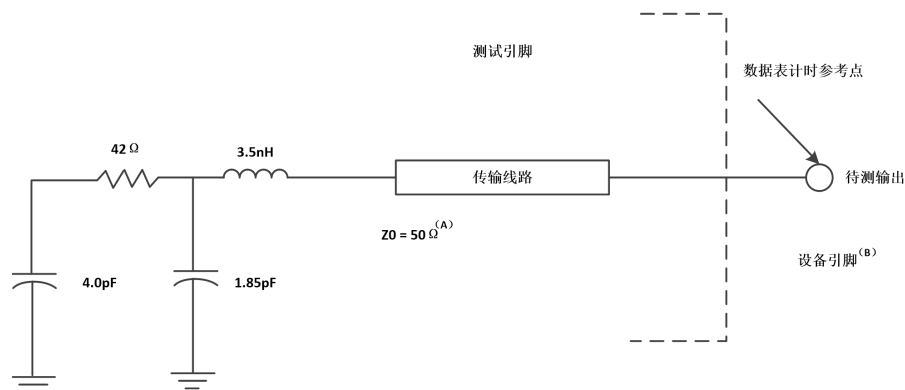
所用的时序参数符号按照 JEDEC 标准 100 创建。为了缩短符号，一些引脚的名称和其它相关的术语名已经按如下方法缩减：

表 5-1 参数符号

小写下标和它们的含义		字母符号和它们的含义	
a	访问时间	H	高
c	周期时间（周期）	L	低
d	延迟时间	V	有效
f	下降时间	X	未知、改变、或者无关电平
h	保持时间	Z	高阻抗
r	上升时间		
su	建立时间		
t	转换时间		
v	有效时间		
w	脉冲持续时间（宽度）		

5.2. 测试负载电路

该测试负载电路用于测量本文档中提供的所有开关特性。



- A. 使用一个器件引脚上小于每纳秒 4 伏 (4V/ns) 的输入转换率对这个数据表中的输入要求进行测试。
- B. 此数据表在器件引脚上提供时序。对于输出时序分析，必须将测试器引脚电子特性和传输线路效应考虑在内。一个带有 2ns 或者更长时间延迟的传输线路可被用于生成所需的传输线路效应。传输线路只用作一个负载。无需从数据表时序中增加或者减少传输线路延迟 (2ns 或者更长)。

图 5-1 3.3V 测试负载电路

5.3. 器件时钟表

本节提供各种可用的时钟选项的定时要求和开关特性。具体如下表所示。

表 5-2 计时和命名规则

		最小值	标称值	最大值	单位
片载振荡器时钟	$t_{c(OSC)}$, 周期时间	28.6		50	ns
	频率	20		35	MHz
XCLKIN ⁽¹⁾	$t_{c(CI)}$, 周期时间	6.67		250	ns
	频率	4		150	MHz
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	6.67		500	ns
	频率	2		150	MHz
XCLKOUT	$t_{c(XCO)}$, 周期时间	6.67		2000	ns
	频率	0.5		150	MHz
HSPCLK ⁽²⁾	$t_{c(LCO)}$, 周期时间	6.67	13.3 ⁽³⁾		ns
	频率		75 ⁽³⁾	150	MHz
LSPCLK ⁽²⁾	$t_{c(LCO)}$, 周期时间	13.3	26.7 ⁽³⁾		ns
	频率		37.5 ⁽³⁾	75 ⁽⁴⁾	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间	40			ns
	频率			25	MHz

(1) 如果使用一个 3.3V 振荡器，这也应用于 X1 引脚。

- (2) 更低的 LSPCLK 和 HSPCLK 将减少器件功耗.
- (3) 这是 SYSCLKOUT=150MHz 时的默认
- (4) 尽管 LSPCLK 能够达到 100MHz, 但它被指定为 75MHz, 因为对于 150-MHz 的设备, 最小有效的“低速外围时钟预分频寄存器”值是“1”。

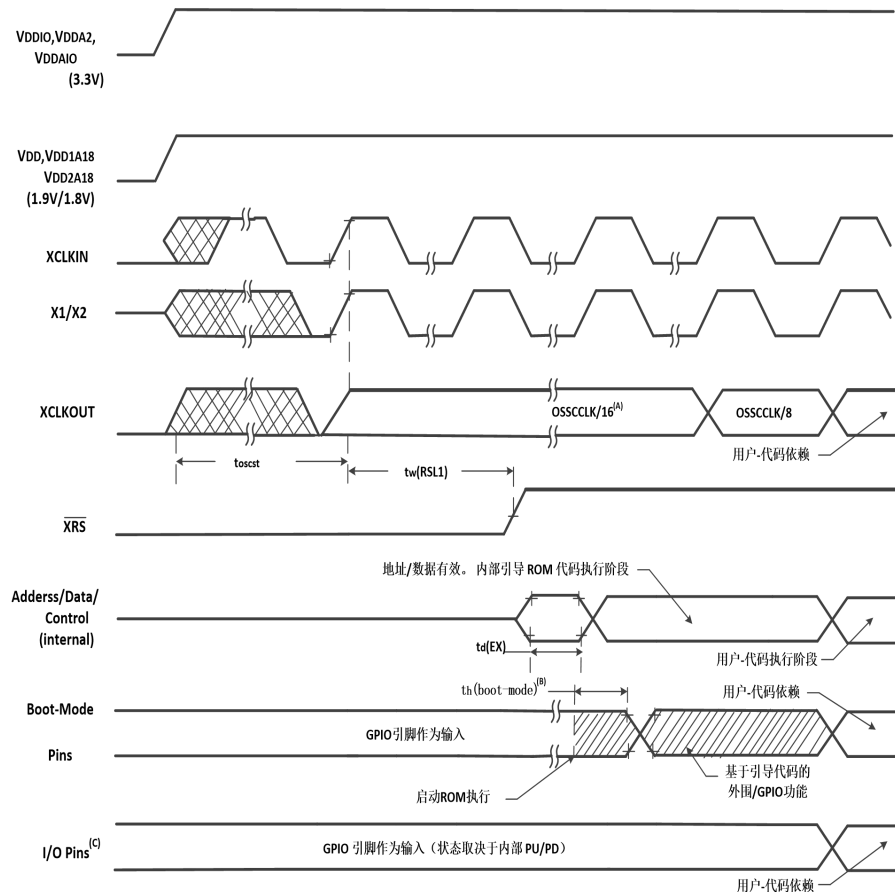
5.4. 电源排序

对于不同电源引脚的加电/断电序列无特别要求以确保针对所有模块的正确复位。然而, 如果 I/O 引脚的电平移动输出缓冲器中的 3.3V 晶体管在 1.8V/1.9V 晶体管之前加电, 输出缓冲器有可能打开, 这会在加电期间导致引脚上的毛刺脉冲。为了避免这一运行状态, 给 VDD 引脚加电应早于对 VDDIO 引脚供电, 或者与之同时, 以确保 VDD 引脚在 VDDIO 引脚达到 0.7V 之前达到 0.7V。

有一些对于 $\overline{\text{XRS}}$ 引脚的要求:

1. 加电期间, $\overline{\text{XRS}}$ 引脚必须在输入时钟稳定之后的 $t_{\text{w}}(\text{RSL1})$ 内保持低电平。这使得整个器件从一个已知的条件启动。
2. 断电期间, $\overline{\text{XRS}}$ 引脚必须至少在 VDD 达到 1.5V 之前的 $8\mu\text{s}$ 内被下拉至低电平。这样做提高了闪存可靠性。

在为器件加电之前, 不应将 VDDIO 之上大于二极管压降 (0.7V) 的电压应用于任何数字引脚上 (对于模拟引脚, 这个值是比 VDDA 高 0.7V 的电压值)。此外, VDDIO 和 VDDA 之间的差距应一直在 0.3V 之内。应用于未加电器件的引脚上的电压会以一种无意的方式偏置内部 p-n 接头并产生无法预料的结果。



- A. 加电时，SYSCLKOUT 为 OSCCLK/4。由于 XINTCNF2 寄存器内的 XTIMCLK 和 CLKMODE 位出现时的状态为复位状态 1，SYSCLKOUT 在它出现在 XCLKOUT 上之前被进一步 4 频。这就是在这个阶段 XCLKOUT=OSCCLK/16 的原因。随后，引导 ROM 要把 SYSCLKOUT 改为 OSCCLK/2。因为 XTIMCLK 寄存器不能被引导 ROM 改变，所以在此阶段，XCLKOUT 为 OSCCLK/8。
- B. 复位后，引导 ROM 代码采样引导模式引脚。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后（在调试器环境中）执行代码，引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。

对于加电期间，确保一个 GPIO 引脚为高阻抗状态的要求

图 5-2 加电复位

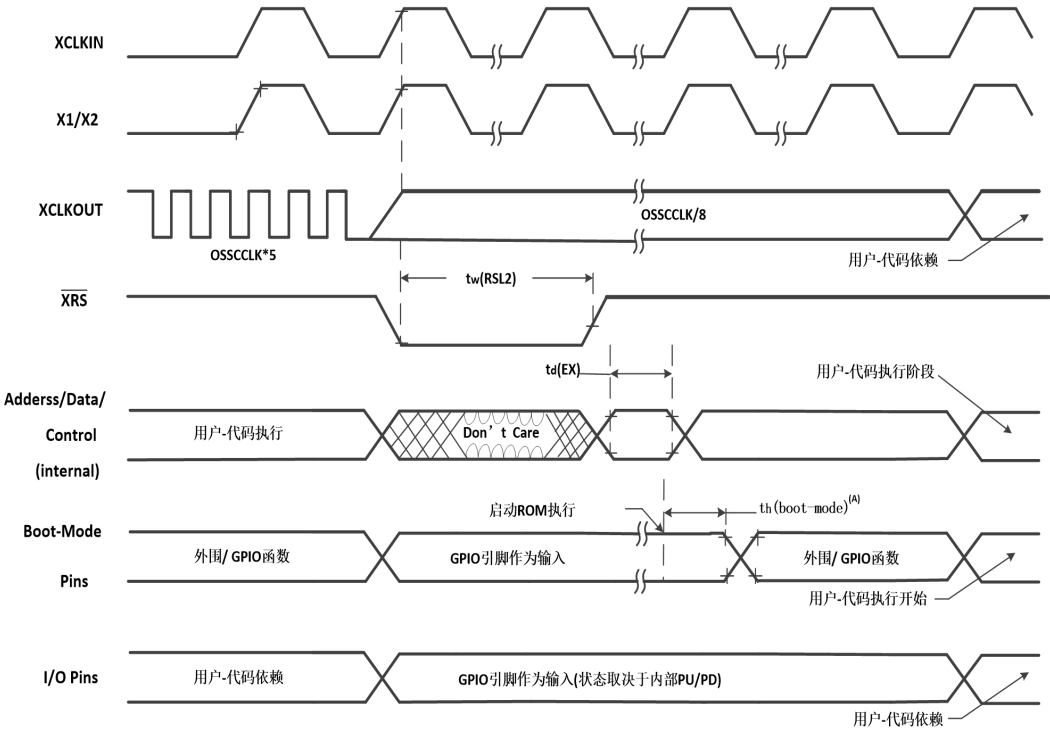
表 5-3 复位(XRS) 时序要求

		最小值	标称值	最大值	单位
$t_w(RSL1)^{(1)}$	脉冲持续时间，稳定输入时钟至 XRS 高电平的时间	$32t_c(OSCCLK)$			周期
$t_w(RSL2)$	脉冲持续时间，XRS 低电平的时间	热复位 $32 t_c(OSCCLK)$			周期
$t_w(WDRS)$	脉冲持续时间，由安全装置生成复位脉冲的时间		$512t_c(OSCCLK)$		周期
$t_d(EX)$	延迟时间，XRS 高电平后，地		$32t_c(OSCCLK)$		周

	址/数据有效的时间					期
$t_{OSCST}^{(2)}$	振荡器启动时间		1	10		ms
t_h （引导模式）	引导模式引脚的保持时间		$200t_{c(OSCCLK)}$			周期

(1) 另外， $t_{w(RSL1)}$ 要求,XRS 必须在 V_{DD} 达到 1.5V 后的 1ms 内为低电平.

(2) 取决于晶振/谐振器和电路板设计.



A. 复位后，引导 ROM 代码采样 BOOT 模式 引脚。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后（在调试器环境中）执行代码，引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。

图 5-3 热复位

5.5.时钟要求和特性

表 5-4 输入时钟频率

参数			最小值	典型值	最大值	单位
输入时钟频率	谐振器 (X1/X2)		20		35	MHz
	晶振 (X1/X2)		20		35	
	外部振荡器 / 时钟源 (XCLKIN)	150MHz 器件	4		150	
		100MHz 器件	4		100	
跛行模式 SYSCLKOUT 频率范围 (/2 启用时)				1-5		MHz

表 5-5 XCLKIN 时序要求- PLL 被启用

编号			最小值	最大值	单位
C8	$t_{c(CI)}$	周期时间, XCLKIN	33.3	200	ns
C9	$t_{f(CI)}$	下降时间, XCLKIN(1)		6	ns
C10	$t_{r(CI)}$	上升时间, XCLKIN(1)		6	ns
C11	$t_{w(CIL)}$	脉冲持续时间, XCLKIN 低电平作为 $t_{c(CI)}(1)$ 的一部分的时间	45%	55%	
C12	$t_{w(CIH)}$	脉冲持续时间, XCLKIN 高电平是 $t_{c(CI)}(1)$ 的一部分时间	45%	55%	

(1) 这也被应用到 X1 引脚.

表 5-6 XCLKIN 时序要求- PLL 被禁用

编号				最小值	最大值	单位
C8	$t_{c(CI)}$	周期时间, XCLKIN	150MHz 器件	6.67	250	ns
C9	$t_{f(CI)}$	下降时间, XCLKIN ⁽¹⁾	高达 30 MHz		6	ns
			30MHz 至 150MHz		2	
C10	$t_{r(CI)}$	上升时间, XCLKIN ⁽¹⁾	高达 30 MHz		6	ns
			30MHz 至 150MHz		2	
C11	$t_{w(CIL)}$	脉冲持续时间, XCLKIN 低电平作为 $t_{c(CI)}^{(1)}$ 的一部分的时间		45%	55%	
C12	$t_{w(CIH)}$	脉冲持续时间, XCLKIN 高电平是 $t_{c(CI)}^{(1)}$ 的一部分时间		45%	55%	

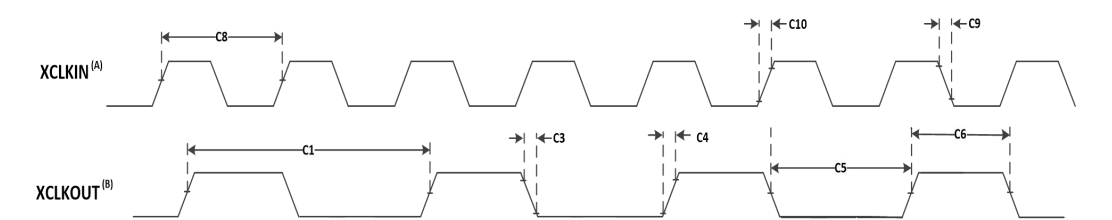
(1) 这也被应用到 X1 引脚.

表 5-7 XCLKOUT 开关特性(PLL 旁通或者被禁用)(1)(2)

编号	参数			最小值	典型值	最大值	单位
C1	$t_{c(XCO)}$	周期时间, XCLKOUT	150MHz	6.67			ns
			100MHz	10			
C3	$t_{f(XCO)}$	下降时间, XCLKOUT			2		ns
C4	$t_{r(XCO)}$	上升时间, XCLKOUT			2		ns
C5	$t_{w(XCOL)}$	脉冲持续时间, XCLKOUT 低电平的时间		H-2		H+2	ns
C6	$t_{w(XCOH)}$	脉冲持续时间, XCLKOUT 高电平的时间		H-2		H+2	ns
	t_p	PLL 锁定时间				131072t _{c(OSCCLK)} ⁽³⁾	周期

(1) 假定这些参数有 40pF 的负载.

- (2) $H=0.5t_{c(XCO)}$.
- (3) OSCCLK 或者为片载振荡器的输出，或者是来自一个外部振荡器的输出.



- A. XCLKIN 与 XCLKOUT 的关系取决于所选择的分频因子。所显示的波形只用于说明时序参数并且根据实际配置会有所不同.
- B. XCLKOUT 被配置成反映 SYSCLKOUT.

图 5-4 时钟时序

5.6.外设时序

5.6.1. 通用输入输出（GPIO）

5.6.1.1.通用输出时序

表 5-8 通用输出开关特性

参数	最小值	最大值	单位
$t_{r(GPO)}$ 上升时间，GPIO 从低到高切换		8	ns
$t_{f(GPO)}$ 下降时间，GPIO 从低到高切换		8	ns
t_{fGPO} 切换频率，GPO 引脚		25	MHz

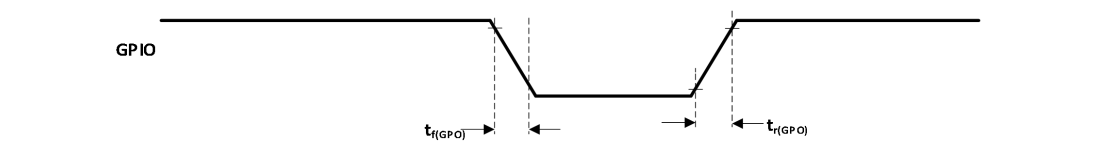


图 5-5 通用输出时序

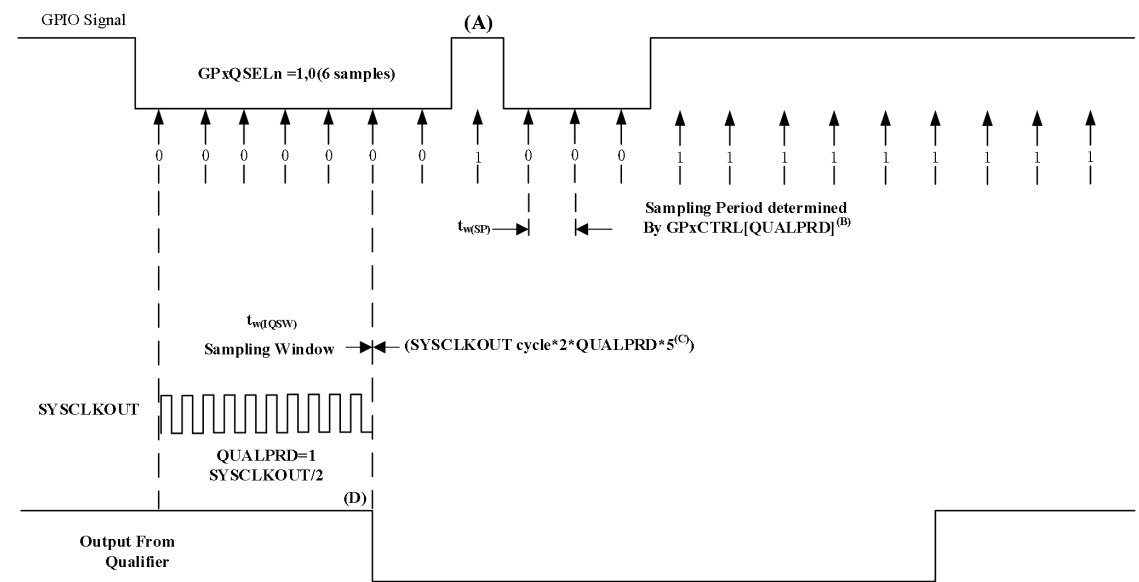
5.6.1.2.通用输入时序

表 5-9 通用输入时序要求

		最小值	最大值	单位
$t_{w(SP)}$ 采样周期	QUALPRD = 0	$1t_{c(SCO)}$		周期
	QUALPRD \neq 0	$2t_{c(SCO)}*QUALPRD$		

$t_{w(IQSW)}$ 输入限定符采样窗口		$t_{w(SP)}*(n^{(1)}-1)$		周期
$t_{w(GPI)}^{(2)}$ 脉冲持续时间，GPIO 低/高	同步模式	$2t_{c(SCO)}$		周期
	带输入限定符	$t_{w(IQSW)}+ t_{w(SP)}+ 1t_{c(SCO)}$		

- (1) “n”表示 GPxQSELn 寄存器定义的鉴定样本数量。
- (2) 对于 $t_{w(GPI)}$ ，对有效低信号，从 V_{IL} 到 V_{IL} 测量脉冲宽度，对有效高信号，从 V_{IH} 到 V_{IH} 测量脉冲宽度。



- A. 输入限定符将忽略此故障。QUALPRD 位字段指定资格采样周期。它可以在 00 到 0xFF 之间变化。如果 QUALPRD=00，则采样周期为 1 SYSCLKOUT 周期。对于任何其他值“n”，以 2n 个 SYSCLKOUT 周期为单位的资格采样周期（即，每 2n 个 SYSTCLKOUT 循环，GPIO 引脚将被采样）。
- B. 通过 GPxCTRL 寄存器选择的鉴定期适用于 8 个 GPIO 引脚的组。
- C. 鉴定块可以采集三个或六个样本。GPxQSELn 寄存器选择使用哪种采样模式。
- D. 在所示的示例中，对于检测更改的限定符，输入应稳定 10 个 SYSCLKOUT 周期或更长时间。换句话说，对于（5×QUALPRD×2）SYSCLKOUT 循环，输入应该是稳定的。这将确保检测发生 5 个采样周期。由于外部信号是异步驱动的，因此 13 个 SYSCLKOUT 宽的脉冲可确保可靠的识别。

图 5-6 采样模式

以下部分总结了各种输入限定符配置的输入信号的采样窗口宽度。采样频率表示相对于 SYSCLKOUT 对信号进行采样的频率。采样频率=SYSCLKOUT/（2*QUALPRD）,若 QUALPRD ≠ 0。采样周期=SYSCLKOUT 周期，若 QUALPRD=0。

在给定的采样窗口中,对输入信号进行 3 个或 6 个采样以确定信号的有效性。这是由写入 GPxQSELn 寄存器的值决定的。

情形 1:

使用三个样本进行鉴定。

采样窗口宽度= $(\text{SYSCLKOUT cycle} \times 2 \times \text{QUALPRD}) \times 2$ ，若 $\text{QUALPRD} \neq 0$ 。

采样窗口宽度= $(\text{SYSCLKOUT cycle}) \times 2$ ，若 $\text{QUALPRD} = 0$ 。

情形二：

使用六个样本进行鉴定。

采样窗口宽度= $(\text{SYSCLKOUT cycle} \times 2 \times \text{QUALPRD}) \times 5$ ，若 $\text{QUALPRD} \neq 0$ 。

采样窗口宽度= $(\text{SYSCLKOUT cycle}) \times 5$ ，若 $\text{QUALPRD} = 0$ 。

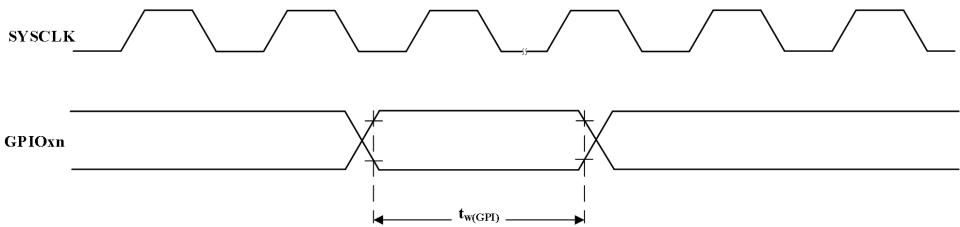


图 5-7 通用输入时序

5.6.1.3.低功耗模式唤醒时序

时序要求如表 5-10 所示。开关特性如表 5-11 所示。IDLE 模式下的时序图如图 5-8 所示。

表 5-10 IDLE 模式时序要求

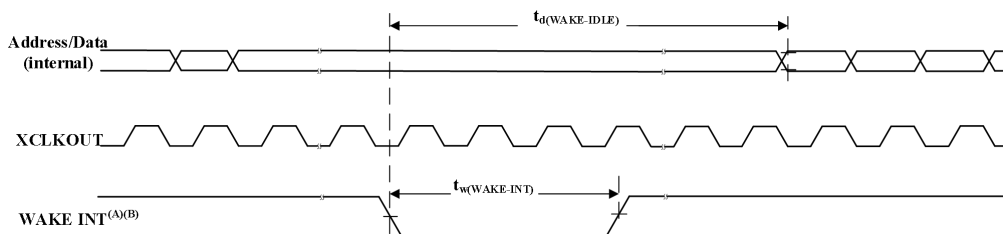
		最小值	最大值	单位
$t_{w(\text{WAKE-INT})}$ 脉冲持续时间，外部唤醒信号	无输入限定符	$2t_{c(\text{SCO})}$		周期
	有输入限定符	$5t_{c(\text{SCO})}+t_{w(\text{IQSW})}$		

表 5-11 IDLE 模式开关特性

参数		测试条件	最 小 值	最大值	单位
$t_d(\text{WAKE-IDLE})$	延迟时间，程序执行恢复的外部唤醒信号 ⁽¹⁾				
	从闪存中唤醒（闪存模块处于活动状态）	无输入限定符		$20t_{c(\text{SCO})}$	周期
		有输入限定符		$20t_{c(\text{SCO})}+t_{x(\text{IQSW})}$	

	从闪存中唤醒（闪存模块处于睡眠状态）	无输入限定符		$1050t_{c(SCO)}$	周期
		有输入限定符		$1050t_{c(SCO)} + t_w(IQSW)$	
	从 SARAM 中唤醒	无输入限定符		$20T_{c(SCO)}$	周期
		有输入限定符		$20t_{c(SCO)} + t_w(IQSW)$	

(1) 这是开始执行紧接在 IDLE 指令之后的指令所花费的时间。ISR（由唤醒触发）信号的执行涉及额外的延迟。



- A. WAKE INT 可以是任何启用的中断、WDINT、XNMI 或 \overline{XRS} 。
- B. 从执行 IDLE 指令将设备置于低功耗模式（LPM）开始，在经过至少 4 个 OSCCLK 周期之前，不应启动唤醒。

图 5-8 IDLE 开启和结束时序

表 5-12 STANDBY 模式时序要求

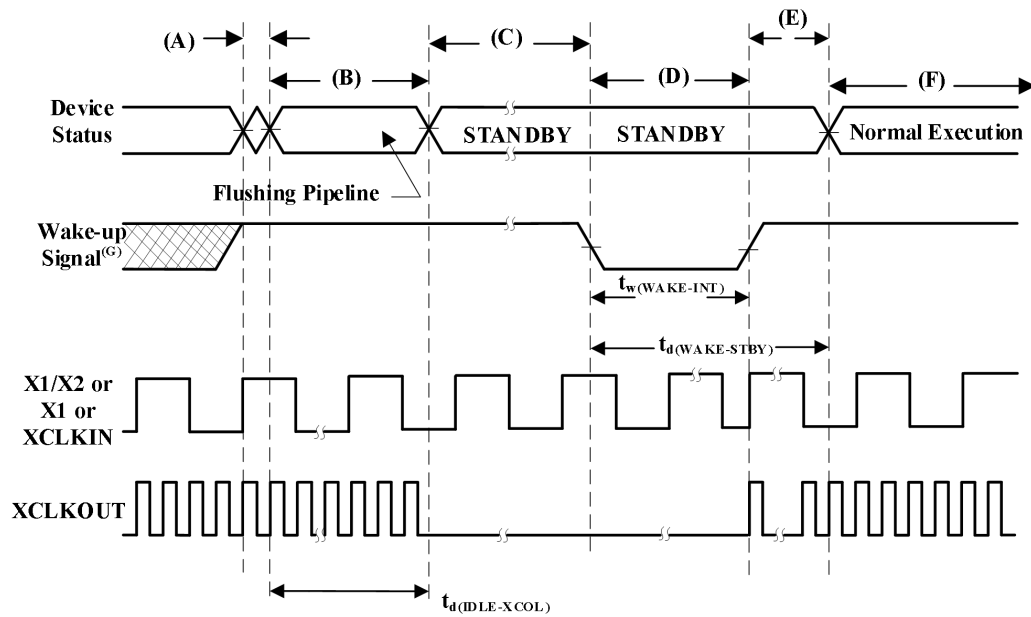
		最小值	最大值	单位
$t_w(WAKE-INT)$ 脉冲持续时间，外部唤醒信号	无输入鉴定	$3t_{c(OSCCLK)}$		周期
	有输入鉴定 ⁽¹⁾	$(2+QUALSTDBY)*t_{c(OSCCLK)}$		

(1) QUALSTDBY 是 LPMCR0 寄存器中的一个 6 位字段。

表 5-13 STANDBY 模式开关特性

参数	测试条件	最小值	最大值	单位
$t_d(IDLE-XCOL)$ 延迟时间，IDLE 指令执行到 XCLKOUT 低电平		$32t_{c(SCO)}$	$42t_{c(SCO)}$	周期
$t_d(WAKE-STBY)$	延迟时间，程序执行恢复的外部唤醒信号 ⁽¹⁾			
	从闪存中唤醒（闪存模块处于活动状态）	无输入限定符	$100t_{c(SCO)}$	周期
		有输入限定符	$100t_{c(SCO)} + t_w(WAKE-INT)$	
	从闪存中唤醒（闪存模块处于睡眠状态）	无输入限定符	$1125t_{c(SCO)}$	周期
		有输入限定符	$1125t_{c(SCO)} + t_w(WAKE-INT)$	
	从 SARAM 中唤醒	无输入限定符	$100t_{c(SCO)}$	周期
		有输入限定符	$100t_{c(SCO)} + t_w(WAKE-INT)$	

(1) 这是开始执行紧接在 IDLE 指令之后的指令所花费的时间。ISR（由唤醒信号触发）的执行涉及额外的延迟。



- A. 执行 IDLE 指令将设备置于 STANDBY 模式
- B. PLL 块响应 STANDBY 信号。SYSCLKOUT 在关闭前保持如下所示的周期数：
- 16 个周期，当 DIVSEL=00 或 01.
 - 32 个周期，当 DIVSEL=10.
 - 64 个周期，当 DIVSEL=11.
- 此延迟使 DSP 流水线和任何其他挂起的操作能够正确刷新。如果对 XINTF 的访问正在进行中，并且其访问时间长于此数字，则它将失败。建议在不进行 XINTF 访问的情况下从 SARAM 进入 STANDBY 模式。
- C. 外设的时钟已关闭。但是，PLL 和看门狗并未关闭。设备现在处于待机模式。
- D. 外部唤醒信号被激活。
- E. 经过一段等待时间后，STANDBY 模式将退出。
- F. 恢复正常执行。设备将对中断做出响应（如果启用）。
- G. 从执行 IDLE 指令将设备置于低功耗模式（LPM）开始，在经过至少 4 个 OSCCLK 周期之前，不应启动唤醒。

图 5-9 STANDBY 开启和结束时序

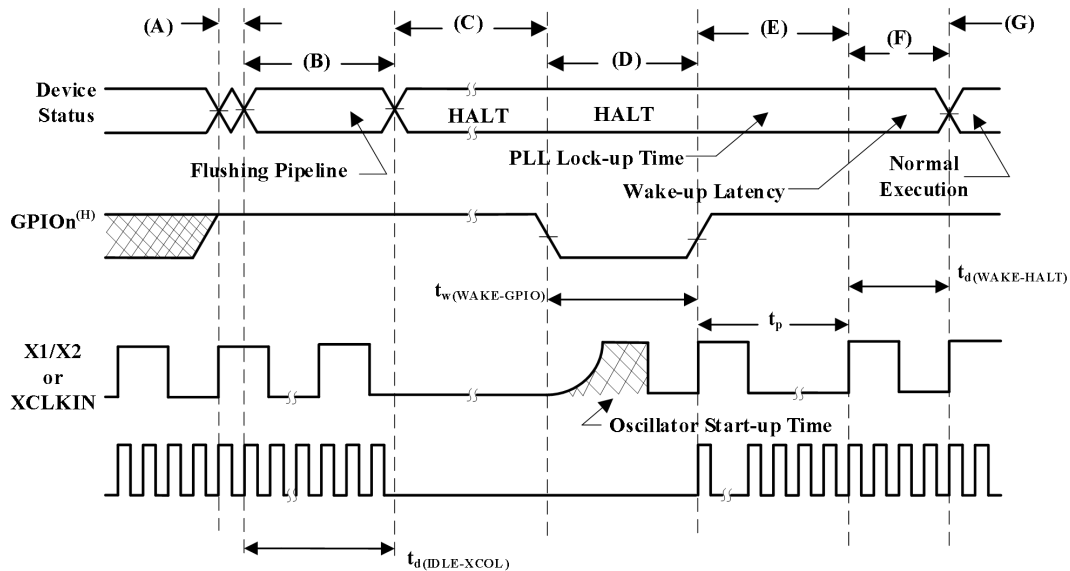
表 5-14 HALT 模式时序要求

	最小值	最大值	单位
$t_{w(WAKE-GPIO)}$ 脉冲持续时间，GPIO 唤醒信号	$t_{oscst} + 2t_c(OSCCLK)$		周期
$t_{w(WAKE-XRS)}$ 脉冲持续时间， \overline{XRS} 唤醒信号	$t_{oscst} + 8t_c(OSCCLK)$		周期

表 5-15 HALT 模式开关特性

参数	最小值	最大值	单位
$t_d(IDLE-XCOL)$ 延迟时间，IDLE 指令执行到 XCLKOUT 低电平	$32t_c(SCO)$	$45t_c(SCO)$	周期
t_p PLL 锁定时间		$131072t_c(OSCCLK)$	
$t_d(WAKE-HALT)$ 延迟时间，PLL 锁定程序		$1125t_c(SCO)$	

	执行恢复 1)从闪存唤醒（闪存模块处于休眠状态） 2)从 SARAM 唤醒		$35t_{c(SCO)}$	
--	---	--	----------------	--



A. 执行 IDLE 指令将设备置于 HALT 模式

B. PLL 块响应 HALT 信号。SYSCLKOUT 在关闭前保持如下所示的周期数：

- 16 个周期，当 DIVSEL=00 或 01.
- 32 个周期，当 DIVSEL=10.
- 64 个周期，当 DIVSEL=11.

此延迟使 DSP 流水线和任何其他挂起的操作能够正确刷新。如果对 XINTF 的访问正在进行中，并且其访问时间长于此数字，则它将失败。建议在不进行 XINTF 访问的情况下从 SARAM 进入 HALT 模式。

C. 外设的时钟已关闭。PLL 被关闭。如果使用石英晶体或陶瓷谐振器作为时钟源，内部振荡器也会关闭。该设备现在处于 HALT 模式，并且消耗绝对最小功率。

D. 当 GPIO_n 引脚（用于使设备脱离 HALT）被驱动为低电平时，振荡器被打开，振荡器唤醒序列被启动。只有在振荡器稳定后，GPIO 引脚才能被驱动为高电平。这使得能够在 PLL 锁定序列期间提供干净的时钟信号。由于 GPIO 引脚的下降沿异步开始唤醒过程，因此在进入 HALT 模式之前和期间应注意保持低噪声环境。

E. 一旦振荡器稳定下来，PLL 锁定序列就会启动，这需要 131072 个 OSCCLK（X1VX2 或 X1 或 XCLKIN）周期。注意，即使当 PLL 被禁用时，这 131072 个时钟周期也是适用的（即使 PLL 被停用，代码执行也将延迟该持续时间）。

F. 核心和外设的时钟已启用。HALT 模式现已退出。设备将在延迟后对中断做出响应（如果启用）。

G. 恢复正常操作

H. 从执行 IDLE 指令将设备置于低功耗模式（LPM）开始，在经过至少 4 个 OSCCLK 周期之前，不应启动唤醒。

图 5-10 使用 GPIO_n 的 HALT 唤醒

5.6.2. 增强型控制外设

5.6.2.1. 增强型脉宽调制器（ePWM）时序

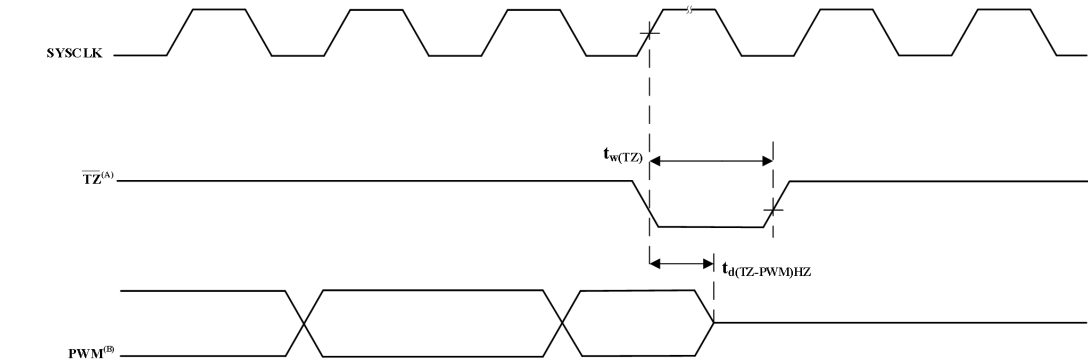
PWM 指 ePWM1-6 上的 PWM 输出。ePWM 时序要求如表 5-16 ePWM 时序要求所示。ePWM 开关特性如表 5-17 ePWM 开关特性所示。

表 5-16 ePWM 时序要求

			最小值	最大值	单位
t _w (SYCIN)	同步输入脉冲宽度	异步	2t _c (SCO)		周期
		同步	2t _c (SCO)		
		带输入限定符	1t _c (SCO)+t _w (QSW)		

表 5-17 ePWM 开关特性

参数	测试条件	最小值	最大值	单位
t _w (PWM)	脉冲持续时间, PWMx 输出高/低电平	20		ns
t _w (SYNCOUT)	同步输出脉冲宽度	8t _c (SCO)		周期
t _d (PWM)t _{za}	延迟时间, PWM 强制高/低电平跳变输入激活	无引脚负载	25	ns
t _d (TZ-PWM)HZ	激活 PWM Hi-Z 的跳变输入		20	ns



- A. TZ-TZ1, TZ2, TZ3, TZ4, TZ5, TZ6
- B. PWM 指的是设备中的所有 PWM 引脚。TZ变高后 PWM 引脚的状态取决于 PWM 恢复软件

图 5-11 PWM Hi-Z 特性

表 5-18 跳变区域输入时序要求

		最小值	最大值	单位
t _w (TZ)	异步	1t _c (SCO)		周期
	同步	2t _c (SCO)		
	带输入限定符	1t _c (SCO)+t _w (QSW)		

5.6.2.2. 高分辨率 PWM 时序

高分辨率 PWM 开关特性如表 5-19 SYSCLKOUT=（60 – 150 MHz）时的高分辨率 PWM 特性所示。

表 5-19 SYSCLKOUT=（60 – 150 MHz）时的高分辨率 PWM 特性

	最小值	典型值	最大值	单位
微边缘定位(MEP)步长		150	310	ps

5.6.2.3. 增强捕获（eCAP）时序

eCAP 时序要求如表 5-20 所示，eCAP 开关特性如表 5-21 所示。

表 5-20 eCAP 时序要求

		最小值	最大值	单位
$t_{w(CAP)}$ 捕获脉冲输入宽度	异步	$2t_{c(SCO)}$		周期
	同步	$2t_{c(SCO)}$		
	带输入限定符	$1t_{c(SCO)} + t_{w(IQSW)}$		

表 5-21 eCAP 开关特性

参数	测试条件	最小值	最大值	单位
$t_{w(APWM)}$ 脉冲持续时间，APWMx 输出高/低电平		20		ns

5.6.2.4. 增强正交编码器脉冲（eQEP）时序

eQEP 时序要求如表 5-22 所示，eQEP 开关特性如表 5-23 所示。

表 5-22 eQEP 时序要求

		最小值	最大值	单位
$t_{w(QEPP)}$ QEP 输入周期	异步/同步	$2t_{c(SCO)}$		周期
	带有输入限定符	$2[1t_{c(SCO)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$ QEP 指数输入高电平时间	异步/同步	$2t_{c(SCO)}$		周期
	带有输入限定符	$2[1t_{c(SCO)} + t_{w(IQSW)}]$		
$t_{w(INDEXL)}$ QEP 指数输入低电平时间	异步/同步	$2t_{c(SCO)}$		周期
	带有输入限定符	$2[1t_{c(SCO)} + t_{w(IQSW)}]$		
$t_{w(STROBH)}$ QEP 频闪高电平时	异步/同步	$2t_{c(SCO)}$		周期

间	带有输入限定符	$2[1t_{c(SCO)}+ t_{w(IQSW)}]$		
$t_{w(STROBL)}$ QEP 选通输入低电平时间	异步/同步	$2t_{c(SCO)}$		周期
	带有输入限定符	$2[1t_{c(SCO)}+ t_{w(IQSW)}]$		

表 5-23 eQEP 开关特性

参数	测试条件	最小值	最大值	单位
$t_d(CNTR)_{xin}$ 延迟时间，外部时钟到计数器增量			$4t_{c(SCO)}$	周期
$t_d(PCS-OUT)_{QEP}$ 延迟时间，QEP 输入边缘到位置比较同步输出			$6t_{c(SCO)}$	周期

5.6.2.5.ADC 转换开始时序

表 5-24 外部 ADC 转换开始的开关特性

参数	最小值	最大值	单位
$t_w(ADCSOCL)$ 脉冲持续时间， $\overline{ADCSOCxO}$ 低电平	$32t_{c(HCO)}$		周期

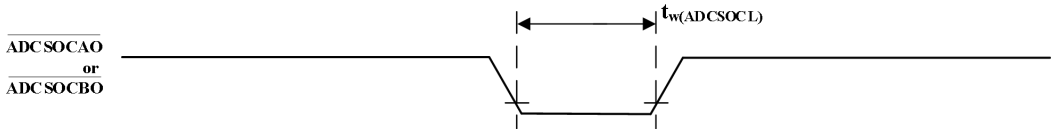


图 5-12 $\overline{ADCSOCAO}$ 或 $\overline{ADCSOCBO}$ 时序

5.6.3. 外部中断时序

表 5-25 外部中断时序要求

		最小值	最大值	单位
$t_{w(INT)}^{(1)}$ 脉冲持续时间，INT 输入低/高电平	同步	$1t_{c(SCO)}$		周期
	带有限定符	$1t_{c(SCO)}+ t_{w(IQSW)}$		

(1) 此时序适用于为 ADCSOC 功能配置的任何 GPIO 引脚。

表 5-26 外部中断开关特性

参数	最小值	最大值	单位
$t_d(INT)$ 脉冲持续时间，INT 低/高电平中断矢量提取		$t_{w(IQSW)}+ 12t_{c(SCO)}$	周期

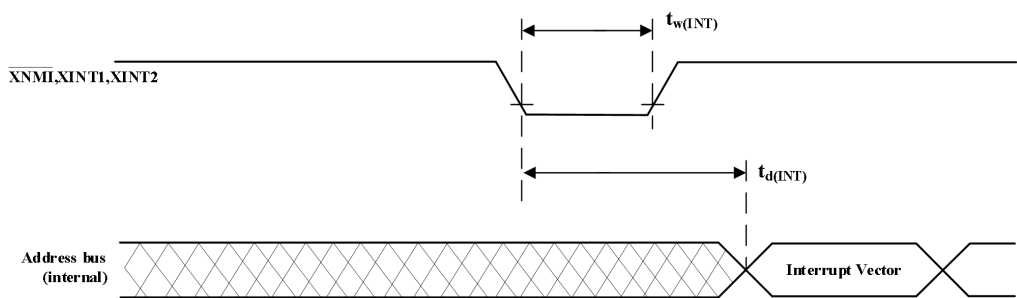


图 5-13 外部中断时序

5.6.4. I2C 电气规格和时序

5.6.4.1. I2C 时序

表 5-27 I2C 时序

	测试条件	最小值	最大值	单位
f_{SCL} SCL 时钟频率	I2C 时钟模块频率在 7 MHz 至 12 MHz 之间，并适当配置了 I2C 预分频器和时钟分频寄存器		400	kHz
V_{il} 低电平输入电压			$0.3 V_{DDIO}$	V
V_{ih} 高电平输入电压		$0.7 V_{DDIO}$		V
V_{hys} 输入滞后		$0.05 V_{DDIO}$		V
V_{ol} 低电平输出电压	3 毫安吸收电流	0	0.4	V
t_{LOW} SCL 时钟低周期	I2C 时钟模块频率在 7 MHz 至 12 MHz 之间，并适当配置了 I2C 预分频器和时钟分频寄存器	1.3		μs
t_{HIGH} SCL 时钟高周期	I2C 时钟模块频率在 7 MHz 至 12 MHz 之间，并适当配置了 I2C 预分频器和时钟分频寄存器	0.6		μs
I_I 输入电介于 $0.1V_{DDIO}$ 和 $0.9V_{DDIO}$ 最大值之间的输入电流		-10	10	μA

5.6.5. 串行外设接口（SPI）时序

本节包含主控模式和受控模式的时序数据。

5.6.5.1. 主控模式时序

主控模式时序（时钟相位为0）和主控模式时序（时钟相位为1）分别在本节表5-28和表 5-29列出，时序图由图 5-14和图 5-15给出。

表 5-28 SPI 主控模式外部时序（时钟相位为 0）^{(1) (2) (3) (4) (5)}

顺序	参数		BRR EVEN		BRR ODD		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间, SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$	SPICLK 第一个脉冲持续时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	ns
3	$t_{w(SPC2)M}$	SPICLK 第二个脉冲持续时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	ns
4	$t_{d(SIMO)M}$	SPICLK 到 SPISIMO 有效的延时时间		10		10	ns
5	$t_{v(SIMO)M}$	在 SPICLK 后 SPISIMO 有效时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 10$		ns
8	$t_{su(SOMI)M}$	SPICLK 到来前, SPISOMI 的建立时间	35		35		ns
9	$t_{h(SOMI)M}$	SPICLK 到来后, SPISOMI 的保持时间	0		0		ns
23	$t_{d(SPC)M}$	\overline{SPISTE} 激活到 SPICLK 到来延时时间	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$	SPICLK 到 \overline{SPISTE} 非激活的延时时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 10$		ns

(1) MASTER/SLAVE位 (SPICTL.2) 已设定, CLOCK PHASE位 (SPICTL.3) 已声明。

(2) $t_{c(SPC)} = \text{SPI时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$

(3) $t_{c(LCO)} = \text{LSPCLK}$ 时钟周期

(4) 必须调整内部时钟预分频器, 使SPI时钟速率限制在以下速率: 主控模式发送最高25MHz, 主控模式接收最高12.5 MHz, 受控模式发送最高12.5 MHz, 受控模式接收最高12.5 MHz。

(5) 参考SPICLK信号的有效边缘由时钟极性位 (SPICCR.6) 控制。

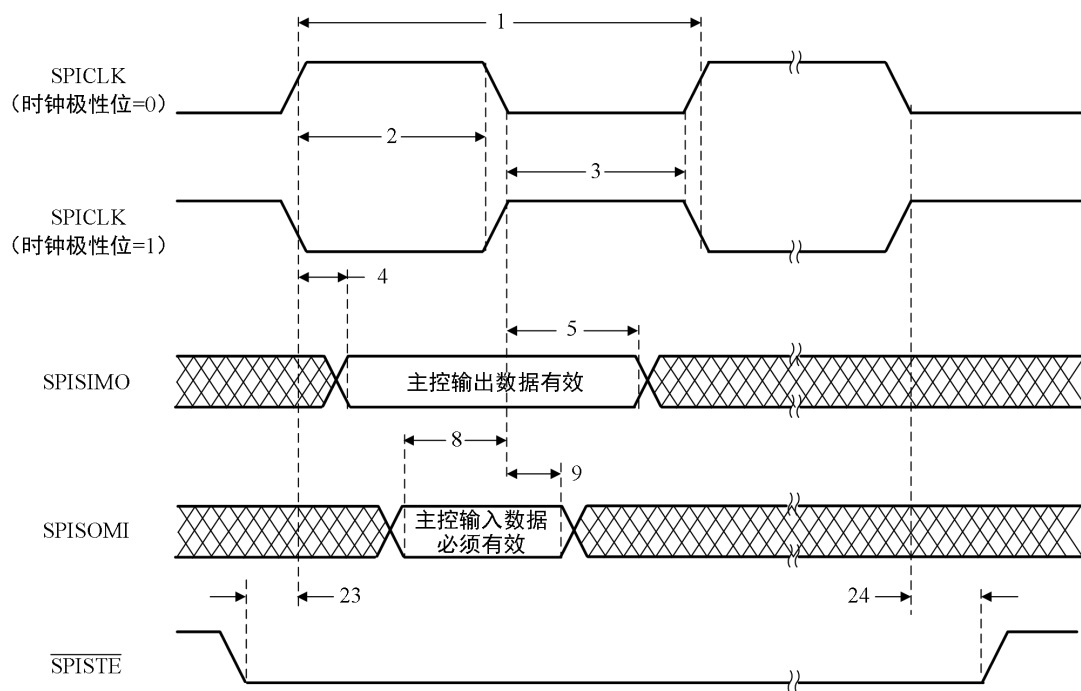


图 5-14 SPI 主控模式外部时序图（时钟相位为 0）

表 5-29 SPI 主控模式外部时序（时钟相位为 1）(1)(2)(3)(4)(5)

顺序	参数	BRR EVEN		BRR ODD		单位
		最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$ 周期时间, SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$ SPICLK 第一个脉冲持续时间	$0.5t_{c(SPC)M}$ 10	$0.5t_{c(SPC)M}$ 10	$+0.5t_{c(SPC)M}$ $0.5t_{c(LSPCLK)} - 10$	$+0.5t_{c(SPC)M}$ $0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$ SPICLK 第二个脉冲持续时间	$0.5t_{c(SPC)M}$ 10	$0.5t_{c(SPC)M}$ 10	$+0.5t_{c(SPC)M}$ $0.5t_{c(LSPCLK)} - 10$	$+0.5t_{c(SPC)M}$ $0.5t_{c(LSPCLK)} + 10$	ns
6	$t_{d(SIMO)M}$ SPISIMO 有效到 SPICLK 的延时时间	$0.5t_{c(SPC)M}$ 10		$0.5t_{c(SPC)M}$ $0.5t_{c(LSPCLK)} - 10$	+	ns
7	$t_{v(SIMO)M}$ SPICLK 到来后 SPISIMO 有效时间	$0.5t_{c(SPC)M}$ 10		$0.5t_{c(SPC)M}$ $0.5t_{c(LSPCLK)} - 10$	-	ns
10	$t_{su(SOMI)M}$ SPICLK 到来前, SPISOMI 的建立时间	35		35		ns
11	$t_{h(SOMI)M}$ SPICLK 到来后, SPISOMI 的保持时间	0		0		ns
23	$t_{d(SPC)M}$ SPISTE 激活到 SPICLK 到来延时时间	$2t_{c(SPC)M}$ $3t_{c(SYSCLK)} - 10$		$2t_{c(SPC)M}$ $3t_{c(SYSCLK)} - 10$	-	ns

24	$t_{d(STE)M}$	SPICLK 到 \overline{SPISTE} 无效的延时时间	$0.5t_{c(SPC)} - 10$	$0.5t_{c(SPC)}$ $0.5t_{c(LSPCLK)} - 10$	ns
----	---------------	--------------------------------------	----------------------	--	----

- (1) MASTER/SLAVE位 (SPICTL.2) 和CLOCK PHASE位 (SPICTL.3) 已设定。
- (2) $t_{c(SPC)} = \text{SPI时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) 必须调整内部时钟预分频器, 使SPI时钟速率限制在以下: 主控模式发送最高25MHz, 主控模式接收最高12.5 MHz, 受控模式发送最高12.5 MHz, 受控模式接收最高12.5 MHz。
- (4) $t_{c(LCO)} = \text{LSPCLK周期时间}$
- (5) SPICLK信号的有效边缘由时钟极性位(SPICCR.6)控制。

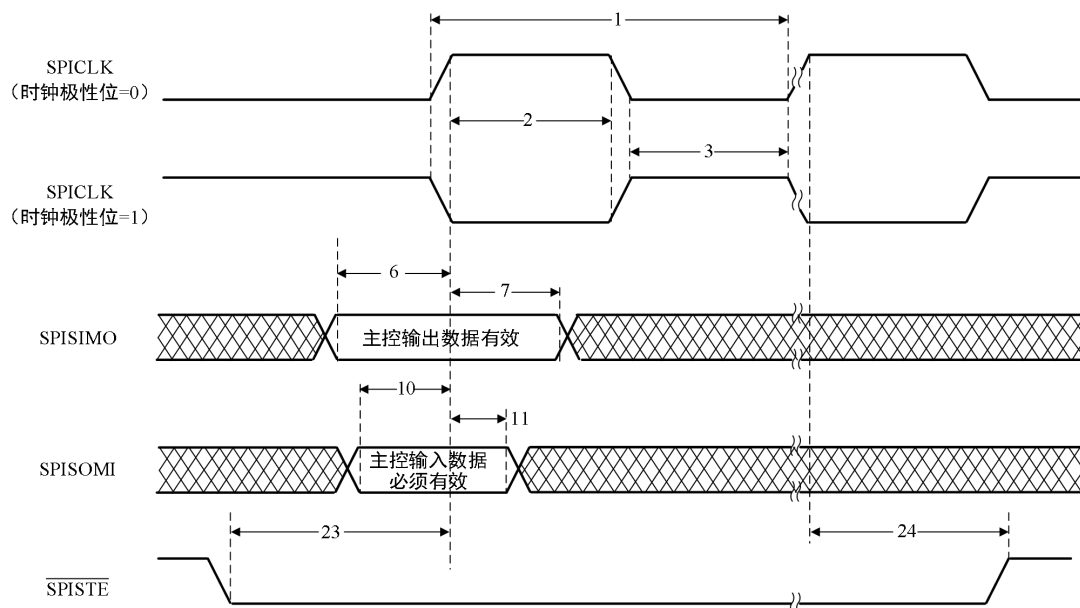


图 5-15 SPI 主控模式外部时序图 (时钟相位为 1)

5.6.5.2. 受控模式时序

受控模式时序 (时钟相位为0) 和受控模式时序 (时钟相位为1) 分别在本节表 5-30和表 5-31列出, 时序图由图 5-16和图 5-17给出。

表 5-30 SPI 受控模式外部时序 (时钟相位为 0) (1)(2)(3)(4)(5)

顺序	参数	最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间, SPICLK	$4t_{c(SYSCLK)}$	ns
13	$t_{w(SPC1)S}$	SPICLK 第一个脉冲持续时间	$2t_{c(SYSCLK)}-1$	ns
14	$t_{w(SPC2)S}$	SPICLK 第二个脉冲持续时间	$2t_{c(SYSCLK)}-1$	ns
17	$t_{d(SOMI)S}$	SPICLK 到 SPISOMI 有效的延时时间	35	ns
18	$t_{v(SOMI)S}$	SPICLK 到来后 SPISOMI 有效时间	0	ns
21	$t_{su(SIMO)S}$	SPICLK 到来前 SPISIMO 有效的建立时间	$1.5t_{c(SYSCLK)}$	ns

22	$t_{h(SIMO)S}$	SPICLK 到来后 SPISIMO 数据有效保持时间	$1.5t_{c(SYSCCLK)}$		ns
25	$t_{su(STE)S}$	SPICLK 到来前 \overline{SPISTE} 激活的建立时间	$1.5t_{c(SYSCCLK)}$		ns
26	$t_{h(STE)S}$	\overline{SPISTE} 无效在 SPICLK 后的保持时间	$1.5t_{c(SYSCCLK)}$		ns

- (1) MASTER/SLAVE位 (SPICTL.2) 和CLOCK PHASE位 (SPICTL.3) 已设定。
- (2) $t_{c(SPC)} = \text{SPI时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) $t_{c(LCO)} = \text{LSPCLK周期时间}$
- (4) 必须调整内部时钟预分频器, 使SPI时钟速率限制在以下: 主控模式发送最高25MHz, 主控模式接收最高12.5 MHz, 受控模式发送最高12.5 MHz, 受控模式接收最高12.5 MHz。
- (5) SPICLK信号的有效边缘由时钟极性位(SPICCR.6)控制。

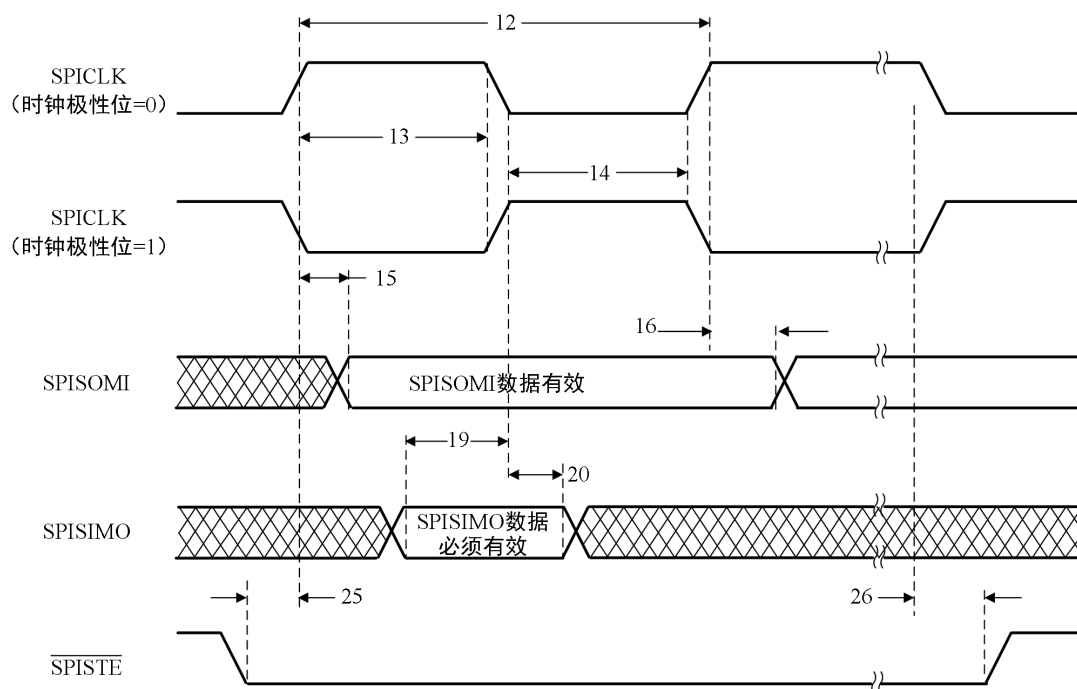


图 5-16 SPI 主控模式外部时序图 (时钟相位为 0)

表 5-31 SPI 受控模式外部时序 (时钟相位为 1) (1)(2)(3)(4)

顺序	参数	最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间, SPICLK	$4t_{c(SYSCCLK)}$		ns
13	$t_{w(SPC1)S}$ SPICLK 第一个脉冲持续时间	$2t_{c(SYSCCLK)}-1$		ns
14	$t_{w(SPC2)S}$ SPICLK 第二个脉冲持续时间	$2t_{c(SYSCCLK)}-1$		ns
17	$t_{d(SOMI)S}$ SPICLK 到 SPISOMI 有效的延时时间		35	ns
18	$t_{v(SOMI)S}$ SPICLK 到来后 SPISOMI 有效时间	0		ns
21	$t_{su(SIMO)S}$ SPICLK 到来前 SPISIMO 有效的建立时间	$1.5t_{c(SYSCCLK)}$		ns
22	$t_{h(SIMO)S}$ SPICLK 到来后 SPISIMO 数据有效保持时间	$1.5t_{c(SYSCCLK)}$		ns
25	$t_{su(STE)S}$ SPICLK 到来前 \overline{SPISTE} 激活的建立时间	$1.5t_{c(SYSCCLK)}$		ns
26	$t_{h(STE)S}$ \overline{SPISTE} 无效在 SPICLK 后的保持时间	$1.5t_{c(SYSCCLK)}$		ns

- (1) MASTER/SLAVE位 (SPICTL.2) 和CLOCK PHASE位 (SPICTL.3) 已设定。

- (2) $t_{c(SPC)} = \text{SPI时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) 必须调整内部时钟预分频器，使SPI时钟速率限制在以下：主控模式发送最高25MHz，主控模式接收最高12.5 MHz，受控模式发送最高12.5 MHz，受控模式接收最高12.5 MHz。
- (4) SPICLK信号的有效边缘由时钟极性位(SPICCR.6)控制。

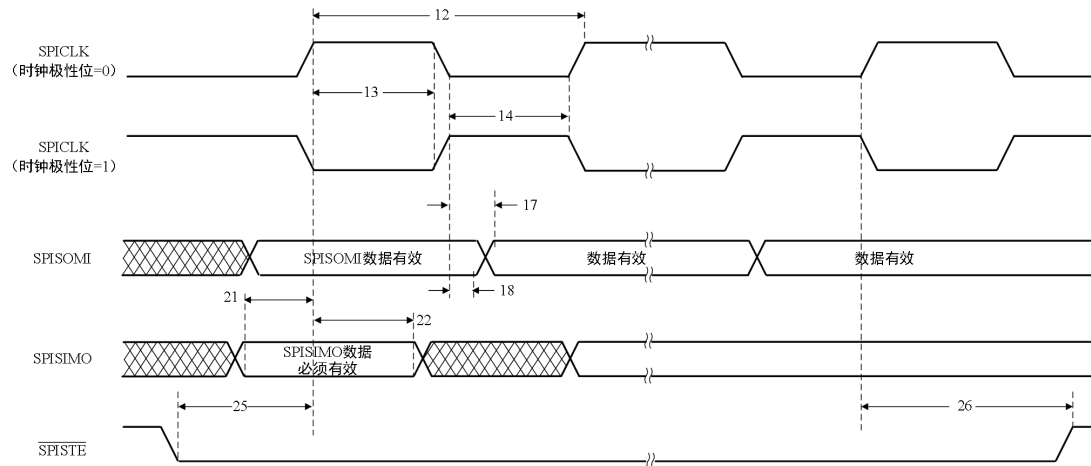


图 5-17 SPI 主控模式外部时序图（时钟相位为 1）

5.6.6. 多通道缓冲串行端口（MCBSP）时序

5.6.6.1. McBSP 发送和接收时序

McBSP发送和接收时序要求由表 5-32列出：

表 5-32 McBSP 时序要求⁽¹⁾⁽²⁾

顺序		最小值	最大值	单位
	McBSP 模块时钟（CLKG, CLKX, CLKR）范围	1		kHz
			25 ⁽³⁾	MHz
	McBSP 模块周期时间（CLKG, CLKX, CLKR）范围	40		ns
			1	ms
M11	$t_{c(CKRX)}$	周期时间，CLKR/X	$\text{CLKR}/X \text{ ext } 2P$	ns
M12	$t_{w(CKRX)}$	脉冲时长，CLKR/X 高或 CLKR/X 低	$\text{CLKR}/X \text{ ext } P - 7$	ns
M13	$t_r(CKRX)$	上升时间，CLKR/X	$\text{CLKR}/X \text{ ext}$	7 ns
M14	$t_f(CKRX)$	下降时间，CLKR/X	$\text{CLKR}/X \text{ ext}$	7 ns
M15	$t_{su}(\text{FRH-CKRL})$	CLKR 拉低前外部FSR拉高的建立时间	CLKR int 18	ns
			CLKR ext 2	
M16	$t_h(\text{CKRL-FRH})$	CLKR 拉低前外部FSR高电平保持时间	CLKR int 0	ns
			CLKR ext 6	

M17	$t_{su}(DRV-CKRL)$	CLKR 拉低前 DR 有效的建立时间	CLKR int	18	ns
			CLKR ext	2	
M18	$t_h(CKRL-DRV)$	CLKR 拉低前 DR 有效的保持时间	CLKR int	0	ns
			CLKR ext	6	
M19	$t_{su}(FXH-CKXL)$	CLKR 拉低前外部 FSX 拉高的建立时间	CLKX int	18	ns
			CLKX ext	2	
M20	$t_h(CKXL-FXH)$	CLKR 拉低前外部 FSX 高电平保持时间	CLKX int	0	ns
			CLKX ext	6	

- (1) 极性位 CLKRP = CLKXP = FSRP = FSXP = 0。如果任何信号的极性被反转，那么该信号的时序参考也被反转。
- (2) $2P = 1/CLKG$ ，单位 ns。CLKG 是采样率发生器 mux 的输出。 $CLKG = \frac{CLKSRG}{(1+CLKGDV)}$ CLKSRG 可以 LSPCLK, CLKX, CLKR 为时钟源。 $CLKSRG \leq (sysclkout/2)$ 。McBSP 性能受到 I/O 缓冲区切换速度的限制。
- (3) 必须调整内部时钟预分频器，使 McBSP 时钟 (CLKG, CLKX, CLKR) 速度不大于 I/O 缓冲速度限制 (25MHz)。

McBSP 切换特性由表 5-33 列出：

表 5-33 McBSP 切换特性⁽¹⁾⁽²⁾

顺序	参数			最小值	最大值	单位
M1	$t_c(CKRX)$	周期时间, CLKR/X	CLKR/X ext	2P		ns
M2	$t_w(CKRXH)$	脉冲时长, CLKR/X 高	CLKR/X ext	$D - 5^{(3)}$	$D + 5^{(3)}$	ns
M3	$t_w(CKRXL)$	脉冲时长, CLKR/X 低	CLKR/X ext	$C - 5^{(3)}$	$C + 5^{(3)}$	ns
M4	$t_d(CKRH-FRV)$	CLKR 拉高到内部 FSR 有效的延时	CLKR int	0	4	ns
			CLKR ext	3	27	
M5	$t_d(CKXH-FXV)$	CLKX 拉高到内部 FSR 有效的延时	CLKX int	0	4	ns
			CLKX ext	3	27	
M6	$t_{dis}(CKXH-DXHZ)$	CLKX 高到跟随最后一个数据位的 DX 高阻抗禁用时间	CLKX int		8	ns
			CLKX ext		14	
M7	$t_d(CKXH-DXV)$	CLKX 高到 DX 有效的延时时间。 适用于传输除第一个比特以外所有比特。	CLKX int		9	ns
			CLKX ext		28	
		CLKX 高到 DX 有效延时时间。 仅适用于数据延迟 1 或 2 (XDATDLY=01b 或 10b) 模式下传输的第一个比特。	CLKX int		8	
			CLKX ext		14	
		DXENA = 1	CLKX int		P + 8	
			CLKX ext		P + 14	
M8	$t_{en}(CKXH-DX)$	CLKX 高到 DX 驱动使能时间。仅适用于数据延迟 1 或 2 (XDATDLY=01b 或 10b) 模式下传输的第一个比特。	CLKX int	0		ns
			CLKX ext	6		
		DXENA = 1	CLKX int	P		
			CLKX ext	P + 6		
M9	$t_d(FXH-DXV)$	FSX 高到 DX 有效延时时间。	DXENA = 0 FSX int		8	ns

		仅适用于在数据延迟 0（XDATDLY=00b）模式下传输的第一个比特		FSX ext		14	
			DXENA = 1	FSX int		P + 8	
				FSX ext		P + 14	
M10	$t_{en}(FXH-DX)$	FSX 高到 DX 驱动使能时间。 仅适用于在数据延迟 0（XDATDLY=00b）模式下传输的第一个比特	DXENA = 0	FSX int	0		ns
				FSX ext	6		
			DXENA = 1	FSX int	P		
				FSX ext	P + 6		

- (1)

极性位 CLKRP = CLKXP = FSRP = FSXP = 0。如果任何信号的极性被反转，那么该信号的时序参考也被反转。
- (2)

$2P = 1/CLKG$ ，单位ns。
- (3)

$C = CLKRX$ 低脉冲宽度 = P

D = CLKRX高脉宽= P

McBSP 接收时序图由图 5-18 给出：

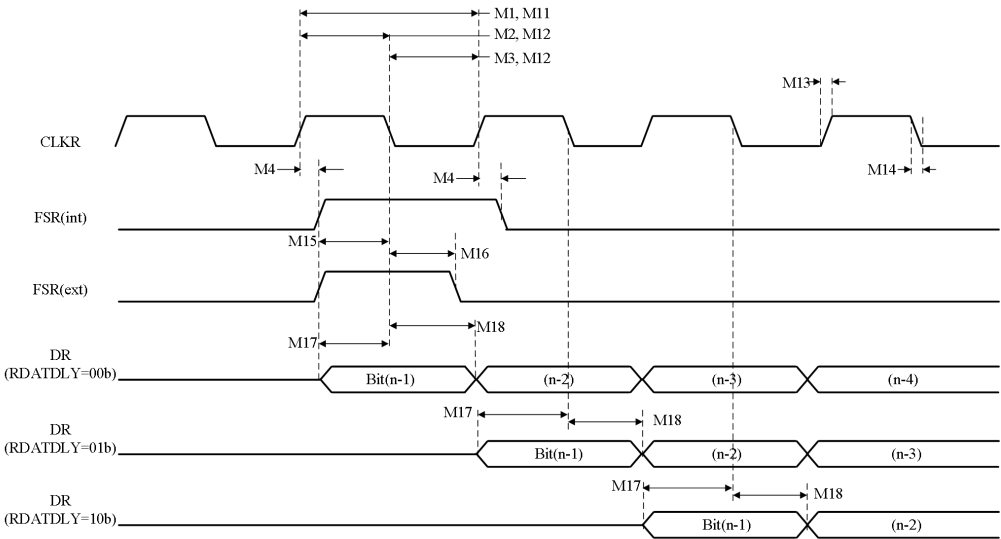


图 5-18 McBSP 接收时序图

McBSP 发送时序图由图 5-19 给出：

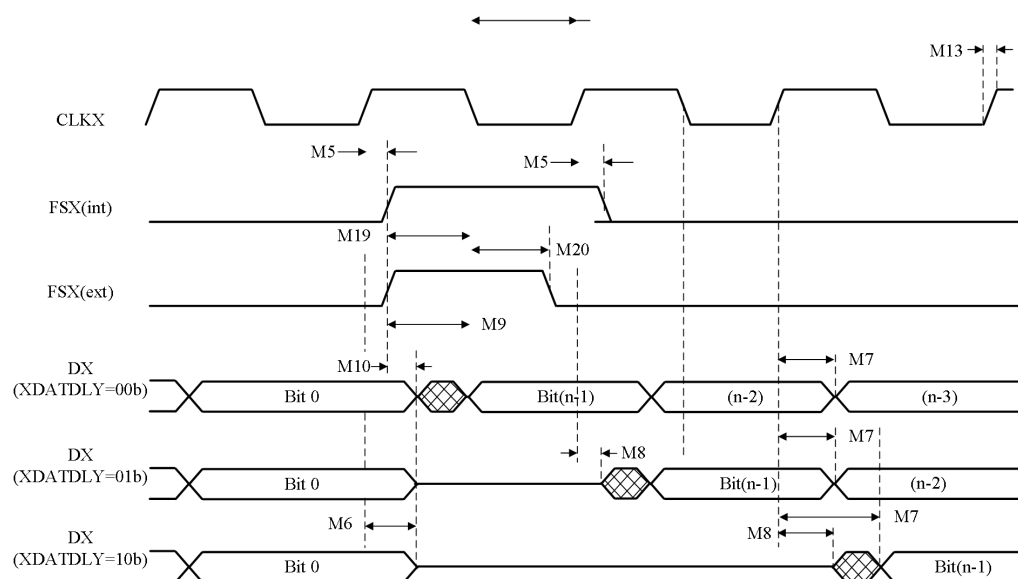


图 5-19 McBSP 发送时序图

5.6.6.2. McBSP 作为 SPI 主控或受控时序

McBSP 作为 SPI 主控或受控时序要求 ($CLKSTP = 10b$, $CLKXP = 0$) 由表 5-34 列出:

表 5-34 McBSP 作为 SPI 主控或受控时序要求 ($CLKSTP = 10b$, $CLKXP = 0$) ⁽¹⁾

顺序			主控		受控		单位
			最小值	最大值	最小值	最大值	
M30	$t_{su}(DRV-CKXL)$	DR 在 CLKX 拉低之前有效的建立时间	30		8P - 10		ns
M31	$t_h(CKXL-DRV)$	DR 在 CLKX 拉低之后有效的保持时间	1		8P - 10		ns
M32	$t_{su}(BFXL-CKXH)$	FSX 在 CLKX 拉高之前低电平建立时间			8P + 10		ns
M33	$t_c(CKX)$	周期时间, CLKX	2P ⁽²⁾		16P		ns

(1) 对所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。通过设置 $CLKSM = CLKGDV = 1$, CLKG 应为 $LSPCLK/2$ 。

(2) $2P = 1/CLKG$

McBSP 作为 SPI 主控或受控切换特性 ($CLKSTP = 10b$, $CLKXP = 0$) 由表 5-35 列出:

表 5-35 McBSP 作为 SPI 主控或受控切换特性 ($CLKSTP = 10b$, $CLKXP = 0$)

顺序	参数		主控		受控		单位
			最小值	最大值	最小值	最大值	
M24	$t_h(CKXL-FXL)$	CLKX 拉低后 FSX 低电平保持时间	2P ⁽¹⁾				ns

M25	$t_{d(FXL-CKXH)}$	FSX 低电平到 CLKX 拉高的延时	P				ns
M28	$t_{dis(FXH-DXHZ)}$	跟随 FSX 高电平最后一个数据位的 DX 高阻抗禁用时间	6		$6P + 6$		ns
M29	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延时	6		$4P + 6$		ns

(1) $2P = 1/CLKG$

McBSP 作为 SPI 主控或受控时序图 (CLKSTP = 10b, CLKXP = 0) 由图 5-20 给出:

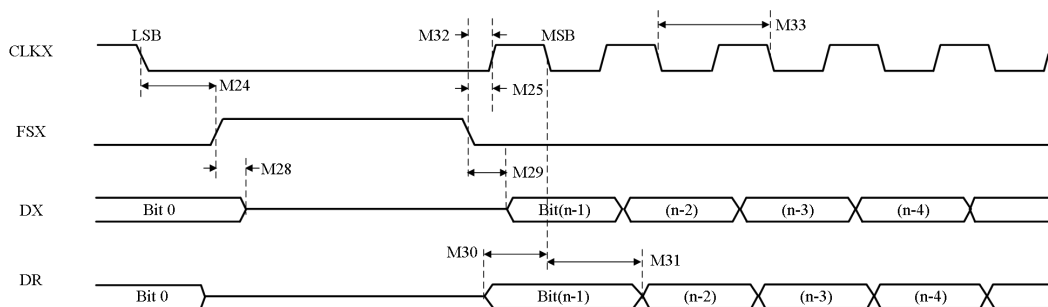


图 5-20 . McBSP 作为 SPI 主控或受控时序: CLKSTP = 10b, CLKXP = 0

McBSP 作为 SPI 主控或受控时序要求 (CLKSTP = 11b, CLKXP = 0) 由表 5-36 列出:

表 5-36 McBSP 作为 SPI 主控或受控时序要求 (CLKSTP = 11b, CLKXP = 0)

顺序			主控		受控		单位
			最小值	最大值	最小值	最大值	
M39	$t_{su(DRV-CKXH)}$	DR 在 CLKX 拉高之前有效的建立时间	30		$8P - 10$		ns
M40	$t_h(CKXH-DRV)$	DR 在 CLKX 拉高之后有效的保持时间	1		$8P - 10$		ns
M41	$t_{su(FXL-CKXH)}$	FSX 在 CLKX 拉高之前低电平建立时间			$16P + 10$		ns
M42	$t_c(CKX)$	周期时间, CLKX	$2P^{(2)}$		$16P$		ns

(1) 对所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。通过设置 CLKSM = CLKGDV = 1, CLKG 应为 LSPCLK/2。

(2) $2P = 1/CLKG$

McBSP 作为 SPI 主控或受控切换特性 (CLKSTP = 11b, CLKXP = 0) 由表 5-37 列出:

表 5-37 McBSP 作为 SPI 主控或受控切换特性 (CLKSTP = 11b, CLKXP = 0)

顺序	参数		主控		受控		单位
			最小值	最大值	最小值	最大值	
M34	$t_h(CKXL-FXL)$	CLKX 拉低后 FSX 低电平保持时间	P				ns
M35	$t_{d(FXL-CKXH)}$	FSX 低电平到 CLKX 拉高的延时	$2P^{(1)}$				ns

M37	$t_{dis}(CKXL-DXHZ)$	跟随 CLKX 低电平最后一个数据位的 DX 高阻抗禁用时间	$P + 6$		$7P + 6$		ns
M38	$t_d(FXL-DXV)$	FSX 低电平到 DX 有效的延时	6		$4P + 6$		ns

(1) $2P = 1/CLKG$

McBSP 作为 SPI 主控或受控时序图 (CLKSTP = 11b, CLKXP = 0) 由图 5-21 给出:

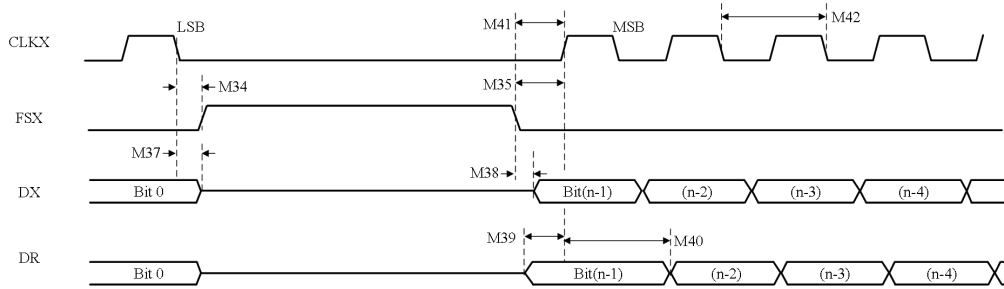


图 5-21 McBSP 作为 SPI 主控或受控时序: CLKSTP = 11b, CLKXP = 0

McBSP 作为 SPI 主控或受控时序图 (CLKSTP = 10b, CLKXP = 1) 由表 5-38 给出:

表 5-38 McBSP 作为 SPI 主控或受控时序要求 (CLKSTP = 10b, CLKXP = 1) ⁽¹⁾

顺序			主控		受控		单位
			最小值	最大值	最小值	最大值	
M49	$t_{su}(DRV-CKXH)$	DR 在 CLKX 拉高之前有效的建立时间	30		$8P - 10$		ns
M50	$t_h(CKXH-DRV)$	DR 在 CLKX 拉高之后有效的保持时间	1		$8P - 10$		ns
M51	$t_{su}(FXL-CKXL)$	FSX 在 CLKX 拉低之前低电平建立时间			$8P + 10$		ns
M52	$t_c(CKX)$	周期时间, CLKX	$2P^{(2)}$		$16P$		ns

(1) 对所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。通过设置 CLKSM = CLKGDV = 1, CLKG 应为 LSPCLK/2。

(2) $2P = 1/CLKG$

McBSP 作为 SPI 主控或受控切换特性 (CLKSTP = 10b, CLKXP = 1) 由表 5-39 给出:

表 5-39 McBSP 作为 SPI 主控或受控切换特性 (CLKSTP = 10b, CLKXP = 1)

顺序	参数		主控		受控		单位
			最小值	最大值	最小值	最大值	
M43	$t_h(CKXH-FXL)$	CLKX 拉高后 FSX 低电平保持时间	$2P^{(1)}$				ns
M44	$t_d(FXL-CKXL)$	FSX 低电平到 CLKX 拉低的延时	P				ns
M47	$t_{dis}(FXH-DXHZ)$	跟随 FSX 高电平最后一个数据位的 DX 高阻抗禁用时间	6		$6P + 6$		ns

M48	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延时	6		$4P + 6$	ns
-----	------------------	-------------------	---	--	----------	----

(1) $2P = 1/CLKG$

McBSP 作为 SPI 主控或受控时序 (CLKSTP = 10b, CLKXP = 1) 由图 5-22 给出:

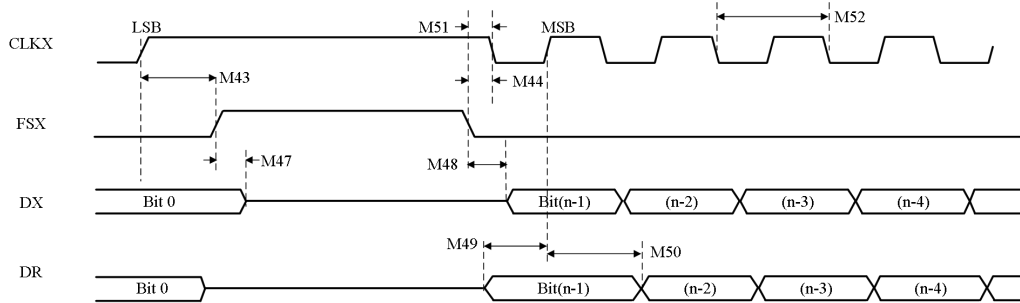


图 5-22 . McBSP 作为 SPI 主控或受控时序: CLKSTP = 10b, CLKXP = 1

McBSP 作为 SPI 主控或受控时序要求 (CLKSTP = 11b, CLKXP = 1) 由表 5-40 给出:

表 5-40 McBSP 作为 SPI 主控或受控时序要求 (CLKSTP = 11b, CLKXP = 1)

顺序			主控		受控		单位
			最小值	最大值	最小值	最大值	
M58	$t_{su(DRV-CKXL)}$	DR 在 CLKX 拉低之前有效的建立时间	30		$8P - 10$		ns
M59	$t_h(CKXL-DRV)$	DR 在 CLKX 拉低之后有效的保持时间	1		$8P - 10$		ns
M60	$t_{su(FXL-CKXL)}$	FSX 在 CLKX 拉低之前低电平建立时间			$16P + 10$		ns
M61	$t_c(CKX)$	周期时间, CLKX	$2P^{(2)}$		$16P$		ns

(1) 对所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。通过设置 CLKSM = CLKGDV = 1, CLKG 应为 LSPCLK/2。

(2) $2P = 1/CLKG$

McBSP 作为 SPI 主控或受控切换特性 (CLKSTP = 11b, CLKXP = 1) 由表 5-41 给出:

表 5-41 McBSP 作为 SPI 主控或受控切换特性 (CLKSTP = 11b, CLKXP = 1)

顺序	参数		主控 ⁽²⁾		受控		单位
			最小值	最大值	最小值	最大值	
M53	$t_h(CKXH-FXL)$	CLKX 拉高后 FSX 低电平保持时间	P				ns
M54	$t_d(FXL-CKXL)$	FSX 低电平到 CLKX 拉低的延时	$2P^{(1)}$				ns
M55	$t_d(CLKXH-DXV)$	CLKX 高电平到 DX 有效的延时	- 2	0	$3P + 6$	$5P + 20$	ns
M56	$t_{dis}(CKXH-DXHZ)$	跟随 CLKX 高电平最后一个数据位的 DX 高阻抗禁用时间	$P + 6$		$7P + 6$		ns
M57	$t_d(FXL-DXV)$	FSX 低电平到 DX 有效的延时	6		$4P + 6$		

- (1) $2P = 1/CLKG$
 (2) $C = CLKX$ 低脉冲宽度= P
 $D = CLKX$ 高脉冲宽度= P

McBSP 作为 SPI 主控或受控时序 ($CLKSTP = 11b$, $CLKXP = 1$) 由图 5-23 给出:

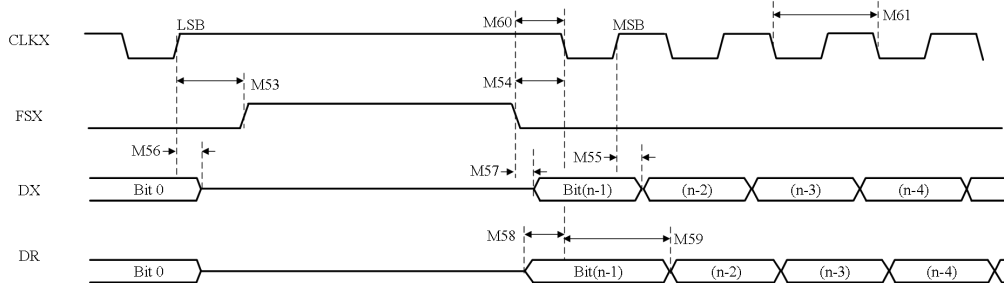


图 5-23 McBSP 作为 SPI 主控或受控时序: $CLKSTP = 11b$, $CLKXP = 1$

5.6.7. 外部接口(XINTF)时序

每个 XINTF 访问由三个部分组成: Lead、Active 和 Trail。用户在 XTIMING 寄存器中配置引线/活动/轨迹等待状态。每个 XINTF 区域都有一个 XTIMING 寄存器。表 5-42 XTIMING 中配置的参数与脉冲宽度的关系显示了 XTIMING 寄存器中配置的参数与以 XTIMCLK 周期表示的脉冲持续时间之间的关系。

表 5-42 XTIMING 中配置的参数与脉冲宽度的关系

描述	持续时间(ns) ⁽¹⁾⁽²⁾	
	X2TIMING = 0	X2TIMING = 1
LR Lead period, read access	$XRDLEAD \times t_{c(XTIM)}$	$(XRDLEAD \times 2) \times t_{c(XTIM)}$
AR Active period, read access	$(XRDACTIVE + WS + 1) \times t_{c(XTIM)}$	$(XRDACTIVE \times 2 + WS + 1) \times t_{c(XTIM)}$
TR Trail period, read access	$XRDTRAIL \times t_{c(XTIM)}$	$(XRDTRAIL \times 2) \times t_{c(XTIM)}$
LW Lead period, write access	$XWRLEAD \times t_{c(XTIM)}$	$(XWRLEAD \times 2) \times t_{c(XTIM)}$
AW Active period, write access	$(XWRACTIVE + WS + 1) \times t_{c(XTIM)}$	$(XWRACTIVE \times 2 + WS + 1) \times t_{c(XTIM)}$
TW Trail period, write access	$XWRTRAIL \times t_{c(XTIM)}$	$(XWRTRAIL \times 2) \times t_{c(XTIM)}$

(1) $t_{c(XTIM)}$ —周期时间, XTIMCLK

(2) WS 是指使用 XREADY 时硬件插入的等待状态数。如果将区域配置为忽略 XREADY(USEREADY=0), 则 WS=0

配置每个区域的 XTIMING 寄存器时，必须满足最低等待状态要求。这些要求是对该设备的数据表中规定的任何定时要求的补充。不包括用于检测非法设置的内部设备硬件。

5.6.8. 不带信号缓冲的 DSP 仿真器连接

图 5-24 显示了单处理器配置的 DSP 和 JTAG 接口之间的连接。如果 JTAG 接口和 DSP 之间的距离大于 6 英寸，则必须缓冲仿真信号。如果距离小于 6 英寸，则通常不需要缓冲。图 5-24 显示了更简单的无缓冲情况。有关上拉/下拉电阻值，请参见引脚说明部分。

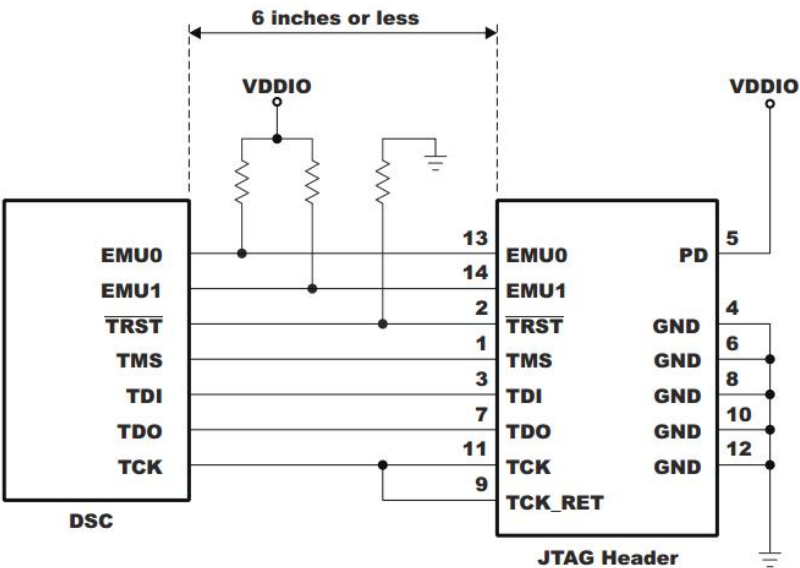


图 5-24 DSP 仿真连接器

5.6.8.1. 用户 EREADY=0

如果忽略 XREADY 信号(USERREADY=0)，则：

Lead:

$$LR \geq t_{c(XTIM)}$$

$$LW \geq t_{c(XTIM)}$$

这些要求导致以下 XTIMING 寄存器配置限制：

表 5-43 XTIMING 寄存器配置限制

XRDLEA D	XRDACTIV E	XRDTRAI L	XWRLEA D	XWRACTIV E	XWRTRAI L	X2TIMIN G
≥1	≥0	≥0	≥1	≥0	≥0	0,1

表 5-44 不采样 XREADY 时的有效时序和无效时序示例：

	XRDLEA D	XRDACTI VE	XRDTRA IL	XWRLEA D	XWRACTI VE	XWRTRA IL	X2TIMIN G
无效	0	0	0	0	0	0	0,1
有效	1	0	0	1	0	0	0,1

(1) 没有检测非法 XTIMING 配置的硬件

5.6.8.2.同步模式(USEREADY=1, READYMODE=0)

如果 XREADY 信号在同步模式下采样(USEREADY=1, READYMODE=0), 则:

1. Lead: $LR \geq t_{c(XTIM)}$ $LW \geq t_{c(XTIM)}$
2. Active: $AR \geq 2 \times t_{c(XTIM)}$ $AW \geq 2 \times t_{c(XTIM)}$

限制不包括外部硬件等待状态。

这些要求导致以下 XTIMING 寄存器配置限制：

表 5-45 XTIMING 寄存器配置限制

XRDLEA D	XRDACTIV E	XRDTRAI L	XWRLEA D	XWRACTIV E	XWRTRAI L	X2TIMIN G
≥ 1	≥ 2	≥ 0	≥ 1	≥ 2	≥ 0	0,1

表 5-46 使用同步 XREADY 时的有效计时和无效计时示例：

	XRDLEA D	XRDACTI VE	XRDTRA IL	XWRLEA D	XWRACTI VE	XWRTRA IL	X2TIMIN G
无效	0	0	0	0	0	0	0,1
无效	1	0	0	1	0	0	0,1
有效	1	2	0	1	2	0	0,1

(1) 没有检测非法 XTIMING 配置的硬件

5.6.8.3. 异步模式(USEREADY=1, READYMODE=1)

如果 XREADY 信号在异步模式下采样(USEREADY=1, READYMODE=1), 则:

1. Lead: $LR \geq t_{c(XTIM)}$ $LW \geq t_{c(XTIM)}$
2. Active: $AR \geq 2 \times t_{c(XTIM)}$ $AW \geq 2 \times t_{c(XTIM)}$
3. Lead + Active: $LR + AR \geq 4 \times t_{c(XTIM)}$ $LW + AW \geq 4 \times t_{c(XTIM)}$

限制不包括外部硬件等待状态。这些要求导致以下 XTIMING 寄存器配置限制:

表 5-47 寄存器配置

XRDLEA D	XRDACTIV E	XRDTRAI L	XWRLEA D	XWRACTIV E	XWRTRAI L	X2TIMIN G
≥ 1	≥ 2	0	≥ 1	≥ 2	0	0,1

或者

XRDLEA D	XRDACTIV E	XRDTRAI L	XWRLEA D	XWRACTIV E	XWRTRAI L	X2TIMIN G
≥ 2	≥ 1	0	≥ 2	≥ 1	0	0,1

表 5-48 使用异步 XREADY 时的有效计时和无效计时示例:

	XRDLE AD	XRDACTI VE	XRDTR AIL	XWRLE AD	XWRACTI VE	XWRTR AIL	X2TIMIN G
无效 ⁽¹⁾	0	0	0	0	0	0	0,1
无效 ⁽¹⁾	1	0	0	1	0	0	0,1
无效 ⁽¹⁾	1	1	0	1	1	0	0
有效	1	2	0	1	2	0	1
有效	1	2	0	1	2	0	0,1
有效	2	1	0	2	1	0	0,1

(1) 没有检测非法 XTIMING 配置的硬件

除非另有说明, 否则所有 XINTF 计时均适用于表 5-49 所列的时钟配置。

表 5-49 XINTF 时钟配置

MODE	SYSCLKOUT	XTIMCLK	XCLKOUT
------	-----------	---------	---------

1	150 MHz	SYCLKOUT	SYCLKOUT
Example:		150 MHz	150 MHz
2	150 MHz	SYCLKOUT	1/2 SYCLKOUT
Example:		150 MHz	75 MHz
3	150 MHz	1/2 SYCLKOUT	1/2 SYCLKOUT
Example:		75 MHz	75 MHz
4	150 MHz	1/2 SYCLKOUT	1/4 SYCLKOUT
Example:		75 MHz	37.5 MHz

SYCLKOUT 和 XTIMCLK 之间的关系如图 5-25 所示。

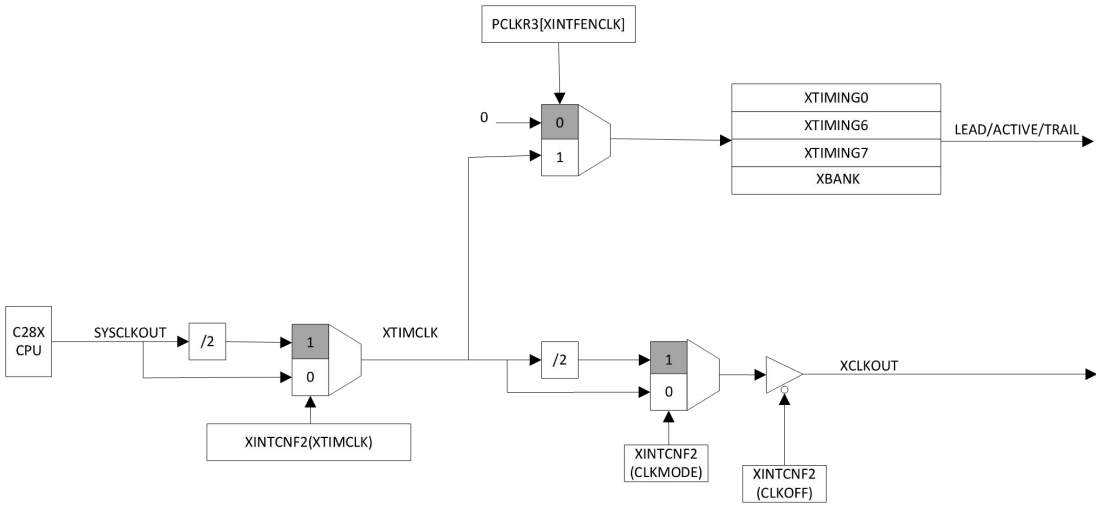


图 5-25 SYCLKOUT 与 XTIMCLK 的关系

5.6.8.4.XINTF 信号与 XCLKOUT 对齐

对于每个 XINTF 访问，超前、有效和跟踪周期数基于内部时钟 XTIMCLK。选通脉冲(如 $\overline{\text{XRD}}$ 、 $\overline{\text{XWE0}}$ 、 $\overline{\text{XWE1}}$ 和区域芯片选择($\overline{\text{XACS}}$)会随着 XTIMCLK 的上升沿而改变状态。外部时钟 XCLKOUT 可以配置为等于或等于 XTIMCLK 频率的一半。

对于 XCLKOUT=XTIMCLK 的情况，所有 XINTF 选通脉冲将相对于 XCLKOUT 的上升沿改变状态。对于 XCLKOUT=一半 XTIMCLK 的情况，一些选通脉冲将在 XCLKOUT 的上升沿或 XCLKOUT 的下降沿改变状态。在 XINTF 定时表中，符号 XCOHL 用于表示该参数与任何一种情况有关；XCLKOUT 上升

对于 $XCLKOUT = \text{一半的 } XTIMCLK$ 的情况，可以基于从访问开始到信号改变的点的 $XTIMCLK$ 周期数来确定将与改变对齐的 $XCLKOUT$ 边沿。如果此 $XTIMCLK$ 周期数为偶数，则对齐将相对于 $XCLKOUT$ 的上升沿。如果该数字为奇数，则信号将相对于 $XCLKOUT$ 的下降沿改变。示例包括以下内容：

Examples:	XZCSL	区域筹码-选择有效低点
	XRNL	XR/ \overline{W} active 低

Examples:	XRDL	$\overline{\text{XRD}}$	active 低
	XWEL	$\overline{\text{XWE0}}$ 或 $\overline{\text{XWE1}}$	active 低

Examples:

XRDL	$\overline{\text{XRD}}$	active 高
XWEL	$\overline{\text{XWE0}}$ 或 $\overline{\text{XWE1}}$	active 高

Examples: XZCSH 区域芯片-选择非活动高电平
XR/ \overline{W} 非活动高电平

5.6.8.5. 外部接口读取时序

5.6.8.5.1. 外部接口读取时序要求

表 5-50 时序要求

	最小值	最大值	单位
$t_{a(A)}$ 访问时间，从有效地址读取数据		$(LR + AR) - 16^{(1)}$	ns
$t_{a(XRD)}$ 访问时间，从 \overline{XRD} 有效低位读取有效数据		$AR - 14^{(1)}$	ns
$t_{su(XD)XRD}$ 建立时间，读取在 \overline{XRD} 选通无效高电平之前有效的数据	14		ns
$t_{h(XD)XRD}$ 保持时间，读取在 \overline{XRD} 无效高电平后有效的数据	0		ns

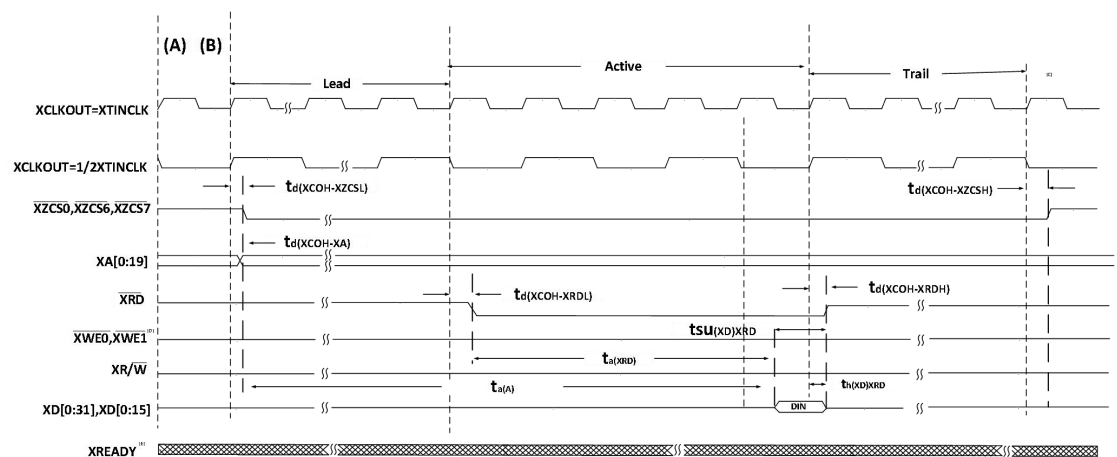
(1) LR = Lead period, read access。AR = Active period, read access。参见表 5-42。

5.6.8.5.2. 外部接口读开关特性

表 5-51 开关特性

参数	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$ 延迟时间，XCLKOUT 高至区域芯片选择 active 低		1	ns
$t_{d(XCOHL-XZCSH)}$ 延迟时间，XCLKOUT 高/低至区域芯片选择 inactive 高	-1	0.5	ns
$t_{d(XCOH-XA)}$ 延迟时间，XCLKOUT 高/低至区域芯片选择 inactive 高		1.5	ns
$t_{d(XCOHL-XRDL)}$ 延迟时间，XCLKOUT 高/低到 \overline{XRD} active 低		0.5	ns
$t_{d(XCOHL-XRDH)}$ 延迟时间，XCLKOUT 高/低到 \overline{XRD} inactive 高	-1.5	0.5	ns
$t_{h(XA)XZCSH}$ 保持时间，地址在区域芯片后有效-选择 inactive 高电平	(1)		ns
$t_{h(XA)XRD}$ 保持时间，地址在 \overline{XRD} inactive 高电平后有效	(1)		ns

(1) 在非活动周期期间，XINTF 地址总线始终保持总线上输出的最后一个地址，xA0 除外，xA0 保持高电平。这包括对齐周期。



- A.所有 XINTF 访问(lead period)开始于 XCLKOUT 的上升沿。必要时，设备会在通道之前插入对齐周期，以满足此要求。
- B.在对准周期期间，所有信号转换到其 inactive 状态。
- C.XA[0: 19]保存 inactive 周期期间放在总线上的最后一个地址，包括除 XA0 外的对准周期，XA0 保持高电平。
- D.XWE1 在 32 位数据总线模式下使用。在 16 位模式下，该信号为 XA0。
- E.对于 USEREADY=0，外部 XREADY 输入信号被忽略。

图 5-26 读取访问权限示例

本例使用的 XTIMING 寄存器参数：

表 5-52 寄存器参数

XRDL EAD	XRDAC TIVE	XRDT RAIL	USERE ADY	X2TIM ING	XWRL EAD	XWRAC TIVE	XWRT RAIL	READY MODE
≥1	≥0	≥0	0	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾

(1) N/A=本例不适用(或“不在乎”)

5.6.8.6.外部接口写入时序

5.6.8.6.1. 外部接口写切换特性

表 5-53 外部接口写切换特性

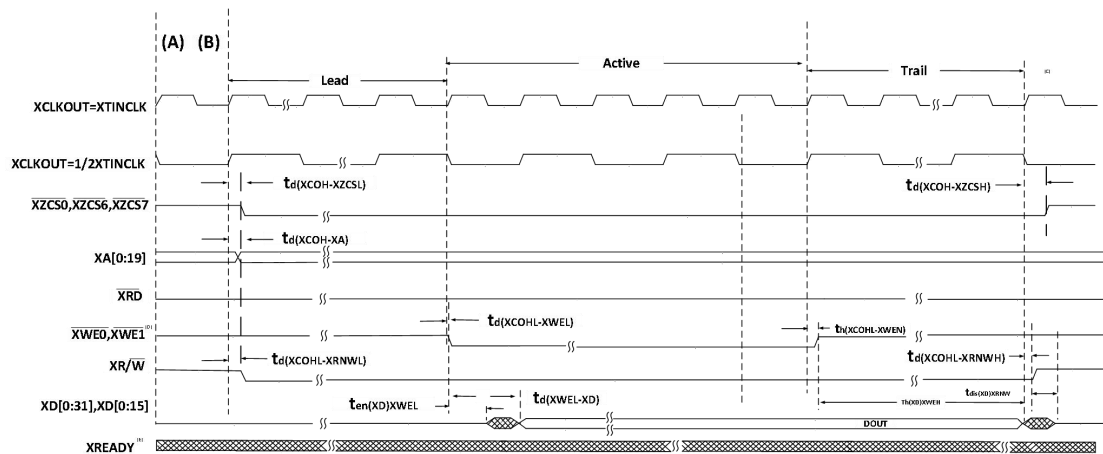
参数	最 小 值	最大值	单位
$t_{d(XCOH-XZCSL)}$ 延迟时间，XCLKOUT 高至区域芯片选择 active 低		1	ns
$t_{d(XCOHL-XZCSH)}$ 延迟时间，XCLKOUT 高或低至区域芯片-选择 inactive 高	-1	0.5	ns
$t_{d(XCOH-XA)}$ 延迟时间，XCLKOUT 高电平地址有效		1.5	ns
$t_{d(XCOHL-XWE)}$ 延迟时间，XCLKOUT 高/低至 $\overline{XWE0}$, $\overline{XWE1}$ ₍₃₎ 低		2	ns

$t_{d(XCOHL-XWEH)}$ 延迟时间, XCLKOUT 高/低至 $\overline{XWE0}, \overline{XWE1}$ 高		2	ns
$t_{d(XCOH-XRNWL)}$ 延迟时间, XCLKOUT 高至 XR/\overline{W} 低		1	ns
$t_{d(XCOHL-XRNWH)}$ 延迟时间, XCLKOUT 高/低至 XR/\overline{W} 高	-1	0.5	ns
$t_{en(XD)XWEL}$ 使能时间, 数据总线从 $\overline{XWE0}, \overline{XWE1}$ 驱动为低电平	0		ns
$t_{d(XWEL-XD)}$ 延迟时间, 数据在 $\overline{XWE0}, \overline{XWE1}$ active 低电平之后有效		1	ns
$t_{h(XA)XZCSH}$ 保持时间, 地址在区域芯片后有效-选择 inactive 高电平	(1)		ns
$t_{h(XD)XWE}$ 保持时间, 写入数据在 $\overline{XWE0}, \overline{XWE1}$ inactive 高电平之后有效	TW-2 ⁽²⁾		ns
$t_{dis(XD)XRNW}$ 在 XR/\overline{W} inactive 高电平后, DSP 释放数据总线的最长 时间		4	ns

(1)在非活动周期期间, XINTF 地址总线将始终保持在总线上输出的最后一个地址, XA0 除外, 它保持高电平。这包括对齐周期

(2)TW = trail 周期, 写入访问。参见表 5-42。

(3) $\overline{XWE1}$ 仅在 32 位数据总线模式下使用。在 16 位模式下, 该信号为 XA0。



A. 所有 XINTF 访问(lead period)开始于 XCLKOUT 的上升沿。必要时, 设备会在通道之前插入对齐周期, 以满足此要求。

B. 在对准周期期间, 所有信号转换到其 inactive 状态。

C. XA[0: 19]保存 inactive 周期期间放在总线上的最后一个地址, 包括除 XA0 外的对准周期, XA0 保持高电平。

D. XWE1 在 32 位数据总线模式下使用。在 16 位模式下, 该信号为 xA0。

E. 对于 USEREADY=0, 外部 XREADY 输入信号被忽略。

图 5-27 写入访问示例

本例使用的 XTIMING 寄存器参数:

表 5-54 寄存器参数

XRDL EAD	XRDAC TIVE	XRDT RAIL	USERE ADY	X2TIM ING	XWRL EAD	XWRAC TIVE	XWRT RAIL	READY MODE
-------------	---------------	--------------	--------------	--------------	-------------	---------------	--------------	---------------

$N/A^{(1)}$	$N/A^{(1)}$	$N/A^{(1)}$	0	0	≥ 1	≥ 0	≥ 0	$N/A^{(1)}$
-------------	-------------	-------------	---	---	----------	----------	----------	-------------

(1)N/A=本例不适用(或“不在乎”)

5.6.8.7.有一个外部等待状态的外部接口读取就绪时序

5.6.8.7.1. 外部接口读取切换特性(读取就绪、一次等待状态)

表 5-55 外部接口读取切换特性

参数	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$ 延迟时间, XCLKOUT 高至区域芯片选择 active 低		1	ns
$t_{d(XCOHL-XZCSH)}$ 延迟时间, XCLKOUT 高或低至区域芯片-选择 inactive 高	-1	0.5	ns
$t_{d(XCOH-XA)}$ 延迟时间, XCLKOUT 高电平地址有效		1.5	ns
$t_{d(XCOHL-XRDL)}$ 延迟时间, XCLKOUT 高/低到 \overline{XRD} active 低		0.5	ns
$t_{d(XCOHL-XRDH)}$ 延迟时间, XCLKOUT 高/低到 \overline{XRD} inactive 高	-1.5	0.5	ns
$t_{h(XA)XZCSH}$ 保持时间, 地址在区域芯片后有效-选择 inactive 高电平	(1)		ns
$t_{h(XA)XRD}$ 保持时间, 地址在 \overline{XRD} inactive 高电平后有效	(1)		ns

(1) 在非活动周期期间, XINTF 地址总线始终保持在总线上输出的最后一个地址, XA0 除外, XA0 保持高电平。这包括对齐周期。

5.6.8.7.2. 外部接口读取时序要求(读取就绪、一次等待状态)

表 5-56 时序要求

	最小值	最大值	单位
$t_{a(A)}$ 访问时间, 从有效地址读取数据		$(LR + AR) - 16^{(1)}$	ns
$t_{a(XRD)}$ 访问时间, 从 \overline{XRD} 有效低位读取有效数据		$AR - 14^{(1)}$	ns
$t_{su(XD)XRD}$ 建立时间, 读取在 \overline{XRD} 选通 inactive 高电平之前有效的数据	14		ns
$t_{h(XD)XRD}$ 保持时间, 读取在 \overline{XRD} inactive 高电平后有效的数据	0		ns

(1)LR = Lead period, read access. AR = Active period, read access. 参见表 5-42。

5.6.8.7.3. 同步 XREADY 时序要求(读取就绪、一次等待状态)⁽¹⁾

表 5-57 同步 XREADY 时序要求

	最小值	最大值	单位
$t_{su(XRDYsync\hbar L)XCOHL}$ 设置时间, 在 XCLKOUT 高/低之前, XREADY(synchronous)低	12		ns
$t_{h(XRDYsync\hbar L)}$ 保持时间, XREADY(synchronous)低	6		ns
$t_{e(XRDYsync\hbar H)}$ 最早时间 XREADY(synchronous)可以在采样 XCLKOUT 边沿之前变为高电平		3	ns
$t_{su(XRDYsync\hbar H)XCOHL}$ 设置时间, 在 XCLKOUT 高/低之前, XREADY(synchronous)高	12		ns
$t_{h(XRDYsync\hbar H)XZCSH}$ 保持时间, 区域芯片选择高电平后, XREADY(synchronous)保持高电平	0		ns

(1)第一个 XREADY(synchronous)采样相对于图 5-28 中的 E 出现: $E = (XRDLEAD + XRDACTIVE) t_{c(XTIM)}$ 当第一个采样时, 如果发现 XREADY(synchronous)为高, 则访问将结束。如果发现 XREADY(synchronous)为低, 则每隔 $t_{c(XTIM)}$ 再次对其进行采样, 直到发现其为高。

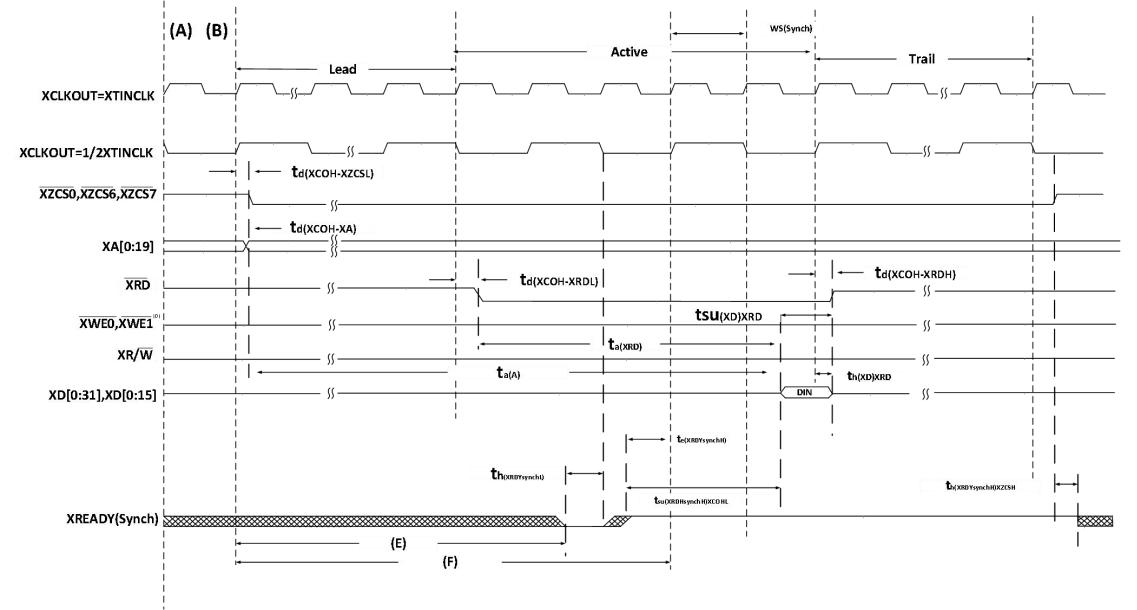
对于每个样本(N), 相对于访问开始的建立时间(F)可以计算为: $F = (XRDLEAD + XRDACTIVE + n-1)t_{c(XTIM)} - t_{su(XRDYsync\hbar L)XCOHL}$, 其中 n 是样本号: n=1、2、3, 依此类推。

5.6.8.7.4. 异步 XREADY 时序要求(读取就绪、一次等待状态)

表 5-58 异步 XREADY 时序要求

	最小值	最大值	单位
$t_{su(XRDYAsync\hbar L)XCOHL}$ 建立时间, 在 XCLKOUT 高/低之前, XREADY(synchronous)低	11		ns
$t_{h(XRDYAsync\hbar L)}$ 保持时间, XREADY(asynchronous)低	6		ns
$t_{e(XRDYAsync\hbar H)}$ 最早时间 XREADY(asynchronous)可以在采样 XCLKOUT 边沿之前变为高电平		3	ns
$t_{su(XRDYAsync\hbar H)XCOHL}$ 设置时间, XREADY(asynchronous)高电平先于 XCLKOUT 高/低	11		ns

$t_{h(XRDY_{asynch}H)XZCSH}$ 保持时间，区域芯片选择高电平后， XREADY(asynchronous)保持高电平	0		ns
--	---	--	----



- A. 所有 XINTF 访问(lead period)开始于 XCLKOUT 的上升沿。必要时，设备会在通道之前插入对齐周期，以满足此要求。
- B.在对准周期期间，所有信号转换到其 inactive 状态。
- C.在 inactive 周期期间，XINTF 地址总线始终保持在总线上输出的最后一个地址，XAO 除外，它保持高电平。这包括对齐周期。
- D. $\overline{XWE1}$ 仅在 32 位数据总线模式下有效。在 16 位模式下，该信号为 XAO。
- E.对于每个样本，从访问(E)开始的设置时间可以计算为： $D = (XRDLEAD + XRDACTIVE + n-1)t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$ 。第
一个样本的参考是关于这一点的： $F = (XRDLEAD + XRDACTIVE)t_{c(XTIM)}$ ，其中 n 是样本号：N=1、2、3，依此类推。

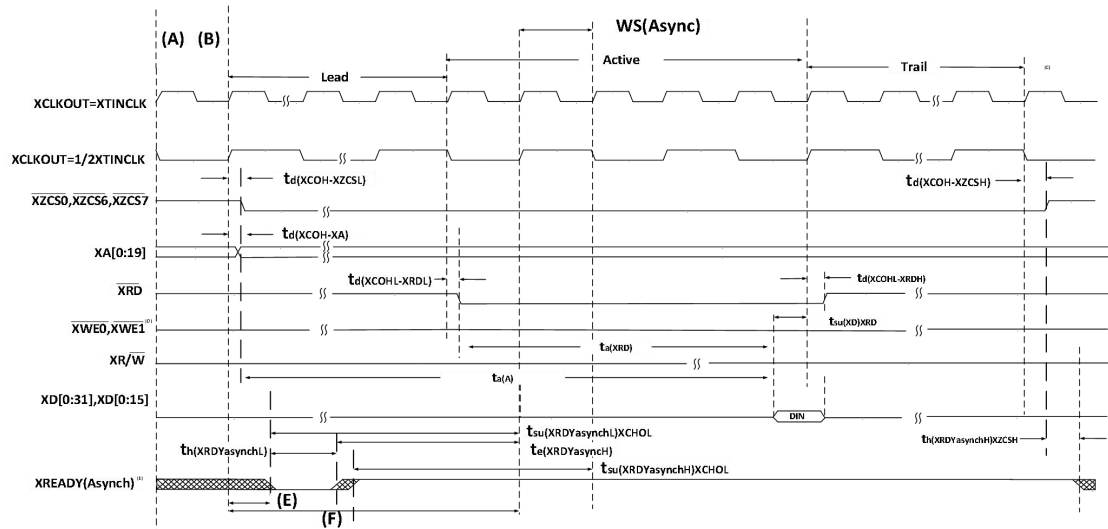
图 5-28 使用同步 XREADY 访问的示例读取

本例使用的 XTIMING 寄存器参数：

表 5-59 XTIMING 寄存器参数

XRDL EAD	XRDAC TIVE	XRDT RAIL	USERE ADY	X2TIM ING	XWRL EAD	XWRAC TIVE	XWRT RAIL	READY MODE
≥1	3	≥1	1	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	0 = XREADY (Synch)

(1) N/A=本例中的“不在乎”



- A. 所有 XINTF 访问(lead period)开始于 XCLKOUT 的上升沿。必要时，设备将在访问之前插入对准循环以满足此要求。
- B. 在对准周期期间，所有信号将转换到其 inactive 状态。
- C. 在 inactive 周期期间，XINTF 地址总线将始终保持在总线上输出的最后一个地址，XA0 除外，XA0 保持高电平。这包括对齐周期。
- D. $\overline{\text{XWE1}}$ 仅在 32 位数据总线模式下有效。在 16 位模式下，该信号为 XA0。
- E. 对于每个样本，从访问开始的设置时间可以计算为： $E = (XRDLEAD + XRDACTIVE - 3 + n)t_{c(XTIM)} - t_{su(XRDYasynchL)XCHOL}$ ，其中 n 是样本号：n=1、2、3，依此类推。
- F. 第一个样本的参考是关于这一点的： $F = (XRDLEAD + XRDACTIVE - 2)t_{c(XTIM)}$

图 5-29 使用异步 XREADY 访问的示例读取

本例使用的 XTIMING 寄存器参数：

表 5-60 XTIMING 寄存器参数

XRDL EAD	XRDAC TIVE	XRDT RAIL	USERE ADY	X2TIM ING	XWRL EAD	XWRAC TIVE	XWRT RAIL	READY MODE
≥1	3	≥1	1	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	1 = XREADY (Sync)

(1)N/A=本例中的“不在乎”

5.6.8.8. 具有一个外部等待状态的外部接口写入就绪时序

5.6.8.8.1. 外部接口写入切换特性(写入就绪、一次等待状态)

表 5-61 外部接口写入切换特性

参数	最 小 值	最 大 值	单位
$t_{d(XCOH-XZCSL)}$ 延迟时间, XCLKOUT 高至区域芯片选择 active 低		1	ns
$t_{d(XCOHL-XZCSH)}$ 延迟时间, XCLKOUT 高或低至区域芯片-选择 inactive 高	-1	0.5	ns
$t_{d(XCOH-XA)}$ 延迟时间, XCLKOUT 高电平地址有效		1.5	ns
$t_{d(XCOHL-XWEL)}$ 延迟时间, XCLKOUT 高/低至 $\overline{XWE0}$, $\overline{XWE1}$ 低 ⁽³⁾		2	ns
$t_{d(XCOHL-XWEH)}$ 延迟时间, XCLKOUT 高/低至 $\overline{XWE0}$, $\overline{XWE1}$ 高 ⁽³⁾		2	ns
$t_{d(XCOH-XRNWL)}$ 延迟时间, XCLKOUT 高至 XR/\overline{W} 低		1	ns
$t_{d(XCOHL-XRNWH)}$ 延迟时间, XCLKOUT 高/低至 XR/\overline{W} 高	-1	0.5	ns
$t_{en(XD)XWEL}$ 使能时间, 数据总线从 $\overline{XWE0}$, $\overline{XWE1}$ 驱动为低电平 ⁽³⁾	0		ns
$t_{d(XWEL-XD)}$ 延迟时间, 数据在 $\overline{XWE0}$, $\overline{XWE1}$ active 低电平之后有效 ⁽³⁾		1	ns
$t_{h(XA)XZCSH}$ 保持时间, 地址在区域芯片后有效-选择 inactive 高电平	⁽¹⁾		ns
$t_{h(XD)XWE}$ 保持时间, 写入数据在 $\overline{XWE0}$, $\overline{XWE1}$ inactive 高电平之后有效 ⁽³⁾	TW-2 ⁽²⁾		ns
$t_{dis(XD)XRNW}$ 在 XR/\overline{W} inactive 高电平后, DSP 释放数据总线的最长时间		4	ns

(1) 在 inactive 周期期间, XINTF 地址总线始终保持总线上输出的最后一个地址, XA0 除外, XA0 保持高电平。这包括对齐周期。

(2) TW = trail period, 写入访问(参见表 5-42)

(3) XWE1 仅用于 32 位数据总线模式。在 16 位中, 该信号为 XA0。

5.6.8.8.2. 同步 XREADY 时序要求(写入就绪、一次等待状态)

表 5-62 同步 XREADY 时序要求

	最小值	最大值	单位
$t_{u(XRDYsynchL)XCOHL}$ 建立时间, 在 XCLKOUT 高/低之前, XREADY(synchronous)低	12		ns
$t_{h(XRDYsynchL)}$ 保持时间, XREADY(synchronous)低	6		ns
$t_{(XRDYsynchH)}$ 最早时间 XREADY(synchronous) 可以在采样 XCLKOUT 边沿之前变为高电平		3	ns
$t_{su(XRDYsynchH)XCOHL}$ 建立时间, 在 XCLKOUT 高/低之前, XREADY(synchronous)高	12		ns
$t_{h(XRDYsynchH)XZCSH}$ 保持时间, 区域芯片选择高电平后, XREADY(synchronous)保持高电平	0		ns

5.6.8.8.3. 异步 XREADY 时序要求(写入就绪、一次等待状态)⁽¹⁾

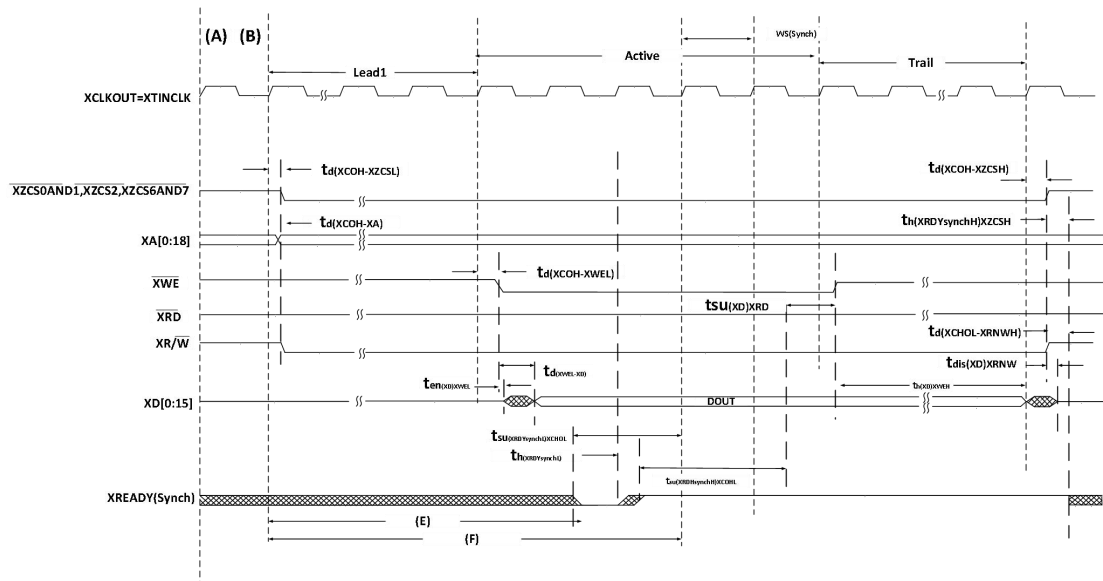
表 5-63 异步 XREADY 时序要求

	最小值	最大值	单位
$t_{u(XRDYasynchL)XCOHL}$ 建立时间, 在 XCLKOUT 高/低之前, XREADY(asynchronous)低	12		ns
$t_{h(XRDYasynchL)}$ 保持时间, XREADY(asynchronous)低	6		ns
$t_{(XRDYasynchH)}$ 最早时间 XREADY(asynchronous)可以在采样 XCLKOUT 边沿之前变为高电平		3	ns
$t_{su(XRDYasynchH)XCOHL}$ 建立时间, 在 XCLKOUT 高/低之前, XREADY(asynchronous)高	11		ns
$t_{h(XRDYasynchH)XZCSH}$ 保持时间, 区域芯片选择高电平后, XREADY(asynchronous)保持高电平	0		ns

(1)第一个 XREADY(synchronous)样本相对于图 5-30 中的 E 出现: $E = (XWRLEAD + XWRACTIVE - 2) t_{c(XTIM)}$ 。第一次采样时, 如果 XREADY(异步)为高, 则访问将完成。如果 XREADY(asynchronous)为低, 则每隔 $t_{c(XTIM)}$ 再次对其进行采样, 直到其为高。

对于每个样本, 从访问开始的设置时间可以计算为: $F = (XWRLEAD + XWRACTIVE - 3 + n) t_{c(XTIM)} t_{su(XRDYasynchL)XCOHL}$ 。

其中 n 是样本号: n=1、2、3, 依此类推



A. 所有 XINTF 访问(lead period)开始于 XCLKOUT 的上升沿。必要时，设备会在通道之前插入对齐周期，以满足此要求。

B. 在对准周期期间，所有信号将转换到其 inactive 状态。

C. 在 inactive 周期期间，XINTF 地址总线始终保持在总线上输出的最后一个地址，XA0 除外，它保持高电平。这包括对齐周期。

D. $\overline{XWE1}$ 仅在 32 位数据总线模式下使用。在 16 位中，该信号为 XA0。

E. 对于每个样本，从访问开始的设置时间可以计算为 $E = (XWRLEAD + XWRACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynch)XCOH}$ ，其中 n 是样本号：n=1、2、3，依此类推。

F. 第一个样本的参考是关于这一点的： $F = (XWRLEAD + XWRACTIVE) t_{c(XTIM)}$

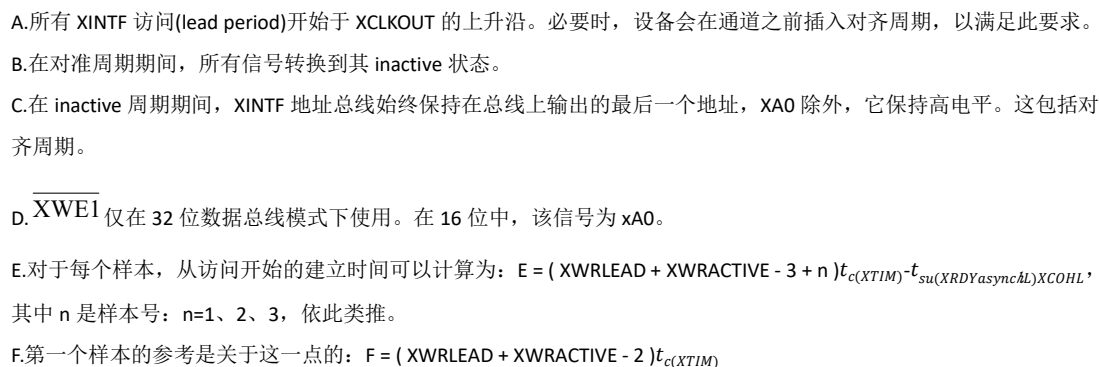
图 5-30 使用同步 XREADY 访问进行写入

本例使用的 XTIMING 寄存器参数：

表 5-64 XTIMING 寄存器参数

XRDL EAD	XRDAC TIVE	XRDT RAIL	USERE ADY	X2TIM ING	XWRL EAD	XWRAC TIVE	XWRT RAIL	READY MODE
N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	1	0	≥1	3	≥1	0 = XREADY (Synch)

(1) N/A=本例中的“不在乎”



本例使用的 XTIMING 寄存器参数:

XRDL EAD	XRDAC TIVE	XRDT RAIL	USERE ADY	X2TIM ING	XWRL EAD	XWRAC TIVE	XWRT RAIL	READY MODE
$N/A^{(1)}$	$N/A^{(1)}$	$N/A^{(1)}$	1	0	≥ 1	3	≥ 1	1 = $XREADY$ ($Async$)

5.6.8.9. XHOLD和XHOLDA时序

- 130 -

出高阻抗模式。

在重置($\overline{\text{XRS}}$)时, 保持模式位设为 0。如果 $\overline{\text{XHOLD}}$ 信号在系统重置时为有效低电平, 则总线和所有信号选通脉冲必须处于高阻模式, 并且 $\overline{\text{XHOLDA}}$ 信号也被驱动为有效低电平。

当启用保持模式且 $\overline{\text{XHOLDA}}$ 为低电平有效(外部总线授予有效)时, DSP 仍可执行内部存储器中的代码。如果访问外部接口, 则 DSP 暂停, 直到 $\overline{\text{XHOLD}}$ 信号被移除。

外部 DMA 请求在获得许可后, 会将以下信号置于高阻抗模式:

XA[19:0]	$\overline{\text{XZCS0}}$
XD[31:0], XD[15:0]	$\overline{\text{XZCS6}}$
$\overline{\text{XWE0}}$, $\overline{\text{XWE1}}$, $\overline{\text{XRD}}$	$\overline{\text{XZCS7}}$
$\text{XR}/\overline{\text{W}}$	

在这些信号事件期间, 本组中未列出的所有其他信号保持其默认或功能操作模式。

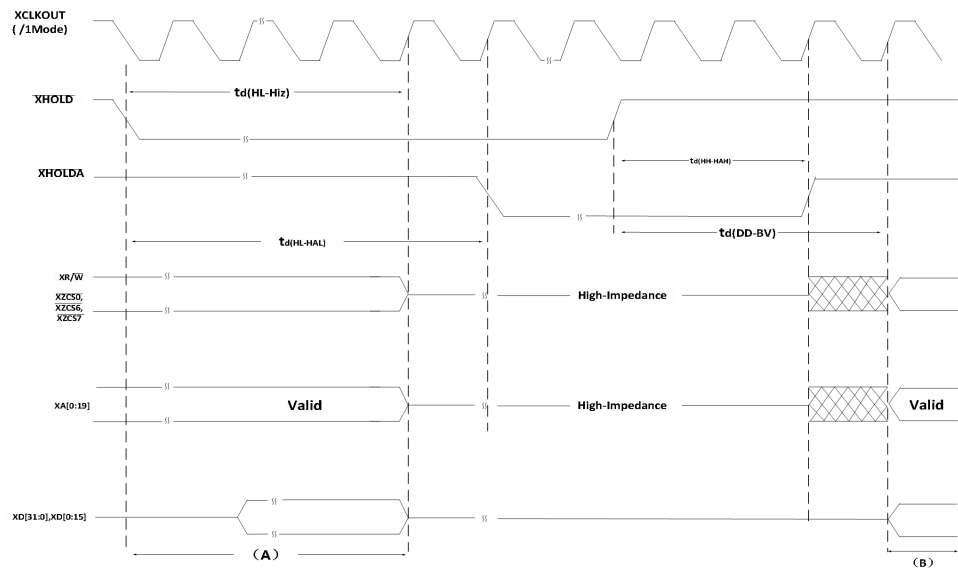
5.6.8.9.1. $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求 ($\text{XCLKOUT} = \text{XTIMCLK}$) ⁽¹⁾⁽²⁾

表 5-66 时序要求

	最小值	最大值	单位
$t_{d(\text{HL-HiZ})}$ 延迟时间, 所有地址、数据和控制的 $\overline{\text{XHOLD}}$ 低 to Hi-Z		$4t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HL-HAL})}$ 延迟时间, $\overline{\text{XHOLD}}$ 低至 $\overline{\text{XHOLD}}$ 低		$5t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HH-HAH})}$ 延迟时间, $\overline{\text{XHOLD}}$ 高至 $\overline{\text{XHOLD}}$ 高		$3t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HH-BV})}$ 延迟时间, $\overline{\text{XHOLD}}$ 高电平至总线有效		$4t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HL-HAL})}$ 延迟时间, $\overline{\text{XHOLD}}$ 低至 $\overline{\text{XHOLD}}$ 低		$4t_{c(\text{XTIM})}+2t_{c(\text{XCO})}+30$	ns

(1) 当在 $\overline{\text{XHOLD}}$ 上检测到低信号时, 所有挂起的 XINTF 访问将在总线置于高阻抗状态之前完成。

(2) 在 XTIMCLK 的上升沿锁存 $\overline{\text{XHOLD}}$ 的状态。



- A.所有挂起的 XINTF 访问都已完成。
- B.恢复正常的 XINTF 操作。

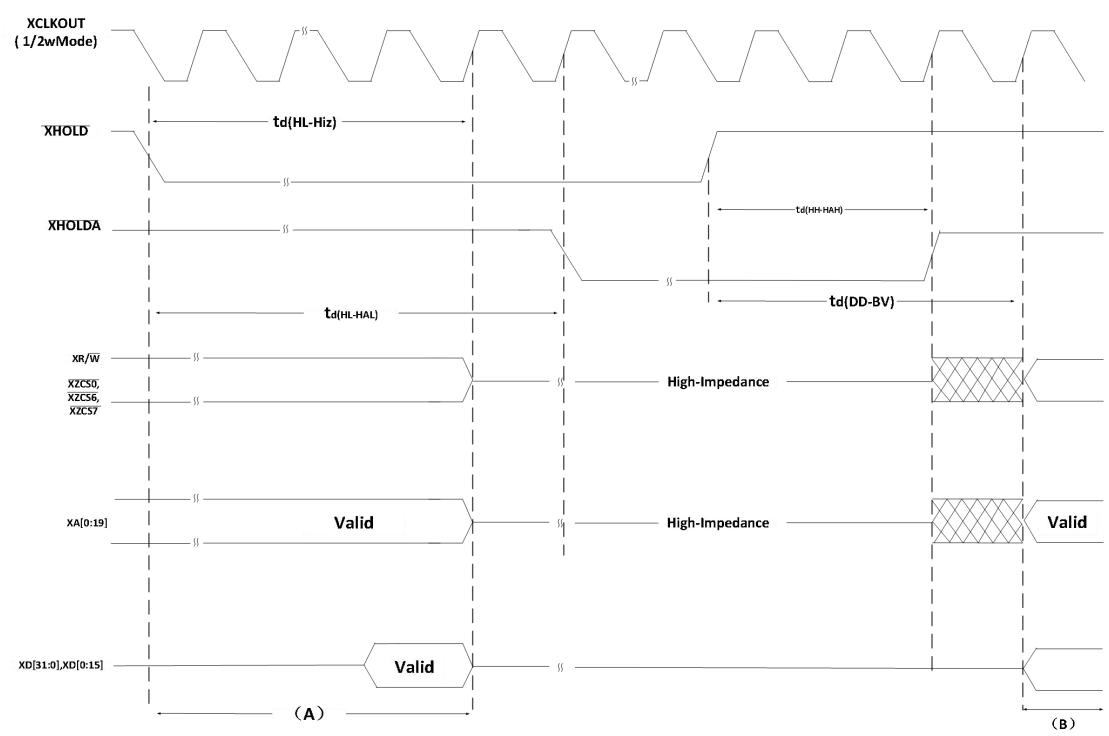
图 5-32 外部接口保持波形

5.6.8.9.2. $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求 ($\text{XCLKOUT} = 1/2 \text{XTIMCLK}$)(1)(2)(3)

表 5-67 时序要求

	最 小 值	最大值	单 位
$t_{d(\text{HL-Hiz})}$ 延迟时间，所有地址、数据和控制的 $\overline{\text{XHOLD}}$ 低 to Hi-Z		$4t_{c(\text{XTIM})}+t_{c(\text{XCO})}+30$	ns
$t_{d(\text{HL-HAL})}$ 延迟时间， $\overline{\text{XHOLD}}$ 低至 $\overline{\text{XHOLD}}$ 低		$4t_{c(\text{XTIM})}+2t_{c(\text{XCO})}+30$	ns
$t_{d(\text{HH-HAH})}$ 延迟时间， $\overline{\text{XHOLD}}$ 高至 $\overline{\text{XHOLD}}$ 高		$4t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HH-BV})}$ 延迟时间， $\overline{\text{XHOLD}}$ 高电平至总线有效		$6t_{c(\text{XTIM})}+30$	ns

- (1)当在 $\overline{\text{XHOLD}}$ 上检测到低信号时，所有挂起的 XINTF 访问将在总线置于高阻抗状态之前完成。
- (2)在 XTIMCLK 的上升沿锁存 $\overline{\text{XHOLD}}$ 的状态。
- (3)检测到 $\overline{\text{XHOLD}}$ 为低或高后，所有的总线转换和 $\overline{\text{XHOLDA}}$ 转换都会相对于 XCLKOUT 的上升沿发生。因此，对于 XCLKOUT=1/2 XTIMCLK 的这种模式，转换最多可以比指定的最大值早 1 个 XTIMCLK 周期发生。



A.所有挂起的 XINTF 访问都已完成。
B.恢复正常的 XINTF 操作。

图 5-33 XHOLD/XHOLDA时序要求(XCLKOUT=1/2 XTIMCLK)

5.6.9. 闪存(Flash)时序

5.6.9.1. 闪存对 A 和 S 温度材料的耐久性

表 5-68 闪存对 A 和 S 温度材料的耐久性⁽¹⁾

		擦除/编程 温度	最小值	典型值	最大值	单位
N _f	闪存数组持久性(写/擦除周期)	0°C到85°C (环境)	20000	50000		cycles
N _{OTP}	OTP数组持久性(写周期)	0°C到85°C (环境)			1	write

(1) 在所给出温度范围之外的写/擦除操作数未确定，并可能影响持久性次数。

5.6.9.2. 闪存对 Q 温度材料的耐久性

		擦除/编程 温度	最小值	典型值	最大值	单位
N _f	闪存数组持久性(写/擦除周期)	-40°C到125°C (环境)	20000	50000		cycles
N _{OTP}	OTP数组持久性(写周期)	-40°C到125°C (环境)			1	write

表 5-69 闪存对 Q 温度材料的耐久性⁽¹⁾

(1) 在所给出温度范围之外的写/擦除操作数未确定，并可能影响持久性次数。

5.6.9.3. 闪存在 SYSCLOCKOUT 150 MHz 时参数

表 5-70 闪存在 SYSCLOCKOUT 150 MHz 时参数

参数		测试条件	最小值	典型值	最大值	单位
编程时间 ⁽³⁾	16-Bit 字			50		us
	32K 扇区			1000	2000 ⁽²⁾	ms
	16K 扇区			500	2000 ⁽²⁾	ms
擦除时间 ⁽¹⁾	32K 扇区	Q级		2	12 ⁽²⁾	s
	16K 扇区			2	12 ⁽²⁾	
擦除时间 ⁽¹⁾	32K 扇区	A, S级		2	15 ⁽²⁾	s
	16K 扇区			2	15 ⁽²⁾	
IDD3VFLP ⁽⁴⁾	VDD3VFL 擦除/编程周期内的电流消耗	擦除		75		mA
		编程		35		mA
IDDP ⁽⁴⁾	VDD 擦除/编程周期内的电流消耗			180		mA
IDDIOP ⁽⁴⁾	VDDIO 擦除/编程周期内的电流消耗			20		mA

(1) 当设备发货时，片上闪存处于擦除状态。因此，在第一次对设备进行编程时，编程前不需要擦除闪存，而所有后续的编程操作都需要擦除操作。

(2) 所提到的最大闪存参数是前 100 个编程和擦除周期。

(3) 编程时间处于最大设备频率。该表中所示的编程时间仅适用于设备 RAM 中所有所需代码/数据可用并准备编程的情况。程序时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：

- 使用闪存 API 编程闪存的代码
- 闪存 API 本身
- 待编程的闪存数据

(4) 室温下的典型参数，包括关闭所有外设的函数调用开销。在整个闪存编程过程中保持稳定的电源是非常重要的。可以想象，闪存编程期间的设备电流消耗可能高于正常操作条件。应确保所使用的电源 VMIN 始终在供电轨道上，请参见数据手册中的“推荐运行条件”。在擦除/编程过程中，任何断电或电源中断都可能损坏密码位置并永久锁定设备。在 flash 编程期间，不建议通过 USB 端口为目标板供电，因为该端口可能无法响应编程过程中放置的电源需求。

5.6.9.4. 闪存/OTP 访问时序

表 5-71 闪存/OTP 访问时序

参数		最小值	最大值	单位
$t_{a(fp)}$	分页闪存访问时间	37		ns
$t_{a(fr)}$	随机闪存访问时间	37		ns
$t_{a(OTP)}$	OTP 访问时间	60		ns

5.6.9.5. 闪存数据保留时间

表 5-72 闪存数据保留时间

参数		测试条件	最小值	最大值	单位
$t_{retention}$	数据保留时间	$T_J = 55^{\circ}\text{C}$	15		years

5.6.9.6. 不同频率所需最小闪存/OTP 等待状态

表 5-73 不同频率所需最小闪存/OTP 等待状态

SYSCCLKOUT (MHz)	SYSCCLKOUT (ns)	PAGE WAIT-STATE	RANDOM WAIT-STATE ⁽¹⁾	OTP WAIT-STATE
150	6.67	5	5	8
120	8.33	4	4	7
100	10	3	3	5
75	13.33	2	2	4
50	20	1	1	2
30	33.33	1	1	1
25	40	1	1	1
15	66.67	1	1	1
4	250	1	1	1

(1) Page 和 random wait-state 必须大于等于 1。

闪存 page 等待状态和随机等待状态的计算公式如下：

$$\text{Page Wait State} = \left\lceil \left(\frac{t_{a(fp)}}{t_{c(SCO)}} \right) - 1 \right\rceil \quad \text{四舍五入到下一个最大的整数或 1}$$

$$\text{Random Wait State} = \left\lceil \left(\frac{t_{a(fr)}}{t_{c(SCO)}} \right) - 1 \right\rceil \quad \text{四舍五入到下一个最大的整数或 1}$$

OTP Wait State 的计算公式如下：

$$\text{OTP Wait State} = \left\lceil \left(\frac{t_{a(OTP)}}{t_{c(SCO)}} \right) - 1 \right\rceil \quad \text{四舍五入到下一个最大的整数或 1}$$

6. 程序移植

6.1. 可移植性

RV335 具备和 TI TMS320F28335 相当的功能，对于在 TI 芯片上执行的程序，转换之后均可以在 RV335 上执行。

由于 RV335 使用的 RV32IMFC-Ext 指令集，因此如果是汇编代码，需实现指令集之间的对应，详细的指令集介绍可参考《FDM320RV335 指令集参考手册》。目前 RV335 已完成所有对应函数库的转换，并且具有和 TI 库函数具有同样的函数接口，用户可直接使用。

对于 C 语言的代码，RV335 提供转换程序，设置一定的转换规则，可将用户的程序自动转为适用于 RV335 的程序。

对于不同的程序，需注意的，TI 中涉及到的地址均是以字为单位，而 RV335 是以半字为单位。

6.2. 转换程序

RV335 提供针对 C 语言程序的移植功能，以满足不同的应用程序及用户需求，详细的使用规则请参考《FDM320RV335 IDE 使用手册》。

7. 电气规范

7.1. 最大绝对额定值

除非另外说明，最大绝对额定值⁽¹⁾⁽²⁾的列表在运行温度范围内指定。

表 7-1 温度范围

电源电压范围，VDDIO，	相对于 VSS	-0.3V 至 4.6V
电源电压范围，VDDA2，VDDAIO	相对于 VSSA	-0.3V 至 4.6V
电源电压范围，VDD	相对于 VSS	-0.3V 至 2.5V
电源电压范围，VDD1A18，VDD2A18	相对于 VSSA	-0.3V 至 2.5V
电源电压范围，VSSA2，VSSAIO，VSS1AGND，VSS2AGND	相对于 VSS	-0.3V 至 0.3V
输入电压范围，VIN		-0.3V 至 4.6V
输出电压范围，VO		-0.3V 至 4.6V

输入钳制电流, I _{IK} (V _{IN} <0 或者 V _{IN} >V _{DDIO})(3)		±20mA
输出钳制电流, I _{OK} (V _O <0 或者 V _O >V _{DDIO})		±20mA
运行环境温度范围, T _A	A 版本 (4)	-40°C 至 85°C
	C 版本	-40°C 至 125°C
	Q 版本	-40°C 至 125°C
结温范围, T _J (4)		-40°C 至 150°C
贮存温度范围, T _{stg} (4)		-65°C 至 150°C

- (1) 在超出那些下面列出的绝对最大额定值条件下工作可能会造成器件的永久损坏。这些只是应力额定值, 在这些值或者任何超过所标明的其它条件下的功能运行并未注明。长时间处于最大绝对额定情况下会影响设备的可靠性。
- (2) 所有电压值都是相对于 V_{SS} 的值, 除非额外注明。
- (3) 每个引脚上的持续钳制电流为 ±2mA。这包括模拟输入, 此模拟输入有一个内部钳制电路, 此电路能够将电压固定在一个高于 V_{DDA2} 或者低于 V_{SSA2} 的二极管压降上。
- (4) 下列一个或两个条件可能会导致整体设备的使用寿命降低:
- 长期高温储存
 - 长时间在最高温度下使用

7.2. 建议的运行条件

在自然通风条件下的工作温度范围内（除非另有说明）。

表 7-2 运行条件

		最小值	标称值	最大值	单位
器件电源电压, I/O, V _{DDIO}		3.135	3.3	3.465	V
器件电源电压 DSP, V _{DD}	器件操作@ 150MHz	1.805	1.9	1.995	V
	器件操作@ 100MHz	1.71	1.8	1.89	V
电源接地, V _{SS} , V _{SSIO} , V _{SSAIO} , V _{SSA2} , V _{SS1AGND} , V _{SS2AGND}		0			V
ADC 电源电压 (3.3V), V _{DDA2} , V _{DDAIO}		3.135	3.3	3.465	V
ADC 电源电压, V _{DD1A18} , V _{DD2A18}	器件操作@ 150MHz	1.805	1.9	1.995	V
	器件操作@ 100MHz	1.71	1.8	1.89	V

器件时钟频率(系统时钟), fSYSCLKOUT	RV335	2		150	MHz
高电平输入电压, VIH	除 X1 之外的所有输入	2		VDDIO	V
	X1	0.7 * VDD-0.05	*	VDD	
低电平输入电压, VIL	除 X1 之外的所有输入	0.8			V
	X1	0.3 * VDD+0.05			
高电平输出源电流, VOH=2.4V, IOH	除组 2 之外的所有 I/O	-4			mA
	组 2(1)	-8			
低电平输出灌电流, VOL=VOL (最大值), IOL	除组 2 之外的所有 I/O	4			mA
	组 2(1)	8			
环境温度, TA	A 版本	-40		85	°C
	S 版本	-40		125	
	Q 版本	-40		125	
结温, TJ		125			°C

(1) 组 2 引脚如下: GPIO28, GPIO29, GPIO30, GPIO31, TDO, XCLKOUT, EMU0, EMU1, XINTF pins, GPIO35-87, XRD.

7.3. 电气特性

在推荐的运行条件下（除非额外注明）

表 7-3 电气特性

参数			测试条件		最小值	典型值	最大值	单位
VOH	高电平输出电压		I _{OH} =I _{OH} 最大值		2.4			V
			I _{OH} =50μA		V _{DDIO} -0.2			
VOL	低电平输出电压		I _{OL} =I _{OL} 最大值		0.4			V
I _{IL}	输 入 电 流 (低 电 平)	上 拉 电 阻 器 启 用 的 引 脚	V _{DDIO} =3.3V , V _{IN} =0V	所有 I/O (包 括 XRS)	-80	-140	-190	μA
		下 拉 电 阻 器 被 启 用 的 引 脚	V _{DDIO} =3.3V, V _{IN} =0V		±2			

IIH	输入电流 (高电平)	上拉电阻器被启用的引脚	VDDIO=3.3V , VIN=VDDIO	±2			μA
		下拉电阻器被启用的引脚	VDDIO=3.3V , VIN=VDDIO	28	50	80	
IOZ	输出电流, 上拉电阻器或者下拉电阻器被禁用		V _O =V _{DDIO} 或者 0V	±2			μA
C _I	输入电容			2			pF
V _(ESD)	静电放电电压		人体模型(HBM), 符合 AEC Q100-002	2000			V