

PSoC™ 4 MCU: PSoC™ 4100S プラス

Arm® Cortex®-M0+ CPU をベース

概要

PSoC™ 4 は、Arm® Cortex®-M0+ CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリー用の、拡張可能かつ再コンフィギュレーション可能なプラットフォーム アーキテクチャです。これはプログラム可能かつ再コンフィギュレーション可能なアナログ ブロックとデジタル ブロックを、柔軟な自動配線によって組み合わせたものです。PSoC™ 4100S プラスは PSoC™ 4 プラットフォーム アーキテクチャのメンバーです。標準的な通信機能とタイミング ペリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CAPSENSE™)、プログラマブルな汎用の連続時間スイッチド キャパシタ アナログ ブロックおよびプログラマブルな内部接続で構成されます。新しいアプリケーションと設計ニーズのために、PSoC™ 4100S プラス製品は PSoC™ 4 プラットフォームのメンバーとの完全な上位互換性があります。

特長

- 32 ビット MCU サブシステム
 - 48MHz Arm® Cortex®-M0+ CPU、シングル サイクルの乗算に対応
 - 読み出しアクセラレータを備えた最大 128 KB のフラッシュ メモリ
 - 最大 16 KB の SRAM
 - 8 チャンネル DMA エンジン
- プログラマブル アナログ
 - 再設定可能な大電流外部ドライブと高帯域内部ドライブ、コンパレータ モード、ADC 入力バッファリング能力に対応した 2 個のオペアンプ。ディープスリープ低消費電力モードで動作可能オペアンプはディープスリープ低消費電力モードで動作可能。
 - 差動とシングルエンド モードおよび信号加算平均に対応したチャンネル シーケンサを備えた 12 ビット 1Msps SAR ADC
 - 静電容量センシング ブロックにより提供されるシングルスロープ 10 ビット ADC 機能
 - 任意のピンに出力できる汎用または静電容量センシング用の 2 個の電流 DAC (IDAC)
 - 2 個の低消費電力コンパレータ (低消費電力のディープスリープ モードで動作)
- プログラマブル デジタル
 - 入出力ポートでブール演算の実行を可能にするプログラマブル論理ブロック
- 低消費電力 (1.71V ~ 5.5V) 動作
 - ディープスリープ モードで動作可能なアナログと 2.5µA のデジタル システム電流
- 静電容量センシング
 - 静電容量シグマデルタ (CSD) により、クラス最高の信号対雑音比 (SNR) (>5:1) および耐水性を提供
 - インフィニオンが提供するソフトウェア コンポーネントによる容易な静電容量センシングの設計
 - ハードウェア自動チューニング (SmartSense)
- LCD 駆動
 - GPIO ピンで LCD セグメントを駆動
- シリアル通信
 - 5 個の独立した再コンフィギュレーション可能なシリアル通信ブロック (SCB)、実行時に I²C, SPI, または UART 機能に再コンフィギュレーション可能
- タイミングおよびパルス幅変調
 - 8 個の 16 ビット タイマー / カウンター / パルス幅変調器 (TCPWM) ブロック
 - 中央揃え、エッジ、および疑似ランダム モード
 - モーター駆動やその他の信頼性の高いデジタル ロジック アプリケーション用ギル信号のコンパレータベースのトリガ
 - 直交デコーダ

特長

- クロック ソース
 - 4MHz ~ 33MHz の外部水晶発振器 (ECO)
 - 48MHz 周波数を生成する PLL
 - 32kHz の時計用水晶発振器 (WCO)
 - $\pm 2\%$ の内部主発振器 (IMO)
 - 32kHz の内部低消費電力発振器 (ILO)
- 真性乱数発生器 (TRNG)
 - TRNG は暗号アプリケーション用の安全な鍵の生成のために真性乱数を生成
- CAN ブロック
 - タイムトリガ CAN (TTCAN) をサポートする CAN 2.0B ブロック
- 最大 54 本のプログラム可能な GPIO ピン
 - パッケージ: 44ピンTQFP (0.8mm ピッチ), 48ピンTQFP (0.5mm ピッチ), 64ピンTQFP 通常ピッチ (0.8mm) および微細ピッチ (0.5mm)
 - すべての GPIO ピンは CAPSENSE™, アナログ, またはデジタルに対応
 - 駆動モード, 駆動強度, およびスルー レートはプログラム可能
- ModusToolbox™ ソフトウェア
 - マルチプラットフォームツールとソフトウェアライブラリの包括的なコレクション
 - ボードサポートパッケージ (BSP), 周辺機器ドライバライブラリ (PDL), および CAPSENSE™ などのミドルウェアを包含
- PSoC™ Creator 設計環境
 - 統合開発環境 (IDE) が回路図設計の入力からビルドまでを提供 (アナログとデジタル ブロックの自動配線機能も備える)
 - すべての固定機能およびプログラム可能なペリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント
- 業界標準ツールとの互換性
 - 回路図の入力後、Arm® ベースの業界標準開発ツールで開発可能

目次

概要	1
特長	1
目次	3
1 Development ecosystem	4
1.1 PSoC™ 4 MCU リソース	4
1.2 ModusToolbox™ software	5
1.3 PSoC™ Creator	6
ブロックダイアグラム.....	7
2 機能の説明.....	9
2.1 CPU およびメモリ サブシステム	9
2.2 システム リソース	9
2.3 アナログ ブロック	11
2.4 プログラマブル デジタル ブロック	12
2.5 固定機能デジタル ブロック	12
2.6 GPIO	13
2.7 特殊機能ペリフェラル	13
3 ピン配置	15
3.1 ピンの代替機能	18
4 電源.....	21
4.1 モード 1: 1.8V ~ 5.5V の外部電源	21
4.2 モード 2: 1.8V ±5% の外部電源	21
5 電氣的仕様.....	23
5.1 絶対最大定格	23
5.2 デバイス レベルの仕様	23
5.3 アナログ ペリフェラル	27
5.4 デジタル ペリフェラル	36
5.5 メモリ	38
5.6 システム リソース	39
6 注文情報	43
7 パッケージ.....	46
7.1 パッケージ図	47
8 略語	50
9 本書の表記法	54
9.1 測定単位	54
改訂履歴.....	55
免責事項.....	56

1 Development ecosystem

1.1 PSoC™ 4 MCU リソース

インフィニオンは、www.infineon.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC™ デバイスを選択し、迅速かつ効率的にデザインに統合する手助けをします。以下は、PSoC™ 4 MCU のリソースの要約とリンクです。

- **概要** : [PSoC™ ポートフォリオ](#) , [PSoC™ ロードマップ](#)
- **製品セレクト** : [PSoC™ 4 MCU](#)
- **アプリケーション ノート** は、基本レベルから上級レベルまでの幅広いトピックを提供します。以下を含みます。
 - [AN79953](#): Getting started With PSoC™ 4
このアプリケーションノートには、使用する IDE ([ModusToolbox™ software](#) または [PSoC™ Creator](#)) を決定するために役立つ便利なフローチャートがあります。
 - [AN91184](#): PSoC™ 4 Bluetooth® LE - Designing Bluetooth® LE applications
 - [AN88619](#): PSoC™ 4 hardware design considerations
 - [AN73854](#): Introduction to bootloaders
 - [AN89610](#): Arm® Cortex® code optimization
 - [AN86233](#): PSoC™ 4 MCU low-power modes and reduction techniques
 - [AN57821](#): PSoC™ 3, PSoC™ 4, and PSoC™ 5LP mixed-signal circuit board layout considerations
 - [AN85951](#): PSoC™ 4 and PSoC™ 6 CAPSENSE™ design guide
- **サンプル コード** : 製品の機能と使用法を示します。 [Infineon GitHub repositories](#) から利用可能です。
- **テクニカル リファレンス マニュアル (TRM)**: PSoC™ 4 MCU アーキテクチャとレジスタの詳細な説明をします。
- **PSoC™ 4 MCU プログラミング仕様** : PSoC™ 4 MCU 不揮発性メモリのプログラムに必要な情報を提供します。
- **開発ツール**
 - [ModusToolbox™ software](#) は、堅牢に一体化されたツールとソフトウェアライブラリによって、クロスプラットフォームコードの開発が可能です。
 - [PSoC™ Creator](#) は、無料の Windows ベースの IDE です。これにより、PSoC™ 3、PSoC™ 4、PSoC™ 5LP、および PSoC™ 6 MCU ベースのシステムのハードウェアとファームウェアの同時設計が可能になります。アプリケーションは、回路図キャプチャと 150 を超える事前検証済みの本番環境対応の周辺機器コンポーネントを使用して作成されます。
 - [CY8CKIT-149](#) PSoC™ 4100S Plus prototyping kit は、使いやすく安価な評価プラットフォームです。このキットを使用すると、ブレッドボード互換形式ですべてのデバイス I/O に簡単にアクセスできます。
 - [MiniProg4](#) および [MiniProg3](#) は、オールインワン開発プログラマーおよびデバッガーです。
 - [PSoC™ 4 MCU CAD ライブラリ](#) は、一般的なツールに対応したフットプリントと回路図を提供します。[IBIS モデル](#)も使用できます。
- **トレーニング ビデオ** : [PSoC™ 4 MCU 101 series](#) を含む、幅広いトピックを提供します。
- **Infineon developer community**: 世界中の PSoC™ 開発者と常時連絡 / 情報交換が可能です。[PSoC™ 4 MCU の専用コミュニティ](#)もあります。

1.2 ModusToolbox™ software

ModusToolbox™ software は、インフィニオンのマルチプラットフォームツールとソフトウェアライブラリの包括的なコレクションであり、統合された MCU とワイヤレスシステムを作成するための没入型開発エクスペリエンスを可能にします。以下のとおりです。

- 包括的 - 必要なリソースがあります
- 柔軟性 - 独自のワークフローでリソースを使用できます
- アトミック - 必要なリソースだけを取得できます

インフィニオンは、[GitHub でのコード リポジトリ](#) の大規模なコレクションを提供しています。これは以下を含みます。

- インフィニオンキットと連携したボードサポートパッケージ (BSP)
- ペリフェラルドライバライブラリ (PDL) などの低レベルのリソース
- CAPSENSE™ などの業界をリードする機能を可能にするミドルウェア
- 徹底的にテストされた **サンプル コード** の広範なセット

ModusToolbox™ software は IDE に依存せず、ワークフローや推奨される開発環境に簡単に適応できます。

Figure 1 に示すように、プロジェクトクリエイター、ペリフェラルおよびライブラリコンフィギュレーター、ライブラリマネージャー、および ModusToolbox™ 用のオプションの Eclipse IDE が含まれます。インフィニオンツールの使用については、ModusToolbox™ software に付属のドキュメントおよび [AN79953 -Getting started with PSoC™ 4](#) を参照してください。

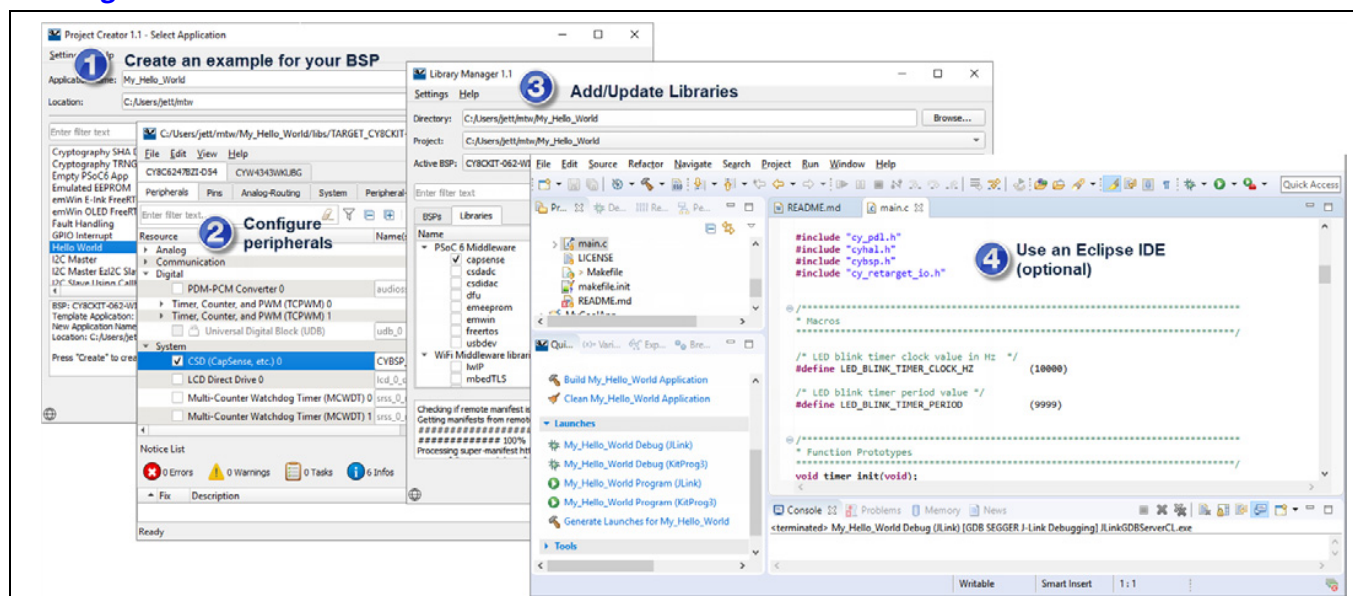


Figure 1 ModusToolbox™ software ツール

1.3 PSoC™ Creator

PSoC™ Creator は無料の Windows ベースの IDE です。このツールにより、お客様は PSoC™ 4 MCU のハードウェアとファームウェアシステムを同時に設計できます。Figure 2 に PSoC™ Creator でできることを示します。

1. 200 以上のコンポーネントのライブラリを探索
2. コンポーネントアイコンをドラッグアンドドロップして、メイン設計ワークスペースでハードウェアシステム設計を完成
3. コンポーネント構成ツールとコンポーネントデータシートを使用してコンポーネントを構成
4. PSoC™ Creator IDE でアプリケーションのファームウェアとハードウェアを相互設計またはサードパーティの IDE プロジェクトを構築
5. PSoC™ 4 Pioneer kit を使用してソリューションのプロトタイプを作成。設計変更が必要な場合、PSoC™ Creator および Components を使用すると、ハードウェアを改訂することなく、オンザフライで変更を加えることができます。

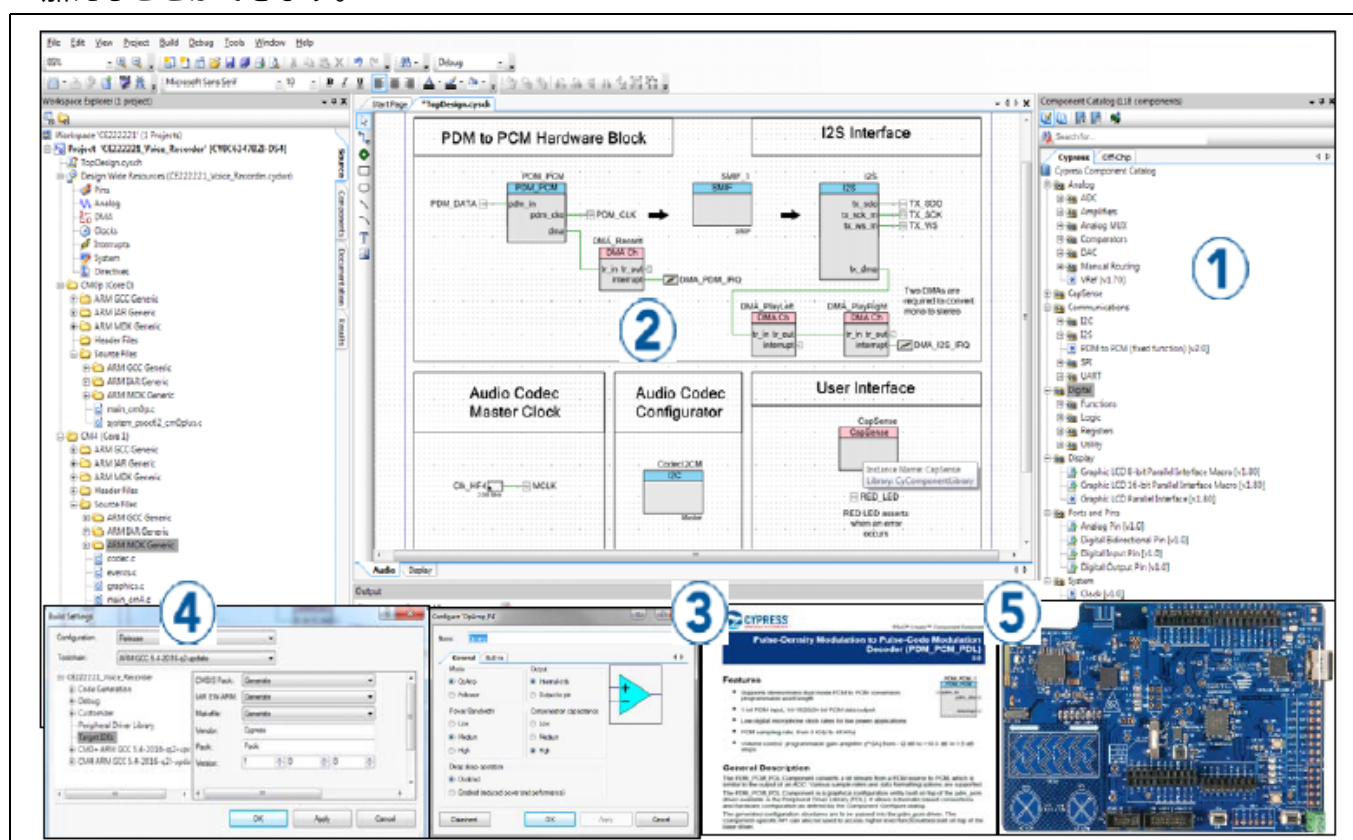
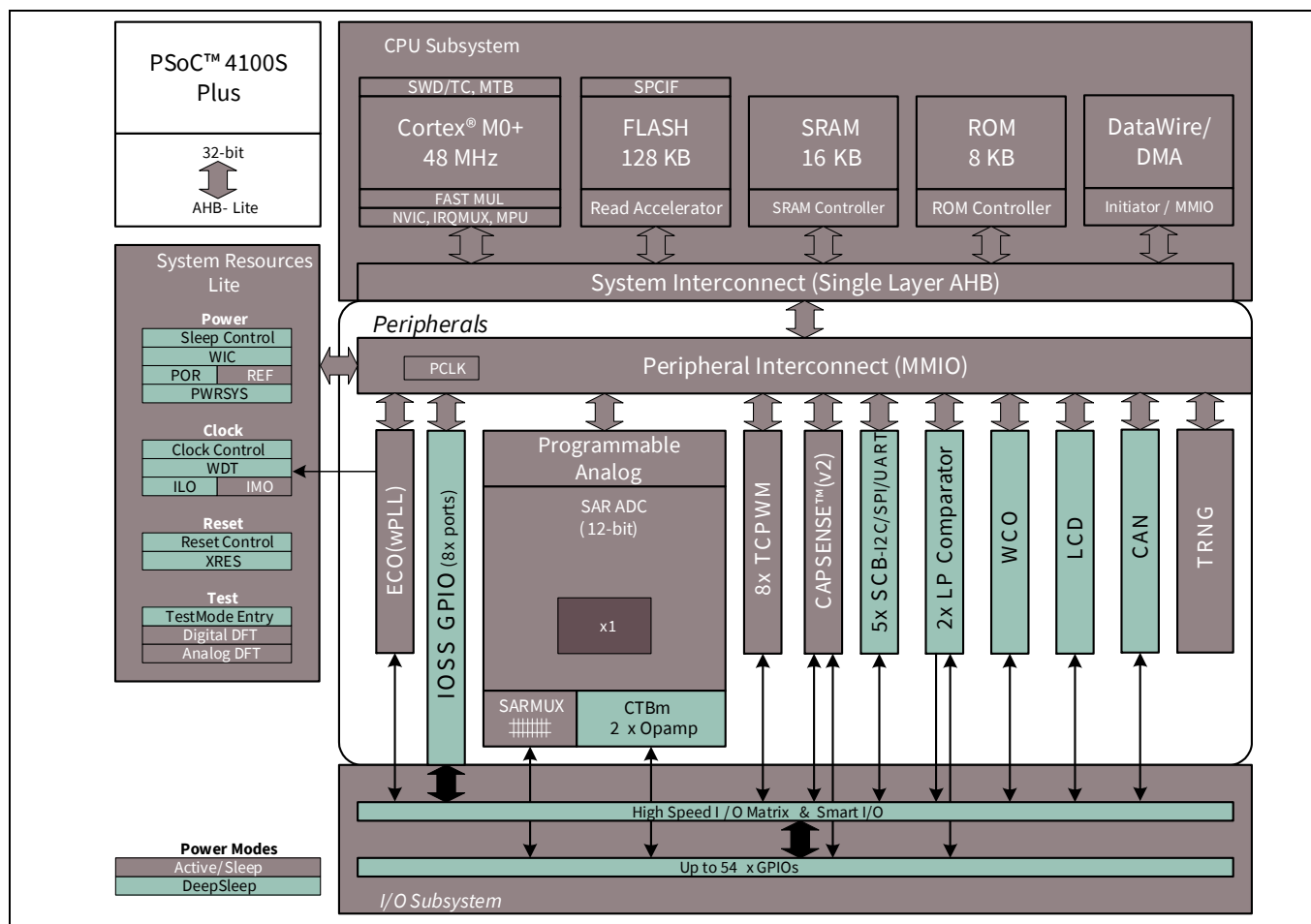


Figure 2 PSoC™ Creator の回路図入力とコンポーネント

ブロックダイアグラム



PSoC™ 4100S プラス デバイスは、ハードウェアとファームウェアの両方について、プログラミング、テスト、デバッグ、配線に幅広く対応します。

Arm® シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートします。

完全なデバッグ オンチップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグが可能です。専用のインターフェース、デバッグ ポッド、シミュレータ、またはエミュレータは不要です。デバッグをサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC™ Creator IDE は PSoC™ 4100S プラス デバイスのプログラミングおよびデバッグを完全にサポートします。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC™ 4100S プラスは、マルチチップアプリケーションソリューションまたはマイクロコントローラーの組合せでは適用不可能なセキュリティレベルを提供します。このファミリは次の利点を持ちます。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護
- お客様独自の機能をオンチップ プログラマブル ブロックに実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、一度デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ機能を有効にする新しいファームウェアでデバイスをプログラムし直す以外に有効にする方法はありません。デバッグ機能のファームウェア制御は、ファームウェアを消去しなければオーバーライドされません。その結果セキュリティが向上します。

ブロックダイアグラム

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティシステムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にできます。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグ、およびテストインターフェースは無効にされます。そのため、デバイスセキュリティ機能を有効にした PSoC™ 4100S プラスは、故障解析ができない場合があります。これは PSoC™ 4100S プラスのトレードオフです。

2 機能の説明

2.1 CPU およびメモリ サブシステム

2.1.1 CPU

PSoC™ 4100S プラスの Cortex®-M0+ CPU は、広範なクロックゲーティングに対応し低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットです。CPU は Thumb-2 命令セットのサブセットを実行します。これは、8 つの割込み入力を備えたネスト型ベクタ割込みコントローラー (NVIC) ブロックと復帰割込みコントローラー (WIC) を含みます。WIC はディープスリープモードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープモードにある時にメインプロセッサへの電源を切れます。

CPU サブシステムは 8 チャンネル DMA エンジン、また JTAG の 2 線式のシリアルワイヤ デバッグ (SWD) インターフェースも含みます。PSoC™ 4100S プラスに使用するデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

2.1.2 フラッシュ

PSoC™ 4100S プラス デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU と密結合された、フラッシュアクセラレータ付きのフラッシュモジュールを持っています。低消費電力のフラッシュブロックは 48MHz で 2 ウェイトステート (WS) アクセス時間を達成するように設計されます。フラッシュアクセラレータにより、アクセス性能は平均してシングルサイクル SRAM の 85% に達します。

2.1.3 SRAM

48MHz でゼロウェイトステート (待ち状態なし) アクセスを備えた 16KB SRAM が提供されます。

2.1.4 SROM

ブートおよびコンフィギュレーションルーチンを含む 8KB の監視 ROM が提供されます。

2.2 システム リソース

2.2.1 電源システム

電源システムの詳細は [電源](#) を参照してください。電圧レベルがそれぞれのモードに対して必要なものであることや、また電圧レベルによって、適切な機能に必要な状態になるまでモードへの移行が遅延されたり (例: パワーオンリセット (POR) 時)、あるいはリセットが生成されたりすること (例: 電圧低下検出時) を説明しています。PSoC™ 4100S プラスは、 $1.8V \pm 5\%$ (外部レギュレータ不使用時) または $1.8V \sim 5.5V$ (内部レギュレータ使用時) の外部電源電圧で動作します。また PSoC™ 4100S プラスには 3 つの異なる電力モードがあります。これらのモード間の遷移は電源システムが管理します。PSoC™ 4100S プラスはアクティブモードおよびスリープとディープスリープの低消費電力モードに対応しています。

アクティブモードでは、すべてのサブシステムが動作できます。スリープモード中に CPU サブシステム (CPU、フラッシュ、SRAM) のクロックがゲートオフされます。このとき、ウェイクアップイベント中の瞬時ウェイクアップ機能により、すべてのペリフェラルと割込みがアクティブになります。ディープスリープモードでは、高速クロックおよび対応する回路がスイッチオフされます。このモードからの復帰には $35\mu s$ を要します。オペアンプはディープスリープモードで動作し続けます。

2.2.2 クロック システム

PSoC™ 4100S プラス クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロックソース間で切り替えられます。さらに、クロックシステムはメタステーブル状態が発生しないことを保証します。

PSoC™ 4100S プラス のクロック システムは、IMO, ILO, 32kHz 時計用水晶発振器 (WCO), MHz ECO と PLL および外部クロック入力から構成されます。WCO ブロックでは、IMO を 32kHz 発振器に固定できます。

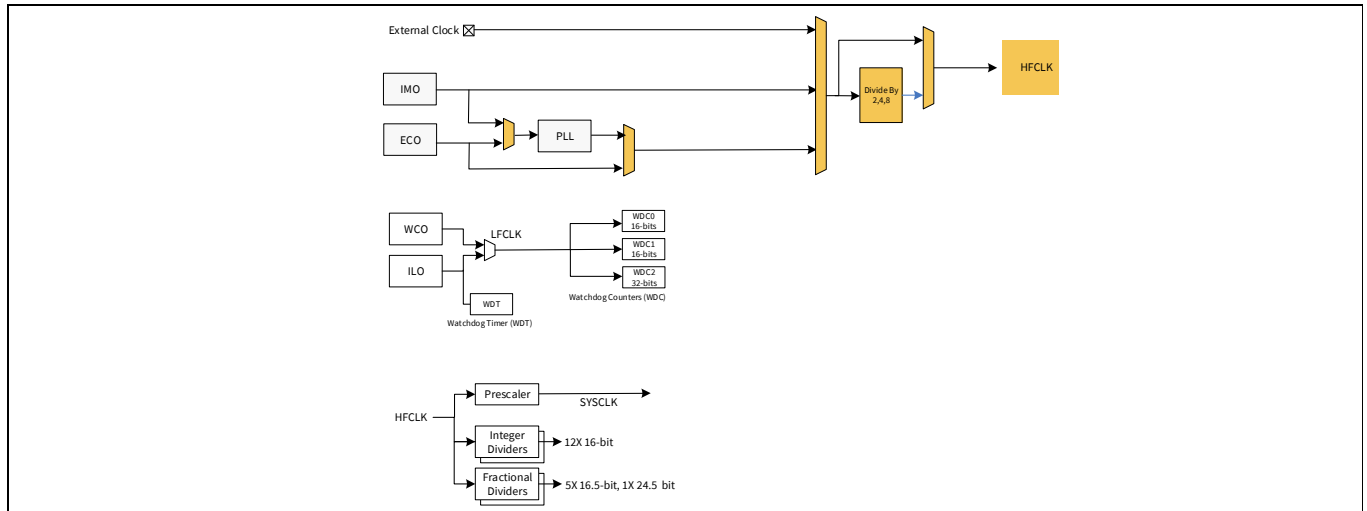


Figure 3 PSoC™ 4100S プラス MCU クロック アーキテクチャ

HFCLK 信号は、アナログとデジタルペリフェラル用の同期クロックを生成するために分岐できます。PSoC™ 4100S プラスには 18 個の分周器があります (6 個の分数分周器、12 個の整数専用分周器)。12 個の 16 ビット整数分周器により、きめ細かな周波数を柔軟に生成できます。さらに、5 個の 16 ビット分数分周器と 1 個の 24 ビット分数分周器があります。

2.2.3 IMO クロック ソース

IMO は PSoC™ 4100S プラスの内部クロック供給の主要なソースです。出荷試験中に仕様の精度を得るために調整されます。IMO のデフォルト周波数は 24MHz です。4MHz ステップで 24 ~ 48MHz に調整できます。インフィニオン提供の校正設定による IMO 許容誤差は、電圧と温度範囲全体で $\pm 2\%$ です。

2.2.4 ILO クロック ソース

ILO は超低消費電力の 40kHz 発振器であり、主にディープスリープモードでウォッチドッグタイマー (WDT) とペリフェラルの動作用にクロックを生成するために使用されます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正できます。インフィニオンは校正を実行するソフトウェアコンポーネントを提供しています。

2.2.5 時計用水晶発振器 (WCO)

PSoC™ 4100S プラスのクロックサブシステムは、高精度タイミングアプリケーションに採用できる低周波数 (32kHz 時計用水晶振動子) 発振器も実装しています。

2.2.6 外部水晶発振器 (ECO)

PSoC™ 4100S プラスは 4MHz ~ 33MHz の水晶発振器も実装します。

2.2.7 ウォッチドッグタイマーおよびカウンター

ウォッチドッグタイマーは、ILO をクロックソースとして動作するクロックブロックに実装されます。ディープスリープ時のウォッチドッグ動作を可能にし、設定されたタイムアウトが発生する前に処理されなかった場合にウォッチドッグリセットを生成します。ウォッチドッグリセットは、ファームウェア読み出しが可能なリセット原因レジスタに記録されます。ウォッチドッグカウンターは 32kHz WCO を使用して、リアルタイムクロックを実装できます。

2.2.8 リセット

PSoC™ 4100S プラスは、ソフトウェアリセットを含む様々なソースからリセットできます。リセットイベントは非同期であり、デバイスを既知の状態に復帰させることが保証されています。リセットの原因はレジスタに記録されます。そのレジスタはリセット中も保存され、ソフトウェアがリセットの原因を判断できます。XRES ピンはアクティブ LOW の外部リセット用に予約されています。XRES ピンには、常に有効な内部プルアップ抵抗が接続されています。

2.3 アナログブロック

2.3.1 12 ビット SAR ADC

12 ビットの 1Msps SAR ADC は 18MHz の最大クロックレートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを要します。

サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの安定時間を規定する利得帯域幅要件を必要に応じて緩和できます。内部基準アンプ用に外部バイパス (固定したピン位置を介して) を提供できます。

SAR は 8 入力シーケンサを介して固定したピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャンネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャンネルか複数のチャンネルであるにかかわらず 1Msps です)。シーケンサの切り替えは、ステートマシンまたはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割り込みサービスの要件を軽減するための各チャンネルのバッファリングです。信号を様々なソースインピーダンスと周波数に適合させるために、チャンネルごとに異なるサンプリング時間をプログラムできます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの一对 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割り込みで実施されます。これにより、シーケンサ スキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープモードに対応していません。SAR の動作範囲は 1.71V ~ 5.5V です。

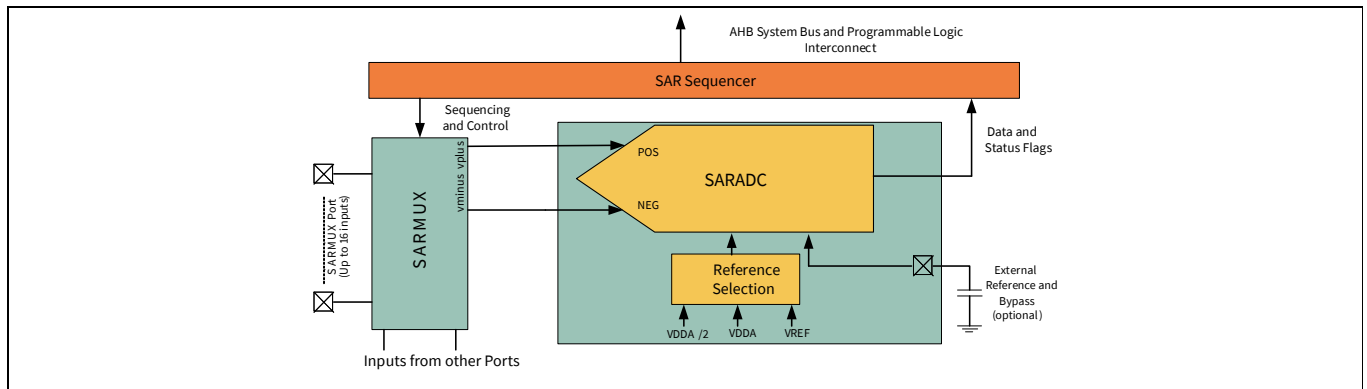


Figure 4 SAR ADC

2.3.2 2 個のオペアンプ (連続時間ブロック ; CTB)

PSoC™ 4100S プラスは、コンパレータモードのある 2 個のオペアンプを持つことにより、PGA、電圧バッファ、フィルタ、トランスインピーダンスアンプなどほとんどの一般的なアナログ機能が外付け部品の必要なくオンチップで実行でき、消費電力、コスト、および空間を節約できます。ただし外部受動素子が必要になる場合もあります。内蔵オペアンプは、外部バッファを必要とせずに ADC のサンプルホールド回路を駆動するために十分な帯域幅を持つように設計されています。

2.3.3 低消費電力コンパレータ (LPC)

PSoC™ 4100S プラスはディープスリープモードで動作できる低消費電力コンパレータの一对を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログシステムブロックを無効にできます。コンパレータ出力は、メタスタビリティを避けるために通常同期化

されます。ただし、システム復帰回路がコンパレータの切り替えイベントによりアクティブになるような、非同期電力モードで動作している場合を除きます。LPC の出力はピンに接続できます。

2.3.4 電流 DACs

PSoC™ 4100S プラスは、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えています。IDAC はプログラム可能な電流範囲があります。

2.3.5 アナログ マルチプレクサ バス

PSoC™ 4100S プラスは同心円状にチップの周辺を回る 2 本の独立したバスを備えています。これらのバス (amux バスと呼ばれる) はファームウェアでプログラム可能なアナログ スイッチに接続され、チップの内部リソース (IDAC、コンパレータ) を I/O ポートのいずれのピンにも接続できます。

2.4 プログラマブル デジタル ブロック

2.4.1 Smart I/O ブロック

Smart I/O ブロックはスイッチと LUT の構造体であり、ブール関数を GPIO ポートのピンに配線されている信号で実行できます。Smart I/O は論理演算をチップの入力ピン、および出力として出る信号で実行できます。

2.5 固定機能デジタル ブロック

2.5.1 タイマー , カウンター , パルス幅変調器 (TCPWM) ブロック

TCPWM ブロックは、ユーザーが周期長をプログラム可能な 16 ビット カウンターからなります。キャプチャレジスタは、I/O イベントなどのイベントのときにカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止し、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。このブロックはプログラム可能なオフセットをつけられる正出力とコンプリメンタリ出力も提供しており、デッドバンドをプログラム可能なコンプリメンタリ PWM 出力として使用できます。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェアの介入なしに直ちに止める必要がある時、キル入力を使用されます。各ブロックは直交デコーダも組み込んでいます。PSoC™ 4100S プラスは 8 個の TCPWM ブロックがあります。

2.5.2 シリアル通信ブロック (SCB)

PSoC™ 4100S プラスは 5 個のシリアル通信ブロックを備え、必要に応じて SPI, I²C, または UART 機能にプログラムできます。

I²C モード: ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトレーションが可能) を実装します。このブロックは、最大 1Mbps (ファストモードプラス) で動作可能で、CPU 用の割込みオーバーヘッドとレイテンシを削減するためのフレキシブルなバッファリング オプションがあります。また、PSoC™ 4100S プラスのメモリでメールボックスアドレス範囲を作って、メモリ アレイに対する読み書きの I²C 通信を効果的に削減する EZI²C にも対応しています。さらに、ブロックは送受信用に深さ 8 の FIFO にも対応しています。CPU がデータを読み出す一定の時間を増加することで、時間通りに CPU が読み出すデータがないことに起因したクロックストレッチの必要性を大幅に低減できます。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義された通りに、I²C 標準モードとファストモード デバイスと互換性があります。I²C バス I/O は、オープンドレイン モードの GPIO を使って実装されます。

PSoC™ 4100S プラスは、以下の点では I²C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや I²C システムの残りの部分から独立して電源を投入できません。

UART モード: 最大 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し変化したものである、車載向けシングルワイヤ インターフェース (LIN), 赤外線インターフェース (IrDA), SmartCard

(ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレイク検出、フレーム エラーなどの一般的な UART 機能に対応しています。深さ 8 の FIFO により、より大きい CPU サービス レイテンシが許容されます。

SPI モード : SPI モードは Motorola SPI, TI SSP (SPI コーデックを同期化するのに使用される開始パルスを追加), National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用できます。

2.5.3 CAN

TT-CAN をサポートする CAN 2.0B ブロックがあります。

2.6 GPIO

PSoC™ 4100S プラスは最大 54 本の GPIO を持ちます。GPIO ブロックは以下を実装します。

- 8 種類の駆動モード
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
 - 入力閾値選択 (CMOS あるいは LVTTTL)
 - 駆動強度モードに加えて、入力と出力バッファの有効 / 無効の個別制御
 - EMI を改善するための dV/dt 関連の雑音制御用の選択可能なスルー レート
- ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 5 とポート 6 はより少ないビット幅です)。電源投入とリセットの間、入力に過電流を与えず、過剰なターンオン電流を発生させないために、ブロックは無効状態にされます。高速 I/O マトリックスとして知られている多重化ネットワークが、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。
- データ出力とピン ステート レジスタは、それぞれピン上で駆動される値とそれらのピンの状態を格納します。各 I/O ピンは有効になった場合に割り込みを生成できます。各 I/O ポートには、それに対応する割り込み要求 (IRQ) と割り込みサービス ルーチン (ISR) ベクタがあります。

2.7 特殊機能ペリフェラル

2.7.1 CAPSENSE™

CAPSENSE™ は、(アナログスイッチに接続された) アナログ マルチプレクサ バスを介してどのピンにも接続できる静電容量シグマ - デルタ (CSD) ブロックにより、PSoC™ 4100S プラスでサポートされています。CAPSENSE™ 機能は、ソフトウェアで制御されるシステム内のいかなる使用可能なピンあるいはピングループに提供できます。扱いやすくするために、CAPSENSE™ ブロック用の PSoC™ Creator コンポーネントが提供されています。

シールド電圧は、耐水機能を実現するために、他のマルチプレクサ バス上で駆動できます。耐水性は、シールド電極を検知電極と同位相で駆動して提供されます。その検知電極はシールド静電容量が検知された入力を減衰させることを防ぐためのものです。近接センシングも実装できます。

CAPSENSE™ ブロックは、2 個の IDAC を備えています。CAPSENSE™ を使用しない (両方の IDAC とも使用可能) 場合、または CAPSENSE™ の耐水機能を利用しない場合 (どちらか一方の IDAC が使用可能)、一般用途に使用できます。

また、CAPSENSE™ ブロックは CAPSENSE™ 機能と併用できる 10 ビットのスロー ADC 機能も提供しています。CAPSENSE™ ブロックは高性能で、低雑音のプログラマブル ブロックです。感度と柔軟性を向上させるために基準電圧と電流源の範囲をプログラム可能です。さらに、外部基準電圧も利用できます。VDDA およびグラウンドのセンシングを代替し、消費電力関連雑音をゼロにする全波 CSD モードがあります。

2.7.2 LCD セグメント駆動

PSoC™ 4100S プラスは最大 8 つのコモン信号と最大 30 のセグメント信号を駆動できる LCD コントローラーを内蔵しています。内部 LCD 電圧を生成する必要があるフル デジタル方式を使用して LCD セグメントを駆動します。2 つの方式は、デジタル相関と PWM と呼ばれています。デジタル相関は、コモンとセグメント信号の周波数と駆動レベルの変調に関連し、セグメントの全域で最高 RMS 電圧を生成してセグメントを点灯させるか、または RMS 信号を 0 に維持します。この方法は STN ディスプレイに適していますが、(より安い) TN ディスプレイに対してはコントラストが低くなることがあります。PWM は、PWM 信号を有するパネルの駆動に関連し、パネルの静電容量を効率的に使用して変調されたパルス幅の積分を提供し、所望の LCD 電圧を生成します。この方法は消費電力が増えますが、TN ディスプレイを駆動する際にはより良い結果を出します。

3 ピン配置

次の表は、PSoC™ 4100S プラスの 44 ピン TQFP, 48 ピン TQFP, および 64 ピン TQFP 通常ピッチと微細ピッチパッケージのピンリストです。

Table 1 **ピン配置**

64-TQFP		44-TQFP		48-TQFP	
ピン	名称	ピン	名称	ピン	名称
39	P0.0	24	P0.0	28	P0.0
40	P0.1	25	P0.1	29	P0.1
41	P0.2	26	P0.2	30	P0.2
42	P0.3	27	P0.3	31	P0.3
43	P0.4	28	P0.4	32	P0.4
44	P0.5	29	P0.5	33	P0.5
45	P0.6	30	P0.6	34	P0.6
46	P0.7	31	P0.7	35	P0.7
47	XRES	32	XRES	36	XRES
48	VCCD	33	VCCD	37	VCCD
		34	VDDD		
49	VSSD			38	VSSD
50	VDDD			39	VDDD
51	P5.0				
52	P5.1				
53	P5.2				
54	P5.3				
55	P5.5				
56	VDDA	35	VDDA	40	VDDA
57	VSSA	36	VSSA	41	VSSA
58	P1.0	37	P1.0	42	P1.0
59	P1.1	38	P1.1	43	P1.1
60	P1.2	39	P1.2	44	P1.2
61	P1.3	40	P1.3	45	P1.3
62	P1.4	41	P1.4	46	P1.4
63	P1.5	42	P1.5	47	P1.5
64	P1.6	43	P1.6	48	P1.6
1	P1.7	44	P1.7	1	P1.7
		1	VSSD		
2	P2.0	2	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1
4	P2.2	4	P2.2	4	P2.2
5	P2.3	5	P2.3	5	P2.3
6	P2.4	6	P2.4	6	P2.4
7	P2.5	7	P2.5	7	P2.5

ピン配置

Table 1 ピン配置 (continued)

64-TQFP		44-TQFP		48-TQFP	
ピン	名称	ピン	名称	ピン	名称
8	P2.6	8	P2.6	8	P2.6
9	P2.7	9	P2.7	9	P2.7
10	VSSD				
11	NC				
12	P6.0	10	P6.0		
13	P6.1				
14	P6.2				
15	P6.4				
16	P6.5				
17	VSSD			10	VSSD
				11	NC
18	P3.0	11	P3.0	12	P3.0
19	P3.1	12	P3.1	13	P3.1
20	P3.2	13	P3.2	14	P3.2
				15	NC
21	P3.3	14	P3.3	16	P3.3
22	P3.4	15	P3.4	17	P3.4
23	P3.5	16	P3.5	18	P3.5
24	P3.6	17	P3.6	19	P3.6
25	P3.7	18	P3.7	20	P3.7
26	VDDD	19	VDDD	21	VDDD
27	P4.0	20	P4.0	22	P4.0
28	P4.1	21	P4.1	23	P4.1
29	P4.2	22	P4.2	24	P4.2
30	P4.3	23	P4.3	25	P4.3
31	P4.4				
32	P4.5				
33	P4.6				
34	P4.7				
35	P5.6				
36	P5.7				
37	P7.0			26	P7.0
38	P7.1			27	P7.1

ピン配置

電源ピンの説明は以下のとおりです。

VDDD: デジタル セクション用の電源

VDDA: アナログ セクション用の電源

VSSD, VSSA: それぞれデジタルとアナログ セクション用のグランド ピン

VCCD: 安定化デジタル電源 (1.8V±5%)

VDD: チップのすべてのセクション用の電源

VSS: チップのすべてのセクション用のグランド

下表はパッケージ別の GPIO 数です。

	64 TQFP	44 TQFP	48 TQFP
GPIO 数	54	37	38

3.1 ピンの代替機能

それぞれのポートピンは多機能の1つに割り当てられます。例えば、アナログ I/O, デジタルペリフェラル機能, LCD ピン, または CAPSENSE™ ピンです。ピンの割当てを下表に示します。

Table 2 **ピンの代替機能**

ポート / ピン	アナログ	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P0.0	lpcomp.in_p[0]			tcpwm.tr_in[0]	scb[2].uart_cts:0	scb[2].i2c_scl:0	scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]			tcpwm.tr_in[1]	scb[2].uart_rts:0	scb[2].i2c_sda:0	scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]						scb[2].spi_select0:1
P0.4	wco.wco_in			scb[1].uart_rx:0	scb[2].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out			scb[1].uart_tx:0	scb[2].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6	exco.eco_in		srss.ext_clk:0	scb[1].uart_cts:0	scb[2].uart_tx:1		scb[1].spi_clk:1
P0.7	exco.eco_out		tcpwm.line[0]:3	scb[1].uart_rts:0			scb[1].spi_select0:1
P5.0			tcpwm.line[4]:2		scb[2].uart_rx:1	scb[2].i2c_scl:1	scb[2].spi_mosi:0
P5.1			tcpwm.line_compl[4]:2		scb[2].uart_tx:2	scb[2].i2c_sda:1	scb[2].spi_miso:0
P5.2			tcpwm.line[5]:2		scb[2].uart_cts:1	lpcomp.comp[0]:2	scb[2].spi_clk:0
P5.3			tcpwm.line_compl[5]:2		scb[2].uart_rts:1	lpcomp.comp[1]:0	scb[2].spi_select0:0
P5.4			tcpwm.line[6]:2				scb[2].spi_select1:0
P5.5			tcpwm.line_compl[6]:2				scb[2].spi_select2:0
P1.0	ctb0_oa0+	SmartIo[2].io[0]	tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	ctb0_oa0-	SmartIo[2].io[1]	tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	ctb0_oa0_out	SmartIo[2].io[2]	tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]	scb[2].i2c_scl:2	scb[0].spi_clk:1
P1.3	ctb0_oa1_out	SmartIo[2].io[3]	tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]	scb[2].i2c_sda:2	scb[0].spi_select0:1
P1.4	ctb0_oa1-	SmartIo[2].io[4]	tcpwm.line[6]:1			scb[3].i2c_scl:0	scb[0].spi_select1:1

Table 2 ピンの代替機能 (continued)

ポート / ピン	アナログ	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P1.5	ctb0_oa1+	Smartlo[2].io[5]	tcpwm.line_compl [6]:1			scb[3].i2c_sda:0	scb[0].spi_select2:1
P1.6	ctb0_oa0+	Smartlo[2].io[6]	tcpwm.line[7]:1				scb[0].spi_select3:1
P1.7	ctb0_oa1+ sar_ext_vref0 sar_ext_vref1	Smartlo[2].io[7]	tcpwm.line_compl [7]:1				scb[2].spi_clk:1
P2.0	sarmux[0]	Smartlo[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	sarmux[1]	Smartlo[0].io[1]	tcpwm.line_compl [4]:0		tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2	sarmux[2]	Smartlo[0].io[2]	tcpwm.line[5]:1				scb[1].spi_clk:2
P2.3	sarmux[3]	Smartlo[0].io[3]	tcpwm.line_compl [5]:1				scb[1].spi_select0:2
P2.4	sarmux[4]	Smartlo[0].io[4]	tcpwm.line[0]:1	scb[3].uart_rx:1			scb[1].spi_select1:1
P2.5	sarmux[5]	Smartlo[0].io[5]	tcpwm.line_compl [0]:1	scb[3].uart_tx:1			scb[1].spi_select2:1
P2.6	sarmux[6]	Smartlo[0].io[6]	tcpwm.line[1]:1	scb[3].uart_cts: 1			scb[1].spi_select3:1
P2.7	sarmux[7]	Smartlo[0].io[7]	tcpwm.line_compl [1]:1	scb[3].uart_rts: 1		lpcomp.comp[0]:0	scb[2].spi_mosi:1
P6.0			tcpwm.line[4]:1	scb[3].uart_rx:0	can.can_tx_enb_n: 0	scb[3].i2c_scl:1	scb[3].spi_mosi:0
P6.1			tcpwm.line_compl [4]:1	scb[3].uart_tx:0	can.can_rx:0	scb[3].i2c_sda:1	scb[3].spi_miso:0
P6.2			tcpwm.line[5]:0	scb[3].uart_cts: 0	can.can_tx:0		scb[3].spi_clk:0
P6.3			tcpwm.line_compl [5]:0	scb[3].uart_rts: 0			scb[3].spi_select0:0
P6.4			tcpwm.line[6]:0			scb[4].i2c_scl	scb[3].spi_select1:0
P6.5			tcpwm.line_compl [6]:0			scb[4].i2c_sda	scb[3].spi_select2:0
P3.0		Smartlo[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_mosi:0

Table 2 ピンの代替機能 (continued)

ポート / ピン	アナログ	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P3.1		SmartIo[1].io[1]	tcpwm.line_compl [0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2		SmartIo[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts: 1		cpuss.swd_data	scb[1].spi_clk:0
P3.3		SmartIo[1].io[3]	tcpwm.line_compl [1]:0	scb[1].uart_rts: 1		cpuss.swd_clk	scb[1].spi_select0:0
P3.4		SmartIo[1].io[4]	tcpwm.line[2]:0		tcpwm.tr_in[6]		scb[1].spi_select1:0
P3.5		SmartIo[1].io[5]	tcpwm.line_compl [2]:0				scb[1].spi_select2:0
P3.6		SmartIo[1].io[6]	tcpwm.line[3]:0			scb[4].spi_select3	scb[1].spi_select3:0
P3.7		SmartIo[1].io[7]	tcpwm.line_compl [3]:0			lpcomp.comp[1]:1	scb[2].spi_miso:1
P4.0	csd.vref_ext			scb[0].uart_rx:0	can.can_rx:1	scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshield			scb[0].uart_tx:0	can.can_tx:1	scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmod			scb[0].uart_cts: 0	can.can_tx_enb_n: 1	lpcomp.comp[0]:1	scb[0].spi_clk:0
P4.3	csd.csh_tank			scb[0].uart_rts: 0		lpcomp.comp[1]:2	scb[0].spi_select0:0
P4.4				scb[4].uart_rx		scb[4].spi_mosi	scb[0].spi_select1:2
P4.5				scb[4].uart_tx		scb[4].spi_miso	scb[0].spi_select2:2
P4.6				scb[4].uart_cts		scb[4].spi_clk	scb[0].spi_select3:2
P4.7				scb[4].uart_rts		scb[4].spi_select0	
P5.6			tcpwm.line[7]:0			scb[4].spi_select1	scb[2].spi_select3:0
P5.7			tcpwm.line_compl [7]:0			scb[4].spi_select2	
P7.0			tcpwm.line[0]:2	scb[3].uart_rx:2		scb[3].i2c_scl:2	scb[3].spi_mosi:1
P7.1			tcpwm.line_compl [0]:2	scb[3].uart_tx:2		scb[3].i2c_sda:2	scb[3].spi_miso:1
P7.2			tcpwm.line[1]:2	scb[3].uart_cts: 2			scb[3].spi_clk:1

4 電源

以下の電源システム図に、PSoC™ 4100S プラス用に実装された電源ピンを示します。システムは、アクティブモードで動作するデジタル回路用のレギュレータが1つあります。アナログ用のレギュレータはありません。アナログ回路は V_{DD} 入力から直接動作します。

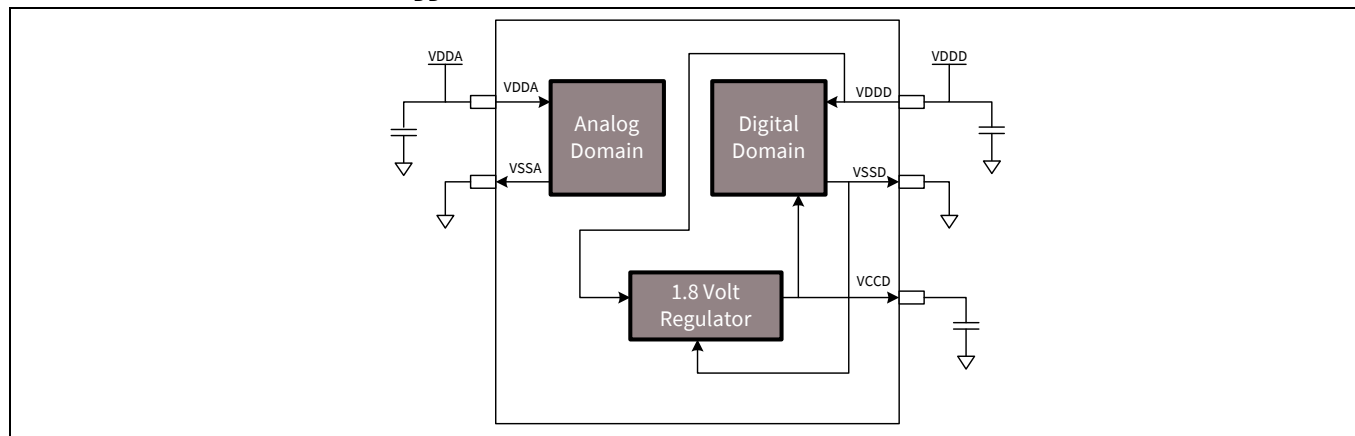


Figure 5 電源接続

次の2つの異なる動作モードがあります。モード1では、供給電圧範囲は1.8V～5.5V (外部レギュレータ不使用、内部レギュレータは動作可能) です。モード2では、供給電圧範囲は1.8V±5% (外部レギュレータ使用、1.71～1.89V、内部レギュレータはバイパスされる) です。

4.1 モード1: 1.8V～5.5Vの外部電源

このモードでは、PSoC™ 4100S プラスは1.8V～5.5Vの電圧範囲の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも対応します。例えばチップは、3.5Vから始まって1.8Vまで低下するバッテリーシステムから電源供給されます。このモードでは、PSoC™ 4100S プラスの内部レギュレータは内部ロジックに電源を供給し、その出力は V_{CCD} ピンに接続されます。 V_{CCD} ピンは外部コンデンサ (0.1 μ F。X5R セラミックかそれより良質なものを介してグラウンドにバイパスされ、他のどれにも接続してはいけません。

4.2 モード2: 1.8V±5%の外部電源

このモードでは、PSoC™ 4100S プラスは1.71V～1.89Vの外部電源から電源供給されます。この範囲には電源リップルが含まれていることに注意してください。このモードで、VDD ピンと VCCD ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効化できます。

バイパスコンデンサを VDDD からグラウンドの間に接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、1 μ F レンジのコンデンサをより小さいコンデンサ (例えば、0.1 μ F) と並列で使用します。これらは単なる経験則です。しかし、重要なアプリケーションに対しては、設計に最適なバイパスを得るために、PCB レイアウト、リードインダクタンス、バイパスコンデンサ寄生容量をシミュレートする必要があることに留意してください。

バイパススキームの例を下図に示します。

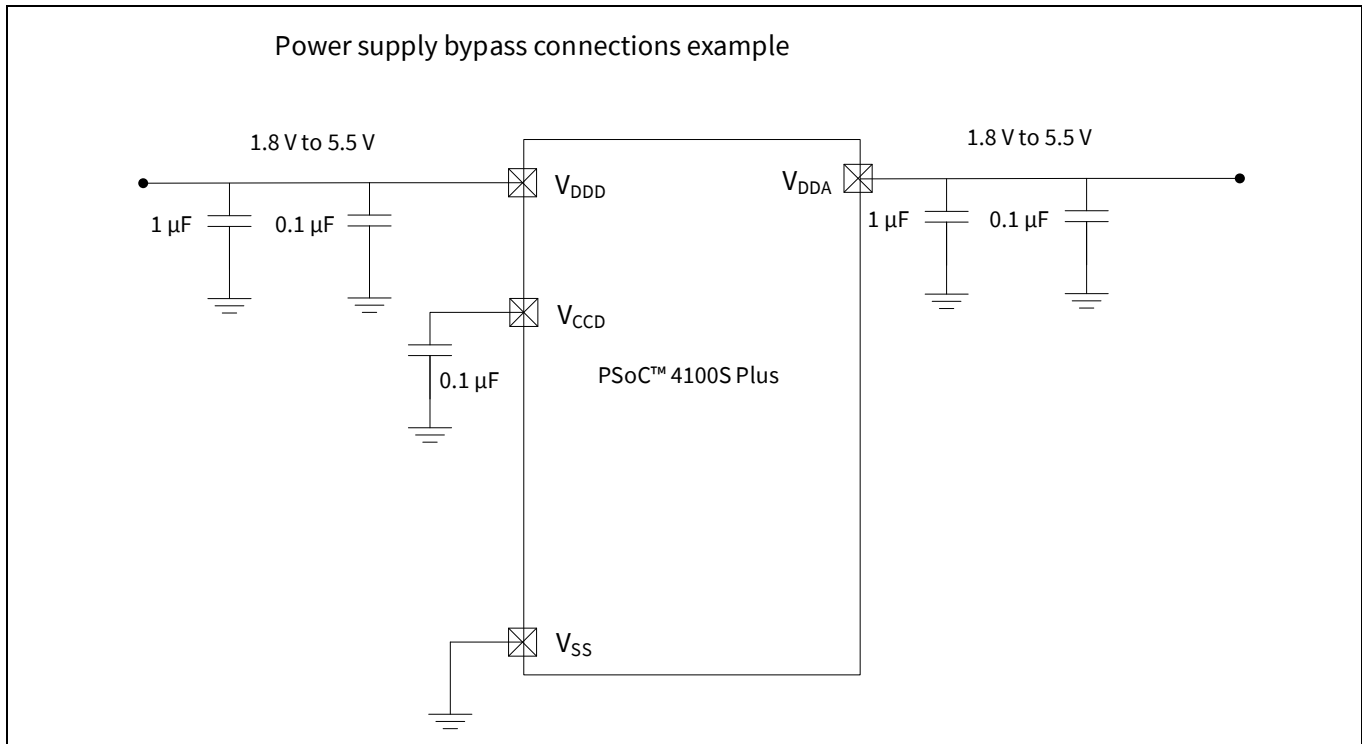


Figure 6 1.8 V～5.5 V の外部電源 (内部レギュレータが有効)

5 電氣的仕様

5.1 絶対最大定格

Table 3 絶対最大定格^[1]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID1	V _{DDD_ABS}	V _{SS} を基準としたデジタル電源電圧	-0.5	-	6	V	-
SID2	V _{CCD_ABS}	V _{SS} を基準とした直接デジタル コア電圧入力	-0.5	-	1.95		-
SID3	V _{GPIO_ABS}	GPIO 電圧	-0.5	-	V _{DD} +0.5		-
SID4	I _{GPIO_ABS}	GPIO ごとの最大電流	-25	-	25	mA	-
SID5	I _{GPIO_injection}	GPIO 注入電流、V _{IH} > V _{DDD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.5	-	0.5		ピンごとの注入電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	-
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-		-
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	-

5.2 デバイス レベルの仕様

特記されていない限り、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 125^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

Table 4 DC 仕様

Typ 値は 25°C、V_{DD} = 3.3 V で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID53	V _{DD}	電源ピン入力電圧	1.8	-	5.5	V	内部レギュレータ使用
SID255	V _{DD}	電源ピン入力電圧 (V _{CCD} = V _{DDD} = V _{DDA})	1.71	-	1.89		内部レギュレータ不使用
SID54	V _{CCD}	出力電圧 (コア ロジック用)	-	1.8	-		-
SID55	C _{EFC}	外部レギュレータ電圧 (V _{CCD}) バイパス	-	0.1	-	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源バイパス コンデンサ	-	1	-		X5R セラミックまたはこれより良質のもの

アクティブ モード、V_{DD} = 1.8 V ~ 5.5 V。Typ 値は 25°C、V_{DD} = 3.3 V で測定。

SID10	I _{DD5}	フラッシュから実行。CPU 速度が 6 MHz。	-	1.8	2.4	mA	
SID16	I _{DD8}	フラッシュから実行。CPU 速度が 24 MHz。	-	3.0	4.6		
SID19	I _{DD11}	フラッシュから実行。CPU 速度が 48 MHz。	-	5.4	7.1		

注

- Table 3 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 規格「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様通りに動作しない可能性があります。

電氣的仕様
Table 4 DC仕様 (continued)

Typ 値は 25°C、 $V_{DD} = 3.3\text{ V}$ で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
スリープモード、$V_{DDD} = 1.8\text{ V} \sim 5.5\text{ V}$ (レギュレータが有効)							
SID22	I_{DD17}	I ² C ウェイクアップ、WDT およびコンパレータが有効	–	1.1	1.8	mA	6 MHz
SID25	I_{DD20}	I ² C ウェイクアップ、WDT およびコンパレータが有効	–	1.5	2.1		12 MHz
スリープモード、$V_{DDD} = 1.71\text{ V} \sim 1.89\text{ V}$ (レギュレータがバイパス)							
SID28	I_{DD23}	I ² C ウェイクアップ、WDT、およびコンパレータが有効	–	1.1	1.8	mA	6 MHz
SID28A	I_{DD23A}	I ² C ウェイクアップ、WDT、およびコンパレータが有効	–	1.5	2.1	mA	12 MHz
ディープスリープモード、$V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$ (レギュレータが有効)							
SID30	I_{DD25}	I ² C ウェイクアップと WDT が有効。T = –40°C ~ 60°C	–	2.5	40	μA	T = –40°C ~ 60°C
SID31	I_{DD26}	I ² C ウェイクアップと WDT が有効	–	2.5	125	μA	Max は 3.6 V、85°C で測定
ディープスリープモード、$V_{DD} = 3.6\text{ V} \sim 5.5\text{ V}$ (レギュレータが有効)							
SID33	I_{DD28}	I ² C ウェイクアップと WDT が有効。T = –40°C ~ 60°C	–	2.5	40	μA	T = –40°C ~ 60°C
SID34	I_{DD29}	I ² C ウェイクアップと WDT が有効	–	2.5	125	μA	Max は 5.5 V、85°C で測定
ディープスリープモード、$V_{DD} = V_{CCD} = 1.71\text{ V} \sim 1.89\text{ V}$ (レギュレータがバイパス)							
SID36	I_{DD31}	I ² C ウェイクアップと WDT が有効。T = –40°C ~ 60°C	–	2.5	60	μA	T = –40°C ~ 60°C
SID37	I_{DD32}	I ² C ウェイクアップと WDT が有効	–	2.5	180	μA	Max は 1.89 V、85°C で測定
XRES 電流							
SID307	I_{DD_XR}	XRES がアサート時の供給電流	–	2	5	mA	–

Table 5 AC仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID48	F_{CPU}	CPU 周波数	DC	–	48	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 ^[2]	T_{SLEEP}	スリープモードからの復帰時間	–	0	–	μs	
SID50 ^[2]	$T_{DEEPSLEEP}$	ディープスリープモードからの復帰時間	–	35	–		

注

2. 特性評価で保証されています。

電氣的仕様

5.2.1 GPIO

Table 6 GPIO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID57	$V_{IH}^{[3]}$	入力電圧 High 閾値	$0.7 \times V_{DD}$	–	–	V	CMOS 入力
SID58	V_{IL}	入力電圧 Low 閾値	–	–	$0.3 \times V_{DD}$		CMOS 入力
SID241	$V_{IH}^{[3]}$	LVTTL 入力, $V_{DD} < 2.7 V$	$0.7 \times V_{DD}$	–	–		–
SID242	V_{IL}	LVTTL 入力, $V_{DD} < 2.7 V$	–	–	$0.3 \times V_{DD}$		–
SID243	$V_{IH}^{[3]}$	LVTTL 入力, $V_{DD} \geq 2.7 V$	2.0	–	–		–
SID244	V_{IL}	LVTTL 入力, $V_{DD} \geq 2.7 V$	–	–	0.8		–
SID59	V_{OH}	出力電圧 High レベル	$V_{DD} - 0.6$	–	–		$V_{DD}=3 V$ のとき、 $I_{OH} = 4 mA$
SID60	V_{OH}	出力電圧 High レベル	$V_{DD} - 0.5$	–	–		$V_{DD}=1.8 V$ のとき、 $I_{OH} = 1 mA$
SID61	V_{OL}	出力電圧 Low レベル	–	–	0.6		$V_{DD}=1.8 V$ のとき、 $I_{OL} = 4 mA$
SID62	V_{OL}	出力電圧 Low レベル	–	–	0.6		$V_{DD}=3 V$ のとき、 $I_{OL} = 10 mA$
SID62A	V_{OL}	出力電圧 Low レベル	–	–	0.4		$V_{DD}=3 V$ のとき、 $I_{OL} = 3 mA$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	k Ω	–
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5		–
SID65	I_{IL}	入力リーク電流 (絶対値)	–	–	2	nA	25°C, $V_{DD} = 3.0 V$
SID66	C_{IN}	入力静電容量	–	–	7	pF	–
SID67 ^[4]	V_{HYSTTL}	入力ヒステリシス LVTTL	25	40	–	mV	$V_{DD} \geq 2.7 V$
SID68 ^[4]	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DD}$	–	–		$V_{DD} < 4.5 V$
SID68A ^[4]	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	–	–		$V_{DD} > 4.5 V$
SID69 ^[4]	I_{DIODE}	保護ダイオードをとって V_{DD}/V_{SS} に流れる電流	–	–	100	μA	–
SID69A ^[4]	I_{TOT_GPIO}	ソースおよびシンク電流を チップ全体で合計した値の 最大値	–	–	200	mA	–

注

3. V_{IH} は $V_{DD} + 0.2 V$ を越えてはいけません。
 4. 特性評価で保証されています。

電氣的仕様
Table 7 GPIO の AC 仕様
 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID70	T_{RISEF}	ストロング モードでの立ち上り時間	2	–	12	ns	3.3 V V_{DD} , Clload = 25 pF
SID71	T_{FALLF}	ストロング モードでの立ち下り時間	2	–	12		3.3 V V_{DD} , Clload = 25 pF
SID72	T_{RISES}	低速ストロング モードでの立ち上り時間	10	–	60	–	3.3 V V_{DD} , Clload = 25 pF
SID73	T_{FALLS}	低速ストロング モードでの立ち下り時間	10	–	60	–	3.3 V V_{DD} , Clload = 25 pF
SID74	$F_{GPIOOUT1}$	GPIO F_{OUT} 3.3 V $\leq V_{DD} \leq 5.5$ V 高速ストロング モード	–	–	33	MHz	90/10%, 負荷 25 pF、 デューティ比 60/40
SID75	$F_{GPIOOUT2}$	GPIO F_{OUT} 1.71 V $\leq V_{DD} \leq 3.3$ V 高速ストロング モード	–	–	16.7		90/10%, 負荷 25 pF、 デューティ比 60/40
SID76	$F_{GPIOOUT3}$	GPIO F_{OUT} 3.3 V $\leq V_{DD} \leq 5.5$ V 低速ストロング モード	–	–	7		90/10%, 負荷 25 pF、 デューティ比 60/40
SID245	$F_{GPIOOUT4}$	GPIO F_{OUT} 1.71 V $\leq V_{DD} \leq 3.3$ V 低速ストロング モード	–	–	3.5		90/10%, 負荷 25 pF、 デューティ比 60/40
SID246	F_{GPIOIN}	GPIO 入力の動作周波数。 1.71 V $\leq V_{DD} \leq 5.5$ V	–	–	48		V_{IO} の 90/10%

5.2.2 XRES
Table 8 XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID77	V_{IH}	入力電圧 High 閾値	$0.7 \times V_{DD}$	–	–	V	CMOS 入力
SID78	V_{IL}	入力電圧 Low 閾値	–	–	$0.3 \times V_{DD}$		
SID79	R_{PULLUP}	プルアップ抵抗	–	60	–	k Ω	–
SID80	C_{IN}	入力静電容量	–	–	7	pF	–
SID81 ^[5]	$V_{HYSXRES}$	入力電圧ヒステリシス	–	100	–	mV	$V_{DD} > 4.5$ V 時の標準 ヒステリシス電圧 が 200 mV
SID82	I_{DIODE}	保護ダイオードをとって V_{DD}/V_{SS} に流れる電流	–	–	100	μ A	

Table 9 XRES の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID83 ^[5]	$T_{RESETWIDTH}$	リセット パルス幅	1	–	–	μ s	–
BID194 ^[5]	$T_{RESETWAKE}$	リセット解除からの復帰時間	–	–	2.7	ms	–

注

5. 特性評価で保証されています。

5.3 アナログ ペリフェラル

5.3.1 CTBm オペアンプ

Table 10 CTBm オペアンプの仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
	I_{DD}	オペアンプ ブロック電流、 外部負荷					
SID269	I_{DD_HI}	電力 = 高	–	1100	1850	μA	–
SID270	I_{DD_MED}	電力 = 中	–	550	950		–
SID271	I_{DD_LOW}	電力 = 低	–	150	350		–
	G_{BW}	負荷 = 20 pF, 0.1 mA $V_{DDA} = 2.7 V$					
SID272	G_{BW_HI}	電力 = 高	6	–	–	MHz	入力および出力は $0.2 V \sim V_{DDA}-0.2 V$
SID273	G_{BW_MED}	電力 = 中	3	–	–		入力および出力は $0.2 V \sim V_{DDA}-0.2 V$
SID274	G_{BW_LO}	電力 = 低	–	1	–		入力および出力は $0.2 V \sim V_{DDA}-0.2 V$
	I_{OUT_MAX}	$V_{DDA} = 2.7 V$ 、電源電圧より 500 mV 内側					
SID275	$I_{OUT_MAX_HI}$	電力 = 高	10	–	–	mA	出力は $0.5 V \sim V_{DDA}-0.5 V$
SID276	$I_{OUT_MAX_MID}$	電力 = 中	10	–	–		出力は $0.5 V \sim V_{DDA}-0.5 V$
SID277	$I_{OUT_MAX_LO}$	電力 = 低	–	5	–		出力は $0.5 V \sim V_{DDA}-0.5 V$
	I_{OUT}	$V_{DDA} = 1.71 V$ 、電源電圧より 500 mV 内側					
SID278	$I_{OUT_MAX_HI}$	電力 = 高	4	–	–	mA	出力は $0.5 V \sim V_{DDA}-0.5 V$
SID279	$I_{OUT_MAX_MID}$	電力 = 中	4	–	–		出力は $0.5 V \sim V_{DDA}-0.5 V$
SID280	$I_{OUT_MAX_LO}$	電力 = 低	–	2	–		出力は $0.5 V \sim V_{DDA}-0.5 V$
	I_{DD_Int}	オペアンプ ブロック電流、 内部負荷					
SID269_I	$I_{DD_HI_Int}$	電力 = 高	–	1500	1700	μA	–
SID270_I	$I_{DD_MED_Int}$	電力 = 中	–	700	900		–
SID271_I	$I_{DD_LOW_Int}$	電力 = 低	–	–	–		–
	G_{BW}	$V_{DDA} = 2.7 V$	–	–	–		–
SID272_I	$G_{BW_HI_Int}$	電力 = 高	8	–	–	MHz	出力は $0.25 V \sim V_{DDA}-0.25 V$
		内部モード、外部モード両 方のオペアンプの一般仕様					

電氣的仕様
Table 10 CTBm オペアンプの仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID281	V_{IN}	チャージポンプが有効、 $V_{DDA} = 2.7\text{ V}$	-0.05	-	$V_{DDA} - 0.2$	V	-
SID282	V_{CM}	チャージポンプが有効、 $V_{DDA} = 2.7\text{ V}$	-0.05	-	$V_{DDA} - 0.2$		-
	V_{OUT}	$V_{DDA} = 2.7\text{ V}$					
SID283	V_{OUT_1}	電力 = 高、Iload=10 mA	0.5	-	$V_{DDA} - 0.5$	V	-
SID284	V_{OUT_2}	電力 = 高、Iload=1 mA	0.2	-	$V_{DDA} - 0.2$		-
SID285	V_{OUT_3}	電力 = 中、Iload=1 mA	0.2	-	$V_{DDA} - 0.2$		-
SID286	V_{OUT_4}	電力 = 低、Iload=0.1 mA	0.2	-	$V_{DDA} - 0.2$		-
SID288	V_{OS_TR}	オフセット電圧 (トリム後)	-1.0	± 0.5	1.0	mV	高電力モード、入力は $0\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID288A	V_{OS_TR}	オフセット電圧 (トリム後)	-	± 1	-		中電力モード、入力は $0\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID288B	V_{OS_TR}	オフセット電圧 (トリム後)	-	± 2	-		低電力モード、入力は $0\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID290	$V_{OS_DR_TR}$	オフセット電圧ドリフト (トリム後)	-10	± 3	10	$\mu\text{V}/^\circ\text{C}$	高電力モード
SID290A	$V_{OS_DR_TR}$	オフセット電圧ドリフト (トリム後)	-	± 10	-	$\mu\text{V}/^\circ\text{C}$	中電力モード
SID290B	$V_{OS_DR_TR}$	オフセット電圧ドリフト (トリム後)	-	± 10	-		低電力モード
SID291	CMRR	DC	70	80	-	dB	入力は $0\text{ V} \sim V_{DDA} - 0.2\text{ V}$ 、出力は $0.2\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID292	PSRR	周波数 = 1 kHz、リップル = 10mV	70	85	-		$V_{DDD} = 3.6\text{ V}$ 、高電力モード、入力は $0.2\text{ V} \sim V_{DDA} - 0.2\text{ V}$
	雑音						
SID294	VN2	入力基準、1 kHz、電力 = 高	-	72	-	nV/rHz	入力と出力は $0.2\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID295	VN3	入力基準、10 kHz、電力 = 高	-	28	-		入力と出力は $0.2\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID296	VN4	入力基準、100 kHz、電力 = 高	-	15	-		入力と出力は $0.2\text{ V} \sim V_{DDA} - 0.2\text{ V}$
SID297	C_{LOAD}	最大負荷まで安定。50 pF で性能仕様を満たす	-	-	125	pF	-
SID298	SLEW_RATE	Cload = 50 pF、電力 = 高、 $V_{DDA} = 2.7\text{ V}$	6	-	-	V/ μs	-

Table 10 CTBm オペアンプの仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID299	T_OP_WAKE	無効から有効までの時間。 外付け RC 無し	-	-	25	μs	-
SID299A	OL_GAIN	オープンループゲイン	-	90	-	dB	-
	COMP_MODE	コンパレータ モード、50 mV 駆動、 $T_{rise}=T_{fall}$ (おおよそ)					
SID300	TPD1	応答時間。電力 = 高	-	150	-	ns	入力は 0.2 V ~ $V_{DDA}-0.2 V$
SID301	TPD2	応答時間。電力 = 中	-	500	-		入力は 0.2 V ~ $V_{DDA}-0.2 V$
SID302	TPD3	応答時間。電力 = 低	-	2500	-		入力は 0.2 V ~ $V_{DDA}-0.2 V$
SID303	VHYST_OP	ヒステリシス	-	10	-	mV	-
SID304	WUP_CTB	イネーブル状態から使用可 能までの所要時間	-	-	25	μs	-
	ディープス リープモード	モード 2 は最低電流範囲。 モード 1 はより高い GBW を 持つ。					
SID_DS_1	I _{DD_HI_M1}	モード 1、高電流	-	1400	-	μA	25°C
SID_DS_2	I _{DD_MED_M1}	モード 1、中電流	-	700	-		25°C
SID_DS_3	I _{DD_LOW_M1}	モード 1、低電流	-	200	-		25°C
SID_DS_4	I _{DD_HI_M2}	モード 2、高電流	-	120	-		25°C
SID_DS_5	I _{DD_MED_M2}	モード 2、中電流	-	60	-		25°C
SID_DS_6	I _{DD_LOW_M2}	モード 2、低電流	-	15	-		25°C
SID_DS_7	G _{BW_HI_M1}	モード 1、高電流	-	4	-	MHz	20pF 負荷、DC 負荷 なし、0.2 V ~ $V_{DDA}-0.2 V$
SID_DS_8	G _{BW_MED_M1}	モード 1、中電流	-	2	-		20pF 負荷、DC 負荷 なし、0.2 V ~ $V_{DDA}-0.2 V$
SID_DS_9	G _{BW_LOW_M1}	モード 1、低電流	-	0.5	-		20pF 負荷、DC 負荷 なし、0.2 V ~ $V_{DDA}-0.2 V$
SID_DS_10	G _{BW_HI_M2}	モード 2、高電流	-	0.5	-		20pF 負荷、DC 負荷 なし、0.2 V ~ $V_{DDA}-0.2 V$
SID_DS_11	G _{BW_MED_M2}	モード 2、中電流	-	0.2	-		20pF 負荷、DC 負荷 なし、0.2 V ~ $V_{DDA}-0.2 V$
SID_DS_12	G _{BW_Low_M2}	モード 2、低電流	-	0.1	-		20pF 負荷、DC 負荷 なし、0.2 V ~ $V_{DDA}-0.2 V$

電氣的仕様

Table 10 CTBm オペアンプの仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID_DS_13	V _{OS_HI_M1}	モード 1、高電流	–	5	–	mV	トリム後、25°C、 0.2 V ~ V _{DDA} -0.2 V
SID_DS_14	V _{OS_MED_M1}	モード 1、中電流	–	5	–		トリム後、25°C、 0.2 V ~ V _{DDA} -0.2 V
SID_DS_15	V _{OS_LOW_M1}	モード 1、低電流	–	5	–		トリム後、25°C、 0.2 V ~ V _{DDA} -0.2 V
SID_DS_16	V _{OS_HI_M2}	モード 2、高電流	–	5	–		トリム後、25°C、 0.2 V ~ V _{DDA} -0.2 V
SID_DS_17	V _{OS_MED_M2}	モード 2、中電流	–	5	–		トリム後、25°C、 0.2 V ~ V _{DDA} -0.2 V
SID_DS_18	V _{OS_LOW_M2}	モード 2、低電流	–	5	–		トリム後、25°C、 0.2 V ~ V _{DDA} -0.2 V
SID_DS_19	I _{OUT_HI_M1}	モード 1、高電流	–	10	–	mA	出力は 0.5 V ~ V _{DDA} -0.5 V
SID_DS_20	I _{OUT_MED_M1}	モード 1、中電流	–	10	–		出力は 0.5 V ~ V _{DDA} -0.5 V
SID_DS_21	I _{OUT_LOW_M1}	モード 1、低電流	–	4	–		出力は 0.5 V ~ V _{DDA} -0.5 V
SID_DS_22	I _{OUT_HI_M2}	モード 2、高電流	–	1	–		
SID_DS_23	I _{OUT_MED_M2}	モード 2、中電流	–	1	–		
SID_DS_24	I _{OUT_LOW_M2}	モード 2、低電流	–	0.5	–		

5.3.2 コンパレータ

Table 11 コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID84	V_{OFFSET1}	入力オフセット電圧 (工場出荷時トリム)	–	–	± 10	mV	
SID85	V_{OFFSET2}	入力オフセット電圧 (カスタムトリム)	–	–	± 4		
SID86	V_{HYST}	有効時のヒステリシス	–	10	35		
SID87	V_{ICM1}	通常モードでの入力同相電圧	0	–	$V_{\text{DDD}} - 0.1$	V	モード 1 およびモード 2
SID247	V_{ICM2}	低消費電力モードでの入力同相電圧	0	–	V_{DDD}		
SID247A	V_{ICM3}	超低消費電力モードでの入力同相電圧	0	–	$V_{\text{DDD}} - 1.15$		–40°C で $V_{\text{DDD}} \geq 2.2 \text{ V}$
SID88	C_{MRR}	同相信号除去比	50	–	–	dB	$V_{\text{DDD}} \geq 2.7 \text{ V}$
SID88A	C_{MRR}	同相信号除去比	42	–	–		$V_{\text{DDD}} \leq 2.7 \text{ V}$
SID89	I_{CMP1}	通常モードでのブロック電流	–	–	400	μA	
SID248	I_{CMP2}	低消費電力モードでのブロック電流	–	–	100		
SID259	I_{CMP3}	超低消費電力モードでのブロック電流	–	–	6		–40°C で $V_{\text{DDD}} \geq 2.2 \text{ V}$
SID90	Z_{CMP}	コンパレータの DC 入力インピーダンス	35	–	–	M Ω	

Table 12 コンパレータの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID91	TRESP1	通常モードでの応答時間、50 mV オーバードライブ	–	38	110	ns	
SID258	TRESP2	低消費電力モードでの応答時間、50 mV オーバードライブ	–	70	200		
SID92	TRESP3	超低消費電力モードでの応答時間、200 mV オーバードライブ	–	2.3	15	μs	–40°C で $V_{\text{DDD}} \geq 2.2 \text{ V}$

5.3.3 温度センサー

Table 13 温度センサー仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID93	TSENSACC	温度センサー精度	–5	± 1	5	°C	–40°C ~ +85°C

注

6. 特性評価で保証されています。

5.3.4 SAR ADC

Table 14 SAR ADC の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SAR ADC の DC 仕様							
SID94	A_RES	分解能	–	–	12	ビット	
SID95	A_CHNLS_S	チャンネル数 - シングル エンド	–	–	16		
SID96	A-CHNKS_D	チャンネル数 - 差動	–	–	4		差動チャンネルの入力は隣接する I/O を使用
SID97	A-MONO	単調増加性	–	–	–		有
SID98	A_GAINERR	ゲイン誤差	–	–	±0.1	%	外部基準電圧あり
SID99	A_OFFSET	入力オフセット電圧	–	–	2	mV	1V 基準電圧で測定
SID100	A_ISAR	消費電流	–	–	1	mA	
SID101	A_VINS	入力電圧範囲 - シングル エンド	V_{SS}	–	V_{DDA}	V	
SID102	A_VIND	入力電圧範囲 - 差動	V_{SS}	–	V_{DDA}	V	
SID103	A_INRES	入力抵抗	–	–	2.2	K Ω	
SID104	A_INCAP	入力静電容量	–	–	10	pF	
SID260	VREFSAR	SAR 用の調整された内部基準電圧	1.188	1.2	1.212	V	
SAR ADC の AC 仕様							
SID106	A_PSRR	電源電圧変動除去比	70	–	–	dB	
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1 V で測定
SID108	A_SAMP	サンプル レート	–	–	1	Msp/s	
SID109	A_SNR	信号対雑音および歪み比 (SINAD)	65	–	–	dB	$F_{IN} = 10 \text{ kHz}$
SID110	A_BW	エイリアシングが発生しない入力帯域幅	–	–	$A_{\text{samp}}/2$	kHz	
SID111	A_INL	積分非直線性 $V_{DD} = 1.71 \sim 5.5\text{V}$ 、1 Msp/s	–1.7	–	2	LSB	$V_{REF} = 1 \sim V_{DD}$
SID111A	A_INL	積分非直線性 $V_{DD} = 1.71 \sim 3.6\text{V}$ 、1 Msp/s	–1.5	–	1.7	LSB	$V_{REF} = 1.71 \sim V_{DD}$
SID111B	A_INL	積分非直線性 $V_{DD} = 1.71 \sim 5.5\text{V}$ 、500 ksp/s	–1.5	–	1.7	LSB	$V_{REF} = 1 \sim V_{DD}$
SID112	A_DNL	微分非直線性 $V_{DD} = 1.71 \sim 5.5\text{V}$ 、1 Msp/s	–1	–	2.2	LSB	$V_{REF} = 1 \sim V_{DD}$
SID112A	A_DNL	微分非直線性 $V_{DD} = 1.71 \sim 3.6\text{V}$ 、1 Msp/s	–1	–	2	LSB	$V_{REF} = 1.71 \sim V_{DD}$
SID112B	A_DNL	微分非直線性 $V_{DD} = 1.71 \sim 5.5\text{V}$ 、500 ksp/s	–1	–	2.2	LSB	$V_{REF} = 1 \sim V_{DD}$
SID113	A_THD	全高調波歪み	–	–	–65	dB	$F_{IN} = 10 \text{ kHz}$
SID261	FSARINTREF	SAR 動作速度 (外部基準バイパスコンデンサ無し)	–	–	100	ksp/s	12 ビット分解能

5.3.5 CSD および IDAC

Table 15 CSD および IDAC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SYS.PER#3	VDD_RIPPLE	電源の最大許容リップル (DC ~ 10MHz 帯域)	-	-	±50	mV	$V_{DD} > 2V$ (リップルあり), $T_A = 25^\circ C$, 感度 = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	電源の最大許容リップル (DC ~ 10MHz 帯域)	-	-	±25	mV	$V_{DD} > 1.75V$ (リップルあり), $T_A = 25^\circ C$, 寄生容量 (C_P) < 20 pF, 感度 ≥ 0.4 pF
SID.CSD.BLK	ICSD	最大ブロック電流	-	-	4000	μA	コンパレータ, バッファ, および基準電圧生成器を含む動的 (スイッチング) モードでの両 IDAC の最大ブロック電流
SID.CSD#15	V _{REF}	CSD およびコンパレータ用の基準電圧	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID.CSD#15A	VREF_EXT	CSD およびコンパレータ用の外部基準電圧	0.6		$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ or 4.4 (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7 ビット) ブロック電流	-	-	1750	μA	
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	-	-	1750	μA	
SID308	VCSD	動作電圧範囲	1.71	-	5.5	V	1.8 V ±5% または 1.8 V ~ 5.5 V
SID308A	VCOMPIDAC	IDAC の最大電圧範囲	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID309	IDAC1DNL	DNL	-1	-	1	LSB	
SID310	IDAC1INL	INL	-2	-	2	LSB	$V_{DDA} < 2V$ の場合、INL が ±5.5 LSB
SID311	IDAC2DNL	DNL	-1	-	1	LSB	
SID312	IDAC2INL	INL	-2	-	2	LSB	$V_{DDA} < 2V$ の場合、INL が ±5.5 LSB
SID313	SNR	指の信号と雑音のカウント比。 特性評価で保証	5	-	-	Ratio	静電容量範囲 = 5pF ~ 35pF, 感度 = 0.1pF。すべてのユースケース。 $V_{DDA} > 2V$
SID314	IDAC1CRT1	低域での IDAC1 (7 ビット) の出力電流	4.2	-	5.4	μA	LSB = 37.5nA (Typ)
SID314A	IDAC1CRT2	中域での IDAC1 (7 ビット) の出力電流	34	-	41	μA	LSB = 300nA (Typ)
SID314B	IDAC1CRT3	高域での IDAC1 (7 ビット) の出力電流	275	-	330	μA	LSB = 2.4μA (Typ)
SID314C	IDAC1CRT12	低域での IDAC1 (7 ビット) の出力電流、2X モード	8	-	10.5	μA	LSB = 75nA (Typ)
SID314D	IDAC1CRT22	中域での IDAC1 (7 ビット) の出力電流、2X モード	69	-	82	μA	LSB = 600nA (Typ)

電氣的仕様

Table 15 CSD および IDAC 仕様 (continued)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID314E	IDAC1CRT32	高域での IDAC1(7 ビット) の出力電流、2X モード	540	–	660	μA	LSB = 4.8μA (Typ)
SID315	IDAC2CRT1	低域での IDAC2(7 ビット) の出力電流	4.2	–	5.4	μA	LSB = 37.5nA (Typ)
SID315A	IDAC2CRT2	中域での IDAC2(7 ビット) の出力電流	34	–	41	μA	LSB = 300nA (Typ)
SID315B	IDAC2CRT3	高域での IDAC2(7 ビット) の出力電流	275	–	330	μA	LSB = 2.4μA (Typ)
SID315C	IDAC2CRT12	低域での IDAC2(7 ビット) の出力電流、2X モード	8	–	10.5	μA	LSB = 75nA (Typ)
SID315D	IDAC2CRT22	中域での IDAC2(7 ビット) の出力電流、2X モード	69	–	82	μA	LSB = 600nA (Typ)
SID315E	IDAC2CRT32	高域での IDAC2(7 ビット) の出力電流、2X モード	540	–	660	μA	LSB = 4.8μA (Typ)
SID315F	IDAC3CRT13	低域での 8 ビットモード IDAC 出力電流	8	–	10.5	μA	LSB = 37.5nA (Typ)
SID315G	IDAC3CRT23	中域での 8 ビットモード IDAC 出力電流	69	–	82	μA	LSB = 300nA (Typ)
SID315H	IDAC3CRT33	高域での 8 ビットモード IDAC 出力電流	540	–	660	μA	LSB = 2.4μA (Typ)
SID320	IDACOFFSET	すべてゼロ入力	–	–	1	LSB	極性はソースまたはシンク電流により設定。37.5nA/LSB モードの場合、オフセットは 2 LSB
SID321	IDACGAIN	オフセットを除くフルスケール誤差	–	–	±10	%	
SID322	IDACMISMATCH H1	低電力モードでの IDAC1 と IDAC2 の不整合	–	–	9.2	LSB	LSB = 37.5nA (Typ)
SID322A	IDACMISMATCH H2	中電力モードでの IDAC1 と IDAC2 の不整合	–	–	5.6	LSB	LSB = 300nA (Typ)
SID322B	IDACMISMATCH H3	高電力モードでの IDAC1 と IDAC2 の不整合	–	–	6.8	LSB	LSB = 2.4μA (Typ)
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB に達するまでの整定時間	–	–	5	μs	フルスケール遷移。外部負荷なし
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB に達するまでの整定時間	–	–	5	μs	フルスケール遷移。外部負荷なし
SID325	CMOD	外部モジュレータ コンデンサ	–	2.2	–	nF	5V 定格、X7R または NP0 コンデンサ

5.3.6 10 ビット CAPSENSE™ ADC

Table 16 10 ビット CAPSENSE™ ADC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SIDA94	A_RES	分解能	-	-	10	ビット	ミリ秒ごとにオートゼロが必要
SIDA95	A_CHNLS_S	チャンネル数 - シングル エンド	-	-	16		AMUX バスにより定義
SIDA97	A-MONO	単調増加性	-	-	-	有	
SIDA98	A_GAINERR	ゲイン誤差	-	-	±3	%	V _{REF} (2.4 V) モードで、 V _{DDA} バイパス静電容量が 10 μF
SIDA99	A_OFFSET	入力オフセット電圧	-	-	±18	mV	V _{REF} (2.4 V) モードで、 V _{DDA} バイパス静電容量が 10 μF
SIDA100	A_ISAR	消費電流	-	-	0.25	mA	
SIDA101	A_VINS	入力電圧範囲 - シングル エンド	V _{SSA}	-	V _{DDA}	V	
SIDA103	A_INRES	入力抵抗	-	2.2	-	KΩ	
SIDA104	A_INCAP	入力静電容量	-	20	-	pF	
SIDA106	A_PSR	電源電圧変動除去比	-	60	-	dB	V _{REF} (2.4 V) モードで、 V _{DDA} バイパス静電容量が 10 μF
SIDA107	A_TACQ	サンプル取得時間	-	1	-	μs	
SIDA108	A_CONV8	変換速度 = Fhclk/(2 ^{N+2}) での 8 ビット分解能の変換時間。クロック周波数 = 48 MHz	-	-	21.3	μs	取得時間を含まない。取得時間を含むと 44.8ksps に相当
SIDA108 A	A_CONV10	変換速度 = Fhclk/(2 ^{N+2}) での 10 ビット分解能の変換時間。クロック周波数 = 48 MHz	-	-	85.3	μs	取得時間を含まない。取得時間を含むと 11.6ksps に相当
SIDA109	A_SND	信号対雑音および歪み比 (SINAD)	-	61	-	dB	入力正弦波 10Hz、外部基準電圧 2.4V、V _{REF} (2.4 V) モード
SIDA110	A_BW	エイリアシングが発生しない入力帯域幅	-	-	22.4	KHz	8 ビット分解能
SIDA111	A_INL	積分非直線性。1 ksps	-	-	2	LSB	V _{REF} = 2.4 V 以上
SIDA112	A_DNL	微分非直線性。1 ksps	-	-	1	LSB	

5.4 デジタル ペリフェラル

5.4.1 タイマー / カウンター / パルス幅変調器 (TCPWM)

Table 17 TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.TCPWM.1	ITCPWM1	3 MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12 MHz でのブロック消費電流	–	–	155		すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	48 MHz でのブロック消費電流	–	–	650		すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	–	–	Fc	MHz	Fc max = CLK_SYS Max = 48 MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガ パルス幅	2/Fc	–	–	ns	すべてのトリガ イベント [7]
SID.TCPWM.5	TPWM _{EXT}	出力トリガ パルス幅	2/Fc	–	–		オーバーフロー, アンダーフロー, および CC (カウンター = 比較値) 出力の最小値
SID.TCPWM.5A	TC _{RES}	カウンターの分解能	1/Fc	–	–		逐次カウント間の最小時間
SID.TCPWM.5B	PWM _{RES}	PWM 分解能	1/Fc	–	–		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q _{RES}	直交位相入力分解能	1/Fc	–	–		直交位相入力同士間の最小パルス幅

5.4.2 I²C

Table 18 固定 I²C の DC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID149	I _{I2C1}	100 kHz でのブロック消費電流	–	–	50	μA	–
SID150	I _{I2C2}	400 kHz でのブロック消費電流	–	–	135		–
SID151	I _{I2C3}	1 Mbps でのブロック消費電流	–	–	310		–
SID152	I _{I2C4}	I ² C がディープスリープモードで有効の場合	–	1	–		

Table 19 固定 I²C の AC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID153	F _{I2C1}	ビットレート	–	–	1	Msps	–

注

7. 特性評価で保証されています。

5.4.3 SPI

Table 20 SPI の DC 仕様^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID163	ISPI1	1 Mbps でのブロック消費電流	–	–	360	μA	–
SID164	ISPI2	4 Mbps でのブロック消費電流	–	–	560		–
SID165	ISPI3	8 Mbps でのブロック消費電流	–	–	600		–

Table 21 SPI の AC 仕様^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID166	FSPI	SPI 動作周波数 (マスター。6X オーバーサンプリング)	–	–	8	MHz	

固定 SPI マスター モードの AC 仕様

SID167	TDMO	SClock 駆動エッジから MOSI が有効になるまでの時間	–	–	15	ns	–
SID168	TDSI	SClock キャプチャ エッジ前の MISO 有効時間	20	–	–		フル クロック、MISO の遅いサンプリング
SID169	THMO	直前の MOSI データ ホールド時間	0	–	–		スレーブ キャプチャ エッジを基準とする

固定 SPI スレーブ モードの AC 仕様

SID170	TDMI	Sclock キャプチャ エッジ前の MOSI 有効時間	40	–	–	ns	–
SID171	TDSO	Sclock 駆動エッジから MISO が有効になるまでの時間	–	–	42 + 3*Tcpu		T _{CPU} = 1/F _{CPU}
SID171A	TDSO_EXT	外部 Sclock 駆動エッジから MISO が有効になるまでの時間 Clk モード	–	–	48		–
SID172	THSO	直前の MISO データ ホールド時間	0	–	–		–
SID172A	TSSELSSCK	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	ns	–

5.4.4 UART

Table 22 UART の DC 仕様^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID160	I _{UART1}	100 Kbps でのブロック消費電流	–	–	55	μA	–
SID161	I _{UART2}	1000 Kbps でのブロック消費電流	–	–	312	μA	–

Table 23 UART の AC 仕様^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID162	F _{UART}	ビットレート	–	–	1	Mbps	–

注

8. 特性評価で保証されています。

5.4.5 LCD 直接駆動

Table 24 LCD 直接駆動の DC 仕様^[9]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID154	I _{LCDLOW}	低電力モードでの動作電流	–	5	–	μA	16×4 小型セグメントディスプレイ、50 Hz
SID155	C _{LDCAP}	セグメント / コモンドライバあたりの LCD 静電容量	–	500	5000	pF	–
SID156	LCD _{OFFSET}	長時間セグメント オフセット	–	20	–	mV	–
SID157	I _{LCDOP1}	LCD システム動作電流。 V _{bias} = 5 V	–	2	–	mA	32×4 セグメント、 50 Hz、25°C
SID158	I _{LCDOP2}	LCD システム動作電流。 V _{bias} = 3.3 V	–	2	–		32×4 セグメント、 50 Hz、25°C

Table 25 LCD 直接駆動の AC 仕様^[9]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID159	F _{LCD}	LCD フレーム レート	10	50	150	Hz	–

5.5 メモリ

Table 26 フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	–	5.5	V	–

Table 27 フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID174	T _{ROWWRITE} ^[10]	行 (ブロック) 書き込み時間 (消去 + プログラム)	–	–	20	ms	行 (ブロック) = 256 バイト
SID175	T _{ROWERASE} ^[10]	行消去時間	–	–	16		–
SID176	T _{ROWPROGRAM} ^[10]	消去後の行プログラム時間	–	–	4		–
SID178	T _{BULKERASE} ^[10]	バルク消去時間 (64 KB)	–	–	35		–
SID180 ^[9]	T _{DEVPROG} ^[10]	総デバイス プログラム時間	–	–	7	秒	–
SID181 ^[9]	F _{END}	フラッシュ アクセス可能回数	100 K	–	–	サイクル	–
SID182 ^[9]	F _{RET}	フラッシュのデータ保持期間。T _A ≤ 55°C、プログラム / 消去サイクル = 10 万回	20	–	–	年	–
SID182A ^[9]	–	フラッシュのデータ保持期間。T _A ≤ 85°C、プログラム / 消去サイクル = 1 万回	10	–	–		–

注

9. 特性評価で保証されています。

10. フラッシュ メモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュメモリの動作は中断され、正常に完了したことは保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにならないことを確認してください。

電氣的仕様

Table 27 フラッシュの AC 仕様 (continued)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID182B	-	フラッシュのデータ保持期間。T _A ≤ 105°C、プログラム / 消去サイクル = 1 万回、T _A ≥ 85°C 時は 3 年以下	10	-	20	年	-
SID256	TWS48	48 MHz でのウェイト ステート数	2	-	-		フラッシュからの CPU 実行
SID257	TWS24	24 MHz でのウェイト ステート数	1	-	-		フラッシュからの CPU 実行

5.6 システム リソース

5.6.1 パワーオンリセット (POR)

Table 28 パワーオンリセット (PRES)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CLK#6	SR_POWER_UP	電源電圧スルーレート	1	-	67	V/ms	電源投入および電源切断
SID185 ^[11]	V _{RISEIPOR}	立ち上りトリップ電圧	0.80	-	1.5	V	-
SID186 ^[11]	V _{FALLIPOR}	立ち下りトリップ電圧	0.70	-	1.4		-

Table 29 V_{CCD} の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID190 ^[11]	V _{FALLPPOR}	アクティブ モードとスリープ モードでの BOD トリップ電圧	1.48	-	1.62	V	-
SID192 ^[11]	V _{FALLDPSLP}	ディープスリープ モードでの BOD トリップ電圧	1.11	-	1.5		-

5.6.2 SWD インターフェース

Table 30 SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID213	F_SWDCCLK1	3.3 V ≤ V _{DD} ≤ 5.5 V	-	-	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	F_SWDCCLK2	1.71 V ≤ V _{DD} ≤ 3.3 V	-	-	7		SWDCLK は CPU クロック周波数の 1/3 以下
SID215 ^[12]	T_SWDI_SETUP	T = 1/f SWDCLK	0.25*T	-	-	ns	-
SID216 ^[12]	T_SWDI_HOLD	T = 1/f SWDCLK	0.25*T	-	-		-
SID217 ^[12]	T_SWDO_VALID	T = 1/f SWDCLK	-	-	0.5*T		-
SID217A ^[12]	T_SWDO_HOLD	T = 1/f SWDCLK	1	-	-		-

注

11. 特性評価で保証されています。

12. 設計で保証されています。

5.6.3 内部主発振器

Table 31 IMO の DC 仕様
(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID218	I_{IMO1}	48 MHz での IMO 動作電流	–	–	250	μA	–
SID219	I_{IMO2}	24 MHz での IMO 動作電流	–	–	180	μA	–

Table 32 IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID223 ^[14]	$F_{IMOTOL1}$	24MHz, 32MHz, および 48MHz での周波数誤差 (トリム済み)	–	–	±2.0	%	–40°C ~ 85°C、産業用温度範囲およびオリジナル拡張産業用の製品向け
SID223A ^[13, 14]			–	–	±2.5	%	–40°C ~ 105°C、すべての広範な産業用温度範囲の製品向け
SID223B ^[13, 14]			–	–	±2.0	%	–30°C ~ 105°C、拡張 IMO の拡張産業用温度範囲の製品向け
SID223C ^[13, 14]			–	–	±1.5	%	–20°C ~ 105°C、拡張 IMO の拡張産業用温度範囲の製品向け
SID223D ^[13, 14]			–	–	±1.25	%	0°C ~ 85°C、拡張 IMO の拡張産業用温度範囲の製品向け
SID226	$T_{STARTIMO}$	IMO 起動時間	–	–	7	μs	–
SID228	$T_{JITRMSIMO2}$	24 MHz での RMS ジッタ	–	145	–	ps	–

注

13. 拡張 IMO の拡張温度範囲部品は、オリジナルの拡張産業温度範囲部品に代わるものです。拡張 IMO の拡張温度範囲部品の識別方法の詳細については、インフィニオンのナレッジベース記事 [KBA235887](#) を参照してください。
14. 特性評価で保証されています。はんだ付けまたは基板レベルの影響は考慮されていません。

5.6.4 内部低速発振器

Table 33 ILO の DC 仕様
(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID231	I _{ILO1}	ILO 動作電流	–	0.3	1.05	μA	–

Table 34 ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID234 ^[15]	T _{STARTILO1}	ILO 起動時間	–	–	2	ms	–
SID236 ^[15]	T _{ILODUTY}	ILO デューティ サイクル	40	50	60	%	–
SID237	F _{ILOTRIM1}	ILO 周波数範囲	20	40	80	kHz	–

5.6.5 時計用水晶発振器 (WCO)

Table 35 WCO 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID398	FWCO	水晶周波数	–	32.768	–	kHz	
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20ppm の水晶振動子
SID400	ESR	等価直列抵抗	–	50	–	kΩ	
SID401	PD	駆動レベル	–	–	1	μW	
SID402	TSTART	起動時間	–	–	500	ms	
SID403	CL	水晶の負荷容量	6	–	12.5	pF	
SID404	C0	水晶の並列容量	–	1.35	–	pF	
SID405	IWCO1	動作電流 (高消費電力モード)	–	–	8	μA	

5.6.6 外部クロック

Table 36 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID305 ^[15]	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	–
SID306 ^[15]	ExtClkDuty	デューティ比。V _{DD/2} で測定	45	–	55	%	–

5.6.7 外部水晶発振器および PLL

Table 37 外部水晶発振器 (ECO) 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID316 ^[16]	IECO1	外部クロック入力周波数	–	–	1.5	mA	–
SID317 ^[16]	FECO	水晶周波数範囲	4	–	33	MHz	–

注

15.設計で保証されています。

16.特性評価で保証されています。

Table 38 PLL の仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID410	IDD_PLL_48	入力 = 3 MHz, 出力 = 48 MHz	–	530	610	μA	–
SID411	IDD_PLL_24	入力 = 3 MHz, 出力 = 24 MHz	–	300	405	μA	–
SID412	Fp1lin	PLL 入力周波数	1	–	48	MHz	–
SID413	Fp1lint	PLL 中間周波数。プリスケアラ出力	1	–	3	MHz	–
SID414	Fp1lvco	後分周の前の VCO 出力周波数	22.5	–	104	MHz	–
SID415	Divvco	VCO 出力の後分周範囲。PLL 出力周波数は Fp1lvco/Divvco	1	–	8		–
SID416	Pl1locktime	起動時のロック時間	–	–	250	μs	–
SID417	Jperiod_1	VCO ≥ 67 MHz 時の周期ジッタ	–	–	150	ps	設計で保証
SID416A	Jperiod_2	VCO ≤ 67 MHz 時の周期ジッタ	–	–	200	ps	設計で保証

5.6.8 システム クロック

Table 39 システム クロックの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID262 ^[16]	T _{CLKSWITCH}	システム クロック ソースの切り替え時間	3	–	4	周期	–

5.6.9 Smart I/Os

Table 40 Smart I/O パススルー時間 (バイパス モードでの遅延時間)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID252	PRG_BYPASS	バイパス モードでの Smart I/O による最大遅延時間	–	–	1.6	ns	–

5.6.10 CAN

Table 41 CAN の仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID420	IDD_CAN	ブロック消費電流	–	–	200	μA	–
SID421	CAN_bits	CAN ビット レート	–	–	1	Mbps	最小 8MHz クロック

6 注文情報

PSoC™ 4100S プラス デバイスの製品番号は下表のとおりです。

Table 42 注文情報

カテゴリ	MPN	Features															Packages				温度範囲 (°C)
		CPU 最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	SAR ADC サンプル レート	LP コンパレータ	TCPWM ブロック	SCB ブロック	ECO	CAN コントローラー	Smart I/O	GPIO	44-TQFP (0.8mm ピッチ)	48-TQFP (0.5mm ピッチ)	64-TQFP (0.5mm ピッチ)	64-TQFP (0.8mm ピッチ)	
4126	CY8C4126AXI-S443	24	64	8	2	0	1	1	806 ksps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4126AZI-S445	24	64	8	2	0	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4126AXI-S445	24	64	8	2	0	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4126AZI-S455	24	64	8	2	1	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4126AXI-S455	24	64	8	2	1	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
4146	CY8C4146AXI-S443	48	64	8	2	0	1	1	1 Msps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4146AZI-S443	48	64	8	2	0	1	1	1 Msps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4146AZI-S445	48	64	8	2	0	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4146AZQ-S445	48	64	8	2	0	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4146AXI-S445	48	64	8	2	0	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4146AXI-S453	48	64	8	2	1	1	1	1 Msps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4146AZI-S453	48	64	8	2	1	1	1	1 Msps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4146AZI-S455	48	64	8	2	1	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4146AZQ-S455	48	64	8	2	1	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4146AXI-S455	48	64	8	2	1	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4146AZI-S463	48	64	8	2	0	1	1	1 Msps	2	8	4	✓	1	24	38	-	✓	-	-	-40 ~ 85
4127	CY8C4127AXI-S443	24	128	16	2	0	1	1	806 ksps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4127AZI-S443	24	128	16	2	0	1	1	806 ksps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4127AZI-S445	24	128	16	2	0	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4127AZQ-S445	24	128	16	2	0	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4127AXI-S445	24	128	16	2	0	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4127AXI-S453	24	128	16	2	1	1	1	806 ksps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4127AZI-S453	24	128	16	2	1	1	1	806 ksps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4127AZI-S455	24	128	16	2	1	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4127AZQ-S455	24	128	16	2	1	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4127AXI-S455	24	128	16	2	1	1	1	806 ksps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
4147	CY8C4147AXI-S443	48	128	16	2	0	1	1	1 Msps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4147AZI-S443	48	128	16	2	0	1	1	1 Msps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4147AZI-S445	48	128	16	2	0	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4147AZQ-S445	48	128	16	2	0	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4147AXI-S445	48	128	16	2	0	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4147AXI-S453	48	128	16	2	1	1	1	1 Msps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4147AZI-S453	48	128	16	2	1	1	1	1 Msps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4147AZQ-S453	48	128	16	2	1	1	1	1 Msps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 105
	CY8C4147AZI-S455	48	128	16	2	1	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4147AZQ-S455	48	128	16	2	1	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4147AXI-S455	48	128	16	2	1	1	1	1 Msps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4147AZI-S463	48	128	16	2	0	1	1	1 Msps	2	8	4	✓	1	24	38	-	✓	-	-	-40 ~ 85

Table 42 注文情報 (continued)

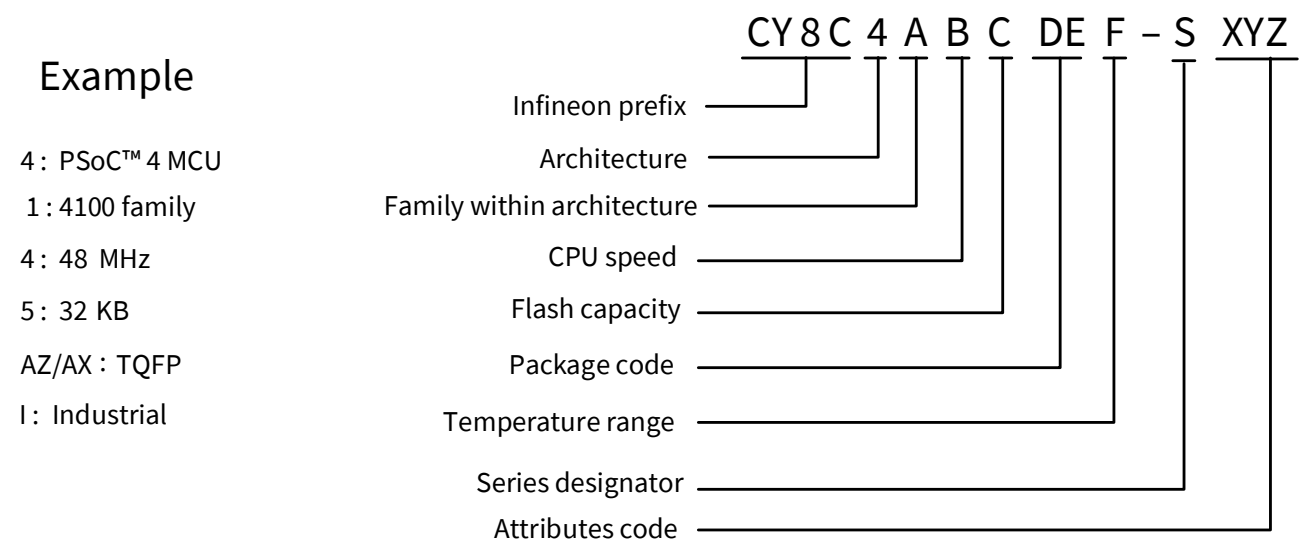
カテゴリ	MPN	Features															Packages				温度範囲 (°C)
		CPU 最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD		10 ビット CSD ADC	12 ビット SAR ADC	SAR ADC サンプルレート	LP コンパレータ	TCPWM ブロック	SCB ブロック	ECO	CAN コントローラー	Smart I/O	GPIO	44-TQFP (0.8mm ピッチ)	48-TQFP (0.5mm ピッチ)	64-TQFP (0.5mm ピッチ)	
4147	CY8C4147AZI-S465	48	128	16	2	0	1	1	1 Msps	2	8	5	✓	1	24	54	-	-	✓	-	-40 ~ 85
	CY8C4147AZQ-S465	48	128	16	2	0	1	1	1 Msps	2	8	5	✓	1	24	54	-	-	✓	-	-40 ~ 105
	CY8C4147AXI-S465	48	128	16	2	0	1	1	1 Msps	2	8	5	✓	1	24	54	-	-	-	✓	-40 ~ 85
	CY8C4147AZI-S475	48	128	16	2	1	1	1	1 Msps	2	8	5	✓	1	24	54	-	-	✓	-	-40 ~ 85
	CY8C4147AZQ-S475	48	128	16	2	1	1	1	1 Msps	2	8	5	✓	1	24	54	-	-	✓	-	-40 ~ 105
	CY8C4147AXI-S475	48	128	16	2	1	1	1	1 Msps	2	8	5	✓	1	24	54	-	-	-	✓	-40 ~ 85

注文情報

上記の表に使用される命名法は次の製品番号の命名規則に基づきます。

文字列	説明	値	意味
CY8C	インフィニオンの接頭辞		
4	アーキテクチャ	4	PSoC™ 4 MCU
A	ファミリ	1	4100 ファミリ
B	CPU 速度	2	24 MHz
		4	48 MHz
C	フラッシュ容量	4	16 KB
		5	32 KB
		6	64 KB
		7	128 KB
DE	パッケージコード	AX	TQFP (0.8mm ピッチ)
		AZ	TQFP (0.5mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度範囲	I	産業用
		Q	産業用拡張温度範囲
S	シリーズ指示子	S	PSoC™ 4 S シリーズ
		M	PSoC™ 4 M シリーズ
		L	PSoC™ 4 L シリーズ
		BL	PSoC™ 4 Bluetooth® LE シリーズ
XYZ	属性コード	000-999	特定ファミリ向け機能セットコード

製品番号の例は次のとおりです。



7 パッケージ

PSoC™ 4100S プラスは、44 ピン TQFP、48 ピン TQFP、64 ピン TQFP 通常ピッチ、および 64 ピン TQFP 微細ピッチ パッケージで提供されます。

Table 43 にパッケージの寸法とインフィニオンの図面番号を示します。

Table 43 パッケージ一覧

仕様 ID#	パッケージ	説明	パッケージ図面番号
BID20	64 ピン TQFP	寸法 14 × 14 × 1.4mm、ピッチ 0.8mm	51-85046
BID27	64 ピン TQFP	寸法 10 × 10 × 1.6mm、ピッチ 0.5mm	51-85051
BID34A	44 ピン TQFP	寸法 10 × 10 × 1.4mm、ピッチ 0.8mm	51-85064
BID70	48 ピン TQFP	寸法 7 × 7 × 1.4mm、ピッチ 0.5mm	51-85135

Table 44 パッケージ熱特性

パラメーター	説明	パッケージ	Min	Typ	Max	単位
T _A	動作周囲温度	–	–40	25	105	°C
T _J	動作接合部温度	–	–40	–	125	°C
T _{JA}	パッケージ θ _{JA}	44 ピン TQFP	–	55.6	–	°C/Watt
T _{JC}	パッケージ θ _{JC}	44 ピン TQFP	–	14.4	–	°C/Watt
T _{JA}	パッケージ θ _{JA}	64 ピン TQFP (0.5mm ピッチ)	–	46	–	°C/Watt
T _{JC}	パッケージ θ _{JC}	64 ピン TQFP (0.5mm ピッチ)	–	10	–	°C/Watt
T _{JA}	パッケージ θ _{JA}	64 ピン TQFP (0.8mm ピッチ)	–	36.8	–	°C/Watt
T _{JC}	パッケージ θ _{JC}	64 ピン TQFP (0.8mm ピッチ)	–	9.4	–	°C/Watt
T _{JA}	パッケージ θ _{JA}	48 ピン TQFP (0.5mm ピッチ)	–	39.4	–	°C/Watt
T _{JC}	パッケージ θ _{JC}	48 ピン TQFP (0.5mm ピッチ)	–	9.3	–	°C/Watt

Table 45 はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

Table 46 パッケージの温度感度レベル (MSL), IPC/JEDEC J-STD-020

パッケージ	MSL
すべて	MSL 3

7.1 パッケージ図

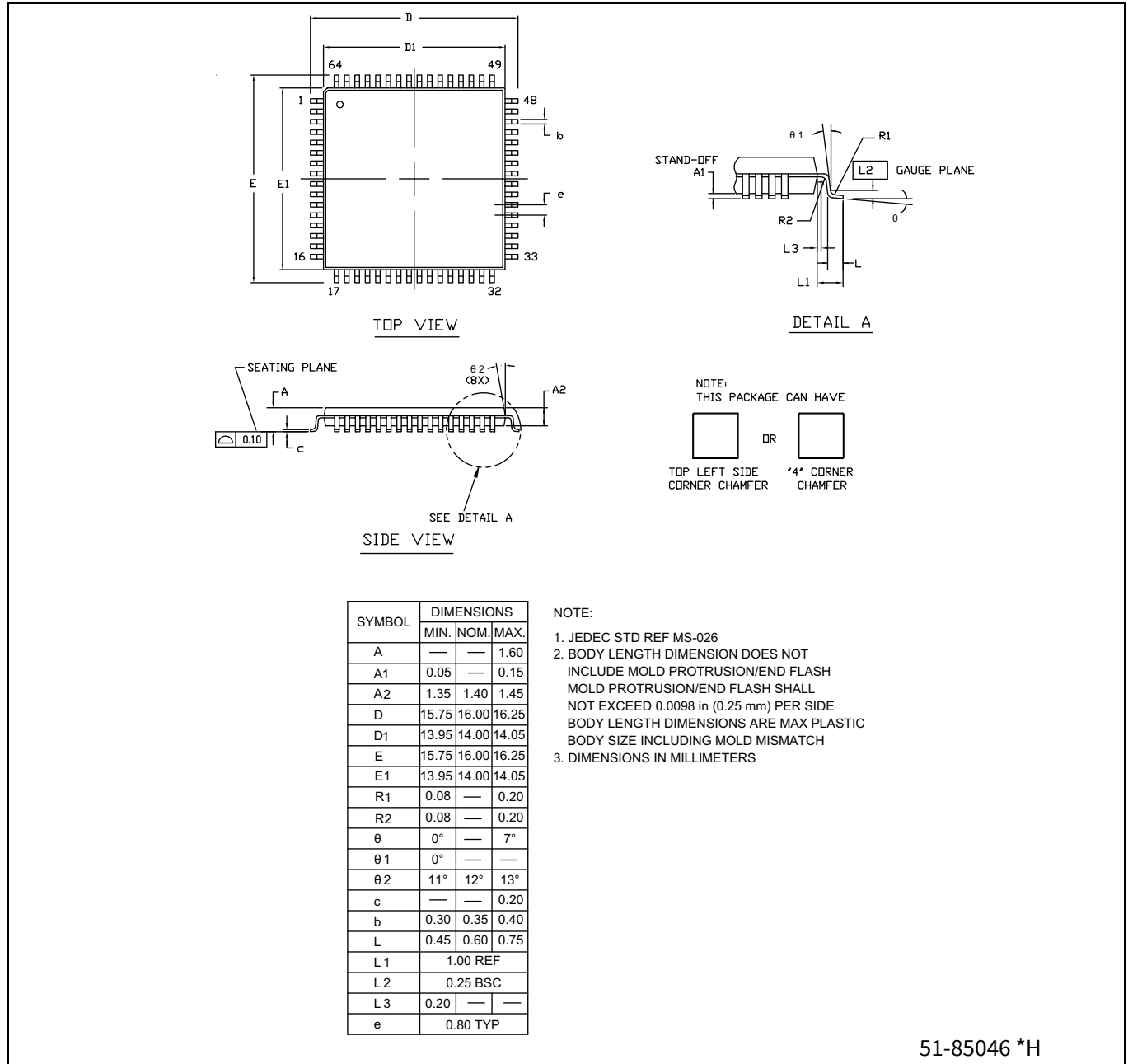


Figure 7 64 ピン TQFP パッケージ (0.8mm ピッチ) 外形図

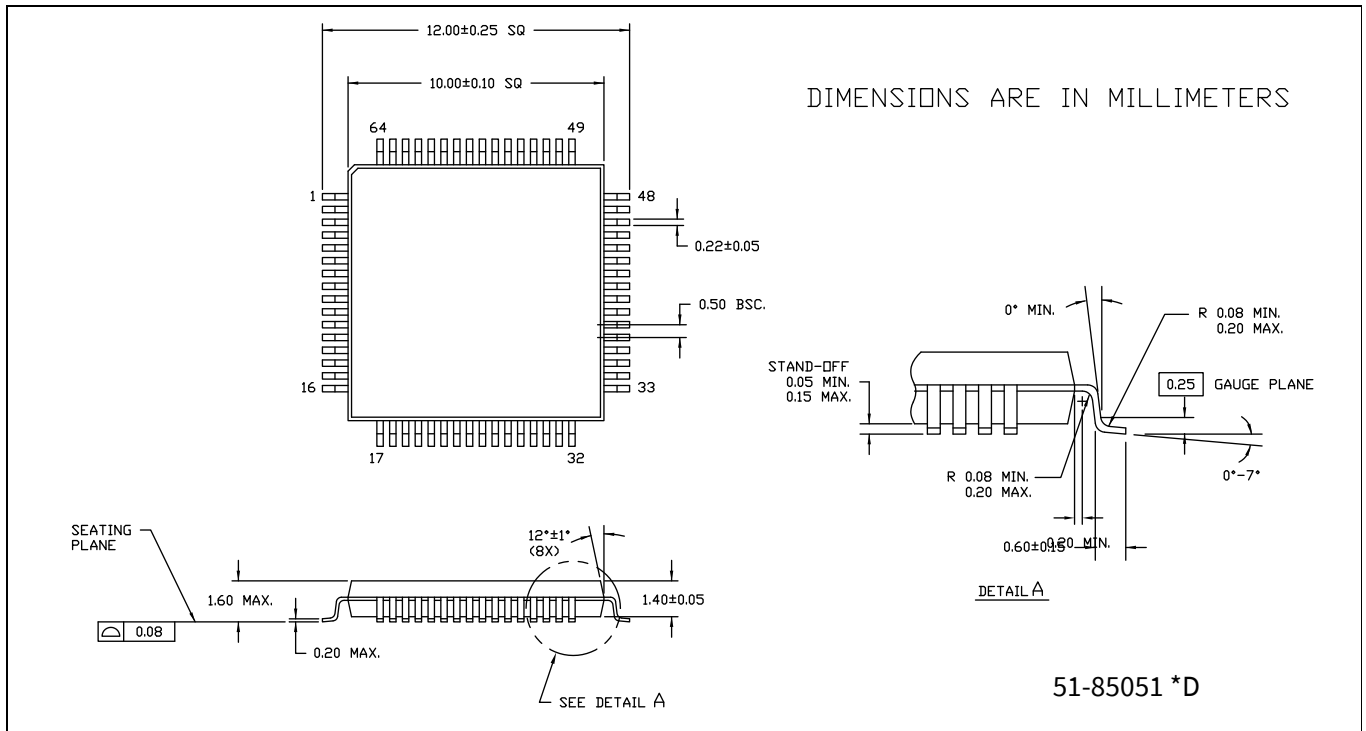


Figure 8 64 ピン TQFP パッケージ (0.5mm ピッチ) 外形図

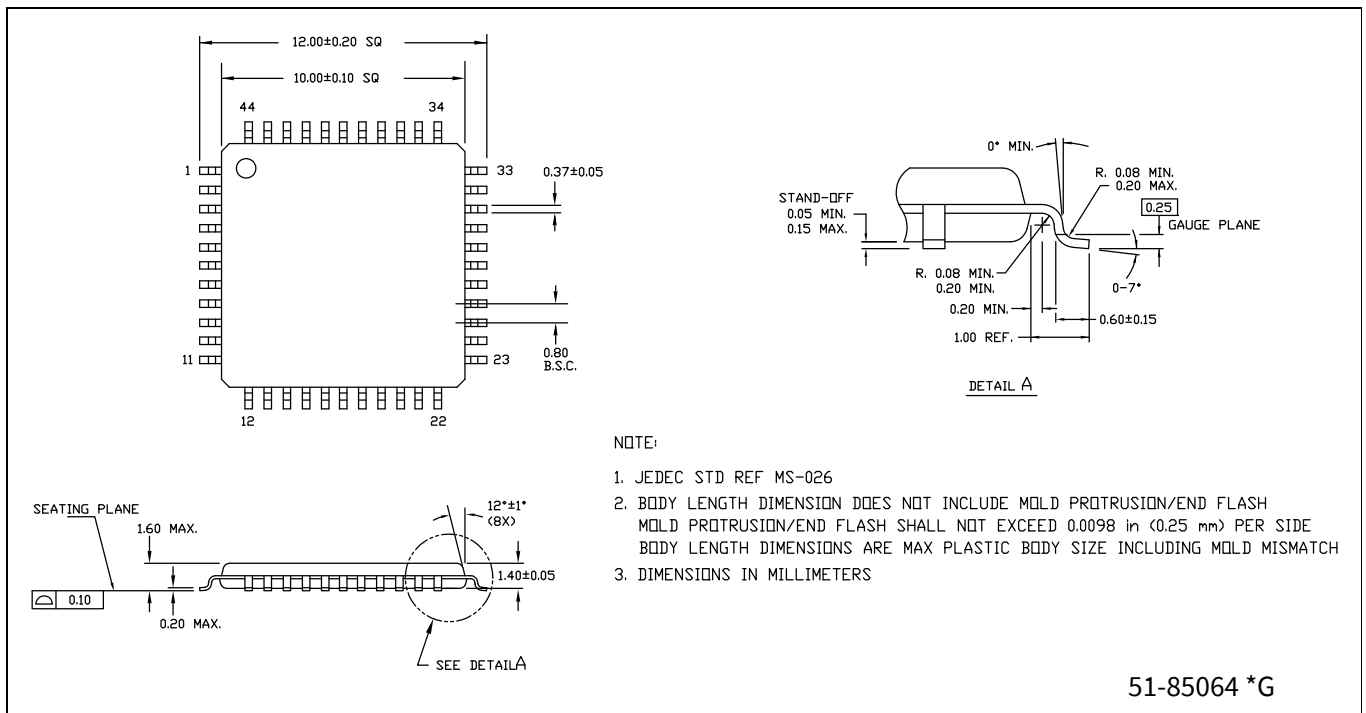


Figure 9 44 ピン TQFP パッケージ 外形図

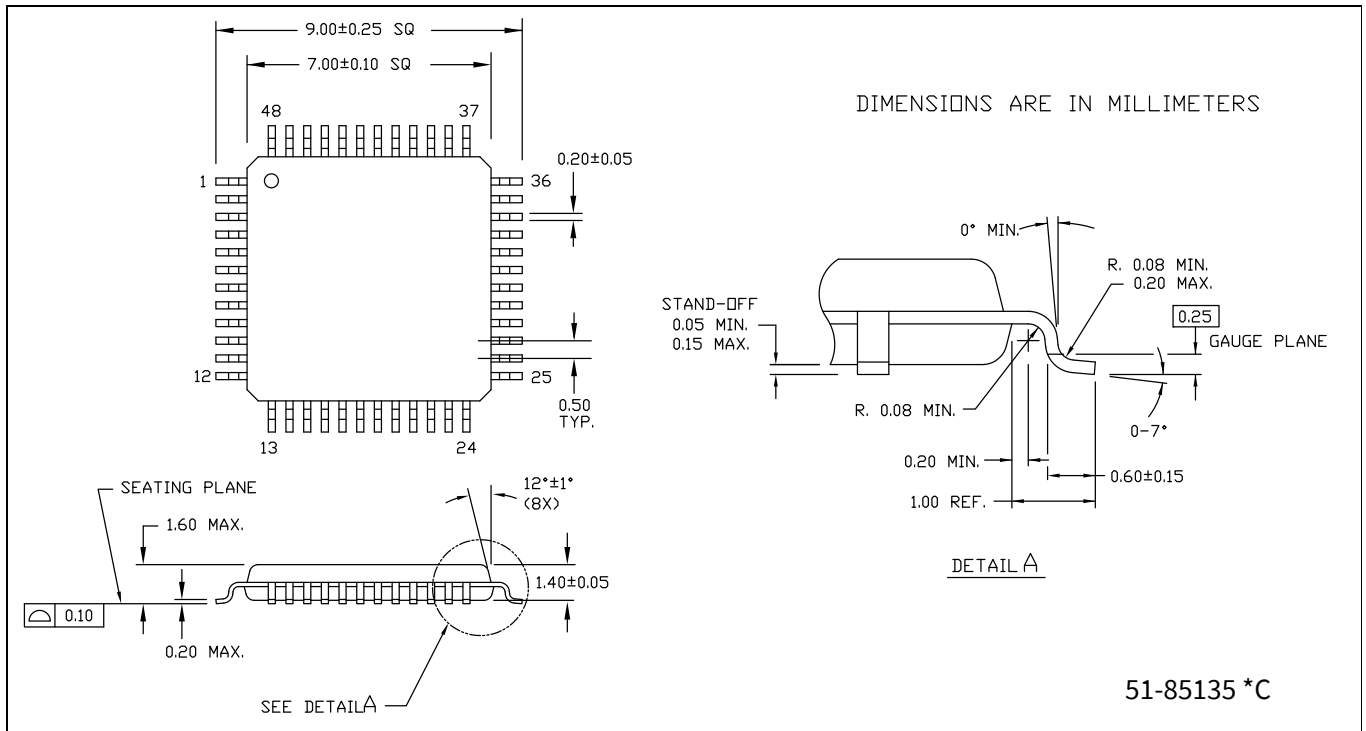


Figure 10 48ピン7×7×1.4mm TQFP パッケージ外形図

8 略語

Table 47 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter(アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスド マイクロコントローラー バス アーキテクチャ) 高性能バス)、Arm® データ転送バスの 1 種
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリア ネットワーク)、通信プロトコルの 1 種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの 1 種
DAC	digital-to-analog converter (デジタル - アナログ変換器)。IDAC、VDAC を参照してください
DFB	digital filter block (デジタル フィルター ブロック)
DIO	デジタル入出力、デジタル機能のみを持つ GPIO、アナログなし。GPIO を参照してください
DMIPS	Dhrystone million instructions per second (ドライストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TD を参照してください
DNL	differential nonlinearity (微分非直線性)。INL を参照してください
DNU	do not use (未使用)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register(実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)

Table 47 **本書で使用する略語** (continued)

略語	説明
FIR	finite impulse response (有限インパルス応答); IIR を参照してください
FPB	flash patch and breakpoint (フラッシュパッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割込み); LVI、LVD を参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC); DAC、VDAC を参照してください
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートッド サーキット)、通信プロトコルの 1 種
IIR	infinite impulse response (無限インパルス応答); FIR を参照してください
ILO	internal low-speed oscillator (内部低速発振器); IMO を参照してください
IMO	internal main oscillator (内部主発振器); ILO を参照してください
INL	integral nonlinearity (積分非直線性); DNL を参照してください
I/O	input/output (入出力); GPIO、DIO、SIO、USBIO を参照してください
IPOR	initial power-on reset (初期パワーオンリセット)
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコネクト ネットワーク)、通信プロトコルの 1 種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出); LVI を参照してください
LVI	low-voltage interrupt (低電圧割込み); HVI を参照してください
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入力スレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ); WOL を参照してください
opamp	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブル アレイ ロジック); PLD を参照してください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)

Table 47 本書で使用する略語 (continued)

略語	説明
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロジック デバイス) ; PAL を参照してください
PLL	phase-locked loop (位相同期回路)
PMDD	パッケージ マテリアル宣言データシート
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータ レジスタ)
PSoC™	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (2 乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチト キャパシタ / 連続時間)
SCL	I ² C serial clock (I ² C シリアル クロック)
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	特殊入出力、高度機能 GPIO。GPIO を参照してください
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)、通信プロトコルの 1 種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)、テスト プロトコルの 1 種
SWV	single-wire viewer (シングル ワイヤ ビューアー)
TD	transaction descriptor (トランザクション ディスクリプタ) ; DMA を参照してください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)

略語

Table 47 **本書で使用する略語** (*continued*)

略語	説明
TRM	technical reference manual (テクニカル リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用非同期トランスミッタ レシーバ)、通信プロトコルの 1 種
UDB	universal digital block (汎用デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC) ; DAC、IDAC を参照してください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (1 度しか書き込めないラッチ) ; NVL を参照してください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

9 本書の表記法

9.1 測定単位

Table 48 測定単位

記号	単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

版数	発行日	変更内容
**	2017-11-14	これは英語版 002-19966 Rev. *B を翻訳した日本語版 002-21674 Rev. ** です。
*A	2019-03-06	これは英語版 002-19966 Rev. *H を翻訳した日本語版 002-21674 Rev. *A です。
*B	2021-11-11	これは英語版 002-19966 Rev. *J を翻訳した日本語版 002-21674 Rev. *B です。
*C	2023-05-30	これは英語版 002-19966 Rev. *K を翻訳した日本語版 002-21674 Rev. *C です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-05-30

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2023 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?

Email:
erratum@infineon.com

Document reference
002-21674 Rev. *C

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記載された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。