

## 1 概述

SL85163T 是一款超低功耗的实时时钟芯片，具有可编程时钟输出端口，中断输出端口及停振检测功能。芯片提供 400kHz 高速 IIC 通讯接口，可实现寄存器连续读写功能。

## 2 特点

- 基于 32.768kHz 晶振提供日历功能
- 内置晶振负载电容，且支持晶振频率微调功能
- 支持 400kHz 高速 IIC 总线协议 (VDD=1.8V ~ 5.5V)
- 可编程实现 32.768kHz, 1.024kHz, 32Hz 或 1Hz 时钟输出
- 内置闹钟及定时中断功能
- Open-drain 中断管脚输出
- 支持 2000~2099 年的完整日历功能，支持闰年自动调整
- IIC 通信工作电压范围：1.8V~5.5V
- 室温下时钟电路工作电压范围：1.0V~5.5V
- 低电流功耗：<1.0μA
- IIC 总线从地址：读地址 A3H，写地址 A2H

## 3 应用

- 便携仪器
- 移动电话
- 门禁、考勤机
- 智能门锁
- 时钟日历

#### 4 结构框图

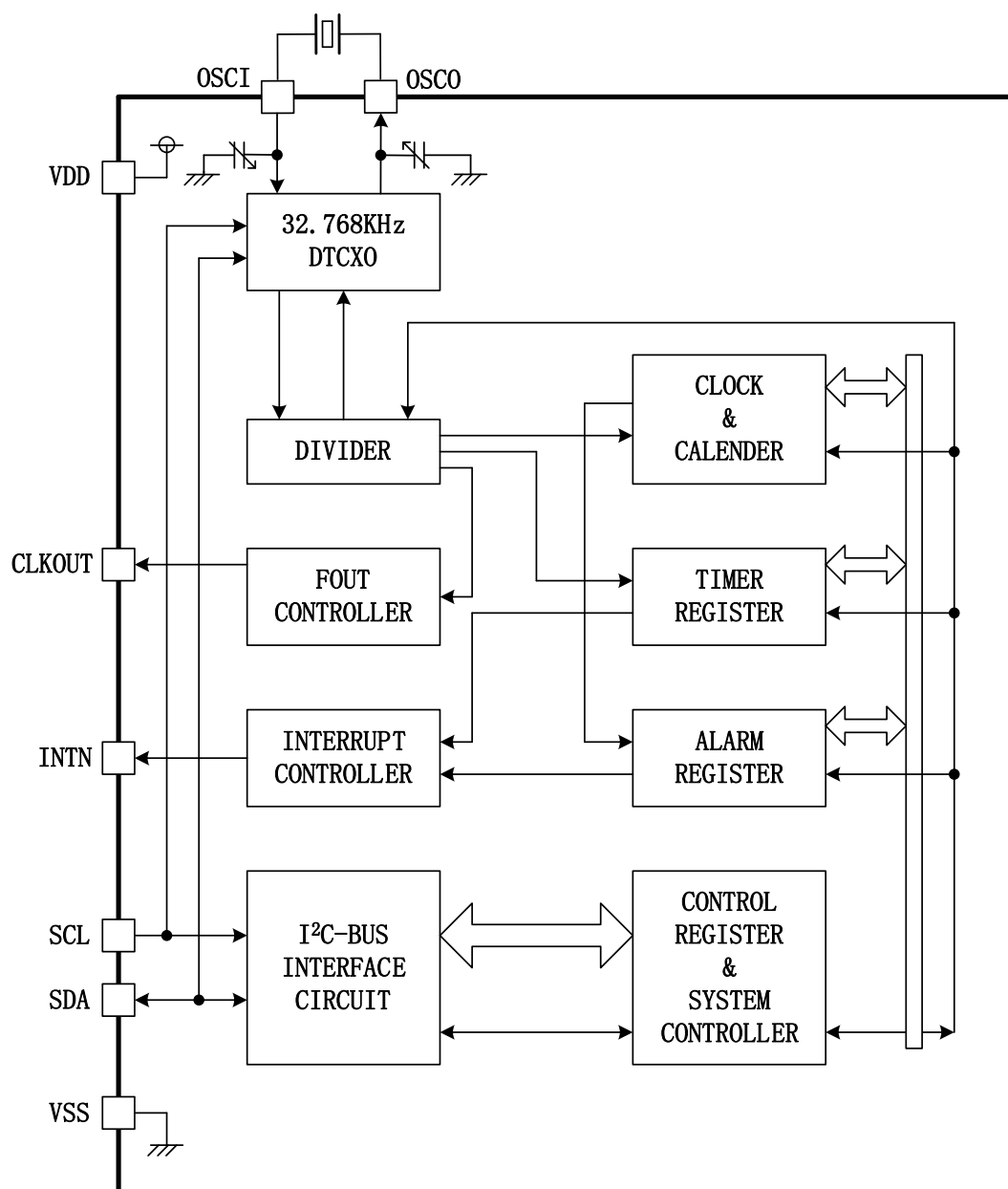


图 4-1 SL85163T 系统框图

## 5 管脚定义

### 5.1 封装形式

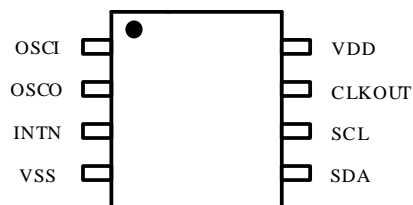


图 5-1 SL85163T 封装形式

### 5.2 管脚功能;

表 5-1 SL85163T 管脚定义

Pin name	I/O	Function
1. OSCI	IN	晶体振荡器输入
2. OSCO	OUT	晶体振荡器输出
3. INTN	OUT	中断输出端口，N-Ch 开漏结构
4. VSS	GROUND	地线
5. SDA	INOUT	IIC 总线通信数据传输端
6. SCL	IN	IIC 总线通信串行时钟输入端
7. CLKOUT	OUT	时钟输出端口，N-Ch 开漏输出；可配置输出 32.768kHz, 1.024kHz, 32Hz 及 1Hz 时钟
8. VDD	POWER	电源

## 6 绝对电气指标

表 6-1 绝对最大额定值

Item	Symbol	Condition	Rating	Unit
电源电压*1	V <sub>DD</sub>	V <sub>DD</sub> 与 V <sub>SS</sub> 之间电压	-0.5 to 6	V
输入电压*1, *2	V <sub>IN</sub>	SCL, SDA pins	-0.5 to V <sub>DD</sub> +0.3	V
输出电压*1, *2	V <sub>OUT</sub>	CLKOUT, SDA, INTN pins	-0.5 to V <sub>DD</sub> +0.3	V
存储温度	T <sub>STG</sub>	分散存放, 无包装	-65 to 150	°C

\*1: 各个电气指标在任何时候均不得超出上表中的最大额定值范围, 否则会造成相关参数恶化, 可靠性降低甚至芯片失效。

\*2: 此处 V<sub>DD</sub> 指推荐操作条件下的 V<sub>DD</sub> 范围。

## 7 推荐操作条件

表 7-1 推荐操作条件

Item	Symbol	Condition	Min.	Typ.	Max.	Unit
操作电压	V <sub>DD</sub>	接口工作电压	1.8	3.0	5.5	V
时钟工作电压	V <sub>CLK</sub>	振荡器模块工作电压	1.0	3.0	5.5	V
操作温度	T <sub>OPR</sub>	---	-40	25	85	°C

\*任何超出上述表格中推荐范围的操作都可能极大地影响芯片的可靠性。

## 8 频率特性

表 8-1 频率特性

Item	Symbol	Condition	MIN	TYP	MAX	Unit
内置负载电容	C <sub>OSC</sub>	可通过软件配置	8	25	31	pF
电压系数	Δf/f/V	T <sub>a</sub> =25 °C		±1.0		×10 <sup>-6</sup> /V
晶振 ESR 驱动能力	R <sub>ESR</sub>	---			150	kΩ
适配晶振负载电容	C <sub>L</sub>	通过配置寄存器实现	7		12.5	pF
输出时钟占空比	δ <sub>CLKOUT</sub>	---		50		%

## 9 电气特性

### 9.1 直流特性

表 9-1 直流电气特性

Item	Symbol	Condition		Min.	Typ.	Max.	Unit
电流功耗	I <sub>DD1</sub>	IIC 通信频率 400kHz				800	μA
	I <sub>DD2</sub>	IIC 通信频率 100kHz				200	
	I <sub>DD3</sub>	无 IIC 通信/CLKOUT 无输出/-45℃ ~85℃	V <sub>DD</sub> =5V		800	1200	nA
	I <sub>DD4</sub>		V <sub>DD</sub> =3V		700	1000	
高输入电平	V <sub>IH</sub>	SCL, SDA pins		0.7*V <sub>DD</sub>		V <sub>DD</sub>	V
低输入电平	V <sub>IL</sub>			-0.5		0.3*V <sub>DD</sub>	V
低输出电平	V <sub>OL</sub>	CLKOUT, INTN, SDA pins	I <sub>OL</sub> =1mA	0		0.4	V
低输出电流	I <sub>OL</sub>	输出端下拉电流 @V <sub>DD</sub> =5V , V <sub>OL</sub> =0.4V	SDA pin	3			mA
			INTN pin	1			
			CLKOUT pin	1			
输入漏电流	I <sub>LK</sub>	SCL, SDA pins, V <sub>IN</sub> =V <sub>DD</sub> or GND		-1		1	μA
输出漏电流	I <sub>OZ</sub>	INTN, CLKOUT, SDA, V <sub>IN</sub> =V <sub>DD</sub> or GND		-1		1	μA

## 9.2 交流特性

表 9-2 交流电气特性

Item	Symbol	Condition	Min.	Typ.	Max.	Unit
SCL 时钟频率	$f_{SCL}$	---			400	KHz
起始条件建立时间	$t_{SU:STA}$	---	0.6			$\mu S$
起始条件保持时间	$t_{HD:STA}$	---	0.6			$\mu S$
数据传输建立时间	$t_{SU:DAT}$	---	100			nS
数据传输保持时间	$t_{HD:DAT}$	---	0		700	nS
终止条件建立时间	$t_{SU:STO}$	---	0.6			$\mu S$
总线闲置时间	$t_{BUF}$	终止条件到起始条件之间	1.3			$\mu S$
SCL 低电平时间	$t_{LOW}$	---	1.3			$\mu S$
SCL 高电平时间	$t_{HIGH}$	---	0.6			$\mu S$
SCL, SDA 上升时间	$t_r$	---			0.3	$\mu S$
SCL, SDA 下降时间	$t_f$	---			0.3	$\mu S$
总线毛刺时长	$t_{SP}$	---			50	nS

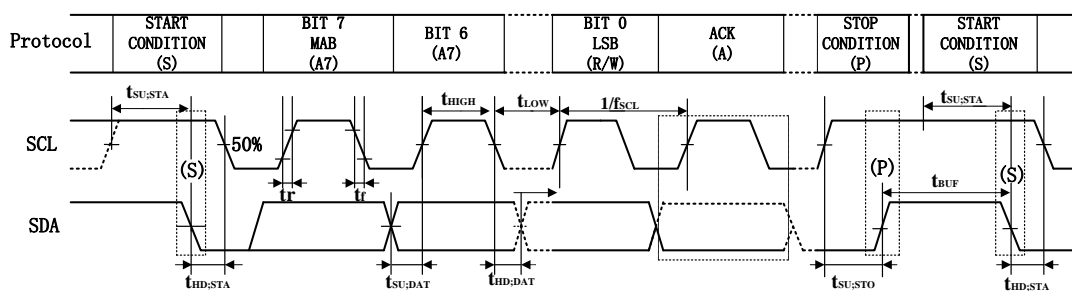


图 9-1 IIC 时序图例

\*IIC 数据传输位于起始条件与终止条件之间，数据传输操作必须在 0.95S 时间内完成，超出该时间后，IIC 总线将由内部计时器复位。

## 10 寄存器

### 10.1 寄存器总表

表 10-1 寄存器列表

Address	Function	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
00	Control Register 1	TEST1	○	STOP	○	TESTC	○	○	○
01	Control Register 2	○	○	○	TI_TP	AF	TF	AIE	TIE
02	SEC	VDET	40	20	10	8	4	2	1
03	MIN	○	40	20	10	8	4	2	1
04	HOUR	○	○	20	10	8	4	2	1
05	DAY	○	○	20	10	8	4	2	1
06	WEEK	○	○	○	○	○	4	2	1
07	MONTH	○	○	○	10	8	4	2	1
08	YEAR	80	40	20	10	8	4	2	1
09	MIN Alarm	AE_M	40	20	10	8	4	2	1
0A	HOUR Alarm	AE_H	○	20	10	8	4	2	1
0B	DAY Alarm	AE_D	○	20	10	8	4	2	1
0C	WEEK Alarm	AE_W	○	○	○	○	4	2	1
0D	CLKOUT Control	FE	○	○	○	○	○	FD[1]	FD[0]
0E	Timer Counter	TE	○	○	○	○	○	TD[1]	TD[0]
0F	Timer	128	64	32	16	8	4	2	1
10	XOSC Trim	○	○	CL[5]	CL[4]	CL[3]	CL[2]	CL[1]	CL[0]
11	CL Select	○	○	○	○	○	○	CLOP[1]	CLOP[0]
12	Current Adjust	○	○	○	○	○	ADJ[2]	ADJ[1]	ADJ[0]
13	Reserved	○	○	○	○	○	○	○	○
14	Detector Control	○	○	○	○	○	○	○	DETEN

\*请确保向日历及时钟寄存器中写入合法值，否则芯片将无法执行正确的计时操作。

\*标记为○的寄存器位是只读寄存器，读取值为“0”。

\*TF, AF 位只允许被写入“0”。

\*芯片上电时，TESTC, VDET, AE\_M, AE\_H, AE\_D, AE\_W, FE, TD[1:0], DETEN 被预设为“1”； TEST1, STOP, TI\_TP, AF, TF, AIE, TIE, FD[1:0]被预设为“0”。

## 10.2 寄存器详述

### 10.2.1 控制寄存器（寄存器 00~01）

#### • TEST1

芯片工作模式选择位，当置为“0”(Default)时，芯片处于正常工作模式；当置为“1”时，芯片进入测试模式。

在测试模式下，CLKOUT pin 将作为时钟输入端口，用户通过外部时钟控制 RTC 翻转，外部时钟频率需不大于 1MHz，且占空比不能小于 30%。通过 CLKOUT 输入的时钟源替代芯片内部 64Hz 时钟，经过 64 分频后，控制秒寄存器翻转。因此，外部每输入 64 个时钟沿，时钟增加 1 秒。

用户可通过 STOP 位，精确控制分频器初始状态。STOP 位置“1”后，64 分频寄存器复位；从 STOP 清“0”开始，接收到 32 个外部时钟沿后，秒寄存器翻转，之后每接收到 64 个外部时钟沿，秒寄存器翻转一次。

测试模式操作示例如下：

- 设置 TEST1=1，进入测试模式
- 设置 STOP=1，复位分频寄存器
- 将 STOP 位清“0”，准备计时
- 设置时钟寄存器
- 通过 CLKOUT 端口输入 32 个时钟沿
- 读取时钟寄存器，应读到一次秒翻转
- 通过 CLKOUT 端口输入 64 个时钟沿
- 读取时钟寄存器，应读到第二次秒翻转
- 之后每通过 CLKOUT 端口输入 64 个时钟沿，秒寄存器翻转一次

#### • STOP

计时器翻转控制位，当置为“0”(Default)时，RTC 时钟正常翻转；当置为“1”时，RTC 时钟停止计时，但仍可以输出 32.768kHz 时钟。

图 10-1 是 STOP 位功能框图，其用来复位分频器高位寄存器（F2~F14），1Hz 脉冲不翻转，RTC 停止计时。由于分频器低两位寄存器不会被复位，当 STOP 位清“0”时，秒脉冲会存在最大  $\frac{1}{32768} \times 4 \approx 122\mu S$  的计时误差。

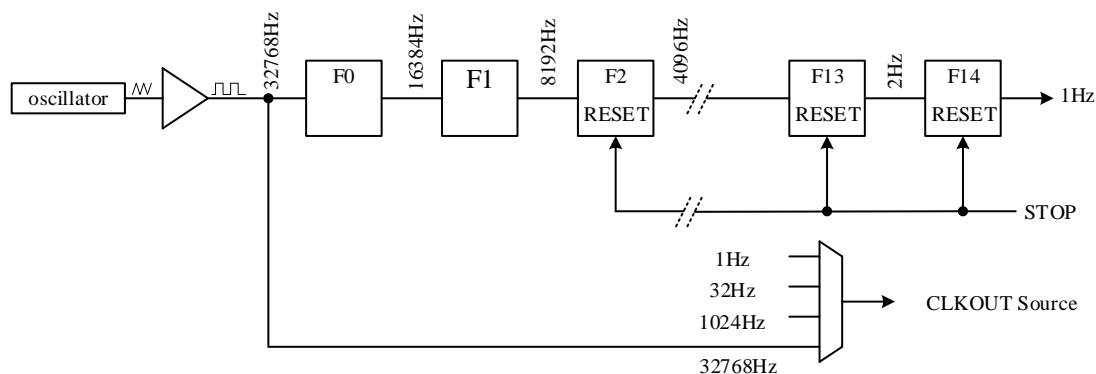


图 10-1 STOP 位功能框图



## • TESTC

POR 屏蔽功能使能控制位，当置为“0”时，无法进入 POR 屏蔽模式；当置为“1”(Default)时，可通过 SCL，SDA 端口输入特定时序进入 POR 屏蔽模式。

由于晶振启动时间的限制，上电后直至晶振起振稳定，芯片内部复位信号才会释放，开始正常工作。为了方便测试工作，芯片上电后，可以通过 IIC 端口输入如图 10-2 所示的特定时序，屏蔽 POR 功能，不必等待晶振起振即可进入测试模式对芯片功能进行检测。若 TESTC 被置“0”，则无法使用屏蔽 POR 功能。

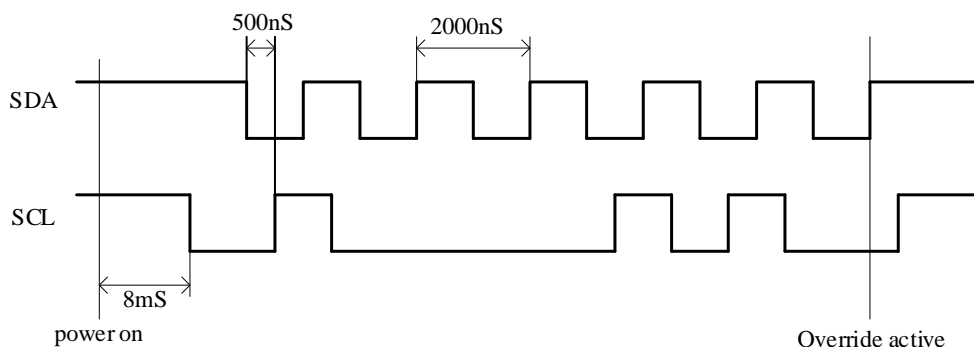


图 10-2 POR 屏蔽功能启动时序

## • TI\_TP

定时中断输出形式控制位，当置为“0”(Default)时，定时中断发生后至 TF 被清“0”前，INTN 始终输出低电平；当置为“1”时，每次定时中断发生时，INTN 输出一个固定周期的低脉冲。

## • AF&TF

分别为闹钟中断和定时中断的标志位，当上述中断事件发生时，对应的标志位被置“1”。标志位将维持为“1”直至通过 IIC 端口手动将其清“0”，禁止手动将上述标志位置“1”。

## • AIE&TIE

分别用来设定当闹钟中断和定时中断事件发生时，INTN 管脚上的中断信号输出情况。当置为“0”(Default)时，INTN 管脚不产生中断信号；置为“1”时，INTN 管脚产生中断信号；INTN 管脚上的中断信号输出为闹钟中断和定时中断的逻辑或，通过中断标志位来判断具体的中断情况。

### 10.2.2 时钟及日历寄存器（寄存器 02~08）

- VDET

停振检测标志位：当检测到晶体振荡器停振后，该位被置“1”，检测到 VDET 位为“1”则表示 RTC 计时失准，需重新校时。该标志位将维持为“1”直至通过 IIC 端口手动将其清“0”，禁止手动将该标志位置“1”。

- 数据形式

除星期寄存器（寄存器 06）外，数据均为 BCD 码形式。例如，秒寄存器的值“0101 1001”代表当前为 59 秒。

计时方式固定为 24 小时制。

- 年寄存器及闰年

年寄存器的时间范围是 00~99，99 之后重新回到 00；当年寄存器所代表的值可以被 4 整除时，该年判定为闰年；日历的有效期间为 2000 年~2099 年。

- 星期寄存器

星期寄存器共有 3 个有效位（bit0~bit2），具体对应关系可参考下表 10-2。

表 10-2 星期寄存器对应表

Bit2	Bit1	Bit0	星期
0	0	0	日
0	0	1	一
0	1	0	二
0	1	1	三
1	0	0	四
1	0	1	五
1	1	0	六

### 10.2.3 闹钟控制寄存器（寄存器 09~0C）

闹钟中断可以灵活设置每周 X 的 X 时 X 分或每个月 X 日的 X 时 X 分产生报警中断。

每个闹钟寄存器都有 AE\_X（Alarm Enable）位（bit7）。当某一个闹钟寄存器的 AE\_X 位为“0”时，该闹钟寄存器的设定值需与对应的时钟寄存器比较，值一致时产生闹钟中断；若 AE\_X 位为“1”，则忽略其对应的闹钟寄存器值，即不需要将对应的闹钟寄存器与时钟寄存器比较，始终认为闹钟寄存器值与对应的时钟寄存器值一致。

表 10-3 为闹钟寄存器使能位和闹钟中断产生时间的对应关系。

表 10-3 闹钟中断对应表

AE_W/D/H/M	WEEK	DAY	HOUR	MIN	Alarm Event
1111	---	---	---	---	Never *Default
1110				检查 MINa	每小时第MINa分第零秒报警
1101			检查 HOURb		每天 HOURb:00:00报警
1100			检查 HOURb	检查 MINa	每天 HOURb:MINa:00报警
1011		检查 DAYc			每月DAYc日 00:00:00报警
1010		检查 DAYc		检查 MINa	每月DAYc日 00:MINa:00报警
1001		检查 DAYc	检查 HOURb		每月DAYc日 HOURb:00:00报警
1000		检查 DAYc	检查 HOURb	检查 MINa	每月DAYc日 HOURb:MINa:00报警
0111	检查 WEEKd				每周周WEEKd 00:00:00报警
0110	检查 WEEKd			检查 MINa	每周周WEEKd 00:MINa:00报警
0101	检查 WEEKd		检查 HOURb		每周周WEEKd HOURb:00:00报警
0100	检查 WEEKd		检查 HOURb	检查 MINa	每周周WEEKd HOURb:MINa:00报警
0011	检查 WEEKd	检查 DAYc			既是每周周WEEKd又是每月DAYc日 00:00:00报警
0010	检查 WEEKd	检查 DAYc		检查 MINa	既是每周周WEEKd又是每月DAYc日 00:MINa:00报警
0001	检查 WEEKd	检查 DAYc	检查 HOURb		既是每周周WEEKd又是每月DAYc日 HOURb:00:00报警
0000	检查 WEEKd	检查 DAYc	检查 HOURb	检查 MINa	既是每周周WEEKd又是每月DAYc日 HOURb:MINa:00报警

#### 10.2.4 CLKOUT 控制寄存器（寄存器 0D）

SL85163T 提供时钟输出端口，可通过程序控制输出 32.768kHz，1.024kHz，32Hz 或 1Hz 的时钟，该时钟输出可用于校准晶振频率或用来作为系统时钟使用。通过寄存器 0D 可以控制时钟端口输出。

- FE

时钟输出使能位，当置为“0”时，禁止 CLKOUT 端口输出时钟，该端口位高阻态；当置为“1”(Default)时，CLKOUT 端口有时钟信号输出，具体输出频率取决于 FD[1:0]。

- FD[1:0]

输出时钟频率控制位，具体控制方式参考下表 10-4。

表 10-4 时钟输出频率控制位

FD[1]	FD[0]	Frequency output @pin CLKOUT
0	0	32.768kHz *Default
0	1	1.024kHz
1	0	32Hz
1	1	1Hz

#### 10.2.5 定时中断控制寄存器（寄存器 0E~0F）

寄存器 0E 是定时中断的控制寄存器，寄存器 0F 存储定时值（即倒数周期数）。

- TE

定时器使能位，当置为“0”(Default)时，禁用定时器；当置为“1”时，使能定时器，开始按 TD[1:0]设定的时钟频率倒数计数，计数位“0”时，产生中断，并复位 0F 寄存器，重新开始倒数计数。

- TD[1:0]

定时器时钟频率设定位，具体设定方式参考下表 10-5。

表 10-5 时钟输出频率控制位

TD[1]	TD[0]	Timer Source Clock Frequency
0	0	4.096kHz
0	1	64Hz
1	0	1Hz
1	1	1/60Hz *Default

### 10.2.6 输出频率调整寄存器（寄存器 10）

寄存器 10 是晶体振荡器输出频率调整寄存器，可以通过配置该寄存器，调整输出频率精度。

- CL[5:0]

频率调整幅度与所选用的晶体振荡器参数有关，具体可参考表 10-6。

表 10-6 晶体振荡器输出频率调节表

CL[5:0]	频率偏差（单位：ppm）		
	CLOP=2'b11(12.5pF)	CLOP=2'b10(9pF)	CLOP=2'b00(7pF)
0	28.8	51.2	108.8
1	27.9	49.6	105.4
2	27.0	48.0	102.0
.....	.....	.....	.....
30	1.8	3.2	6.8
31	0.9	1.6	3.4
32 *Default	0.0	0.0	0.0
33	-0.9	-1.6	-3.4
34	-1.8	-3.2	-6.8
.....	.....	.....	.....
61	-26.1	-46.4	-98.6
62	-27.0	-48.0	-102.0
63	-27.9	-49.6	-105.4

### 10.2.7 晶体负载电容选择寄存器（寄存器 11）

SL85163T 可适配负载电容 7pF, 9pF 及 12.5pF 的晶体振荡器，通过配置 11 寄存器即可实现灵活配置。

- CLOP[1:0]

表 10-7 晶体振荡器负载电容选择

CLOP[1]	CLOP[0]	适配晶体负载电容
0	0	7pF
0	1	Forbidden
1	0	9pF
1	1	12.5pF *Default

### 10.2.8 芯片功耗调节寄存器（寄存器 12）

SL85163T 内置晶体驱动器功耗调节功能，默认配置下，可以驱动 ESR 150kΩ 的晶体振荡器，若用户晶体振荡器 ESR 较小，可以通过配置 12 寄存器降低整体芯片功耗。

- ADJ[2:0]

上电默认状态下，芯片处于大功耗状态，最大可驱动 ESR 150kΩ 的晶体振荡器，通过 IIC 重新配置 ADJ 寄存器，可调节芯片整体功耗。

表 10-8 芯片功耗调节表

ADJ[2]	ADJ[1]	ADJ[0]	芯片功耗(nA)
0	0	0	700 *Default
0	0	1	650
0	1	0	600
0	1	1	550
1	0	0	900
1	0	1	850
1	1	0	800
1	1	1	750

### 10.2.9 停振检测功能控制寄存器（寄存器 14）

SL85163T 内置停振检测功能，当检测到晶体振荡器停振后，会自动将停振检测标志位 VDET 置“1”。可通过配置寄存器禁用停振检测功能，禁用该功能后，芯片整体功耗降低约 50nA。

- DETEN

该寄存器用来控制停振检测电路工作状态，DETEN 置“1”(Default)时，启用停振检测功能，DETEN 置“0”时，禁用停振检测功能，芯片整体功耗降低约 50nA。

## 11 中断功能

### 11.1 闹钟中断

闹钟中断可以在设定的星期，日，小时，分钟产生中断事件。

#### 11.1.1 闹钟中断时序

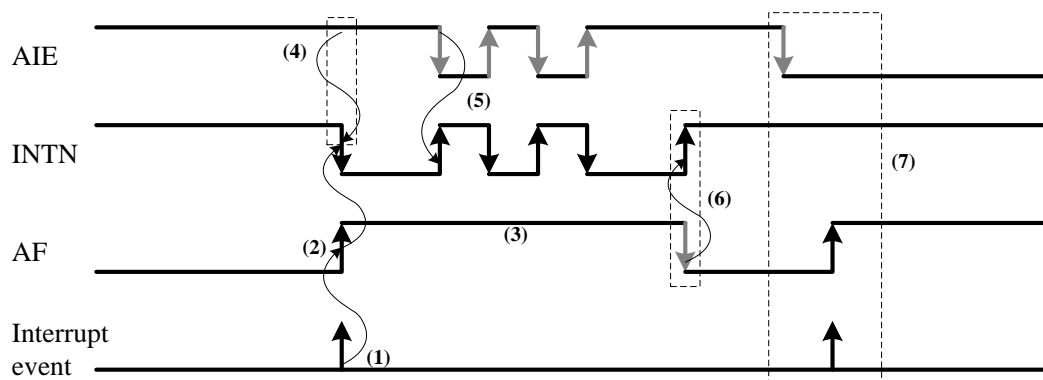


图 11-1 闹钟中断时序

- (1) 设定好闹钟中断对应的小时、分钟、日期或星期信息，当设定时间与当前时间匹配时（具体对应关系可参考表 10-3），产生中断事件
- (2) 闹钟中断事件产生时，AF 标志位被置为“1”
- (3) AF 寄存器会保持“1”状态直至通过 IIC 端口手动将其清“0”
- (4) 闹钟中断事件发生时，若 AIE=“1”，INTN 输出低电平；若 AIE=“0”，INTN 保持为 Hi-Z 状态
- (5) INTN=“0”期间若置 AIE 为“0”，INTN 即刻恢复为 Hi-Z 状态；在闹钟中断事件发生且 AF 寄存器被清“0”之前，AIE 可以用来控制 INTN 的输出状态
- (6) 将 AF 寄存器清“0”可以清除闹钟中断输出，INTN 即刻由“0”变为 Hi-Z 状态
- (7) 闹钟中断事件发生时若 AIE=“0”，INTN 保持 Hi-Z 状态，不会输出低电平，但 AF 标志位会被置“1”

### 11.1.2 闹钟中断相关寄存器

表 11-1 闹钟中断相关寄存器

Address	Function	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
01	Control Register 2	○	○	○	TI_TP	AF	TF	AIE	TIE
09	MIN Alarm	AE_M	40	20	10	8	4	2	1
0A	HOUR Alarm	AE_H	●	20	10	8	4	2	1
0B	DAY Alarm	AE_D	●	20	10	8	4	2	1
0C	WEEK Alarm	AE_W	●	●	●	●	4	2	1

- 配置闹钟中断寄存器时，建议首先将 AIE 置“0”，以防操作过程中产生不必要的硬件中断
- 闹钟中断事件的发生会将 AF 标志位置“1”，该位将保持为“1”直至通过 IIC 端口手动将其置“0”
- 闹钟中断事件发生时，AIE 决定是否产生中断信号输出（AIE=“1”，则 INTN=“0”；AIE=“0”，则 INTN=Hi-Z）
- AE\_X 位为“0”表示该闹钟寄存器需要与对应的时钟寄存器比较；若 AE\_X 位为“1”，则不与其相对应的时钟寄存器比较，即认为该寄存器始终与对应的时钟寄存器匹配。具体对应关系可参考表 10-3



## 11.2 定时中断

固定周期中断可以在 244.14 $\mu$ S 和 255min 之间按照某一设定的周期产生中断事件。

### 11.2.1 定时中断时序

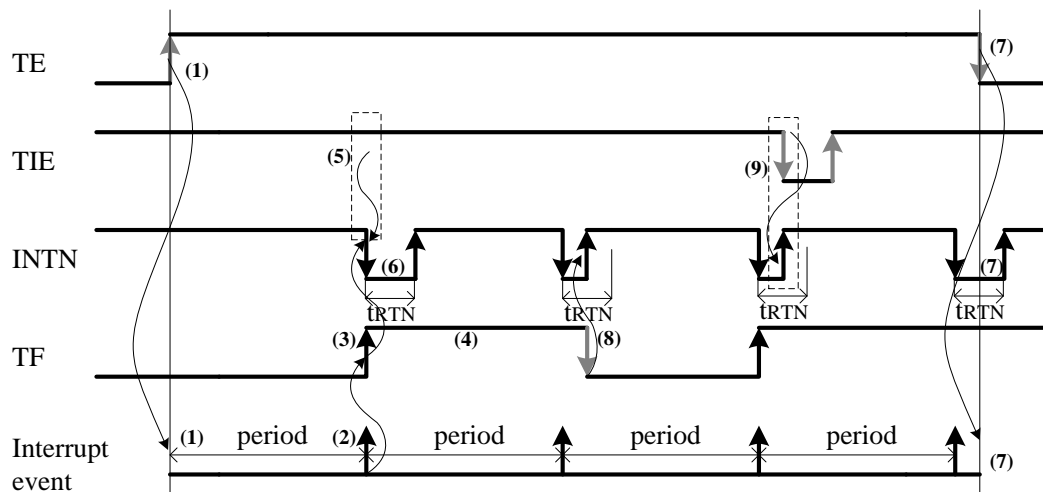


图 11-2 定时中断时序(TI\_TP=1)

- (1) 当 TE 位写入“1”时，固定周期计数器从预设值开始倒计数
- (2) 当定时计数器从 01h 计数到 00h 时，产生中断事件；计数器 0F 重置为预设值，继续下一次倒计数
- (3) 定时中断事件发生时，TF 寄存器被置为“1”
- (4) TF 寄存器会保持“1”状态直至通过 IIC 端口手动将其清“0”
- (5) 当定时中断事件发生时，若 TIE=“1”，INTN 输出低电平；若 TIE=“0”，INTN 保持为 Hi-Z 状态
- (6) INTN 输出低电平时长为  $t_{RTN}$ ，之后会自动恢复 Hi-Z 状态直至下次中断信号输出， $t_{RTN}$  如表 11-3 所示
- (7) 当 TE 位写入“0”时，定时计数器停止计数，INTN 输出 Hi-Z（若 TE 写“0”发生在 INTN=“0”期间，待  $t_{RTN}$  时间之后，INTN 恢复 Hi-Z 状态）
- (8) 若在 INTN=“0”期间将 TF 清“0”，INTN 即刻恢复 Hi-Z 状态
- (9) TIE 写入“0”时，INTN 即刻恢复 Hi-Z 状态

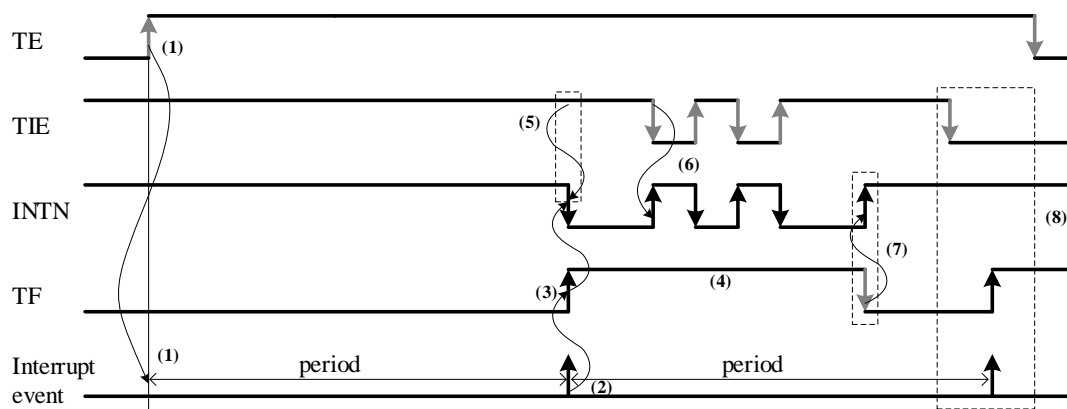


图 11-3 定时中断时序(TI\_TP=0)

- (1) 当 TE 位写入“1”时，固定周期计数器从预设值开始倒数
- (2) 当定时计数器从 01h 计数到 00h 时，产生中断事件；计数器 0F 重置为预设值，继续下一次倒数
- (3) 定时中断事件产生时，TF 标志位被置为“1”
- (4) TF 寄存器会保持“1”状态直至通过 IIC 端口手动将其清“0”
- (5) 定时中断事件发生时，若 TIE=“1”，INTN 输出低电平；若 TIE=“0”，INTN 保持为 Hi-Z 状态
- (6) INTN=“0”期间若置 TIE 为“0”，INTN 即刻恢复为 Hi-Z 状态；在定时中断事件发生且 TF 寄存器被清“0”之前，TIE 可以用来控制 INTN 的输出状态
- (7) 将 TF 寄存器清“0”可以清除定时中断输出，INTN 即刻由“0”变为 Hi-Z 状态
- (8) 定时中断事件发生时若 TIE=“0”，INTN 保持 Hi-Z 状态，不会输出低电平，但 TF 标志位会被置“1”

## 11.2.2 定时中断相关寄存器

表 11-2 定时中断相关寄存器

Address	Function	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
01	Control Register 2	○	○	○	<b>TI_TP</b>	<b>AF</b>	<b>TF</b>	<b>AIE</b>	<b>TIE</b>
0E	Timer Counter	<b>TE</b>	●	●	●	●	●	<b>TD[1]</b>	<b>TD[0]</b>
0F	Timer	<b>128</b>	<b>64</b>	<b>32</b>	<b>16</b>	<b>8</b>	<b>4</b>	<b>2</b>	<b>1</b>

- 配置定时中断寄存器时，建议首先将 **TE** 及 **TIE** 置“0”，以防操作过程中产生不必要的硬件中断
- TD[1]**和 **TD[0]**用来设定定时器时钟频率，**INTN** 管脚上的中断信号自动复位时间  $t_{RTN}$  与定时器时钟频率相关
- TI\_TP** 用来控制定时中断产生后，**INTN** 的输出形式，当 **TI\_TP** 置为“0”(Default)时，**TF** 及 **TIE** 为“1”期间，**INTN** 持续输出中断报警信号；当 **TI\_TP** 置为“1”时，**INTN** 输出脉冲形式的中断报警信号，具体低脉冲宽度参考表 11-3

表 11-3 定时中断计数周期及自动复位时间

TD[1]	TD[0]	Source clock Frequency	Auto reset time	
			n=1	n>1
0	0	4.096kHz	1/8192	1/4096
0	1	64Hz	1/128	1/64
1	0	1Hz	1/64	1/64
1	1	1/60Hz	1/64	1/64

- 寄存器 **0F** 设定计数器的默认值（01h~FFh），计数器以 **TD[1:0]**设定的计数周期倒数计数至 00h 时，产生定时中断事件
- TE** 为固定周期计数器的使能控制位，**TE**=“1”时，计数器开始倒数计数；**TE**=“0”时，计数器停止计数，终止定时中断功能
- 定时中断事件的发生会将 **TF** 标志位置“1”，该位将保持为“1”直至通过 **IIC** 端口手动将其清“0”
- 定时中断事件发生时，**TIE** 决定是否产生中断信号输出（**TIE**=“1”，则 **INTN**=“0”；**TIE**=“0”，则 **INTN**=Hi-Z）

表 11-4 定时中断周期示例

Timer counter set value	Source clock			
	4096Hz	64Hz	1Hz	1/60Hz
0	---	---	---	---
1	244.14μS	15.625mS	1S	1min
.....	.....	.....	.....	.....
255	62.256mS	3.984375S	255S	255min

## 12 IIC 总线接口

### 12.1 IIC 总线特点

IIC 是一种双向通信接口，其信号线 SDA 以及时钟线 SCL 需通过上拉电阻连接至 VDD；连接至 IIC 总线的端口必须为开漏结构以便实现多设备的线与连接。

### 12.2 数据传输

每个 SCL 时钟周期可以传送 1bit 数据。发送数据时，SDA 线上的数据在 SCL 低电平期间改变；接收数据时，SCL 高电平期间可以从数据线 SDA 上得到稳定有效的数据。

### 12.3 起始条件及终止条件

空闲状态时，SCL 及 SDA 保持为高电平。SCL 高电平期间，SDA 的下降沿作为 IIC 通信的起始条件；SCL 高电平期间，SDA 的上升沿作为 IIC 通信的终止条件。

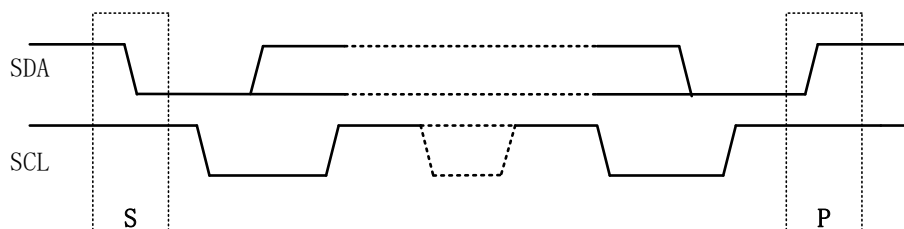


图 12-1 IIC 起始条件及终止条件

### 12.4 设备选择（从地址）

IIC 总线设备没有片选信号，主设备通过发送一个唯一固定的设备编号（从地址）来选取相应的从设备，被选从设备发送应答信号来与主设备建立通信。

从地址包括 7bit 数据，4bit(Group 1) + 3bit(Group 2)。LCL1232 的从地址为“1010001”。通信过程中，从地址与 R/W 选择位以 8bit 数据的形式发送。

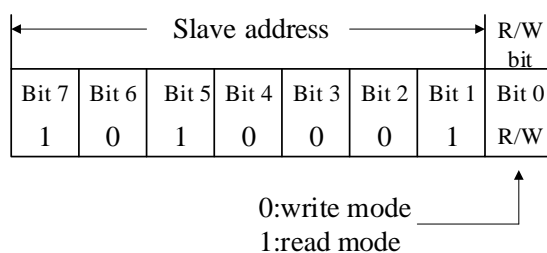


图 12-2 IIC 从地址示意

## 12.5 系统配置

将控制数据传输的设备称为“主设备”，被主设备控制的设备称为“从设备”；发送数据的设备称为“发送端”，接收数据的设备称为“接收端”。

在 SL85163T 系统中，CPU 或其他控制设备为主设备，SL85163T 芯片本身为从设备；主从设备均可作为发送端或接收端。

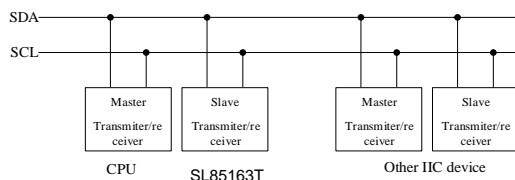


图 12-3 IIC 系统配置

## 12.6 应答信号

IIC 总线对于起始条件和终止条件之间传输的字节数没有限制。每个字节数据传输完成后，发送端需释放 SDA 总线并提供 1 个 SCL 时钟来接收应答信号。若接收端成功接收 8bit 数据，须在传输最后 1bit 数据的时钟结束之后置 SDA 为“0”，发送端将此低电平作为数据传送成功的应答信号；1 个时钟周期之后，接收端释放 SDA 总线，准备接收新的数据。

IIC 总线在满足以下条件时终止数据传输：

- (1) 主设备作为发送端时，在接收到从设备的应答信号后，发送终止条件。
- (2) 主设备作为接收端时，在成功接收 8bit 数据后，发送“1”作为应答信号并随即发送终止条件。

## 12.7 IIC 总线控制

本小节针对 CPU 作为主设备，SL85163T 作为从设备的情况，对 IIC 总线通信时序进行描述。

### 12.7.1 指定地址写操作

SL85163T 具有地址自动递增功能，设定好操作地址后，只需要连续发送数据即可，地址位可以自动递增。

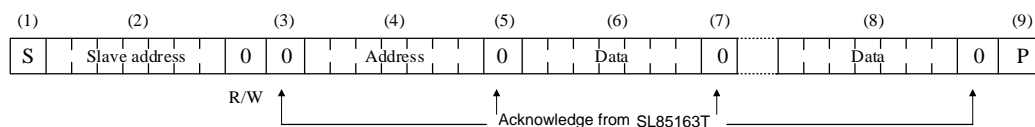


图 12-4 指定地址写操作

- (1) CPU 发送起始条件[S]
- (2) CPU 发送SL85163T从地址并通过 R/W 位设定为写模式
- (3) SL85163T产生应答信号
- (4) CPU 发送写寄存器地址到SL85163T
- (5) SL85163T产生应答信号
- (6) CPU 发送数据至(4)中所指定地址对应的寄存器
- (7) SL85163T产生应答信号
- (8) 重复(6) (7)过程，SL85163T中写寄存器的地址会自动递增
- (9) CPU 发送终止条件[P]

## 12.7.2 指定地址读操作

写入寄存器后，CPU 可以通过设置读模式读取寄存器数据。

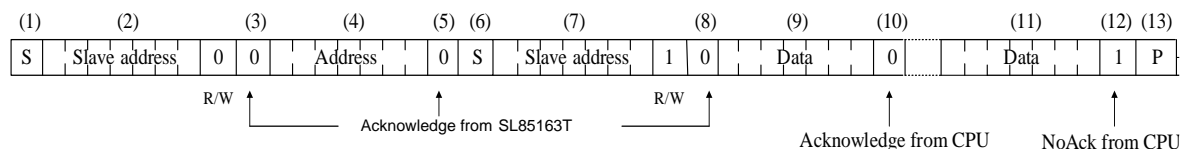


图 12-5 指定地址读操作

- (1) CPU 发送起始条件[S]
- (2) CPU 发送 SL85163T 从地址并通过 R/W 位设定为写模式
- (3) SL85163T 产生应答信号
- (4) CPU 发送读寄存器地址到 SL85163T
- (5) SL85163T 产生应答信号
- (6) CPU 重新发送起始条件
- (7) CPU 发送 SL85163T 从地址并通过 R/W 位设定为读模式
- (8) SL85163T 产生应答信号；之后，CPU 作为接收端，SL85163T 作为发送端
- (9) SL85163T 发送(4)中所指定地址对应的寄存器中的数据
- (10) CPU 发送应答信号至 SL85163T
- (11) 重复(9) (10)过程，SL85163T 中读寄存器的地址会自动递增
- (12) CPU 未发送应答信号至 SL85163T；SL85163T 切换为 IIC 数据接收端
- (13) CPU 发送终止条件[P]

## 12.7.3 未指定地址读操作

主设备直接进入读模式可以读取从设备中所有寄存器的内容。读操作地址为最后一次 IIC 操作地址+1。

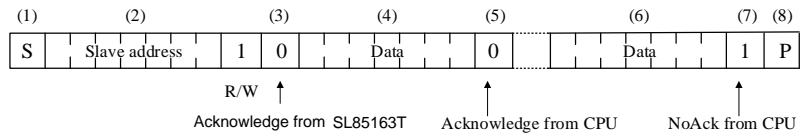


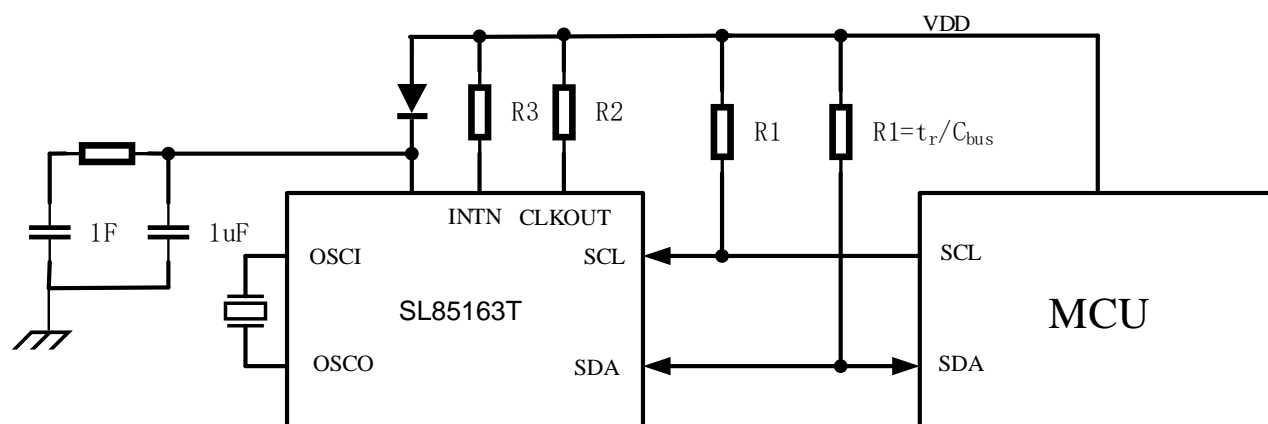
图 12-6 未指定地址读操作

- (1) CPU 发送起始条件[S]
- (2) CPU 发送 SL85163T 从地址并通过 R/W 位设定为读模式
- (3) SL85163T 产生应答信号；之后，CPU 作为接收端，SL85163T 作为发送端
- (4) SL85163T 自动递增寄存器地址，发送寄存器数据
- (5) CPU 发送应答信号至 SL85163T
- (6) 重复(4)(5)过程，SL85163T 中读寄存器的地址会自动递增
- (7) CPU 未发送应答信号至 SL85163T；SL85163T 切换为 IIC 数据接收端
- (8) CPU 发送终止条件[P]



## 附录

### 应用示例

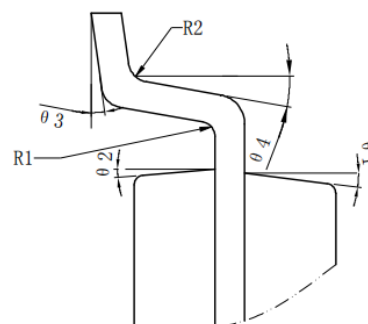
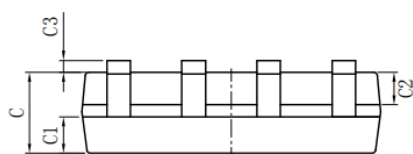
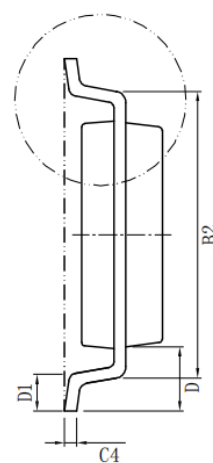
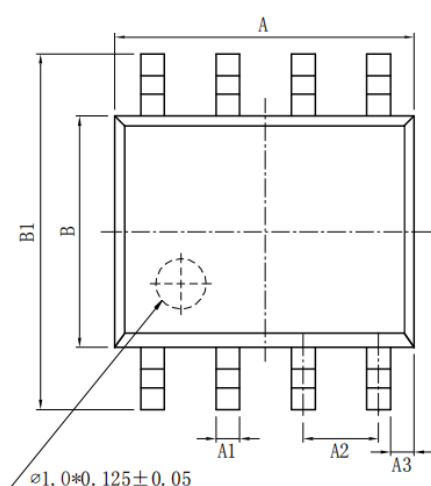


- IIC 上拉电阻大小需依据实际通信速率决定。依据经验数据，R1 为 10KΩ 时，可以保证 100KHz 的 IIC 通信速率；R1 为 4.7KΩ 时，可以保证 400KHz 的 IIC 通信速率
- CLKOUT 为 N-Ch 开漏结构，测量频率输出时需要外接上拉电阻 R2
- 为避免不必要的电源波动对芯片性能产生影响，应在芯片电源管脚端（PIN8）添加至少 1uF 的去耦电容；去耦电容大小因用户应用环境差异而不同，需保证芯片电源波动在安全范围内。
- R3 取值不宜过大，避免上拉过弱导致的 INT 输出高电平毛刺引起时序错误，推荐上拉电阻值为 10KΩ 左右

## 封装尺寸

**SOP8: 8pin 塑封, 本体 3.9mm 宽**

标注	尺寸	最小 (mm)	最大 (mm)	标注	尺寸	最小 (mm)	最大 (mm)
A		4.80	5.00	C3		0.05	0.20
A1		0.356	0.456	C4		0.203	0.233
A2		1.27TYP		D		1.05TYP	
A3		0.345TYP		D1		0.40	0.80
B		3.80	4.00	R1		0.20TYP	
B1		5.80	6.20	R2		0.20TYP	
B2		5.00TYP		θ 1		17° TYP4	
C		1.30	1.60	θ 2		13° TYP4	
C1		0.55	0.65	θ 3		0° ~ 8°	
C2		0.55	0.65	θ 4		4° ~ 12°	



SOP8 封装尺寸