

20V, 300mA低噪声, 低静态电流线性稳压器

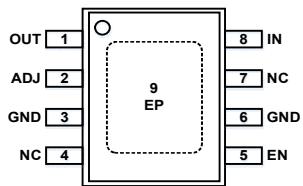
特性

- 低噪声: $10 \mu\text{V}_{\text{rms}}$ ($I_{\text{OUT}} = 300 \text{ mA}$)
- 电源抑制比(PSRR):
 - 100 dB(10 Hz)
 - 91 dB(10 kHz)
 - 62 dB(100 kHz)
- 输入电压范围: 2.7 V至20 V
- 输出电压范围: 1.2 V至 $V_{\text{IN}} - V_{\text{DO}}$
- 固定输出电压版本: 3.3V和5V
- 输出电流: 300 mA
- 初始精度: $< \pm 1\%$
- 低压差:
 - 67 mV($I_{\text{OUT}} = 50 \text{ mA}$)
 - 203 mV($I_{\text{OUT}} = 150 \text{ mA}$)
 - 450 mV($I_{\text{OUT}} = 300 \text{ mA}$)
- 内部软启动
- 低静态电流: $I_{\text{GND}} = 40 \mu\text{A}$ (典型值, 无负载)
- 低关断电流: 1.2 μA
- 精密使能
- 反接电池保护功能

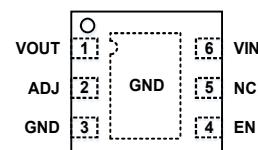
应用范围

- 适用于对噪声很敏感的应用, ADC和DAC, 精密放大器等
- 通信和基础设施
- 医疗和保健
- 工业与仪器仪表

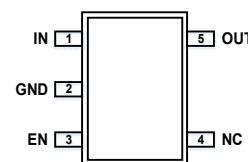
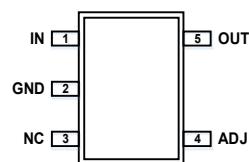
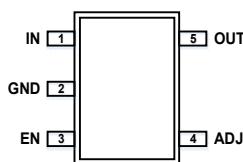
管脚定义



SOIC8 封装
(4.9mm×6mm×1.4mm)



DFN6 封装
(2mm×2mm×0.73mm)


SOT23-5

(2.92mm×2.8mm×1.1mm)

SOT23-5

(2.92mm×2.8mm×1.1mm)

SOT23-5

(2.92mm×2.8mm×1.1mm)

表 SOIC-8 、DFN-6、SOT23-5封装引脚定义

管脚序号					管脚名称	管脚定义
SOIC-8	DFN-6	SOT23-5 ^①	SOT23-5 ^②	SOT23-5 ^③		
1	1	5	5	5	OUT	稳压器输出电压端口。使用2.2uF或更大电容旁路VOUT至GND。
2	2	4	4	-	ADJ	检测输入，连接到负载端。还可使用外部电阻分压器将输出电压设为高于固定输出电压。
3, 6	3	2	2	2	GND	地。
4, 7	5	-	3	4	NC	空引脚。
5	4	3	-	3	EN	使能引脚。EN接高启动稳压器。EN接低关断稳压器。EN接到VIN可实现自动启动。
8	6	1	1	1	IN	稳压器输入电源。使用2.2 uF或更大电容旁路VIN至GND。
有	有	无	无	无	EP	封装底部裸露焊盘。可增强散热性能。它与封装内部GND之间存在电气连接。建议将裸露焊盘连接到板上的接地层。

注：SOT23-5提供三种不同打线封装。

电气特性

表5.1 ADP7118 电气特性

除非另有说明， $V_{IN} = (V_{OUT} + 1V)$ or 2.7V, $V_{OUT} = 5 V$, $I_{OUT} = 10 mA$, $C_{IN} = C_{OUT} = 2.2 \mu F$, $T_A = 25^\circ C$ 。

参数	符号	测试条件	最小值	典型值	最大值	单位
输入电压范围	V_{IN}		2.7		20	V
工作电源电流	I_{GND}	$I_{OUT} = 0 \mu A$ $I_{OUT} = 10 mA$ $I_{OUT} = 300 mA$		40 140 1		μA μA mA
关断电流	I_{GND-SD}	$EN = GND$		1.2		μA
输出电压精度	V_{OUT}				± 1	%
电压调整率	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 1V)$ 至20V		0.002		%/V
负载调整率 ¹	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100 \mu A$ 至300mA		0.002		%/mA
压差 ²	$V_{DROPOUT}$	$I_{OUT} = 50 mA$ $I_{OUT} = 150 mA$ $I_{OUT} = 300 mA$		67 203 450		mV mV mV
启动时间 ³	$t_{START-UP}$			380		us

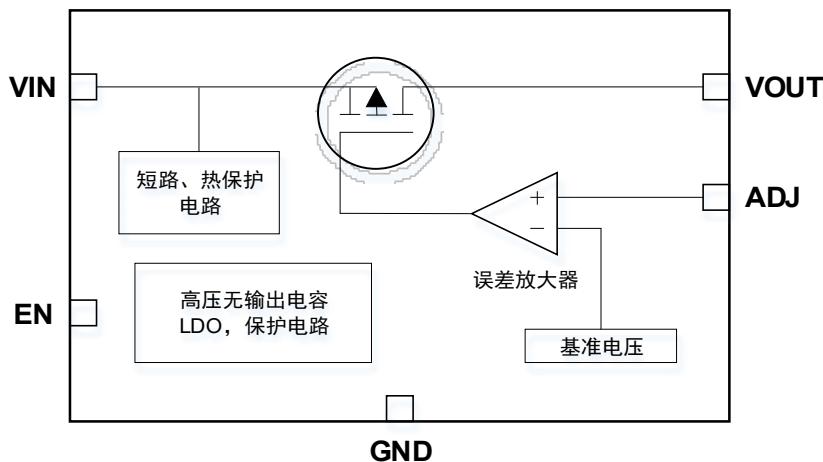
限流阈值 ⁴	I _{LIMIT}			480		mA
热关断 阈值 迟滞	T _{S_{SD}} T _{S_{SD-HYS}}	T _J 上升		150 15		°C °C
欠压阈值 输入上升 输入下降 迟滞	UVLO _{RISE} UVLO _{FALL} UVLO _{HYS}			2.5 2.2 300		V V mV
精密EN输入 高电平 低电平 逻辑迟滞 延迟时间	EN _{HIGH} EN _{LOW} EN _{HYS} t _{EN-DLY}	2.7V ≤ V _{IN} ≤ 20V EN从0V上升到V _{IN} 为0.1×V _{OUT}		1.2 1.1 100 80		V V mV us
输出噪声	OUT _{NOISE}	10Hz至100kHz		10		uVrms
电源抑制比	PSRR	1MHz, V _{IN} = 7V, V _{OUT} = 5V 100kHz, V _{IN} = 7V, V _{OUT} = 5V 10kHz, V _{IN} = 7V, V _{OUT} = 5V 10Hz, V _{IN} = 7V, V _{OUT} = 5V		58 62 91 105		dB dB dB dB

备注:

- 1)基于使用100 uA和300 mA负载的端点计算。
- 2)压差定义为将输入电压设置为标称输出电压时的输入至输出电压差。压差仅适用于2.7 V以上的输出电压。
- 3)启动时间定义为EN的上升沿到OUT达到其标称值90%的时间。
- 4)限流阈值定义为输出电压降至额定典型值90%时的电流。例如, 5.0 V输出电压的电流限值定义为引起输出电压降至5.0 V的90%或即4.5 V的电流。
- 5)在所有工作条件下, 输入和输出电容至少须大于1.5 uF。选择器件时必须考虑应用的所有工作条件, 确保达到最小电容要求。配合任何LDO使用时, 建议使用X7R型和X5R型电容, 而不建议使用Y5V和Z5U电容。

工作原理

ADP7118 是一款低静态电流、线性稳压器, 采用2.7 V至20 V电源供电, 最大输出电流为300 mA。满负载时静态电流典型值低至1 mA, ADP7118 非常适合便携式设备使用。室温时, 关断模式下的功耗电流典型值低至1.2 uA。



ADP7118 功能框图

ADP7118 内置一个基准电压源、一个误差放大器和一个PMOS调整管。输出电流经由PMOS调整管提供，其受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压低于基准电压，PMOS器件的栅极将被拉低，以便通过更多电流，提高输出电压。如果反馈电压高于基准电压，PMOS器件的栅极将被拉高，以便通过较少电流，降低输出电压。

输出电压调节原理

ADP7118 的架构允许通过外部电阻分压器实现输出电压调节(最高输出电压由器件特性所限值)，如上图所示，R1和R2是输出电阻分压器中的电阻，电压调节原理由公式

$$V_{OUT} = V_e \times (1 + R1/R2)$$

可调输出电压器件应用

ADP7118 选型列表中有ADJ版本，其ADJ调整基准电压为1.2V，实际应用中如果想要设置更高输出电压，选用适当的分压电阻即可，以实现6 V输出电压为例，根据公式6.1， V_e 为1.2V：

若R1为200K，则R2可选50K。

计算如下： $V_{OUT} = 1.2 \times (1 + 200K/50K) = 6V$

固定输出电压器件应用

ADP7118 选型列表中有固定输出电压版本器件，参考选型列表。对固定输出电压的器件应用，如果不需要对输出电压进行调节，则按照上图 的方式进行连接即可。

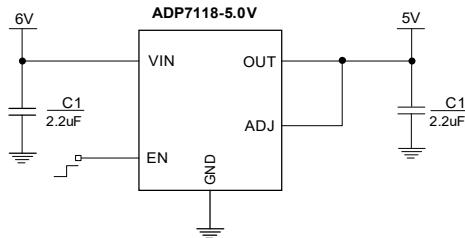
如果实际应用中需将固定输出电压版本，进行输出电压调节，则直接引用以上公式 如下给出计算案例：

以固定输出5V为例，若想要得到6V输出电压，按照以上公式 V_e 为5V。R1可选用40K，R2则选用200K。

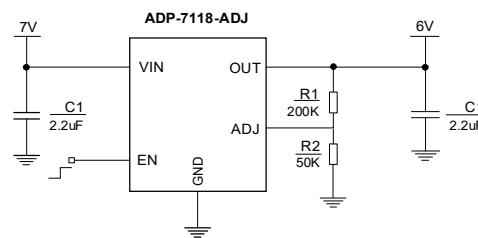
$$V_{OUT} = V_e \times (1 + R1/R2)$$

$$= 5V \times (1 + 40K/200K)$$

$$= 6V$$



ADP7118 输出电压固定的典型应用



ADP7118 输出电压可调的典型应用

关于R1和R2的器件选型给出建议：推荐R2的值小于200 kΩ，以便将ADJ引脚输入电流引起的输出电压误差降至最低。例如，当R1和R2都是200 kΩ且默认输出电压为1.2 V时，可调节输出电压为2.4 V。假设25°C时ADJ引脚的典型输入电流为2 nA，则ADJ引脚输入电流引起的输出电压误差为0.2 mV或0.016%。

在正常工作条件下，ADP7118 利用EN引脚使能和关闭输出电压。EN为高电平时，VOUT开启；EN为低电平时，VOUT关闭。若要实现自动启动，可将EN与VIN相连。

应用信息

电容选择

1)输出电容

ADP7118 设计采用节省空间的小型陶瓷电容，不过只要注意等效串联电阻(ESR)值要求，也可以采用通用的电容。输出电容的ESR会影响LDO控制回路的稳定性。为了确保ADP7118 稳定工作，推荐使用至少2.2 uF、ESR小于0.3 Ω、ESL小于2 nH或更小的电容。输出电容还会影响负载电流变化的瞬态响应，采用较大的输出电容值可以改善ADP7118 对大负载电流变化的瞬态响应。

2)输入旁路电容

在VIN至GND之间连接一个2.2 uF电容可以降低电路对PCB布局布线的敏感性，特别是遇到长输入走线或高信号源阻抗时。如果要求输出电容大于2.2 uF，可选用更高的输入电容。

输入和输出电容特性

只要符合最小电容和最大ESR要求，ADP7118 可以采用任何质量优良的陶瓷电容。陶瓷电容可采用各种各样的电介质制造，温度和所施加的电压不同，其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为6.3 V至100 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和电流偏置特性不佳，建议不要使用。

限流和热过载保护

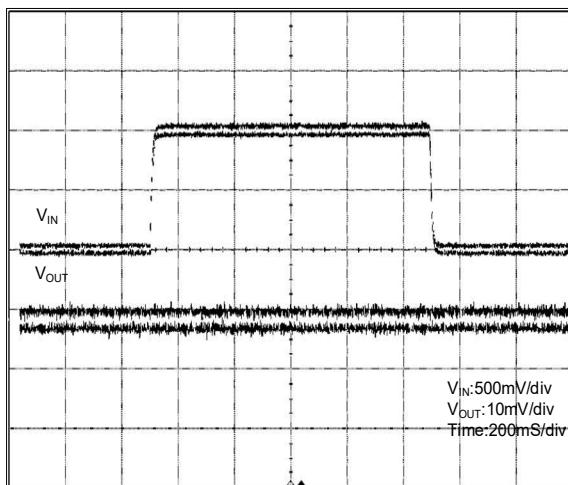
ADP7118 内置限流和热过载保护电路，可防止功耗过大导致受损。当输出负载达到480 mA(典型值)时，限流电路就会起作用。当输出负载超过480 mA时，输出电压会被降低，以保持恒定的电流限制。热过载保护电路将结温限制在150°C(典型值)以下。在极端条件下(即高环境温度和/或高功耗)，当结温开始升至150°C以上时，输出就会关闭，从而将输出电流降至0。当结温降至135°C以下时，输出又会开启，输出电流恢复为工作值。考

虑V_{OUT}至地发生负载短路的情况。首先，ADP7118的限流功能起作用，因此，仅有480 mA电流传导至短路电
路。如果结的自发热量足够大，使其温度升至150°C以上，热关断功能就会激活，输出关闭，输出电流降至0。
当结温冷却下来，降至135°C以下时，输出开启，将480 mA电流传导至短路路径中，再次导致结温升至150°C
以上。结温在135°C至150°C范围内的热振荡导致电流在480 mA和0 mA之间振荡；只要输出端存在短路，振荡
就会持续下去。限流和热过载保护可保护器件免受偶然过载条件影响。为保证器件稳定工作，必须从外部限制
器件的功耗，使结温不会超过150°C。

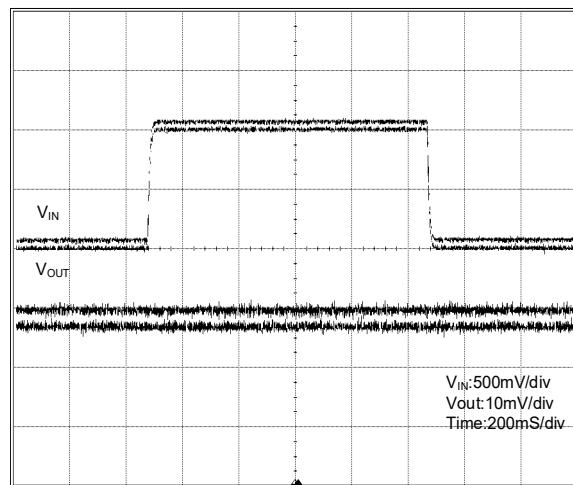
典型特性曲线

测试条件：除非另有说明，V_{IN} = (V_{OUT} + 1V) or 2.7V(取较大者)，V_{EN} = V_{IN}，I_{OUT} = 10mA，C_{IN} = C_{OUT} = 2.2uF，
T_A = +25°C。

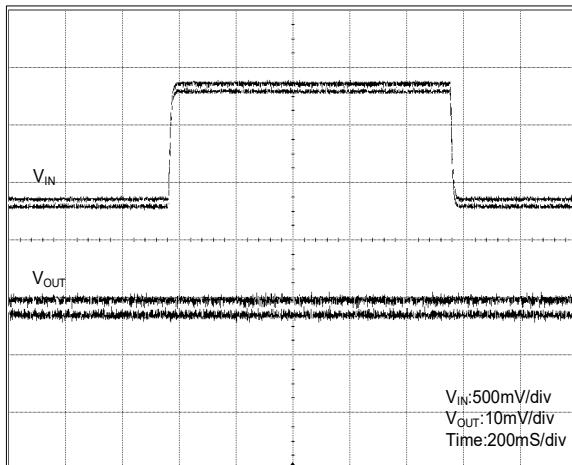
■ 线路瞬态响应



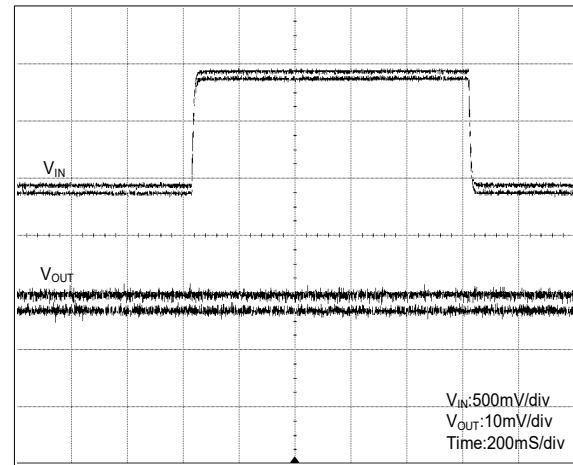
V_{IN}=3.7V to 4.7V, V_{OUT}=1.2V, I_{OUT}=300mA



V_{IN}=4V to 5V, V_{OUT}=3V, I_{OUT}=300mA

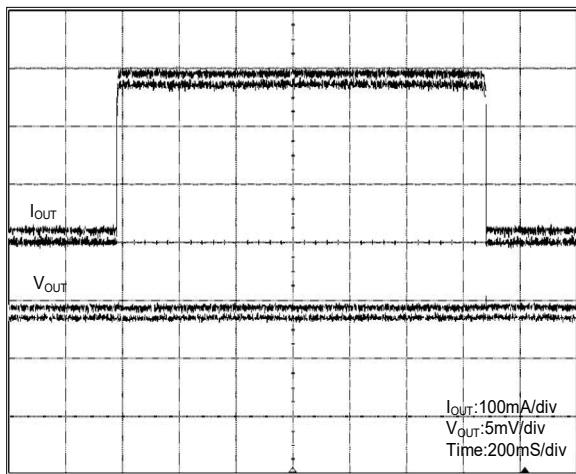


V_{IN}=6V to 7V, V_{OUT}=5V, I_{OUT}=300mA

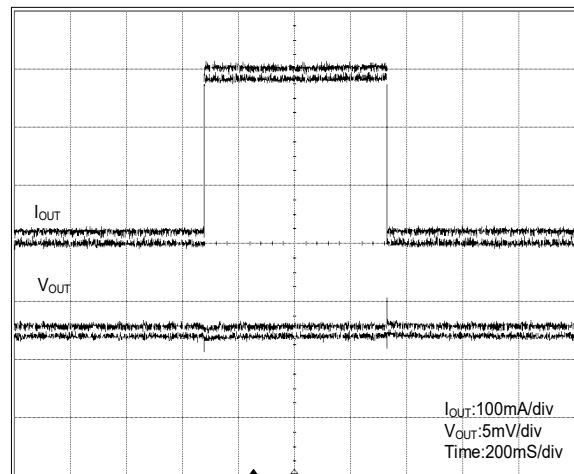


V_{IN}=13V to 14V, V_{OUT}=12V, I_{OUT}=300mA

■ 负载瞬态响应

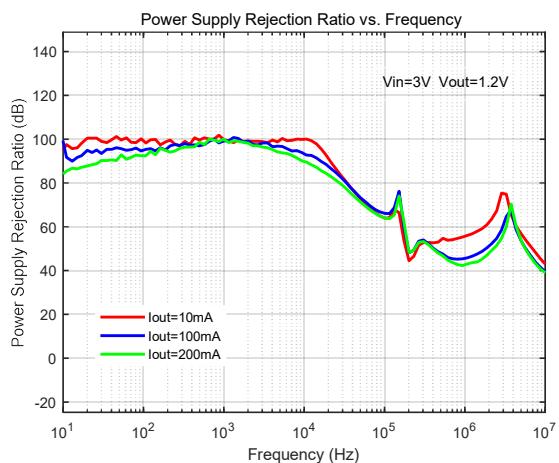
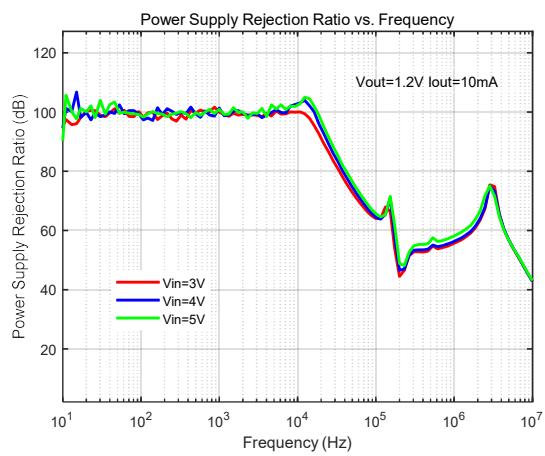


$V_{OUT}=1.2V$, $I_{OUT}=10mA$ to $300mA$

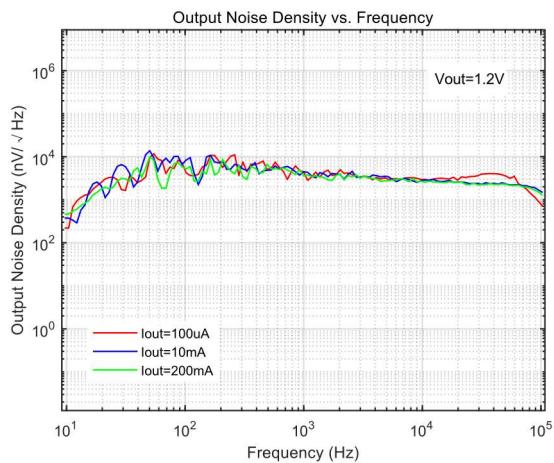


$V_{OUT}=3V$, $I_{OUT}=10mA$ to $300mA$

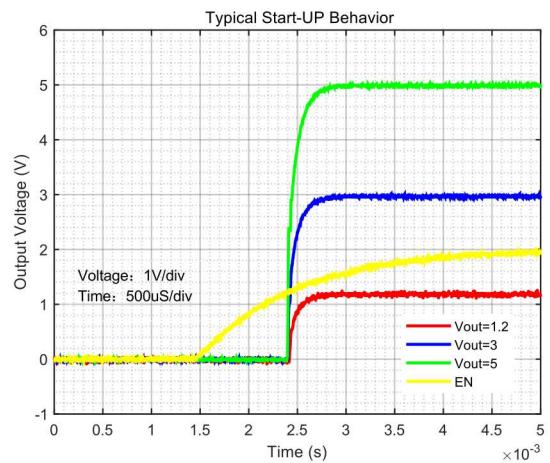
■ 电源抑制比



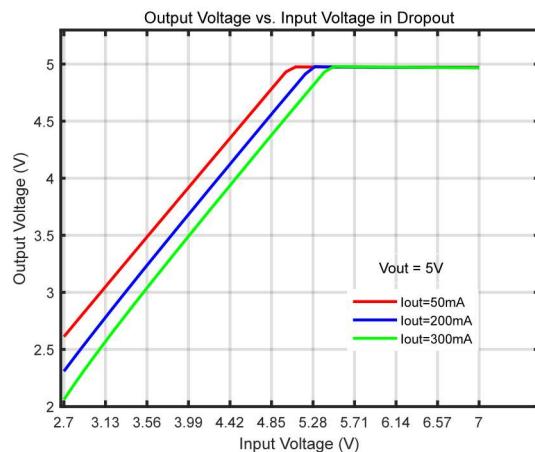
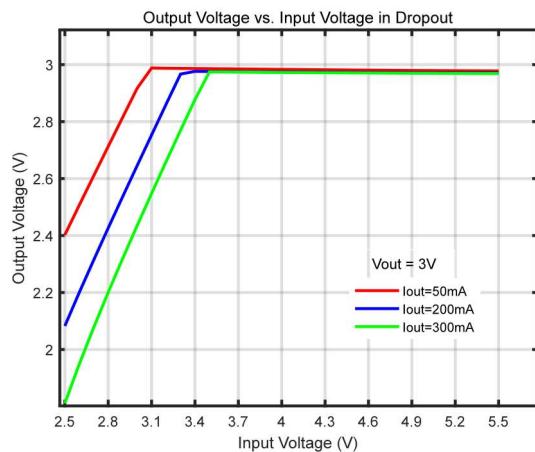
■ 输出噪声谱密度



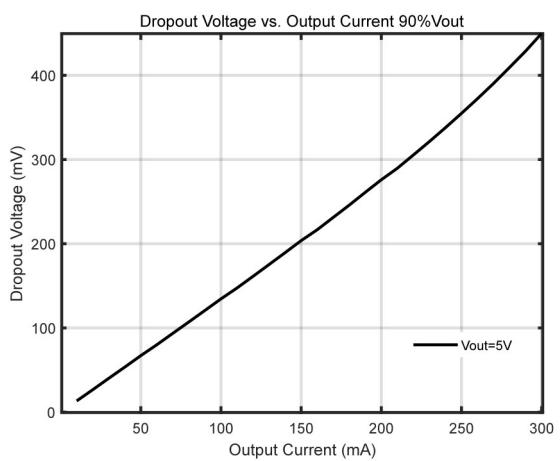
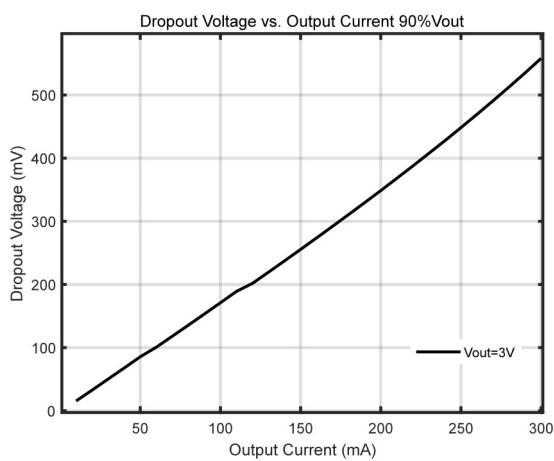
■ 启动时间



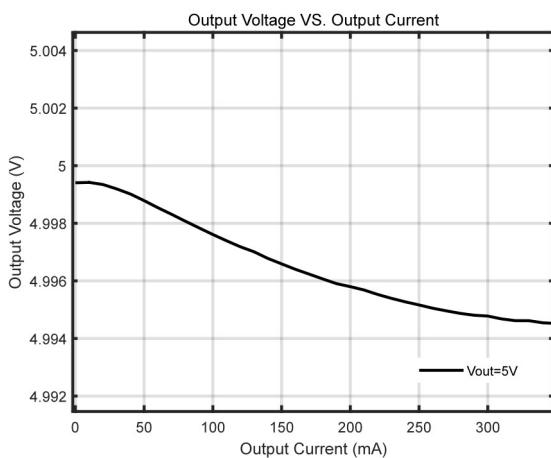
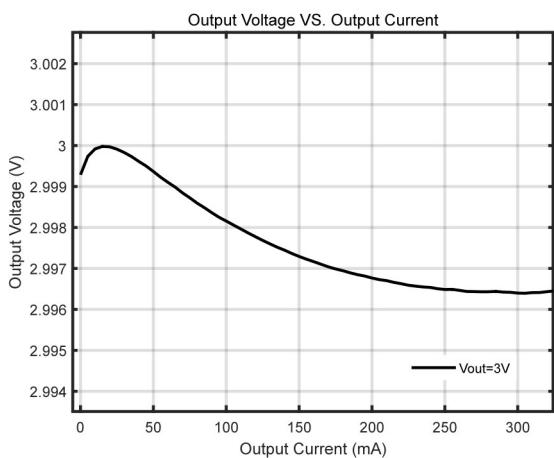
■ 启动电压

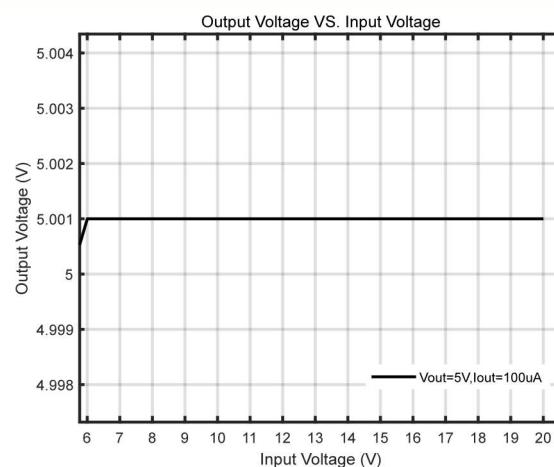
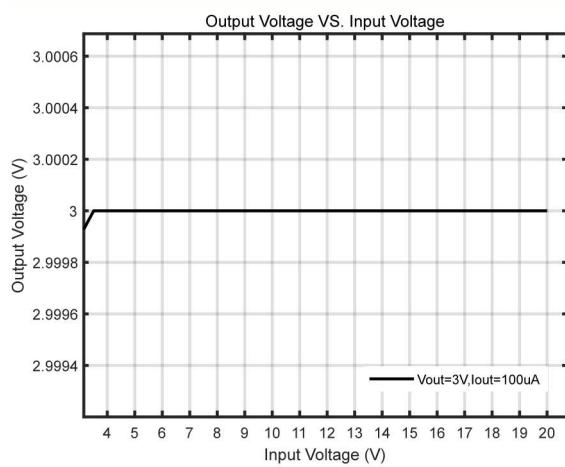


■ 压差与负载

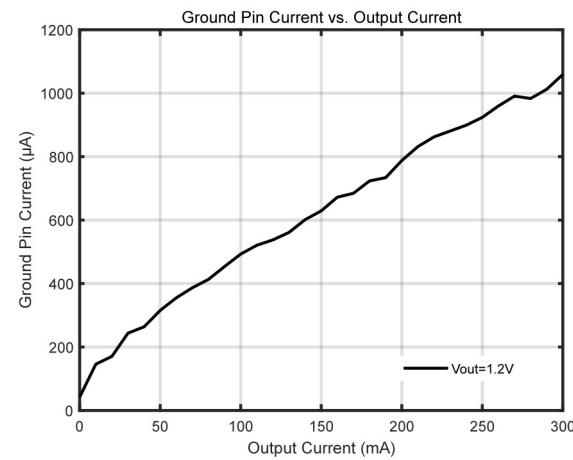
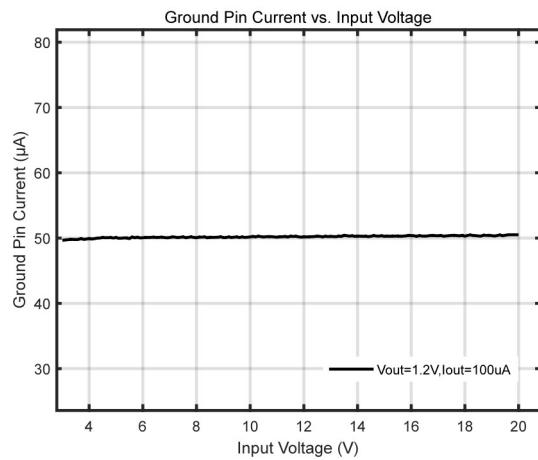


■ 输出电压范围

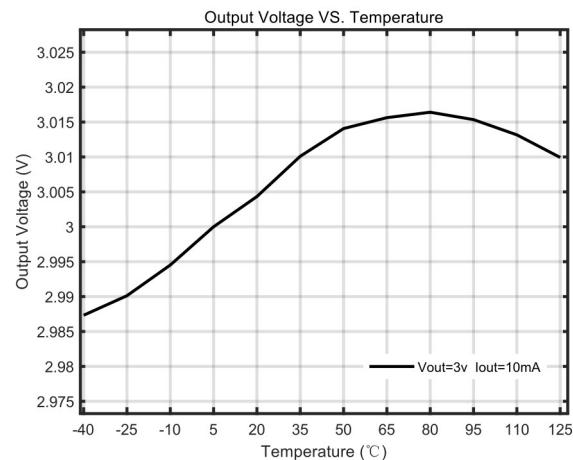
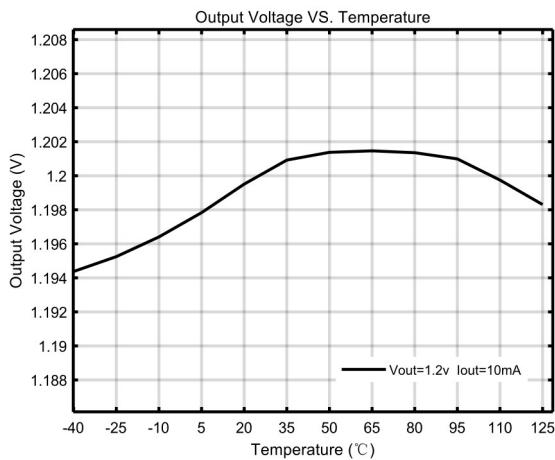




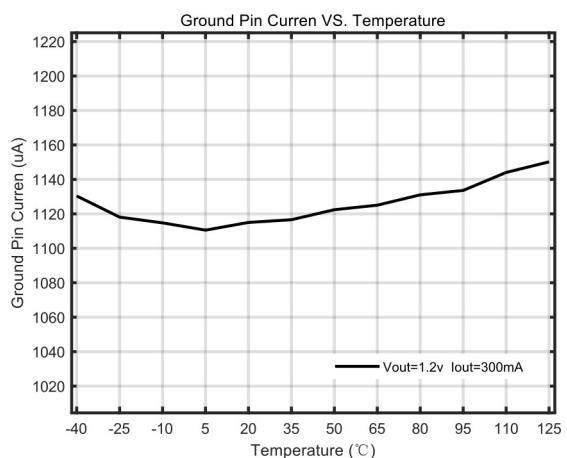
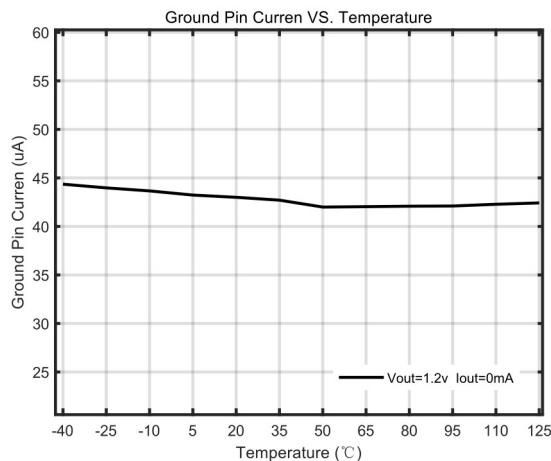
■ 工作电源电流与输入电压、负载



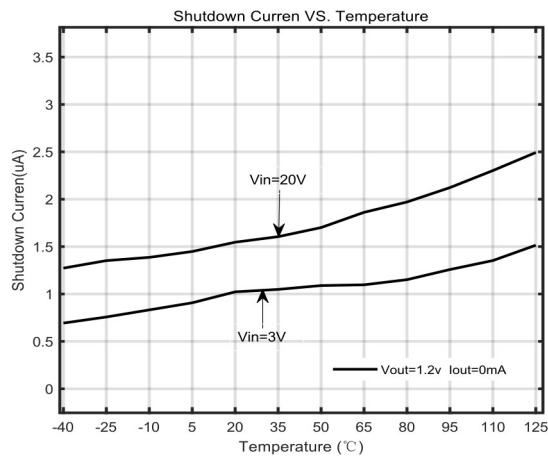
■ 输出电压漂移



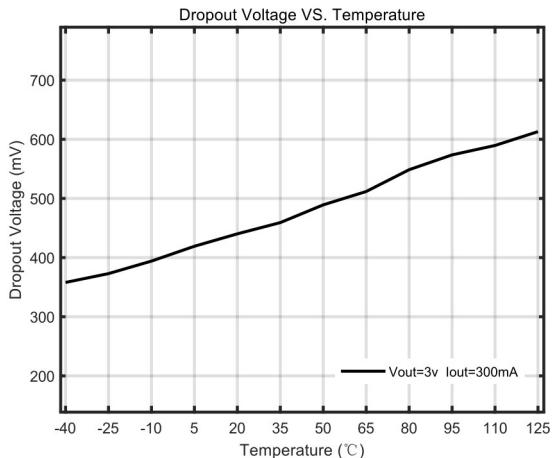
■ 工作电源电流与温度



■ 关断电流与温度



■ 压差与温度



极限参数

参数	额定值
V_{IN} 至GND	-20V至+20V
V_{OUT} 至GND	-0.3V至 V_{IN}
EN至GND	-0.3V至 V_{IN}
ADJ至GND	-0.3V至+5.5V
存储温度范围	-65°C至+150°C
结温(T_J)	150°C
工作环境温度(T_A)范围	-40°C至+125°C
焊接条件	JEDEC J-STD-020

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热特性

器件热阻

封装类型	θ_{JA}	θ_{JC}
	°C/W	°C/W
SOIC8	113.9	54.7
DFN6	100.0	77.0
SOT23-5	182.0	70.0

PCB的叠层结构, 铜皮厚度, 器件热焊盘及器件附近过孔数量及过孔孔径对热特性有一定影响, 在应用中应基于实际应用做评估。

如上表给出的8-Lead SOIC热阻系数是基于PCB尺寸为115×76cm(长×宽), 板厚1.6mm, 4层板, 且L1~L4的铜皮比例分别为20%, 100%, 100%, 5%, 各层的覆铜厚度为1盎司。

结温计算实例

器件的结温的估计值 T_J , 由公式10.2给出:

$$T_J = T_A + (R_{\theta JA} \times P_D)$$

T_A = 封装的环境温度

$R_{\theta JA}$ = 结至环境的热阻

P_D = 器件散热功耗(W)

假设芯片 $V_{IN}=5V$, $V_{OUT}=3V$, $I_{OUT}=200mA$, $I_{GND}=10mA$, 环境温度为25摄氏度, 计算在此条件下的器件 T_J :

$$\begin{aligned} P_D &= (V_{IN}-V_{OUT}) \times I_{OUT} + I_{GND} \times V_{IN} \\ &= (5-3) \times 0.2 + 0.01 \times 5 \\ &= 0.45W \end{aligned}$$

根据表10.1, 若取 $R_{\theta JA}$ 为113°C/W, 则器件的温升为

$$\begin{aligned} P_D \times R_{\theta JA} &= 0.45W \times 113°C/W \\ &= 50.85°C \end{aligned}$$

则, $T_J = 25°C + 50.85°C = 75.85°C$ 。

订货信息

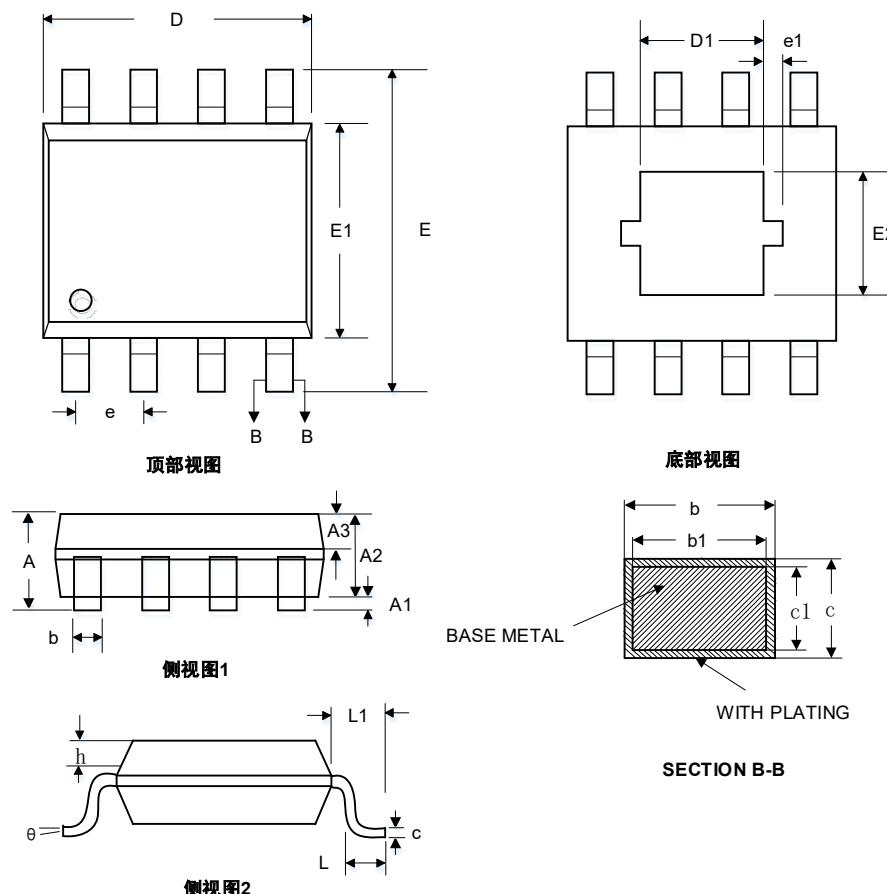
ADP7118 订购指南

商业编码	封装	订货号	最小包装	工作温度范围
ADP7118- ADJ	SOIC8	ADP7118ARDZ-R7	4000pcs	-40~125°C
ADP7118-3.3V	SOIC8	ADP7118ARDZ-3.3	4000pcs	-40~125°C
ADP7118-5V	SOIC8	ADP7118ARDZ-5	4000pcs	-40~125°C
ADP7118-ADJ	DFN6	ADP7118ARD	3000pcs	-40~125°C
ADP7118-3.3V	DFN6	ADP7118ARD-3.3	3000pcs	-40~125°C
ADP7118-5V	DFN6	ADP7118ARD-5	3000pcs	-40~125°C
ADP7118ADJ	SOT23-5	ADP7118AUJZ-R7	3000pcs	-40~125 °C
ADP7118-3.3	SOT23-5	ADP7118AUJZ-3.3	3000pcs	-40~125 °C
ADP7118-5	SOT23-5	ADP7118AUJZ-5	3000pcs	-40~125 °C
ADP7118-ADJ	SOT23-5	ADP7118AUJZ-R	3000pcs	-40~125 °C
ADP7118-3.3V	SOT23-5	ADP7118AUJZ-3.3	3000pcs	-40~125 °C
ADP7118-5V	SOT23-5	ADP7118AUJZ-5	3000pcs	-40~125 °C
ADP7118-3.3V	SOT23-5	ADP7118AUJ-3.3	3000pcs	-40~125 °C
ADP7118-5V	SOT23-5	ADP7118AUJ-5	3000pcs	-40~125 °C

注：SOT23-5有三种打线封装，其订货号不同，具体差异请查阅管脚定义说明。

器件封装

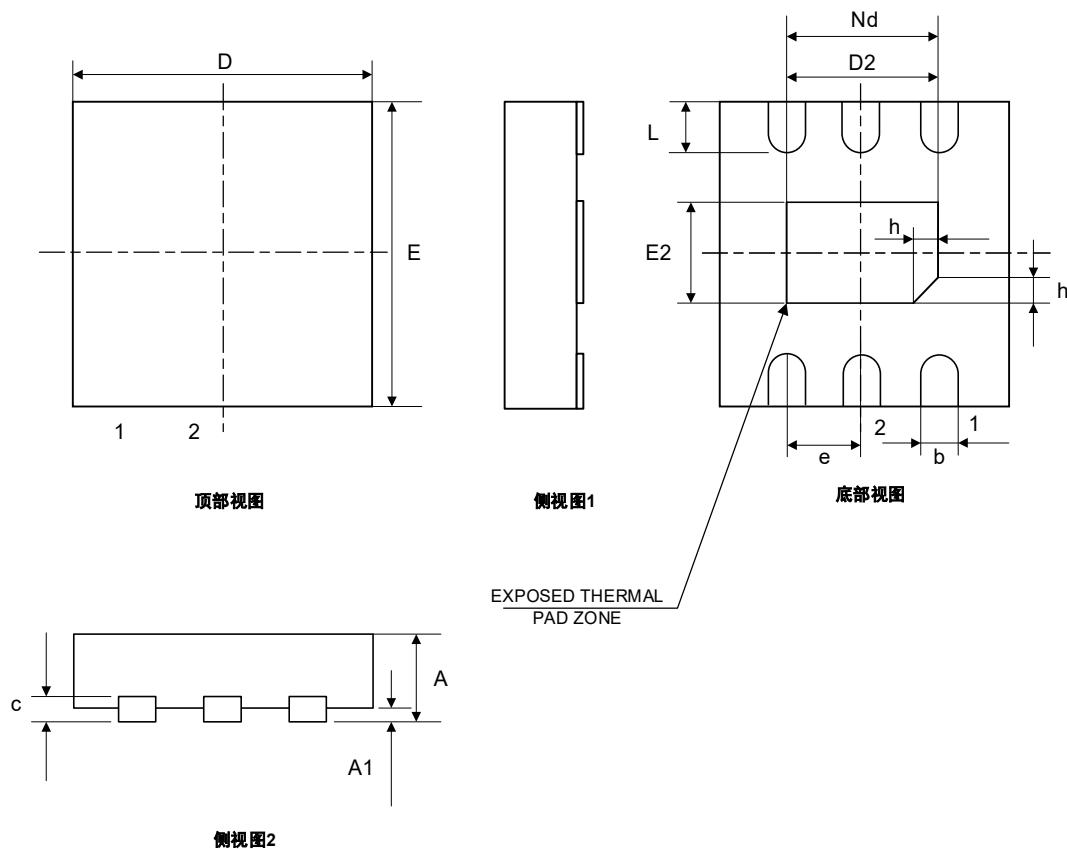
ADP7118 SOIC8 封装尺寸



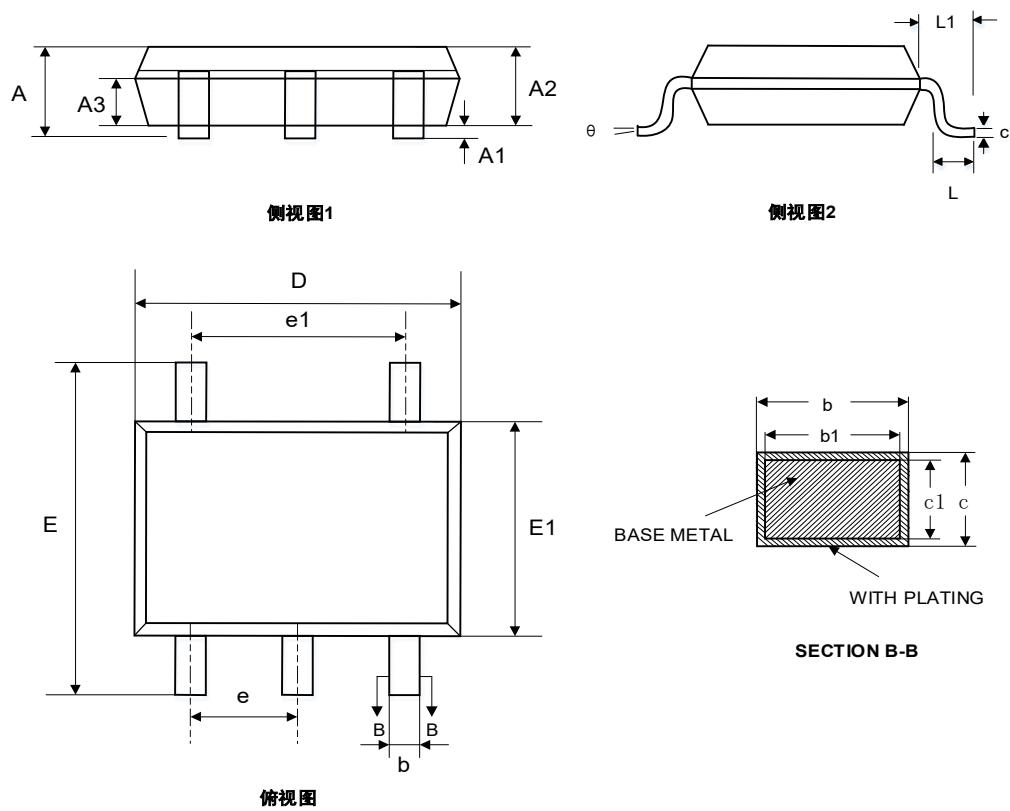
ADP7118 SOIC8 封装尺寸

ADP7118 SOIC8 封装尺寸参数(单位: mm)

尺寸标注	最小	标准	最大	尺寸标注	最小	标准	最大
A	--	--	1.65	D	4.80	4.90	5.00
A1	0.05	--	0.15	D1		3.10REF	
A2	1.30	1.40	1.50	E	5.80	6.00	6.20
A3	0.60	0.65	0.70	E1	3.80	3.90	4.00
b	0.39	--	0.47	E2		2.21REF	
b1	0.38	0.41	0.44	e		1.27BSC	
c	0.20	--	0.24	e1		0.10REF	
c1	0.19	0.20	0.21	h	0.25	--	0.50
θ	0°	--	8°	L	0.50	0.60	0.80
				L1		1.05REF	

ADP7118 DFN6(2mm × 2mm)封装尺寸

ADP7118 DFN6 (2mm×2mm)封装尺寸
ADP7118 DFN6 (2mm×2mm)封装尺寸参数(单位: mm)

尺寸标注	最小	标准	最大	尺寸标注	最小	标准	最大
A	0.70	0.75	0.80	e		0.65BSC	
A1	--	0.02	0.05	Nd		1.30BSC	
b	0.25	0.30	0.35	E	1.95	2.00	2.05
c	0.18	0.20	0.25	E2	0.50	0.68	0.85
D	1.95	2.00	2.05	L	0.25	0.30	0.40
D2	1.00	1.23	1.45	h	0.10	0.15	0.20

ADP7118 SOT23-5 封装尺寸

ADP7118 SOT23-5 封装尺寸
ADP7118 SOT23-5 封装尺寸参数(单位: mm)

尺寸标注	最小	标准	最大	尺寸标注	最小	标准	最大
A	--	--	1.25	D	2.82	2.92	3.02
A1	0.04	--	0.10	E	2.60	2.80	3.00
A2	1.00	1.10	1.20	E1	1.50	1.60	1.70
A3	0.60	0.65	0.70	e	0.95BSC		
b	0.33	--	0.41	e1	1.90BSC		
c	0.15	--	0.19	L	0.30	--	0.60
c1	0.14	0.15	0.16	θ	0°	--	8°