

HPM6800 系列高性能微控制器数据手册 Rev1.0

- 32 位 RISC-V 处理器
 - 支持 RV32-IMAFDCP 指令集
 - DSP 单元，支持 SIMD 和 DSP 指令
 - L1 指令缓存和数据缓存各 32KB
 - 指令本地存储器 ILM 和数据本地存储器 DLM 各 256KB
- 内置存储器
 - 共 1 MB 片上 SRAM，包括通用内存和 CPU 的本地存储器
 - 4096 位 OTP
 - 192 KB BOOT ROM
- 电源和时钟
 - 多个片上电源，包括 DCDC 和 LDO
 - 低功耗模式，运行模式、等待模式、停止模式、休眠模式和关机模式
 - 24MHz 和 32768Hz 晶体振荡器
 - 5 个 PLL，支持小数分频、展频
- 外部存储器接口
 - 16bit DDR2-800
 - 16bit DDR3/DDR3L-1333
 - 1 个串行总线控制器 XPI，支持各类外部串行 Flash 和 PSRAM
 - 2 个 SD/eMMC 控制器，支持 SD/SDHC/SDXC，支持 eMMC 5.1
- 图形系统
 - 2.5D OpenVG 1.1 GPU
 - 2 个 4 Lane MIPI-DSI/LVDS-Tx 显示接口
 - 2 个 DVP 摄像头接口
 - 2 个 2 Lane MIPI-CSI/LVDS-Rx 摄像头接口
 - 2D 图形加速单元
 - JPEG 编解码器
- 音频系统
 - 4 个 I2S 接口
 - PDM 数字麦克风接口
 - 数字音频输出
 - 语音检测模块
 - 混音器
- 定时器
 - 5 组 32 位通用定时器
 - 3 个看门狗
 - 实时时钟
- 通讯接口
 - 9 个 UART、4 个 SPI、4 个 I2C
 - 1 个 USB 2.0 OTG，集成 HS-PHY
 - 1 个千兆以太网控制器
 - 8 个 CAN 控制器，支持 CAN-FD
- 高性能模拟外设
 - 1 个 ADC，16 位/2MSPS，可配置为 12 位/4MSPS，共支持 15 通道模拟输入
- 输入输出
 - 186 个 GPIO
 - IO 支持 3.3V 和 1.8V
- 信息安全
 - AES-128/256 加解密引擎，支持 ECB，CBC 模式
 - SM2，SM3，SM4
 - SHA-1/256 哈希模块
 - 真随机数发生器
 - NOR Flash 实时解密

产品型号：

HPM6880IBD1、HPM68D2IVM1、
HPM68D3IBD1、HPM68D4IBD1

HPM6850IBD1

HPM6830IBD1



目录

1 产品概述	4
1.1 系统框图	4
1.2 特性总结	6
1.2.1 内核与系统	6
1.2.2 内部存储器	7
1.2.3 电源管理	8
1.2.4 时钟	8
1.2.5 复位	8
1.2.6 启动	9
1.2.7 外部存储器	9
1.2.8 图形系统	9
1.2.9 音频外设	10
1.2.10 定时器	11
1.2.11 通讯外设	11
1.2.12 模拟外设	11
1.2.13 输入输出	11
1.2.14 信息安全系统	12
1.2.15 系统调试	13
2 引脚及功能描述	14
2.1 BGA417 引脚分布	14
2.2 BGA289 引脚分布	15
2.3 引脚配置及功能 PINMUX	16
2.4 内置 DDR 引脚说明	61
2.5 特殊功能引脚	63
2.6 IO 复位状态	63
2.7 IO 特殊说明	64
3 电源	65
3.1 电源框图	65
3.2 上下电时序	65
4 电气特性	66
4.1 工作条件	66
4.1.1 最大值和最小值	66
4.1.2 正常工作条件	67
4.2 内置闪存特性	67
4.3 内置 DDR 特性	68
4.3.1 内置 DDR3 特性	68
4.3.2 内置 DDR2 特性	69
4.4 DCDC 电气特性	70
4.5 VPMC 欠压检测	70
4.6 复位引脚 RESET_N	70

4.7	振荡器	71
4.7.1	24MHz 振荡器特性	71
4.7.2	32KHz RC 振荡器时钟特性	71
4.7.3	24MHz RC 振荡器时钟特性	71
4.7.4	PLL 特性	71
4.8	外设时钟特性	72
4.9	工作模式	74
4.10	供电电流特性	74
4.11	I/O 特性	76
4.11.1	I/O DC 特性	76
4.11.2	I/O AC 特性	76
4.12	JTAG 接口	78
4.13	XPI 存储器接口	79
4.13.1	DC 特性	79
4.13.2	AC 特性	79
4.14	DDR 控制器特性	83
4.14.1	DC 特性	83
4.14.2	AC 特性	85
4.15	MIPI DSI/LVDS TX 电气特性	87
4.16	MIPI CSI/LVDS RX 电气特性	88
4.17	显示接口	89
4.18	摄像头 (CAM) 接口	89
4.19	音频接口	91
4.19.1	I2S 接口	91
4.19.2	PDM 接口	93
4.20	模拟接口	94
4.20.1	16 位模数转换 ADC 特性	94
4.21	通信接口	95
4.21.1	以太网接口	95
4.22	SDIO 接口	96
4.23	SPI 接口	98
4.23.1	SPI 主模式时序图	98
4.23.2	SPI 从模式时序图	99
4.24	I2C 接口	101
5	封装	102
5.1	BGA417 封装尺寸	102
5.2	BGA289 封装尺寸	103
5.3	封装热阻系数	103
6	订购信息	104
6.1	产品命名规则	104
6.2	订购信息	104

7	版本信息	107
8	免责声明	108

表格目录

1	外设简称总结	6
2	SOC IOMUX	58
3	PMIC IOMUX	59
4	BATT IOMUX	60
5	内置 DDR 占用引脚	62
6	启动配置表	63
7	特殊功能引脚配置	63
8	IO 复位状态表	64
9	最大值和最小值	66
10	正常工作条件	67
11	内置闪存特性	68
12	内置 DDR3L 电气参数	69
13	内置 LVDDR2 电气参数	70
14	DCDC 电气特性	70
15	VPMC 欠压检测特性	70
16	RESET_N 低电平复位特性	70
17	24MHz 晶振	71
18	32KHz RC 振荡器	71
19	24MHz RC 振荡器	71
20	PLL 特性参数	71
21	外设时钟特性	73
22	工作模式配置表	74
23	运行模式的 DCDC 典型电流, DDR 内部供电	75
24	运行模式的 DCDC 典型电流, DDR 外部供电	75
25	IDD(DCDC IN) 低功耗模式典型电流	75
26	IDD(VPMC) 典型电流	76
27	IDD(VBAT) 典型电流	76
28	IO 工作条件	76
29	I/O AC 特性	77
30	JTAG 时序参数	78
31	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X0)	79
32	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X1)	79
33	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 1)	80
34	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 2)	80
35	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X0)	81
36	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X1)	81
37	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3)	82
38	XPI SDR 模式的输出信号时序	82
39	XPI DDR 模式的输出信号时序	83
40	Recommended Operating Conditions	83

HPM6800 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev1.0

41	DDR3 Mode DC 特性	83
42	DDR3L Mode DC 特性	84
43	DDR2 Mode DC 特性	84
44	DDR3 Mode AC 特性	85
45	DDR3L Mode AC 特性	85
46	DDR2 Mode AC 特性	86
47	DSI 电气特性	87
48	LVDS TX 电气特性	87
49	CSI 电气特性	88
50	LVDS RX 电气特性	88
51	LCDC 时序图	89
52	CAM 时序图	90
53	I2S 接口 CLK Master 时 3.3V 供电的时序	91
54	I2S 接口 CLK Master 时 1.8V 供电的时序	92
55	I2S 接口 CLK Slave 时 3.3V 供电的时序	92
56	I2S 接口 CLK Slave 时 1.8V 供电的时序	93
57	PDM 参数	93
58	16 位 ADC 参数	94
59	RMII 参数	95
60	RGMII 参数	96
61	SDIO CLK 参数	96
62	输出 CMD, DAT (参考 CLK) 参数	97
63	输入 CMD, DAT (参考 CLK) 参数	97
64	SPI 主模式参数 (注: $t_{periph} = 1000 / f_{periph}$)	99
65	SPI 从模式参数 (注: $t_{periph} = 1000 / f_{periph}$)	100
66	I2C 工作模式及参数	101
67	各封装热阻系数表	103
68	订购信息	106
69	版本信息	107

图片目录

1	系统架构框图	4
2	BGA417 引脚分布	14
3	BGA289 引脚分布	15
4	系统供电框图	65
5	上电时序要求	66
6	IDD DCDC 内外部 DDR 供电示意图	74
7	I/O AC 特性	77
8	JTAG 时序图	78
9	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X0,0X1)	79
10	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 1)	80
11	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 2)	80
12	XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X0,0X1)	81
13	XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3)	81
14	XPI SDR 模式的输出信号	82
15	XPI DDR 模式的输出信号	82
16	LCDC 显示接口时序图	89
17	CAM 数据下降沿发出, 上升沿采样时序图	90
18	CAM 数据上升沿发出, 下降沿采样时序图	90
19	I2S 输出时钟时 (TXD 数据在 BCLK 上升沿发出, RXD 在 BCLK 下降沿采样)	91
20	I2S 输入时钟时 (TXD 数据在 BCLK 上升沿发出, RXD 在 BCLK 下降沿采样)	92
21	PDM 时序图	93
22	RMII 接口时序	95
23	RGMII 发送信号时序图	95
24	RGMII 接收信号时序图	96
25	SDIO 数据输入输出时序图	96
26	SPI 主模式时序 (CPHA=0)	98
27	SPI 主模式时序 (CPHA=1)	98
28	SPI 从模式时序 (CPHA=0)	99
29	SPI 从模式时序 (CPHA=1)	99
30	BGA417 封装尺寸图	102
31	BGA289 封装尺寸图	103
32	产品命名规则	104

1 产品概述

1.1 系统框图

本产品的系统框图如图 1。

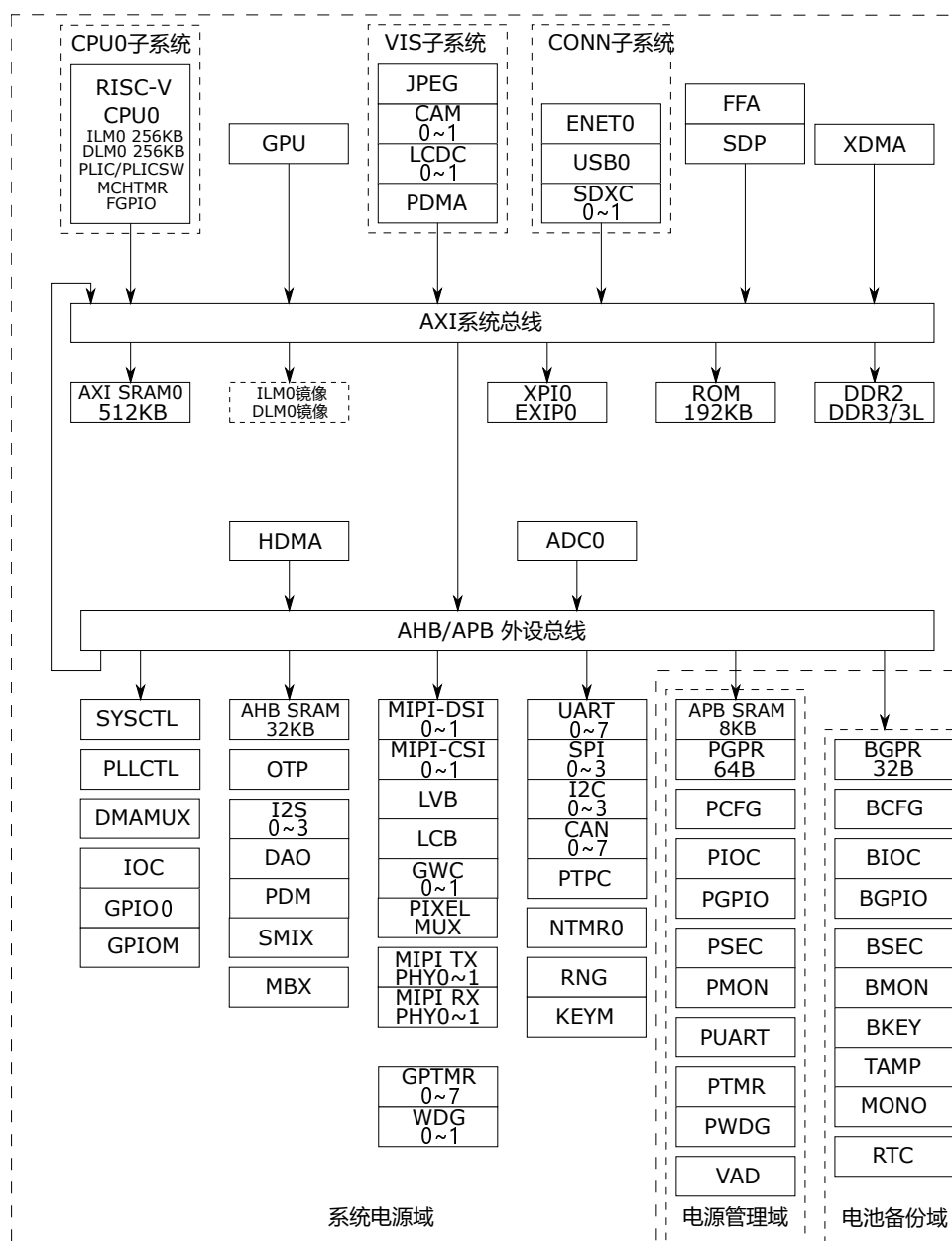


图 1: 系统架构框图

表 1总结了图 1中所有外设简称的释义。

简称	描述
CPU0 子系统	包含 RISC-V CPU0 及其本地存储器和私有外设的子系统
CONN 子系统	包含高速通讯外设的子系统
VIS 子系统	包含显示, 图像外设的子系统

简称	描述
HART	硬件线程（Hardware Thread），RISC-V 规范定义一个可以包含完整 RISC-V 体系架构，并可以独立执行指令的单元为 HART。本手册中，HART 等同与 RISC-V 内核。
ILM	指令本地存储器（Instruction Local Memory）
DLM	数据本地存储器（Data Local Memory）
FGPIO	快速 GPIO 控制器（Fast General Purpose Input Output）
ENET	以太网控制器（Ethernet）
USB	通用串行总线（Universal Serial Bus）
SDXC	SD/eMMC 控制器（Secure Digital Memory Card / Multi-Media Card）
JPEG	JPEG 编解码器
CAM	摄像接口（Camera Controller）
LCDC	显示接口（LCD Controller）
PDMA	2D 图形加速单元（Pixel DMA）
GPU	图像处理单元（Graphic Process Unit）
GWC	内容检查（Graphic Window Check）
LVB	LVDS 显示图像接口
LCB	LVDS 摄像图像接口
PIXEL MUX	图像数据互联控制
HDMA	AHB 外设总线 DMA 控制器（AHB DMA）
AXI SRAM	AXI 总线 SRAM
AHB SRAM	AHB 总线 SRAM
APB SRAM	APB 总线 SRAM
XPI	串行总线控制器
DDR	双倍数据速率存储器控制器（DDR2/DDR3/3L SDRAM Controller）
EXIP	在线解密模块（Encrypted Execution-In-Place）
ADC	模数转换器（Analog-to-Digital Convertor）
DAC	数模转换器（Digital-to-Analog Convertor）
SYSCTL	系统控制模块（System Control）
PLLCTL	锁相环控制器（PLL Controller）
ACMP	模拟比较器（Analog Comparator）
MBX	信箱（Mailbox）
DMAMUX	DMA 请求路由器
FFA	快速傅里叶变换和滤波器加速模块（FFT and Filter Accelerator）
IOC	IO 控制器（Input Output Controller）
PIOC	电源管理域 IO 控制器
BIOC	电池备份域 IO 控制器
GPIO	通用输入输出控制器（General Purpose Input Output）
PGPIO	电源管理域 GPIO 控制器
BGPIO	电池备份域 GPIO 控制器
GPIOM	GPIO 管理器（GPIO Manager）

简称	描述
OTP	一次性可编程存储 (One Time Program)
I2S	集成电路内置音频总线 (Inter IC Sound)
DAO	数字音频输出 (Digital Audio Output)
PDM	PDM 数字麦克风 (Pulse Density Modulation)
GPTMR	通用定时器 (General Purpose Timer)
PTMR	电源管理域内的通用定时器
WDG	看门狗 (Watchdog)
PWDG	电源管理域内的看门狗
UART	通用异步收发器 (Universal Asynchronous Receiver and Transmitter)
PUART	电源管理域内的通用异步收发器
SPI	串行外设接口 (Serial Peripheral Interface)
I2C	集成电路总线 (Inter-Integrated Circuit)
CAN	控制器局域网 (Control Area Network)
PTPC	精确时间协议模块 (Precise Time Protocol)
RNG	随机数发生器 (Random Number Generator)
KEYM	密钥管理器 (Key Manager)
PGPR	电源管理域的通用寄存器
BGPR	电池备份域的通用寄存器
PCFG	电源管理域配置模块
BCFG	电池备份域配置模块
SEC	安全管理器
BSEC	电池备份域安全管理器
MON	安全监视器
BMON	电池备份域监视器
VAD	语音唤醒模块 (Voice Active Detector)
BKEY	电池备份域密钥模块
TAMP	侵入检测模块
MONO	单调计数器 (Monolithic Counter)
RTC	实时时钟 (Real Time Clock)
系统电源域	本手册中, 系统电源域专指由 VDD_SOC 供电的逻辑和存储电路
电源管理域	本手册中, 电源管理域专指由 VPMC 供电的逻辑和存储电路
电池备份域	本手册中, 电池备份域专指由 VBAT 供电的逻辑和存储电路

表 1: 外设简称总结

1.2 特性总结

本章节介绍本产品的主要特性。

1.2.1 内核与系统

32 位 RISC-V 处理器, 处理器特性如下:

- RV32-IMAFDCP 指令集
 - 整数指令集
 - 乘法指令集
 - 原子指令集
 - 单精度浮点数指令集
 - 双精度浮点数指令集
 - 压缩指令集
 - DSP 单元，支持 SIMD 和 DSP 指令，兼容 RV32-P 扩展指令集
- 性能可达 5.6 CoreMark / MHz
- 特权模式支持 Machine 模式，Supervisor 模式和 User 模式
- 支持 16 个物理内存保护（Physical Memory Protection PMP）区域
- 支持 32KB L1 指令缓存和 32KB L1 数据缓存
- 支持 256 KB 指令本地存储器 ILM 和 256 KB 数据本地存储器 DLM

处理器配备 1 个平台中断控制器 PLIC，用于管理 RISC-V 的外部中断

- 支持多个中断源
- 支持 8 级可编程中断优先级
- 中断嵌套扩展和中断向量扩展

处理器内核配备 1 个软件中断控制器 PLICSW，管理 RISC-V 的软件中断

- 生成 RISC-V 软件中断

处理器内核配备 1 个机器定时器 MCHTMR，管理 RISC-V 的定时器中断

- 生成 RISC-V 定时器中断

DMA 控制器：

- XDMA，支持 32 个通道，用于在存储器之间进行高带宽的数据搬移，也可以用于外设寄存器与存储器，或者外设寄存器之间的数据搬移。
- HDMA，支持 32 个通道，用于在外设寄存器和存储器之间进行低延迟的数据搬移，也可以用于存储器之间的数据搬移
- 支持 DMA 请求路由分配到任意 DMA 控制器

包括 1 个邮箱 MBX，支持处理器不同进程间的通信：

- 支持独立的信息收发接口
- 支持生成中断

1 个快速傅里叶变换和数字滤波器加速模块（FFA）：

- 支持 512 点 FFT 加速
- 支持 FIR 加速
- 内置 DMA，直接读取数据并返回运算结果

1.2.2 内部存储器

内部存储器包括：

- 1064 KB 的片上 SRAM
 - ILM0，RISC-V CPU0 的指令本地存储器，256KB

- DLM0, RISC-V CPU0 的数据本地存储器, 256KB
- AXI SRAM0, 512KB, 高速片上 SRAM
- AHB SRAM, 32KB, 适用于 HDMA 的低延时访问
- APB SRAM, 8KB, 位于电源管理域, 可以在系统电源域掉电时保存数据
- 通用寄存器
 - 电源管理域通用寄存器 PGPR, 容量 64 字节, 可以在系统电源域掉电时保存数据
 - 电池备份域通用寄存器 BGPR, 容量 32 字节, 可以在系统电源域, 电源管理域掉电时保存数据
- 内部只读存储器 ROM, 容量 192KB, ROM 存放本产品的启动代码, 闪存加载 (Flashloader) 和部分外设驱动程序
- 一次性可编程存储器 OTP, 4096 位, 可用于存放芯片的部分出厂信息, 用户密钥和安全配置, 启动配置等数据

1.2.3 电源管理

本产品集成了完整的电源管理系统:

- 多个片上电源
 - DCDC 电压转换器, 提供 0.9~1.3V 输出, 为系统电源域的电路供电, 可调节 DCDC 输出, 以支持动态电压频率调整 DVFS
 - DCDCM 电压转换器, 为外部 DDR SDRAM 的 IO 供电
 - LDOPMC, 典型值 1.1V 输出的线性稳压器, 为电源管理域的电路供电
 - LDO2V5, 典型值 2.5V 输出的线性稳压器, 可为 OTP 供电, 仅可在烧写 OTP 时打开。也可可为 DDR 控制器的 PHY 供电, 仅可在使用 DDR 时打开。
- 运行模式和低功耗模式: 等待模式、停止模式、休眠模式和关机模式
- 芯片集成上电复位电路
- 芯片集成低压检测电路

1.2.4 时钟

本产品时钟管理系统支持多个时钟源和时钟低功耗管理:

- 外部时钟源:
 - 24MHz 片上振荡器, OSC24M, 支持 24MHz 晶体, 也支持通过引脚从外部输入 24MHz 有源时钟, 24MHz 外部高速振荡器是片上各个 PLL 的默认时钟源
 - 32.768KHz 片上振荡器, OSC32K, 支持 32.768KHz 晶体, 用作电池备份域外设如实时时钟 (RTC) 等的时钟源
- 内部时钟源:
 - 内部 RC 振荡器, RC24M, 频率 24MHz, 允许配置内部 RC 振荡器作为 PLL 的候补时钟源
 - 内部 32KHz RC 振荡器, RC32K, 作为 RTC 等设备的候补时钟源
- 5 个锁相环 PLL, 支持小数分频, 支持展频
- 支持低功耗管理, 支持自动时钟门控

1.2.5 复位

全局复位, 可以复位整个芯片, 包括电池备份域, 电源管理域和系统电源域, 复位源有:

- RESETN 引脚复位 (RESETN)

电源复位，也称为电源管理域复位，可以复位电源管理域和系统电源域，即除了电池备份域以外的所有逻辑，复位源有：

- VPMC 引脚的上电复位（VPMC POR）

系统电源域复位可以复位系统电源域，复位源有：

- VPMC 引脚的低压复位（VPMC BOR）
- 调试复位（DEBUG RST）
- 看门狗复位（WDOGx RST）
- 软件复位（SW RST）

1.2.6 启动

BootROM 为该芯片上电后执行的第一段程序，它支持如下功能：

- 从串行 NOR FLASH 启动
- eMMC 启动
- UART/USB 启动
- 在系统编程 (ISP)
- 安全启动
- 低功耗唤醒
- 多种 ROM API

1.2.7 外部存储器

外部存储器接口包括：

- 1 个 DDR 控制器：
 - 支持 DDR2-800
 - 支持 DDR3/3L-1333
- 1 个串行总线控制器 XPI，可以连接片外的各种 SPI 串行存储设备，也可以连接支持串行总线的器件，每个 XPI：
 - 支持 1/2/4/8 位数据模式，支持 2 个 CS 片选信号
 - 支持 SDR 和 DDR，最高支持 166MHz
 - 支持 Quad-SPI 和 Octal-SPI 的串行 NOR Flash
 - 支持串行 NAND Flash
 - 支持 HyperBus，HyperRAM 和 HyperFlash
 - 支持 Quad/Oct SPI PSRAM
- 2 个 SD 控制器 SDXC
 - 支持 SD/SDHC/SDXC，支持 4 位数据位宽，支持 DS，HS，SDR12，SDR25，SDR50，DDR50，SDR104
 - 支持 eMMC 5.1，支持 4 位/8 位接口，支持 legacy，HS SDR，HS DDR，HS200，HS400

1.2.8 图形系统

图形系统包括：

- 1 个 Open VG GPU：
 - 支持 Vivante VGLite API，可实现两个图层的处理

- 2 个显示接口 LCDc:
 - 支持 24 位 RGB 显示接口
 - 支持可配置的分辨率显示屏，刷新率可达 1920x1080 60 fps
 - 支持多种数据格式输入 ARGB8888, RGB565, YUV422/YCbCr422, Y8, 1bpp, 2bpp, 4bpp 和 8bpp
 - 支持多达 8 图层 Alpha Blending
- 2 个摄像接口 CAM:
 - 支持 DVP 接口
 - 支持提取 YUV422/YCbCr422 输入的灰度信息
 - 支持 YUV422/YCbCr422 输入数据转换为 1bpp 黑白格式输出
 - 支持 RGB565, YUV422/YCbCr422 输入数据转换为 ARGB8888 格式输出
- 1 个 2D 图形加速 PDMA:
 - 支持双图层输入独立缩放，支持水平和垂直方向独立缩放
 - 支持双图层输入独立旋转，90°、180°、270° 旋转
 - 支持双图层输入独立水平或垂直翻转
 - 支持双图层 Alpha Blending, Porter-Duff 操作
 - 支持输入图像数据格式转换,支持多种格式的输入和输出:RGB565、YUV422/YCbCr422、ARGB8888
 - 支持图块填色
- 1 个 JPEG 编解码器:
 - 支持 JPEG 编码和解码
 - 支持多种格式输入和输出: RGB565、YUV422/YCbCr422、ARGB8888、Y8
- 2 个 MIPI DSI 控制器，每路支持 4 个 Data Lane，速率 1.5Gbps
- 2 个 MIPI CSI 控制器，每路支持 2 个 Data Lane，速率 1.5Gbps
- LVDS 显示接口 LVB 模块，支持 2 路 LVDS 显示，每路支持 4 个 Data Lane，速率 1.2Gbps，支持 2 路 LVDS 并联
- LVDS 摄像图接收接口 LCB 模块，支持 2 路 LVDS 图像输入，每路支持 2 个 Data Lane，速率 770Mbps，支持 2 路 LVDS 图像输入并联使用，支持 LVDS 摄像头输入和 LVDS 显示数据输入
- 2 个内容检查 GWC
- PIXELMUX

1.2.9 音频外设

音频接口包括:

- 4 个 I2S 接口，每个 I2S 支持 4 线 Tx 和 4 线 Rx，支持 I2S Philips 标准，MSB 对齐标准，LSB 对齐标准，PCM 对齐标准，支持 TDM 模式，最多 16 通道
- 1 个 PDM 数字麦克风接口，将 PDM 数据流转换为 24 位 PCM 音频数据，支持最多 8 通道数据输入
- 1 个数字音频输出 DAO，支持 2 通道输出，每个通道支持一对差分 PWM 输出引脚，直接驱动 Class D 音频放大器
- 1 个混音器 SMIX
- 1 个语音检测模块 VAD，支持语音检测，语音唤醒，可在系统电源域掉电时保持工作，PDM 数据流转换为 16 位 PCM 音频数据，支持 2 通道数据输入，支持保存 PCM 数据到 APB SRAM0

1.2.10 定时器

定时器包括：

- 9 组 32 位通用定时器，其中一组 (PTMR) 位于电源管理域，支持低功耗唤醒，每组通用定时器包括 4 个 32 位计数器
- 3 个看门狗，其中一个 (PWDG) 位于电源管理域
- 1 个实时时钟，位于电池备份域

1.2.11 通讯外设

支持丰富的通讯外设，包括：

- 9 个通用异步收发器 UART，其中 1 个 (PUART) 位于电源管理域，支持低功耗唤醒
- 4 个串行外设接口 SPI
- 4 个集成电路总线 I2C，支持标准 (100kbps)，快速 (400kbps) 和快速 + (1 Mbps)
- 8 个控制器局域网 CAN，支持 CAN_FD
 - 支持 CAN 2.0B 标准，1Mbps
 - 支持 CAN FD，8 Mbps
 - 支持时间戳
- 1 个精确时间协议模块 PTPC，PTPC 支持 2 组时间戳模块，每组包含 64 位计数器，连接到 CAN 模块，CAN 模块可以随时从端口读取时间戳信息
- 1 个 USB OTG 控制器，集成 1 个高速 USB-PHY
 - 符合 *Universal Serial Bus Specification Rev. 2.0*
- 1 个以太网控制器 ENET
 - 支持 10/100/1000 Mbps 数据传输
 - 支持 RGMII/RMII 接口
 - 支持由 IEEE 1588-2002 和 IEEE 1588-2008 标准定义的以太网帧时间戳
 - MDIO 主接口，用于配置和管理 PHY

1.2.12 模拟外设

模拟外设包括：

- 1 个 16 位模拟数字转换器 ADC
 - 16 位逐次逼近型 ADC
 - 支持 16 个输入通道
 - 2M 采样率，4M 采样率（转换精度设置为 12 位）

1.2.13 输入输出

- 提供 PA~PZ 共 8 组最多 186 个 GPIO 功能复用引脚
- IO 支持 3V 和 1.8V 两种电压模式，分组供电
- IO 支持开漏控制、内部上下拉、驱动能力调节，内置施密特触发器
- GPIO 控制器
 - 支持读取任意 IO 的输入或者控制 IO 的输出
 - 支持 IO 输入触发中断
- 快速 GPIO 控制器 FGPIO，作为处理器私有的 IO 快速访问接口

- 提供一个 GPIO 管理器，管理各 GPIO 控制器的 IO 控制权限
- 电源管理域专属 IO PYxx 拥有专属 GPIO 控制器和 IO 配置模块，支持低功耗模式下状态保持
- 电池备份域专属 IO PZxx 拥有专属 GPIO 控制器和 IO 配置模块，支持低功耗模式下状态保持

1.2.14 信息安全系统

信息安全模块包含：

- 安全数据处理器 SDP，为片上加解密算法引擎：
 - 支持 AES-128/256/SM4，支持 ECB 模式和 CBC 模式
 - 支持 SHA-1/SHA-256/SM3
- 在线解密模块 EXIP：
 - 与串行总线控制器 XPI 紧密耦合，支持外部 NOR Flash 在线解密
 - AES-128 CTR 模式，零等待周期解密
 - 支持 RFC3394 的密钥解封，通过密钥加密密钥 KEK 保护数据加密密钥 DEK
- 密钥管理器 KEYM：
 - 支持通过独立的数据通路从电池域密钥单元 BKEY 和 OTP 的密钥区载入密钥
 - 支持密钥混淆
 - 支持从真随机数发生器 RNG 载入随机密钥
 - 支持生成 Session Key
 - 支持独立的数据通路将密钥传送到安全数据处理器 SDP
- 密钥单元 BKEY：
 - 使用电池备份域的供电保存密钥
 - 受电池备份域安全管理器 BSEC 保护，在违反安全规则的事件发生时，擦除密钥
- OTP 中的密钥区，支持存放并保护：
 - SDP，EXIP 的相关密钥
 - 安全启动的相关密钥
 - 安全调试相关密钥
 - 产品生命周期配置
- 真随机数发生器 RNG：
 - 3 个独立熵源为内部模拟噪声源
- 安全管理器 SEC：
 - 监测产品生命周期
 - 配置系统安全状态，
 - 制定安全规则并监测安全规则违反的事件
 - 关联监视器 MON，监测 VPMC 供电和时钟 OSC24M
- 电池备份域安全管理器 BSEC：
 - 配置电池备份域安全状态，制定安全规则
 - 关联电池备份域监视器 BMON，监测 VBAT 供电和时钟 XTAL32K
 - 关联侵入检测模块 TAMP，监测侵入事件
 - 关联单调计数器 MONO
- 基于 BOOT ROM 的安全启动机制，支持加密启动，支持可信的执行环境

1.2.15 系统调试

系统调试模块包括：

- 支持 JTAG 接口
 - 支持 *RISC-V External Debug Support V0.13* 规范
 - 支持 IEEE1149.1
 - 访问 RISC-V 内核寄存器和 CSR，访问存储器
- 调试端口锁定功能
 - 开放模式，调试功能开放
 - 锁定模式，调试功能关闭，可以通过调试密钥解锁
 - 关闭模式，调试功能关闭

2 引脚及功能描述

2.1 BGA417 引脚分布

BGA417 分布 (顶部视图) 如图 2。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
A			VSS		PC03		PC08		VSS		PC20		PC24		VSS		PD04		PD08		VSS		PD22		PD30		VSS		
B		USB0_DP		PC01		PC05		PC10		PC18		PC22		PC26		PC28		PD06		PD10		PD20		PD24		PE01		PE00	
C	VSS		USB0_DN		PC04		PC09		VSS		PC21		PC25		VSS		PD05		PD09		VSS		PD23		PD31		PE02		VSS
D		XTAL_OUT		PC02		PC06		PC11		PC19		PC23		PC27		PC29		PD07		PD11		PD21		PD25		PE04		PE03	
E	XTAL_I_N		PC00		VSS		PC07		PC12		PC15		PC30		VIO_B0_4		PD12		PD15		PD19		PD28		VSS		PE09		PE08
F		PB04		PB05		PB22		PB24		PC13		PC17		PD00		PD02		PD14		PD17		PD26		PE06		PE11		PE10	
G	PB06		PB07		PB25		PB23		VIO_B0_2		PC16		PC31		VIO_B0_5		PD13		PD16		VIO_B06		PD29		PE05		PE13		PE12
H		PB08		PB09		PB26		PB27		PC14		VIO_B0_3		PD01		PD03		VIO_B06		PD18		PD27		PE07		PE15		PE14	
J	VSS		VSS		PB28		VIO_B0_1		USB0_VBUS		VSS		VSS		VIO_B1_1		VSS		VSS		VIO_B07		VDDR		VDDR		VSS		VSS
K		PB10		PB11		PB29		PB31		VUSB		VSS		VSS		VSS		VSS		VIO_B08		DDR_DM_1		DDR_D9		DDR_D6		DDR_D4	
L	PB12		PB13		PA29		PB30		VSS		VUSB		VPLL		VSS		VDD_2_VSCAP		VIO_B08		VSS		DDR_D1_1		DDR_D1_3		DDR_DQ_S0N		DDR_DQ_S0P
M		PB14		PB15		PA28		VIO_B0_1		VSS		VPLL		VDD_S_OC		VDD_S_OC		VDD_2V_5CAP		VSS		VDDR		DDR_D1_5		DDR_D2		VSS	
N	PA30		PA31		PB16		PB17		VSS		VPLL		VDD_S_OC		VSS		VDD_S_OC		VDD_2V_5CAP		VSS		DDR_D1_4		DDR_D1_2		DDR_D0		DDR_DM_0
P		PB00		PB01		PB18		PB19		VSS		VDD_S_OC		VDD_S_OC		VDD_S_OC		VDD_S_OC		VSS		DDR_DQ_S1N		DDR_DQ_S1P		DDR_D1		DDR_D3	
R	VSS		VSS		VIO_B0_1		VIO_B0_1		VDDA_MIP1		VSS		VSS		VSS		VSS		VSS		DDR_V_REF		VDDR		VDDR		VSS		VSS
T		PB02		PB03		PB21		PB20		VSS		VDD_S_OC		VDD_S_OC		VDD_S_OC		VDD_S_OC		VSSA		DDR_D1_0		DDR_D8		DDR_D7		DDR_D5	
U	PA12		PA13		PA26		PA27		VSS		VDD_S_OC		VDD_S_OC		VSS		VDD_S_OC		VANA		VSS		DDR_BA_2		DDR_BA_0		DDR_ODT_0		DDR_ODT_1
V		PA10		PA11		PA25		VIO_B0_0		VSS		VDD_S_OC		VDD_S_OC		VDD_S_OC		VANA		VSSA		VDDR		DDR_CS_0		DDR_CS_1		VSS	
W	PA08		PA09		PA23		PA24		VSS		VDD_S_OC		VDD_S_OC		VSS		VANA		VREFH		VSS		DDR_WE		DDR_CAS		DDR_A7		DDR_RST
Y		PA06		PA07		PA21		PA22		VDD_S_OC		VSS		VSS		VSS		VREFL		VREFH		DDR_VREF		DDR_RAS		DDR_A9		DDR_A1_3	
AA	VSS		VSS		PA20		VIO_B0_0		VDD_S_OC		VSS		VSS		VIO_B1_0		VSS		VREFL		VDDR		VDDR		VDDR		VSS		VSS
AB		PA04		PA05		PA18		PA19		PZ07		VPMC		PZ01		PF09		VIO_B09		PE28		VDDR		DDR_CK_P		DDR_A2		DDR_A5	
AC	PA02		PA03		PA16		PA17		VDD_P_MCCAP		PZ05		PZ03		VBAT		PF07		PE30		VIO_B09		DDR_A1_0		DDR_CK_N		DDR_A0		DDR_A3
AD		PA00		PA01		PA14		PA15		PZ06		VPMC		PZ00		PF08		PE31		PE27		PE25		DDR_A1_5		DDR_A1_2		VSS	
AE	DCDC_GND		DCDC_GND		DCDC_GND		DCDC_SNS		RESET_N		PZ04		PZ02		VBAT		PF06		PE29		PE26		PE24		VSS		DDR_A1		DDR_BA_1
AF		DCDC_LP		DCDC_LP		DCDC_LP		DCDC_GND		PY07		PY03		RTC_XTAL_OUT		PF05		PF01		PE21		PE19		DDR_ZQ		DDR_A1_1		DDR_A4	
AG	VSS		DCDC_I_N		DCDC_I_N		DCDCM_SNS		VSS		PY05		PY01		VSS		PF03		PE23		VSS		PE17		DDR_CKE0		DDR_A6		VSS
AH		DCDC_I_N		DCDC_I_N		DCDCM_LP		DCDC_GND		PY06		PY02		RTC_XTAL_IN		PF04		PF00		PE20		PE18		VSS		DDR_A8		DDR_A1_4	
AJ			VSS		DCDC_I_N		DCDCM_LP		VSS		PY04		PY00		VSS		PF02		PE22		VSS		PE16		DDR_CKE1		VSS		

图 2: BGA417 引脚分布

2.2 BGA289 引脚分布

BGA289 分布 (顶部视图) 如图 3。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
A	VSS	USB0_DP	PC00	PC02	PC04	PC11	PC18	PC20	PC22	PC26	PC28	PD04	PD06	PD08	PD10	PD20	VSS
B	USB0_DN	USB0_VBUS	PC01	PC03	PC05	PC10	PC19	PC21	PC23	PC27	PC29	PD05	PD07	PD09	PD11	PD22	PD21
C	XTAL_IN	XTAL_OUT	VSS	PC06	PC08	VIO_B0_3	VSS	PC24	PC25	VIO_B0_4	VSS	PD12	PD15	VIO_B0_6	VSS	PD23	PD24
D	PB12	PB13	VPLL	PC07	PC09	PC13	PC15	PC17	PC30	PD00	PD02	PD13	PD16	PD18	VIO_B0_7	PD26	PD25
E	PB10	PB11	PB15	PB30	PB31	PC12	PC14	PC16	PC31	PD01	PD03	PD14	PD17	PD19	PD29	PD28	PD27
F	PB08	PB09	PB14	PB28	PB29	VIO_B0_2	VUSB	VIO_B0_4	VIO_B0_5	VIO_B1_1	VIO_B0_6	VDDR	PE08	PE09	VIO_B0_8	PD31	PD30
G	PB06	PB07	VSS	PB26	PB27	VIO_B0_1	VSS	VSS	VSS	VSS	VSS	DDR_VREF	PE10	PE11	VSS	PE00	PE01
H	PB04	PB05	VIO_B0_1	PB24	PB25	VDDA_MIP1	VSS	VDD_USB	VDD_SOC	VDD_SOC	VSS	VDDR	PE12	PE13	PE02	PE03	PE04
J	PB02	PB03	PA29	PB22	PB23	VDDA_MIP1	VSS	VDD_SOC	VDD_SOC	VDD_SOC	VSS	VDDR	PE14	PE15	PE05	PE06	PE07
K	PB00	PB01	PA28	PB20	PB21	VDDA_MIP1	VSS	VDD_SOC	VDD_SOC	VDD_SOC	VSS	VDDR	PE24	PE25	VIO_B0_9	PE16	PE17
L	PA30	PA31	VSS	PB18	PB19	VDD_2V5CAP	VSS	VSS	VSSA	VSS	VREFL	DDR_ZQ	PE26	PE27	VSS	PE18	PE19
M	PA13	PA12	VIO_B0_1	PB16	PB17	VIO_B0_0	VPMC	VDD_P_MCCAP	VBAT	VANA	VREFH	VDDR	PE28	PE29	PE30	PE20	PE21
N	PA11	PA10	PA27	PA26	PA25	PA24	VPMC	RESET_N	PY01	PY00	PY02	PY04	PY06	PZ01	PE31	PE22	PE23
P	PA09	PA08	PA07	PA23	PA22	PA21	DCDC_SNS	DCDC_IN	DCDC_GND	DCDCM_SNS	PY07	PY05	PY03	PZ03	VIO_B1_0	PF00	PF01
R	PA06	PA05	VSS	VIO_B0_0	PA20	PA19	DCDC_LP	DCDC_IN	DCDC_GND	DCDCM_LP	VSS	VBAT	PZ06	PZ05	VSS	PF02	PF03
T	PA04	PA03	PA02	PA18	PA17	PA16	DCDC_LP	DCDC_IN	DCDC_GND	DCDCM_LP	RTC_XTAL_OUT	PZ07	PZ02	PZ00	PF05	PF06	PF04
U	VSS	PA01	PA00	PA15	PA14	VSS	DCDC_LP	DCDC_IN	DCDC_GND	DCDCM_LP	RTC_XTAL_IN	VSS	PZ04	PF07	PF08	PF09	VSS

图 3: BGA289 引脚分布

2.3 引脚配置及功能 PINMUX

HPM6800 系列的引脚配置及功能如下：

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AD2	U3	PA00	GPIO_A_00(ALT0) GPTMR1_COMP_0(ALT1) UART0_TXD(ALT2) MCAN0_TXD(ALT7) DAO_RN(ALT10)	-	B00
AD4	U2	PA01	GPIO_A_01(ALT0) GPTMR1_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) DAO_RP(ALT10)	-	B00
AC1	T3	PA02	GPIO_A_02(ALT0) GPTMR1_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) MCAN0_STBY(ALT7) DAO_LN(ALT10)	-	B00
AC3	T2	PA03	GPIO_A_03(ALT0) GPTMR1_CAPT_1(ALT1) UART0_CTS(ALT3) MCAN1_STBY(ALT7) DAO_LP(ALT10)	-	B00
AB2	T1	PA04	GPIO_A_04(ALT0) GPTMR1_CAPT_2(ALT1) UART1_CTS(ALT3) MCAN1_RXD(ALT7) JTAG_TDO(ALT24)	-	B00
AB4	R2	PA05	GPIO_A_05(ALT0) GPTMR1_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) MCAN1_TXD(ALT7) JTAG_TDI(ALT24)	-	B00
Y2	R1	PA06	GPIO_A_06(ALT0) GPTMR0_CAPT_0(ALT1) UART1_RXD(ALT2) JTAG_TCK(ALT24)	-	B00

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
Y4	P3	PA07	GPIO_A_07(ALT0) GPTMR0_COMP_0(ALT1) UART1_TXD(ALT2) JTAG_TMS(ALT24)	-	B00
W1	P2	PA08	GPIO_A_08(ALT0) GPTMR0_COMP_1(ALT1) UART2_TXD(ALT2) I2C0_SCL(ALT4) MCAN2_TXD(ALT7) PDM0_D_1(ALT10) JTAG_TRST(ALT24)	-	B00
W3	P1	PA09	GPIO_A_09(ALT0) GPTMR0_CAPT_1(ALT1) UART2_RXD(ALT2) I2C0_SDA(ALT4) MCAN2_RXD(ALT7) PDM0_D_3(ALT10)	-	B00
V2	N2	PA10	GPIO_A_10(ALT0) GPTMR0_COMP_2(ALT1) UART2_DE(ALT2) UART2_RTS(ALT3) SPI0_CS_0(ALT5) MCAN2_STBY(ALT7) PDM0_CLK(ALT10) DIS0_G_4(ALT20) CAM0_D_3(ALT22)	-	B00
V4	N1	PA11	GPIO_A_11(ALT0) GPTMR0_CAPT_2(ALT1) UART2_CTS(ALT3) SPI0_SCLK(ALT5) PDM0_CLK(ALT10) DIS0_G_3(ALT20) CAM0_D_2(ALT22)	-	B00

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
U1	M2	PA12	GPIO_A_12(ALT0) GPTMR1_CAPT_3(ALT1) UART3_CTS(ALT3) I2C1_SDA(ALT4) SPI0_MISO(ALT5) PDM0_D_0(ALT10) DIS0_G_6(ALT20) CAM0_D_4(ALT22)	-	B00
U3	M1	PA13	GPIO_A_13(ALT0) GPTMR1_COMP_3(ALT1) UART3_DE(ALT2) UART3_RTS(ALT3) I2C1_SCL(ALT4) SPI0_MOSI(ALT5) MCAN3_STBY(ALT7) PDM0_D_2(ALT10) DIS0_G_5(ALT20) CAM0_D_5(ALT22)	-	B00
AD6	U5	PA14	GPIO_A_14(ALT0) GPTMR0_CAPT_3(ALT1) UART3_RXD(ALT2) MCAN3_RXD(ALT7) I2S0_RXD_1(ALT8) DIS0_CLK(ALT20) CAM0_VSYNC(ALT22)	-	B00
AD8	U4	PA15	GPIO_A_15(ALT0) GPTMR0_COMP_3(ALT1) UART3_TXD(ALT2) MCAN3_TXD(ALT7) I2S0_RXD_3(ALT8) DIS0_R_3(ALT20) CAM0_HSYNC(ALT22)	-	B00
AC5	T6	PA16	GPIO_A_16(ALT0) GPTMR3_COMP_0(ALT1) UART4_TXD(ALT2) MCAN4_TXD(ALT7) I2S0_RXD_0(ALT8) DIS0_R_5(ALT20) CAM0_D_9(ALT22)	-	B00

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AC7	T5	PA17	GPIO_A_17(ALT0) GPTMR3_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN4_RXD(ALT7) I2S0_RXD_2(ALT8) DIS0_R_4(ALT20) CAM0_D_8(ALT22)	-	B00
AB6	T4	PA18	GPIO_A_18(ALT0) GPTMR3_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) MCAN4_STBY(ALT7) I2S0_FCLK(ALT8) DIS0_R_7(ALT20) CAM0_D_7(ALT22)	-	B00
AB8	R6	PA19	GPIO_A_19(ALT0) GPTMR3_CAPT_1(ALT1) UART4_CTS(ALT3) MCAN5_STBY(ALT7) I2S0_MCLK(ALT8) DIS0_R_6(ALT20) CAM0_D_6(ALT22)	-	B00
AA5	R5	PA20	GPIO_A_20(ALT0) GPTMR3_CAPT_2(ALT1) UART5_CTS(ALT3) MCAN5_RXD(ALT7) I2S0_BCLK(ALT8) DIS0_G_2(ALT20) CAM0_PIXCLK(ALT22)	-	B00
Y6	P6	PA21	GPIO_A_21(ALT0) GPTMR3_COMP_2(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) MCAN5_TXD(ALT7) I2S0_TXD_1(ALT8) CAM0_XCLK(ALT22)	-	B00

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
Y8	P5	PA22	GPIO_A_22(ALT0) GPTMR2_CAPT_0(ALT1) UART5_RXD(ALT2) I2S0_TXD_3(ALT8)	-	B00
W5	P4	PA23	GPIO_A_23(ALT0) GPTMR2_COMP_0(ALT1) UART5_TXD(ALT2) I2S0_TXD_0(ALT8) SDC0_RSTN(ALT17) CAM0_D_4(ALT22)	-	B00
W7	N6	PA24	GPIO_A_24(ALT0) GPTMR2_COMP_1(ALT1) UART6_TXD(ALT2) I2C2_SCL(ALT4) SPI1_MISO(ALT5) MCAN6_TXD(ALT7) I2S0_TXD_2(ALT8) SDC1_VON(ALT17) CAM0_D_5(ALT22)	-	B00
V6	N5	PA25	GPIO_A_25(ALT0) GPTMR2_CAPT_1(ALT1) UART6_RXD(ALT2) I2C2_SDA(ALT4) SPI1_MOSI(ALT5) MCAN6_RXD(ALT7) I2S0_MCLK(ALT8) SDC1_VSEL(ALT17) CAM0_D_3(ALT22)	-	B00
U5	N4	PA26	GPIO_A_26(ALT0) GPTMR2_COMP_2(ALT1) UART6_DE(ALT2) UART6_RTS(ALT3) SPI1_CS_0(ALT5) MCAN6_STBY(ALT7) SDC1_CDN(ALT17) CAM0_PIXCLK(ALT22)	-	B00

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
U7	N3	PA27	GPIO_A_27(ALT0) GPTMR2_CAPT_2(ALT1) UART6_CTS(ALT3) SPI1_SCLK(ALT5) SDC1_WP(ALT17) CAM0_D_2(ALT22)	-	B00
M6	K3	PA28	GPIO_A_28(ALT0) GPTMR3_CAPT_3(ALT1) UART7_CTS(ALT3) I2C3_SDA(ALT4) DIS0_R_0(ALT20)	MIPI0_REXT	B01
L5	J3	PA29	GPIO_A_29(ALT0) GPTMR3_COMP_3(ALT1) UART7_DE(ALT2) UART7_RTS(ALT3) I2C3_SCL(ALT4) MCAN7_STBY(ALT7) CAM0_XCLK(ALT22)	MIPI1_REXT	B01
N1	L1	PA30	GPIO_A_30(ALT0) GPTMR2_CAPT_3(ALT1) UART7_RXD(ALT2) MCAN7_RXD(ALT7) DIS0_R_2(ALT20)	MIPI0_D0N LVDS0_D0N	B01
N3	L2	PA31	GPIO_A_31(ALT0) GPTMR2_COMP_3(ALT1) UART7_TXD(ALT2) MCAN7_TXD(ALT7) DIS0_R_1(ALT20)	MIPI0_D0P LVDS0_D0P	B01
P2	K1	PB00	GPIO_B_00(ALT0) GPTMR5_COMP_0(ALT1) UART0_TXD(ALT2) MCAN0_TXD(ALT7) DIS0_G_1(ALT20)	MIPI0_CKN LVDS0_CKN	B01
P4	K2	PB01	GPIO_B_01(ALT0) GPTMR5_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) DIS0_G_0(ALT20)	MIPI0_CKP LVDS0_CKP	B01

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
T2	J1	PB02	GPIO_B_02(ALT0) GPTMR5_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) MCAN0_STBY(ALT7) DIS0_B_1(ALT20)	MIPI0_D1N LVDS0_D1N	B01
T4	J2	PB03	GPIO_B_03(ALT0) GPTMR5_CAPT_1(ALT1) UART0_CTS(ALT3) SPI3_CS_3(ALT5) MCAN1_STBY(ALT7) DIS0_B_0(ALT20)	MIPI0_D1P LVDS0_D1P	B01
F2	H1	PB04	GPIO_B_04(ALT0) GPTMR5_CAPT_2(ALT1) UART1_CTS(ALT3) SPI2_CS_0(ALT5) MCAN1_RXD(ALT7) DIS0_B_2(ALT20)	MIPI2_D0N LVDS2_D0N	B01
F4	H2	PB05	GPIO_B_05(ALT0) GPTMR5_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI2_SCLK(ALT5) MCAN1_TXD(ALT7) DIS0_G_7(ALT20)	MIPI2_D0P LVDS2_D0P	B01
G1	G1	PB06	GPIO_B_06(ALT0) GPTMR4_CAPT_0(ALT1) UART1_RXD(ALT2) SPI2_MISO(ALT5) DIS0_B_3(ALT20)	MIPI2_D1N LVDS2_D1N	B01
G3	G2	PB07	GPIO_B_07(ALT0) GPTMR4_COMP_0(ALT1) UART1_TXD(ALT2) SPI2_MOSI(ALT5) DIS0_B_4(ALT20)	MIPI2_D1P LVDS2_D1P	B01

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
H2	F1	PB08	GPIO_B_08(ALT0) GPTMR4_COMP_1(ALT1) UART2_TXD(ALT2) I2C0_SCL(ALT4) SPI3_CS_2(ALT5) MCAN2_TXD(ALT7) DIS0_B_6(ALT20)	MIPI2_CKN LVDS2_CKN	B01
H4	F2	PB09	GPIO_B_09(ALT0) GPTMR4_CAPT_1(ALT1) UART2_RXD(ALT2) I2C0_SDA(ALT4) SPI3_CS_1(ALT5) MCAN2_RXD(ALT7) DIS0_B_5(ALT20)	MIPI2_CKP LVDS2_CKP	B01
K2	E1	PB10	GPIO_B_10(ALT0) GPTMR4_COMP_2(ALT1) UART2_DE(ALT2) UART2_RTS(ALT3) SPI3_CS_0(ALT5) MCAN2_STBY(ALT7) DIS0_EN(ALT20)	MIPI2_D2N LVDS2_D2N	B01
K4	E2	PB11	GPIO_B_11(ALT0) GPTMR4_CAPT_2(ALT1) UART2_CTS(ALT3) SPI3_SCLK(ALT5) DIS0_B_7(ALT20)	MIPI2_D2P LVDS2_D2P	B01
L1	D1	PB12	GPIO_B_12(ALT0) GPTMR5_CAPT_3(ALT1) UART3_CTS(ALT3) I2C1_SDA(ALT4) SPI3_MISO(ALT5) DIS0_HSYNC(ALT20)	MIPI2_D3N LVDS2_D3N	B01

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
L3	D2	PB13	GPIO_B_13(ALT0) GPTMR5_COMP_3(ALT1) UART3_DE(ALT2) UART3_RTS(ALT3) I2C1_SCL(ALT4) SPI3_MOSI(ALT5) MCAN3_STBY(ALT7) DIS0_CLK(ALT20)	MIPI2_D3P LVDS2_D3P	B01
M2	F3	PB14	GPIO_B_14(ALT0) GPTMR4_CAPT_3(ALT1) UART3_RXD(ALT2) SPI3_DAT2(ALT5) MCAN3_RXD(ALT7) DIS0_VSYNC(ALT20) SYSCTL_CLK_OBS_1(ALT 24)	MIPI2_REXT	B01
M4	E3	PB15	GPIO_B_15(ALT0) GPTMR4_COMP_3(ALT1) UART3_TXD(ALT2) SPI3_DAT3(ALT5) MCAN3_TXD(ALT7) SDC0_DS(ALT17) SYSCTL_CLK_OBS_3(ALT 24)	MIPI3_REXT	B01
N5	M4	PB16	GPIO_B_16(ALT0) GPTMR7_COMP_0(ALT1) UART4_TXD(ALT2) MCAN4_TXD(ALT7) CAM0_D_6(ALT22)	MIPI1_D0N LVDS1_D0N	B01
N7	M5	PB17	GPIO_B_17(ALT0) GPTMR7_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN4_RXD(ALT7) CAM0_D_7(ALT22)	MIPI1_D0P LVDS1_D0P	B01

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
P6	L4	PB18	GPIO_B_18(ALT0) GPTMR7_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) MCAN4_STBY(ALT7) I2S1_TXD_1(ALT8) CAM0_D_9(ALT22)	MIPI1_CKN LVDS1_CKN	B01
P8	L5	PB19	GPIO_B_19(ALT0) GPTMR7_CAPT_1(ALT1) UART4_CTS(ALT3) SPI0_CS_3(ALT5) MCAN5_STBY(ALT7) I2S1_MCLK(ALT8) CAM0_D_8(ALT22)	MIPI1_CKP LVDS1_CKP	B01
T8	K4	PB20	GPIO_B_20(ALT0) GPTMR7_CAPT_2(ALT1) UART5_CTS(ALT3) SPI1_CS_0(ALT5) MCAN5_RXD(ALT7) I2S1_TXD_2(ALT8) CAM0_HSYNC(ALT22)	MIPI1_D1P LVDS1_D1P	B01
T6	K5	PB21	GPIO_B_21(ALT0) GPTMR7_COMP_2(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) SPI1_SCLK(ALT5) MCAN5_TXD(ALT7) I2S1_TXD_0(ALT8) CAM0_VSYNC(ALT22)	MIPI1_D1N LVDS1_D1N	B01
F6	J4	PB22	GPIO_B_22(ALT0) GPTMR6_CAPT_0(ALT1) UART5_RXD(ALT2) SPI1_MISO(ALT5) I2S1_TXD_3(ALT8) SDC0_DATA_6(ALT17)	MIPI3_D0N LVDS3_D0N	B01

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
G7	J5	PB23	GPIO_B_23(ALT0) GPTMR6_COMP_0(ALT1) UART5_TXD(ALT2) SPI1_MOSI(ALT5) I2S1_FCLK(ALT8) SDC0_DATA_5(ALT17)	MIPI3_D1P LVDS3_D1P	B01
F8	H4	PB24	GPIO_B_24(ALT0) GPTMR6_COMP_1(ALT1) UART6_TXD(ALT2) I2C2_SCL(ALT4) SPI0_CS_2(ALT5) MCAN6_TXD(ALT7) I2S1_MCLK(ALT8) SDC0_DATA_7(ALT17)	MIPI3_D0P LVDS3_D0P	B01
G5	H5	PB25	GPIO_B_25(ALT0) GPTMR6_CAPT_1(ALT1) UART6_RXD(ALT2) I2C2_SDA(ALT4) SPI0_CS_1(ALT5) MCAN6_RXD(ALT7) I2S1_BCLK(ALT8) SDC0_DATA_4(ALT17)	MIPI3_D1N LVDS3_D1N	B01
H6	G4	PB26	GPIO_B_26(ALT0) GPTMR6_COMP_2(ALT1) UART6_DE(ALT2) UART6_RTS(ALT3) SPI0_CS_0(ALT5) MCAN6_STBY(ALT7) I2S1_RXD_1(ALT8) SDC0_DATA_3(ALT17)	MIPI3_CKN LVDS3_CKN	B01
H8	G5	PB27	GPIO_B_27(ALT0) GPTMR6_CAPT_2(ALT1) UART6_CTS(ALT3) SPI0_SCLK(ALT5) I2S1_RXD_3(ALT8) SDC0_DATA_0(ALT17)	MIPI3_CKP LVDS3_CKP	B01

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
J5	F4	PB28	GPIO_B_28(ALT0) GPTMR7_CAPT_3(ALT1) UART7_CTS(ALT3) I2C3_SDA(ALT4) SPI0_MISO(ALT5) I2S1_RXD_0(ALT8) SDC0_DATA_1(ALT17)	MIPI3_D2N LVDS3_D2N	B01
K6	F5	PB29	GPIO_B_29(ALT0) GPTMR7_COMP_3(ALT1) UART7_DE(ALT2) UART7_RTS(ALT3) I2C3_SCL(ALT4) SPI0_MOSI(ALT5) MCAN7_STBY(ALT7) I2S1_RXD_2(ALT8) SDC0_DATA_2(ALT17)	MIPI3_D2P LVDS3_D2P	B01
L7	E4	PB30	GPIO_B_30(ALT0) GPTMR6_CAPT_3(ALT1) UART7_RXD(ALT2) SPI0_DAT2(ALT5) MCAN7_RXD(ALT7) SDC0_CLK(ALT17)	MIPI3_D3N LVDS3_D3N	B01
K8	E5	PB31	GPIO_B_31(ALT0) GPTMR6_COMP_3(ALT1) UART7_TXD(ALT2) SPI0_DAT3(ALT5) MCAN7_TXD(ALT7) SDC0_CMD(ALT17)	MIPI3_D3P LVDS3_D3P	B01
E3	A3	PC00	GPIO_C_00(ALT0) GPTMR1_COMP_0(ALT1) UART0_TXD(ALT2) MCAN0_TXD(ALT7) I2S2_MCLK(ALT8) SDC0_DS(ALT17)	-	B02

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
B4	B3	PC01	GPIO_C_01(ALT0) GPTMR1_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) I2S2_RXD_2(ALT8) SDC0_CMD(ALT17)	-	B02
D4	A4	PC02	GPIO_C_02(ALT0) GPTMR1_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) MCAN0_STBY(ALT7) I2S2_RXD_3(ALT8) SDC0_CLK(ALT17)	-	B02
A5	B4	PC03	GPIO_C_03(ALT0) GPTMR1_CAPT_1(ALT1) UART0_CTS(ALT3) MCAN1_STBY(ALT7) I2S2_RXD_0(ALT8) SDC0_DATA_1(ALT17)	-	B02
C5	A5	PC04	GPIO_C_04(ALT0) GPTMR1_CAPT_2(ALT1) UART1_CTS(ALT3) SPI2_CS_0(ALT5) MCAN1_RXD(ALT7) I2S2_RXD_1(ALT8) SDC0_DATA_2(ALT17)	-	B02
B6	B5	PC05	GPIO_C_05(ALT0) GPTMR1_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI2_SCLK(ALT5) MCAN1_TXD(ALT7) I2S2_BCLK(ALT8) SDC0_DATA_3(ALT17)	-	B02

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
D6	C4	PC06	GPIO_C_06(ALT0) GPTMR0_CAPT_0(ALT1) UART1_RXD(ALT2) SPI2_MISO(ALT5) I2S2_FCLK(ALT8) SDC0_DATA_0(ALT17)	-	B02
E7	D4	PC07	GPIO_C_07(ALT0) GPTMR0_COMP_0(ALT1) UART1_TXD(ALT2) SPI2_MOSI(ALT5) I2S2_MCLK(ALT8) SDC0_RSTN(ALT17)	-	B02
A7	C5	PC08	GPIO_C_08(ALT0) GPTMR0_COMP_1(ALT1) UART2_TXD(ALT2) I2C0_SCL(ALT4) MCAN2_TXD(ALT7) I2S2_TXD_2(ALT8) DAO_LN(ALT10) SDC0_DATA_4(ALT17)	-	B02
C7	D5	PC09	GPIO_C_09(ALT0) GPTMR0_CAPT_1(ALT1) UART2_RXD(ALT2) I2C0_SDA(ALT4) MCAN2_RXD(ALT7) I2S2_TXD_3(ALT8) DAO_LP(ALT10) SDC0_DATA_5(ALT17)	-	B02
B8	B6	PC10	GPIO_C_10(ALT0) GPTMR0_COMP_2(ALT1) UART2_DE(ALT2) UART2_RTS(ALT3) MCAN2_STBY(ALT7) I2S2_TXD_0(ALT8) DAO_RN(ALT10) SDC0_DATA_6(ALT17)	-	B02

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
D8	A6	PC11	GPIO_C_11(ALT0) GPTMR0_CAPT_2(ALT1) UART2_CTS(ALT3) I2S2_TXD_1(ALT8) DAO_RP(ALT10) SDC0_DATA_7(ALT17)	-	B02
E9	E6	PC12	GPIO_C_12(ALT0) GPTMR1_CAPT_3(ALT1) UART3_CTS(ALT3) I2C1_SDA(ALT4) SPI3_MISO(ALT5) PDM0_D_0(ALT10) SDC1_DATA_3(ALT17)	-	B03
F10	D6	PC13	GPIO_C_13(ALT0) GPTMR1_COMP_3(ALT1) UART3_DE(ALT2) UART3_RTS(ALT3) I2C1_SCL(ALT4) SPI3_MOSI(ALT5) MCAN3_STBY(ALT7) PDM0_CLK(ALT10) SDC1_CMD(ALT17)	-	B03
H10	E7	PC14	GPIO_C_14(ALT0) GPTMR0_CAPT_3(ALT1) UART3_RXD(ALT2) SPI3_CS_0(ALT5) MCAN3_RXD(ALT7) PDM0_D_1(ALT10) SDC1_DATA_2(ALT17)	-	B03
E11	D7	PC15	GPIO_C_15(ALT0) GPTMR0_COMP_3(ALT1) UART3_TXD(ALT2) SPI3_SCLK(ALT5) MCAN3_TXD(ALT7) PDM0_D_2(ALT10) SDC1_DATA_1(ALT17)	-	B03

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
G11	E8	PC16	GPIO_C_16(ALT0) GPTMR3_COMP_0(ALT1) UART4_TXD(ALT2) MCAN4_TXD(ALT7) PDM0_CLK(ALT10) SDC1_CLK(ALT17)	-	B03
F12	D8	PC17	GPIO_C_17(ALT0) GPTMR3_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN4_RXD(ALT7) PDM0_D_3(ALT10) SDC1_DATA_0(ALT17)	-	B03
B10	A7	PC18	GPIO_C_18(ALT0) GPTMR3_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) MCAN4_STBY(ALT7) I2S1_RXD_2(ALT8) SDC1_DATA_3(ALT17) ETH0_TXD_3(ALT18)	-	B04
D10	B7	PC19	GPIO_C_19(ALT0) GPTMR3_CAPT_1(ALT1) UART4_CTS(ALT3) SPI1_CS_3(ALT5) MCAN5_STBY(ALT7) I2S1_RXD_3(ALT8) SDC1_DATA_2(ALT17) ETH0_TXD_2(ALT18)	-	B04
A11	A8	PC20	GPIO_C_20(ALT0) GPTMR3_CAPT_2(ALT1) UART5_CTS(ALT3) SPI0_CS_0(ALT5) MCAN5_RXD(ALT7) I2S1_RXD_0(ALT8) SDC1_CLK(ALT17) ETH0_TXCK(ALT18)	-	B04

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
C11	B8	PC21	GPIO_C_21(ALT0) GPTMR3_COMP_2(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) SPI0_SCLK(ALT5) MCAN5_TXD(ALT7) I2S1_RXD_1(ALT8) SDC1_CMD(ALT17) ETH0_TXEN(ALT18)	-	B04
B12	A9	PC22	GPIO_C_22(ALT0) GPTMR2_CAPT_0(ALT1) UART5_RXD(ALT2) SPI0_MISO(ALT5) I2S1_BCLK(ALT8) SDC1_DATA_1(ALT17) ETH0_TXD_0(ALT18)	-	B04
D12	B9	PC23	GPIO_C_23(ALT0) GPTMR2_COMP_0(ALT1) UART5_TXD(ALT2) SPI0_MOSI(ALT5) I2S1_FCLK(ALT8) SDC1_DATA_0(ALT17) ETH0_TXD_1(ALT18) SYSCTL_CLK_OBS_0(ALT 24)	-	B04
A13	C8	PC24	GPIO_C_24(ALT0) GPTMR2_COMP_1(ALT1) UART6_TXD(ALT2) I2C2_SCL(ALT4) SPI1_CS_2(ALT5) MCAN6_TXD(ALT7) I2S1_TXD_0(ALT8) SDC1_CDN(ALT17) ETH0_RXD_2(ALT18)	-	B04

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
C13	C9	PC25	GPIO_C_25(ALT0) GPTMR2_CAPT_1(ALT1) UART6_RXD(ALT2) I2C2_SDA(ALT4) SPI1_CS_1(ALT5) MCAN6_RXD(ALT7) I2S1_TXD_1(ALT8) SDC1_VSEL(ALT17) ETH0_RXD_3(ALT18)	-	B04
B14	A10	PC26	GPIO_C_26(ALT0) GPTMR2_COMP_2(ALT1) UART6_DE(ALT2) UART6_RTS(ALT3) SPI1_CS_0(ALT5) MCAN6_STBY(ALT7) I2S1_TXD_2(ALT8) SDC1_WP(ALT17) ETH0_RXCK(ALT18)	-	B04
D14	B10	PC27	GPIO_C_27(ALT0) GPTMR2_CAPT_2(ALT1) UART6_CTS(ALT3) SPI1_SCLK(ALT5) I2S1_TXD_3(ALT8) SDC1_VON(ALT17) ETH0_RXDV(ALT18) SYSCTL_CLK_OBS_2(ALT24)	-	B04
B16	A11	PC28	GPIO_C_28(ALT0) GPTMR3_CAPT_3(ALT1) UART7_CTS(ALT3) I2C3_SDA(ALT4) SPI1_MISO(ALT5) I2S1_MCLK(ALT8) ETH0_RXD_1(ALT18)	-	B04

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
D16	B11	PC29	GPIO_C_29(ALT0) GPTMR3_COMP_3(ALT1) UART7_DE(ALT2) UART7_RTS(ALT3) I2C3_SCL(ALT4) SPI1_MOSI(ALT5) MCAN7_STBY(ALT7) I2S1_MCLK(ALT8) ETH0_RXD_0(ALT18)	-	B04
E13	D9	PC30	GPIO_C_30(ALT0) GPTMR2_CAPT_3(ALT1) UART7_RXD(ALT2) MCAN7_RXD(ALT7) DAO_LN(ALT10) SDC1_CDN(ALT17)	-	B05
G13	E9	PC31	GPIO_C_31(ALT0) GPTMR2_COMP_3(ALT1) UART7_TXD(ALT2) MCAN7_TXD(ALT7) DAO_LP(ALT10) SDC1_VSEL(ALT17)	-	B05
F14	D10	PD00	GPIO_D_00(ALT0) GPTMR5_COMP_0(ALT1) UART0_TXD(ALT2) MCAN0_TXD(ALT7) DAO_RN(ALT10) SDC1_VON(ALT17)	-	B05
H14	E10	PD01	GPIO_D_01(ALT0) GPTMR5_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) DAO_RP(ALT10) SDC1_WP(ALT17)	-	B05
F16	D11	PD02	GPIO_D_02(ALT0) GPTMR5_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) MCAN0_STBY(ALT7) ETH0_MDC(ALT18)	-	B05

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
H16	E11	PD03	GPIO_D_03(ALT0) GPTMR5_CAPT_1(ALT1) UART0_CTS(ALT3) MCAN1_STBY(ALT7) ETH0_MDIO(ALT18)	-	B05
A17	A12	PD04	GPIO_D_04(ALT0) GPTMR5_CAPT_2(ALT1) UART1_CTS(ALT3) SPI3_CS_0(ALT5) MCAN1_RXD(ALT7) PDM0_D_0(ALT10) XPI0_CA_CS0(ALT14)	-	B06
C17	B12	PD05	GPIO_D_05(ALT0) GPTMR5_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI3_SCLK(ALT5) MCAN1_TXD(ALT7) PDM0_D_1(ALT10) XPI0_CA_CS1(ALT14)	-	B06
B18	A13	PD06	GPIO_D_06(ALT0) GPTMR4_CAPT_0(ALT1) UART1_RXD(ALT2) SPI3_MISO(ALT5) I2S2_RXD_3(ALT8) PDM0_CLK(ALT10) XPI0_CA_SCLK(ALT14) ETH0_TXD_3(ALT18)	-	B06
D18	B13	PD07	GPIO_D_07(ALT0) GPTMR4_COMP_0(ALT1) UART1_TXD(ALT2) SPI3_MOSI(ALT5) I2S2_RXD_2(ALT8) PDM0_D_3(ALT10) XPI0_CA_DQS(ALT14) ETH0_TXD_2(ALT18)	-	B06

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
A19	A14	PD08	GPIO_D_08(ALT0) GPTMR4_COMP_1(ALT1) UART2_TXD(ALT2) I2C0_SCL(ALT4) SPI2_CS_2(ALT5) MCAN2_TXD(ALT7) PDM0_CLK(ALT10) XPI0_CA_D_0(ALT14) ETH0_TXCK(ALT18)	-	B06
C19	B14	PD09	GPIO_D_09(ALT0) GPTMR4_CAPT_1(ALT1) UART2_RXD(ALT2) I2C0_SDA(ALT4) SPI2_CS_1(ALT5) MCAN2_RXD(ALT7) PDM0_D_2(ALT10) XPI0_CA_D_1(ALT14) ETH0_TXEN(ALT18)	-	B06
B20	A15	PD10	GPIO_D_10(ALT0) GPTMR4_COMP_2(ALT1) UART2_DE(ALT2) UART2_RTS(ALT3) SPI2_CS_0(ALT5) MCAN2_STBY(ALT7) I2S2_TXD_2(ALT8) XPI0_CA_D_2(ALT14) ETH0_TXD_0(ALT18)	-	B06
D20	B15	PD11	GPIO_D_11(ALT0) GPTMR4_CAPT_2(ALT1) UART2_CTS(ALT3) SPI2_SCLK(ALT5) I2S2_TXD_3(ALT8) XPI0_CA_D_3(ALT14) ETH0_TXD_1(ALT18)	-	B06

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
E17	C12	PD12	GPIO_D_12(ALT0) GPTMR5_CAPT_3(ALT1) UART3_CTS(ALT3) I2C1_SDA(ALT4) SPI2_MISO(ALT5) I2S2_RXD_1(ALT8) XPI0_CB_CS0(ALT14) ETH0_RXD_1(ALT18)	-	B06
G17	D12	PD13	GPIO_D_13(ALT0) GPTMR5_COMP_3(ALT1) UART3_DE(ALT2) UART3_RTS(ALT3) I2C1_SCL(ALT4) SPI2_MOSI(ALT5) MCAN3_STBY(ALT7) I2S2_MCLK(ALT8) XPI0_CB_CS1(ALT14) ETH0_RXD_0(ALT18)	-	B06
F18	E12	PD14	GPIO_D_14(ALT0) GPTMR4_CAPT_3(ALT1) UART3_RXD(ALT2) SPI2_DAT2(ALT5) MCAN3_RXD(ALT7) I2S2_RXD_0(ALT8) XPI0_CB_SCLK(ALT14) ETH0_RXCK(ALT18)	-	B06
E19	C13	PD15	GPIO_D_15(ALT0) GPTMR4_COMP_3(ALT1) UART3_TXD(ALT2) SPI2_DAT3(ALT5) MCAN3_TXD(ALT7) I2S2_BCLK(ALT8) XPI0_CB_D_0(ALT14) ETH0_RXDV(ALT18)	-	B06

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
G19	D13	PD16	GPIO_D_16(ALT0) GPTMR7_COMP_0(ALT1) UART4_TXD(ALT2) MCAN4_TXD(ALT7) I2S2_FCLK(ALT8) XPI0_CB_D_1(ALT14) ETH0_RXD_3(ALT18)	-	B06
F20	E13	PD17	GPIO_D_17(ALT0) GPTMR7_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN4_RXD(ALT7) I2S2_TXD_0(ALT8) XPI0_CB_DQS(ALT14) ETH0_RXD_2(ALT18)	-	B06
H20	D14	PD18	GPIO_D_18(ALT0) GPTMR7_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) MCAN4_STBY(ALT7) I2S2_MCLK(ALT8) XPI0_CB_D_3(ALT14)	-	B06
E21	E14	PD19	GPIO_D_19(ALT0) GPTMR7_CAPT_1(ALT1) UART4_CTS(ALT3) SPI1_CS_3(ALT5) MCAN5_STBY(ALT7) I2S2_TXD_1(ALT8) XPI0_CB_D_2(ALT14)	-	B06
B22	A16	PD20	GPIO_D_20(ALT0) GPTMR7_CAPT_2(ALT1) UART5_CTS(ALT3) SPI0_CS_0(ALT5) MCAN5_RXD(ALT7) I2S3_RXD_1(ALT8)	-	B07

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
D22	B17	PD21	GPIO_D_21(ALT0) GPTMR7_COMP_2(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) SPI0_SCLK(ALT5) MCAN5_TXD(ALT7) I2S3_RXD_3(ALT8)	-	B07
A23	B16	PD22	GPIO_D_22(ALT0) GPTMR6_CAPT_0(ALT1) UART5_RXD(ALT2) SPI0_MISO(ALT5) I2S3_RXD_0(ALT8)	-	B07
C23	C16	PD23	GPIO_D_23(ALT0) GPTMR6_COMP_0(ALT1) UART5_TXD(ALT2) SPI0_MOSI(ALT5) I2S3_RXD_2(ALT8) ETH0_EVTO_1(ALT19)	-	B07
B24	C17	PD24	GPIO_D_24(ALT0) GPTMR6_COMP_1(ALT1) UART6_TXD(ALT2) I2C2_SCL(ALT4) SPI1_CS_2(ALT5) MCAN6_TXD(ALT7) I2S3_BCLK(ALT8) ETH0_EVTI_1(ALT19)	-	B07
D24	D17	PD25	GPIO_D_25(ALT0) GPTMR6_CAPT_1(ALT1) UART6_RXD(ALT2) I2C2_SDA(ALT4) SPI1_CS_1(ALT5) MCAN6_RXD(ALT7) I2S3_FCLK(ALT8)	-	B07

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
F22	D16	PD26	GPIO_D_26(ALT0) GPTMR6_COMP_2(ALT1) UART6_DE(ALT2) UART6_RTS(ALT3) SPI1_CS_0(ALT5) MCAN6_STBY(ALT7) I2S3_TXD_1(ALT8) ETH0_MDC(ALT18)	-	B07
H22	E17	PD27	GPIO_D_27(ALT0) GPTMR6_CAPT_2(ALT1) UART6_CTS(ALT3) SPI1_SCLK(ALT5) I2S3_TXD_2(ALT8) ETH0_MDIO(ALT18)	-	B07
E23	E16	PD28	GPIO_D_28(ALT0) GPTMR7_CAPT_3(ALT1) UART7_CTS(ALT3) I2C3_SDA(ALT4) SPI1_MISO(ALT5) I2S3_TXD_0(ALT8)	-	B07
G23	E15	PD29	GPIO_D_29(ALT0) GPTMR7_COMP_3(ALT1) UART7_DE(ALT2) UART7_RTS(ALT3) I2C3_SCL(ALT4) SPI1_MOSI(ALT5) MCAN7_STBY(ALT7) I2S3_TXD_3(ALT8)	-	B07
A25	F17	PD30	GPIO_D_30(ALT0) GPTMR6_CAPT_3(ALT1) UART7_RXD(ALT2) SPI1_DAT2(ALT5) MCAN7_RXD(ALT7) I2S3_MCLK(ALT8) ETH0_EVTI_0(ALT19) SOC_REF0(ALT24)	-	B07

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
C25	F16	PD31	GPIO_D_31(ALT0) GPTMR6_COMP_3(ALT1) UART7_TXD(ALT2) SPI1_DAT3(ALT5) MCAN7_TXD(ALT7) I2S3_MCLK(ALT8) ETH0_EVTO_0(ALT19) SOC_REF1(ALT24)	-	B07
B28	G16	PE00	GPIO_E_00(ALT0) GPTMR1_COMP_0(ALT1) UART0_TXD(ALT2) MCAN0_TXD(ALT7) I2S3_TXD_3(ALT8) PDM0_CLK(ALT10) SYSCTL_CLK_OBS_0(ALT 24)	-	B08
B26	G17	PE01	GPIO_E_01(ALT0) GPTMR1_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) I2S3_TXD_2(ALT8) PDM0_D_1(ALT10)	-	B08
C27	H15	PE02	GPIO_E_02(ALT0) GPTMR1_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) MCAN0_STBY(ALT7) I2S3_TXD_1(ALT8) PDM0_D_0(ALT10) SYSCTL_CLK_OBS_2(ALT 24)	-	B08
D28	H16	PE03	GPIO_E_03(ALT0) GPTMR1_CAPT_1(ALT1) UART0_CTS(ALT3) SPI2_CS_3(ALT5) MCAN1_STBY(ALT7) I2S3_TXD_0(ALT8) SYSCTL_CLK_OBS_1(ALT 24)	-	B08

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
D26	H17	PE04	GPIO_E_04(ALT0) GPTMR1_CAPT_2(ALT1) UART1_CTS(ALT3) SPI3_CS_0(ALT5) MCAN1_RXD(ALT7) I2S3_MCLK(ALT8) SYSCTL_CLK_OBS_3(ALT24)	-	B08
G25	J15	PE05	GPIO_E_05(ALT0) GPTMR1_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI3_SCLK(ALT5) MCAN1_TXD(ALT7) DAO_RP(ALT10)	-	B08
F24	J16	PE06	GPIO_E_06(ALT0) GPTMR0_CAPT_0(ALT1) UART1_RXD(ALT2) SPI3_MISO(ALT5) DAO_LN(ALT10)	-	B08
H24	J17	PE07	GPIO_E_07(ALT0) GPTMR0_COMP_0(ALT1) UART1_TXD(ALT2) SPI3_MOSI(ALT5) DAO_LP(ALT10)	-	B08
E29	F13	PE08	GPIO_E_08(ALT0) GPTMR0_COMP_1(ALT1) UART2_TXD(ALT2) I2C0_SCL(ALT4) SPI2_CS_2(ALT5) MCAN2_TXD(ALT7) I2S3_FCLK(ALT8)	-	B08
E27	F14	PE09	GPIO_E_09(ALT0) GPTMR0_CAPT_1(ALT1) UART2_RXD(ALT2) I2C0_SDA(ALT4) SPI2_CS_1(ALT5) MCAN2_RXD(ALT7) I2S3_MCLK(ALT8)	-	B08

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
F28	G13	PE10	GPIO_E_10(ALT0) GPTMR0_COMP_2(ALT1) UART2_DE(ALT2) UART2_RTS(ALT3) SPI2_CS_0(ALT5) MCAN2_STBY(ALT7) I2S3_BCLK(ALT8) ETH0_EVTO_1(ALT19)	-	B08
F26	G14	PE11	GPIO_E_11(ALT0) GPTMR0_CAPT_2(ALT1) UART2_CTS(ALT3) SPI2_SCLK(ALT5) DAO_RN(ALT10)	-	B08
G29	H13	PE12	GPIO_E_12(ALT0) GPTMR1_CAPT_3(ALT1) UART3_CTS(ALT3) I2C1_SDA(ALT4) SPI2_MISO(ALT5) I2S3_RXD_1(ALT8) PDM0_D_2(ALT10)	-	B08
G27	H14	PE13	GPIO_E_13(ALT0) GPTMR1_COMP_3(ALT1) UART3_DE(ALT2) UART3_RTS(ALT3) I2C1_SCL(ALT4) SPI2_MOSI(ALT5) MCAN3_STBY(ALT7) I2S3_RXD_0(ALT8) PDM0_D_3(ALT10) ETH0_EVTI_1(ALT19)	-	B08
H28	J13	PE14	GPIO_E_14(ALT0) GPTMR0_CAPT_3(ALT1) UART3_RXD(ALT2) SPI2_DAT2(ALT5) MCAN3_RXD(ALT7) I2S3_RXD_3(ALT8) PDM0_CLK(ALT10) ETH0_MDIO(ALT18) ETH0_EVTO_0(ALT19)	-	B08

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
H26	J14	PE15	GPIO_E_15(ALT0) GPTMR0_COMP_3(ALT1) UART3_TXD(ALT2) SPI2_DAT3(ALT5) MCAN3_TXD(ALT7) I2S3_RXD_2(ALT8) ETH0_MDC(ALT18) ETH0_EVTI_0(ALT19)	-	B08
AJ23	K16	PE16	GPIO_E_16(ALT0) GPTMR3_COMP_0(ALT1) UART4_TXD(ALT2) MCAN4_TXD(ALT7) I2S0_TXD_2(ALT8) ETH0_EVTO_0(ALT19)	ADC0_IN8	B09
AG23	K17	PE17	GPIO_E_17(ALT0) GPTMR3_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN4_RXD(ALT7) I2S0_TXD_3(ALT8) ETH0_EVTI_0(ALT19)	ADC0_IN13	B09
AH22	L16	PE18	GPIO_E_18(ALT0) GPTMR3_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) MCAN4_STBY(ALT7) I2S0_TXD_0(ALT8) ETH0_EVTO_1(ALT19) USB0_PWR(ALT24)	ADC0_IN9	B09
AF22	L17	PE19	GPIO_E_19(ALT0) GPTMR3_CAPT_1(ALT1) UART4_CTS(ALT3) SPI1_CS_3(ALT5) MCAN5_STBY(ALT7) I2S0_TXD_1(ALT8) ETH0_EVTI_1(ALT19)	ADC0_IN10	B09

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AH20	M16	PE20	GPIO_E_20(ALT0) GPTMR3_CAPT_2(ALT1) UART5_CTS(ALT3) SPI0_CS_0(ALT5) MCAN5_RXD(ALT7) I2S0_RXD_0(ALT8) USB0_ID(ALT24)	-	B09
AF20	M17	PE21	GPIO_E_21(ALT0) GPTMR3_COMP_2(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) SPI0_SCLK(ALT5) MCAN5_TXD(ALT7) I2S0_RXD_1(ALT8)	ADC0_IN2	B09
AJ19	N16	PE22	GPIO_E_22(ALT0) GPTMR2_CAPT_0(ALT1) UART5_RXD(ALT2) SPI0_MISO(ALT5) I2S0_RXD_2(ALT8)	ADC0_IN4	B09
AG19	N17	PE23	GPIO_E_23(ALT0) GPTMR2_COMP_0(ALT1) UART5_TXD(ALT2) SPI0_MOSI(ALT5) I2S0_RXD_3(ALT8) USB0_OC(ALT24)	ADC0_IN6	B09
AE23	K13	PE24	GPIO_E_24(ALT0) GPTMR2_COMP_1(ALT1) UART6_TXD(ALT2) I2C2_SCL(ALT4) SPI1_CS_2(ALT5) MCAN6_TXD(ALT7) I2S0_FCLK(ALT8) ETH0_MDIO(ALT18)	ADC0_IN12	B09

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AD22	K14	PE25	GPIO_E_25(ALT0) GPTMR2_CAPT_1(ALT1) UART6_RXD(ALT2) I2C2_SDA(ALT4) SPI1_CS_1(ALT5) MCAN6_RXD(ALT7) I2S0_MCLK(ALT8) ETH0_MDC(ALT18)	ADC0_IN0	B09
AE21	L13	PE26	GPIO_E_26(ALT0) GPTMR2_COMP_2(ALT1) UART6_DE(ALT2) UART6_RTS(ALT3) SPI1_CS_0(ALT5) MCAN6_STBY(ALT7) I2S0_BCLK(ALT8)	ADC0_IN14	B09
AD20	L14	PE27	GPIO_E_27(ALT0) GPTMR2_CAPT_2(ALT1) UART6_CTS(ALT3) SPI1_SCLK(ALT5) I2S0_MCLK(ALT8) USB0_PWR(ALT24)	ADC0_IN11	B09
AB20	M13	PE28	GPIO_E_28(ALT0) GPTMR3_CAPT_3(ALT1) UART7_CTS(ALT3) I2C3_SDA(ALT4) SPI1_MISO(ALT5) DAO_RP(ALT10) USB0_ID(ALT24)	ADC0_IN1	B09
AE19	M14	PE29	GPIO_E_29(ALT0) GPTMR3_COMP_3(ALT1) UART7_DE(ALT2) UART7_RTS(ALT3) I2C3_SCL(ALT4) SPI1_MOSI(ALT5) MCAN7_STBY(ALT7) DAO_LN(ALT10)	ADC0_IN3	B09

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AC19	M15	PE30	GPIO_E_30(ALT0) GPTMR2_CAPT_3(ALT1) UART7_RXD(ALT2) SPI1_DAT2(ALT5) MCAN7_RXD(ALT7) DAO_RN(ALT10) USB0_OC(ALT24)	ADC0_IN5	B09
AD18	N15	PE31	GPIO_E_31(ALT0) GPTMR2_COMP_3(ALT1) UART7_TXD(ALT2) SPI1_DAT3(ALT5) MCAN7_TXD(ALT7) DAO_LP(ALT10)	ADC0_IN7	B09
AH18	P16	PF00	GPIO_F_00(ALT0) GPTMR5_COMP_0(ALT1) UART0_TXD(ALT2) MCAN0_TXD(ALT7) PDM0_CLK(ALT10) USB0_PWR(ALT24)	-	B10
AF18	P17	PF01	GPIO_F_01(ALT0) GPTMR5_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) PDM0_D_2(ALT10)	-	B10
AJ17	R16	PF02	GPIO_F_02(ALT0) GPTMR5_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) MCAN0_STBY(ALT7) PDM0_D_3(ALT10) ETH0_EVTO_0(ALT19)	-	B10
AG17	R17	PF03	GPIO_F_03(ALT0) GPTMR5_CAPT_1(ALT1) UART0_CTS(ALT3) SPI3_CS_3(ALT5) MCAN1_STBY(ALT7) PDM0_D_1(ALT10) ETH0_EVTO_1(ALT19) USB0_OC(ALT24)	-	B10

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AH16	T17	PF04	GPIO_F_04(ALT0) GPTMR5_CAPT_2(ALT1) UART1_CTS(ALT3) SPI2_CS_0(ALT5) MCAN1_RXD(ALT7) PDM0_CLK(ALT10) USB0_ID(ALT24)	-	B10
AF16	T15	PF05	GPIO_F_05(ALT0) GPTMR5_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI2_SCLK(ALT5) MCAN1_TXD(ALT7) PDM0_D_0(ALT10)	-	B10
AE17	T16	PF06	GPIO_F_06(ALT0) GPTMR4_CAPT_0(ALT1) UART1_RXD(ALT2) SPI2_MISO(ALT5) ETH0_EVTI_0(ALT19)	-	B10
AC17	U14	PF07	GPIO_F_07(ALT0) GPTMR4_COMP_0(ALT1) UART1_TXD(ALT2) SPI2_MOSI(ALT5) ETH0_EVTI_1(ALT19)	-	B10
AD16	U15	PF08	GPIO_F_08(ALT0) GPTMR4_COMP_1(ALT1) UART2_TXD(ALT2) I2C0_SCL(ALT4) SPI3_CS_2(ALT5) MCAN2_TXD(ALT7) ETH0_MDIO(ALT18)	-	B10
AB16	U16	PF09	GPIO_F_09(ALT0) GPTMR4_CAPT_1(ALT1) UART2_RXD(ALT2) I2C0_SDA(ALT4) SPI3_CS_1(ALT5) MCAN2_RXD(ALT7) ETH0_MDC(ALT18)	-	B10

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
-	-	PX00	GPIO_X_00(ALT0) GPTMR7_COMP_0(ALT1) UART4_TXD(ALT2) MCAN4_TXD(ALT7) XPI0_CA_D_0(ALT14)	-	B11
-	-	PX01	GPIO_X_01(ALT0) GPTMR7_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN4_RXD(ALT7) XPI0_CA_SCLK(ALT14)	-	B11
-	-	PX02	GPIO_X_02(ALT0) GPTMR7_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) MCAN4_STBY(ALT7) XPI0_CA_D_3(ALT14) SDC1_DATA_4(ALT17)	-	B11
-	-	PX03	GPIO_X_03(ALT0) GPTMR7_CAPT_1(ALT1) UART4_CTS(ALT3) SPI0_CS_3(ALT5) MCAN5_STBY(ALT7) XPI0_CA_CS1(ALT14) SDC1_DATA_5(ALT17)	-	B11
-	-	PX04	GPIO_X_04(ALT0) GPTMR7_CAPT_2(ALT1) UART5_CTS(ALT3) SPI1_CS_0(ALT5) MCAN5_RXD(ALT7) XPI0_CA_DQS(ALT14) SDC1_DATA_6(ALT17)	-	B11
-	-	PX05	GPIO_X_05(ALT0) GPTMR7_COMP_2(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) SPI1_SCLK(ALT5) MCAN5_TXD(ALT7) XPI0_CA_CS0(ALT14) SDC1_DATA_7(ALT17)	-	B11

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
-	-	PX06	GPIO_X_06(ALT0) GPTMR6_CAPT_0(ALT1) UART5_RXD(ALT2) SPI1_MISO(ALT5) XPI0_CA_D_1(ALT14)	-	B11
-	-	PX07	GPIO_X_07(ALT0) GPTMR6_COMP_0(ALT1) UART5_TXD(ALT2) SPI1_MOSI(ALT5) XPI0_CA_D_2(ALT14)	-	B11
AJ13	N10	PY00	GPIO_Y_00(ALT0) GPTMR1_COMP_0(ALT1) UART0_TXD(ALT2) MCAN0_TXD(ALT7)	-	VPMC
AG13	N9	PY01	GPIO_Y_01(ALT0) GPTMR1_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7)	-	VPMC
AH12	N11	PY02	GPIO_Y_02(ALT0) GPTMR1_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) MCAN0_STBY(ALT7) PDM0_CLK(ALT10)	-	VPMC
AF12	P13	PY03	GPIO_Y_03(ALT0) GPTMR1_CAPT_1(ALT1) UART0_CTS(ALT3) MCAN1_STBY(ALT7) PDM0_D_2(ALT10)	-	VPMC
AJ11	N12	PY04	GPIO_Y_04(ALT0) GPTMR1_CAPT_2(ALT1) UART1_CTS(ALT3) SPI2_CS_0(ALT5) MCAN1_RXD(ALT7) PDM0_D_3(ALT10)	-	VPMC

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AG11	P12	PY05	GPIO_Y_05(ALT0) GPTMR1_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI2_SCLK(ALT5) MCAN1_TXD(ALT7) PDM0_D_1(ALT10)	-	VPMC
AH10	N13	PY06	GPIO_Y_06(ALT0) GPTMR0_CAPT_0(ALT1) UART1_RXD(ALT2) SPI2_MISO(ALT5) PDM0_CLK(ALT10)	-	VPMC
AF10	P11	PY07	GPIO_Y_07(ALT0) GPTMR0_COMP_0(ALT1) UART1_TXD(ALT2) SPI2_MOSI(ALT5) PDM0_D_0(ALT10)	-	VPMC
AD14	T14	PZ00	GPIO_Z_00(ALT0) GPTMR3_COMP_0(ALT1) UART4_TXD(ALT2) MCAN4_TXD(ALT7)	-	VBAT
AB14	N14	PZ01	GPIO_Z_01(ALT0) GPTMR3_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN4_RXD(ALT7)	-	VBAT
AE13	T13	PZ02	GPIO_Z_02(ALT0) GPTMR3_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) MCAN4_STBY(ALT7) DAO_RP(ALT10)	-	VBAT
AC13	P14	PZ03	GPIO_Z_03(ALT0) GPTMR3_CAPT_1(ALT1) UART4_CTS(ALT3) MCAN5_STBY(ALT7) DAO_RN(ALT10)	-	VBAT

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AE11	U13	PZ04	GPIO_Z_04(ALT0) GPTMR3_CAPT_2(ALT1) UART5_CTS(ALT3) SPI0_CS_0(ALT5) MCAN5_RXD(ALT7) DAO_LP(ALT10)	-	VBAT
AC11	R14	PZ05	GPIO_Z_05(ALT0) GPTMR3_COMP_2(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) SPI0_SCLK(ALT5) MCAN5_TXD(ALT7) DAO_LN(ALT10)	-	VBAT
AD10	R13	PZ06	GPIO_Z_06(ALT0) GPTMR2_CAPT_0(ALT1) UART5_RXD(ALT2) SPI0_MISO(ALT5)	-	VBAT
AB10	T12	PZ07	GPIO_Z_07(ALT0) GPTMR2_COMP_0(ALT1) UART5_TXD(ALT2) SPI0_MOSI(ALT5)	-	VBAT
K10, L11	F7	VUSB	-	-	VUSB

HPM6800 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev1.0

2 引脚及功能描述

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
C1,J 1,R1, AA1, AG1, A3,J3 ,R3,A A3,A J3,E5 ,A9,C 9,L9, N9,U 9,W9 ,AG9, AJ9, M10, P10, T10, V10,J 11,R 11,A A11, K12, Y12,J 13,R 13,A A13, K14, Y14, A15, C15, L15, N15, R15, U15, W15, AG15 ,AJ15 ,K16, Y16,J 17,R 17,A A17, K18,J 19,R 19,M 20,P	A1,U 1,C3, G3,L 3,R3, U6,C 7,G7, H7,J 7,K7, L7,G 8,L8, G9,G 10,L1 0,C1 1,G1 1,H1 1,J11 ,K11, R11, U12, C15, G15, L15, P15,	VSS	-	-	-



封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
E1	C1	XTAL_IN	-	-	-
AE1, AE3, AE5, AF8, AH8	P9,R 9,T9, U9	DCDC_GND	-	-	-
B2	A2	USB0_DP	-	-	-
D2	C2	XTAL_OUT	-	-	-
AF2, AF4, AF6	R7,T 7,U7	DCDC_LP	-	-	-
AH2, AG3, AH4, AG5, AJ5	P8,R 8,T8, U8	DCDC_IN	-	-	-
C3	B1	USB0_DN	-	-	-
R5,J 7,R7, M8	H3,M 3,G6	VIO_B01	-	-	-
AH6, AJ7	R10, T10, U10	DCDCM_LP	-	-	-
AA7, V8	R4,M 6	VIO_B00	-	-	-
AE7	P7	DCDC_SNS	-	-	-
AG7	P10	DCDCM_SNS	-	-	-
G9	F6	VIO_B02	-	-	-
J9	B2	USB0_VBUS	-	-	-
R9	H6,J 6,K6	VDDA_MIP	-	-	-

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
AA9, Y10, U11, W11, P12, T12, V12, N13, U13, W13, M14, P14, T14, V14, M16, P16, T16, V16, N17, U17, P18, T18	H8,J 8,K8, H9,J 9,K9, H10, J10,K 10	VDD_SOC	-	-	-
AC9	M8	VDD_PMCCAP	-	-	-
AE9	N8	RESETN	-	-	-
N11, M12, L13	D3	VPLL	-	-	-
H12	C6	VIO_B03	-	-	-
AB12 ,AD1 2	M7,N 7	VPMC	-	-	-
AF14	T11	RTC_XTAL_OUT	-	-	-
AH14	U11	RTC_XTAL_IN	-	-	-
E15	F8,C 10	VIO_B04	-	-	-
G15	F9	VIO_B05	-	-	-

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
J15	F10	VIO_B11	-	-	-
AA15	P15	VIO_B10	-	-	-
AC15 ,AE1 5	M9,R 12	VBAT	-	-	-
L17, M18, N19	L6	VDD_2V5CAP	-	-	-
W17, V18, U19	M10	VANA	-	-	-
H18, G21	F11, C14	VIO_B06	-	-	-
Y18, AA19	L11	VREFL	-	-	-
AB18 ,AC2 1	K15	VIO_B09	-	-	-
L19, K20	F15	VIO_B08	-	-	-
W19, Y20	M11	VREFH	-	-	-
T20, V20	L9	VSSA	-	-	-
J21	D15	VIO_B07	-	-	-
R21, Y22	G12	DDR_VREF	-	-	-
AA21 ,M22, V22, AB22 ,J23, R23, AA23 ,J25, R25, AA25	F12, H12, J12,K 12,M 12	VDDR	-	-	-
K22	-	DDR_DM1	-	-	-

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
P22	-	DDR_DQS1N	-	-	-
T22	-	DDR_D10	-	-	-
L23	-	DDR_D11	-	-	-
N23	-	DDR_D14	-	-	-
U23	-	DDR_BA2	-	-	-
W23	-	DDR_WE	-	-	-
AC23	-	DDR_A10	-	-	-
K24	-	DDR_D9	-	-	-
M24	-	DDR_D15	-	-	-
P24	-	DDR_DQS1P	-	-	-
T24	-	DDR_D8	-	-	-
V24	-	DDR_CS0	-	-	-
Y24	-	DDR_RAS	-	-	-
AB24	-	DDR_CKP	-	-	-
AD24	-	DDR_A15	-	-	-
AF24	L12	DDR_ZQ	-	-	-
L25	-	DDR_D13	-	-	-
N25	-	DDR_D12	-	-	-
U25	-	DDR_BA0	-	-	-
W25	-	DDR_CAS	-	-	-
AC25	-	DDR_CKN	-	-	-
AG25	-	DDR_CKE0	-	-	-
AJ25	-	DDR_CKE1	-	-	-
K26	-	DDR_D6	-	-	-
M26	-	DDR_D2	-	-	-
P26	-	DDR_D1	-	-	-
T26	-	DDR_D7	-	-	-

封装		PIN 名称	数字功能	模拟功能	供电分组
BGA _417	BGA _289				
V26	-	DDR_CS1	-	-	-
Y26	-	DDR_A9	-	-	-
AB26	-	DDR_A2	-	-	-
AD26	-	DDR_A12	-	-	-
AF26	-	DDR_A11	-	-	-
AH26	-	DDR_A8	-	-	-
L27	-	DDR_DQS0N	-	-	-
N27	-	DDR_D0	-	-	-
U27	-	DDR_ODT0	-	-	-
W27	-	DDR_A7	-	-	-
AC27	-	DDR_A0	-	-	-
AE27	-	DDR_A1	-	-	-
AG27	-	DDR_A6	-	-	-
K28	-	DDR_D4	-	-	-
P28	-	DDR_D3	-	-	-
T28	-	DDR_D5	-	-	-
Y28	-	DDR_A13	-	-	-
AB28	-	DDR_A5	-	-	-
AF28	-	DDR_A4	-	-	-
AH28	-	DDR_A14	-	-	-
L29	-	DDR_DQS0P	-	-	-
N29	-	DDR_DM0	-	-	-
U29	-	DDR_ODT1	-	-	-
W29	-	DDR_RST	-	-	-
AC29	-	DDR_A3	-	-	-
AE29	-	DDR_BA1	-	-	-

表 2: SOC IOMUX

封装		PIN 名称	数字功能	供电分组
BGA _417	BGA _289			
AJ13	N10	PY00	PGPIO_Y_00(ALT0) PURT_TXD(ALT1) PTMR_COMP_0(ALT2) SOC_PY_00(ALT3)	VPMC
AG13	N9	PY01	PGPIO_Y_01(ALT0) PURT_RXD(ALT1) PTMR_COMP_1(ALT2) SOC_PY_01(ALT3)	VPMC
AH12	N11	PY02	PGPIO_Y_02(ALT0) PURT_RTS(ALT1) PTMR_COMP_2(ALT2) SOC_PY_02(ALT3)	VPMC
AF12	P13	PY03	PGPIO_Y_03(ALT0) PURT_CTS(ALT1) PTMR_COMP_3(ALT2) SOC_PY_03(ALT3)	VPMC
AJ11	N12	PY04	PGPIO_Y_04(ALT0) PTMR_COMP_0(ALT2) SOC_PY_04(ALT3)	VPMC
AG11	P12	PY05	PGPIO_Y_05(ALT0) PWDG_RSTN(ALT1) PTMR_CAPT_0(ALT2) SOC_PY_05(ALT3)	VPMC
AH10	N13	PY06	PGPIO_Y_06(ALT0) VAD_CLK(ALT1) PTMR_COMP_1(ALT2) SOC_PY_06(ALT3)	VPMC
AF10	P11	PY07	PGPIO_Y_07(ALT0) VAD_DAT(ALT1) PTMR_CAPT_1(ALT2) SOC_PY_07(ALT3)	VPMC

表 3: PMIC IOMUX

封装		PIN 名称	数字功能	供电分组
BGA _417	BGA _289			
AD14	T14	PZ00	BGPIO_Z_00(ALT0) TAMP_PZ_00(ALT2) SOC_PZ_00(ALT3)	VBAT
AB14	N14	PZ01	BGPIO_Z_01(ALT0) TAMP_PZ_01(ALT2) SOC_PZ_01(ALT3)	VBAT
AE13	T13	PZ02	BGPIO_Z_02(ALT0) TAMP_PZ_02(ALT2) SOC_PZ_02(ALT3)	VBAT
AC13	P14	PZ03	BGPIO_Z_03(ALT0) TAMP_PZ_03(ALT2) SOC_PZ_03(ALT3)	VBAT
AE11	U13	PZ04	BGPIO_Z_04(ALT0) TAMP_PZ_04(ALT2) SOC_PZ_04(ALT3)	VBAT
AC11	R14	PZ05	BGPIO_Z_05(ALT0) TAMP_PZ_05(ALT2) SOC_PZ_05(ALT3)	VBAT
AD10	R13	PZ06	BGPIO_Z_06(ALT0) TAMP_PZ_06(ALT2) SOC_PZ_06(ALT3)	VBAT
AB10	T12	PZ07	BGPIO_Z_07(ALT0) TAMP_PZ_07(ALT2) SOC_PZ_07(ALT3)	VBAT

表 4: BATT IOMUX

2.4 内置 DDR 引脚说明

对于 HPM68D*IBD* 等内置 DDR 的 BGA417 产品型号，R21 引脚为内置 DDR 的 ZQ 引脚，需连接 240 欧姆电阻。原 DDR_ZQ 引脚为 DDR 控制器的 ZQ 引脚，仍然需要连接另外一个 240 欧姆电阻。

对于 HPM68D*IBD* 等内置 DDR 的 BGA417 产品型号，表 5 中的引脚被内部 DDR 占用，外部无需连接。

BGA_417	PIN 名称
K22	DDR_DM1
P22	DDR_DQS1N
T22	DDR_D10
L23	DDR_D11
N23	DDR_D14
U23	DDR_BA2
W23	DDR_WE
AC23	DDR_A10
K24	DDR_D9
M24	DDR_D15
P24	DDR_DQS1P
T24	DDR_D8
V24	DDR_CS0
Y24	DDR_RAS
AB24	DDR_CKP
AD24	DDR_A15
L25	DDR_D13
N25	DDR_D12
U25	DDR_BA0
W25	DDR_CAS
AC25	DDR_CKN
AG25	DDR_CKE0
AJ25	DDR_CKE1
K26	DDR_D6
M26	DDR_D2
P26	DDR_D1
T26	DDR_D7
V26	DDR_CS1
Y26	DDR_A9
AB26	DDR_A2
AD26	DDR_A12
AF26	DDR_A11
AH26	DDR_A8
L27	DDR_DQS0N
N27	DDR_D0

BGA_417	PIN 名称
U27	DDR_ODT0
W27	DDR_A7
AC27	DDR_A0
AE27	DDR_A1
AG27	DDR_A6
K28	DDR_D4
P28	DDR_D3
T28	DDR_D5
Y28	DDR_A13
AB28	DDR_A5
AF28	DDR_A4
AH28	DDR_A14
L29	DDR_DQS0P
N29	DDR_DM0
U29	DDR_ODT1
W29	DDR_RST
AC29	DDR_A3
AE29	DDR_BA1

表 5: 内置 DDR 占用引脚

2.5 特殊功能引脚

芯片默认是通过 BOOT_MODE[0:1]=[PA02:PA03] 引脚选择三种不同的启动模式，启动配置如表 6。其他特殊引脚配置如表 7。

启动模式选择引脚		启动模式	说明
BOOT_MODE1	BOOT_MODE0		
0	0	XPI NOR 启动	从连接在 XPI0/1 上的串行 NOR FLASH 启动
0	1	SD/eMMC 启动	从 SD 卡或 eMMC 上启动
1	0	在系统编程 (ISP)/串行启动	从 UART0/USB0 上烧写固件, OTP, 或从 UART0/USB0 上启动
1	1	保留模式	保留模式

表 6: 启动配置表

引脚名称	描述	建议用法
XTAL_IN	24MHz 时钟输入	接 24MHz 晶体或有源时钟
XTAL_OUT	24MHz 时钟输出	接 24MHz 晶体或悬空
RTC_XTAL_IN	32.768kHz 时钟输入	接 32.768kHz 晶体或有源时钟
RTC_XTAL_OUT	32.768kHz 时钟输出	接 32.768kHz 晶体或悬空

表 7: 特殊功能引脚配置

2.6 IO 复位状态

表 8总结了本产品所有 IO 在系统复位后的状态：

名称	复位后状态	复位后功能
PA04	高阻	JTAG.TDO
PA05	输入内部上拉	JTAG.TDI
PA06	输入内部下拉	JTAG.TCK
PA07	输入内部上拉	JTAG.TMS
PA08	输入内部上拉	JTAG.TRST
PZ00	输入内部下拉	GPIO
PZ01	输入内部下拉	GPIO
PZ02	输入内部下拉	GPIO
PZ03	输入内部下拉	GPIO
PZ04	输入内部下拉	GPIO
PZ05	输入内部下拉	GPIO
PZ06	输入内部下拉	GPIO
PZ07	输入内部下拉	GPIO

名称	复位后状态	复位后功能
其余 IO	输入高阻	GPIO

表 8: IO 复位状态表

2.7 IO 特殊说明

PA28~PA31、PB00~PB31 这些 IO 是 GPIO 与 MIPI/LVDS 共用，在 VDD_SOC 掉电之后的状态不确定 (可能为高阻态或者内部上下拉)，用户在低功耗模式时如果对 IO 的状态有要求，应避免使用这些 IO。

3 电源

该系列芯片供电是通过对 DCDC_IN 和 VPMC 脚输入 3.0-3.6V 单一电源, 并通过内置的电压调节器提供系统所需的 VDD_SOC, VDDR, VDDA_MIPI, VDD_PMCCAP, VDD_2V5CAP 电源。当电源 DCDC_IN 和 VPMC 掉电后, 通过 VBAT 脚为实时时钟 (RTC) 和备份寄存器提供电源。每个 I/O 电源 VIO_Bxx 根据相应负载接 3.3V 或 1.8V 电源。

3.1 电源框图

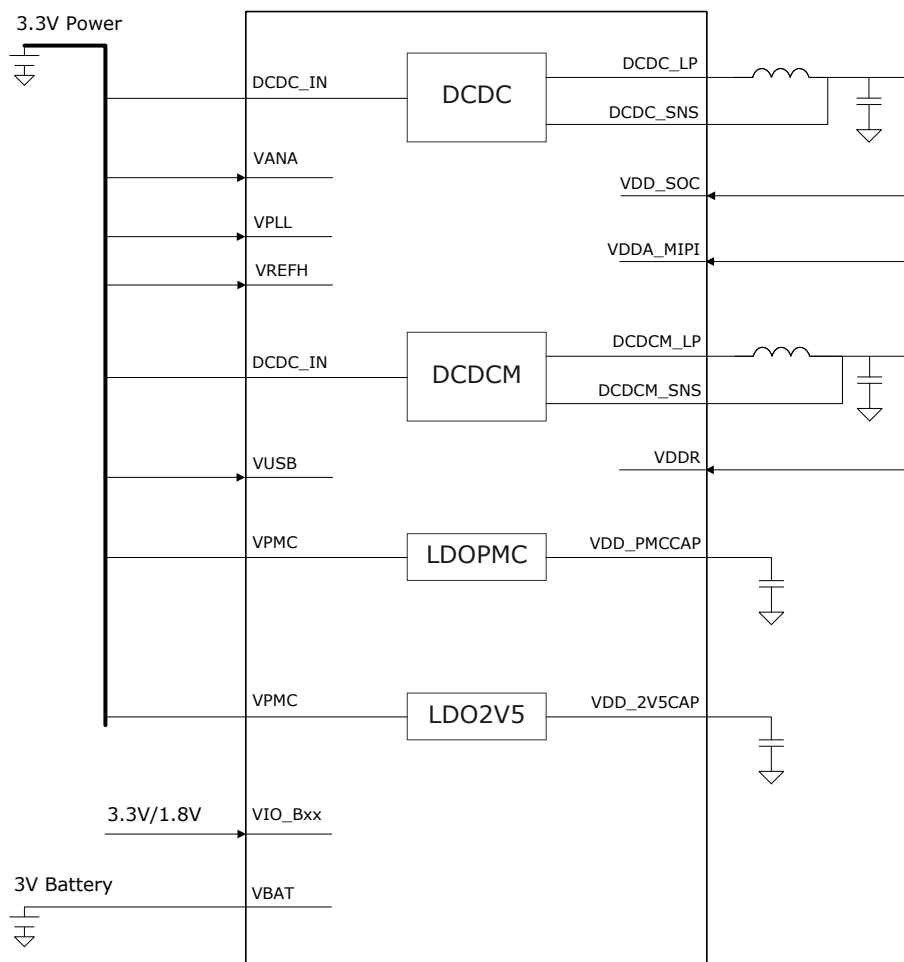


图 4: 系统供电框图

3.2 上下电时序

上下电时序如图 5。

上电要求 VBAT 不能迟于其他电源上电即可, 下电要求 VBAT 不早于其他电源下电即可。

VBAT, VPMC 和 DCDC_IN 的输入电压从 0V 上升到 3V 以上必须在 100ms 内完成。

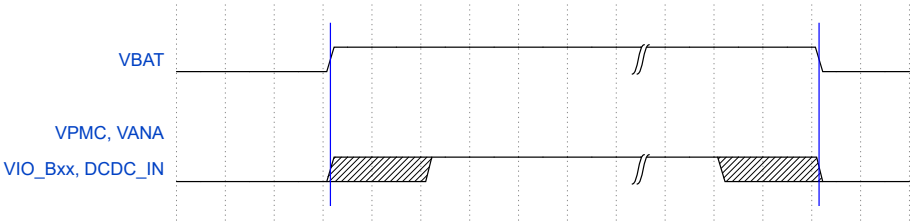


图 5: 上电时序要求

4 电气特性

4.1 工作条件

若无另行说明，所有电压都以 VSS 为基准。

4.1.1 最大值和最小值

表 9 给出了此芯片支持工作环境的最大值和最小值；超过表 9 所列的值，可能会对芯片造成永久伤害。

符号	描述	最小值	最大值	单位
DCDC_IN	DCDC 输入电压	-0.3	3.6	V
VPMC	VPMC 输入电压	-0.3	3.6	V
VBAT	VBAT 输入电压	-0.3	3.6	V
VDD_SOC	VDD_SOC 输入电压	-0.3	1.3	V
VDD_USB	USB CORE 输入电压	-0.3	1.3	V
VANA	VANA 输入电压	-0.3	3.6	V
VREFH	ADC 参考电压	2.4	3.6	V
USB0_VBUS	USB0 输入检测电压	-	5.5	V
VUSB	USB 输入电压	-0.3	3.6	V
VIO_Bxx(3.3V 模式)	IO 对应电源 3.3V 供电	-0.3	3.6	V
VIO_Bxx(1.8V 模式)	IO 对应电源 1.8V 供电	-0.3	1.98	V
ESD HBM	HBM 模型的抗 ESD 电压	-	2000	V
ESD CDM	CDM 模型的抗 ESD 电压	-	750	V
$T_S T_G$	存储温度	-40	150	°C

表 9: 最大值和最小值

4.1.2 正常工作条件

表 10 列出了芯片的正常工作条件，若超出此表所列的工作条件，将不保证芯片的正常功能和性能。

符号	描述	工作场景	最高频率	最小值	典型值	最大值 ⁽¹⁾	单位
VDD_SOC ⁽²⁾	VDD_SOC 输入电压	性能模式	CPU 600MHz, GPU 500MHz, DDR3 1333MHz, DDR2 800MHz	1.25	1.275	1.30	V
		平衡模式	CPU 500MHz, GPU 400MHz, DDR3 1333MHz, DDR2 800MHz	1.15	1.175	1.30	V
		节能模式	CPU 400MHz, GPU 300MHz, DDR3 1066MHz, DDR2 800MHz	1.05	1.075	1.30	V
		休眠模式 ⁽³⁾	-	0.9	-	1.30	V
DCDC_IN	DCDC 输入电压	-	-	3.0	3.3	3.6	V
VPMC	VPMC 输入电压	-	-	3.0	3.3	3.6	V
VBAT	VBAT 输入电压	-	-	2.4	3.0	3.6	V
VANA	VANA 输入电压	-	-	3.0	3.3	3.6	V
VBUS0	VBUS0 输入电压	-	-	-	5.0	5.5	V
VUSB	VUSB 输入电压	-	-	3.0	3.3	3.6	V
VIO_Bxx (3.3V 模式)	对应 IO 电源 3.3V	-	-	3.0	3.3	3.6	V
VIO_Bxx (1.8V 模式)	对应 IO 电源 1.8V	-	-	1.62	1.8	1.98	V
T_A	工作环境温度	-	-	-40	-	105	°C
T_J	工作芯片结温	-	-	-40	-	125	°C

表 10: 正常工作条件

1. 芯片工作在最大电压下会导致较大的功耗和发热，长期在最大电压下工作会导致芯片使用寿命缩短
2. 先辑推荐通常情况下将 VDD_SOC 电压设定为典型值。
3. 休眠模式下，片上 DCDC 可保持较低电压输出，从而保存片上 SRAM 内的数据。

4.2 内置闪存特性

本产品部分型号内置 4MB 闪存

内置的 4MB 闪存，分为 64 个块（block），每个块包含 16 个扇区（sector），每个扇区包含 16 个页（page），

每个页包含 256 字节 (Byte)。内置闪存的特性如表 11。

符号	描述	最小值	典型值	最大值	单位
ICC Standby	闪存待机电流	-	12	-	uA
ICC Read	闪存读取电流	-	12	-	mA
ICC PP	闪存页编程电流	-	15	-	mA
ICC SE	闪存扇区擦除电流	-	15	-	mA
ICC BE	闪存块擦除电流	-	15	-	mA
ICC CE	闪存全擦除电流	-	15	-	mA
t BP1	闪存首字节编程时间	-	40	-	us
t BP2	闪存后续字节编程时间	-	2.5	-	us
t PP	闪存页编程时间	-	0.5	-	ms
t SE	闪存扇区时间	-	45	-	ms
t BE	闪存块擦除时间	-	0.25	-	s
t CE	闪存全擦除时间	-	12	-	s
ENdurance	编程/擦除周期数	100k		-	Cycles
Data Retention	数据保存时间	-	20	-	Years

表 11: 内置闪存特性

4.3 内置 DDR 特性

4.3.1 内置 DDR3 特性

本产品部分型号内置 2Gb 容量的 16 位 DDR3L 颗粒：

- 8 banks
- 8 bit 预取
- Burst length 8
- 2K Byte page size
- 支持 Auto-MDIX
- CAS Latency(CL): 5, 6, 8, 9, 10
- CAS Write Latency(CWL): 5, 6, 7
- Size: 16Mx8banksx16bits

符号	描述	最小值	典型值	最大值	单位
CL-nRCD-nRP	CAS Latency - RAS to CAS Delay - Row Precharge Time	-	9-9-9	-	nCK
fCKMAX	Maximum operating frequency	-	-	667	MHz
tAA	Internal read command to first data	13.5	-	20	nS

符号	描述	最小值	典型值	最大值	单位
tRCD	ACT to internal read or write delay time	13.5	-	-	nS
tRP	PRE command period	13.5	-	-	nS
tRC	ACT to ACT or REF command period	49.5	-	-	nS
tRAS	ACT to PRE command period	36	-	9*tREFI	nS
tREFI	Average periodic refresh Interval	-	-	7.8	uS
VDDR	Supply Voltage for DDR IO	1.283	1.35	1.45	V
DDR_VREF	Input reference voltage	0.49*VDDR	0.5*VDDR	0.51*VDDR	V

表 12: 内置 DDR3L 电气参数

4.3.2 内置 DDR2 特性

本产品部分型号内置 512Mb 容量的 16 位 LVDDR2 颗粒:

- 4 banks
- 4 bit 预取
- Burst length 4 and 8
- 支持 Auto-precharge, Auto-Refresh, Self-Refresh
- CAS Latency(CL): 5, 6, 7, 8, 9
- Size: 8Mx4banksx16bits

符号	描述	最小值	典型值	最大值	单位
CL-nRCD-nRP	CAS Latency - RAS to CAS Delay - Row Precharge Time	-	8-8-8/9-9-9	-	nCK
fCKMAX	Maximum operating frequency	-	-	400	MHz
tRCD	ACT to internal read or write delay time	12	-	-	nS
tRP	PRE command period	12	-	-	nS
tRC	ACT to ACT or REF command period	57	-	-	nS
tRAS	ACT to PRE command period	45	-	70000	nS
tREFI	Average periodic refresh Interval	-	-	7.8	uS
VDDR	Supply Voltage for DDR IO	1.425	1.5	1.575	V
DDR_VREF	Input reference voltage	0.49*VDDR	0.5*VDDR	0.51*VDDR	V

符号	描述	最小值	典型值	最大值	单位
----	----	-----	-----	-----	----

表 13: 内置 LVDDR2 电气参数

4.4 DCDC 电气特性

内置 DCDC 电气特性如表 14。

参数	最小值	典型值	最大值	单位	备注
输入电压	3.0	3.3	3.6	V	
输出电压	0.6	-	1.375	V	
输出电压精度 (Run mode)	-3%	-	+3%	-	
输出电压精度 (LP mode)	-6%	-	+6%	-	
过流保护阈值	-	4	-	A	
过压保护阈值	-	1.6	-	V	

表 14: DCDC 电气特性

4.5 VPMC 欠压检测

VPMC 欠压检测 BOR 的特性如表 15。

参数	符号	最小值	典型值	最大值	单位	备注
欠压警告生效电压	VBOR Warning Assert	-	2.8	-	V	-
欠压警告释放电压	VBOR Warning Release	-	2.9	-	V	-
欠压复位生效电压	VBOR Reset Assert	-	2.6	-	V	-
欠压复位释放电压	VBOR Reset Release	-	2.7	-	V	-

表 15: VPMC 欠压检测特性

4.6 复位引脚 RESET_N

RESET_N 保持低电平以触发正常复位的时间长度要求，请参考表 16。

参数	符号	最小值	典型值	最大值	单位	备注
RESET_N 低电平时间	T resetn low	300	1000	-	us	-

表 16: RESET_N 低电平复位特性

4.7 振荡器

4.7.1 24MHz 振荡器特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	24	-	MHz	-
等效串联电阻	ESR	-	40~80	-	Ω	-
负载电容	CL	-	6	-	pF	-

表 17: 24MHz 晶振

4.7.2 32KHz RC 振荡器时钟特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	32	-	KHz	-
频率准确度 (未校准)		-10	-	10	%	-

表 18: 32KHz RC 振荡器

4.7.3 24MHz RC 振荡器时钟特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	24	-	MHz	-
频率准确度		-15	-	15	%	-

表 19: 24MHz RC 振荡器

4.7.4 PLL 特性

参数	符号	最小值	典型值	最大值	单位	备注
参考频率	fREF	-	24	-	MHz	-
VCO 频率	fVCO	400	-	1000	MHz	-
锁定时间	tLOCK	-	-	2400	cycle	参考时钟周期

表 20: PLL 特性参数

4.8 外设时钟特性

表 21 列举了本产品各个外设时钟的特性。

符号	最小	典型	最大	单位
clk_top_cpu0	-	-	600	MHz
clk_top_mct0	-	-	600	MHz
clk_top_gpu0	-	-	500	MHz
clk_top_axif	-	-	400	MHz
clk_top_axis	-	-	200	MHz
clk_top_axic	-	-	200	MHz
clk_top_axiv	-	-	200	MHz
clk_top_axid	-	-	266	MHz
clk_top_can0	-	-	80	MHz
clk_top_can1	-	-	80	MHz
clk_top_can2	-	-	80	MHz
clk_top_can3	-	-	80	MHz
clk_top_can4	-	-	80	MHz
clk_top_can5	-	-	80	MHz
clk_top_can6	-	-	80	MHz
clk_top_can7	-	-	80	MHz
clk_top_i2c0	-	-	80	MHz
clk_top_i2c1	-	-	80	MHz
clk_top_i2c2	-	-	80	MHz
clk_top_i2c3	-	-	80	MHz
clk_top_spi0	-	-	80	MHz
clk_top_spi1	-	-	80	MHz
clk_top_spi2	-	-	80	MHz
clk_top_spi3	-	-	80	MHz
clk_top_urt0	-	-	80	MHz
clk_top_urt1	-	-	80	MHz
clk_top_urt2	-	-	80	MHz
clk_top_urt3	-	-	80	MHz
clk_top_urt4	-	-	80	MHz
clk_top_urt5	-	-	80	MHz
clk_top_urt6	-	-	80	MHz
clk_top_urt7	-	-	80	MHz
clk_top_tmr0	-	-	100	MHz
clk_top_tmr1	-	-	100	MHz
clk_top_tmr2	-	-	100	MHz
clk_top_tmr3	-	-	100	MHz

符号	最小	典型	最大	单位
clk_top_tmr4	-	-	100	MHz
clk_top_tmr5	-	-	100	MHz
clk_top_tmr6	-	-	100	MHz
clk_top_tmr7	-	-	100	MHz
clk_top_xpi0	-	-	333	MHz
clk_top_xram	-	-	300	MHz
clk_top_ana0	-	-	200	MHz
clk_top_ana1	-	-	200	MHz
clk_top_aud0	-	-	50	MHz
clk_top_aud1	-	-	50	MHz
clk_top_aud2	-	-	50	MHz
clk_top_aud3	-	-	50	MHz
clk_top_eth0	-	-	125	MHz
clk_top_ptp0	-	-	100	MHz
clk_top_sdc0	-	-	200	MHz
clk_top_sdc1	-	-	200	MHz
clk_top_ntm0	-	-	100	MHz
clk_top_ref0	-	-	100	MHz
clk_top_ref1	-	-	100	MHz
clk_top_cam0	-	-	200	MHz
clk_top_cam1	-	-	200	MHz
clk_top_lcd0	-	-	200	MHz
clk_top_lcd1	-	-	200	MHz
clk_top_csi0	-	-	200	MHz
clk_top_csi1	-	-	200	MHz

表 21: 外设时钟特性

4.9 工作模式

芯片在不同模式下的各模块电源配置如表 22

模式	CPU0 子系统电源	VDD_SOC	VPMC	VBAT
等待模式	开	开	开	开
停止模式	可选	开	开	开
休眠模式	关	关	开	开
关机模式	关	关	关	开

表 22: 工作模式配置表

4.10 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。

IDD(DCDC_IN) 的运行模式下的供电电流如表 23 和表 24 所示。

DCDC_IN、VPMC 由外部 3.3V 供电，VDD_SOC 由片上 DCDC 产生。CPU 运行 CoreMark 程序，代码是从指令本地存储器（ILM）执行。外设时钟打开后均处于默认频率（详情请参考本产品用户手册）。测试都是在典型工艺参数下的芯片上测试所得，仅供参考。

表 23 展示了外部 DDR 存储器供电由本产品内部 DCDC 提供时的供电电流。表 24 展示了外部 DDR 存储器供电由外部电源提供时的供电电流。供电示意图如图 6。

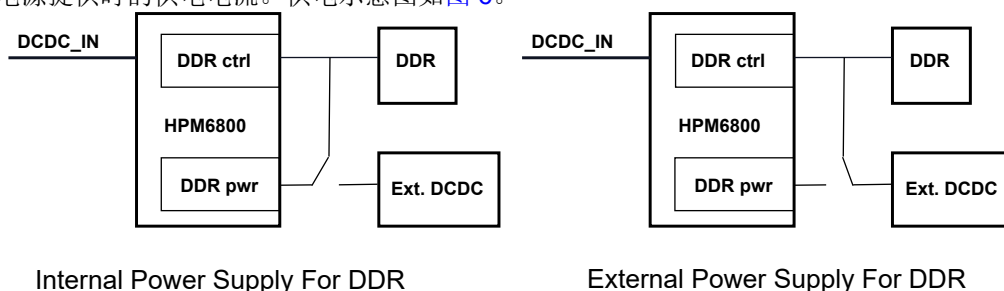


图 6: IDD DCDC 内外部 DDR 供电示意图

符号	测试条件	CPU0	GPU	VIS	DDR	外设	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD DCDC_IN = 3.3V	VDD_SOC =1.25V	600MHz	500MHz	266MHz	DDR3-1333	全开	372	389	455	mA
		600MHz	关	266MHz	DDR3-1333	全开	190	195	203	mA
	VDD_SOC =1.15V	500MHz	400MHz	200MHz	DDR3-1333	全开	345	374	425	mA
		500MHz	关	200MHz	DDR3-1333	全开	190	195	205	mA
		500MHz	关	关	DDR3-1333	全开	190	195	203	mA

符号	测试条件	CPU0	GPU	VIS	DDR	外设	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
		500MHz	关	关	关	全关	130	139	149	
	VDD_SOC =1.05V	400MHz	关	关	关	全开	102	110	117	mA
		400MHz	关	关	关	全开	40	44	48	mA

表 23: 运行模式的 DCDC 典型电流, DDR 内部供电

符号	测试条件	CPU0	GPU	VIS	DDR	外设	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD DCDC_IN = 3.3V	VDD_SOC =1.25V	600MHz	500MHz	266MHz	DDR3-1333	全开	310	340	395	mA
		600MHz	关	266MHz	DDR3-1333	全开	169	176	190	mA
	VDD_SOC =1.15V	500MHz	400MHz	200MHz	DDR3-1333	全开	291	320	370	mA
		500MHz	关	200MHz	DDR3-1333	全开	169	177	190	mA
		500MHz	关	关	DDR3-1333	全开	169	175	191	mA
		500MHz	关	关	关	全关	130	140	150	mA
	VDD_SOC =1.05V	400MHz	关	关	关	全开	102	110	118	mA
		400MHz	关	关	关	全开	40	43	49	mA

表 24: 运行模式的 DCDC 典型电流, DDR 外部供电

IDD(DCDC_IN) 的低功耗模式下的供电电流如表 25 所示。

符号	测试条件	工作状态	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD DCDC	DCDC IN = 3.3V	等待模式	22	35	43	mA
IDD DCDC	DCDC IN = 3.3V	停止模式	6.9	16	22	mA
IDD DCDC	DCDC IN = 3.3V	休眠模式	0	0	0	mA
IDD DCDC	DCDC IN = 3.3V	关机模式	NA	NA	NA	mA

表 25: IDD(DCDC IN) 低功耗模式典型电流

IDD(VPMC) 的供电电流如表 26 所示。

IDD(VBAT) 的供电电流如表 27 所示, SOC 处于关机模式。

符号	测试条件	工作状态	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD PMC	VPMC = 3.3V	运行模式	2.04	2.7	2.8	mA
		等待模式				
IDD PMC	VPMC = 3.3V	停止模式	1.48	2.15	2.3	mA
IDD PMC	VPMC = 3.3V	休眠模式	1.18	1.35	1.46	mA

符号	测试条件	工作状态	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD PMC	VPMC = 3.3V	关机模式	NA	NA	NA	uA

表 26: IDD(VPMC) 典型电流

符号	测试条件	工作状态	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD VBAT	VBAT = 3.3V	运行模式和全部低功耗模式	1.2	2.2	4	uA

表 27: IDD(VBAT) 典型电流

4.11 I/O 特性

4.11.1 I/O DC 特性

I/O 特性如表 28。

符号	参数	最小	典型	最大	单位
VDDIO 1.8V	IO 电源	1.62	1.8	1.98	V
VDDIO 3.3V	IO 电源	2.97	3.3	3.63	V
VIL 1.8V	输入低电平	0	-	0.3*VDDIO	V
VIH 1.8V	输入高电平	0.7*VDDIO	-	VDDIO	V
VOL 1.8V	输出低电平	-	-	0.15	V
VOH 1.8V	输出高电平	VDDIO-0.15	-	-	V
VIL 3.3V	输入低电平	0	-	0.3*VDDIO	V
VIH 3.3V	输入高电平	0.7*VDDIO	-	VDDIO	V
VOL 3.3V	输出低电平	-	-	0.15	V
VOH 3.3V	输出高电平	VDDIO-0.15	-	-	V
RPU22K	上拉电阻	17.1	22	28.3	kΩ
RPU47K	上拉电阻	36	47	60	kΩ
RPU100K	上拉电阻	75	100	125	kΩ
RPD100K	下拉电阻	75	100	125	kΩ

表 28: IO 工作条件

4.11.2 I/O AC 特性

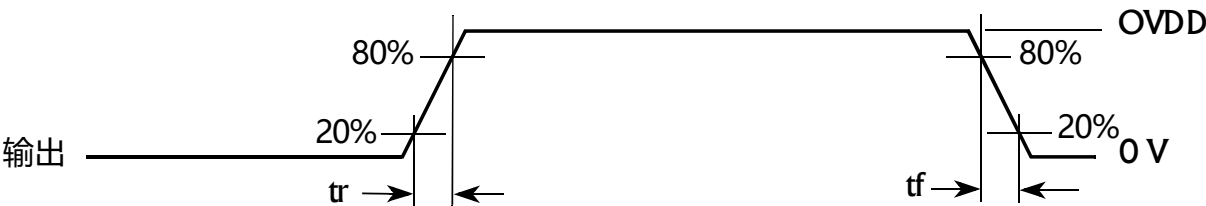


图 7: I/O AC 特性

类型	参数	符号	最小	最大	单位	测试条件
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	4.4/4.3	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	8.2/7.9	ns	15pf 负载, slow slew rate, 驱动强度 111b
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	4.6/4.4	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	8.6/8.3	ns	15pf 负载, slow slew rate, 驱动强度 011b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	2.6/2.5	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	4.3/4.2	ns	15pf 负载, slow slew rate, 驱动强度 111b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	2.9/2.7	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	4.5/4.4	ns	15pf 负载, slow slew rate, 驱动强度 011b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	2.1/1.6	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	3.4/3.3	ns	15pf 负载, slow slew rate, 驱动强度 111b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	2.2/1.7	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	3.6/3.4	ns	15pf 负载, slow slew rate, 驱动强度 011b

表 29: I/O AC 特性

4.12 JTAG 接口

JTAG 时序如图 8。

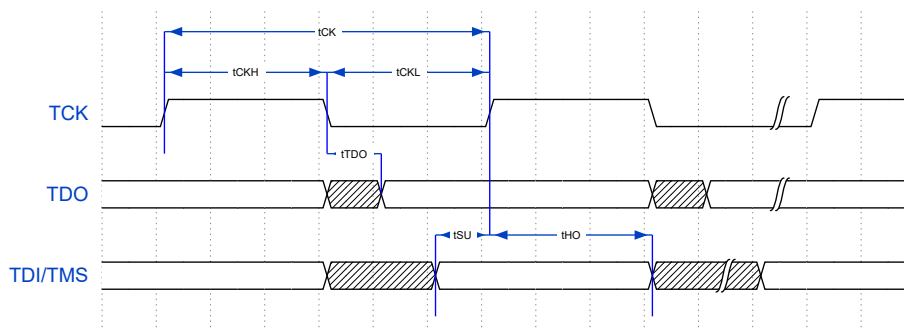


图 8: JTAG 时序图

符号	描述	最小值	最大值	单位
tCK	一个时钟周期持续的时间	40	-	ns
tCKH	一个时钟周期内高电平持续时间	$0.48 \cdot P$	$0.52 \cdot P$	ns
tCKL	一个时钟周期内低电平持续时间	$0.48 \cdot P$	$0.52 \cdot P$	ns
tSU(TDI-TCK)	输入建立时间, 从 TCK 高到 TDI 有效	8	-	ns
tSU(TMS-TCK)	输入建立时间, 从 TCK 高到 TMS 有效	8	-	ns
tHO(TCK-TDI)	输入保持时间, 从 TCK 高到 TDI 有效	15	-	ns
tHO(TCK-TMS)	输入保持时间, 从 TCK 高到 TMS 有效	15	-	ns
tTDO(TCK-TDO)	TCK 下降沿到 TDO 数据有效时间	-	15	ns

表 30: JTAG 时序参数

4.13 XPI 存储器接口

4.13.1 DC 特性

参考 I/O 即可

4.13.2 AC 特性

XPI 采样时钟有三种源：

- 由 XPI 控制器生成并在内部回送 (XPI_GCR0[RXCLKSRC] = 0x0)
- 由 XPI 控制器生成并通过 DQS 回送 (XPI_GCR0[RXCLKSRC] = 0x1)
- 来自外部 DQS 的输入 (XPI_GCR0[RXCLKSRC] = 0x3)

以下是三种采样时钟源以及 SDR、DDR 模式对应的输入读操作的特性和时序。测量数据基于电容负载为 15pF，输入 slew rate 为 1V/ns。

4.13.2.1 SDR 模式

XPI_GCR0[RXCLKSRC] = 0X0,0X1 对应时序如图 9。

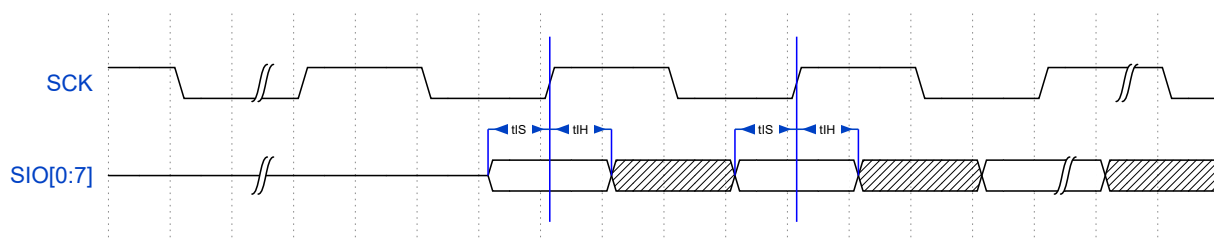


图 9: XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X0,0X1)

符号	参数	最小值	最大值	单位
	时钟频率	—	60	MHz
tIS	输入数据的建立时间	8.67	—	ns
tIH	输入数据的保持时间	0	—	ns

表 31: XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X0)

符号	参数	最小值	最大值	单位
	时钟频率	—	133	MHz
tIS	输入数据的建立时间	2	—	ns
tIH	输入数据的保持时间	1	—	ns

表 32: XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X1)

图 9 所示时序基于存储器在 SCK 下降沿生成读取数据，以及 XPI 控制器在下降沿采样读取数据。

在 SDR 模式下，XPI_GCR0[RXCLKSRC] = 0X3，由存储器提供读数据和读选通时，有两种情况：

- 情形 1：存储器在 SCK 上升沿（或下降沿）上生成读数据和读选通信号。

XPI_GCR0[RXCLKSRC] = 0X3，情形 1 对应时序如图 10。

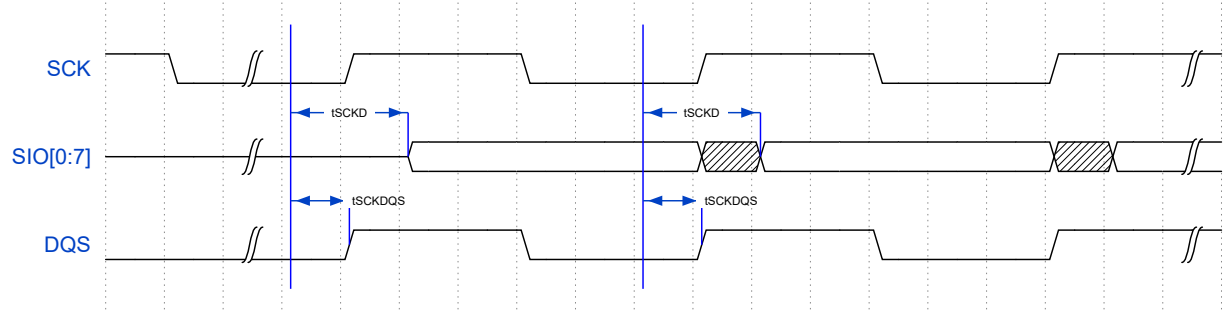


图 10: XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 1)

符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-2	2	ns

表 33: XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 1)

图 10所示时序基于存储器在 SCK 上升沿生成读数据和读选通，XPI 控制器在 DQS 下降沿采样读取数据。

- 情形 2: 存储器在 SCK 下降沿产生读数据，在 SCK 上升沿产生读选通。

XPI_GCR0[RXCLKSRC] = 0X3, 情形 2 对应时序如图 11。

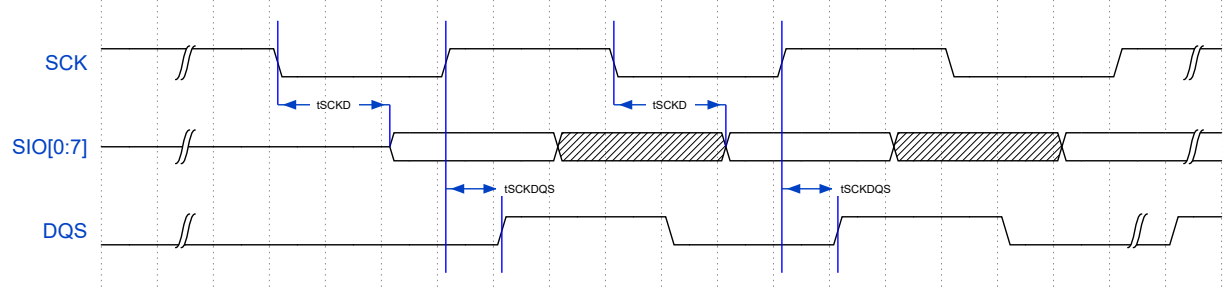


图 11: XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 2)

符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-2	2	ns

表 34: XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 2)

图 11是存储器在 SCK 下降沿生成读取数据并在 SCK 上升沿生成读取选通，XPI 控制器在半周期延迟的 DQS 下降沿上采样读取数据。

4.13.2.2 DDR 模式

XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X0,0X1) 对应时序如图 12。

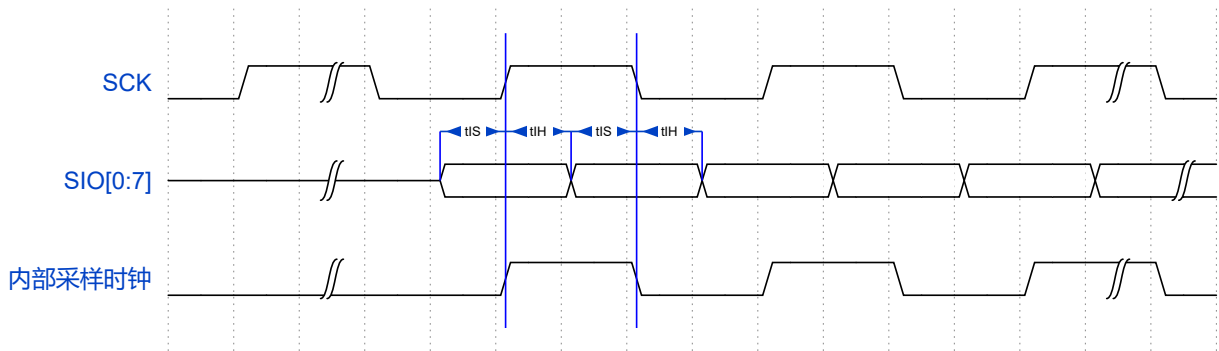


图 12: XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X0,0X1)

符号	参数	最小值	最大值	单位
	时钟频率	—	30	MHz
tIS	输入数据的建立时间	8.67	—	ns
tIH	输入数据的保持时间	0	—	ns

表 35: XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X0)

符号	参数	最小值	最大值	单位
	时钟频率	—	66	MHz
tIS	输入数据的建立时间	2	—	ns
tIH	输入数据的保持时间	1	—	ns

表 36: XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X1)

在 DDR 模式下, XPI_GCR0[RXCLKSRC] = 0X3, 存储器在 SCK 上升沿 (或下降沿) 上生成读数据和读选通信号。

XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3) 对应时序如图 13。

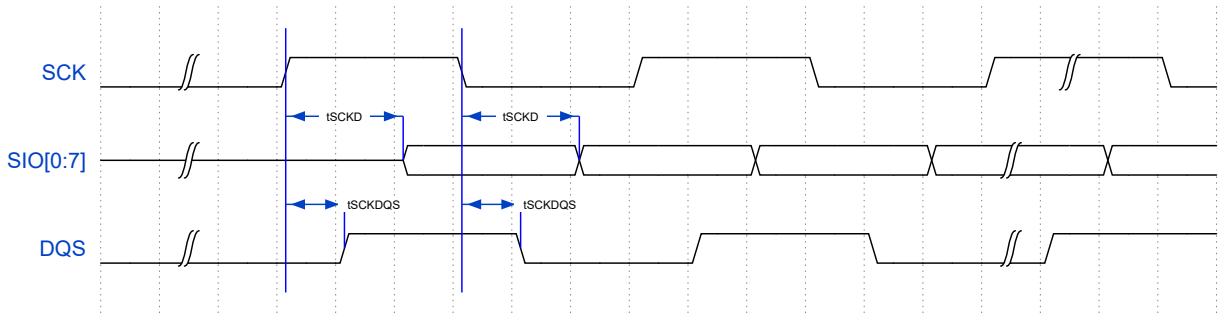


图 13: XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3)

符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-1	1	ns

表 37: XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3)

4.13.2.3 XPI 输出/写操作

以下部分描述了 XPI 控制器的输出信号时序，包括控制信号和数据输出。

• SDR 模式

XPI SDR 模式的输出信号时序对应时序如图 14。

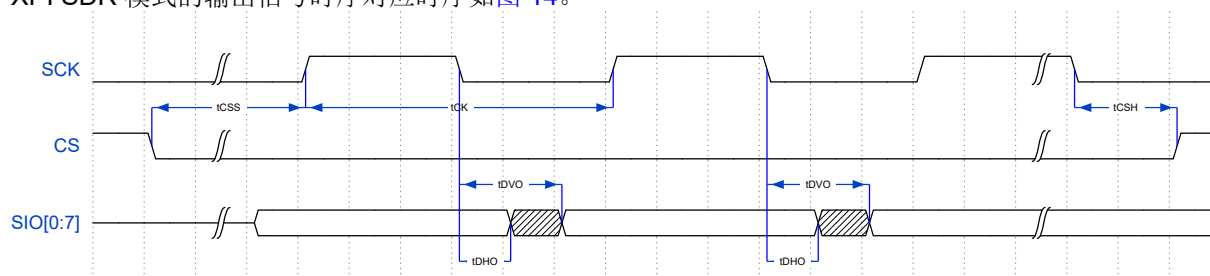


图 14: XPI SDR 模式的输出信号

符号	参数	最小值	最大值	单位
fCK	时钟频率	—	166	MHz
tCK	SCK 时钟周期	6	—	ns
tDVO	输出信号有效时间	—	1	ns
tDHO	输出信号保持时间	1	—	ns
tCSS	片选信号建立时间	$3 \times tCK - 1$	—	ns
tCSH	片选信号保持时间	$3 \times tCK + 2$	—	ns

表 38: XPI SDR 模式的输出信号时序

• DDR 模式

XPI DDR 模式的输出信号时序对应时序如图 15。

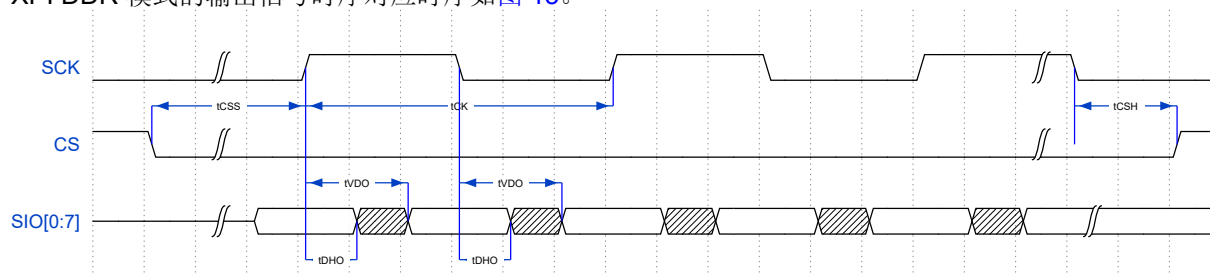


图 15: XPI DDR 模式的输出信号

符号	参数	Min	Max	Unit
fCK	时钟频率	—	166	MHz
tCK	SCK 时钟周期 (XPI_GCR0[RXCLKSRC] = 0X0)	6	—	ns
tDVO	输出信号有效时间	—	2.2	ns
tDHO	输出信号保持时间	0.8	—	ns
tCSS	片选信号建立时间	$3 \times tCK/2 - 0.7$	—	ns
tCSH	片选信号保持时间	$3 \times tCK/2 + 0.8$	—	ns

表 39: XPI DDR 模式的输出信号时序

4.14 DDR 控制器特性

4.14.1 DC 特性

Symbol	Parameter	Min	Nom	Max	Units
V _{DD}	Core supply voltage	0.99	1.1	1.21	V
VDD_PLL	PLL supply voltage	2.25	2.5	2.75	V
VDDQ_3	SSTL output supply voltage (DDR3)	1.425	1.50	1.575	V
VDDQ_3L	SSTL output supply voltage (DDR3L)	1.283	1.35	1.45	V
VDDQ_3U	SSTL output supply voltage (DDR3U)	1.19	1.25	1.31	V
VDDQ_2	SSTL output supply voltage (DDR2)	1.7	1.80	1.90	V
VDDQ_LP	SSTL output supply voltage (LVCMOS)	1.65	1.80	1.95	V
VREF	SSTL reference supply voltage	$0.49 \times V_{DDQ}$	$0.5 \times V_{DDQ}$	$0.51 \times V_{DDQ}$	V
VTT	External termination voltage	$V_{REF} - 40mV$	V_{REF}	$V_{REF} + 40mV$	V
T	Junction temperature	-40	25	125	°C

1. Correct operation of the IP is not guaranteed if the recommended operating conditions for V_{pll} and V_{dd} are exceeded.

表 40: Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V _{IH(DC)}	DC input voltage High	$V_{REF} + 0.1$		V_{DDQ}	V
V _{IL(DC)}	DC input voltage Low	$V_{SSQ} - 0.3$		$V_{REF} - 0.1$	V
V _{OH}	DC output logic High	$0.8 \times V_{DDQ}$			V
V _{OL}	DC output logic Low			$0.2 \times V_{DDQ}$	V
R _{TT}	Input termination resistance (ODT) to VDDQ/2	100	120	140	Ω
		54	60	66	
		36	40	44	

表 41: DDR3 Mode DC 特性

Symbol	Parameter	Min	Nom	Max	Units
$V_{IH(DC)}$	DC input voltage High	$V_{REF} + 0.09$		V_{DDQ}	V
$V_{IL(DC)}$	DC input voltage Low	$V_{SSQ} - 0.3$		$V_{REF} - 0.09$	V
V_{OH}	DC output logic High	$0.8 * V_{DDQ}$			V
V_{OL}	DC output logic Low			$0.2 * V_{DDQ}$	V
R_{TT}	Input termination resistance (ODT) to $V_{DDQ}/2$	100	120	140	ohm
		54	60	66	
		36	40	44	

表 42: DDR3L Mode DC 特性

Symbol	Parameter	Min	Nom	Max	Units
$V_{IH(DC)}$	DC input voltage High	$V_{REF} + 0.125$		$V_{DDQ} + 0.3$	V
$V_{IL(DC)}$	DC input voltage Low	$V_{SSQ} - 0.3$		$V_{REF} - 0.125$	V
V_{OH}	DC output logic High	$V_{DDQ} - 0.28$			V
V_{OL}	DC output logic Low			$V_{SSQ} + 0.28$	V
R_{TT}	Input termination resistance (ODT) to $V_{DDQ} / 2$	120	150	180	ohm
		60	75	90	
		40	50	60	

表 43: DDR2 Mode DC 特性

4.14.2 AC 特性

Symbol	Parameter	Min	Nom	Max	Units
VIH_AC	Input logic threshold High	$V_{REF} + 175\text{mV}$			mV
VIL_AC	Input logic threshold Low			$V_{REF} - 175\text{mV}$	mV
T_DRV	Output delay	509.5	736.70	1207.00	ps
SR_DRV	Output driver slew rate (at SDRAM pin)	2.88	3.43	3.91	V/ns
T_V2Z	Output tri-state delay - valid data to Z	532.9	762.20	1233.00	ps
T_Z2V	Output tri-state delay - Z to valid data	481.3	716.30	1189.00	ps
T_RCV	Input delay	263.3	371.55	585.10	ps
T_ODT_ON	TE-ON to ODT-ON delay	493.5	759.50	1371.00	ps
T_ODT_OFF	TE-OFF to ODT-OFF delay	463.5	694.70	1225.00	ps
C_IO	I/O capacitance (equivalent at $V_{DDQ}/2$)	2.15	2.23	2.31	pF
F_MAX	Maximum operating frequency			800	MHz
DR_MAX	Maximum operating data rate			1600	Mb/s
PRCVQ_AC	Input mode AC power (V_{DDQ} rail)	0.61	0.62	0.70	$\mu\text{W}/\text{MHz}$
PRCV_AC	Input mode AC power (V_{DD} rail)	0.11	0.13	0.16	$\mu\text{W}/\text{MHz}$
PDRVQ_AC	Output mode AC power (V_{DDQ} rail)	7.8	7.80	9.77	$\mu\text{W}/\text{MHz}$
PDRV_AC	Output mode AC power (V_{DD} rail)	0.37	0.46	0.58	$\mu\text{W}/\text{MHz}$

表 44: DDR3 Mode AC 特性

Symbol	Parameter	Min	Nom	Max	Units
VIH_AC	Input logic threshold High	$V_{REF} + 160\text{mV}$			mV
VIL_AC	Input logic threshold Low			$V_{REF} - 160\text{mV}$	mV
T_DRV	Output delay	535.1	799.70	1339.00	ps
SR_DRV	Output driver slew rate (at SDRAM pin)	2.62	3.09	3.57	V/ns
T_V2Z	Output tri-state delay - valid data to Z	554.5	828.60	1378.00	ps
T_Z2V	Output tri-state delay - Z to valid data	506.1	777.90	1321.00	ps
T_ODT_ON	TE-ON to ODT-ON delay	519.2	845.45	1545.00	ps
T_ODT_OFF	TE-OFF to ODT-OFF delay	488.6	771.55	1387.00	ps
T_DLY_RCV	Input delay	274.7	410.90	665.50	ps
C_IO	I/O capacitance (equivalent at $V_{DDQ}/2$)	2.16	2.25	2.33	pF
F_MAX	Maximum operating frequency			800	MHz
DR_MAX	Maximum operating data rate			1600	Mb/s
PRCVQ_AC	Input mode AC power (V_{DDQ} rail)	0.53	0.57	0.68	$\mu\text{W}/\text{MHz}$
PRCV_AC	Input mode AC power (V_{DD} rail)	0.11	0.13	0.16	$\mu\text{W}/\text{MHz}$
PDRVQ_AC	Output mode AC power (V_{DDQ} rail)	6.58	6.97	8.24	$\mu\text{W}/\text{MHz}$
PDRV_AC	Output mode AC power (V_{DD} rail)	0.37	0.45	0.57	$\mu\text{W}/\text{MHz}$

表 45: DDR3L Mode AC 特性

Symbol	Parameter	Min	Nom	Max	Units
VIH_AC	Input logic threshold High	$V_{REF} + 250mV$			mV
VIL_AC	Input logic threshold Low			$V_{REF} - 250mV$	mV
T_DRV	Output delay	459.6	650.30	1053.00	ps
SR_DRV	Output driver slew rate (at SDRAM pin)	3.94	4.58	5.33	V/ns
T_V2Z	Output tri-state delay - valid data to Z	503.6	699.00	1083.00	ps
T_Z2V	Output tri-state delay - Z to valid data	439.3	635.50	1050.00	ps
T_ODT_ON	TE-ON to ODT-ON delay	448	686.20	1158.00	ps
T_ODT_OFF	TE-OFF to ODT-OFF delay	418.8	617.40	1026.00	ps
T_RCV	Input delay	237.4	321.85	490.00	ps
SR_DRV	I/O capacitance (equivalent at $V_{DDQ}/2$)	2.12	2.21	2.28	pF
F_MAX	Maximum operating frequency			533	MHz
DR_MAX	Maximum operating data rate			1066	Mb/s
PRCVQ_AC	Input mode AC power (V_{DDQ} rail)	0.72	0.80	1.11	uW/MHz
PRCV_AC	Input mode AC power (V_{DD} rail)	0.11	0.13	0.16	uW/MHz
PDRVQ_AC	Output mode AC power (V_{DDQ} rail)	16.55	16.97	21.50	uW/MHz
PDRV_AC	Output mode AC power (V_{DD} rail)	0.37	0.46	0.58	uW/MHz

表 46: DDR2 Mode AC 特性

4.15 MIPI DSI/LVDS TX 电气特性

当 PHY 工作于 DSI 模式时，PHY 接口的电气特性如下表所示：

Synbol	Description	Min	Type	Max	Unit
V_{CMTX}	HS-TX transmit static common-mode voltage	150	200	250	mV
$V_{CMTX(1,0)}$	HS-TX V_{CMTX} mismatch when output is Differential-1 or Differential-0			5	mV
V_{OD}	HS-TX transmit differential voltage	140	200	270	mV
DV_{OD}	HS-TX V_{OD} Mismatch when output is Differential-1 or Differential-0			14	mV
Z_{OS}	HS-TX Single ended output impedance	40	50	62.5	ohm
DZ_{OS}	HS-TX Single ended output impedance mismatch			10	%
V_{OHHS}	HS-TX output high voltage level			360	mV
V_{OH}	LP-TX Thevenin output high level	1.1	1.2	1.3	V
V_{OL}	LP-TX Thevenin output low level	-50		50	mV
Z_{OLP}	LP-TX output impedance	110			ohm
V_{IH_LP-RX}	LP-RX Logic 1 input voltage	880			mV
V_{IL_LP-RX}	LP-RX logic 0 input voltage, not in ULP state			550	mV
V_{IL_ULPS}	LP-RX logic 0 input voltage, ULP state			300	mV
V_{HYST}	LP-RX input hysteresis	25			mV
V_{IHCD}	LP-CD logic 1 contention threshold	450			mV
V_{ILCD}	LP-CD logic 0 contention threshold			200	mV

表 47: DSI 电气特性

当 PHY 工作于 LVDS 模式时，其电气特性如下表所示：

Synbol	Description	Min	Type	Max	Unit
V_{od}	output differential voltage	150	400	800	mV
R_o	differential output impedance(RTERMEN=1)	80	100	120	ohm
R_o	differential output impedance(RTERMEN=0)	2000	2500	3000	ohm
I_{sexp}, I_{sexn}	output current(driver shorted to ground)			40	mA
I_{sexp_exn}	output current(driver shorted together)			12	mA
T_f/T_r	rise/fall time of output differential	265			ps
T_f/T_r	rise/fall time of output differential			0.3	ui
T_{skew1}	The propagation delays differential skew between High to Low and Low to High			50	ps
T_{skew2}	channel to channel skew			100	ps

表 48: LVDS TX 电气特性

4.16 MIPI CSI/LVDS RX 电气特性

当 PHY 工作于 MIPI 模式时，MIPI DPHY RX 的电气特性如下表所示：

Symbol	Description	Min	Typ	Max	Unit
$V_{CMR(DC)}$	Common-mode Voltage HS receive mode	70		330	mV
V_{IDTH}	Differential input high threshold			70	mV
V_{IDTL}	Differential input low threshold	-70			mV
V_{IHHS}	Single-ended input high voltage			460	mV
V_{ILHS}	Single-ended input low voltage	-40			mV
Z_{ID}	Differential input impedance	80	100	125	ohm
V_{IH_LP-RX}	LP-RX Logic 1 input voltage	880			mV
V_{IL_LP-RX}	LP-RX Logic 0 input voltage, not in ULP state			550	mV
V_{IL_ULPS}	LP-RX Logic 0 input voltage, ULP State			300	mV
V_{HYST}	LP-RX Input Hysteresis	25			mV
$V_{CMR(HF)}$	Common-mode interface beyond 450MHz			100	mV
$V_{CMR(LF)}$	Common-mode interface 50MHz-450MHz	-50		50	mV
E_{spike}	LP-RX input pulse rejection			300	V*ps

表 49: CSI 电气特性

当 PHY 工作于 LVDS 模式时，PHY RX 的电气特性如下表所示：

Symbol	Description	Min	Typ	Max	Unit
R_{TS}	RX Signal-End Terminal	40	50	60	ohm
R_{TD}	RX Differential-End Terminal	80	100	120	ohm
T_{SKEW_INTRA}	One Lane skew between RXP and RXN	-0.08		0.08	UI
T_{SKEW_INTER}	Any two lane skew between RXNRXP	-0.2		0.2	UI
V_{ROD}	RX Differential Input Swing	0.1	0.3	0.6	V
V_{RCM}	RX Input Common Mode Voltage	0.2	1.2	1.3	V
I_{IL}	PAD leakage when connected GND		0.01	1	uA
I_{IH}	PAD leakage when connected AVDH		0.01	0.1	uA

表 50: LVDS RX 电气特性

4.17 显示接口

LCD 显示接口时序如图 16。

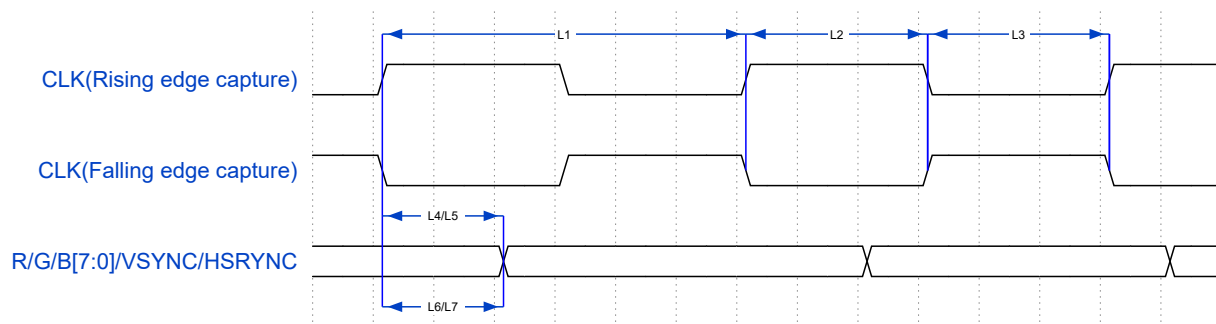


图 16: LCDC 显示接口时序图

项目	符号	描述	最小值	最大值	单位
L1	tCLK(LCD)	LCD pixel 时钟频率	-	75	MHz
L2	tCLKH(LCD)	LCD pixel 时钟高电平（下降沿捕获时）	3	-	ns
L3	tCLKL(LCD)	LCD pixel 时钟低电平（上升沿捕获时）	3	-	ns
L4	td(CLKH-DV)	LCD pixel 时钟高电平至数据稳定时间（下降沿捕获时）	-1	1	ns
L5	td(CLKL-DV)	LCD pixel 时钟低电平至数据稳定时间（上升沿捕获时）	-1	1	ns
L6	td(CLKH-CTRLV)	LCD pixel 时钟高电平至控制信号稳定时间（下降沿捕获时）	-1	1	ns
L7	td(CLKL-CTRLV)	LCD pixel 时钟低电平至控制信号稳定时间（上升沿捕获时）	-1	1	ns

表 51: LCDC 时序图

4.18 摄像头 (CAM) 接口

数据下降沿发出，上升沿采样时序如图 17。

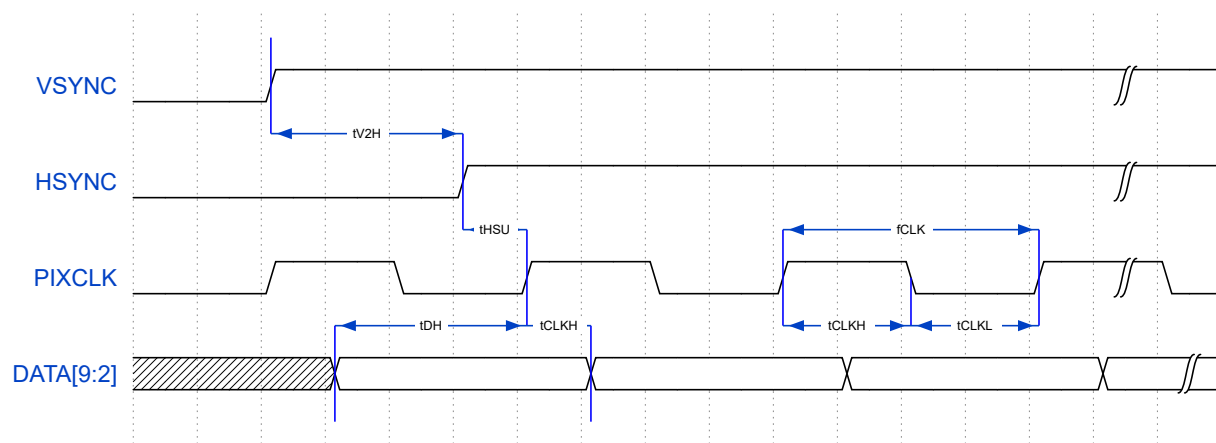


图 17: CAM 数据下降沿发出，上升沿采样时序图

CAM 数据上升沿发出，下降沿采样时序如图 18。

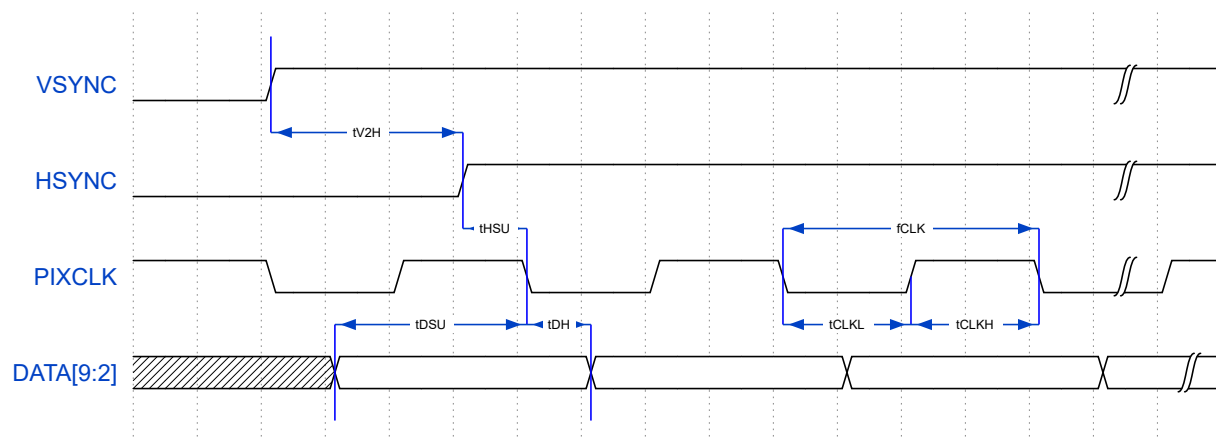


图 18: CAM 数据上升沿发出，下降沿采样时序图

符号	描述	最小值	最大值	单位
tV2H	CAM_VSYNC 至 CAM_HSYNC 时间	33.5	-	ns
tHSU	CAM_HSYNC 建立时间	2.6	-	ns
tDSU	CAM 数据建立时间	2.6	-	ns
tDH	CAM 数据保持时间	0	-	ns
tCLKH	CAM pixel 时钟高电平	3.75	-	ns
tCLKL	CAM pixel 时钟低电平	3.75	-	ns
fCLK	CAM pixel 时钟频率	-	80	MHz

表 52: CAM 时序图

4.19 音频接口

4.19.1 I2S 接口

I2S 为 CLK Master 时序如图 19。

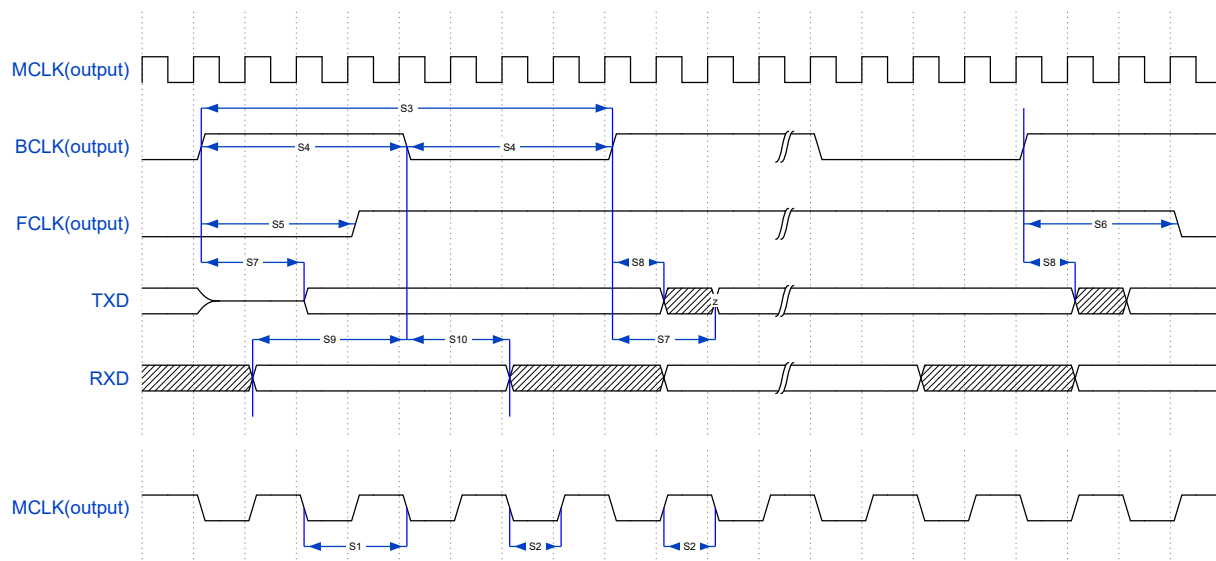


图 19: I2S 输出时钟时 (TXD 数据在 BCLK 上升沿发出, RXD 在 BCLK 下降沿采样)

项目	符号	描述	最小值	最大值	单位
S1	tMCLK	I2S MCLK 周期	15	-	ns
S2	tMCLKH/L	I2S MCLK 高 (低) 电平宽度	40%	60%	tMCLK
S3	tBCLK	I2S BCLK 周期	40	-	ns
S4	tBCLKH/L	I2S BCLK 高 (低) 电平宽度	40%	60%	tBCLK
S5	tFSV	I2S BCLK 至 FS 有效时间	-	4	ns
S6	tFSIV	I2S BCLK 至 FS 失效时间	-3	-	ns
S7	tTXDV	I2S BCLK 至 TXD 有效时间	-	4	ns
S8	tTXDIV	I2S BCLK 至 TXD 失效时间	-3	-	ns
S9	tRXDS	I2S RXD 输入的建立时间	13	-	ns
S10	tRXDH	I2S RXD 输入的保持时间	0	-	ns

表 53: I2S 接口 CLK Master 时 3.3V 供电的时序

项目	符号	描述	最小值	最大值	单位
S1	tMCLK	I2S MCLK 周期	15	-	ns
S2	tMCLKH/L	I2S MCLK 高 (低) 电平宽度	40%	60%	tMCLK
S3	tBCLK	I2S BCLK 周期	40	-	ns
S4	tBCLKH/L	I2S BCLK 高 (低) 电平宽度	40%	60%	tBCLK
S5	tFSV	I2S BCLK 至 FS 有效时间	-	9	ns
S6	tFSIV	I2S BCLK 至 FS 失效时间	-7	-	ns

项目	符号	描述	最小值	最大值	单位
S7	tTXDV	I2S BCLK 至 TXD 有效时间	-	9	ns
S8	tTXDIV	I2S BCLK 至 TXD 失效时间	-7	-	ns
S9	tRXDS	I2S RXD 输入的建立时间	18	-	ns
S10	tRXDH	I2S RXD 输入的保持时间	0	-	ns

表 54: I2S 接口 CLK Master 时 1.8V 供电的时序

I2S 为 CLK Slave 时序如图 20。

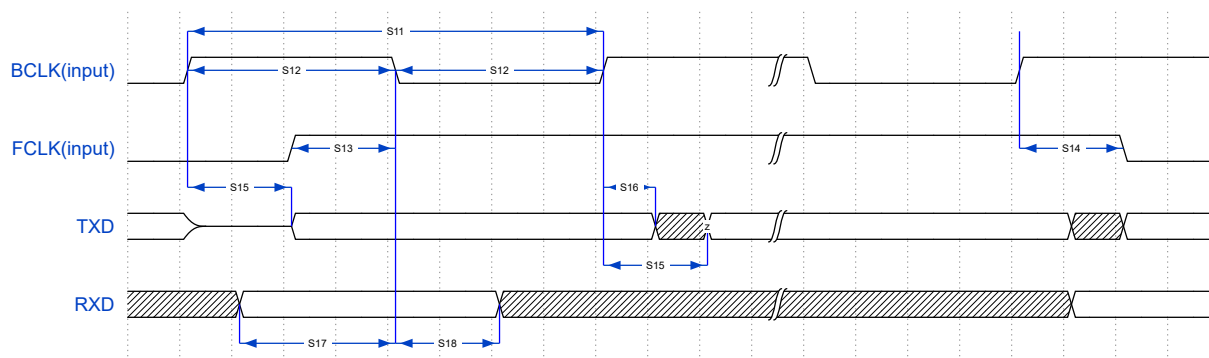


图 20: I2S 输入时钟时 (TXD 数据在 BCLK 上升沿发出, RXD 在 BCLK 下降沿采样)

项目	符号	描述	最小值	最大值	单位
S11	tBCLK	I2S BCLK 周期	40	-	ns
S12	tBCLKH/L	I2S BCLK 高 (低) 电平宽度	40%	60%	tBCLK
S13	tFSS	I2S FS 的建立时间 (相对于 BCLK)	5	-	ns
S14	tFSH	I2S FS 的保持时间 (相对于 BCLK)	-1	-	ns
S15	tTXDV	I2S BCLK 至 TXD 有效时间	-	13	ns
S16	tTXDIV	I2S BCLK 至 TXD 失效时间	3	-	ns
S17	tRXDS	I2S RXD 输入的建立时间	5	-	ns
S18	tRXDH	I2S RXD 输入的保持时间	4	-	ns

表 55: I2S 接口 CLK Slave 时 3.3V 供电的时序

项目	符号	描述	最小值	最大值	单位
S11	tBCLK	I2S BCLK 周期	40	-	ns
S12	tBCLKH/L	I2S BCLK 高 (低) 电平宽度	40%	60%	tBCLK
S13	tFSS	I2S FS 的建立时间 (相对于 BCLK)	6	-	ns
S14	tFSH	I2S FS 的保持时间 (相对于 BCLK)	-1	-	ns
S15	tTXDV	I2S BCLK 至 TXD 有效时间	-	18	ns

项目	符号	描述	最小值	最大值	单位
S16	tTXDIV	I2S BCLK 至 TXD 失效时间	2	-	ns
S17	tRXDS	I2S RXD 输入的建立时间	6	-	ns
S18	tRXDH	I2S RXD 输入的保持时间	4	-	ns

表 56: I2S 接口 CLK Slave 时 1.8V 供电的时序

4.19.2 PDM 接口

PDM 时序如图 21。

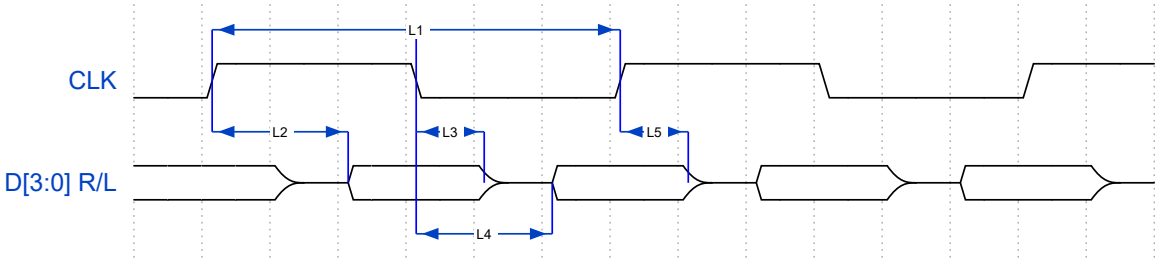


图 21: PDM 时序图

项目	符号	描述	最小值	最大值	单位
-	fCLK	PDM 工作模式 CLK 频率	1	3.25	MHz
L1	tCLK	PDM 工作模式 CLK 周期	308	1000	ns
L2	TR.EN	PDM CLK 时钟上升沿至 R 数据稳定时间	28	-	ns
L3	TR.DIS	PDM CLK 时钟下降沿至 R 数据消失时间	-	28	ns
L4	TL.EN	PDM CLK 时钟下降沿至 L 数据稳定时间	28	-	ns
L5	TL.DIS	PDM CLK 时钟上升沿至 L 数据消失时间	-	28	ns

表 57: PDM 参数

4.20 模拟接口

4.20.1 16 位模数转换 ADC 特性

参数	符号	最小值	典型值	最大值	单位	备注
电源电压	VDDA	3	3.3	3.6	V	-
输入信号电压	V _{in}	VREFL	-	VREFH	V	-
输入采样电容	C _s	-	4	-	pF	-
采样开关电阻	R _{on}	-	300	-	ohm	-
参考高电平	VREFH	2.4	-	VDDA	V	-
参考低电平	VREFL	0	-	-	V	-
采样速率	f _s	-	2	-	MHz	-
差分非线性	DNL	-	+1/-0.89	-	LSB	单端信号
积分非线性	INL	-	+3.1/-5.2	-	LSB	单端信号
偏移误差	V _{os}	-	4	-	LSB	单端信号输入接地
增益误差 (全摆幅误差)	GE	-	3	-	LSB	单端信号输入接 VREFH
总未调整误差	TUE	-	7.2	-	-	单端信号
信号噪声失真比	SINAD	-	74	-	dB	单端信号 (VREFH=3.0V)
有效位数	ENOB	-	12	-	位	单端信号 (VREFH=3.0V)
总谐波失真	THD	-	93	-	dB	单端信号

表 58: 16 位 ADC 参数

4.21 通信接口

4.21.1 以太网接口

4.21.1.1 RMII 接口 RMII 接口对应时序如图 22。

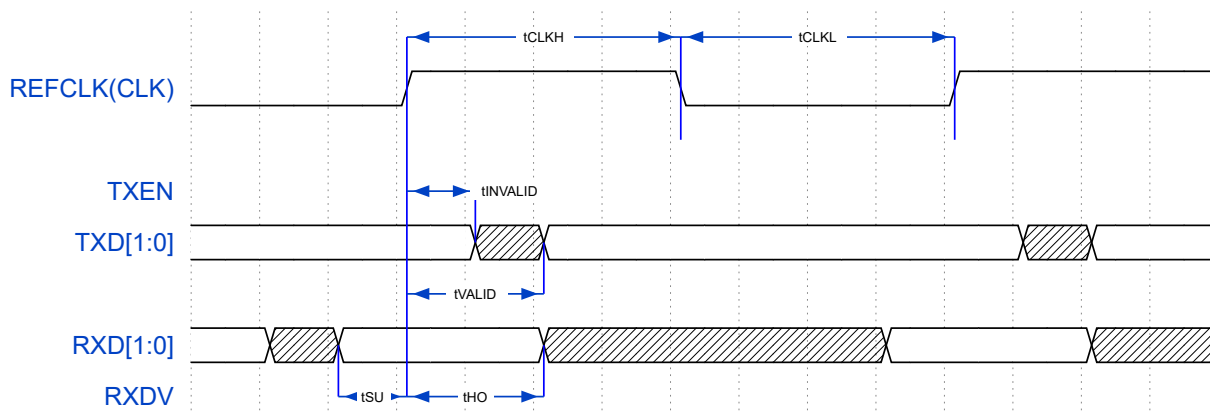


图 22: RMII 接口时序

符号	描述	最小	最大	单位
tCLKH	CLK 时钟高时间	45%	55%	CLK 周期
tCLKL	CLK 时钟低时间	45%	55%	CLK 周期
tINVALID	TXD 对 CLK 数据无效时间	4	—	ns
tVALID	TXD 对 CLK 数据有效时间	—	13.5	ns
tSU	RXD 对 CLK 数据建立时间	4	—	ns
tTO	RXD 对 CLK 数据保持时间	2	—	ns

表 59: RMII 参数

4.21.1.2 RGMII 接口 RGMII 接口对应时序如图 23,图 24和图 24。

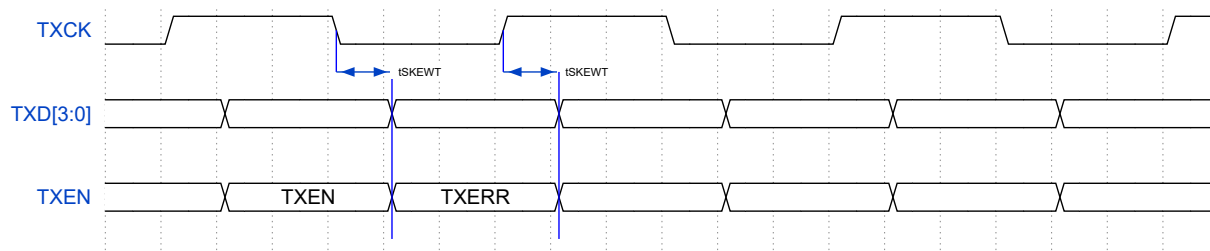


图 23: RGMII 发送信号时序图

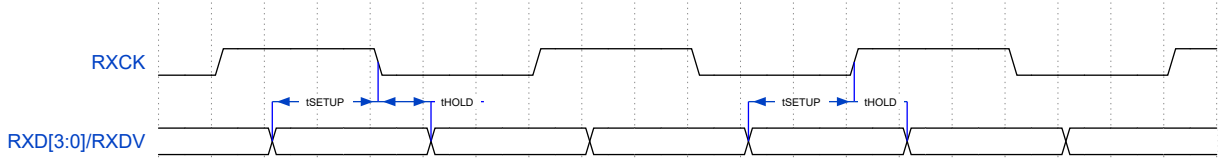


图 24: RGMII 接收信号时序图

符号	描述	最小	典型	最大	单位
tSETUP	接收端数据到时钟建立时间	1ns	-	-	ns
tHOLD	接收端数据到时钟保持时间	1ns	-	-	ns
tSKEWT	发送端数据到时钟输出的抖动	-1200	-	1200	ps

表 60: RGMII 参数

4.22 SDIO 接口

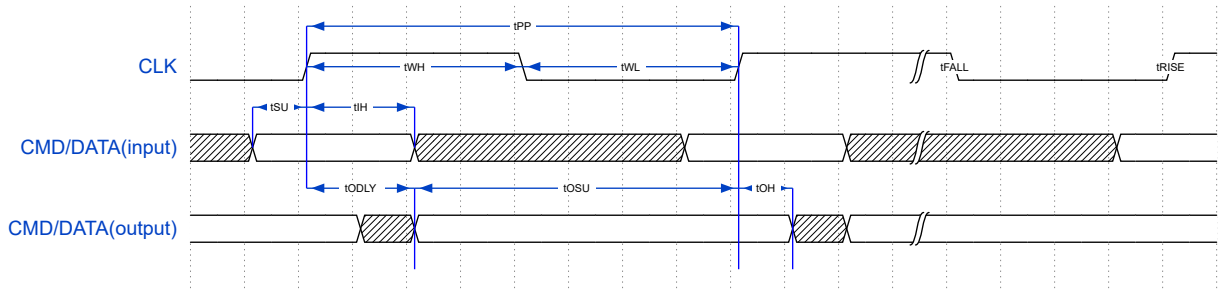


图 25: SDIO 数据输入输出时序图

参数	符合	最小	最大	单位	注释
时钟频率	-	-	-	-	-
数据传输模式 (PP)	fPP	0	52(3)	MHz	CL ≤ 30 pF
容差: +100 KH	-	-	-	-	-
时钟频率	-	-	-	-	-
识别模式 (OD)	fOD	0	400	kHz	容差: +20 KHz
时钟高电平时间	tWH	6.5	-	ns	CL ≤ 30 pF

表 61: SDIO CLK 参数

参数	符合	最小	最大	单位	注释
在数据传输时输出延迟时间	tODLY	-	13.7	ns	CL ≤ 30 pF
输出保持时间	tOH	2.5	-	ns	CL ≤ 30 pF
信号上升时间	tRISE	-	3	ns	CL ≤ 30 pF
信号下降时间	tFALL	-	3	ns	CL ≤ 30 pF

表 62: 输出 CMD, DAT (参考 CLK) 参数

参数	符合	最小	最大	单位	注释
输入建立时间	tISU	3	-	ns	CL ≤ 30 pF
输入保持时间	tIH	3	-	ns	CL ≤ 30 pF

表 63: 输入 CMD, DAT (参考 CLK) 参数

4.23 SPI 接口

4.23.1 SPI 主模式时序图

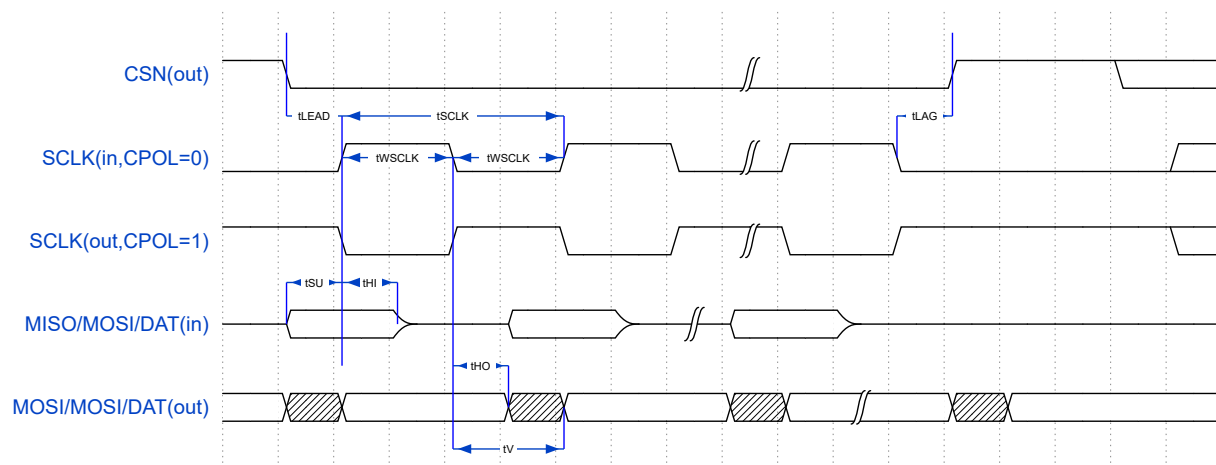


图 26: SPI 主模式时序 (CPHA=0)

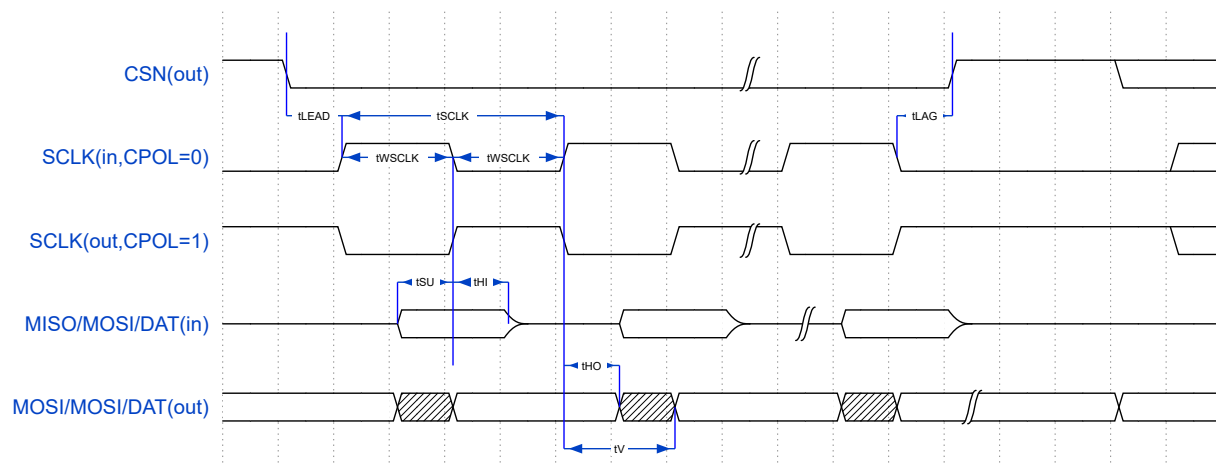


图 27: SPI 主模式时序 (CPHA=1)

符号	描述	最小	最大	单位
tSCK	SCK 周期	12.5	—	ns
tLEDA	CS 建立时间	1	—	tperiph
tLAG	CS 保持时间	1	—	tperiph
tWSCK	时钟高或低时间	$tSCK / 2 - 3$	—	ns
tSU	数据建立时间 (输入)	10	—	ns
tHI	数据保持时间 (输入)	2	—	ns
tV	数据有效 (SCLK 延后)	—	8	ns

符号	描述	最小	最大	单位
tHO	数据保持时间（输出）	0	—	ns

表 64: SPI 主模式参数 (注: $t_{\text{periph}} = 1000 / f_{\text{periph}}$)

4.23.2 SPI 从模式时序图

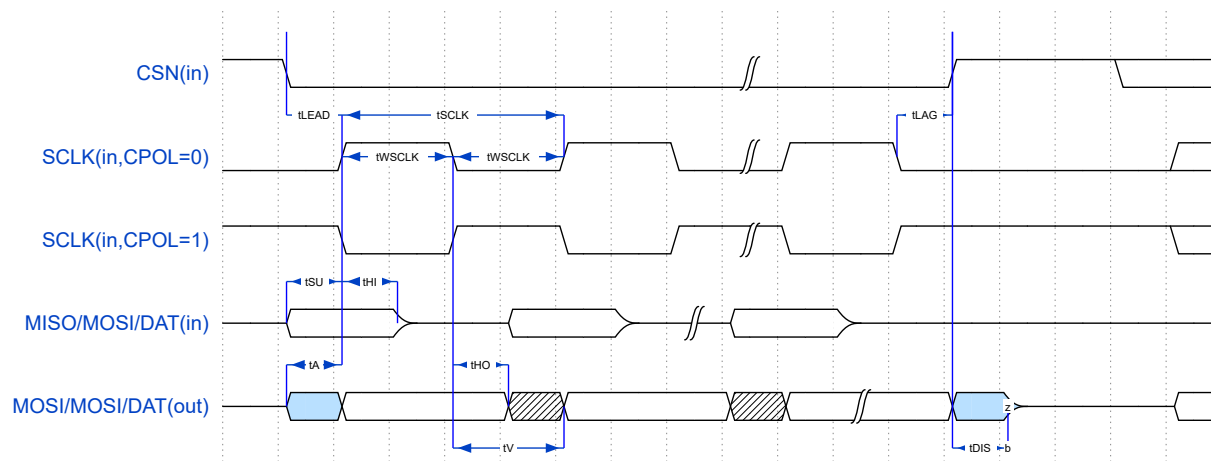


图 28: SPI 从模式时序 (CPHA=0)

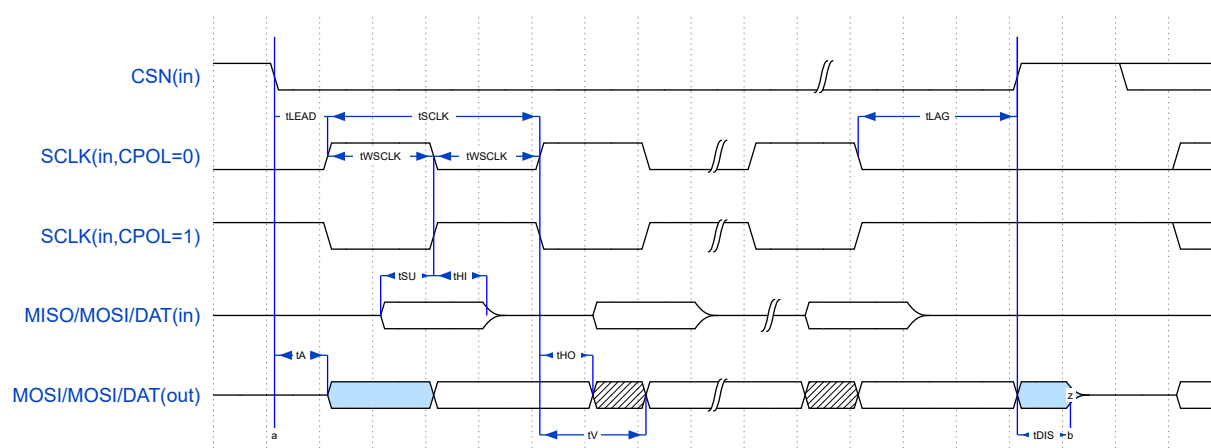


图 29: SPI 从模式时序 (CPHA=1)

符号	描述	最小	最大	单位
tSCK	SCK 周期	$4 \times t_{\text{periph}}$	—	ns
tLEAD	CS 建立时间	1	—	t_{periph}
tLAG	CS 保持时间	1	—	t_{periph}
tWSCLK	时钟高或低时间	$t_{\text{SCK}} / 2 - 5$	—	ns
tSU	数据建立时间（输入）	2.7	—	ns
tHI	数据保持时间（输入）	3.8	—	ns
tA	从访问时间	—	t_{periph}	ns
tDIS	从 MISO 失效时间	—	t_{periph}	ns

符号	描述	最小	最大	单位
tV	数据有效（SCLK 延后）	—	14.5	ns
tHO	数据保持时间（输出）	0	—	ns

表 65: SPI 从模式参数 (注: tperiph = 1000 / fperiph)

4.24 I2C 接口

符号	描述	工作模式	最小值	最大值	单位
fSCL	SCL 时钟频率	标准模式 (Sm)	0	100	KHz
		快速模式 (Fm)	0	400	KHz
		快速模式加 (Fm+)	0	1000	KHz

表 66: I2C 工作模式及参数

5 封装

5.1 BGA417 封装尺寸

BGA417 尺寸如图 30。

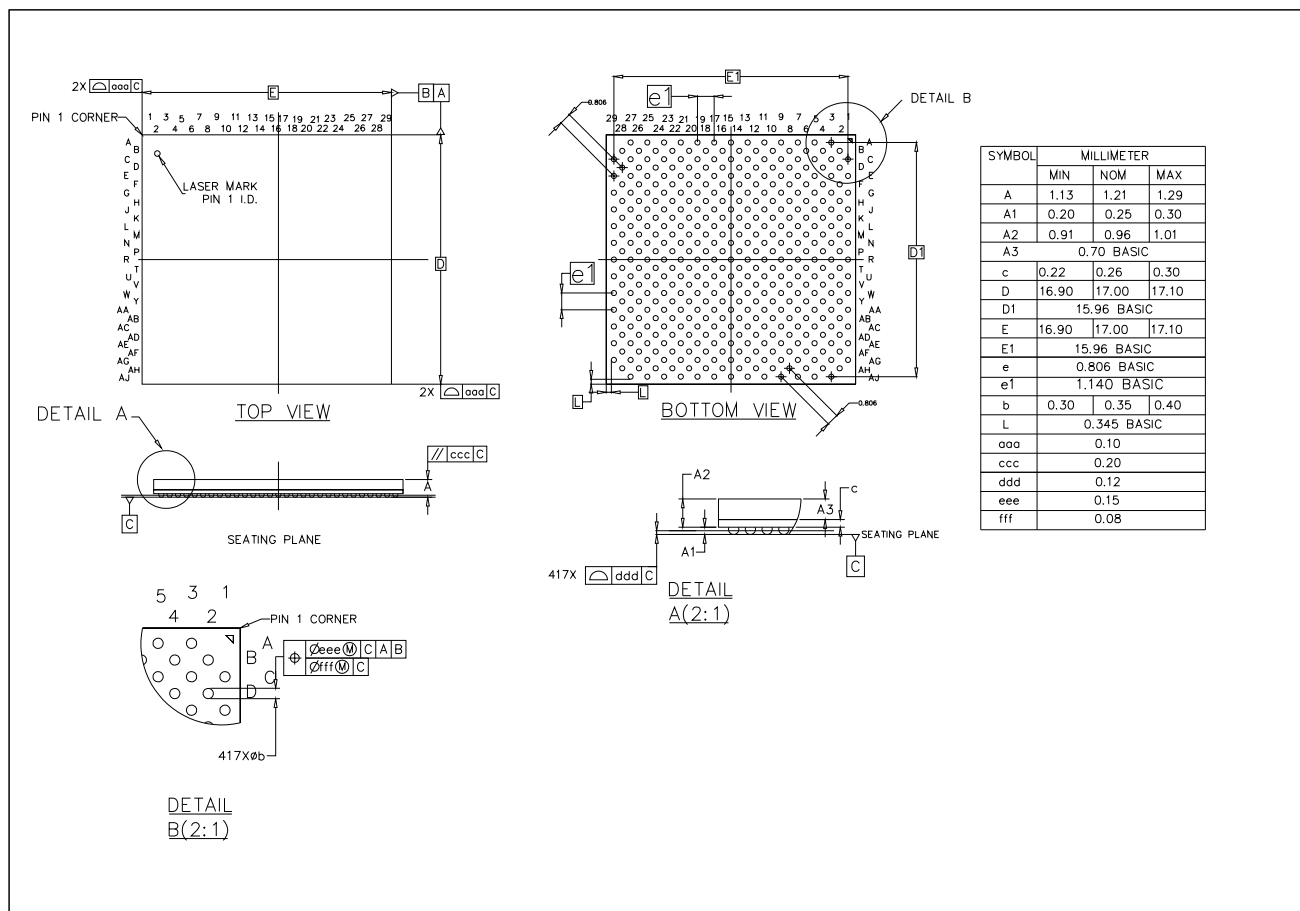


图 30: BGA417 封装尺寸图

5.2 BGA289 封装尺寸

BGA289 尺寸如图 31。

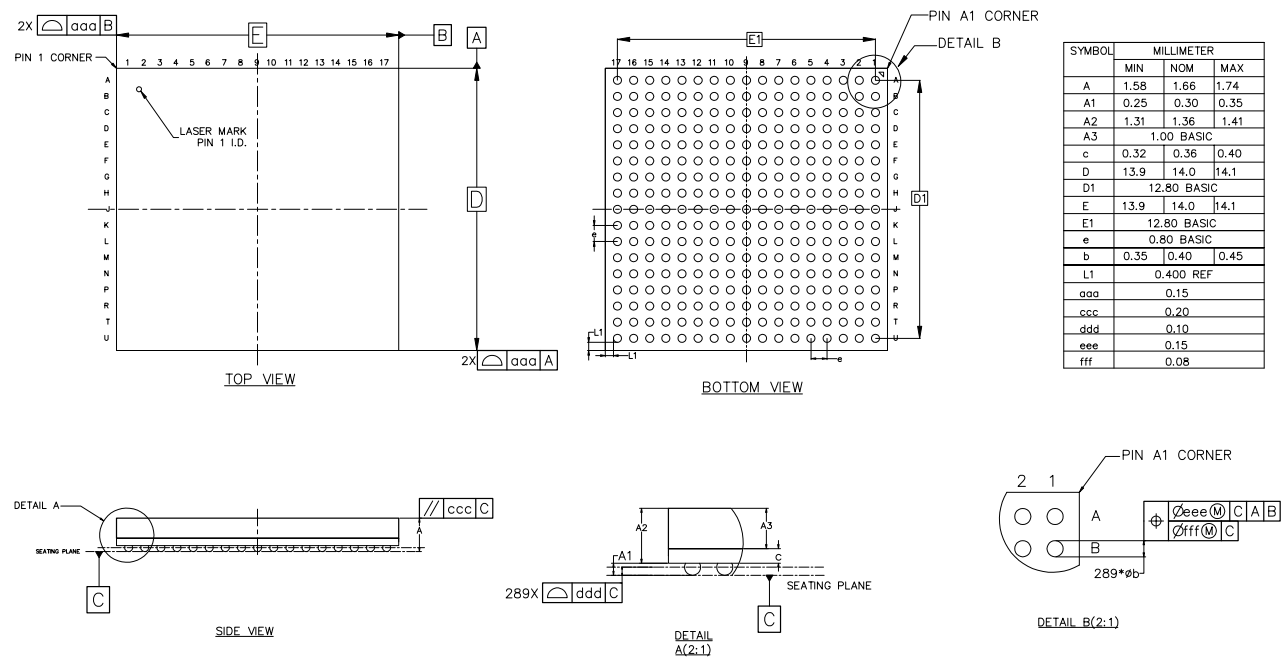


图 31: BGA289 封装尺寸图

5.3 封装热阻系数

$$T_J \text{ max} = T_A \text{ max} + (P_D \text{ max} \times \theta_{JA})$$

- T_A 指芯片工作时的环境温度，单位是 $^{\circ}\text{C}$ ；
- θ_{JA} 是指封装对工作环境的热阻系数，单位是 $^{\circ}\text{C}/\text{W}$ ；
- P_D 是指芯片的内部功耗和 I/O 功耗之和，单位是 W ；
- T_J 是指芯片表面的结温。

芯片在指定环境温度下工作时芯片内部的结温 T_J ，不可以超出芯片可容许的最大结温 $T_J \text{ max}$ 即可。

符号	参数	值	单位
θ_{JA}	BGA289 14X14 mm/0.8mm 间距	31.6+/-5%	$^{\circ}\text{C}/\text{W}$
θ_{JA}	BGA417 17X17 mm/0.8mm 间距	32+/-5	$^{\circ}\text{C}/\text{W}$

表 67: 各封装热阻系数表

6 订购信息

6.1 产品命名规则

产品命名规则如图 32

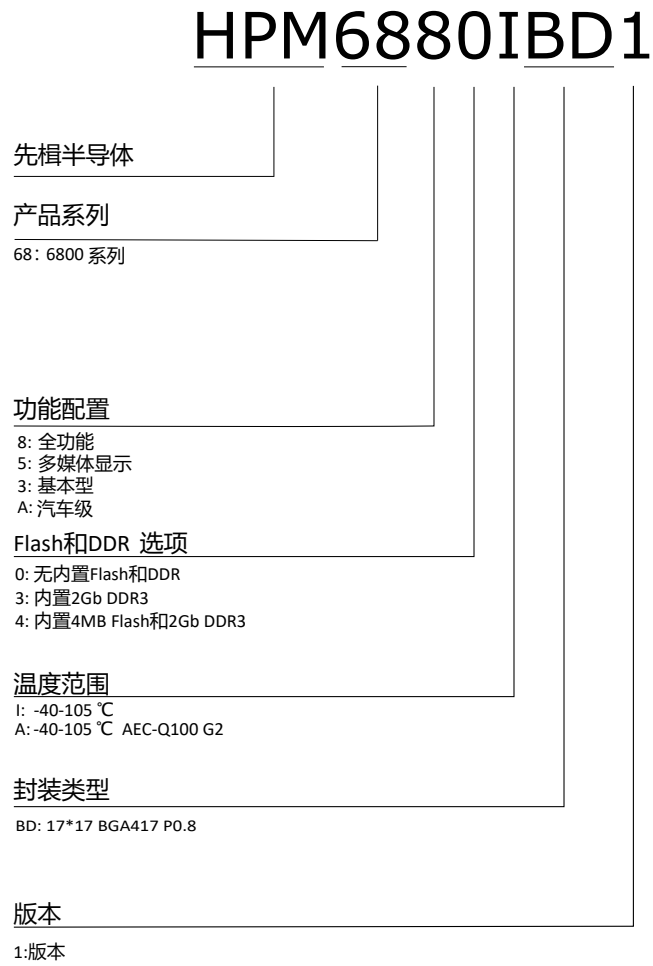


图 32: 产品命名规则

6.2 订购信息

订购信息如表 68:

产品型号	HPM6880	HPM6850	HPM6830	HPM68D3	HPM68D4	HPM68D2
CPU	RV32-IMAFDCP					
主频 MHz	600					
协处理器	FFA					
片上总内存	1024 KB					
片上闪存	/				4 MB	/

HPM6800 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev1.0

6 订购信息

产品型号	HPM6880	HPM6850	HPM6830	HPM68D3	HPM68D4	HPM68D2
内置 DDR	/			2 Gb DDR3		512 Mb DDR2
ROM	192 KB					
OTP	4096 位					
XPI	1					
DDR SDRAM	DDR3/3L-1333, DDR2-800					
SD/eMMC	2					
2.5D GPU	Yes	/		Yes		
LCDC	2		/	2		
CAM	2		/	2		
PDMA	Yes		/	Yes		
JPEG	Yes		/	Yes		
MIPI DSI	2x 4 Data Lane		/	2x 4 Data Lane		
MIPI CSI	2x 2 Data Lane		/	2x 2 Data Lane		
LVDS 显示	LVB 2x 4 Data Lane		/	LVB 2x 4 Data Lane		
LVDS 图像输入	LCB 2x 2 Data Lane		/	LCB 2x 2 Data Lane		
GWC	2		/	2		
PIXELMUX	Yes		/	Yes		
I2S	4					
PDM	8 通道					
SDP	AES-128/256,SHA-256					
EXIP	XPI0: EXIP AES-128 CTR					
RNG	真随机数发生器					
安全启动	加密启动、可信启动					
UID	128 位					
USB	1 个, 集成 HS PHY					
以太网	1× 10/100/1000 Mbps					
CAN-FD	8					
UART	9					
SPI	4					
I2C	4					
TMR	5					
WDG	3					
RTC	1					
DMA	XDMA 32CH, HDMA 32CH					
ADC	1× 16b					
GPIO	186(BGA417), 186(BGA289)					
封装	17*17 BGA417 P0.8 (HPM68xxIBDx), 14*14 BGA281 P0.8 (HPM68xxIVMx)					
BGA417 封装	有	有	有	有	有	/
BGA289 封装	/	/	/	/	/	有



©Shanghai HPMICRO Semiconductor Co., Ltd.

产品型号	HPM6880	HPM6850	HPM6830	HPM68D3	HPM68D4	HPM68D2
温度范围 T_A	-40~105 °C					

表 68: 订购信息

7 版本信息

日期	版本	描述
Rev0.0	2023/09/01	内部版 Rev0.0 发布。
Rev0.1	2023/12/06	内部版 Rev0.1 发布。 修改产品概述章节部分描述。 增加 DDR 电气特性。 增加 MIPI DSI/LVDS TX 电器特性。 增加 MIPI CSI/LVDS RX 电器特性。
Rev0.2	2023/12/15	内部版 Rev0.2 发布。 修改产品型号信息。 修改产品概述章节部分描述。 更正产品 PINMUX 表格。 修正 RGMII 接口电器特性。
Rev0.3	2024/03/01	内部版 Rev0.3 发布。 增加复位引脚特性描述。 更新供电电流特性表格。
Rev0.4	2024/06/01	内部版 Rev0.4 发布。 更新最大值和最小值表格中 ESD 特性信息。
Rev0.5	2024/09/27	内部版 Rev0.5 发布。 新增产品型号 HPM68D3IBD1 和 HPM68D4IBD1。
Rev0.6	2025/01/20	内部版 Rev0.6 发布。 更新正常工作条件表格。 更新外设时钟特性表格。 添加内置闪存特性
Rev1.0	2025/06/1	正式版 Rev1.0 发布。 添加 HPM68D2IVM1 型号相关信息 添加内置 DDR 电气特性

表 69: 版本信息

8 免责声明

上海先楫半导体科技有限公司（以下简称：“先楫”）保留随时更改、更正、增强、修改先楫半导体产品和/或本文档的权利，恕不另行通知。用户可在先楫官方网站 <https://www.hpmicro.com> 获取最新相关信息。

本声明中的信息取代并替换先前版本中声明的信息。