

FEATURES

- 内置 900V 高雪崩能力智能功率 MOSFET
- 内置高压启动和自供电电路
- 输出电压 3.3V ~ 24V 可通过 FB 电阻调整
- 降压型 (BUCK) 非隔离恒压输出
- 多种模式控制，无异音工作
- 优异的线性调整率和负载调整率
- 待机功耗低于 75mW
- 采用独有的 PWM/PFM 多模式控制技术，无需环路补偿电容，系统待机功耗低，效率高，动态特性好，轻载噪声低
- 应用场景：浪涌和群脉冲抑制工业应用
- SOP-8 封装

APPLICATIONS

- 降压型 (BUCK) 非隔离恒压供电
- 家电
- 智能家居
- LED

GENERAL DESCRIPTION

SS8202E 是一款内置 900V 高雪崩能力智能功率 MOSFET 的降压型 (BUCK) 非隔离恒压输出调节器。采用特有的多模式控制技术，只需要极少的外围组件就可以达到优异的恒压特性。输出电压可通过外部 FB 电阻调整。内置高压启动和自供电模块(BVSS 电压可达 1000V)，实现系统快速启动、超低待机功耗、自供电等功能。

SS8202E 采用独特结构解决了浪涌和群脉冲抑制能力，可实现不低于 $\pm 4KV$ 的实验测试。

芯片内置多种保护措施：如软起动；芯片供电欠压、钳位、过压保护；系统过温保护；逐周期限流保护；输出过压、短路保护；电流采样前沿消隐。

TYPICAL APPLICATION CIRCUIT

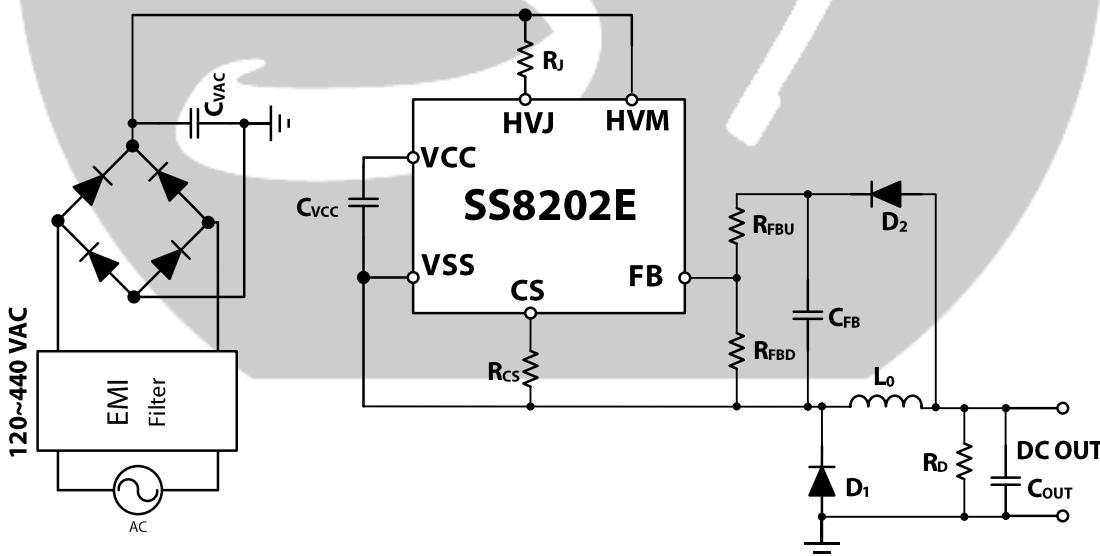


Figure 1. SS8202E Typical Application Circuit

Rev. A

Information furnished by Orisilicon is believed to be accurate and reliable. However, no responsibility is assumed by Orisilicon for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Orisilicon. Trademarks and registered trademarks are the property of their respective owners.

No.67, Keji 2Road, High-Tech District, Xi'an, Shaanxi 710077, China.
Tel: +86 029-8450-8685
www.orisilicon.com
©2024 Sinasilicon, Inc. All rights reserved.

SPECIFICATIONS

$T_A = 25^\circ\text{C}$, unless otherwise noted.

Table 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
控制器						
高压启动击穿电压	$\text{BV}_{\text{DSS(JFET)}}$	$\text{VCC}=10\text{V}$	900	1000		V
VCC 启动电压阈值	$\text{V}_{\text{CC_ON}}$	V_{CC} 上升		8.5		V
VCC 欠压保护阈值	$\text{V}_{\text{CC_uvLo}}$	V_{CC} 下降		6.5V		V
V_{CC} 钳位电压	$\text{V}_{\text{CC_CLP}}$	$I_{\text{CC}} = 10\text{mA}$		10V		V
V_{CC} 启动电流	$\text{V}_{\text{CC_ST}}$	V_{CC} 上升, 但 $\text{V}_{\text{CC}} < \text{V}_{\text{CC_ON}}$		230		μA
V_{CC} 工作电流	$\text{V}_{\text{CC_OP}}$	$\text{VFB}=2\text{V}$		160		μA
最大开通时间	$\text{T}_{\text{ON_MAX}}$			12		μs
最小关断时间	$\text{T}_{\text{off_Min}}$			14		μs
内部软启动时间	$\text{T}_{\text{Soft_state}}$			3		ms
最大工作频率	$\text{F}_{\text{SW_max}}$		30	40	55	KHz
峰值电流阈值	V_{IPK}			200		mV
异常过流保护阈值	V_{AOSP}			250		mV
电流采样前沿消隐时间	$\text{T}_{\text{LEB_CS}}$			150		ns
内部误差放大器基准	$\text{V}_{\text{FB_REF}}$		1.97	2	2.03	V
输出过载保护阈值	$\text{V}_{\text{FB_OLP}}$			1.87		V
输出过载保护延迟	$\text{T}_{\text{D_OLP}}$			160		ms
自动恢复延迟时间	$\text{T}_{\text{AUTO_RE}}$			1.6		s
过温保护阈值	$\text{T}_{\text{OTP_TH}}$			150		$^\circ\text{C}$
过温保护迟滞	$\text{T}_{\text{OTP_HYS}}$			30		$^\circ\text{C}$
功率器件						
漏-源击穿电压	BV_{DSS}	$\text{ID}=250\mu\text{A}$	900			V
漏-源导通电阻	$\text{R}_{\text{DS_ON}}$	$\text{I}_{\text{D}}=0.5\text{A}$		20	22	Ohm
关态漏电流	I_{OFF}	$\text{V}_{\text{SW}}=900\text{V}$			10	μA

注：“电气参数”典型值由设计和测试统计保证，最小值和最大值由测试统计保证。

ABSOLUTE MAXIMUM RATINGS

Table 2.

Parameter	Rating
引脚电压范围 V_{CC}	-0.3V to +10V
钳位电流最大值 V_{CC_CLP}	10mA
CS 和 FB 引脚电压范围 $V_{CS} V_{FB}$	-0.3V to +6V
HVM 引脚电压最大值	900V
HVJ 引脚电压最大值	1000V
人体模型静电放电能力 ESD _{hbm}	2000V
工作结温范围 T_J	-40°C to +150°C
工作环境温度范围 T_A	-40°C to +105°C
存储环境温度范围 T_{STG}	-55°C to +150°C
引脚焊接条件	JEDEC J-STD-020

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值, 不涉及器件在这些或任何其他条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

THERMAL DATA

绝对最大额定值仅适合单独应用, 但不适合组合使用。结温高于限制值时, 会损坏芯片。监控环境温度并不能保证 T_J 不会超出额定温度限值。在功耗高、热阻差的应用中, 可能必须降低最大环境温度。

在功耗适中、PCB 热阻较低的应用中, 只要结温处于额定限值以内, 最大环境温度可以超过最大限值。器件的结温 (T_J) 取决于环境温度 (T_A)、器件的功耗 (P_D) 和封装的结到环境热阻 (θ_{JA})。

最高结温 (T_J) 由环境温度(T_A) 和功耗 (P_D) 通过下式计算:

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结到环境热阻 (θ_{JA}) 基于使用 4 层板的建模和计算方法, 主要取决于应用和板布局。在功耗较高的应用中, 需要特别注意热板设计。 θ_{JA} 的值可能随 PCB 材料、布局和环境条件不同而异。 θ_{JA} 的额定值基于 4" × 3" 的 4 层电路板。有关板结构的详细信息, 请参考 JESD 51-7 和 JESD 51-9。

Ψ_{JB} 是结到板热特性参数, 单位为 °C/W. 封装的 Ψ_{JB} 基于使用 4 层板的建模和计算方法。JESD51-12——“报告和使用电子封装热信息指南”中声明, 热特性参数和热阻不是一回事。 Ψ_{JB} 衡量沿多条热路径流动的器件功率, 而 θ_{JB} 只涉及一条路径。因此, Ψ_{JB} 热路径包括来自封装顶部的对流和封装的辐射, 这些因素使得 Ψ_{JB} 在现实应用中更有用。最高结温 (T_J) 由板温度 (T_B) 和功耗 (P_D) 通过下式计算:

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关 Ψ_{JB} 的详细信息, 请参考 JESD51-8 和 JESD51-12。

THERMAL RESISTANCE

θ_{JA} 和 Ψ_{JB} 针对最差条件, 即器件焊接在电路板上以实现表贴封装。

Table 3. Thermal Resistance

Package Type	θ_{JA}	θ_{JC}	Unit
7-Lead EASOP			°C /W

ESD CAUTION

	ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.
--	---

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

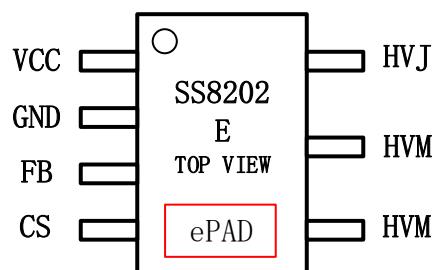


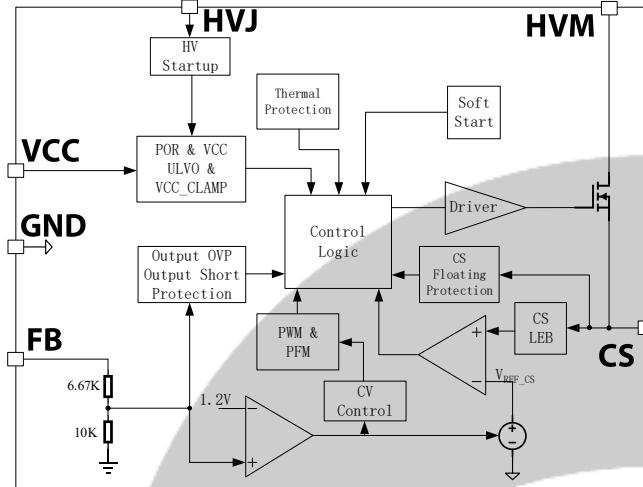
Figure 3. Pin Configuration

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	VCC	芯片供电引脚 通过在 VCC 和 GND 之间连接一个 4.7uF 陶瓷电容以稳定芯片供电。
2	GND	芯片地引脚 芯片的功率地 和信号地。
3	FB	反馈电压采样引脚 FB 引脚通过直接检测输出电压实现恒压控制。
4	CS	电流采样引脚 调整 CS 和 GND 之间的电流采样电阻以设定所需过流点。
5,6	HVM	内置高压 MOS 漏极端引脚
7	HVJ	内置高压 JFET 和电阻输入脚
8	ePAD	HVM, 可通过铺设 PCB 铜皮用于芯片散热

THEORY OF OPERATION

SS8202E 是一款内置 MOS 的降压型(BUCK)非隔离恒压输出调节器。采用特有的多模式控制技术，只需要极少的外围组件就可以达到优异的恒压特性。



软启动功能

系统上电后，母线电压 V_{bus} 直接通过 Drain 对 V_{cc} 电容进行充电，当 V_{cc} 电压达到芯片的开启阈值时，芯片开始工作；芯片内置 10V 稳压管，用于钳位 V_{cc} 电压。芯片正常工作时需要的电流很低，所以无需辅助绕组供电。

芯片内集成有 3ms(典型值)的软启动电路，在芯片的启动过程中系统的开关频率逐渐增加以减小开关应力，且每次系统的重新启动都会伴随着一次软启动过程。

PWM/PFM 多模式控制

芯片采用 PWM/PFM 多模式控制技术，能有效降低系统待机功耗，提高效率，并减小系统工作在轻载时的噪声。

输出电压的设置(R_{FB_H} / R_{FB_L})

芯片通过 R_{FB_H} 和 R_{FB_L} 采样电感两端压降，分压后与内部基准比较形成闭环后来恒定输出电压，输出电压算式为：

$$V_{OUT} = \frac{V_{FB_REF} \times (R_{FB_H} + R_{FB_L})}{R_{FB_L}} - V_{D1} + V_{D2} \quad (1)$$

其中， $V_{FB_REF}=2V$ 是内部误差放大器基准 2V； V_{D1} 是续流二极管压降； V_{D2} 是电压反馈二极管压降； R_{FB_L} 是 FB 下拉电阻，建议取 10K 至 51K 之间， R_{FB_H} 是 FB 上拉电阻。

注：若粗略计算输出电压 V_{out} ，可忽略 V_{D1} 和 V_{D2} 压降；精确计算输出电压，就需要考虑 V_{D1} 和 V_{D2} 压降对输出电压影响。

功率电感的设计 (L_o)

SS8202E 可工作于 CCM、DCM 等多种工作模式，对于电感的选择涉及电感量、峰值电流以及平均电流。最终根据电感成本、尺寸以及系统效率来决定电感的大小。小感量可以减小尺寸、降低成本以及改善系统动态响应，但是，同时会增加电感的峰值电流和输出纹波并且降低系统效率。相反的，大感量可以提高效率，因为需要更多线圈数，物理体积也会更大，动态响应也会变的更慢。综合电感成本、尺寸、系统效率以及动态响应，推荐电感纹波电流系数 r 不小于 25%，工作在 CCM 模式下，然后，根据输入/输出电压、系统开关频率、满载输出电流以及推荐的电感纹波电流 ΔI_L 估算电感量，可参考如下公式：

$$L_o = \frac{V_{OUT}(V_{VIN} - V_{OUT})}{V_{VIN} \times F_{SW} \times \Delta I_L} \quad (2)$$

其中， $\Delta I_L = I_{OUT} * r$ ，系统满足工作进入 CCM 模式， V_{VIN} 按照系统的最高 V_{BUS} 电压， F_{SW} 为满载时的工作频率， ΔI_L 为电感中变化的电流， r 为电流纹波系数，当 $r=2$ ，系统工作在 BCM 模式，如果需要设计满足满载 轻度进入 CCM 模式，建议 $r<2$ 。

峰值电流 (I_{L-PEAK})

当系统的电感量或者电流纹波系数 r 确定后，就可以计算出对应电感中的峰值电流和谷底电流点，

可用如下公式表示：

$$I_{L-PEAK} = I_{O-MAX} + \frac{\Delta I_L}{2} \quad (3)$$

$$I_{L-VALLY} = I_{O-MAX} - \frac{\Delta I_L}{2} \quad (4)$$

CS 电阻选择(R_{CS})

芯片可以根据不同内置 MOS 档位，合理的设置电感的限流峰值，实际 CS 电阻的选择需要综合考虑负载电流和电流纹波，并留一定余量。CS 电阻的计算为：

$$R_{CS} = \frac{V_{IPK}(mV)}{I_{LIMIT}(mA)} \quad (5)$$

注：内部比较器延时导致实际 V_{IPK} 略高于 200mV。

输入电容选择(C_{IN})

输入电容的用处在于输入电压以及 MOSFET 开关尖峰的滤波。由于降压转换器的输入电流是非连续的需要电容对交流电流进行吸收，以保证平稳的输入电压。另外，输入电容需要能承受足够的电流波纹。输入纹波电流有效值估算如下：

$$I_{IN_RMS} = I_{O_MAX} \times \sqrt{D \times (1 - D)} \quad (6)$$

$$D = \frac{V_{OUT}}{V_{VIN}} \quad (7)$$

注：为了减小噪声，输入电容建议采用电解电容。

输出电容选择(C_{OUT})

输出电容的作用是输出电压的滤波以及输出动态电流的供应。当输出电流恒定时，输出纹波主要由输出电容的 ESR 以及容量决定。

$$V_{RIPPLE} = V_{RIPPLE_ESR} + V_{RIPPLE_C} \quad (8)$$

$$V_{RIPPLE_ESR} = \Delta I_L \times ESR \quad (9)$$

$$V_{RIPPLE_C} = \frac{\Delta I_L}{8 \times C_{OUT} \times f_{SW}} \quad (10)$$

FB 采样保持电容(C_1)

为保证系统的稳定工作，FB 引脚正确反映输出电压状态，需在 FB 采样前加保持电容，其容量范围建议在 $470nF \sim 1\mu F$ (MLCC)。

续流二极管(D_1)选择

为了提高系统的工作效率，续流二极管尽量使用具有快恢复时间和低导通压降的二极管。续流二极管的反向击穿电压需大于 BUCK 电容输入直流电压，且留有余量。

假负载电阻(R_D)选择

系统中假负载作用是防止空载或轻载时输出电压飘高。假负载阻值过大导致空载时输出电压飘高，而阻值过小会影响实际的带载能力，也会增大系统的待机功耗。因此需要合理的设置假负载阻值，3.3V 推荐为 1.5K, 5V 推荐为 2K。

逐周期峰值电流限制和前沿消隐

SS8202E 内置的峰值电流检测阈值具有随系统工作变化而变化的特点，并通过 CS 引脚实现对电感峰值电流的调制。当 CS 引脚采样到的电压超过该阈值时，功率 MOSFET 立刻关断直至下一个开关周期开始。同时芯片内置前沿消隐电路 ($T_{LEB_CS}=150ns$)，消隐期间，内部的逐周期峰值电流比较器会被屏蔽而不能关 MOSFET。

过载保护/短路保护

SS8202E 通过 FB 引脚来实现输出电压的过载、短路保护。当 FB 电压低于设定电压且保持 160ms，芯片即实现输出过载保护。保护后，功率 MOSFET 关断，芯片振荡器工作在最低频率为 4KHz，保护发生后，芯片会定时 1.6S 重新检测 Vcc 电压，如果过载、短路解除，则正常工作，如未解除，继续保护。

过热保护功能

SS8202E 内置过热保护电路，会检测芯片的内部结温，当芯片结温超过 $150^{\circ}C$ 时，系统会进入到自动重启模式；当结温回到 $120^{\circ}C$ ，系统恢复正常工作。

典型应用原理图

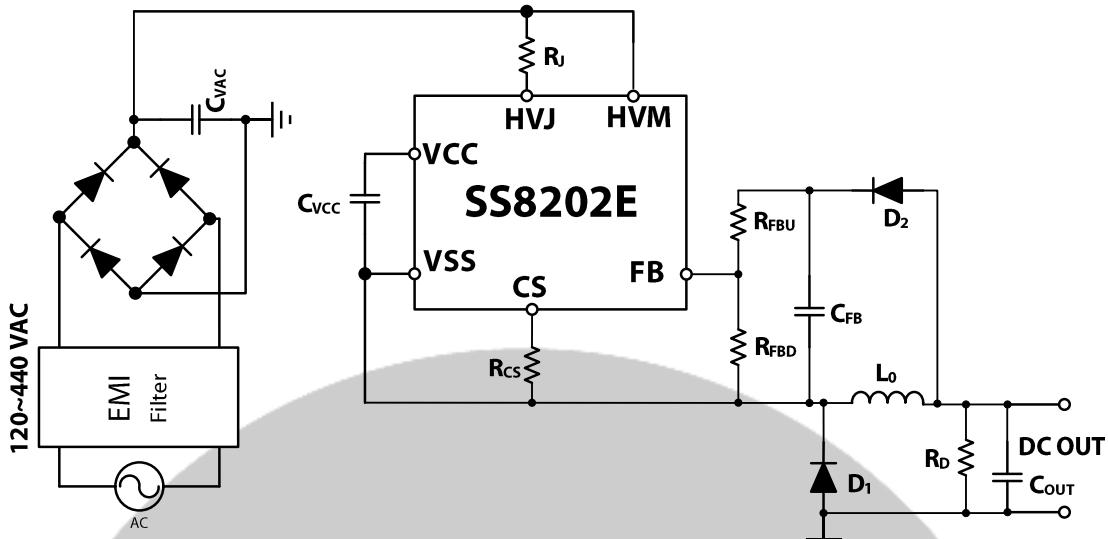
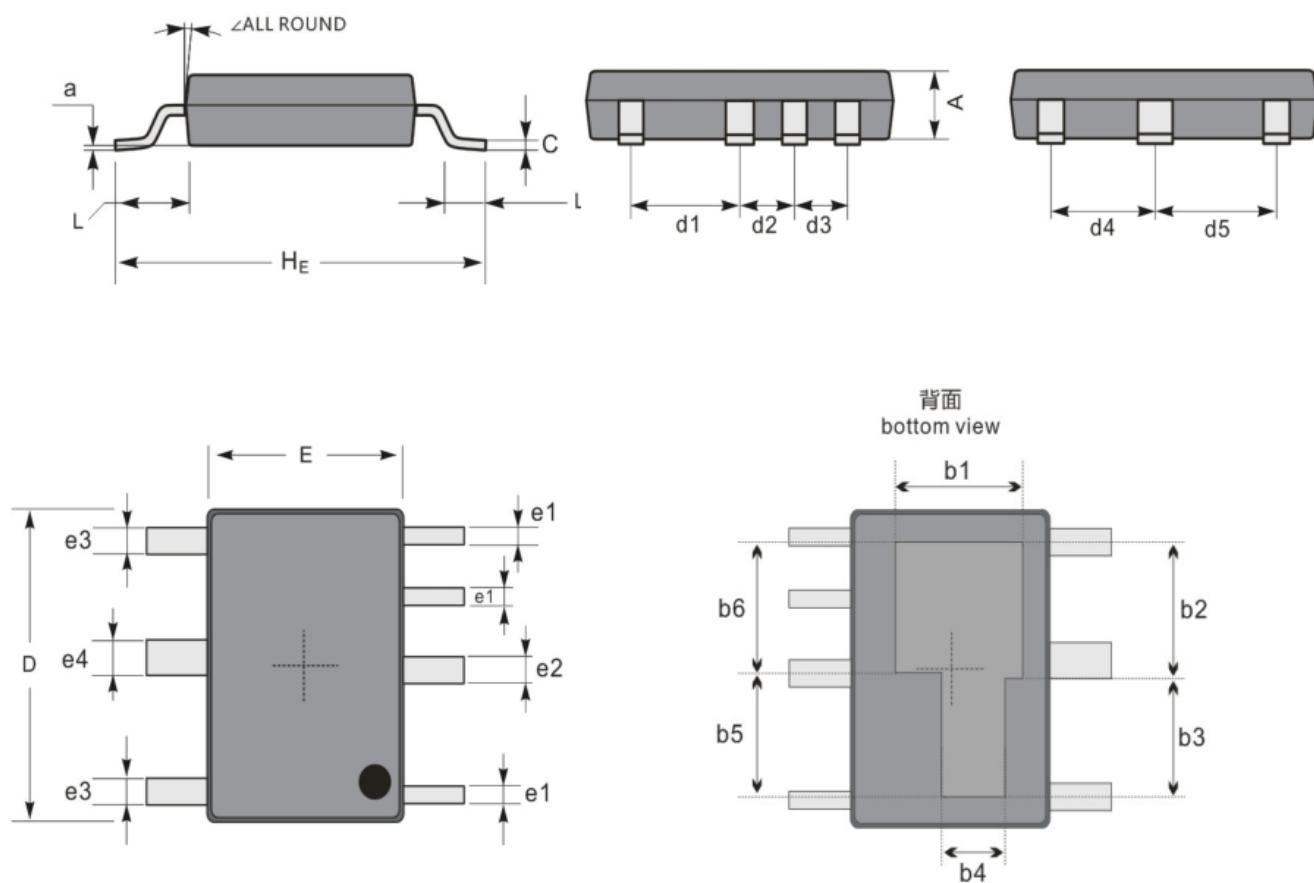


Figure 4. SS8202E Typical Application Circuit

PCB 设计注意事项

1. 旁路电容(C_{VCC})紧靠芯片，尽量缩小 V_{CC} 引脚经 C_{VCC} 到 GND 引脚的环路面积。
2. 电流采样电阻(R_{CS})紧靠芯片，尽量缩小 CS 引脚经 R_{CS} 到 GND 引脚的环路面积，同时在保证 MOSFET 源极和续流二极管阴极到 R_{CS} 间通流能力的前提下尽量缩小 CS 引脚等电位布线面积以减小电磁干扰。
3. FB 采样电阻(R_{FB_H} 和 R_{FB_L})紧靠芯片，尽量缩小 FB 引脚经 R_{FB_L} 到 GND 引脚的环路面积，同时尽量缩小 FB 引脚等电位布线面积。
4. 注意区分功率地和信号地。电流采样电阻(R_{CS})和电感(L_o)之间的连线属功率地，且为跳动电位，在保证足够通流能力的前提下尽量缩小该功率地布线面积以减小电磁干扰； R_{FB_L} 和 C_{VCC} 至 GND 引脚之间的连线属信号地。功率地和信号地采用单点连接至 GND 引脚。
5. 在保证通流能力的前提下尽量缩小输入电容(C_{in})，MOSFET 和续流二极管构成的环路面积以减小电磁干扰。

OUTLINE DIMENSIONS

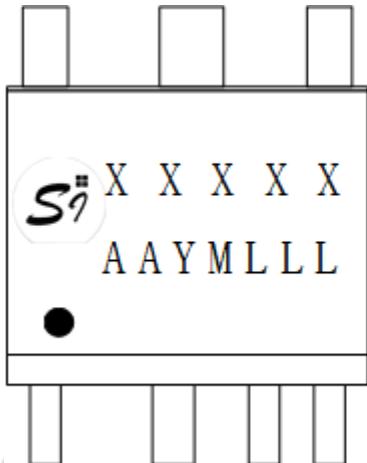


Unit		A	C	D	E	HE	d1	d2	d3	d4	d5	e1	e2	e3	e4	L	L1	b1	b2	b3	b4	b5	b6	a	\angle
mm	max	1.25	0.22	6.4	4.1	6.1	2.56	1.38	1.32	2.28	2.78	0.45	0.56	0.60	0.85	1.15	0.80	2.55	2.64	2.34	1.33	2.43	2.55	0.2 (ref)	12°
	typ	1.15	0.20	6.2	3.9	6.0	2.51	1.33	1.27	2.23	2.73	0.40	0.51	0.55	0.80	1.05	/	2.50	2.59	2.29	1.28	2.38	2.50		
	min	1.05	0.15	6.0	3.7	5.9	2.46	1.28	1.22	2.18	2.68	0.35	0.46	0.50	0.75	0.95	0.40	2.45	2.54	2.24	1.23	2.33	2.45		
mil	max	49	9	252	161	240	101	54	52	90	109	18	22	24	33	45	31	100	104	92	52	96	100	8 (ref)	12°
	typ	45	8	244	154	236	99	52	50	88	107	16	20	22	31	41	/	98	102	90	50	94	98		
	min	41	6	236	146	232	97	50	48	86	106	14	18	20	30	37	16	96	100	88	48	92	96		

Figure 5. 7-Lead ePAD Small Outline Package [ASOP]

ORDERING GUIDE

型号	封装形式	温度范围	MK code	Built-In MOSFET	包装方式	卷盘尺寸
SS8202E	EASOP7	-40°C to +125 °C	8202E AAYMLLL	900V 20.0ohm	5000/盘	13 寸卷盘



- 1、SI =Logo;
 2、• =Pin1;
 3、XXXXX =Device name ;
 4、AA =Company Encode;
 5、YM =Year&Month
 6、LLL =Trace No.

注：本公司保留不预先通知而修改此文件的权利

版本信息

版本号	发布日期	页数	章节或图表	更改说明
1.0	2025.2	9		首次发布