



可编程通用刺激双通道开发板

1 概述

编写该说明的主要目的是基于 NNC6121EVKC 双通道开发板使用需求，由本公司技术人员给与技术问题说明，并形成文字形式的报告，可用于客户研发人员自行了解与测试 NNC6121EVKC 双通道开发板。

1.1 适用范围

本文档适用于 NNC6121EVKC 双通道开发板操作参考。

1.2 参考资料

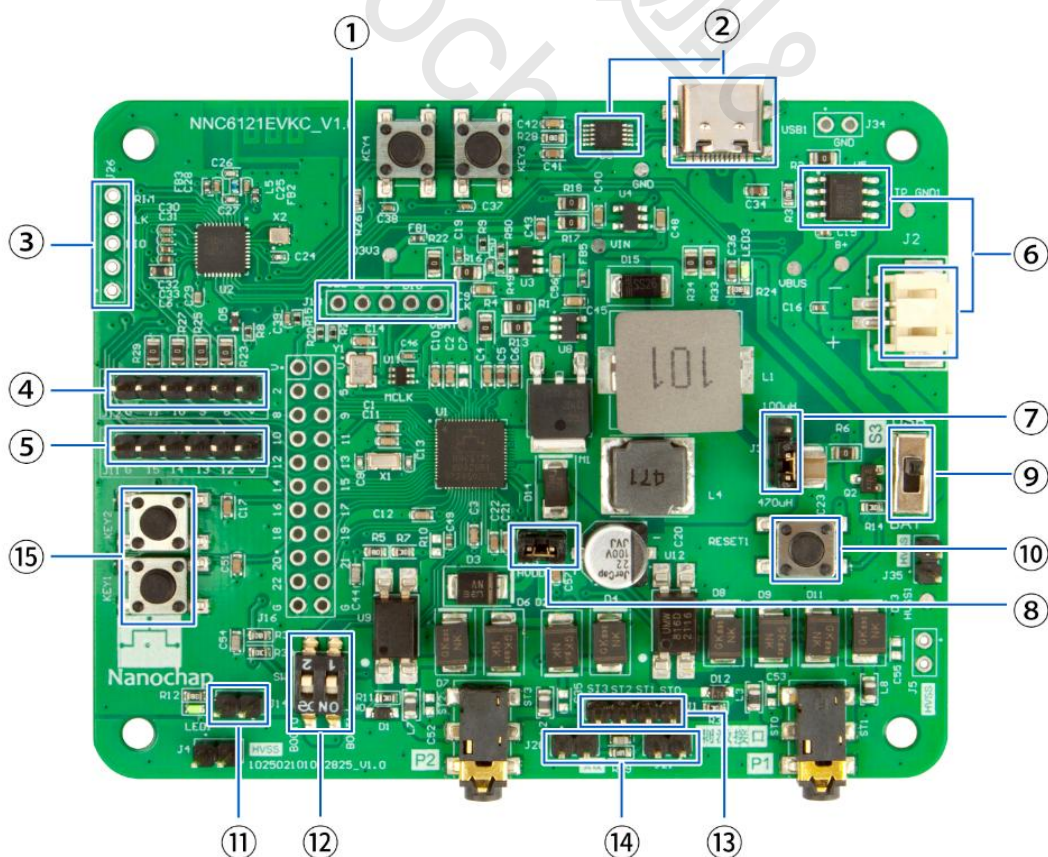
参考资料描述如表 1。

表 1 资料明细

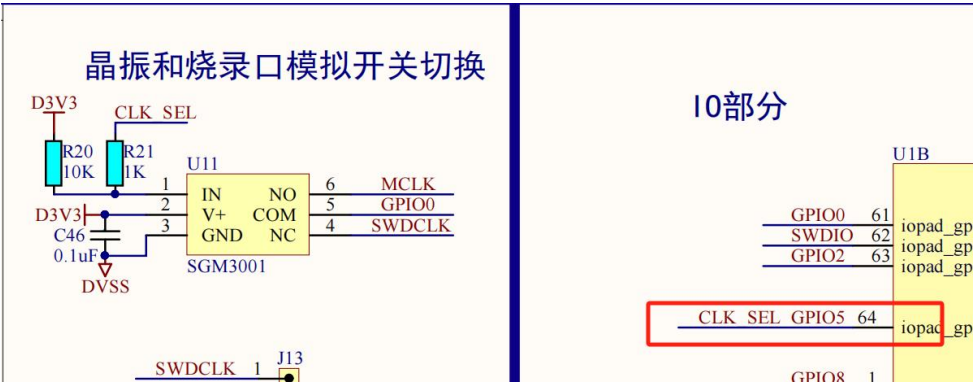
序号	文档名称	作者	版本
1	NNC6121 数据手册	暖芯迦	A/5
2	NNC6121EVKC 原理图	暖芯迦	A/1

1.3 NNC6121EVKC 双通道开发板图片及说明

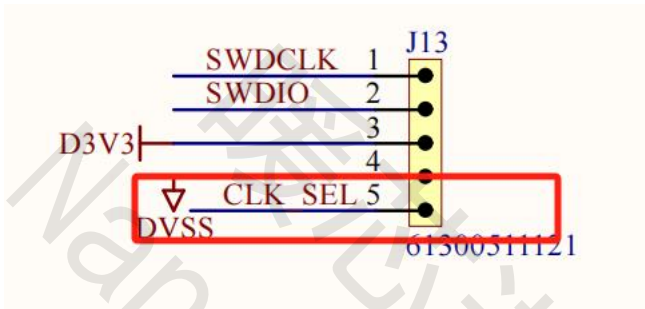
图 1 NNC6121EVKC 双通道开发板图



① NNC6121EVKC 的 SWD 调试接口，使用 J-Link 烧录器。其中 CLK_SEL 引脚是用高低电平来选择内部时钟或者外部时钟，默认用外部时钟(高电平 1)。

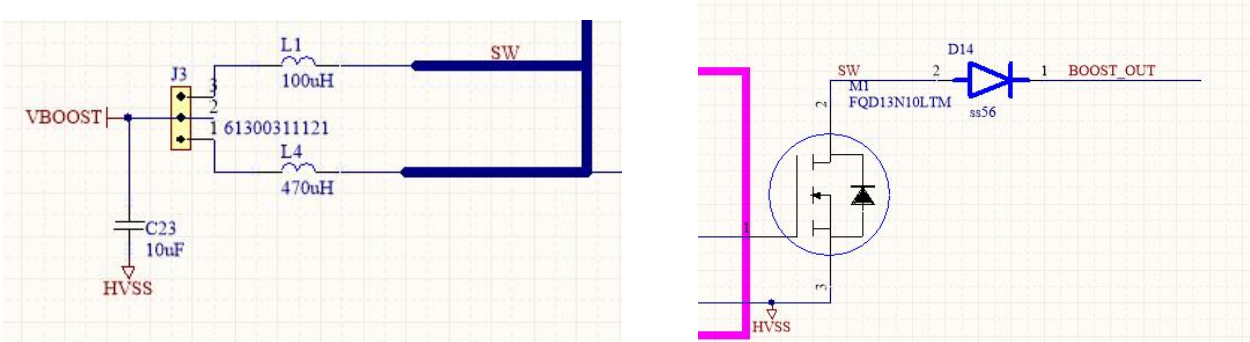


通过检测 GPIO5 的高低电平状态，来选择模拟开关的通路。由于 GPIO 口内部上拉，默认使用外部晶振（MCLK），因此烧录时应把模拟开关的 1 脚拉低（通过①中 CLK_SEL 接地实现）



- ② CH340E 芯片，将 NNC6121EVKC 的 UART1 通过此芯片接到 TypeC 接口端，使用 USB 线连接可以直接进行串口通信。
- ③ 蓝牙 SWD 烧录接口。
- ④ SPI 接口，默认与 BLE 相连。
- ⑤ UART 接口，默认与 BLE 相连。
- ⑥ TP4056-MS 锂电池充电管理芯片，可以用于给 3.7V 锂电池充电。
- ⑦~⑧ 为 BOOST 部分电路，包含电感，电容、肖特基二极管（与芯片内部的肖特基二极管并联），芯片内部集成了 MOSFET，芯片的 SW 引脚连接内部 MOS 管的漏极 D，如图为外部元器件的连接位置。

图 2 电感、电容、肖特基二极管位置

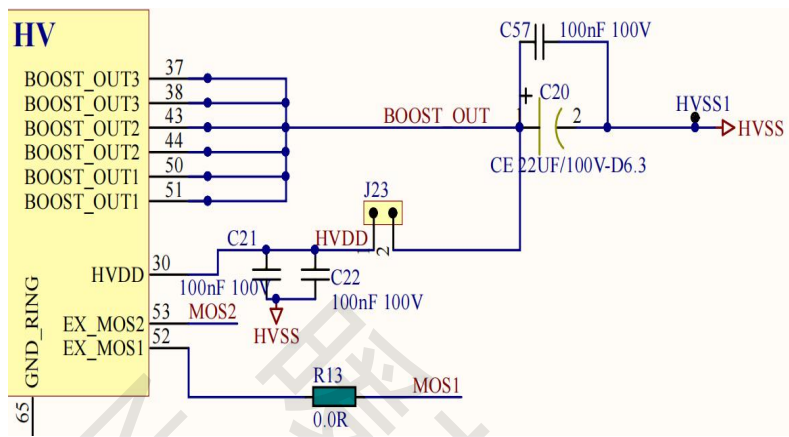


⑦ 电感选择跳线帽，根据输出要求选择大电感还是小电感，小电感升压低，若发现 BOOST 电压无法达到目标值，请更改跳线帽连接处，选择大电感。

⑧ J23 是芯片的 BOOST_OUT 与 HVDD 引脚之间的跳帽，BOOST 电路为内部的刺激驱动器供能，boost_out 引脚的输出电压通过寄存器设置来控制。

例如：程序中设置输出电压为 45V，则使能后可以在 boost_out 端测到 45V 左右的电压，将此电源输入到 HVDD 引脚后，再配置波形参数设置相关的寄存器就可以生成由恒流源控制的刺激驱动器输出相应的波形。

图 3 J23 跳帽原理图位置



⑨ 电源选择配置，使用 USB 供电时，把 S3 拨到上边（丝印为 USB）；使用电池供电时，把 S3 拨到下边（丝印为 BAT）。

⑩ 复位按键。

⑪ 独立 LED 灯，可接 IO，低电平驱动。

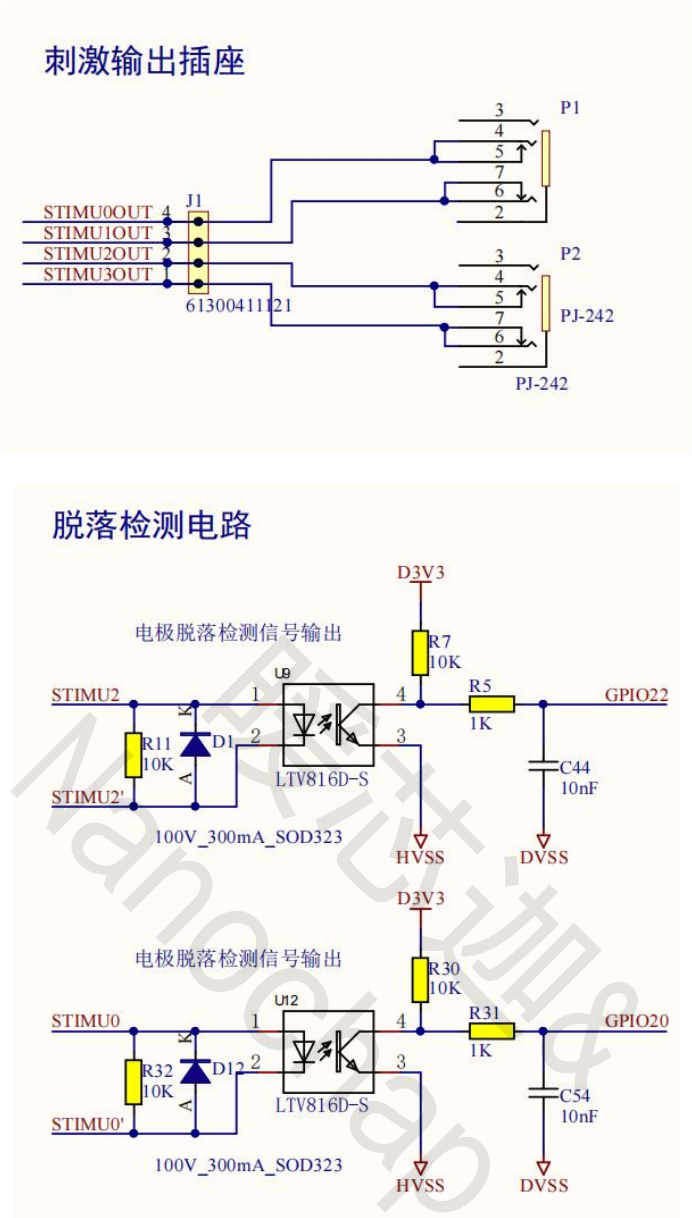
⑫ BOOT 模式切换开关。

BOOT 模式选择

Boot mode selection		Boot mode	Aliasing
Boot1 pin	Boot0 pin		
X	0	MTP base	MTP main area from base is selected as boot area for application code usage
0	1	MTP high 4KByte	MTP high 4KByte area is selected as boot area for bootloader usage
1	1	Embedded SRAM	Embedded SRAM is selected as boot area for debug usage

⑬ J1 靠近芯片一排的每一个点对应芯片的一个刺激电极引脚，如 ST0 对应 STMU0 引脚，ST1 对应 STMU1 引脚，共有从 STMU0–STMU3 共 4 个引脚，都属于 NNC6121EVKC 芯片的 DRIVER-A 部分，其组合方式是固定的，由 ST0 和 ST1 组成通道 1，其中 ST0 输出正向波形，ST1 输出负向波形；由 ST2 和 ST3 组成通道 2，其中 ST2 输出正向波形，ST3 输出负向波形。

图 4 电刺激输出接口及板上测试电路



其中：

⑭ J20 和 J21 为模拟负载。P1 和 P2 为耳机接口，用于连接 2.5mm 一拖二导线和凝胶电极片，用于直接贴在人体体验电刺激波形。

图 5 电刺激线及电极贴片（参考）



⑮ 按键测试电路。

目录

1 概述	1	3.2 开发板的供电说明	10
1.1 适用范围	1	3.2.1 开发板供电连接方式（此处命名使用原理图中的信号名称）	10
1.2 参考资料	1	3.2.2 刺激电流输出以及模拟负载说明	11
1.3 NNC6121EVKC 双通道开发板图片及说明	1	3.3 关键寄存器说明及例程的使用	11
2 NNC6121EVKC 芯片说明	7	3.3.1 软件准备	11
2.1 NNC6121EVKC 芯片简介	7	3.3.2 NNC6121EVKC 的波形发生原理及寄存器配置	13
2.2 引脚说明	8	3.3.3 NNC6121EVKC 的波形发生相关寄存器说明（本文档仅描述与 DRIVER-A 相关的） ..	15
2.2.1 电源部分引脚说明	8	3.3.4 NNC6121EVKC 的波形发生例程	17
2.2.2 其他重要引脚说明	9	3.4 低功耗测试说明	17
3 NNC6121EVKC 双通道开发板操作说明	10	4 注意事项	18
3.1 准备工具	10	5 联系方式	19
3.1.1 硬件工具及名称描述	10		
3.1.2 软件工具及名称描述	10		

插图目录

图 1 NNC6121EVKC 双通道开发板图	1	图 11 NNC6121EVKC 电刺激输出引脚 STMU0-STMU3	11
图 2 电感、电容、肖特基二极管位置	2	图 12 NNC6121EVKC 电刺激输出耳机孔及输出开关 ..	11
图 3 J23 跳帽原理图位置	3	图 13 NNC6121EVKC 刺激电流输出位置及板上负载 ..	11
图 4 电刺激输出接口及板上测试电路	4	图 14 KEIL 的 options 界面	12
图 5 电刺激线及电极贴片（参考）	4	图 15 KEIL 的 flash 烧录文件选择界面	12
图 6 NNC6121EVKC 芯片框图	7	图 16 编译器选择	13
图 7 NNC6121EVKC 的 BOOST 电路	8	图 17 双向方波	13
图 8 NNC6121EVKC 的 BOOST 电路	9	图 18 示波器探头连接方法	14
图 9 NNC6121EVKC 的 boost_out 和 HVDD 引脚连接 ..	9	图 19 波形参数赋值	17
图 10 Type-C 接口输入供电图示	10		

文档修订记录

序号	版本号	修订日期	修订概述	修订人	审核人	批准人	备注
1	V1.0	2025-07-02	首次编制				

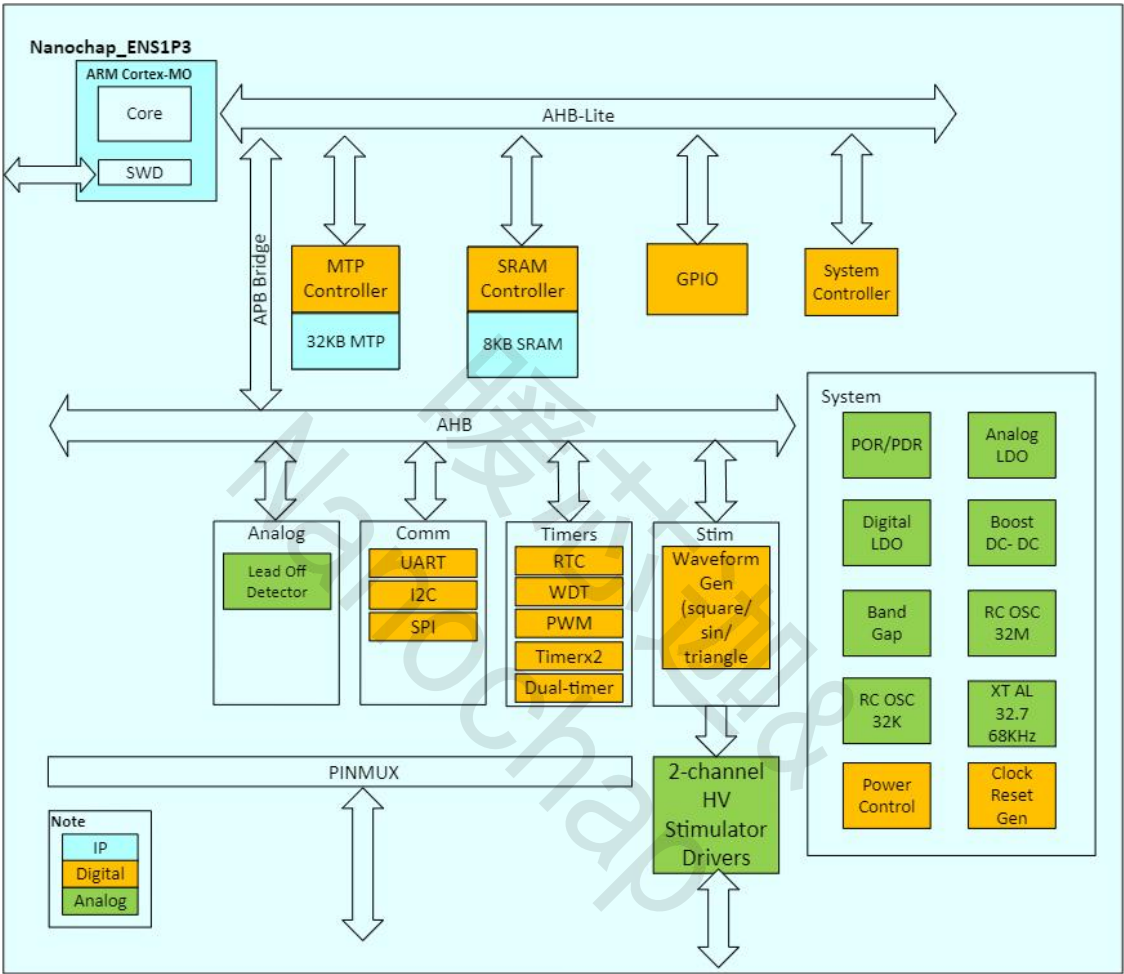
Nanochap 暖芯迦&

2 NNC6121EVKC 芯片说明

2.1 NNC6121EVKC 芯片简介

NNC6121EVKC 芯片集成了 Crotex-M0 内核，32KBMTP 存储，8KBSRAM，数字通信接口有 UART*1, SPI*2, IIC*1，2 路比较器，低电压检测，24 个 GPIO（有些封装没全封出来），计时器部分有：实时时钟、定时器、看门狗、脉宽调制、32 位或 16 位双定时器等，另外集成有专用的高压刺激驱动器。

图 6 NNC6121EVKC 芯片框图



其中刺激驱动器部分：有 STMU0–STMU3 共 4 个电刺激引脚。

表 2 NNC6121EVKC 芯片

型号	NNC6121EVKC（双通道）
封装	QFN64L/7*7mm
电刺激通道数量	DRIVER-A: STMU0–STM3 DRIVER-B: 无 DRIVER-C: 无
输出电流能力/单元电流	DRIVER-A: 每通道 33uA–67mA（最大可输出 67mA 电流，配置方法见芯片规格书） 单元电流 33uA~264uA

2.2 引脚说明

2.2.1 电源部分引脚说明

电源分为 2 个部分，第一部分是工作电压电源，第二部分是 BOOST 升压及刺激驱动器部分的电源。

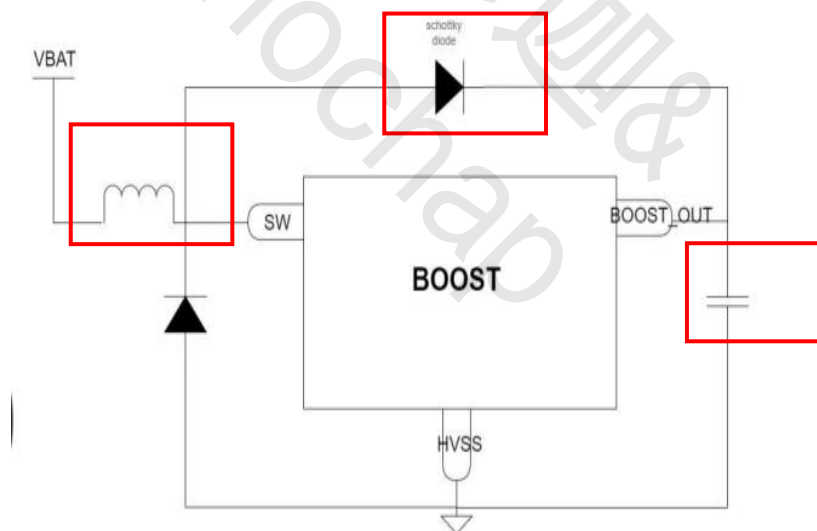
1) 第一部分

- **AVDD**: 芯片模拟电源输入引脚。
 - 与锂电池正极连接（使用锂电池时）
 - 直接输入 3V-5V 直流电源（不使用电池时）
- **vdd_io1/2/3**: 三个引脚均为 3.3V 电源外部输入引脚，为 3.3VIO 部分电路供电。
- **vdd_dig1/2&4/3**: 三个引脚均为 1.8V 电源外部输入引脚，提供 1.8V 电源给内核工作使用。

2) 第二部分

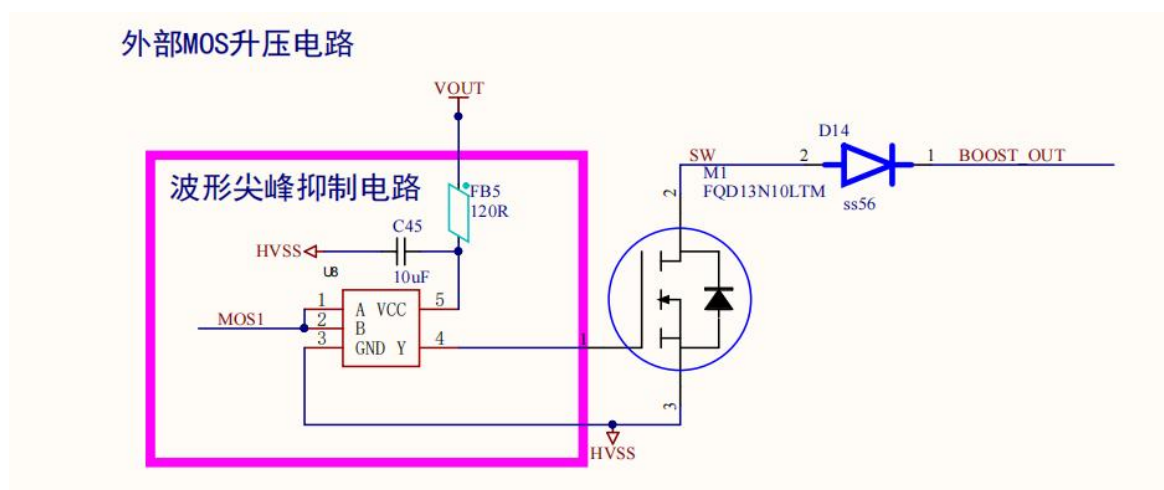
- **BOOST_OUT1/2/3**: NNC6121EVKC 集成了 BOOST 升压电路中的部分器件，最终电压输出引脚为 BOOST_OUT1/2/3。
- **SW1/2/3/4**: BOOST 升压路径有两种模式可供选择，即内部模式和外部模式，在使用内部模式下，使用芯片内集成的 MOS 管，肖特基二极管，电压反馈电路（过压保护），芯片的 SW 引脚连接内部 MOS 管的漏极 D。设计电路时仅需要外加（NNC6121EVKC 的 BOOST 电路示意图红框中）功率电感、肖特基二极管（与内部并联）、电容组成完整的 BOOST 电路。

图 7 NNC6121EVKC 的 BOOST 电路



如图 7 中，SW1/2/3/4 引脚连接内部 MOS 管的 D 极，内部以并联方式存在，这样设计是为了提供较大的电流承受能力。

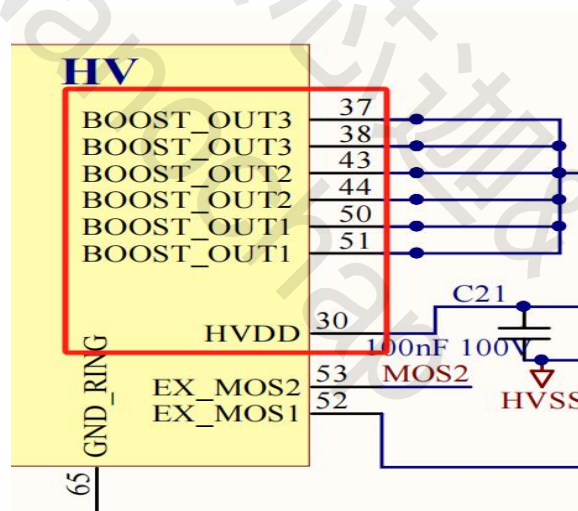
图 8 NNC6121EVKC 的 BOOST 电路



在使用外部模式下，需要多使用一个外部的 MOS 管（如图 8）。

- **HVDD**: NNC6121EVKC 集成了刺激驱动器，用于控制生成确定参数的刺激波形，且以恒流源的形式输出，可以通过寄存器配置输出电流大小、脉宽、频率等参数。刺激驱动器的电源输入（HVDD 引脚）接 BOOST_OUT 引脚。

图 9 NNC6121EVKC 的 boost_out 和 HVDD 引脚连接



2.2.2 其他重要引脚说明

- **GPI00**: 默认为 SWDCLK 功能，即 SWD 的时钟接口，此引脚又可复用 HSE_CLK 功能，即使用外部高速时钟作为主时钟输入，此时连接为外部有源晶振的 OUT 端（一般使用内部高速时钟）。
- **CRY32K_OUT**: 接 32K 晶振引脚。
- **CRY32K_IN**: 接 32K 晶振引脚。
- **iopad_boot0**: B00T 模式选择引脚 0。
- **iopad_boot1**: B00T 模式选择引脚 1。
- **iopad_nrst**: 芯片复位引脚，默认为高电平，拉低时触发复位。

3 NNC6121EVKC 双通道开发板操作说明

3.1 准备工具

3.1.1 硬件工具及名称描述

- J-Link 仿真器（推荐 V9 版本，其它如 ST Link 等带有 SWD 接口的仿真器也可使用）
- NNC6121EVKC 双通道开发板
- Type-C 线
- 2.5mm 一出二理疗仪导线和电极贴片（选配）
- OLED 模块（选配）
- 示波器
- 500 欧姆电阻

3.1.2 软件工具及名称描述

kei15.23 开发工具

NNC6121EVKC 芯片的烧录算法 (位 置 : NNC6121EVKC 开发板资料\软件\下位机\开发环境\xxx.FLM)

3.2 开发板的供电说明

3.2.1 开发板供电连接方式（此处命名使用原理图中的信号名称）

- NNC6121EVKC 芯片有 3 组工作电源输入引脚，分别是：AVDD、VDDIO、VDD_DIG
- 1) AVDD 需要连接 3V 到 5V 作为输入为芯片模拟部分供电。
 - 2) VDDIO 需要外部输入 3.3V 电源，为 GPIO 提供电源。
 - 3) VDD_DIG 需要外部输入 1.8V 电源，为 1.8V 内核工作提供电源。

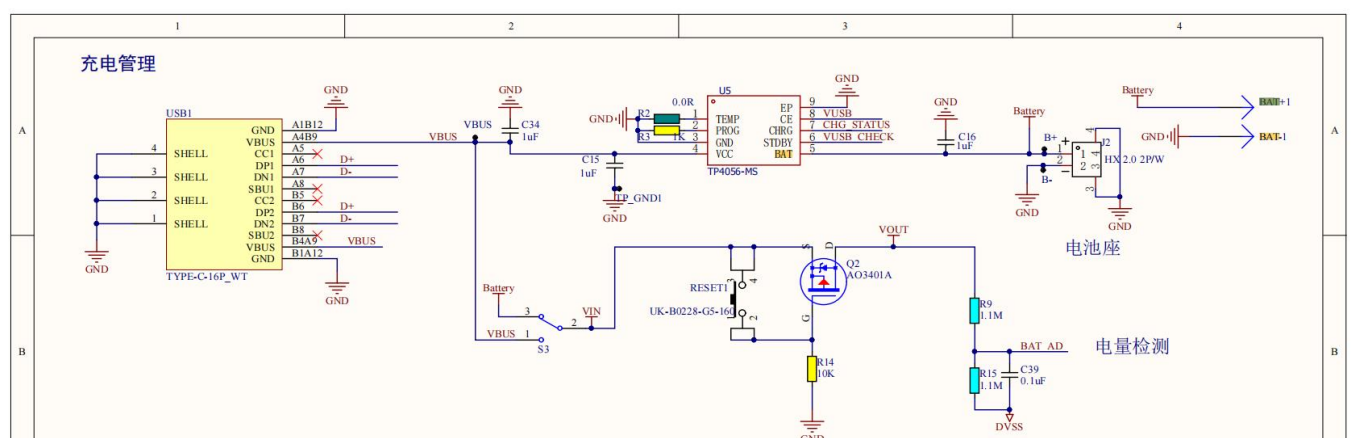
AVDD、VDDIO、VDD DIG 必须有正常输入芯片才能正常工作。

- ### ■ 开发板供电方法:

- 1) 通过 Type-C 接口供电

- ① 将 S3 开关拨到 USB, 此时 LD0: TLV70233DBVR 产生的 3.3V 电压供给外设和 NNC6121EVKC 芯片的 vdd io1/2/3 使用, 外设包括 CH340E USB 转串口芯片, LED, OLED 模组, SWD 调试器等。

图 10 Type-C 接口输入供电图示



2) 通过 3.7V 锂电池供电

- ① 先连接锂电池到开发板 J2，并且将 S2 开关拨到 BAT。此时 LD0: TLV70233DBVR 产生的 3.3V 电压供给外设和 NNC6121EVKC 芯片的 vdd_io1/2/3 使用，外设包括 CH340E USB 转串口芯片，LED，OLED 模组，SWD 调试器等。

3.2.2 刺激电流输出以及模拟负载说明

- 双通道电刺激输出引脚如图 11，图 13 中的电容电阻模拟负载可用于波形测试，2.5mm 耳机孔可连接一出二理疗仪导线和电极贴片（参考图 12）用于体验不同刺激波形的实际体感。

图 11 NNC6121EVKC 电刺激输出引脚 STMU0-STMU3

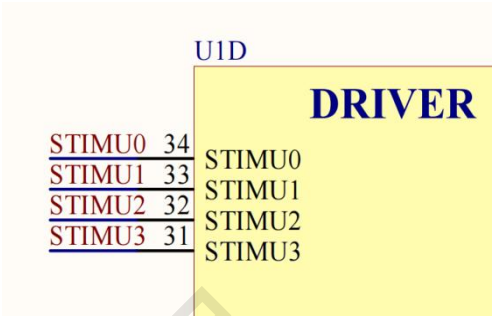


图 12 NNC6121EVKC 电刺激输出耳机孔及输出开关

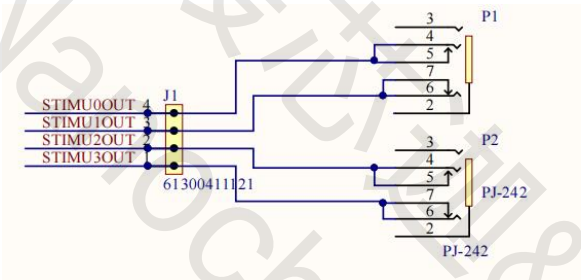
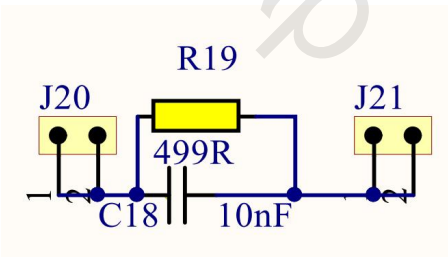


图 13 NNC6121EVKC 刺激电流输出位置及板上负载



3.3 关键寄存器说明及例程的使用

3.3.1 软件准备

- 1) 将 NNC6121EVKC 开发板资料\软件\下位机\开发环境下的 XXXXX.FLM 文件复制到 KEIL 安装路径下的 /ARM/Flash 文件夹下。
- 2) 打开 NNC6121EVKC 开发板资料\波形发生例程路径下的任一例程，打开配置窗口->Debug 页面（图 16）->Setting 窗口->Flash Download 页面->添加 XXXXX.FLM 包。

图 14 KEIL 的 options 界面

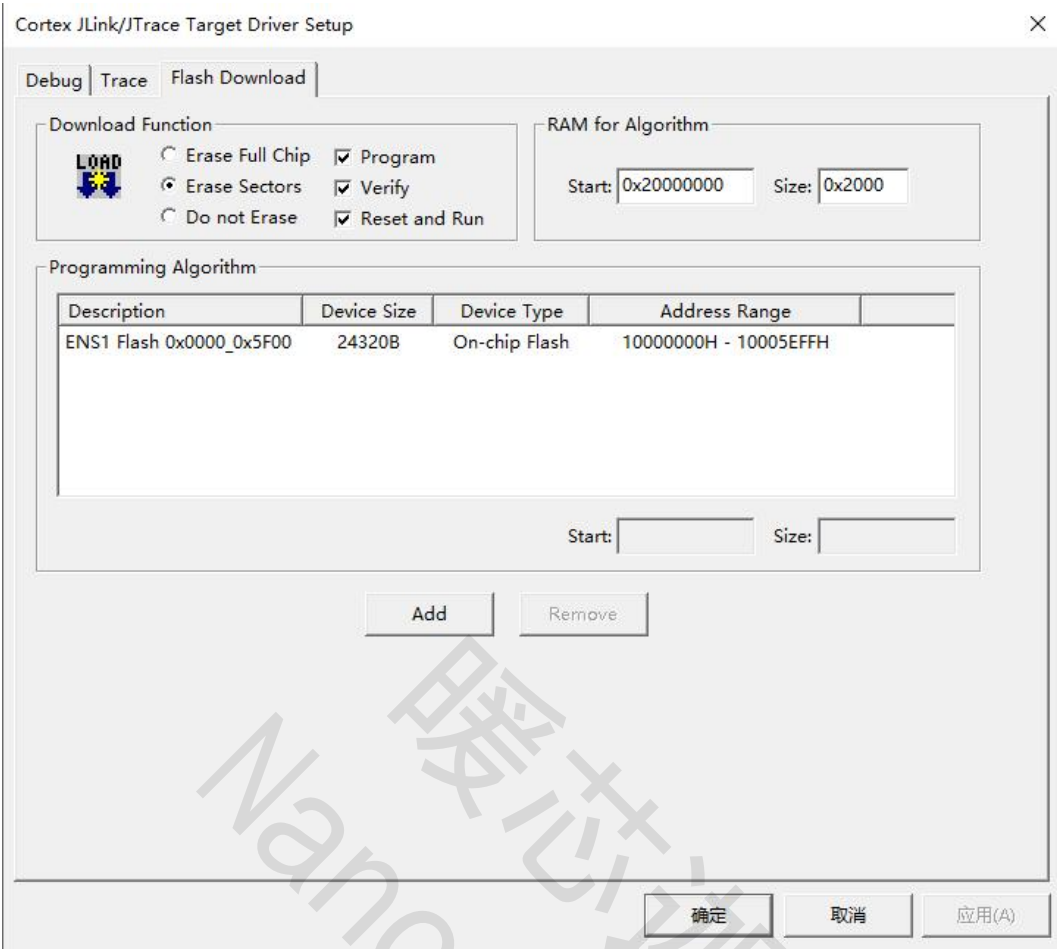
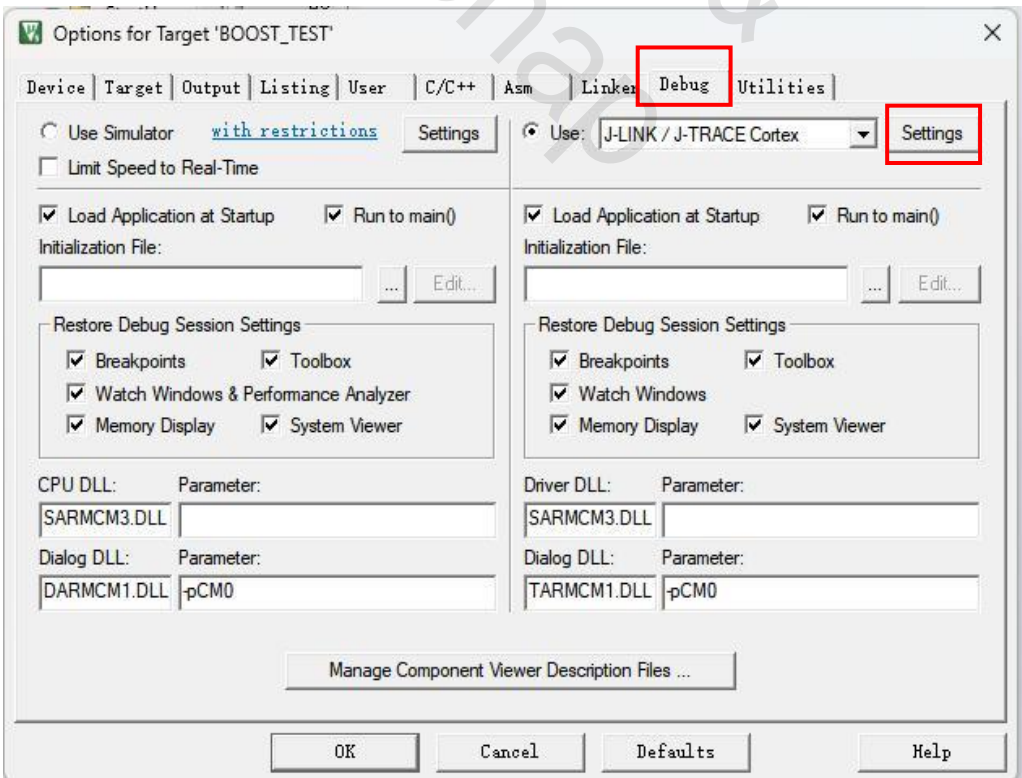
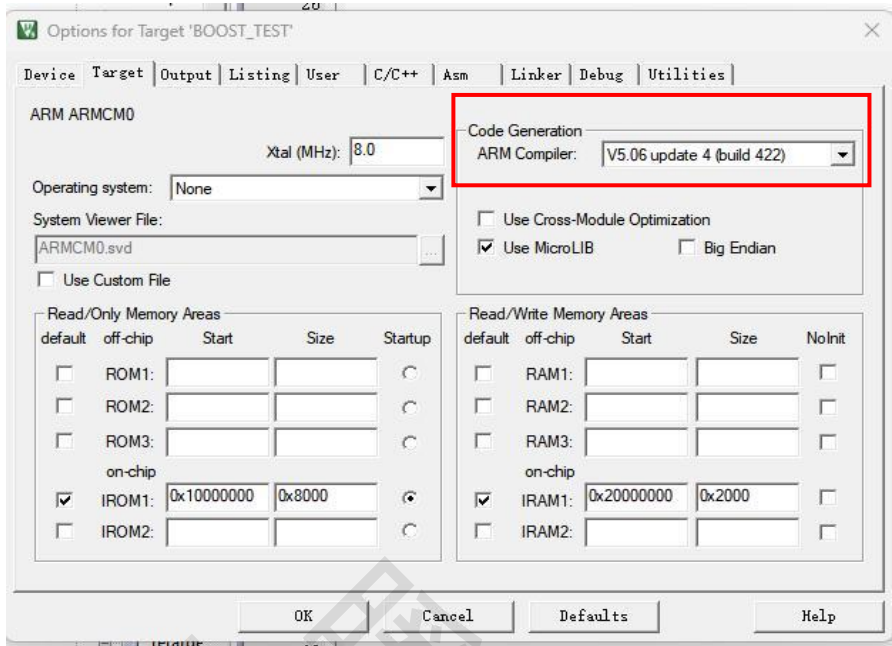


图 15 KEIL 的 flash 烧录文件选择界面



3) 选择编译器版本（选择为您软件现有的版本即可）

图 16 编译器选择

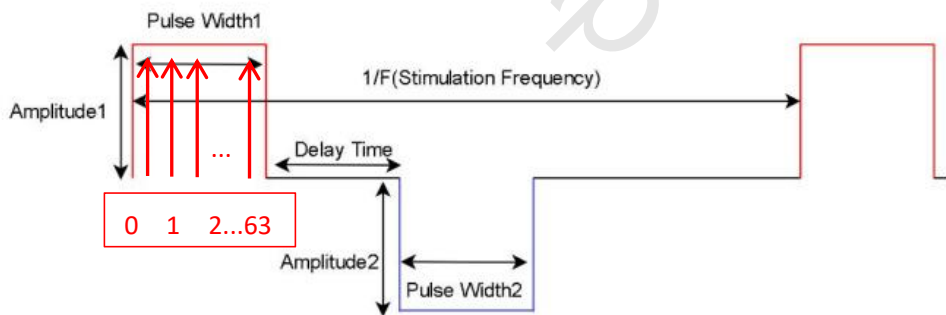


3.3.2 NNC6121EVKC 的波形发生原理及寄存器配置

NNC6121EVKC 可以生成双向电流刺激波形，其生成波形的方式为“描点法”，每个周期的波形由 128 个点“描出”，负半周期的波形由正半周期镜像或者“拉伸”得到，因此在“描点”时，只需描出正半周期的 64 个点的电流值即可。

以 ST0+ST1（通道 1）生成双向方波步骤为例：

图 17 双向方波



- 1) 在 ST0 和 ST1 中间连接一个 500 欧姆电阻；
- 2) 配置 CMSDK_WAVEGEN_DRVA 寄存器（datasheetP.182）：使能死区时间（bit0: rest enable），使能负半周期波形发生（bit1: negative enable），使能静默时间（bit2: silent enable），使能负半周电极的 SOURCE 开关（bit3: source B enable）；
- 3) 配置 WAVE_GEN_DRV_HLF_WAVE_PRD_REG 寄存器，设置正半周期的脉宽时间（单位 us），可以设置的范围是（2-99999us）；

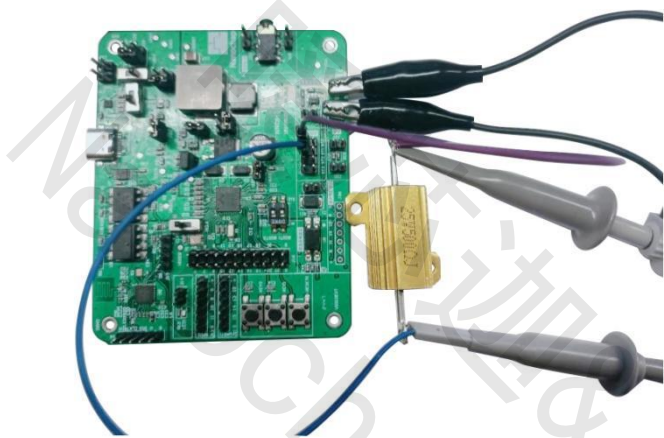
- 4) 配置 WAVE_GEN_DRV_REST_T_REG 寄存器,设置死区时间(图 14 中的 Delay Time),范围是(1-255us);
- 5) 配置 WAVE_GEN_DRV_NEG_HLF_WAVE_PRD_REG 寄存器,设置负半周期的脉宽时间(单位 us),可以设置的范围是(2-99999us);
- 6) 配置 WAVE_GEN_DRV_SILENT_T_REG 寄存器,设置静默时间(图 14 中负半周结束后的一段时间);
- 7) 设置电流:由电流倍数寄存器(WAVE_GEN_DRVC_BLK5->WAVE_GEN_DRV_ISEL_REG, WAVE_GEN_DRVC_BLK6->WAVE_GEN_DRV_ISEL_REG, WAVE_GEN_DRVA->WAVE_GEN_DRV_ISEL_REG)和电流挡位寄存器(WAVE_GEN_DRV_IN_WAVE_REG)配置;

电流计算方式: $(33 \times (\text{电流系数}(0-7)+1)) \times \text{电流挡位}(\mu\text{A})$, 电流使用范围: $(33\mu\text{A}-264\mu\text{A}) \times \text{电流挡位}$ 。

- 8) 启动刺激输出: 将 WAVE_GEN_DRV_CTRL_REG 赋 1, 启动输出;

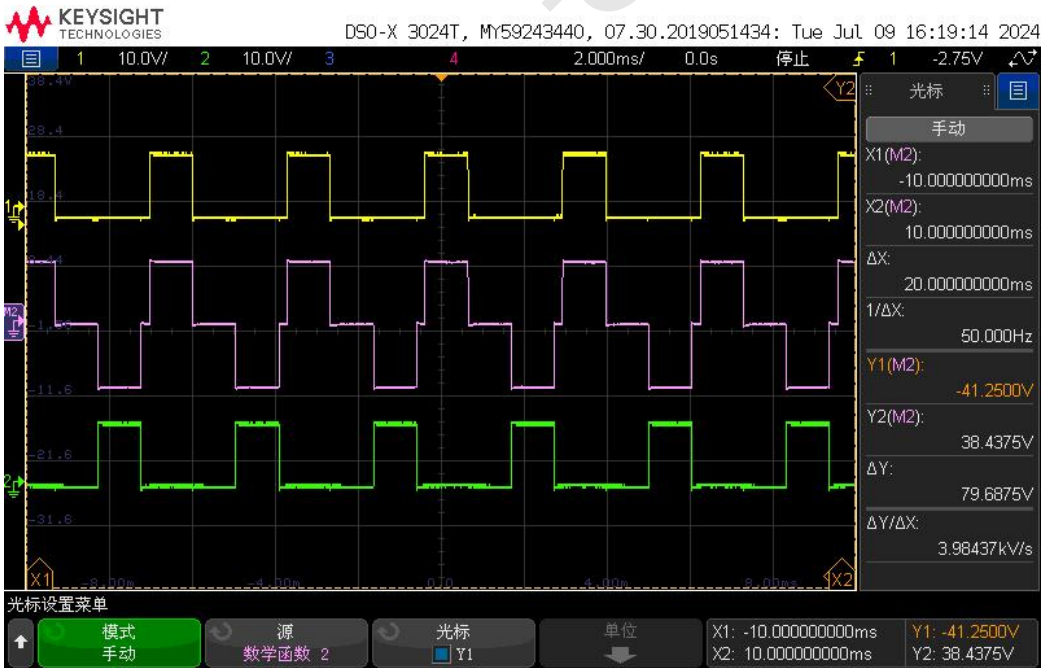
连接示波器, 使用双探头分别测量电阻两端的输出电压, 如图:

图 18 示波器探头连接方法



- 9) 需要使用示波器的 math 功能, 将 CH1 与 CH2 的波形做差, 得到最终波形。

图 19 示波器处理



3.3.3 NNC6121EVKC 的波形发生相关寄存器说明（本文档仅描述与 DRIVER-A 相关的）

表 3 部分寄存器说明

寄存器名	寄存器长度	读写	功能描述
WAVE_GEN_DRV_CONFIG_REG	<7:0>	RD/WR	<p>bit0: 使能死区时间, 如果使能了这一位, 则<ADDR_WG_DRV_REST_T_REG>寄存器不能赋值为 0; 如果失能了这一位, 则需要赋值为 0, 否则无波形输出。</p> <p>Bit1: 负半周期波形使能, 如果需要输出负半周期波形, 需要将这一位使能。</p> <p>Bit2: 静默时间使能, 静默时间是负半周期波形结束后的不输出时间。</p> <p>Bit3: 负半周期的 source 开关, 需要负半周期波形时, 此位也需要置 1。</p> <p>Bit4: DRIVER-A 未用到。</p> <p>bit5: DRIVER-A 未用到。</p> <p>Bit6: 多电极使能, 需要用到通道 2 时需开启。</p>
WAVE_GEN_DRV_CTRL_REG	<7:0>	RD/WR	仅 bit0 有效, 控制是否使能波形发生时钟, 即控制波形的产生和停止
WAVE_GEN_DRV_REST_T_REG	<7:0>	WR	死区时间时长设置 (单位 us, 范围 0-255), 死区时间是图 18 的 delay_time, 如果需要使用到 255us 以上的时间, 需要借用波形脉宽时间。
WAVE_GEN_DRV_SILENT_T_REG	<31:0>	WR	静默时间时长设置 (单位 us, 范围 0-10 秒+)
WAVE_GEN_DRV_HLF_WAVE_PRD_REG	<31:0>	WR	正半周期的脉宽时间 (单位 us, 范围 2-99999us)
WAVE_GEN_DRV_NEG_HLF_WAVE_PRD_REG	<31:0>	WR	负半周期的脉宽时间 (单位 us, 范围 2-99999us)
WAVE_GEN_DRV_CLK_FREQ_REG	<7:0>	WR	<p>波形发生器的时钟频率 (单位: MHZ)</p> <p>0x10:16M</p> <p>0x20:32M</p>
WAVE_GEN_DRV_IN_WAVE_ADDR_REG	<7:0>	WR	波形生成的方法是描点法, 正半周期的波形由 64 个点的电流幅值组成, 这个寄存器赋值范围为 (0-63), 代表 64 个地址。
WAVE_GEN_DRV_IN_WAVE_REG	<7:0> <15:8>	WR	<p><7:0>给上面对应的 64 个地址赋值, 设置电流大小, 每个地址都需要设置一个对应的电流大小, 范围 0-255。</p> <p><15:8>DRIVER-A 未使用到</p>
WAVE_GEN_DRV_ALT_LIM_REG	<15:0>	WR	<p>延迟输出时钟数, 可以实现多通道错位输出, 1us 的时钟数公式: 时钟频率/1000000 (us)。</p> <p>例: 延迟 Xus 输出, 此寄存器设置为时钟频率/1000000*X (us)。</p>
WAVE_GEN_DRV_NEG_SCALE_REG	<7:0>	WR	<p>倍乘系数:</p> <p>负半周期波形的幅值=ADDR_WG_DRV_NEG_SCALE_REG * 正半周期幅值</p>

			如果幅值大于 255，结果会溢出，从 0 开始。
WAVE_GEN_DRV_NEG_OFFSET_REG	<7:0>	WR	<p>偏移量参数：</p> <p>负半周期波形的幅值 = ADDR_WG_DRV_NEG_OFFSET_REG + 正半周期幅值，如果幅值大于 255，结果会溢出，幅值从 0 开始计算。</p> <p>最终负半周期的电流幅值 = ADDR_WG_DRV_NEG_SCALE_REG * 正半周期幅值 + ADDR_WG_DRV_NEG_OFFSET_REG。</p>
WAVE_GEN_DRV_INT_REG	<31:0>	RD/WR	<p>说明：一次可以设置两个中断地址，分别叫做第一地址，第二地址，波形每半个周期由 64 个点组成，每个点都有对应的地址（0-63），两个中断地址的实际设置值为 64 个波形地址中的 2 个。</p> <p>■ 写入访问：</p> <p>bit0：启用中断。</p> <p>Bit1：启用时清除第一个地址中断。</p> <p>Bit2：启用时清除第二个地址中断。</p> <p>Bit<15:8>：第一个中断地址。当波形发生器到达该地址时，启用 APB 中断信号（有 64 个点波形，因此，选择 64 个地址中的某一个地址用作第一个地址中断）。</p> <p>Bit<23:16>：第二个中断地址。当波形发生器到达该地址时，启用 APB 中断信号（有 64 个点波形，因此，选择 64 个地址中的某一个地址用作第二个地址中断，注意：第二中断地址应该大于第一中断地址）。</p> <p>剩余位保留。</p> <p>■ 读取访问：</p> <p>Bit<7:0>：正在读取的波形发生器编号。</p> <p>Bit8：中断已启用。</p> <p>Bit9：发生第一次地址中断。当波形发生器到达第一个波形地址时为 1。</p> <p>Bit10：发生第二次地址中断。当波形发生器到达第二个波形地址时为 1。</p> <p>Bit<23:16>：报告中断的第一个地址。</p> <p>Bit<32:24>：报告中断的第二个地址。</p>
ADDR_WG_DRV_ISEL_REG	<2:0>	WR	<p>单元电流系数设置</p> <p>使用 DRVC 的 5 和 6 通道的电流倍数寄存器保存该值的低三位，此寄存器三位保存该值的高三位。</p>
WAVE_GEN_DRVC_BLK5->WAVE_GEN_DRV_ISEL_REG	<2:0>	WR	此寄存器用于保存 DRVA-0 电流系数值的低三位
WAVE_GEN_DRVC_BLK6->WAVE_GEN_DRV_ISEL_REG	<2:0>	WR	此寄存器用于保存 DRVA-1 电流系数值的低三位

3.3.4 NNC6121EVKC 的波形发生例程

■ 波形发生例程的路径为：NNC6121EVKC 开发板资料\波形发生例程\

一共提供了 5 个示例程序，分别是 boost 电压选择例程、方波例程、正弦波例程、EMS 波形、干扰波例程。

烧录过程请严格按照以下流程，否则可能会损坏开发板：

拔掉 USB 与电池，断电->去除 BOOST 跳线帽（1.3 章节中的八号跳线帽）->插上 Jlink->插上 USB 供电->烧录->烧录完成后拔掉 USB->拔掉 Jlink，插上 BOOST 跳线帽->插上 USB，使用。

以《2、ENS_PULSE_TEST》为例，主函数设置步骤为：

- 1) 设置 MTP 时钟相关的参数，CMSDK_MTPREG->MTP_CR = 0x00000003;
- 2) 设置主频为 32MHz;
- 3) 使能 APB 总线上的部分时钟如 UART1、波形发生器的时钟;
- 4) 选择 boost 参数;
- 5) 串口初始化;
- 6) 给多路波形发生器的寄存器赋值(参考表 3)并在形参中设置电流系数(0-7)与电流挡位(0-255)，电流计算方法为：(33x (电流系数 (0-7) +1))x 电流挡位 (uA)，电流使用范围：(33uA-264uA) x 电流挡位。

程序中 2 个通道对应的波形发生器硬件地址别名分别为 WAVE_GEN_DRVA_BLK0、WAVE_GEN_DRVA_BLK1;

图 19 波形参数赋值

```
CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_REST_T_REG = 1; //1us 死区时间
CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_SILENT_T_REG = 10000; //1000us 静默时间
CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_CLK_FREQ_REG = 0x00000020; //32MHZ ==PCLK
CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_HLF_WAVE_PRD_REG = 500; //0x000003E8; 脉宽1
CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_NEG_HLF_WAVE_PRD_REG = 500; //0x000003E8; 脉宽2
Current_units=4*(units+1);
if (CMSDK_WAVEGEN_DRVA==WAVE_GEN_DRVA_BLK0){
    WAVE_GEN_DRV_C_BLK5->WAVE_GEN_DRV_ISEL_REG=Current_units&0x7; // BLK5 driver C is for pair 0, low 3 bit for unit of current
}
else if (CMSDK_WAVEGEN_DRVA==WAVE_GEN_DRVA_BLK1){
    WAVE_GEN_DRV_C_BLK6->WAVE_GEN_DRV_ISEL_REG=Current_units&0x7; // BLK6 driver C is for pair 1, low 3 bit for unit of current
}
CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_ISEL_REG=(Current_units&(0x7<<3))>>3; // high 3 bit for units of current
CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_CONFIG_REG = 0x00000004F; //bit 0: rest enable, 1: negative enable, 2: silent enable, 3: source B e
for(int i=0; i<64; i++){
    CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_IN_WAVE_ADDR_REG = i;
    CMSDK_WAVEGEN_DRVA->WAVE_GEN_DRV_IN_WAVE_REG = values; //最大0xff
}
```

启动刺激输出（通道一）：

AVE_GEN_DRVA_BLK0->WAVE_GEN_DRV_CTRL_REG = 0x00000001.

3.4 低功耗测试说明

NNC6121EVKC 双通道开发板，使用 Micro USB 线供电，将数字万用表串联到 J2 两端。修改低功耗模式，记录如下功耗数据。

NNC6121EVKC 双通道开发板

运行	2.71mA
睡眠	1.16
低功耗	1.35
低功耗睡眠	0.80
停止	0.53

4 注意事项

1) 在需要和主控 MCU 进行通讯时, 推荐使用 SPI 通讯方式。

由于串口通讯方式对时钟要求较高, 当需要通过 UART 和主控 MCU 进行通讯时, 则需要使用外部时钟。

2) iopad_nrst 管脚仅在使用内部晶振时有效。当使用外部晶振时, 可以通过 MOS 管控制 ENS1/NNC6121 电源通断进行复位。

3) 在 HVDD 电压、刺激电流、开启通道数量不同时, 芯片发热功率不同。如产品设计中没有额外的散热措施, 为确保长时间可靠工作, 需要控制芯片发热功率在一定范围内。

■ 计算方法如下:

有效输出占比 = (正脉冲宽度 + 负脉冲宽度) / (正脉冲宽度 + 死区时间 + 负脉冲宽度 + 静默时间)

平均电流 = 负载电流 * 有效输出占比

发热功率 = (HVDD - (负载阻抗 * 平均电流)) * 平均电流 * 同时开启通道数

外部 BOOST 时推荐最大发热功率 ≤ 2.4W

内部 BOOST 时推荐最大发热功率 ≤ 2.0W

发热功率单位: W

HVDD 单位: V

负载阻抗单位: Ω

负载电流单位: A

启用通道数: 1-4

■ 外部 BOOST 典型推荐:

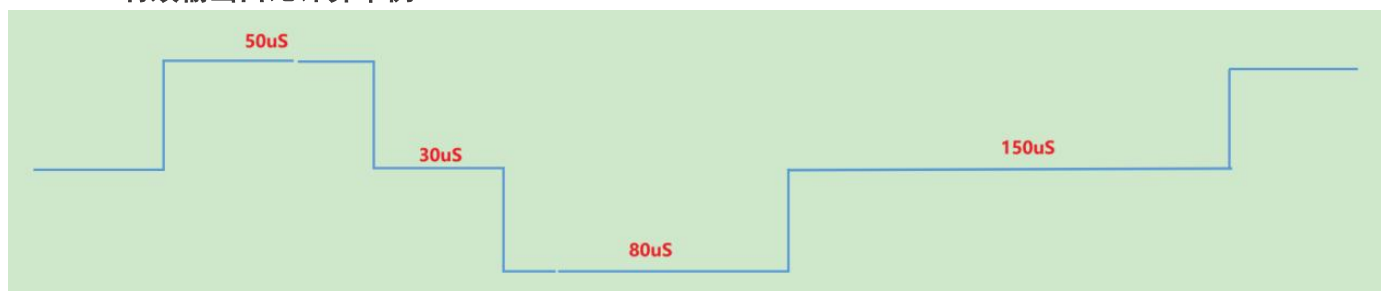
HVDD 工作电压	允许同时开启的通道数	负载阻抗
48V < HVDD ≤ 60V	1	500 Ω
40V < HVDD ≤ 48V	2	500 Ω
35V < HVDD ≤ 40V	3	500 Ω
HVDD ≤ 35	4	500 Ω

注意: 如果用户希望在高 HVDD 下获得更多通道, 必须考虑更多因素, 请咨询 FAE。

■ 内部 BOOST 典型推荐:

HVDD 工作电压	允许同时开启的通道数	负载阻抗
55V	1	500 Ω
45V	2	500 Ω
HVDD ≤ 30	4	500 Ω

■ 有效输出占比计算举例:



有效输出占比 = (50 + 80) / (50 + 30 + 80 + 150) = 130 / 310 = 0.419

5 联系方式

可通过以下方式了解更多产品详情：

1) 公司电话：4008605922 ； 180 9470 6680

2) 技术人员 QQ：1708154204



3) 公众号：暖芯迦电子



Copyright© 2025 by Hangzhou Nanochap Electronics Co., Ltd.

使用指南中所出现的信息在出版当时相信是正确的，然而暖芯迦对于说明书的使用不负任何责任。文中提到的应用目的仅仅是用来做说明，暖芯迦不保证或表示这些没有进一步修改的应用将是适当的，暖芯迦拥有不事先通知而修改产品的权利，对于最新的信息，请参考我们的网址 <https://www.nanochap.cn> 或与我们直接联系（4008605922）。