

N32G432x8/xB

数据手册

N32G432系列采用32 bit ARM Cortex-M4内核，最高工作主频108MHz，支持浮点运算和DSP指令，集成高达128KB嵌入式加密Flash，32KB SRAM，集成丰富的高性能模拟器件，内置1个12bit 5Msps ADC，1个1Msps 12bit DAC，集成多路U(S)ART、I2C、SPI、USB、CAN等数字通信接口，内置密码算法硬件加速引擎

关键特性

- 内核 CPU
 - 32 位 ARM Cortex-M4 内核+ FPU，单周期硬件乘除法指令，支持 DSP 指令和 MPU
 - 内置 2KB 指令 Cache 缓存，支持 Flash 加速单元执行程序 0 等待
 - 最高主频 108MHz，135DMIPS
- 加密存储器
 - 高达 128KByte 片内 Flash，支持加密存储、分区管理及数据保护，支持硬件 ECC 校验，10 万次擦写次数，10 年数据保持
 - 高达 32KByte 片内 SRAM，包括 24Kbyte SRAM1(Stop2 模式可配置为保持)和 8 Kbyte SRAM2(Standby 和 Stop2 模式下都可配置为保持)，支持硬件奇偶校验
- 低功耗管理
 - Standby 模式：2.5uA，所有备份寄存器保持，IO 保持，可选 RTC Run, 8KByte SRAM2 保持，快速唤醒
 - Stop2 模式：6uA，RTC Run，8KByte SRAM2 保持，CPU 寄存器保持，IO 保持，快速唤醒
 - RUN 模式：100uA/MHz@72MHz，90uA/MHz@108MHz
- 高性能模拟接口
 - 1 个 12bit 5Msps ADC，多种精度可配置，6bit 模式下采样率高达 9Msps，多达 16 路外部单端输入通道，支持差分模式
 - 2 个轨到轨运算放大器，内置最大 32 倍可编程增益放大器
 - 1 个 12bit DAC，采样率 1Msps
 - 内部 2.048V 独立参考电压基准源
 - 内部集成低压检测单元
- 时钟
 - 4MHz~32MHz 外部高速晶体
 - 32.768KHz 外部低速晶体
 - 内部高速 RC(HSI) 16MHz
 - 内部多速 RC(MSI) 100K~4M
 - 内部低速 RC(LSI) 40KHz
 - 内置高速 PLL
 - 支持 1 路时钟输出，可配置为低速或高速时钟输出
- 复位
 - 支持上电/掉电/外部引脚复位

- 支持可编程的低电压检测及复位
- 支持看门狗复位
- **最大支持 52 个 GPIOs.**
- **通信接口**
 - 5 个 U(S)ART 接口，其中 3 个 USART 接口（支持 ISO7816， IrDA， LIN），2 个 UART 接口
 - 1 个 LPUART，支持 STOP2 低功耗状态下唤醒 MCU
 - 2 个 SPI 接口，速率高达 27 MHz，支持 I2S 通信
 - 2 个 I2C 接口，速率高达 1 MHz，主从模式可配，从机模式下支持双地址响应
 - 1 个 USB2.0 FS Device 接口
 - 1 个 CAN 2.0A/B 总线接口
- **1 个高速 DMA 控制器，每个控制器支持 8 通道，通道源地址及目的地址任意可配**
- **RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒,支持内外部时钟校准**
- **定时计数器**
 - 2 个 16bit 高级定时计数器，支持输入捕获，互补输出，正交编码输入，最高控制精度 9.25nS；每个定时器有 4 个独立的通道，其中 3 个通道支持 6 路互补 PWM 输出
 - 5 个 16bit 通用定时计数器，每个定时器有 4 个独立通道，支持输入捕获/输出比较/PWM 输出
 - 2 个 16bit 基础定时计数器
 - 1 个 16bit 低功耗定时计数器，支持双脉冲计数功能，可在 STOP2 状态下工作
 - 1x 24bit SysTick
 - 1x 7bit 窗口看门狗(WWDG)
 - 1x 12bit 独立看门狗(IWDG)
- **编程方式**
 - 支持 SWD/JTAG 在线调试接口
 - 支持 UART、USB Bootloader
- **安全特性**
 - 内置密码算法硬件加速引擎
 - 支持 AES、DES、TDES、SHA1/224/256，SM1、SM3、SM4、SM7 算法
 - Flash 存储加密，多用户分区管理（MMU）
 - TRNG 真随机数发生器
 - CRC16/32 运算
 - 支持写保护（WRP），多种读保护（RDP）等级（L0/L1/L2）
 - 支持安全启动，程序加密下载，安全更新
 - 支持外部时钟失效监测，防拆监测
- **96 位 UID 和 128 位 UCID**
- **工作条件**
 - 工作电压范围：1.8V~3.6V

- 工作温度范围: $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$
- ESD: $\pm 4\text{KV}$ (HBM 模型), $\pm 1\text{KV}$ (CDM 模型)

● 封装

- LQFP32(7mm x 7mm)
- LQFP48(7mm x 7mm)
- LQFP64(10mm x 10mm)

● 订购型号

系列	型号
N32G432x8	N32G432K8L7, N32G432C8L7, N32G432R8L7
N32G432xB	N32G432KBL7, N32G432CBL7, N32G432RBL7

目录

1	产品简介	1
1.1	命名规则	2
1.2	器件一览	3
2	功能简介	4
2.1	处理器内核	4
2.2	存储器	4
2.2.1	嵌入式闪存存储器(FLASH)	5
2.2.2	嵌入式SRAM	5
2.2.3	嵌套的向量式中断控制器(NVIC)	5
2.3	外部中断/事件控制器(EXTI)	5
2.4	时钟系统	5
2.5	启动模式	6
2.6	供电方案	7
2.7	复位	7
2.8	可编程电压监测器	7
2.9	电压调压器	7
2.10	低功耗模式	7
2.11	直接存储器存取(DMA)	8
2.12	实时时钟(RTC)	8
2.13	定时器和看门狗	8
2.13.1	低功耗定时器LPTIM	9
2.13.2	基本定时器-TIM6和TIM7	9
2.13.3	通用定时器(TIMx)	9
2.13.4	高级控制定时器(TIM1和TIM8)	10
2.13.5	系统时基定时器(Systick)	11
2.13.6	看门狗定时器(WDG)	11
2.14	I ² C总线接口	12
2.15	通用同步/异步收发器(USART)	13
2.16	低功耗异步收发器(LPUART)	15
2.17	串行外设接口(SPI)	15
2.18	串行音频接口(I ² S)	16
2.19	控制器局域网(CAN)	17
2.20	通用串行总线(USB)	17
2.21	通用输入输出接口(GPIO)	18
2.22	模拟/数字转换器(ADC)	19
2.23	数字/模拟转换器(DAC)	20
2.24	温度传感器(TS)	20
2.25	循环冗余校验计算单元(CRC)	20
2.26	算法硬件加速引擎(SAC)	21
2.27	唯一设备序列号(UID)	21
2.28	串行单线JTAG调试口(SWJ-DP)	21
3	引脚定义和描述	23
3.1	封装示意图	23
3.1.1	LQFP32	23
3.1.2	LQFP48	24
3.1.3	LQFP64	25

3.2	引脚复用定义.....	26
4	电气特性	31
4.1	测试条件.....	31
4.1.1	最小和最大数值.....	31
4.1.2	典型数值	31
4.1.3	典型曲线	31
4.1.4	负载电容	31
4.1.5	引脚输入电压	31
4.1.6	供电方案	32
4.1.7	电流消耗测量	33
4.2	绝对最大额定值.....	33
4.3	工作条件.....	34
4.3.1	通用工作条件	34
4.3.2	上电和掉电时的工作条件.....	34
4.3.3	内嵌复位和电源控制模块特性.....	34
4.3.4	内置的参考电压.....	35
4.3.5	供电电流特性	35
4.3.6	外部时钟源特性.....	38
4.3.7	内部时钟源特性.....	41
4.3.8	PLL特性	43
4.3.9	FLASH存储器特性.....	44
4.3.10	绝对最大值(电气敏感性).....	44
4.3.11	I/O端口特性.....	45
4.3.12	NRST引脚特性	47
4.3.13	TIM定时器特性.....	48
4.3.14	I ² C接口特性.....	48
4.3.15	SPI/I ² S接口特性	49
4.3.16	USB特性	54
4.3.17	控制器局域网络(CAN)接口特性	55
4.3.18	12位模数转换器(ADC)电气参数	55
4.3.19	内置参考源(V _{REFBUFF})电气参数.....	57
4.3.20	12位数模转换器(DAC)电气参数	58
4.3.21	温度传感器(TS)特性.....	58
5	封装尺寸	60
5.1	LQFP32.....	60
5.2	LQFP48.....	61
5.3	LQFP64.....	62
6	版本历史	63
7	声明	64

表目录

表 1-1 N32G432系列资源配置	3
表 2-1 定时器功能比较	8
表 3-1 管脚定义	26
表 4-1 电压特性	33
表 4-2 电流特性	33
表 4-3 温度特性	34
表 4-4 通用工作条件	34
表 4-5 上电和掉电时的工作条件	34
表 4-6 内嵌复位和电源控制模块特性	34
表 4-7 内置的参照电压	35
表 4-8 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行	36
表 4-9 睡眠模式下的最大电流消耗，代码运行在内部闪存中运行	36
表 4-10 运行模式下的典型电流消耗，数据处理代码从内部FLASH中运行	37
表 4-11 睡眠模式下的典型电流消耗，数据处理代码从内部FLASH中运行	37
表 4-12 停机和待机模式下的典型和最大电流消耗	38
表 4-13 高速外部用户时钟特性	38
表 4-14 低速外部用户时钟特性	39
表 4-15 HSE 4~32MHz振荡器特性 ⁽¹⁾⁽²⁾	40
表 4-16 LSE振荡器特性($F_{LSE}=32.768kHz$) ⁽¹⁾	41
表 4-17 MSI振荡器特性 ⁽¹⁾	41
表 4-18 HSI振荡器特性 ⁽¹⁾⁽²⁾	42
表 4-19 LSI振荡器特性 ⁽¹⁾	43
表 4-20 低功耗模式的唤醒时间	43
表 4-21 PLL特性	43
表 4-22 闪存存储器特性	44
表 4-23 闪存存储器寿命和数据保存期限	44
表 4-24 ESD绝对最大值	44
表 4-25 电气敏感性	45
表 4-26 I/O静态特性	45
表 4-27 输出电压特性	46
表 4-28 输入输出交流特性 ⁽¹⁾	46
表 4-29 NRST引脚特性	47
表 4-30 TIMx ⁽¹⁾ 特性	48

表 4-31 I ² C接口特性	48
表 4-32 SPI特性 ⁽¹⁾	50
表 4-33 I ² S特性 ⁽¹⁾	52
表 4-34 USB启动时间	54
表 4-35 USB直流特性	54
表 4-36 USB全速电气特性	55
表 4-37 ADC特性	55
表 4-38 ADC精度 – 局限的测试条件 ⁽¹⁾⁽²⁾	56
表 4-39 V _{REFBUFF} 特性	57
表 4-40 DAC特性	58
表 4-41 温度传感器特性	59

图目录

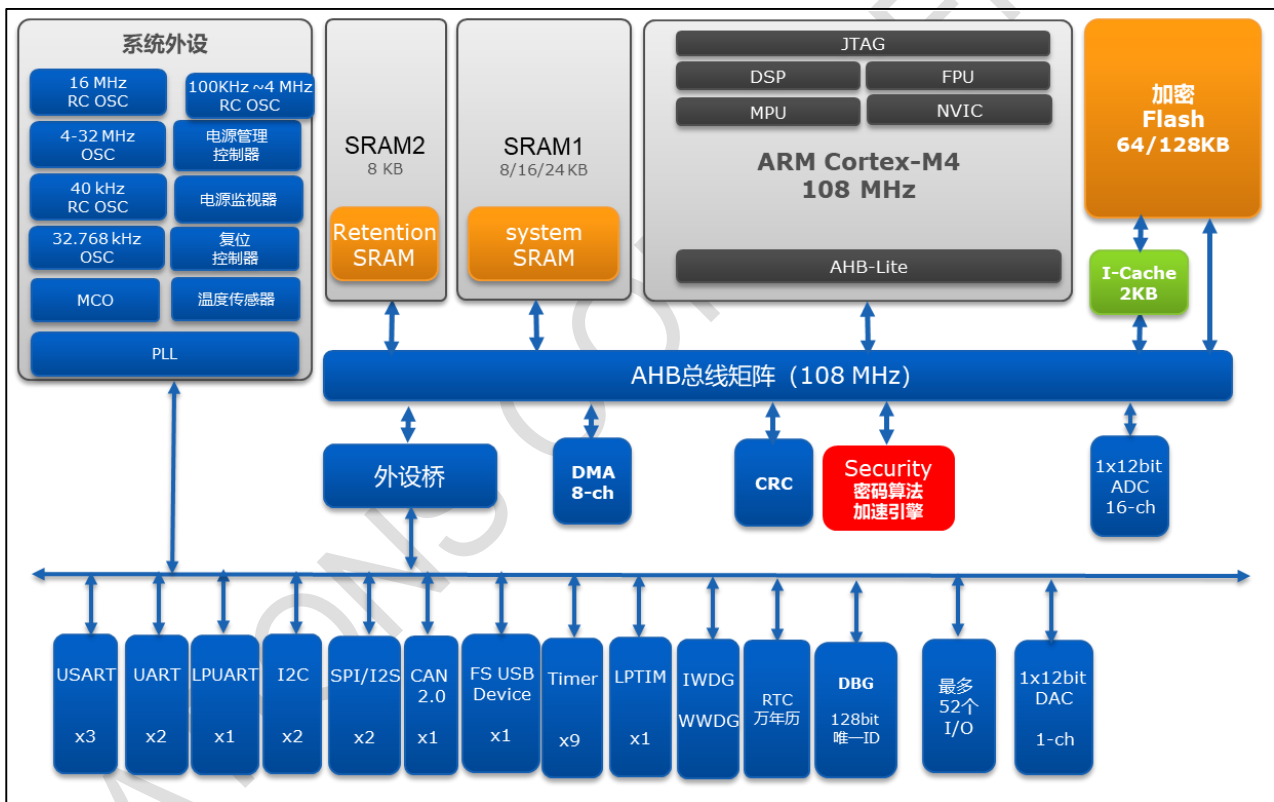
图 1-1 N32G432系列框图	1
图 1-2 N32G432系列订货代码信息图示	2
图 2-1 存储器映射图	4
图 2-2 时钟树	6
图 3-1 N32G432系列LQFP32引脚分布	23
图 3-2 N32G432系列LQFP48引脚分布	24
图 3-3 N32G432系列LQFP64引脚分布	25
图 4-1 引脚的负载条件	31
图 4-2 引脚输入电压	32
图 4-3 供电方案	32
图 4-4 电流消耗测量方案	33
图 4-5 外部高速时钟源的交流时序图	39
图 4-6 外部低速时钟源的交流时序图	39
图 4-7 使用8MHz晶体的典型应用	40
图 4-8 使用32.768kHz晶体的典型应用	41
图 4-9 输入输出交流特性定义	47
图 4-10 建议的NRST引脚保护	48
图 4-11 I ² C总线交流波形和测量电路 ⁽¹⁾	49
图 4-12 SPI时序图 – 从模式和CPHA=0	51
图 4-13 SPI时序图 – 从模式和CPHA=1 ⁽¹⁾	51
图 4-14 SPI时序图 – 主模式 ⁽¹⁾	52
图 4-15 I ² S从模式时序图(飞利浦协议) ⁽¹⁾	53
图 4-16 I ² S主模式时序图(飞利浦协议) ⁽¹⁾	54
图 4-17 USB时序：数据信号上升和下降时间定义	55
图 4-18 ADC精度特性	56
图 4-19 使用ADC典型的连接图	57
图 4-20 供电电源和参考电源去藕线路(V _{REF+} 与V _{DDA} 相连)	57
图 5-1 LQFP32封装尺寸	60
图 5-2 LQFP48封装尺寸	61
图 5-3 LQFP64封装尺寸	62

1 产品简介

N32G432系列微控制器产品采用高性能32位ARM Cortex™-M4F内核，集成浮点运算单元（FPU）和数字信号处理（DSP），支持并行计算指令。最高工作主频108MHz，集成高达128KB片内加密存储Flash，并支持多用户分区权限管理，最大32KB的嵌入式SRAM，其中包含8KB的Retention RAM。内置一个内部高速AHB总线，两个低速外设时钟总线APB及总线矩阵，最多支持52个通用I/O，提供丰富的高性能模拟接口，包括1个12位5Msps ADC，最多支持16个外部输入通道和3个内部通道、1个1Msps 12位DAC，同时提供多种数字通信接口，包括5个U(S)ART、1个LPUART、2个I2C、2个SPI/I2S、1个全速USB 2.0设备、1个CAN 2.0B通信接口，内置密码算法硬件加速引擎，支持多种国际及国密算法硬件加速。

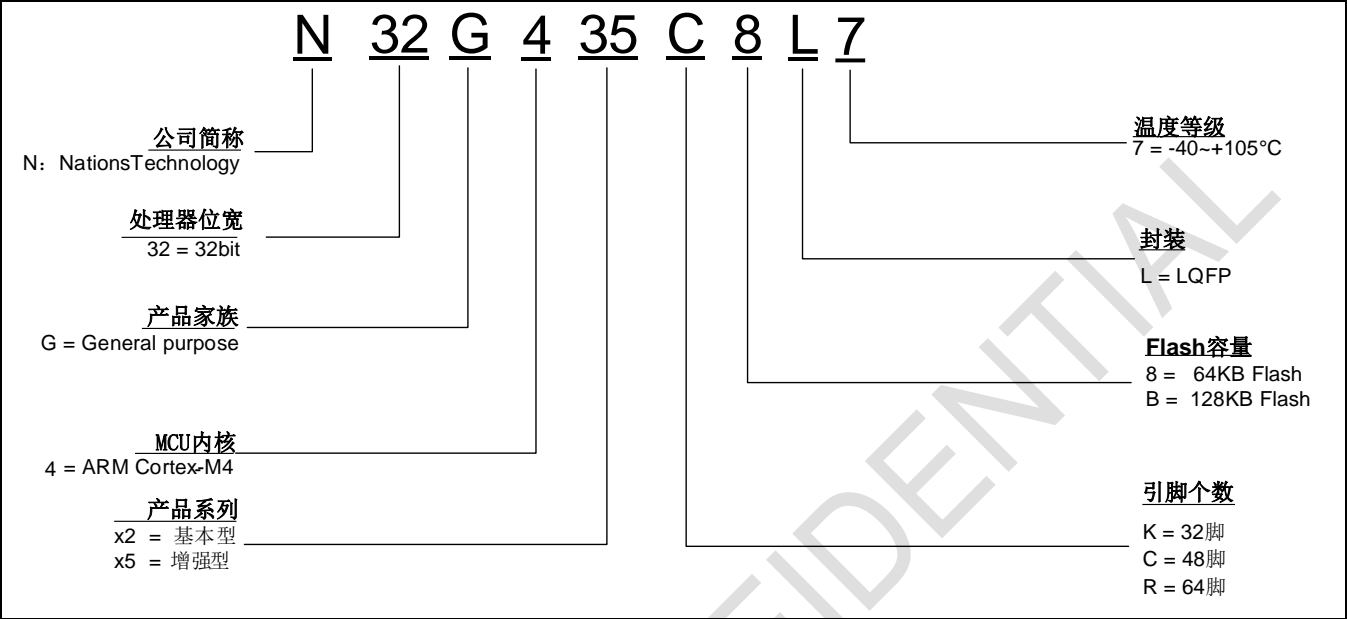
N32G432系列产品可稳定工作于-40℃至+105℃的温度范围，供电电压1.8V至3.6V，提供多种功耗模式供用户选择，符合低功耗应用的要求。该系列产品提供32/48/64脚的3种不同封装形式，根据不同的封装形式，器件中的外设配置不尽相同。图 1-1给出了该系列产品的框图。

图 1-1 N32G432系列框图



1.1 命名规则

图 1-2 N32G432系列订货代码信息图示



1.2 器件一览

表 1-1 N32G432系列资源配置

器件型号		N32G432K8/B		N32G432C8/B		N32G432R8/B	
Flash容量 (KB)		64	128	64	128	64	128
SRAM容量 (KB)		24	32	24	32	24	32
CPU频率		ARM Cortex-M4 @108MHz,135DMIPS					
工作环境		1.8~3.6V/-40~105℃					
定时器	通用	5					
	高级	2					
	基本	2					
	低功耗	1					
通讯接口	SPI	2					
	I2S	2					
	I2C	2					
	UART	2					
	USART	2		3			
	LPUART	1					
	USB	1					
	CAN	1					
GPIO		26		38		52	
DMA		1x					
Number of Channels		8 Channel					
12bit ADC		1x		1x		1x	
Number of channels		10Channel		10Channel		16Channel	
12bit DAC		1x					
Number of channels		1Channel					
算法支持		DES/TDES、AES、SHA1/SHA224/SHA256、SM1、SM3、SM4、SM7、CRC16/CRC32、TRNG					
安全保护		读写保护 (RDP/WRP)、存储加密、分区保护、安全启动					
封装		LQFP32		LQFP48		LQFP64	

1. SPI1和SPI2接口能够灵活地在SPI模式和I2S音频模式间切换。

2 功能简介

2.1 处理器内核

N32G432系列集成了最新一代嵌入式ARM Cortex™-M4F处理器，在Cortex™-M3内核的基础上强化了运算能力、新增加了浮点运算处理单元（FPU）、DSP和并行计算指令，提供1.25DMIPS/MHz的优异性能。同时其高效的信号处理能力与Cortex-M系列处理器的低功耗，低成本和易于使用的优点组合，用以满足需要控制和信号处理混合能力且易于使用的应用场景。

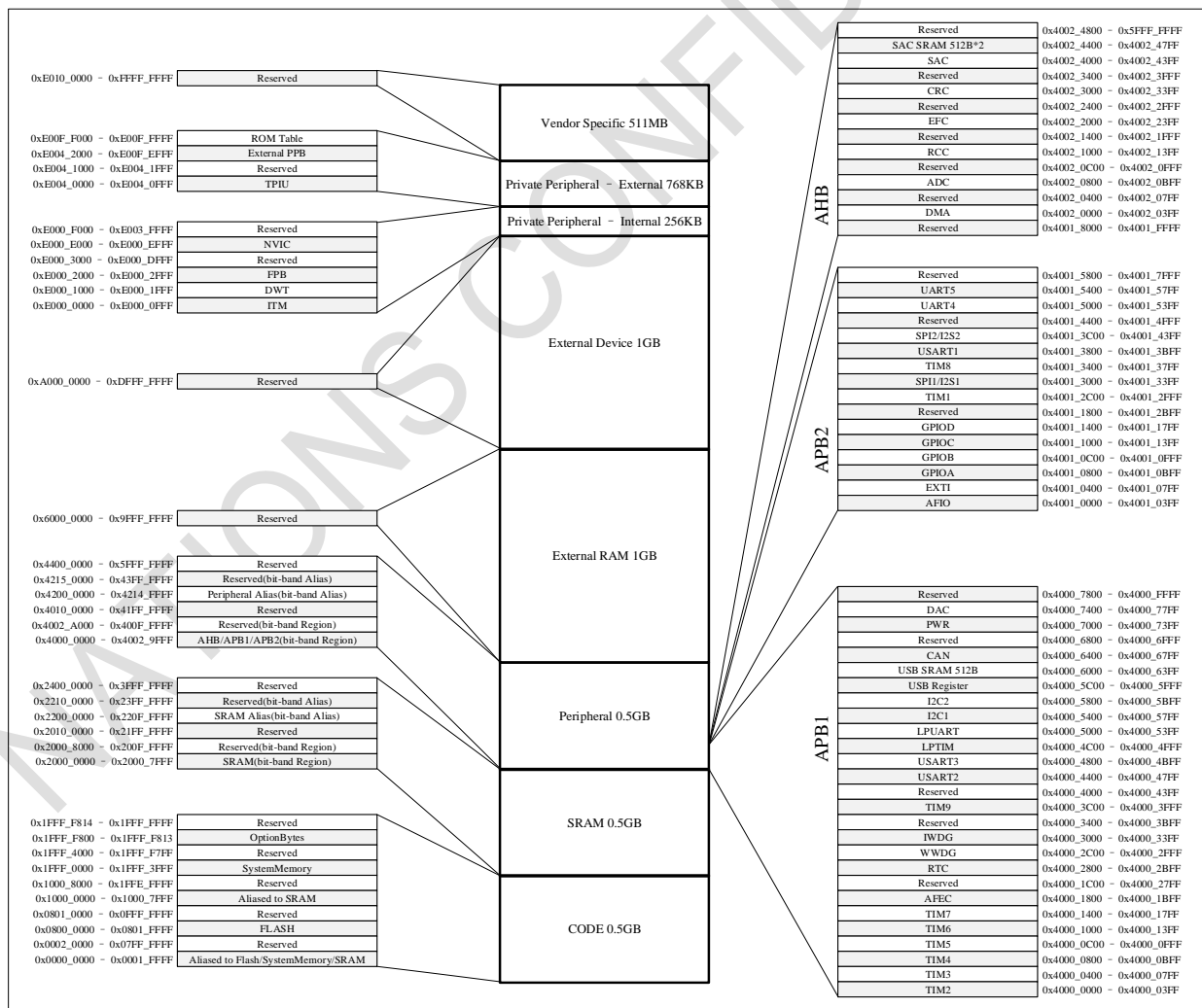
ARM Cortex™-M4F 32位精简指令集处理器具有优异的代码效率。

注：Cortex™M4F向下兼容Cortex-M3代码。

2.2 存储器

N32G432系列器件包含嵌入式加密闪存（Flash）存储器、嵌入式SRAM。

图 2-1 存储器映射图



2.2.1 嵌入式闪存存储器(FLASH)

片内集成从64K到128K字节嵌入式加密闪存（FLASH），用于存放程序和数据，页面大小2Kbyte，支持页擦除、字写、字读、半字读、字节读操作。

支持存储加密保护，写入自动加密、读出自动解密（包括程序执行操作）。

支持用户分区管理，最多可分为3个用户分区，不同用户之间不可相互访问数据（仅可执行代码）。

2.2.2 嵌入式SRAM

片内集成多达32K字节的内置SRAM，分为SRAM1和SRAM2，其中SRAM1最大为24K字节，SRAM2为8K字节。在STOP2状态下SRAM1和SRAM2均可选保持数据、STANDBY低功耗模式下仅SRAM2可选保持数据。

2.2.3 嵌套的向量式中断控制器(NVIC)

- 内置嵌套的向量式中断控制器，能够处理多达86个可屏蔽中断通道(不包括16个Cortex™-M4F的中断线)和16个优先级。
 - ◆ 紧耦合的NVIC能够达到低延迟的中断响应处理
 - ◆ 中断向量入口地址直接进入内核
 - ◆ 紧耦合的NVIC接口
 - ◆ 允许中断的早期处理
 - ◆ 处理晚到的较高优先级中断
 - ◆ 支持中断尾部链接功能
 - ◆ 自动保存处理器状态
 - ◆ 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.3 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含22个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。多达64个通用I/O口连接到16个外部中断线。

2.4 时钟系统

器件提供多种时钟供用户选择，包括内部高速RC振荡器HSI（16MHz），内部高速时钟MSI（100K-4MHz可配置），内部低速时钟LSI（40KHz），外部高速时钟HSE（4MHz~32MHz），外部低速时钟LSE（32.768KHz），PLL。

复位时内部MSI时钟被设置为默认的CPU时钟，随后用户可以选择外部具有失效监控功能的HSE时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到MSI，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

MSI时钟可用于在STOP2状态下的快速唤醒并执行指令、或工作于低功耗运行状态下为系统提供时钟、以及其它一些对时钟精度要求不高，对功耗要求比较高的场景。

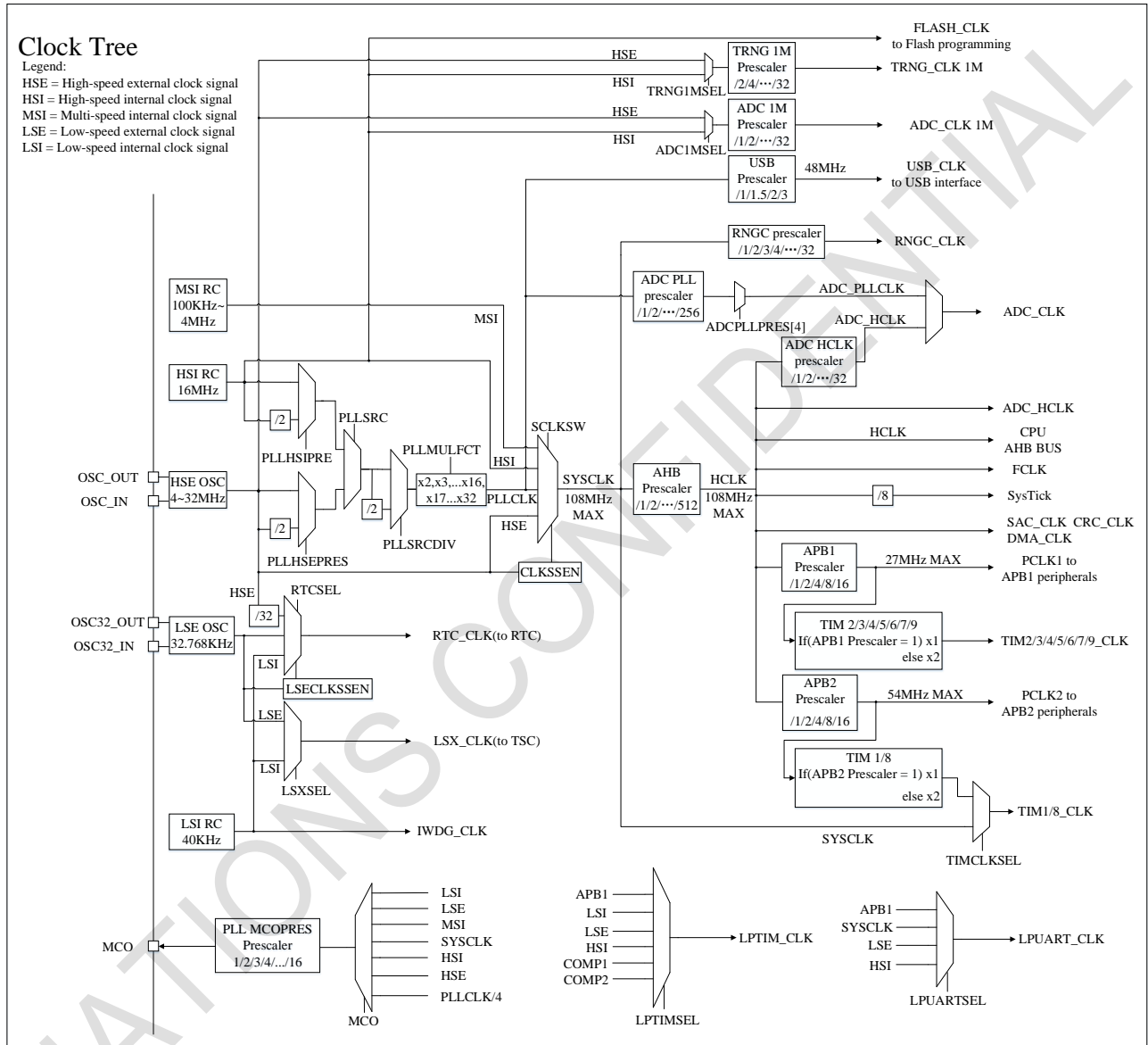
器件内置时钟安全系统，当用户选择开启后，可实时检测外部HSE或LSE是否失效，一旦检测到外部时钟失

效将自动切换到内部时钟，并产生中断告警。

多个预分频器用于配置AHB的频率、高速APB(APB2)和低速APB(APB1)区域。AHB的最高频率是108MHz，APB2的最高频率是54MHz，APB1的最高频率为27MHz。

当使用USB功能时，必须同时使用HSE和PLL，CPU的频率必须是48MHz、72MHz、96MHz或108MHz。

图 2-2 时钟树



2.5 启动模式

在启动时，可以通过BOOT0引脚和选项字节BOOT配置（USER2）来选择在复位后的启动模式：

- 从程序闪存存储器（FLASH Memory）启动
- 从系统存储器（System Memory）启动
- 从内部SRAM启动

启动加载程序(Bootloader)存放于系统存储器中，可以通过USART1和USB接口对闪存进行编程。

2.6 供电方案

- $V_{DD} = 1.8 \sim 3.6V$: V_{DD} 引脚为I/O引脚和内部调压器供电。
- $V_{SSA}, V_{DDA} = 1.8 \sim 3.6V$: 为ADC、DAC提供供电。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。参见图 4-3供电方案。

2.7 复位

器件内部集成了上电复位(POR)和欠压复位(BOR)电路, 这部分电路始终处于工作状态, 保证系统在供电超过1.8V时稳定工作; 当 V_{DD} 低于设定的阈值($V_{POR/BOR}$)时, 置器件于复位状态, 而不必使用外部复位电路。

2.8 可编程电压监测器

器件内置一个可编程电压监测器(PVD), 它监视 V_{DD} 供电并与阈值 V_{PVD} 比较, 当 V_{DD} 低于或高于阈值 V_{PVD} 时将产生中断, 中断处理程序可以发出警告信息, PVD功能需要通过程序开启。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考表 4-6。

2.9 电压调压器

调压器有三个操作模式: 主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于MCU的LP RUN、LP SLEEP、STOP2、STANDBY模式

2.10 低功耗模式

N32G432系列产品支持五种低功耗模式。

■ LP-RUN模式

LP-RUN(Low Power Run)模式下, CPU运行在MSI时钟下, 在FLASH或SRAM执行程序, PLL关闭, 除USB/CAN/SAC断电外, 所有外设可根据需要配置为工作状态。

唤醒: 可以通过任一个使能的中断把微控制器从LP-RUN模式中唤醒。

■ SLEEP模式

在SLEEP模式下, 只有CPU停止, 所有外设处于工作状态并可在发生中断/事件时唤醒CPU。

■ STOP2模式

STOP2模式基于Cortex-M4F深度睡眠模式, 所有的核心数字逻辑区域电源全部关闭。主电压调节器(MR)关闭, HSE/HSI/MSI/PLL关闭。CPU寄存器保持, LSE/LSI可选工作, RCC保持, 所有GPIO保持, SRAM1和SRAM2可选保持, SPI、USART/UART、I2C、WWDG保持, 80字节备份寄存器保持, RET域和低功耗电源域正常工作。

唤醒: 可以通过任一配置成EXTI的信号把微控制器从STOP2模式中唤醒, EXTI信号可以是外部16个EXTI信号(I/O相关)、PVD的输出、RTC唤醒、RTC闹钟。

■ STANDBY模式

在STANDBY待机模式下可以达到较低的电流消耗状态。内部的电压调压器被关闭, PLL、HSI的RC振荡器

和HSE晶体振荡器也被关闭，仅LSE和LSI可选工作；进入STANDBY模式后，寄存器的内容将丢失，SRAM2可选保持，待机电路仍工作。

NRST上的外部复位信号、IWDG复位、WKUP引脚上的一个上升边沿、RTC唤醒或RTC的闹钟可以把微控制器从STANDBY模式唤醒。

注：在进入待机模式时，RTC、IWDG和对应的时钟可以不被停止。

2.11 直接存储器存取(DMA)

器件集成1个灵活的通用DMA控制器，支持8个DMA通道，可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输；DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道。可通过软件单独设置每个通道的传输的长度、传输的源地址和目标地址。

DMA可以用于主要的外设：SPI、I²C、USART，通用、基本和高级控制定时器TIMx，DAC、I²S、ADC。

2.12 实时时钟(RTC)

RTC是一组连续运行的计数器，内置日历时钟模块，可提供万年历功能，还具有闹钟中断和周期性中断（最短2个时钟周期）功能。RTC不会被系统或电源复位源复位，当从STANDBY模式唤醒时，也不会被复位。RTC的驱动时钟可以选择为32.768KHz外部晶体振荡器、内部低功耗40KHz RC振荡器、或者高速的外部时钟经128分频任意一个时钟源。对于计时精度要求非常高的应用场景，建议使用外部32.768KHz时钟作为时钟源，同时为补偿天然晶体的时钟偏差，可以通过输出一个256Hz的信号对RTC的时钟进行校准。RTC有一个22位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时，它将产生一个1秒长的时间基准。另外RTC可以用来触发低功耗状态下唤醒。

2.13 定时器和看门狗

最多2个高级控制定时器、5个普通定时器和2个基本定时器，1个低功耗定时器，以及2个看门狗定时器和1个系统嘀嗒定时器。

下表比较了高级控制定时器、普通定时器、低功耗定时器和基本定时器的功能：

表 2-1 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生DMA请求	捕获/比较通道	互补输出
TIM1 TIM8	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	有
TIM2 TIM3 TIM4 TIM5 TIM9	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	没有
TIM6 TIM7	16位	向上	1~65536之间的任意整数	可以	0	没有
LPTIM	16位	向上	1/2/4/8/16/32/64/128	可以	2	没有

2.13.1 低功耗定时器LPTIM

LPTIM是一个16位定时计数器，可以在除STANDBY模式之外的所有电源模式下运行，时钟源可来自于LSE、LSI、内部高速时钟或者外部时钟。LPTIM不仅可以实现基本的定时计数、输入捕获功能外，还可以用作脉冲计数器，支持单脉冲或双正交或非正交脉冲的计数功能。同时LPTIM可以从STOP2低功耗模式运行并唤醒系统。

- 低功耗定时器的主要功能如下：
 - 16位向上计数器
 - 3比特预分频，8种分频因子（1、2、4、8、16、32、64、128）
 - 丰富的时钟源
 - ◆ 内部时钟源：LSE，LSI，HSI，或者APB时钟
 - ◆ 通过LPTIM输入的外部时钟源(工作时无LP振荡器运行，用于脉冲计数器应用)
 - 16位ARR自动装载寄存器
 - 16位比较器寄存器
 - 连续或者单触发模式
 - 软硬件输入触发
 - 可编程的数字防抖滤波器
 - 可配置输出（方波，PWM）
 - 编码器模式
 - 脉冲计数模式，支持单脉冲计数、双脉冲计数（正交和非正交）

2.13.2 基本定时器-TIM6和TIM7

2个独立的基本定时器(TIM6/TIM7)，每个定时器包含一个16位自动装载计数器，由各自的可编程预分频器驱动。它们可以作为通用定时器提供时间基准，特别地可以为数模转换器(DAC)提供时钟，它们在芯片内部直接连接到DAC并通过触发输出直接驱动DAC。

- 基本定时器的主要功能如下：
 - ◆ 16位自动重装载累加计数器；
 - ◆ 16位可编程(可实时修改)预分频器，用于对输入的时钟按系数为1~65536之间的任意数值分频；
 - ◆ 触发DAC的同步电路；
 - ◆ 在更新事件(计数器溢出)时产生中断/DMA请求

2.13.3 通用定时器(TIMx)

内置了5个可同步运行的通用定时器(TIM2、TIM3、TIM4、TIM5和TIM9)。这5个定时器都是完全独立的，每个定时器都有一个16位的自动加载递增/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获（用于测量脉冲宽度）、输出比较、PWM和单脉冲模式输出，在最大的封装配置中可提供最多20个输入捕获、输出比较或PWM通道。

- 通用定时器的主要功能包括：
 - ◆ 16位向上、向下、向上/向下自动装载计数器；
 - ◆ 16位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为1~65536之间的任意数值；

- ◆ 4个独立通道：
 - 输入捕获；
 - 输出比较；
 - PWM生成(边缘或中间对齐模式)；
 - 单脉冲模式输出；
- ◆ 使用外部信号控制定时器和定时器互连的同步电路；
- ◆ 如下事件发生时产生中断/DMA：
 - 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)；
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)；
 - 输入捕获；
 - 输出比较；
- ◆ 支持针对定位的增量(正交)编码器和霍尔传感器电路；
- ◆ 触发输入作为外部时钟或者按周期的电流管理

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

2.13.4 高级控制定时器(TIM1和TIM8)

两个独立的高级定时器 (TIM1/TIM8)，每个定时器通过可编程预分频器驱动的16位自动装载计数器构成。支持多种功能，包含测量输入信号的脉冲宽度(输入捕获)，或者产生输出波形(输出比较、PWM、嵌入死区时间的互补PWM输出等)。使用定时器预分频器和RCC时钟控制预分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。每个定时器都是完全独立的，没有互相共享任何资源。

- 高级定时器的主要功能包括：
 - ◆ 16位向上、向下、向上/下自动装载计数器；
 - ◆ 16位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为1~65536之间的任意数值；
 - ◆ 支持最高108Mhz作为定时器输入时钟；
 - ◆ 多达6个独立通道：
 - 输入捕获；
 - 输出比较；
 - PWM生成(边缘或中间对齐模式)；
 - 单脉冲模式输出；
 - ◆ PWM触发ADC采样：
 - ◆ 触发时间点PWM整个周期内可固件配置。
 - ◆ 死区时间可编程的互补输出；
 - ◆ 使用外部信号控制定时器和定时器互联的同步电路；
 - ◆ 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器；
 - ◆ Break输入信号可以将定时器输出信号置于复位状态或者一个已知状态；
 - ◆ 如下事件发生时产生中断/DMA：

- ◆ 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)；
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)；
 - 输入捕获；
 - 输出比较；
 - Break信号输入；
- ◆ 支持针对定位的增量(正交)编码器和霍尔传感器电路；
- ◆ 触发输入作为外部时钟或者按周期的电流管理

在调试模式下，计数器可以被冻结，同时PWM输出被禁止，从而切断由这些输出所控制的开关。很多功能都与标准的TIM定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与TIM定时器协同操作，提供同步或事件链接功能。

2.13.5 系统时基定时器(Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。

- 它具有下述特性：
 - ◆ 24位的递减计数器
 - ◆ 自动重加载功能
 - ◆ 当计数器为0时能产生一个可屏蔽系统中断
 - ◆ 可编程时钟源

2.13.6 看门狗定时器(WDG)

支持两个看门狗独立看门狗(IWDG)和窗口看门狗(WWDG)，两个看门狗提供了更高的安全性、时间的精确性和使用的灵活性。

独立看门狗 (IWDG)

独立看门狗是基于一个12位的递减计数器和一个8位的预分频器，由独立的低速RC振荡器驱动，即使主时钟发生故障它也仍然有效，可工作在STOP模式和STANDBY模式。IWDG一旦被激活，如果不在设定的时间内喂狗（清除看门狗计数器），则在计数器计数至0x000时产生复位，它可以用于在应用程序发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。复位和低功耗唤醒可配。

窗口看门狗 (WWDG)

窗口看门狗通常被用来监测，由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。除非递减计数器的值在T6位变成0前被刷新，看门狗电路在达到预置的时间周期时，会产生一个MCU复位。在递减计数器达到窗口寄存器数值之前，如果7位的递减计数器数值(在控制寄存器中)被刷新，那么也将产生一个MCU复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

- 主要特点：
 - ◆ WWDG由APB1时钟分频后得到的时钟驱动；
 - ◆ 可编程的自由运行递减计数器；
 - ◆ 条件复位：
 - ◆ 当递减计数器的值小于0x40，(若看门狗被启动)则产生复位；
 - ◆ 当递减计数器在窗口外被重新装载，(若看门狗被启动)则产生复位；

- ◆ 如果启动了看门狗并且允许中断，当递减计数器等于0x40时产生早期唤醒中断(EWI)，它可以被用于重装载计数器以避免WWDG复位。

2.14 I²C总线接口

器件内集成最多2个独立的I²C总线接口，它提供多主机功能，控制所有I²C总线特定的时序、协议、仲裁和定时。支持多种通信速率模式(最高支持1MHz)，支持DMA操作，同时与SMBus 2.0兼容。I²C模块有多种用途，包括CRC码的生成和校验、SMBus(系统管理总线—System Management Bus)和PMBus(电源管理总线—Power Management Bus)。

I²C接口的主要功能描述如下：

- ◆ 多主机功能：该模块既可做主设备也可做从设备；
- ◆ I²C主设备功能；
- ◆ 产生时钟；
- ◆ 产生起始和停止信号；
- ◆ I²C从设备功能
- ◆ 可编程的地址检测；
- ◆ I²C接口支持7位或10位寻址，7位从模式时支持双从地址响应能力；
- ◆ 停止位检测；
- ◆ 产生和检测7位/10位地址和广播呼叫；
- ◆ 支持不同的通讯速度；
 - 标准速度(高达100 kHz)；
 - 快速(高达400 kHz)；
 - 快速+（高达1MHz）；
- ◆ 状态标志：
 - 发送器/接收器模式标志；
 - 字节发送结束标志；
 - I²C总线忙标志；
- ◆ 错误标志：
 - 主模式时的仲裁丢失；
 - 地址/数据传输后的应答(ACK)错误；
 - 检测到错误的起始或停止条件；
 - 禁止拉长时钟功能时的上溢或下溢；
- ◆ 2个中断向量：
 - 1个中断用于地址/数据通讯成功；
 - 1个中断用于错误；
- ◆ 可选的拉长时钟功能
- ◆ 单字节缓冲器的DMA；

- ◆ 可配置的PEC(信息包错误检测)的产生或校验
- ◆ 发送模式中PEC值可以作为最后一个字节传输
- ◆ 用于最后一个接收字节的PEC错误校验
- ◆ 兼容SMBus 2.0
 - 25 ms时钟低超时延时
 - 10 ms主设备累积时钟低扩展时间
 - 25 ms从设备累积时钟低扩展时间
 - 带ACK控制的硬件PEC产生/校验
 - 支持地址分辨协议(ARP)
- ◆ 兼容SMBus

2.15 通用同步/异步收发器(USART)

N32G432系列产品中, 集成了最多5个串行收发接口, 包括3个通用同步/异步收发器(USART1、USART2和USART3)和2个通用异步收发器(UART4和UART5)。这5个接口提供同/异步通信、支持IrDA SIR ENDEC传输编解码、多处理器通信模式、单线半双工通信模式和LIN主/从功能。

USART1、USART2和USART3接口具有硬件的CTS和RTS信号管理、兼容ISO7816的智能卡模式和类SPI通信模式, 所有接口都可以使用DMA操作。

■ USART主要特性如下:

- ◆ 全双工, 异步通信;
- ◆ NRZ标准格式;
- ◆ 分数波特率发生器系统, 波特率可编程, 用于发送和接收
- ◆ 可编程数据字长度(8位或9位)
- ◆ 可配置的停止位, 支持1或2个停止位;
- ◆ LIN主发送同步断开符的能力以及LIN从检测断开符的能力, 当USART硬件配置成LIN时, 生成13位断开符, 检测10/11位断开符
- ◆ 输出发送时钟用于同步传输;
- ◆ IRDA SIR 编码器解码器, 在正常模式下支持3/16位的持续时间;
- ◆ 智能卡模拟功能:
 - 智能卡接口支持 ISO7816-3 标准里定义的异步智能卡协议;
 - 智能卡用到的 0.5 和 1.5 个停止位;
- ◆ 单线半双工通信;
- ◆ 可配置的使用DMA的多缓冲器通信, 在SRAM里利用集中式DMA缓冲接收/发送字节;
- ◆ 独立的发送器和接收器使能位;
- ◆ 检测标志
 - 接收缓冲器满
 - 发送缓冲器空

- 传输结束标志
- ◆ 校验控制
 - 发送校验位
 - 对接收数据进行校验
- ◆ 四个错误检测标志：
 - 溢出错误
 - 噪音错误
 - 帧错误
 - 校验错误
- ◆ 10个带标志的USART中断源
 - CTS 改变
 - LIN 断开符检测
 - 发送数据寄存器空
 - 发送完成
 - 接收数据寄存器满
 - 检测到总线为空闲
 - 溢出错误
 - 帧错误
 - 噪音错误
 - 校验错误
- ◆ 多处理器通信，如果地址不匹配，则进入静默模式；
- ◆ 从静默模式中唤醒(通过空闲总线检测或地址标志检测)
- ◆ 两种唤醒接收器的方式：地址位(MSB，第9位)，总线空闲
- ◆ 模式配置：

USART modes	USART1	USART2	USART3	UART4	UART5
异步模式	支持	支持	支持	支持	支持
硬件流控制	支持	支持	支持	不支持	不支持
多缓存通讯(DMA)	支持	支持	支持	支持	支持
多处理器通讯	支持	支持	支持	支持	支持
同步模式	支持	支持	支持	不支持	不支持
智能卡	支持	支持	支持	不支持	不支持
半双工(单线模式)	支持	支持	支持	支持	支持
IrDA	支持	支持	支持	支持	支持
LIN	支持	支持	支持	支持	支持

2.16 低功耗异步收发器 (LPUART)

器件集成一个低功耗异步串行收发器(LPUART)，LPUART可在STOP2状态下接收数据（最高波特率9600），产生中断事件后可唤醒MCU。另外通过将时钟配置为高速时钟（例如APB或HSE时钟）后可作为常规异步串口使用，以支持更高的波特率。

- ◆ 提供标准的异步通讯位（起始位、校验位和停止位）
 - 生成 1 位起始位
 - 生成 1 位校验位（可设置奇校验或偶校验）或无校验位
 - 生成 1 位停止位
 - 字节从低位到高位依次传输
- ◆ LPUART 支持 32byte 接收 FIFO、支持 1byte 发送 FIFO
- ◆ 提供发送模式控制位
- ◆ 可编程波特率（波特率可以根据参数 F/D 调整）
- ◆ 全双工通信
- ◆ 支持数据通讯及错误处理中断
- ◆ 状态位的访问可采用查询或者中断两种方式
- ◆ 奇偶校验错误标志
- ◆ 波特率参数寄存器
- ◆ 支持硬件流控
- ◆ 支持 DMA 数据传输
- ◆ 在 STOP2 状态下支持以下唤醒 MCU 的中断事件源
 - 起始位检测
 - 接收缓冲器非空检测
 - 接收到指定的字节数据
 - 支持可用户自定义的指定 4 个字节的数据匹配

2.17 串行外设接口(SPI)

器件集成2个SPI接口，SPI允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还可使用CRC校验的可靠通信。

- SPI接口的主要功能如下：
 - ◆ 3线全双工同步传输；
 - ◆ 带或不带第三根双向数据线的双线单工同步传输；
 - ◆ 8或16位传输帧格式选择；
 - ◆ 主或从操作；

- ◆ 支持多主模式;
- ◆ 8个主模式波特率预分频系数(最大为 $f_{PCLK}/2$);
- ◆ 从模式频率 (最大为 $f_{PCLK}/2$);
- ◆ 主模式和从模式的快速通信;
- ◆ 主模式和从模式下均可以由软件或硬件进行NSS管理: 主/从操作模式的动态改变;
- ◆ 可编程的时钟极性和相位;
- ◆ 可编程的数据顺序, MSB在前或LSB在前;
- ◆ 可触发中断的专用发送和接收标志;
- ◆ SPI总线忙状态标志;
- ◆ 支持可靠通信的硬件CRC;
 - 在发送模式下, CRC 值可以被作为最后一个字节发送;
 - 在全双工模式中对接收到的最后一个字节自动进行 CRC 校验;
- ◆ 可触发中断的主模式故障、过载以及CRC错误标志
- ◆ 支持DMA功能的单字节发送和接收缓冲器: 产生发送和接受请求
- ◆ 接口速度: SPI1接口36Mbps, SPI2接口18Mbps

2.18 串行音频接口(I²S)

I²S是一种3引脚的同步串行接口通讯协议, 器件集成2个标准的I²S接口(与SPI复用), 可以工作于主或从模式, 这2个接口可以配置为16位、24位或32位传输, 亦可配置为输入或输出通道, 支持音频采样频率从8kHz到96kHz。它支持四种音频标准, 包括飞利浦I²S标准, MSB和LSB对齐标准, 以及PCM标准。

它在半双工通讯中, 可以工作在主和从2种模式下。当它作为主设备时, 通过接口向外部的从设备提供时钟信号。

- I²S接口的主要功能如下:
 - ◆ 单工通信(仅发送或接收);
 - ◆ 主或者从操作;
 - ◆ 8位线性可编程预分频器, 获得精确的音频采样频率(8KHz到96kHz);
 - ◆ 数据格式可以是16位, 24位或者32位;
 - ◆ 音频信道固定数据包帧为16位(16位数据帧)或32位(16、24或32位数据帧);
 - ◆ 可编程的时钟极性(稳定态);
 - ◆ 从发送模式下的下溢标志位和主/从接收模式下的溢出标志位;
 - ◆ 16位数据寄存器用来发送和接收, 在通道两端各有一个寄存器;
 - ◆ 支持的I²S协议:
 - I²S 飞利浦标;
 - MSB 对齐标准(左对齐);
 - LSB 对齐标准(右对齐);

- PCM 标准(16 位通道帧上带长或短帧同步或者 16 位数据帧扩展为 32 位通道帧);
- ◆ 数据方向总是MSB在先;
- ◆ 发送和接收都具有DMA能力;
- ◆ 主时钟可以输出到外部音频设备, 比率固定为256xFs(Fs为音频采样频率)

2.19 控制器局域网(CAN)

器件集成1路CAN总线接口, 兼容2.0A和2.0B(主动) 规范, 位速率高达1Mbps。它可以接收和发送11位标识符的标准帧, 也可以接收和发送29位标识符的扩展帧。

■ 主要特点:

- ◆ 支持CAN协议2.0A和2.0B主动模式;
- ◆ 波特率最高可达1Mbps;
- ◆ 支持时间触发通信功能
- ◆ 发送
 - 3 个发送邮箱
 - 发送报文的优先级特性可软件配置
 - 记录发送 SOF 时刻的时间戳
- ◆ 接收
 - 3 级深度的 2 个接收 FIFO
 - 可变的过滤器组:
 - 有 14 个过滤器组
 - 标识符列表
 - FIFO 溢出处理方式可配置
 - 记录接收 SOF 时刻的时间戳
- ◆ 时间触发通信模式
 - 禁止自动重传模式
 - 16 位自由运行定时器
 - 可在最后 2 个数据字节发送时间戳
- ◆ 管理
 - 中断可屏蔽
 - 邮箱占用单独 1 块地址空间, 便于提高软件效率

2.20 通用串行总线(USB)

器件内嵌一个兼容全速USB的设备控制器, 遵循全速USB设备(12Mbit/秒)标准, 端点可由软件配置, 具有待

机/唤醒功能。USB专用的48MHz时钟由内部PLL直接产生。

■ USB设备控制器主要特性如下：

- ◆ 符合 USB2.0 全速设备的技术规范；
- ◆ 可配置 1 到 8 个 USB 端点；
- ◆ CRC(循环冗余校验)生成/校验，反向不归零(NRZI)编码/解码和位填充；
- ◆ 支持批量/同步端点的双缓冲区机制；
- ◆ 支持 USB 挂起/恢复操作；
- ◆ 帧锁定时钟脉冲生成；
- ◆ 集成 USB DP 信号线上拉 1.5K 电阻（用户可通过软件控制开启或关闭）；

2.21 通用输入输出接口(GPIO)

支持最多64个GPIO，共被分为4组（GPIOA/GPIOB/GPIOC/GPIOD），其中GPIOA、GPIOB、GPIOC、GPIOD每组16个端口。每个GPIO引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口，多数GPIO引脚都与数字或模拟的复用外设共用，有的I/O引脚还与时钟引脚复用；除了具有模拟输入功能的端口，其它所有的GPIO引脚都有大电流通过能力。

■ GPIO主要特性描述如下：

◆ GPIO 端口的每个位可以由软件分别配置成多种模式：

- 输入浮空；
- 输入上拉（弱上拉）；
- 输入下拉（弱下拉）；
- 模拟输入；
- 开漏输出；
- 推挽式输出；
- 推挽式复用功能；
- 开漏复用功能。

◆ 通用 I/O(GPIO)

- 复位期间和刚复位后，复用功能未开启，除 BOOT0 外（BOOT0 为输入下拉），I/O 端口被配置成模拟输入模式；
- 复位期间和刚复位后，复用功能未开启，I/O 端口被配置成模拟输入模式，复位后，JTAG 引脚被置于输入上拉或下拉模式：
 - ✓ JTDI 置于上拉模式；
 - ✓ JTCK 置于下拉模式；
 - ✓ JTMS 置于上拉模式；
 - ✓ JNTRST 置于上拉模式

- 当作为输出配置时，写到输出数据寄存器上的值输出到相应的 I/O 引脚。可以以推挽模式或开漏模式输出
- ◆ 单独的位设置或位清除功能；
- ◆ 外部中断/唤醒：所有端口都有外部中断能力，为了使用外部中断线，端口必须配置成输入模式；
- ◆ 复用功能：(使用默认复用功能前必须对端口位配置寄存器编程)
 - 对于复用的输入功能，端口必须配置成输入模式(浮空、上拉或下拉)且输入引脚必须由外部驱动；
 - 对于复用输出功能，端口必须配置成复用功能输出模式(推挽或开漏)；
 - 对于双向复用功能，端口位必须配置复用功能输出模式(推挽或开漏)。这时，输入驱动器被配置成浮空输入模式。
- ◆ 软件重新映射 I/O 复用功能
- ◆ GPIO 锁定机制，锁定机制允许冻结 IO 配置。当在一个端口位上执行了锁定(LOCK)程序，在下次复位之前，将不能再更改端口位的配置。

2.22 模拟/数字转换器(ADC)

器件支持1个12位5Msps采样率的逐次比较型ADC，支持单端输入和差分输入，可测量16个外部和3个内部信号源。

■ ADC主要特性描述如下：

- ◆ 支持 12 位、10 位、8 位、6 位分辨率可配置
 - 12bit 分辨率下最高采样速率 5.14MSPS
 - 10bit 分辨率下最高采样速率 6MSPS
 - 8bit 分辨率下最高采样速率 7.2MSPS
 - 6bit 分辨率下最高采样速率 9MSPS
- ◆ ADC 时钟源分为工作时钟源、采样时钟源和计时时钟源
 - 可配置 AHB_CLK 作为工作时钟源，最高可到 108MHz
 - 可配置 PLL 作为采样时钟源，最高可到 72MHz，支持分频 1,2,4,6,8,10,12,16,32,32,64,128,256
 - 可配置 AHB_CLK 作为采样时钟源，最高可到 72MHz，支持分频 1,2,4,6,8,10,12,16,32
 - 计时时钟用于内部计时功能，频率必须配置成 1MHz
- ◆ 支持定时器触发 ADC 采样
- ◆ 支持 2.048V 的内部参考电压 $V_{REFBUFFER}$
- ◆ 转换结束、注入转换结束和发生模拟看门狗事件时产生中断
- ◆ 单次和连续转换模式

- ◆ 从通道 0 到通道 N 的自动扫描模式
- ◆ 支持自校准
- ◆ 带内嵌数据一致性的数据对齐
- ◆ 采样间隔可以按通道分别编程
- ◆ 规则转换和注入转换均有外部触发选项
- ◆ 间断模式
- ◆ ADC 供电要求: 1.8V 到 3.6V
- ◆ ADC 输入范围: $V_{REF-} \leq V_{IN} \leq V_{REF+}$
- ◆ ADC 可以使用 DMA 操作, 规则通道转换期间有 DMA 请求产生。

模拟看门狗功能, 可以非常精准地监视一路、多路或所有选中的通道, 当被监视的信号超出预置的阈值时, 将产生中断。

2.23 数字/模拟转换器(DAC)

器件集成1个数模转换器(DAC), DAC是12位数字输入、电压输出的数字/模拟转换器, 有1个内置Buffer的输出通道。DAC可以通过VDDA或V_{REFBUFFER}作为参考源。

■ 这个接口支持下述功能:

- ◆ 一个内置 Buffer 的输出通道
- ◆ 可配置的 8 位或 12 位输出
- ◆ 12 位模式下可配置的左右数据对齐
- ◆ 同步更新功能
- ◆ 产生噪声波
- ◆ 产生三角波
- ◆ 支持 DMA 功能
- ◆ 外部触发进行转换

2.24 温度传感器(TS)

温度传感器产生一个随温度线性变化的电压, 转换范围在 $1.8V < V_{DDA} < 3.6V$ 之间。温度传感器在内部被连接到ADC_IN17的输入通道上, 用于将温度传感器的输出转换到数字数值。

2.25 循环冗余校验计算单元(CRC)

集成CRC32和CRC16功能, 循环冗余校验(CRC)计算单元是根据固定的生成多项式得到任一CRC计算结果。在众多的应用中, 基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC 60335-1标准的范围内, 它提供了一种检测闪存存储器错误的手段, CRC计算单元可以用于实时地计算软件的签名, 并与在链接和生成该软件时产生的签名对比。

■ CRC的主要特性如下:

- ◆ CRC16: 支持多项式 $X^{16}+X^{15}+X^2+X^0$
- ◆ CRC32: 支持多项式 $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$
- ◆ CRC 计算时间: 4 个 AHB 时钟周期(HCLK)
- ◆ 循环冗余计算初始值可配置
- ◆ 支持 DMA 方式

2.26 算法硬件加速引擎(SAC)

内嵌算法硬件加速引擎, 支持多种国际算法及国家密码对称密码算法和杂凑密码算法加速, 相较于纯软件算法而言能极大的提高加解密速度。

■ 硬件支持的算法如下:

- ◆ 支持 DES 对称算法
 - 支持 DES 和 3DES 加解密运算
 - TDES 支持 2KEY 和 3KEY 模式
 - 支持 CBC 和 ECB 模式
- ◆ 支持 AES 对称算法
 - 支持 128bit/192bit/ 256bit 密钥长度
 - 支持 CBC、ECB、CTR 模式
- ◆ 支持 SHA 杂凑算法
 - 支持 SHA1/SHA244/SHA256
- ◆ 支持 MD5 摘要算法
- ◆ 支持对称式国密 SM1、SM4、SM7 算法以及 SM3 杂凑算法

2.27 唯一设备序列号(UID)

N32G432系列产品内置两个不同长度的唯一设备序列号, 分别为96位的UID(Unique device ID)和128位的UCID(Unique Customer ID), 这两个设备序列号存放在闪存存储器的系统配置块中, 它们所包含的信息在出厂时编写, 并保证对N32G432系列任意一个微控制器在任何情况下都是唯一的, 用户应用程序或外部设备可以通过CPU或JTAG/SWD接口读取, 不可被修改。

UID为96位, 通常用来做为序列号或作为密码, 在编写闪存时, 将此唯一标识与软件加解密算法相结合, 进一步提高代码在闪存存储器内的安全性, 也可用于激活带安全功能的自举程序(Secure Bootloader)。

UCID为128位, 遵守国民技术芯片序列号定义, 它包含芯片生产及版本相关信息。

2.28 串行单线JTAG调试口(SWJ-DP)

内嵌ARM的SWJ-DP接口, 这是一个结合了JTAG和串行单线调试的接口, 可以实现串行单线调试接口或JTAG接口的连接。JTAG的TMS和TCK信号分别与SWDIO和SWCLK共用引脚, TMS脚上的一个特殊的信号

序列用于在JTAG-DP和SW-DP间切换。

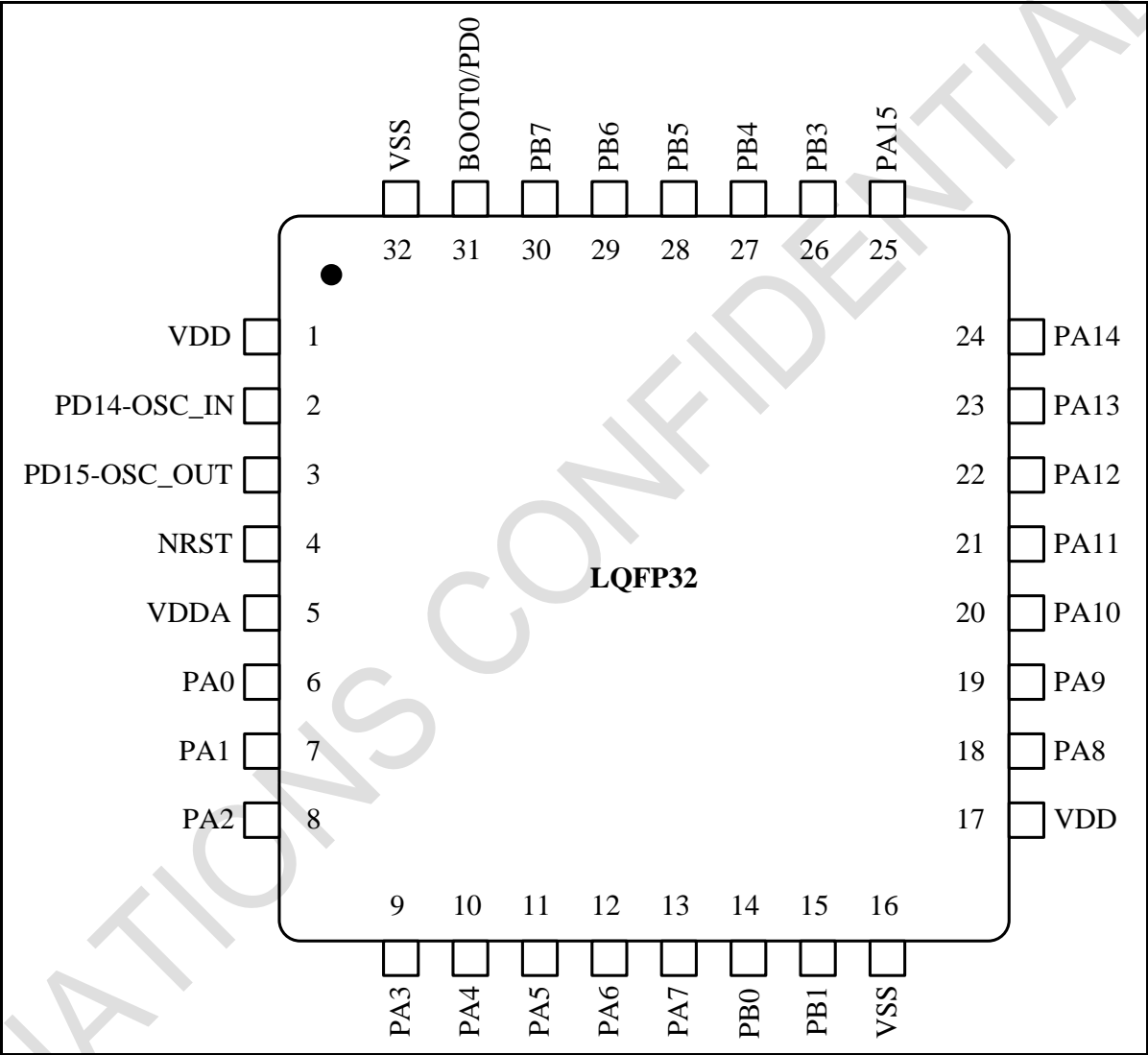
NATIONS CONFIDENTIAL

3 引脚定义和描述

3.1 封装示意图

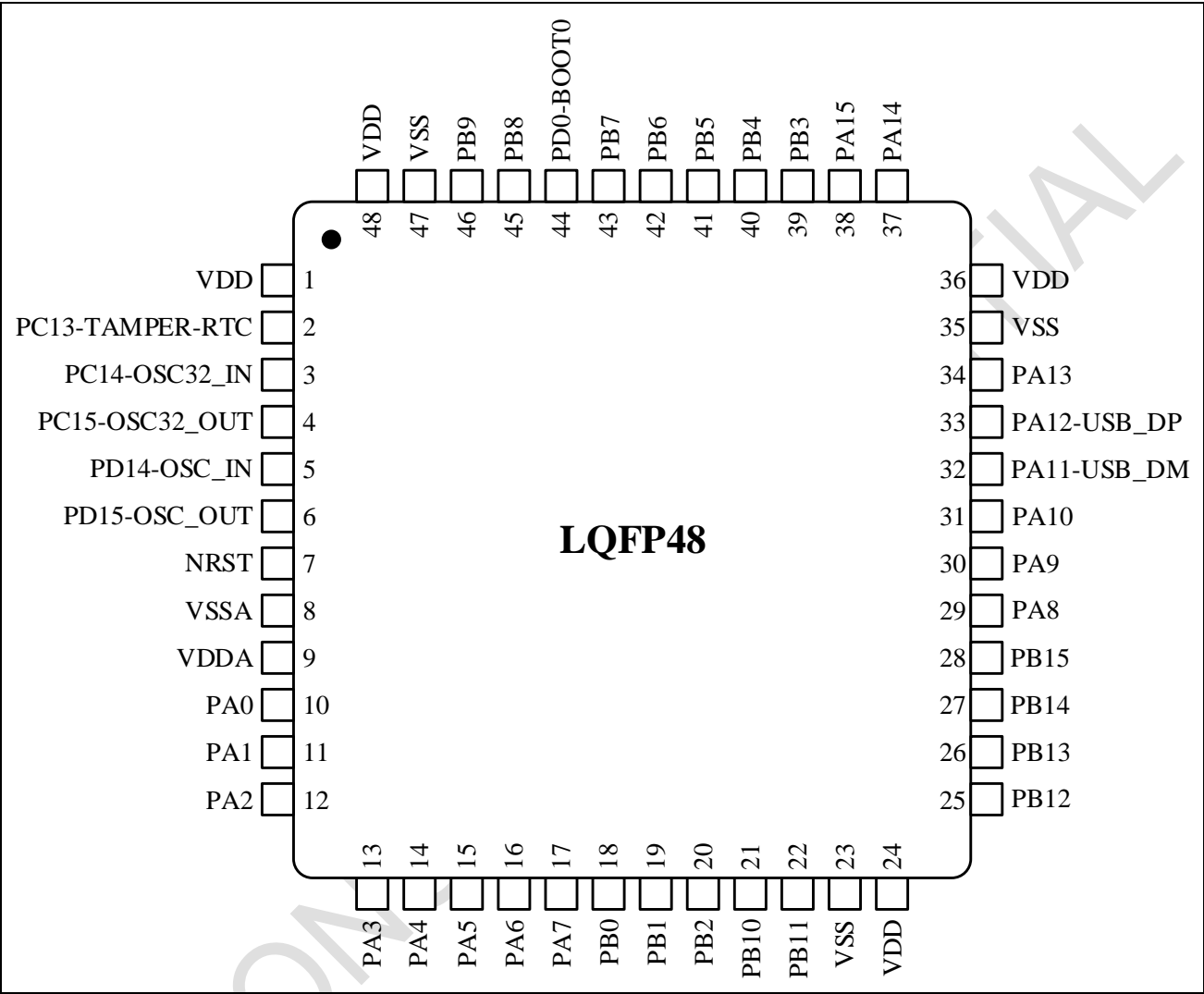
3.1.1 LQFP32

图 3-1 N32G432系列LQFP32引脚分布



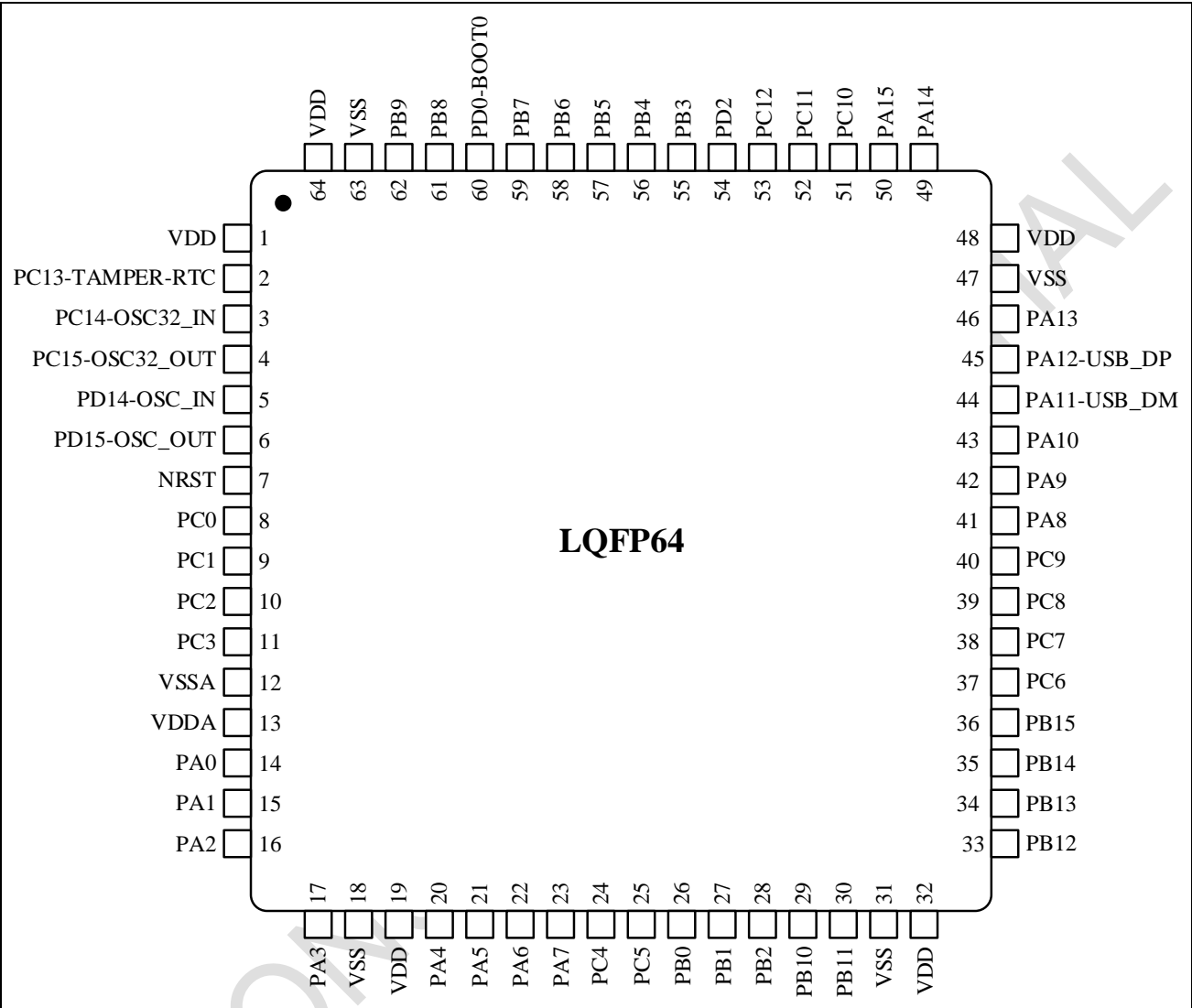
3.1.2 LQFP48

图 3-2 N32G432系列LQFP48引脚分布



3.1.3 LQFP64

图 3-3 N32G432系列LQFP64引脚分布



3.2 引脚复用定义

表 3-1 管脚定义

封装			管脚名称(复位后)	封装 ⁽¹⁾	I/O 电平 ⁽²⁾	Fail-safe ⁽⁵⁾ 支持	可选的复用功能 ⁽³⁾	
LQFP32	LQFP48	LQFP64					复用功能	可选功能
1	1	1	VDD	S	-	-	-	-
-	2	2	PC13-TAMPER- RTC ⁽⁴⁾	I/O	TTa	Yes	TIM1_CH1N EVENTOUT	TAMP1-RTC RTC_OUT WKUP2
-	3	3	PC14- OSC32_IN ⁽⁴⁾	I/O	TTa	Yes	-	OSC32_IN
-	4	4	PC15- OSC32_OUT ⁽⁴⁾	I/O	TTa	Yes	-	OSC32_OUT
2	5	5	PD14-OSC_IN	I/O	TTa	No	USART2_TX I2C2_SDA TIM1_CH3N	OSC_IN
3	6	6	PD15-OSC_OUT	I/O	TTa	No	USART2_RX I2C2_SCL	OSC_OUT
4	7	7	NRST	I	-	-	-	-
-	-	8	PC0	I/O	TTa	Yes	I2C1_SCL LPTIM_IN1 EVENTOUT	ADC_IN11 ⁽⁷⁾
-	-	9	PC1	I/O	TTa	Yes	LPTIM_OUT I2C1_SDA EVENTOUT	ADC_IN12 ⁽⁷⁾
-	-	10	PC2	I/O	TTa	Yes	EVENTOUT LPTIM_IN2	ADC_IN13 ⁽⁷⁾
-	-	11	PC3	I/O	TTa	Yes	LPTIM_ETR EVENTOUT	ADC_IN14 ⁽⁷⁾
-	8	12	VSSA/VERF-	S	-	-	-	-
5	9	13	VDDA/VREF+	S	-	-	-	-
6	10	14	PA0	I/O	TTa	Yes	USART2_CTS LPUART_RX TIM2_CH1 TIMER2_ETR TIM5_CH1 TIM8_ETR SPI1_MISO I2S1_MCK EVENTOUT	ADC_IN1 ⁽⁶⁾ WKUP1 TAMP2-RTC
7	11	15	PA1	I/O	TTa	Yes	USART2_RTS LPUART_TX TIM5_CH2 TIM2_CH2 EVENTOUT	ADC1_IN2 ⁽⁶⁾
8	12	16	PA2	I/O	TTa	Yes	USART2_TX TIM5_CH3 TIM2_CH3 I2C2_SDA EVENTOUT	ADC_IN3
9	13	17	PA3	I/O	TTa	Yes	USART2_RX LPUART_RX TIM5_CH4 I2C2_SCL EVENTOUT	ADC_IN4 ⁽⁶⁾
-	-	18	VSS	S	-	-	-	-
-	-	19	VDD	S	-	-	-	-
10	14	20	PA4	I/O	TTa	No	USART2_CK LPUART_TX	DAC_OUT ADC_IN5 ⁽⁶⁾

							I2C1_SCL SPI1_NSS I2S1_WS USART1_TX EVENTOUT	
11	15	21	PA5	I/O	TTa	Yes	SPI1_SCK I2C1_SDA I2S1_CK USART1_RX EVENTOUT	ADC_IN6 ⁽⁷⁾
12	16	22	PA6	I/O	TTa	Yes	LPUART_CTS SPI1_MISO I2S1_MCK TIM8_BKIN TIM3_CH1 TIM1_BKIN EVENTOUT	ADC_IN7 ⁽⁷⁾
13	17	23	PA7	I/O	TTa	Yes	SPI1_MOSI I2S1_SD TIM1_CH1N TIM8_CH1N TIM3_CH2 EVENTOUT	ADC_IN8 ⁽⁷⁾
-	-	24	PC4	I/O	TTa	Yes	LPUART_TX I2C1_SCL EVENTOUT	ADC_IN15 ⁽⁷⁾
-	-	25	PC5	I/O	TTa	Yes	LPUART_RX I2C1_SDA EVENTOUT	ADC_IN16 ⁽⁷⁾
14	18	26	PB0	I/O	TTa	Yes	TIM1_CH2N TIM3_CH3 TIM8_CH2N UART4_TX EVENTOUT	ADC_IN9 ⁽⁷⁾
15	19	27	PB1	I/O	TTa	Yes	LPUART_RTS TIM1_CH3N TIM3_CH4 TIM8_CH3N UART4_RX EVENTOUT	ADC_IN10 ⁽⁷⁾
-	20	28	PB2	I/O	TTa	Yes	LPTIM_OUT TIM9_ETR EVENTOUT	
-	21	29	PB10	I/O	TTa	Yes	USART3_TX LPUART_TX I2C2_SCL TIM2_CH3 EVENTOUT	-
-	22	30	PB11	I/O	TTa	Yes	USART3_RX LPUART_RX I2C2_SDA TIM2_CH4 EVENTOUT	-
16	23	31	VSS	S	-	-	-	-
-	24	32	VDD	S	-	-	-	-
-	25	33	PB12	I/O	TTa	Yes	SPI2_NSS I2S2_WS I2C2_SMBA USART3_CK TIM1_BKIN LPUART_RTS TIM9_CH1 EVENTOUT	-

-	26	34	PB13	I/O	TTa	Yes	SPI2_SCK I2S2_CK USART3_CTS I2C2_SCL LPUART_CTS TIM1_CH1N TIM9_CH2 EVENTOUT	
-	27	35	PB14	I/O	TTa	Yes	SPI2_MISO I2S2_MCK TIM1_CH2N USART3_RTS I2C2_SDA LPUART_RTS TIM9_CH3 EVENTOUT UART4_TX	-
-	28	36	PB15	I/O	TTa	Yes	UART4_RX SPI2_MOSI I2S2_SD TIM1_CH3N TIM9_CH4 EVENTOUT	-
-	-	37	PC6	I/O	TTa	Yes	SPI2_NSS I2S2_WS TIM8_CH1 TIM3_CH1 EVENTOUT	-
-	-	38	PC7	I/O	TTa	Yes	SPI2_SCK I2S2_CK TIM3_CH2 TIM8_CH2 EVENTOUT	-
-	-	30	PC8	I/O	TTa	Yes	SPI2_MISO I2S2_MCK TIM8_CH3 TIM3_CH3	-
-	-	40	PC9	I/O	TTa	Yes	SPI2_MOSI I2S2_SD TIM3_CH4 TIM8_CH4 EVENTOUT	-
18	29	41	PA8	I/O	TTa	Yes	USART1_CK I2C2_SMBA TIM1_CH1 I2C2_SDA SPI1_NSS I2S1_WS MCO EVENTOUT	WKUP0 TAMP3-RTC
19	30	42	PA9	I/O	TTa	Yes	USART1_TX I2C2_SCL TIM1_CH2 EVENTOUT	-
20	31	43	PA10	I/O	TTa	Yes	USART1_RX I2C2_SDA SPI1_SCK SPI2_SCK I2S1_CK I2S2_CK TIM1_CH3 EVENTOUT	-
21	32	44	PA11	I/O	TTa	No	USART1_CTS SPI2_MISO I2S2_MCK	USB_DM

							CAN_RX TIM1_CH4 EVENTOUT	
22	33	45	PA12	I/O	TTa	No	USART1_RTS SPI2_MOSI I2S2_SD CAN_TX TIM1_ETR EVENTOUT	USB_DP
23	34	46	PA13	I/O	TTa	Yes	SWDIO-JTMS SPI2_NSS I2S2_WS EVENTOUT	
-	35	47	VSS	S	-	-	-	-
-	36	48	VDD	S	-	-	-	-
24	37	49	PA14	I/O	TTa	Yes	SWCLK-JTCK USART2_CK I2C1_SDA	
25	38	50	PA15	I/O	TTa	Yes	JTDI USART2_CTS I2C1_SCL SPI2_NSS I2S2_WS TIM2_CH1 TIM2_ETR EVENTOUT	-
-	-	51	PC10	I/O	TTa	Yes	USART3_TX UART4_TX LPUART_TX EVENTOUT	-
-	-	52	PC11	I/O	TTa	Yes	USART3_RX UART4_RX LPUART_RX EVENTOUT	-
-	-	53	PC12	I/O	TTa	Yes	USART3_CK UART5_TX EVENTOUT	-
-	-	54	PD2	I/O	TTa	Yes	TIM3_ETR UART5_RX LPUART_RTS EVENTOUT	-
26	39	55	PB3	I/O	TTa	Yes	USART2_RTS SPI1_SCK I2S1_CK TIM2_CH2 JTDO- TRACESWO EVENTOUT	-
27	40	56	PB4	I/O	TTa	Yes	USART2_TX SPI1_MISO I2S1_MCK TIM3_CH1 UART5_TX EVENTOUT	-
28	41	57	PB5	I/O	TTa	Yes	USART2_RX I2C1_SMBA SPI1_MOSI I2S1_SD TIM3_CH2 UART5_RX LPTIM_IN1 EVENTOUT	-
29	42	58	PB6	I/O	TTa	Yes	USART1_TX LPUART_TX I2C1_SCL	

							SPI1_NSS I2S1_WS TIM1_CH2N TIM4_CH1 SPI2_SCK I2S2_CK LPTIM_ETR EVENTOUT	
30	43	59	PB7	I/O	TTa	Yes	USART1_RX LPUART_RX I2C1_SDA TIM4_CH2 EVENTOUT LPTIM_IN2 PVD_IN	-
31	44	60	BOOT0/PD0	I/O	TTa	Yes	TRACECK	-
-	45	61	PB8	I/O	TTa	Yes	I2C1_SCL CAN_RX TIM4_CH3 USART1_TX UART5_TX EVENTOUT	
-	46	62	PB9	I/O	TTa	Yes	I2C1_SDA CAN_TX TIM4_CH4 UART5_RX EVENTOUT	
32	47	63	VSS	S	-	-	-	-
-	48	64	VDD	S	-	-	-	-

1. I = 输入, O = 输出, S = 电源
2. TTa: 3.3V standard IO
3. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考N32G432xx用户参考手册的复用功能I/O章节和调试设置章节。
4. PC13, PC14和PC15引脚只能吸收有限的电流(3mA)。因此这三个引脚作为输出引脚时有以下限制: 在同一时间只有一个引脚能作为输出, 作为输出脚时只能工作在2MHz模式下, 最大驱动负载为30pF, 并且不能作为电流源(如驱动LED)。
5. Fail-safe 指当芯片没有电源输入时, 在IO上加输入高电平, 不会存在输入高电平灌入芯片, 从而导致电源上有一定电压, 并消耗电流的现象。
6. 对应的ADC通道为快速通道, 支持最高采样速率5.14MSPS(12Bit)。
7. 对应的ADC通道为慢速通道, 支持最高采样速率4.23MSPS(12Bit)。

4 电气特性

4.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

4.1.1 最小和最大数值

除非特别说明，在生产线上通过对100%的产品在环境温度 $T_A=25\text{ }^{\circ}\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试 (T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$)得到。

4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25\text{ }^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.3\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

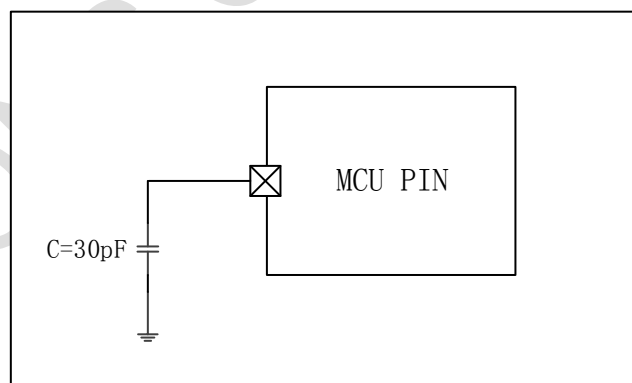
4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

4.1.4 负载电容

测量引脚参数时的负载条件示于图 4-1中。

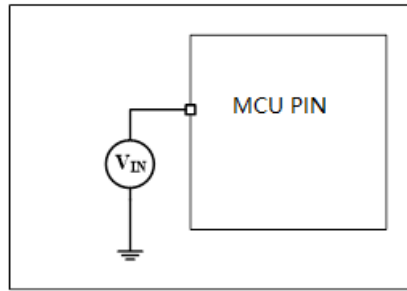
图 4-1 引脚的负载条件



4.1.5 引脚输入电压

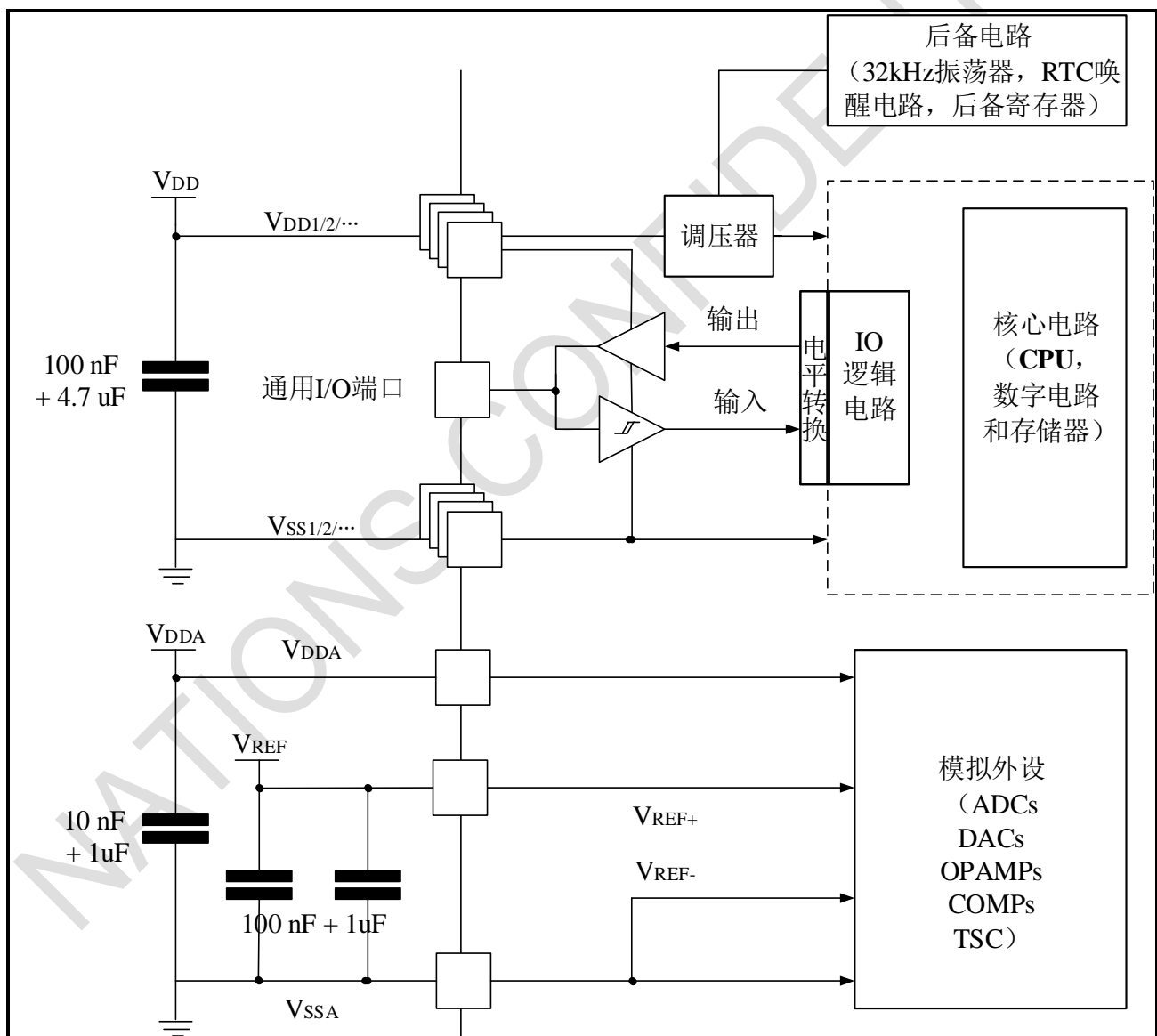
引脚上输入电压的测量方式示于图 4-2中。

图 4-2 引脚输入电压



4.1.6 供电方案

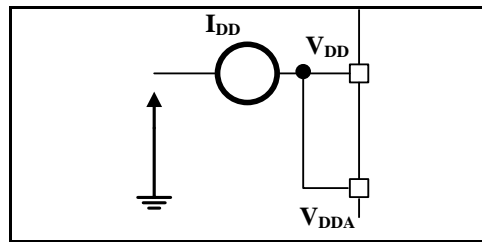
图 4-3 供电方案



注：上图中的 $4.7\text{ }\mu\text{F}$ 电容必须连接到 V_{DD} 。

4.1.7 电流消耗测量

图 4-4 电流消耗测量方案



4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 4-2、表 4-1、表 4-3)中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	-0.3	4.0	V
V_{IN}	在其它引脚上的输入电压 ⁽²⁾	$V_{SS} - 0.3$	$V_{DD} + 0.3$	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD}(HBM)$	ESD静电放电电压(人体模型)	参见第4.3.10节		

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- V_{IN} 不超过其最大值，电流特性参考表 4-2。

表 4-2 电流特性

符号	描述	最大值 ⁽¹⁾	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾	200	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾	200	
I_{IO}	任意I/O和控制引脚上的输出灌电流	12	
	任意I/O和控制引脚上的输出电流	-12	
$I_{INJ(PIN)}^{(2)(3)}$	NRST引脚的注入电流	+5/-0	
	其他引脚的注入电流 ⁽⁴⁾	+/-5	
$\sum I_{INJ(PIN)}^{(2)}$	所有I/O和控制引脚上的总注入电流 ⁽⁴⁾	± 50	

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- $I_{INJ(PIN)}$ 绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流；当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流。 $I_{INJ(PIN)}$ 不超过其最大值，电压特性参考表 4-1
- 反向注入电流会干扰器件的模拟性能。参考第4.3.18节。
- 当几个I/O口同时有注入电流时， $\sum I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件4个I/O端口上 $\sum I_{INJ(PIN)}$ 最大值的特性。

5. 发生最大电流时，允许 V_{DD} 最大的压降为 $0.1V_{DD}$ 。

表 4-3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-40 ~ + 125	°C
T_J	最大结温度	125	°C

4.3 工作条件

4.3.1 通用工作条件

表 4-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率	-	0	108	MHz
f_{PCLK1}	内部APB1时钟频率	-	0	27	
f_{PCLK2}	内部APB2时钟频率	-	0	54	
V_{DD}	标准工作电压	-	1.8	3.6	V
V_{DDA}	模拟部分工作电压	必须与 $V_{DD}^{(1)}$ 相同	1.8	3.6	V
T_A	环境温度(温度标号7)	-	-40	105	°C
T_J	结温度范围	温度标号7	-40	125	°C

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DD} 和 V_{DDA} 之间最多允许有300mV的差别。

4.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表 4-4列出的环境温度下测试得出。

表 4-5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	电源电压从0升到 V_{DD}	20	∞	$\mu s/V$
	V_{DD} 下降速率	电源电压从 V_{DD} 降到0	80	∞	

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-4表 4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 4-6 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	Pvd0_rising	2.1	2.15	2.2	V
		Pvd0_falling	2	2.05	2.1	V
		Pvd1_rising	2.25	2.3	2.35	V
		Pvd1_falling	2.15	2.2	2.25	V
		Pvd2_rising	2.4	2.45	2.5	V
		Pvd2_falling	2.3	2.35	2.4	V
		Pvd3_rising	2.55	2.6	2.65	V

		Pvd3_falling	2.45	2.5	2.55	V
		Pvd4_rising	2.7	2.75	2.8	V
		Pvd4_falling	2.6	2.65	2.7	V
		Pvd5_rising	2.85	2.9	2.95	V
		Pvd5_falling	2.75	2.8	2.85	V
		Pvd6_rising	2.95	3	3.05	V
		Pvd6_falling	2.85	2.9	2.95	V
$V_{PVDhyst}^{(2)}$	PVD迟滞		80	100	120	mV
V_{BOR}	VDD上电/下电 复位阈值	POR0	1.6	1.64	1.68	V
		PDR0	1.58	1.62	1.66	V
		POR1	2.05	2.1	2.15	V
		PDR1	1.95	2	2.05	V
		POR2	2.25	2.3	2.35	V
		PDR2	2.15	2.2	2.25	V
		POR3	2.55	2.6	2.65	V
		PDR3	2.45	2.5	2.55	V
		POR4	2.85	2.9	2.95	V
		PDR4	2.75	2.8	2.85	V
$T_{RSTTEMPO}^{(2)}$	复位持续时间		-	0.15		ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
2. 由设计保证，不在生产中测试。

4.3.4 内置的参考电压

下表中给出的参数是依据表 4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 4-7 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内核电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.20	1.26	V
$V_{REFBUFFER}$	内置参照电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$		2.048		V
$T_{S_vrefint(1)}$	当读出内部参照电压时，ADC的采样时间		-	5.1	$10^{(2)}$	μs

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证，不在生产中测试。

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 4-4。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到Dhrystone 2.1代码等效的结果。

4.3.5.1 最大电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到所能运行的最快频率(0~32MHz时为0个等待周期，32~64MHz时为1个等待周期，64MHz~96 MHz时为2个等待周期，96~108MHz为3个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}/4$ ， $f_{PCLK2} = f_{HCLK}/2$ 。

表 4-8、表 4-8中给出的参数，是依据表 4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 4-8 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾	单位
				$V_{DD}=3.3V, T_A = 105^{\circ}C$	
$I_{DD}^{(2)}$	运行模式下的供应电流	外部时钟，使能所有外设	108MHz	13	mA
			72MHz	9.5	
			36MHz	6.4	
		外部时钟，关闭所有外设	108MHz	9.6	
			72MHz	7.4	
			36MHz	5.2	
$I_{DD}^{(3)}$	运行模式下的供应电流	内部时钟，使能所有外设	64MHz	6.0	mA
			32MHz	3.8	
		内部时钟，关闭所有外设	64MHz	4	
			32MHz	2.5	

1. 由综合评估得出，不在生产中测试。
2. Rang0模式下(MR=1.1V)，当 $f_{HCLK}>8MHz$ 时启用PLL。
3. Rang1模式下(MR=1.0V)，当 $f_{HCLK}>8MHz$ 时启用PLL。

表 4-9 睡眠模式下的最大电流消耗，代码运行在内部闪存中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾	单位
				$V_{DD}=3.3V, T_A = 105^{\circ}C$	
$I_{DD}^{(2)}$	睡眠模式下的供应电流	外部时钟，使能所有外设	108MHz	8.9	mA
			72MHz	7	
			36MHz	5.2	
		外部时钟，关闭所有外设	108MHz	5.7	
			72MHz	5.0	
			36MHz	4	
$I_{DD}^{(3)}$	睡眠模式下的供应电流	内部时钟，使能所有外设	64MHz	4.2	mA
			32MHz	2.5	
		内部时钟，关闭所有外设	64MHz	2.2	
			32MHz	1.6	

1. 由综合评估得出，在生产中以 V_{DDmax} 和以 $f_{HCLKmax}$ 使能外设为条件测试。

2. Rang0 模式下(MR=1.1V), 当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。
3. Rang1 模式下(MR=1.0V), 当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

4.3.5.2 典型电流消耗

MCU处于下述条件下:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- 闪存存储器的访问时间调整到所能运行的最快频率(0~32MHz时为0个等待周期, 32~64MHz时为1个等待周期, 64MHz~96 MHz时为2个等待周期, 96~108MHz为3个等待周期)。
- 环境温度和 V_{DD} 供电电压条件列于表 4-4。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。当开启外设时: $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$, $f_{ADCCLK} = f_{PCLK2}/4$ 。

表 4-10 运行模式下的典型电流消耗, 数据处理代码从内部Flash中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
$I_{DD}^{(2)}$	运行模式下的供应电流	外部时钟	108MHz	11.5	8.4	mA
			72MHz	8.4	6.3	
			36MHz	5.3	4.3	
$I_{DD}^{(3)}$	运行模式下的供应电流	内部时钟	64MHz	5.9	3.7	mA
			32MHz	3.3	2.3	

1. 典型值是在 $T_A=25^\circ\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. Rang0模式下, 当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。
3. Rang1模式下, 当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。

表 4-11 睡眠模式下的典型电流消耗, 数据处理代码从内部Flash中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
$I_{DD}^{(3)}$	睡眠模式下的供应电流	外部时钟	108MHz	7.8	4.7	mA
			72MHz	6	3.9	
			36MHz	4.1	3	
$I_{DD}^{(4)}$	睡眠模式下的供应电流	内部时钟	64MHz	3.8	2	mA
			32MHz	2.3	1.4	

1. 典型值是在 $T_A=25^\circ\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. 每个模拟部分的ADC要增加额外的0.2mA电流消耗。在应用环境中, 这部分电流只有在开启ADC(设置ADC_CTRL2 寄存器的ON位)时才会增加。
3. Rang0模式下(MR=1.1V), 当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。
4. Rang1模式下(MR=1.0V), 当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。

4.3.5.3 低功耗模式电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上- V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。

表 4-12 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值		单位
			$V_{DD}=3.3V$ $T_A=25^{\circ}C$	$V_{DD}=3.3V$ $T_A=105^{\circ}C$	
I_{DD_STOP2}	停机模式2 (STOP2) 下的供应电流	外部低速时钟开启，RTC运行，SRAM2保持，所有I/O状态保持，独立看门狗处于关闭状态	6 ⁽¹⁾	27 ⁽¹⁾	μA
$I_{DD_STANDBY}$	待机模式 (STANDBY) 下的供应电流	低速内部RC振荡器和独立看门狗处于开启状态	2.6 ⁽¹⁾	7.6 ⁽¹⁾	
		低速内部RC振荡器处于开启状态，独立看门狗处于关闭状态	2.5 ⁽¹⁾	7.5 ⁽¹⁾	
		低速内部RC振荡器和独立看门狗处于关闭状态，低速振荡器和RTC处于关闭状态	2.4 ⁽¹⁾	7.3 ⁽¹⁾	

1. 由综合评估得出，不在生产中测试。

4.3.6 外部时钟源特性

4.3.6.1 外部高速时钟源(HSE)

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表 4-4的条件。

表 4-13 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾		4	8	32	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压		$0.8V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_w(HSE)$	OSC_IN高或低的时间 ⁽¹⁾		16	-	-	ns
$t_r(HSE)$ $t_f(HSE)$	OSC_IN上升或下降的时间 ⁽¹⁾		-	-	20	
$C_{in(HSE)}$	OSC_IN输入容抗 ⁽¹⁾		-	5	-	pF
$DuCy(HSE)$	占空比		45	-	55	%
I_L	OSC_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

4.3.6.2 外部低速时钟源(LSE)

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表 4-4的条件。

表 4-14 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾		0	32.768	1000	KHz
V_{LSEH}	OSC32_IN输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN输入引脚低电平电压		V_{SS}	-	300	mV
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC32_IN高或低的时间 ⁽¹⁾		450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN上升或下降的时间 ⁽¹⁾		-	-	50	
$DuCy_{(LSE)}$	占空比		30	-	70	%
I_L	OSC32_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计保证，不在生产中测试。

图 4-5 外部高速时钟源的交流时序图

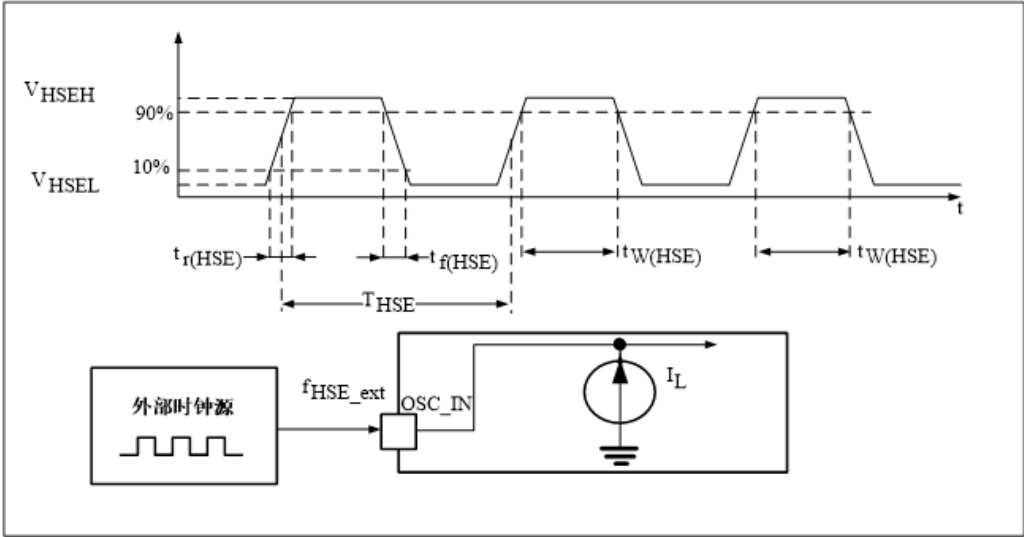
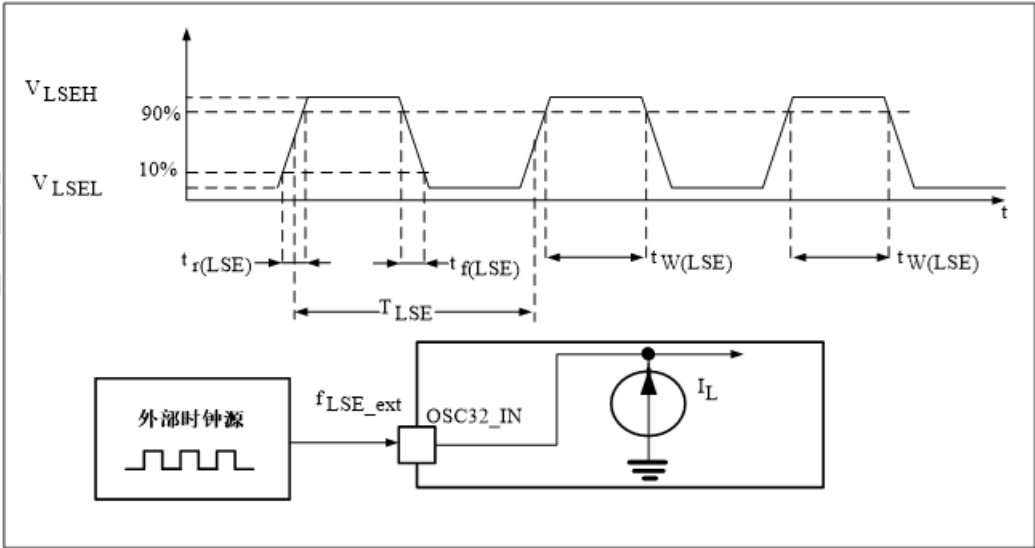


图 4-6 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个4~32MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是

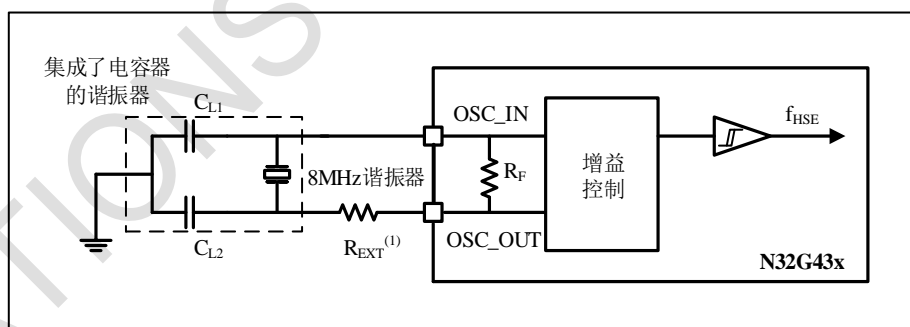
基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

表 4-15 HSE 4~32MHz振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		4	8	32	MHz
R_F	反馈电阻		-	160	-	k Ω
C_{L1} $C_{L2}^{(3)}$	建议的负载电容与对应的晶体串行阻抗(R_S)(4)	$R_S = 30\Omega$	-	-	20	pF
i_2	HSE驱动电流	$V_{DD}=3.3V$, $V_{IN}=V_{SS}$ 30pF负载	-	1.5	1.8	mA
g_m	振荡器的跨导	启动	-	10	-	mA/V
$t_{SU(HSE)}^{(5)}$	启动时间(8M晶体)	V_{DD} 是稳定的	-	3		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的(典型值为)5pF~25pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB和MCU引脚的容抗应该考虑在内(可以粗略地把引脚与PCB板的电容按10pF估计)。
4. 相对较低的 R_F 电阻值，能够可以避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果MCU是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。
6. 不同频率晶体的ESR要求：4Mhz晶体的ESR要求小于400 Ω ，8Mhz晶体的ESR要求其小于200 Ω ，16Mhz晶体的ESR要求小于80 Ω ，32Mhz晶体的ESR要求小于60 Ω 。

图 4-7 使用8MHz晶体的典型应用



1. R_{EXT} 数值由晶体的特性决定。典型值是5至6倍的 R_S 。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768kHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表 4-16中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

注意：对于 C_{L1} 和 C_{L2} ，建议使用高质量的5pF~15pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和PCB板或PCB相关的电容，它的典型值是介于2pF至7pF之间。

警告：为了避免超出 C_{L1} 和 C_{L2} 的最大值(20pF)，强烈建议使用负载电容 $C_L \leq 10\text{pF}$ 的谐振器，不能使用负载电容为12.5pF的谐振器。

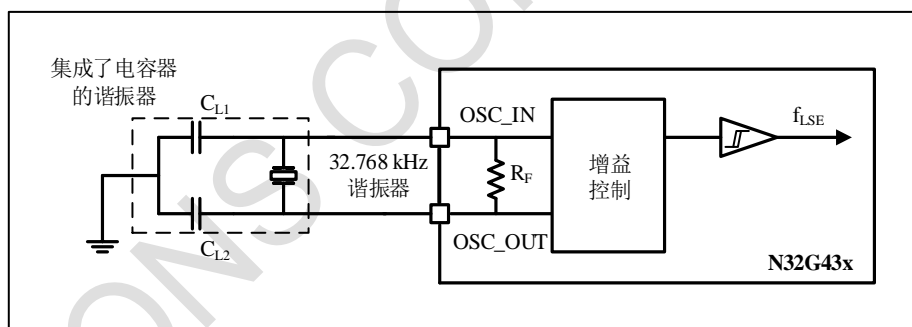
例如：如果选择了一个负载电容 $C_L = 6\text{pF}$ 的谐振器并且 $C_{\text{stray}} = 2\text{pF}$ ，则 $C_{L1} = C_{L2} = 8\text{pF}$ 。

表 4-16 LSE振荡器特性($f_{\text{LSE}} = 32.768\text{kHz}$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻		-	5	-	$M\Omega$
C_{L1} $C_{L2}^{(2)}$	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽³⁾	$R_S : 30K\Omega \sim 65K\Omega$	-	-	20	pF
I2	LSE驱动电流	$V_{DD} = 3.3V$, $C_{L1} = C_{L2} = 14\text{pF}$ $R_S = 30K\Omega$	-	0.3	-	μA
g_m	振荡器的跨导		5	-	-	$\mu A/V$
$t_{SU(LSE)}^{(4)}$	启动时间	V_{DD} 是稳定的	-	2	-	s

1. 由综合评估得出，不在生产中测试。
2. 参见本表格上方的注意和警告段落。
3. 选择具有较小 R_S 值的高质量振荡器(如MSIV-TIN32.768kHz)，可以优化电流消耗。详情请咨询晶体制造商。
4. $t_{SU(LSE)}$ 是启动时间，是从软件使能LSE开始测量，直至得到稳定的32.768KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。
5. 32.768K外部晶体的ESR要求小于65K Ω 。

图 4-8 使用32.768kHz晶体的典型应用



4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

4.3.7.1 多速内部(MSI)RC振荡器

表 4-17 MSI振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{MSI}	Range 0	MSI frequency after factory calibration, done at $V_{DD} = 3.3V$ and $T_A = 27^\circ C$	90	100	103	kHz
	Range 1		180	200	206	kHz
	Range 2		360	400	412	kHz
	Range 3		720	800	824	kHz
	Range 4		0.98	1	1.02	MHz
	Range 5		1.96	2	2.04	MHz

符号	参数	条件	最小值	典型值	最大值	单位
	Range 6		3.96	4	4.04	MHz
$\Delta_{TEMP}(MSI)^{(2)}$	MSI oscillator frequency drift over temperature	$T_A = 0 \text{ to } 85^\circ\text{C}$	-	$\pm 1\% @ 4M$ $\pm 1.2\% @ 100k$	-	%
		$T_A = -40 \text{ to } 105^\circ\text{C}$	-	$\pm 2\% @ 4M$ $\pm 3\% @ 100k$	-	%
$\Delta_{VDD}(MSI)^{(2)}$	MSI oscillator frequency drift over V_{DD} (reference is 3 V)	Range 0, $V_{DD}=1.8 \text{ V to } 3.6 \text{ V}$	-	0.5/-1.5	-	%
		Range 6, $V_{DD}=1.8 \text{ V to } 3.6 \text{ V}$	-	0.5/-5	-	%
$t_{SU}(MSI)^{(3)}$	MSI oscillator start-up time	Range 0 /100k	-	20	-	us
		Range 1 /200k	-	12	-	us
		Range 2 /400k	-	8	-	us
		Range 3 /800k	-	6	-	us
		Range 4 /1M	-	10	-	us
		Range 5 /2M	-	7	-	us
		Range 6 /4M	-	6	-	us
$I_{DD}(MSI)^{(3)}$	MSI oscillator power consumption	Range 0 /100k	-	1.0	-	uA
		Range 1 /200k	-	1.2	-	uA
		Range 2 /400k	-	1.8	-	uA
		Range 3 /800k	-	3.2	-	uA
		Range 4 /1M	-	6	-	uA
		Range 5 /2M	-	9	-	uA
		Range 6 /4M	-	16	-	uA

1. $V_{DD} = 3.3V$, $T_A = -40\sim 105^\circ\text{C}$, 除非特别说明。
2. 这个偏差范围是振荡器经过校准之后的偏差；
3. 由设计保证，不在生产中测试。

4.3.7.2 高速内部(HSI)RC振荡器

表 4-18 HSI振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	$V_{DD}=3.3V$, $T_A = 25^\circ\text{C}$, 校准后	15.84	16	16.16	MHz
ACC_{HSI}	HSI振荡器的温漂	$V_{DD}=3.3V$, $T_A = -40\sim 105^\circ\text{C}$, 温漂	-2.5	-	2.5	%
		$V_{DD}=3.3V$, $T_A = -10\sim 85^\circ\text{C}$, 温漂	-1	-	1.5	%
		$V_{DD}=3.3V$, $T_A = 0\sim 70^\circ\text{C}$, 温漂	-0.7	-	1.2	%
$t_{SU}(HSI)$	HSI振荡器启动时间		1	-	3.6	μs
$I_{DD}(HSI)$	HSI振荡器功耗		-	80	100	μA

1. $V_{DD} = 3.3V$, $T_A = -40\sim 105^\circ\text{C}$, 除非特别说明。
2. 由设计保证，不在生产中测试。

4.3.7.3 低速内部(LSI)RC振荡器

表 4-19 LSI振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	输出频率	25°C 校准, $V_{DD}=3.3V$	38	40	42	KHz
		$V_{DD}=1.8V \sim 3.6V$, $T_A = -40 \sim 105^\circ C$	30	40	60	KHz
$t_{SU(LSI)}^{(3)}$	LSI振荡器启动时间		-	30	80	μs
$I_{DD(LSI)}^{(3)}$	LSI振荡器功耗		-	0.1	-	μA

1. $V_{DD} = 3.3V$, $T_A = -40 \sim 105^\circ C$, 除非特别说明。

2. 由综合评估得出, 不在生产中测试。

由设计保证, 不在生产中测试。

从低功耗模式唤醒的时间

表 4-20 列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停机或待机模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-20 低功耗模式的唤醒时间

符号	参数	典型值	单位
$tw_{USLEEP}^{(1)}$	从睡眠模式唤醒	10	HCLK ⁽²⁾
$tw_{USLEEP}^{(1)}$	从低功耗睡眠模式唤醒	10	HCLK ⁽²⁾
$tw_{ULPRUN}^{(1)}$	从低功耗运行模式唤醒	5.5	$\mu s^{(2)}$
$tw_{USTOP2}^{(1)}$	从停机模式2唤醒	12	$\mu s^{(2)}$
$tw_{USTDBY}^{(1)}$	从待机模式唤醒	50	

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

2. 唤醒时间是在MSI = 4MHZ的时候得出, 如果MSI在其他档位, 唤醒时间会增加。

4.3.8 PLL特性

表 4-21列出的参数是使用环境温度和供电电压符合表 4-4表 4-4的条件测量得到。

表 4-21 PLL特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f_{PLL_IN}	PLL PFD输入时钟 ⁽²⁾	4	8	32	MHz
	PLL输入时钟占空比	40	50	60	%
f_{PLL_OUT}	PLL 输出时钟 ⁽²⁾	32	-	108	MHz
t_{LOCK}	PLL Ready 指示信号输出时间 ⁽³⁾	-	-	150	μs
Jitter	RMS cycle-to-cycle jitter @108MHz ⁽¹⁾	-	6	-	ps
I_{pll}	Operating Current of PLL @108MHz VCO frequency. ⁽¹⁾	-	448	-	μA

1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

4.3.9 FLASH存储器特性

除非特别说明，所有特性参数是在 $T_A = -40\sim 105^\circ\text{C}$ 得到。

表 4-22 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t_{prog}	32位的编程时间	$T_A = -40\sim 105^\circ\text{C}$	-	100	-	μs
t_{ERASE}	页(2K字节)擦除时间	$T_A = -40\sim 105^\circ\text{C}$	-	2	20	ms
t_{ME}	整片擦除时间	$T_A = -40\sim 105^\circ\text{C}$;	-	-	100	ms
I_{DD}	供电电流	读模式, $f_{HCLK}=108\text{MHz}$, 2个等待周期, $V_{DD}=3.3\text{V}$	-	-	3.42	mA
		写模式, $f_{HCLK}=108\text{MHz}$, $V_{DD}=3.3\text{V}$	-	-	6.5	mA
		擦除模式, $f_{HCLK}=108\text{MHz}$, $V_{DD}=3.3\text{V}$	-	-	4.5	mA
		掉电模式/停机, $V_{DD}=3.3\sim 3.6\text{V}$	-	-	0.035	μA
V_{prog}	编程电压		1.8	-	3.6	V

1. 由设计保证，不在生产中测试。

表 4-23 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N_{END}	寿命(注: 擦写次数)	$T_A = -40\sim 105^\circ\text{C}$ (尾缀为7);	100	千次
t_{RET}	数据保存期限	$T_A = 105^\circ\text{C}$	10	年

1. 由综合评估得出，不在生产中测试。
2. 循环测试均是在整个温度范围下进行。

4.3.10绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上, 样品的大小与芯片上供电引脚数目相关(3片 x (n+1)供电引脚)。这个测试符合JESD22-A114/C101标准。

表 4-24 ESD绝对最大值

符号	参数	条件	类型	最小值 ⁽¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A = +25^\circ\text{C}$, 符合JESD22-A114	2	4000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A = +25^\circ\text{C}$, 符合JESD22-C101	II	1000	

1. 由综合评估得出，不在生产中测试。

静态栓锁

为了评估栓锁性能，需要在6个样品上进行2个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78A集成电路栓锁标准。

表 4-25 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	$T_A = +25\text{ }^{\circ}\text{C}$ ，符合JESD 78A	II 类A

4.3.11 I/O端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 4-26 I/O静态特性

符号	参数	条件	最小值	最大值	单位
V_{IL}	输入低电平电压	$V_{DD}=3.3\text{V}$	V_{SS}	0.8	V
		$V_{DD}=2.5\text{V}$	V_{SS}	0.7	
		$V_{DD}=1.8\text{V}$	V_{SS}	$0.3*V_{DD}$	
V_{IH}	输入高电平电压	$V_{DD}=3.3\text{V}$	2	V_{DD}	V
		$V_{DD}=2.5\text{V}$	1.7	V_{DD}	
		$V_{DD}=1.8\text{V}$	$0.7*V_{DD}$	V_{DD}	
V_{hys}	施密特触发器电压迟滞 ⁽¹⁾	$V_{DD}=3.3\text{V}/2.5\text{V}$	200	-	mV
		$V_{DD}=1.8\text{V}$	$0.1*V_{DD}$ ⁽²⁾	-	
I_{lk}	输入漏电流 ⁽³⁾	$V_{DD}=\text{Maximum}$ $V_{PAD}=0$ 或 $V_{PAD}=V_{DD}$	-1	+1	μA
R_{PU}	弱上拉等效电阻 ⁽⁴⁾	$V_{DD}=3.3\text{V}$ ， $V_{IN}=V_{IH}$	90	170	$\text{k}\Omega$
R_{PD}	弱下拉等效电阻 ⁽⁴⁾	$V_{DD}=3.3\text{V}$ ， $V_{IN}=V_{IL}$	90	170	$\text{k}\Omega$
C_{IO}	I/O引脚的电容		-	0.1	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 至少100mV。
3. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
4. 上拉和下拉电阻是设计为一个可开关的PMOS/NMOS实现。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数：

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 12\text{mA}$ 电流。

输出电压

除非特别说明，表 4-27列出的参数是使用环境温度和 V_{DD} 供电电压符合表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表 4-27 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平	$V_{DD}=3.3V$, $I_{OH}=2mA, 4mA, 8mA, \text{ and } 12mA$	V_{SS}	0.4	V
		$V_{DD}=2.5V$, $I_{OH}=2mA, 4mA, 8mA, \text{ and } 12mA$	V_{SS}	0.4	
		$V_{DD}=1.8V$, $I_{OH}=2mA, 4mA, 8mA, \text{ and } 12mA$	V_{SS}	$0.2 \cdot V_{DD}$	
$V_{OH}^{(2)}$	输出高电平	$V_{DD}=3.3V$, $I_{OH}=-2mA, -4mA, -8mA, \text{ and } -12mA$	2.4	V_{DD}	
		$V_{DD}=2.5V$, $I_{OH}=-2mA, -4mA, -8mA, \text{ and } -12mA$	2	V_{DD}	
		$V_{DD}=1.8V$, $I_{OH}=-2mA, -4mA, -8mA, \text{ and } -12mA$	$0.8 \cdot V_{DD}$	V_{DD}	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表8中给出的绝对最大额定值，同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表8中给出的绝对最大额定值，同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出，不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 4-9和表 4-28给出。

除非特别说明，表 4-28列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

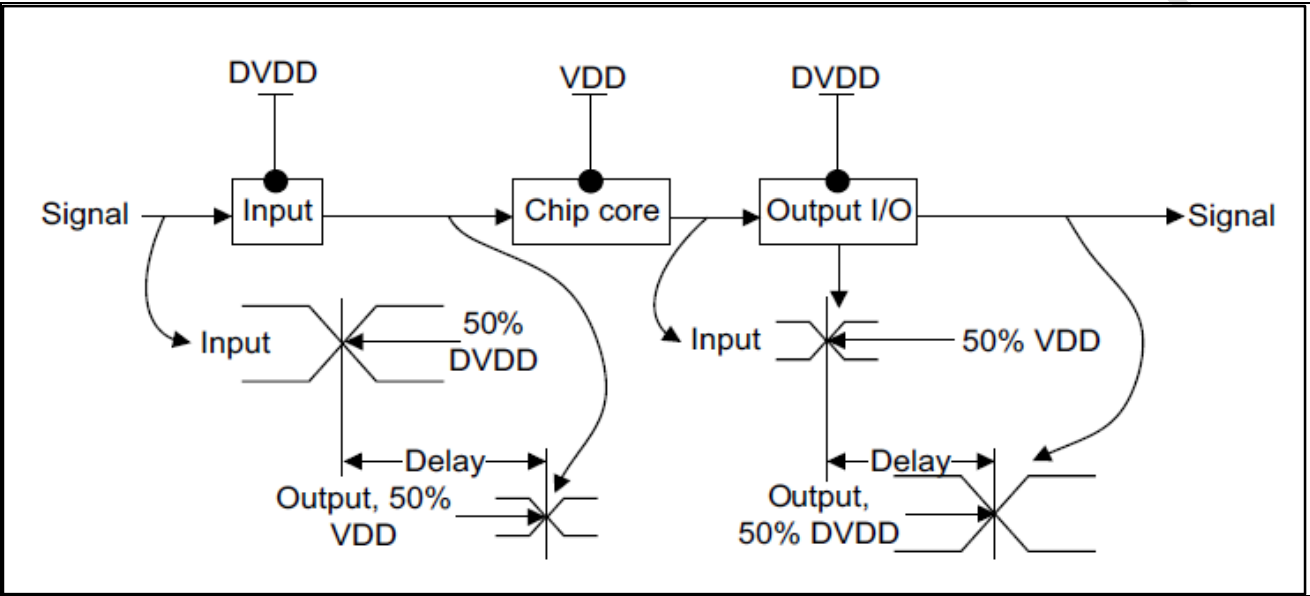
表 4-28 输入输出交流特性⁽¹⁾

PMODEy[1:0] 的配置	符号	参数	条件	最小值	最大值	单位
00 (2mA)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L=5pF, V_{DD}=3.3V$	-	75	MHz
			$C_L=5pF, V_{DD}=2.5V$	-	50	
			$C_L=5pF, V_{DD}=1.8V$	-	30	
	$t_{(IO)out}$	输出延时 (a to pad)	$C_L=5pF, V_{DD}=3.3V$	-	3.66	ns
			$C_L=5pF, V_{DD}=2.5V$	-	4.72	
			$C_L=5pF, V_{DD}=1.8V$	-	7.12	
	$t_{(IO)in}$	输入延时 (pad to y)	$C_L=50fF, V_{DD}=2.97V, V_{DDD}=0.81V$ input characteristics at 1.8V and 2.5V are derated	-	1.2	ns
01 (4mA)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L=10pF, V_{DD}=3.3V$	-	90	MHz
			$C_L=10pF, V_{DD}=2.5V$		60	
			$C_L=10pF, V_{DD}=1.8V$		40	
	$t_{(IO)out}$	输出延时 (a to pad)	$C_L=10pF, V_{DD}=3.3V$	-	3.5	ns
			$C_L=10pF, V_{DD}=2.5V$		4.5	
			$C_L=10pF, V_{DD}=1.8V$		6.74	
	$t_{(IO)in}$	输入延时 (pad to y)	$C_L=50fF, V_{DD}=2.97V, V_{DDD}=0.81V$ input characteristics at 1.8V and 2.5V are derated	-	1.2	ns
10 (8mA)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L=20pF, V_{DD}=3.3V$	-	75	MHz
			$C_L=20pF, V_{DD}=2.5V$		50	
			$C_L=20pF, V_{DD}=1.8V$		30	
	$t_{(IO)out}$	输出延时 (a to pad)	$C_L=20pF, V_{DD}=3.3V$	-	3.42	ns
			$C_L=20pF, V_{DD}=2.5V$		4.73	
			$C_L=20pF, V_{DD}=1.8V$		6.53	
	$t_{(IO)in}$	输入延时 (pad to y)	$C_L=50fF, V_{DD}=2.97V, V_{DDD}=0.81V$ input characteristics at 1.8V and 2.5V are derated	-	1.2	ns
11 (12mA)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L=30pF, V_{DD}=3.3V$	-	75	MHz
			$C_L=30pF, V_{DD}=2.5V$	-	50	
			$C_L=30pF, V_{DD}=1.8V$	-	30	
	$t_{(IO)out}$	输出延时 (a to pad)	$C_L=30pF, V_{DD}=3.3V$	-	3.34	ns
			$C_L=3pF, V_{DD}=2.5V$	-	4.26	

			$C_L=3\text{pF}$, $V_{DD}=1.8\text{V}$	-	6.34
	$t_{(IO)in}$	输入延时 (pad to y)	$C_L=50\text{fF}$, $V_{DD}=2.97\text{V}$, $V_{DD0}=0.81\text{V}$ input characteristics at 1.8V and 2.5V are derated	-	1.2

1. I/O端口的速度可以通过PMODEy[1:0]配置。参见N32G435参考手册中有关GPIO端口配置寄存器的说明。
2. 最大频率在图 4-9中定义。
3. 由设计保证，不在生产中测试。

图 4-9 输入输出交流特性定义



4.3.12NRST引脚特性

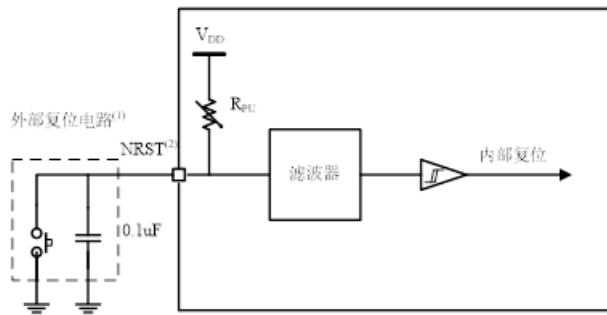
NRST引脚输入驱动使用CMOS工艺，它连接了一个不能断开的上拉电阻， R_{PU} (参见表 4-26错误!未找到引用源。)。除非特别说明，表 4-29列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-29 NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	$V_{DD}=3.3\text{V}$	V_{SS}	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压	$V_{DD}=3.3\text{V}$	2	-	V_{DD}	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{DD}=3.3\text{V}$	40	50	60	kΩ
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	-	300	-	-	ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

图 4-10 建议的NRST引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证NRST引脚的电位能够低于表 4-29中列出的最大 $V_{IL}(NRST)$ 以下，否则MCU不能得到复位。

4.3.13 TIM定时器特性

表 4-30列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情，参见第4.3.11节。

表 4-30 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res}(TIM)$	定时器分辨时间		1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 108MHz$	9.259	-	ns
f_{EXT}	CH1至CH2的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 108MHz$	0	54	MHz
Re_{TIM}	定时器分辨率		-	16	位
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 108MHz$	0.009259	606.79782	μs
t_{MAX_COUNT}	最大可能的计数		-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 108MHz$	-	39.768	s

1. TIMx是一个通用的名称，代表TIM1~TIM8。

4.3.14 I²C接口特性

除非特别说明，表 4-31列出的参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表 4-4的条件测量得到。

N32G435产品的I²C接口符合标准I²C通信协议，但有如下限制：SDA和SCL不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的PMOS管被关闭，但仍然存在。

I²C接口特性列于表 4-31，有关输入输出复用功能引脚(SDA和SCL)的特性详情，参见第4.3.11节。

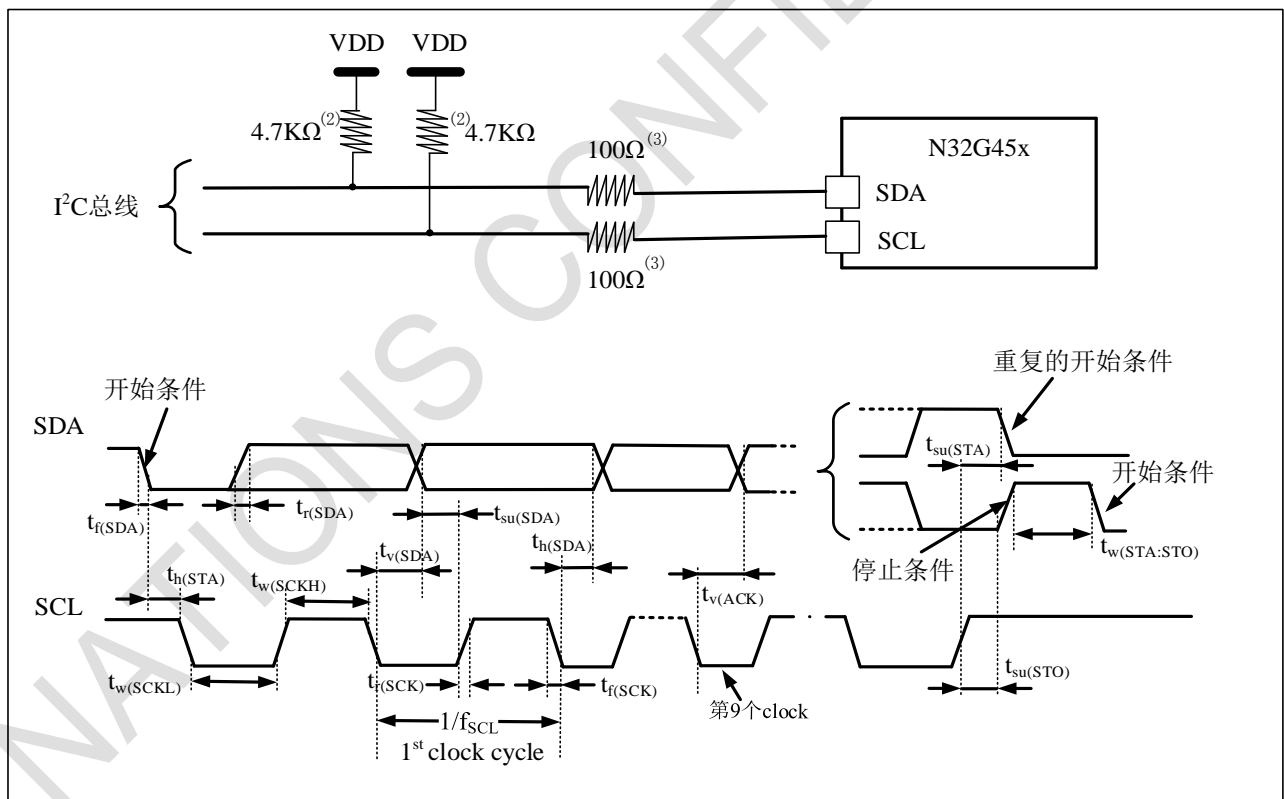
表 4-31 I²C接口特性

符号	参数	标准模式		快速模式		快速+模式		单位
		最小	最大	最小	最大	最小	最大	
f_{SCL}	I2C 接口频率	0.0	100	0	400	0	1000	KHz
$t_h(STA)$	开始条件保持时间	4.0	-	0.6	-	0.26	-	μs
$t_w(SCLL)$	SCL 时钟低时间	4.7	-	1.3	-	0.5	-	μs
$t_w(SCLH)$	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	μs
$t_{su}(STA)$	重复的开始条件建立时间	4.7	-	0.6	-	0.26	-	μs

符号	参数	标准模式		快速模式		快速+模式		单位
		最小	最大	最小	最大	最小	最大	
$t_{\text{h}}(\text{SDA})$	SDA 数据保持时间	-	3.4	-	0.9	-	0.4	μs
$t_{\text{su}}(\text{SDA})$	SDA 建立时间	250.0	-	100	-	50	-	ns
$t_{\text{r}}(\text{SDA})$ $t_{\text{r}}(\text{SCL})$	SDA 和 SCL 上升时间	-	1000	$20+0.1C_b$	300	-	120	ns
$t_{\text{f}}(\text{SDA})$ $t_{\text{f}}(\text{SCL})$	SDA 和 SCL 下降时间	-	300	$20+0.1C_b$	300	-	120	ns
$t_{\text{su}}(\text{STO})$	停止条件建立时间	4.0	-	0.6	-	0.26	-	μs
$t_{\text{w}}(\text{STO:STA})$	停止条件至开始条件的 时间(总线空闲)	4.7	-	1.3	-	0.5	-	μs
C_b	每条总线的容性负载	-	400	-	400	-	100	pf
$t_{\text{v}}(\text{SDA})$	数据有效时间	3.45	-	0.9	-	0.45	-	μs
$t_{\text{v}}(\text{ACK})$	应答有效时间	3.45	-	0.9	-	0.45	-	μs

1. 由设计保证，不在生产中测试。
2. 为达到标准模式I2C的最大频率， f_{PCLK1} 必须大于2MHz。为达到快速模式I2C的最大频率， f_{PCLK1} 必须大于4MHz。

图 4-11 I²C总线交流波形和测量电路⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
2. 上拉电阻阻值取决于I2C接口速度。
3. 电阻值取决于实际电气特性，可以不连接串行电阻，信号线直连。

4.3.15 SPI/I²S接口特性

除非特别说明，表 4-32列出的SPI参数和表 4-33列出的I²S参数是使用环境温度， f_{PCLKx} 频率和V_{DD}供电电压

符合表 4-4的条件测量得到。

有关输入输出复用功能引脚(SPI的NSS、SCLK、MOSI、MISO, I²S的WS、CLK、SD)的特性详情, 参见第 I/O端口特性4.3.11节。

表 4-32 SPI特性⁽¹⁾

符号	参数	条件		最小值	最大值	单位
f_{SCLK} $1/t_c(SCLK)$	SPI时钟频率	主模式		-	27	MHz
		从模式		-	27	
$t_r(SCLK)t_f(SCLK)$	SPI时钟上升和下降时间	负载电容: C = 30pF		-	8	ns
DuCy(SCK)	SPI从输入时钟占空比	SPI从模式		30	70	%
$t_{su(NSS)}^{(1)}$	NSS建立时间	从模式		$4t_{PCLK}$	-	ns
$t_h(NSS)^{(1)}$	NSS保持时间	从模式		$2t_{PCLK}$	-	ns
$t_w(SCLKH)^{(1)}$ $t_w(SCLKL)^{(1)}$	SCLK高和低的时间	主模式		t_{PCLK}	$t_{PCLK} + 2$	ns
$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式	SPI1	6.2	-	ns
			SPI2	5	-	
$t_{su(SI)}^{(1)}$		从模式	SPI1	6.3	-	
			SPI2	3	-	
$t_h(MI)^{(1)}$	数据输入保持时间	主模式		5	-	ns
$t_h(SI)^{(1)}$		从模式		5.2	-	
$t_a(SO)^{(1)(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$		0	$3t_{PCLK}$	ns
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式		2	10	ns
$t_v(SO)^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	SPI1	-	20	n
			SPI2	-	17	
$t_v(MO)^{(1)}$		主模式(使能边沿之后)	SPI1	-	5	
			SPI2	-	4	
$t_h(SO)^{(1)}$	数据输出保持时间	从模式(使能边沿之后)		6.2	-	ns
$t_h(MO)^{(1)}$		主模式(使能边沿之后)		-1	-	

1. 由综合评估得出, 不在生产中测试。
2. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

图 4-12 SPI时序图 – 从模式和CPHA=0

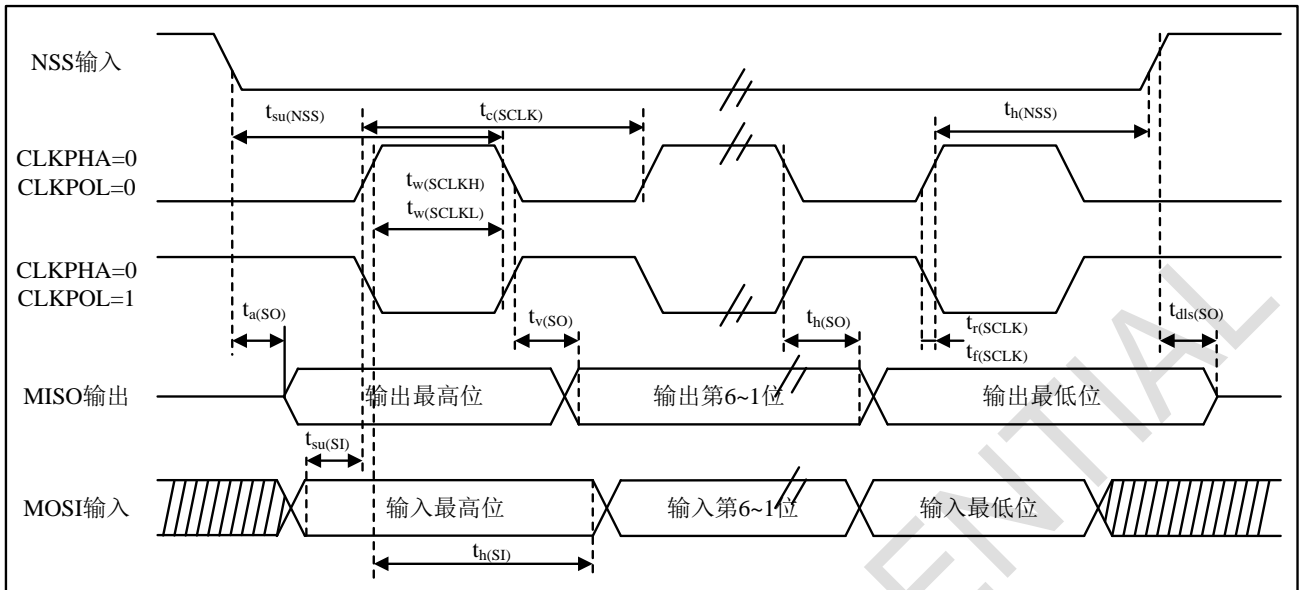
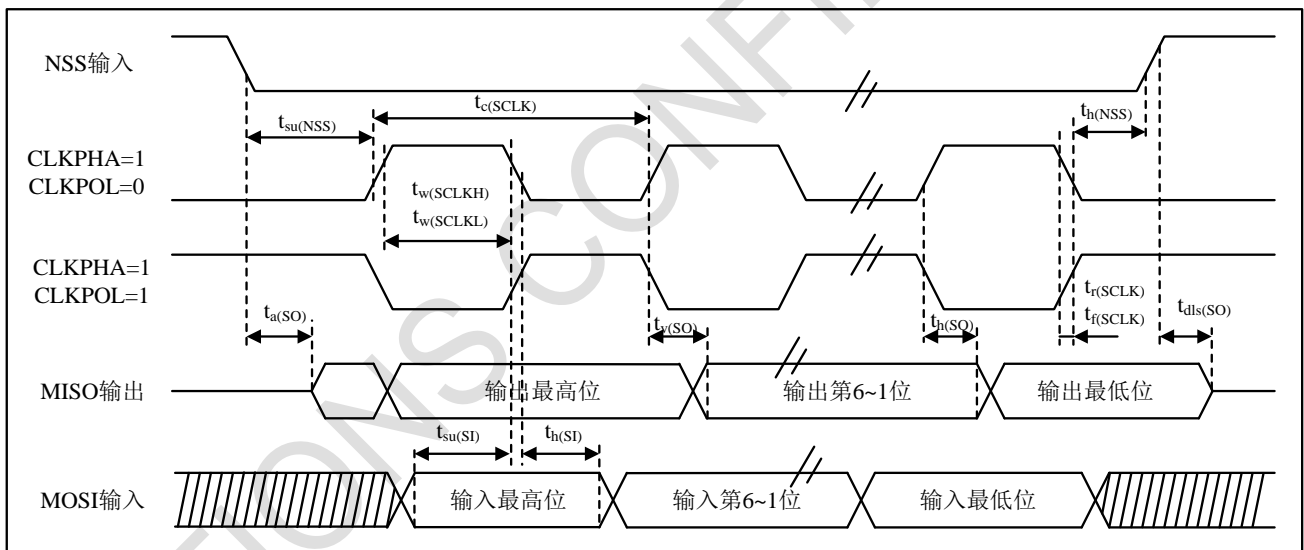
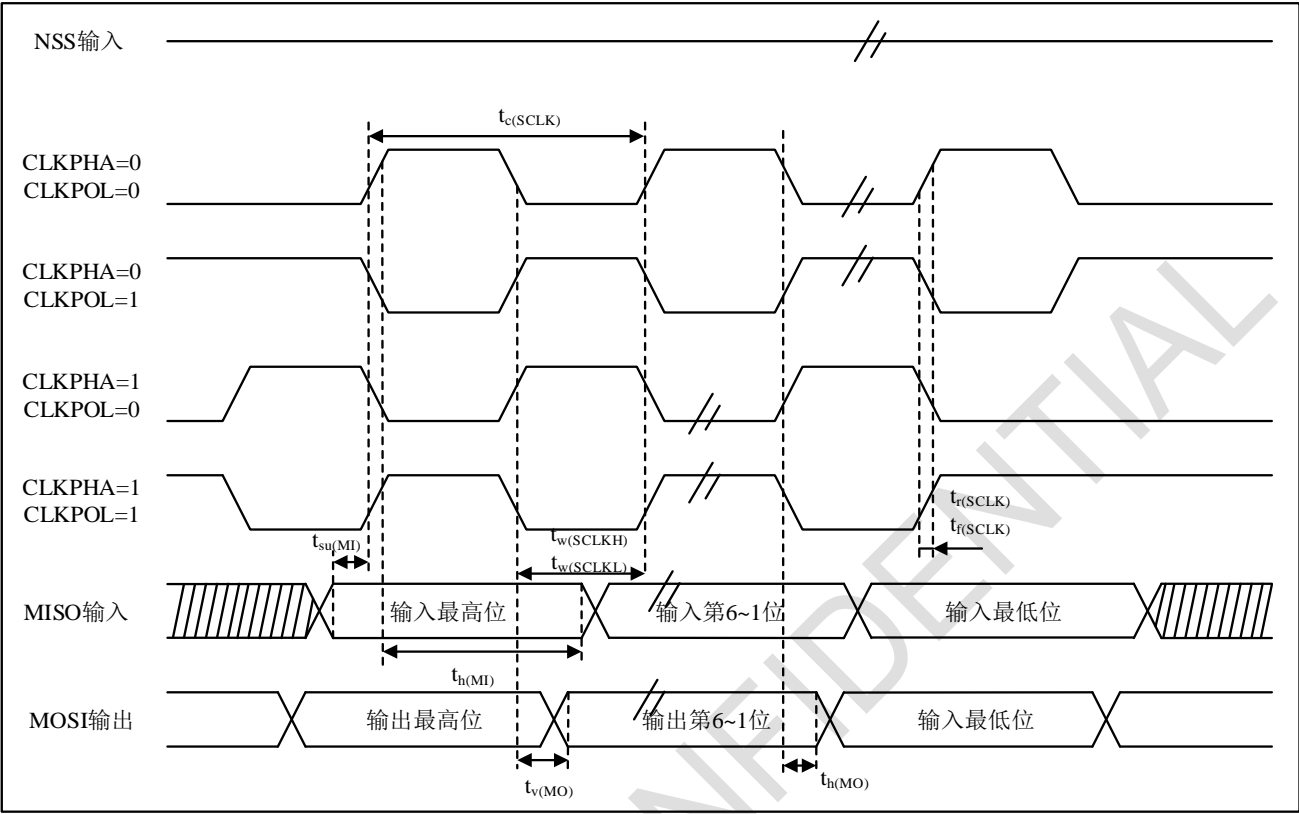


图 4-13 SPI时序图 – 从模式和CPHA=1⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

图 4-14 SPI时序图 – 主模式⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

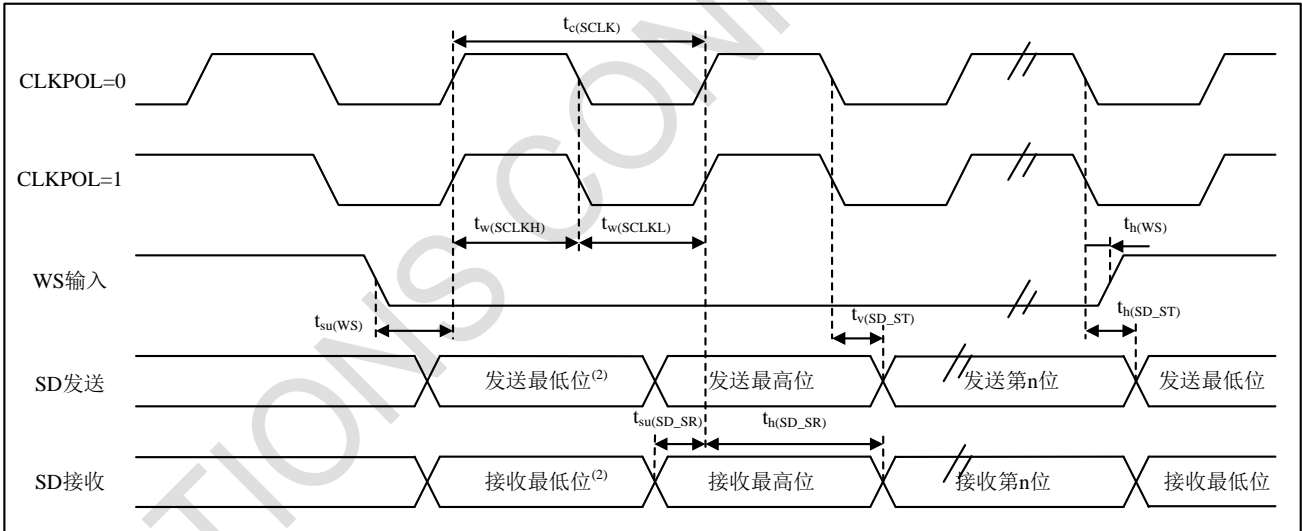
表 4-33 I²S特性⁽¹⁾

符号	参数	条件		最小值	最大值	单位
DuCy(SCK)	I2S从输入时钟占空比	I2S从模式		30	70	%
f_{CLK} $1/t_{c(CLK)}$	I ² S时钟频率	主模式(32bit)		-	$64*F_S^{(3)}$	MHz
		从模式(32bit)		-	$64*F_S^{(3)}$	
$t_r(CLK)$	I2S时钟上升和下降时间	负载电容：CL = 50pF		-	8	ns
$t_{v(WS)}^{(1)}$	WS有效时间	主模式	I2S1	5.3	-	
			I2S2	5	-	
$t_{h(WS)}^{(1)}$	WS保持时间	主模式		0	-	
$t_{su(WS)}^{(1)}$	WS建立时间	从模式	I2S1	5.5	-	
			I2S2	5	-	
$t_{h(WS)}^{(1)}$	WS保持时间	从模式	I2S1	7	-	
			I2S2	3.6	-	
$t_{w(CLKH)}^{(1)}$	CLK高和低的时间	主模式， $f_{CLK} = 16MHz$ ，音频48kHz		312.5	-	
$t_{w(CLKL)}^{(1)}$				345	-	
$t_{su(SD_MR)}^{(1)}$	数据输入建立时间	主接收器	I2S1	6.5	-	
			I2S2	5	-	
$t_{su(SD_SR)}^{(1)}$		从接收器	I2S1	2.5	-	
			I2S2	2.5	-	

$t_{h(SD_MR)}^{(1)(2)}$	数据输入保持时间	主接收器	I2S1	4.4	-
			I2S2	5.2	-
$t_{h(SD_SR)}^{(1)(2)}$		从接收器	I2S1	4.5	-
			I2S2	5.2	-
$t_{v(SD_ST)}^{(1)(2)}$	数据输出有效时间	从发送器(使能边沿之后)	I2S1	-	22
			I2S2	-	22
$t_{h(SD_ST)}^{(1)}$	数据输出保持时间	从发生器(使能边沿之后)	I2S1	4	-
			I2S2	4	-
$t_{v(SD_MT)}^{(1)(2)}$	数据输出有效时间	主发生器(使能边沿之后)	I2S1	-	5.6
			I2S2	-	4.5
$t_{h(SD_MT)}^{(1)}$	数据输出保持时间	主发生器(使能边沿之后)		-0.5	-

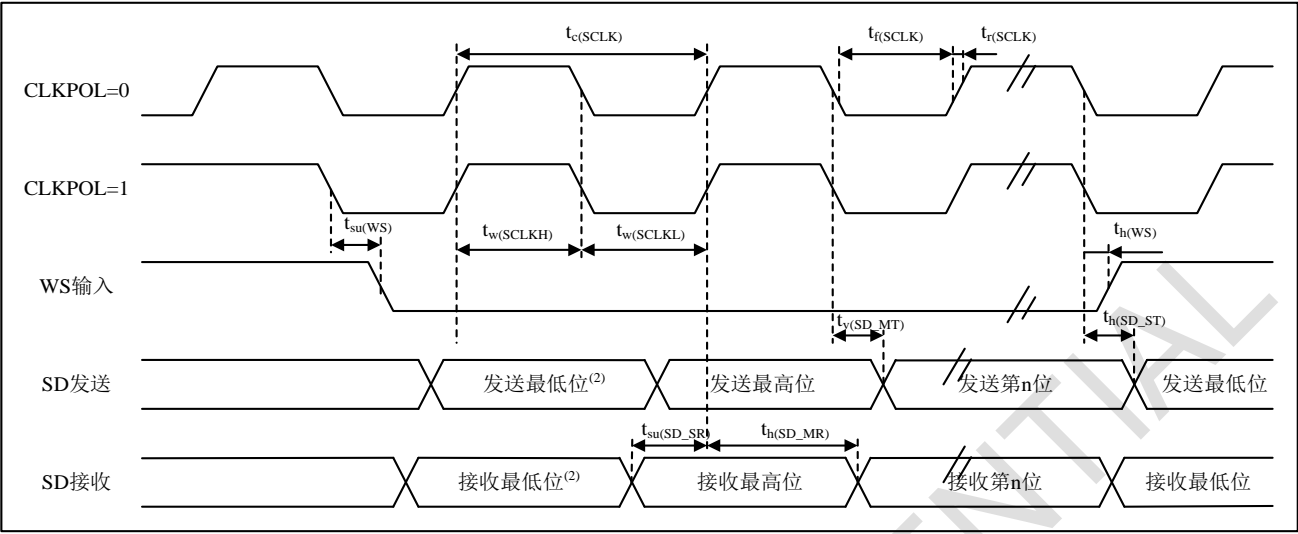
1. 由设计模拟和/或综合评估得出，不在生产中测试。
2. 依赖于 f_{PCLK} 。例如，如果 $f_{PCLK}=16\text{MHz}$ ，则 $T_{PCLK}=1/f_{PCLK}=125\text{ns}$ 。

图 4-15 I²S从模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图 4-16 I²S主模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

4.3.16USB特性

表 4-34 USB启动时间

符号	参数	最大值	单位
t _{STARTUP} ⁽¹⁾	USB收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

表 4-35 USB直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平					
V _{DD}	USB操作电压 ⁽²⁾		3.0 ⁽³⁾	3.6	V
V _{DI} ⁽⁴⁾	差分输入灵敏度	I(USBDP, USBDM)	0.2		V
V _{CM} ⁽⁴⁾	差分共模范围	包含VDI范围	0.8	2.5	
V _{SE} ⁽⁴⁾	单端接收器阈值		1.3	2.0	
输出电平					
V _{OL}	静态输出低电平	1.5kΩ的RL接至3.6V ⁽⁵⁾	-	0.3	V
V _{OH}	静态输出高电平	15kΩ的RL接至V _{SS} ⁽⁵⁾	2.8	3.6	

1. 所有的电压测量都是以设备端地线为准。
2. 为了与USB2.0全速电气规范兼容，USB操作电压为3.0~3.6V电压。
3. N32G435系列产品的正确USB功能可以在2.7V得到保证，而不是在2.7~3.0V电压范围下降级的电气特性。
4. 由综合评估保证，不在生产中测试。
5. R_L是连接到USB驱动器上的负载。

图 4-17 USB时序：数据信号上升和下降时间定义

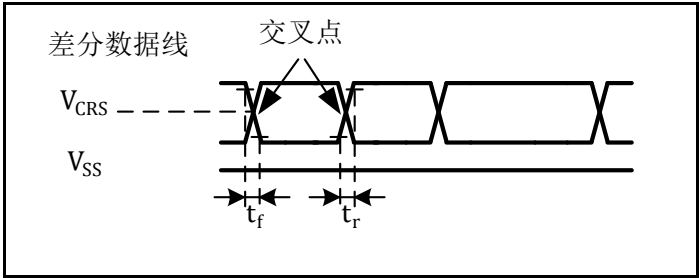


表 4-36 USB全速电气特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t_r	上升时间 ⁽²⁾	$C_L \leq 50\text{pF}$	4	20	ns
t_f	下降时间 ⁽²⁾	$C_L \leq 50\text{pF}$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r / t_f	90	111.1	%
V_{CRS}	输出信号交叉电压		1.1	2.0	V

1. 由设计保证，不在生产中测试。
2. 测量数据信号从10%至90%。更多详细信息，参见USB规范第7章(2.0版)。

4.3.17 控制器局域网络(CAN)接口特性

有关输入输出复用功能引脚(CAN_TX和CAN_RX)的特性详情，参见第4.3.11节。

4.3.18 12位模数转换器(ADC)电气参数

除非特别说明，表 4-37的参数是使用符合表 4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。
注意：建议在每次上电时执行一次校准。

表 4-37 ADC特性

符号	参 数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压	使用外部参考电压	1.8	-	3.6	V
V _{REF+}	正参考电压		1.8	-	V _{DDA}	V
f _{ADC}	ADC时钟频率		-	-	72	MHz
f _s ⁽²⁾	采样速率		-	-	5	MHz
V _{AIN}	转换电压范围 ⁽³⁾		0(V _{SSA} 或V _{REF-} 连接到地)	-	V _{REF+}	V
R _{ADC} ⁽²⁾	采样开关电阻	快速通道	-		0.2	kΩ
R _{ADC} ⁽²⁾	采样开关电阻	慢速通道	-		0.5	kΩ
C _{ADC} ⁽²⁾	内部采样和保持电容		-	5		pF
SNDR	Singal noise distortion ration		-	65		dBFS
T _{cal}	校准时间		82			1/f _{ADC}
t _s ⁽²⁾	采样时间	f _{ADC} = 72 MHz(快速通道)	0.0208		8.35	us
		f _{ADC} = 72 MHz(慢速通道)	0.0625		8.35	
T _S ⁽²⁾		快速通道	1.5	-	601.5	1/f _{ADC}
		慢速通道	4.5	-	601.5	

t _{STAB} ⁽²⁾	上电时间		0	0	20	μs
t _{CONV} ⁽²⁾	总的转换时间(包括采样时间)		14~252(采样t _s + 逐步逼近12.5)			1/f _{ADC}

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 依据不同的封装，V_{REF+}可以在内部连接到V_{DDA}，V_{REF-}可以在内部连接到V_{SSA}。

公式1：最大R_{AIN}公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

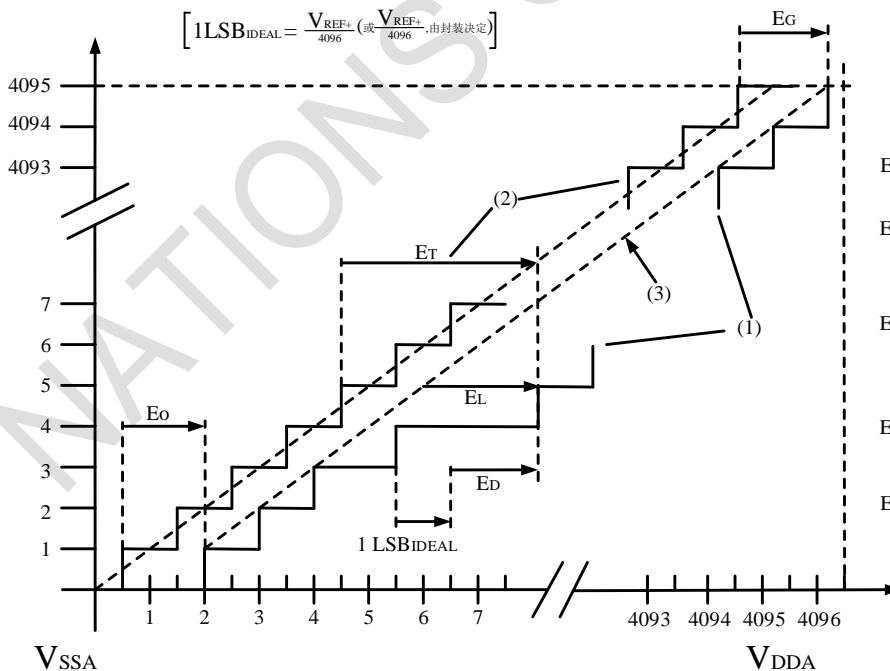
上述公式(公式1)用于决定最大的外部阻抗，使得误差可以小于1/4 LSB。其中N=12(表示12位分辨率)。

表 4-38 ADC精度 – 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	f _{HCLK} = 72 MHz, f _{ADC} = 72 MHz, sample rate=1.75M sps, V _{DDA} = 3.3V, T _A = 25 °C 测量是在ADC校准之后进行的 V _{REF+} = V _{DDA}	±1.3	±5	LSB
EO	偏移误差		±1	±2	
ED	微分线性误差		±0.7	±1	
EL	积分线性误差		±0.8	±2	

1. ADC的直流精度数值是在经过内部校准后测量的。
2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。
3. 如何正向的注入电流，只要处于第4.3.11节中给出的I_{INJ(PIN)}和ΣI_{INJ(PIN)}范围之内，就不会影响ADC精度。
4. 由综合评估保证，不在生产中测试。

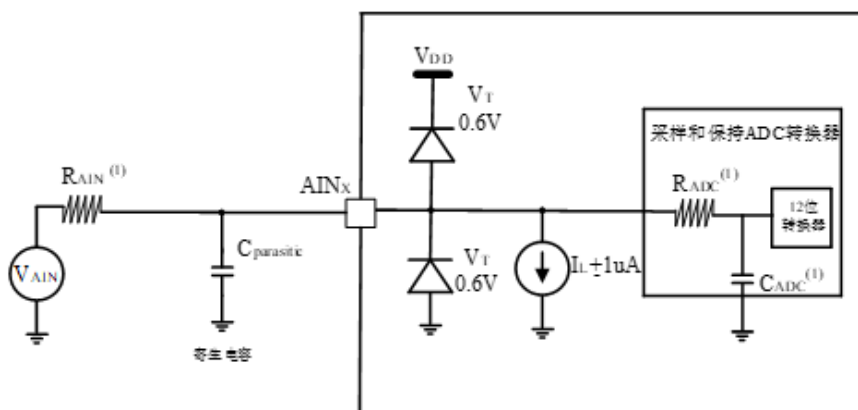
图 4-18 ADC精度特性



- (1) 实际ADC转换曲线的例子
- (2) 理想转换曲线
- (3) 实际转换终点连线

- ET 综合误差：实际转换曲线与理想转换曲线间的最大偏离
- EO 偏移误差：实际转换曲线上的第一次跃迁与理想转换曲线上的第一次跃迁之差
- EG 增益误差：实际转换曲线上的最后一次跃迁与理想转换曲线上的最后一次跃迁之差
- ED 微分线性误差：实际转换曲线上步距与理想步距（1 LSB）之差
- EL 积分线性误差：实际转换曲线与终点连线间的最大偏离

图 4-19 使用ADC典型的连接图

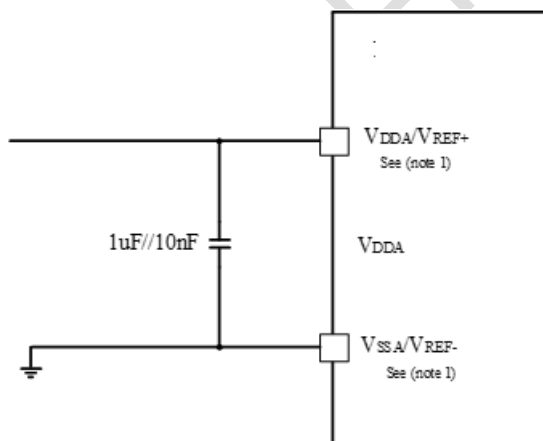


1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 4-37。
2. $C_{parasitic}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB设计建议

电源的去耦必须按照连接。图中的10nF电容必须是瓷介电容(好的质量)，它们应该尽可能地靠近MCU芯片。

图 4-20 供电电源和参考电源去藕线路(V_{REF+} 与 V_{DDA} 相连)



1. V_{REF+} 和 V_{REF-} 内部与 V_{DDA} 和 V_{SSA} 相连接。

4.3.19 内置参考源(V_{REFBUF})电气参数

除非特别说明，表 4-39的参数是使用符合表 4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-39 V_{REFBUF} 特性

符号	参数	条件	最小值	典型值	最大值	Unit
V_{DDA}	Analog supply voltage	Normal mode	2.4	-	3.6	V
V_{REFBUF_OUT}	Voltage reference output	Normal mode	2.043	2.048	2.052	V
I_{DDA}	V_{REFBUF} consumption from V_{DDA}	$I_{load} = 0\mu A$	512	-	630	μA
t_{START}	Start-up time		1	-	-	μS

1. 由设计保证, 不在生产中测试。

4.3.20 12位数模转换器(DAC)电气参数

除非特别说明, 表 4-40的参数是使用符合表 4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-40 DAC特性

符号	参数	最小值	典型值	最大值	单位	注释
V_{DDA}	模拟供电电压	2.4	-	3.6	V	
V_{DDD}	数字供电电压	1.0	1.1	1.2	V	
V_{REF+}	参考电压	2.4	-	3.6	V	V_{REF+} 必须始终低于 V_{DDA}
V_{SSA}	地线	0	-	0	V	
R_L	缓冲器打开时的负载电阻	5	-	-	k Ω	DAC_OUT和 V_{SSA} 之间的最小负载电阻
C_L	负载电容	-	-	50	pF	在DAC_OUT引脚上的最大电容
DAC_OUT 最小	缓冲器打开时低端的 DAC_OUT电压	0.2	-	-	V	给出了最大的DAC输出跨度 当 $V_{REF+}=3.6V$ 对应于 12 位输入数值 0x0E0~0xF1C, 当 $V_{REF+}=2.4V$ 对应于 12 位输入数值 0x155~0xEAB。
DAC_OUT 最大	缓冲器打开时高端的 DAC_OUT电压	-	-	$V_{REF+}-0.2$	V	
I_{DD}	在静止模式(待机模式)DAC 直流消耗($V_{DD}+V_{REF+}$)	-	425	600	μA	无负载, 输入中值0x800
I_{DDQ}	在断电模式DAC直流消耗 ($V_{DD33A}+V_{REF+}$)	-	5	350	nA	无负载
DNL	非线性失真(2个连续代码间的 偏差)	-	± 0.5	-	LSB	DAC配置为12位
INL	非线性积累(在代码i时测量的 数值与代码0和代码4095 之间的连线间的偏差)	-	-5~+7	-	LSB	DAC配置为12位
偏移	偏移误差(代码0x800时测 量的数值与理想数值 $V_{REF+}/2$ 之间的偏差)	-	-15~+5	-	mV	DAC配置为12位
		-	-18~+6	-	LSB	$V_{REF+}=3.6V$ 时,DAC配置为12位
增益误差	增益误差	-	± 0.5	-	%	DAC配置为2位
放大器增 益	开环时放大器的增益	80	85	-	dB	5k Ω 的负载(最大负载)
$t_{SETTLING}$	设置时间(全范围: 10位输 入代码从最小值转变为最大 值, DAC_OUT达到其终值 的 ± 1 LSB)	-	3	4	μs	$C_{LOAD} \leq 50pF$ $R_{LOAD} \geq 5k\Omega$
更新速率	当输入代码为较小变化时 (从数值i变到i+1LSB), 得到 正确DAC_OUT的最大频率	-	-	1	MS/s	$C_{LOAD} \leq 50pF$ $R_{LOAD} \geq 5k\Omega$
t_{WAKEUP}	从关闭状态唤醒的时间 (PDV12从1变到0)	-	6.5	10	μs	$C_{LOAD} \leq 50pF$, $R_{LOAD} \geq 5k\Omega$ 输入代码介于最小和最大可能数值之间
PSRR+	供电抑制比(相对于 V_{DD33A})(静态直流测量)	-	-67	-40	dB	没有 R_{LOAD} , $C_{LOAD} \leq 50pF$

1. 由综合评估保证, 不在生产中测试。

4.3.21 温度传感器(TS)特性

除非特别说明, 表 4-41的参数是使用符合表 4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-41 温度传感器特性

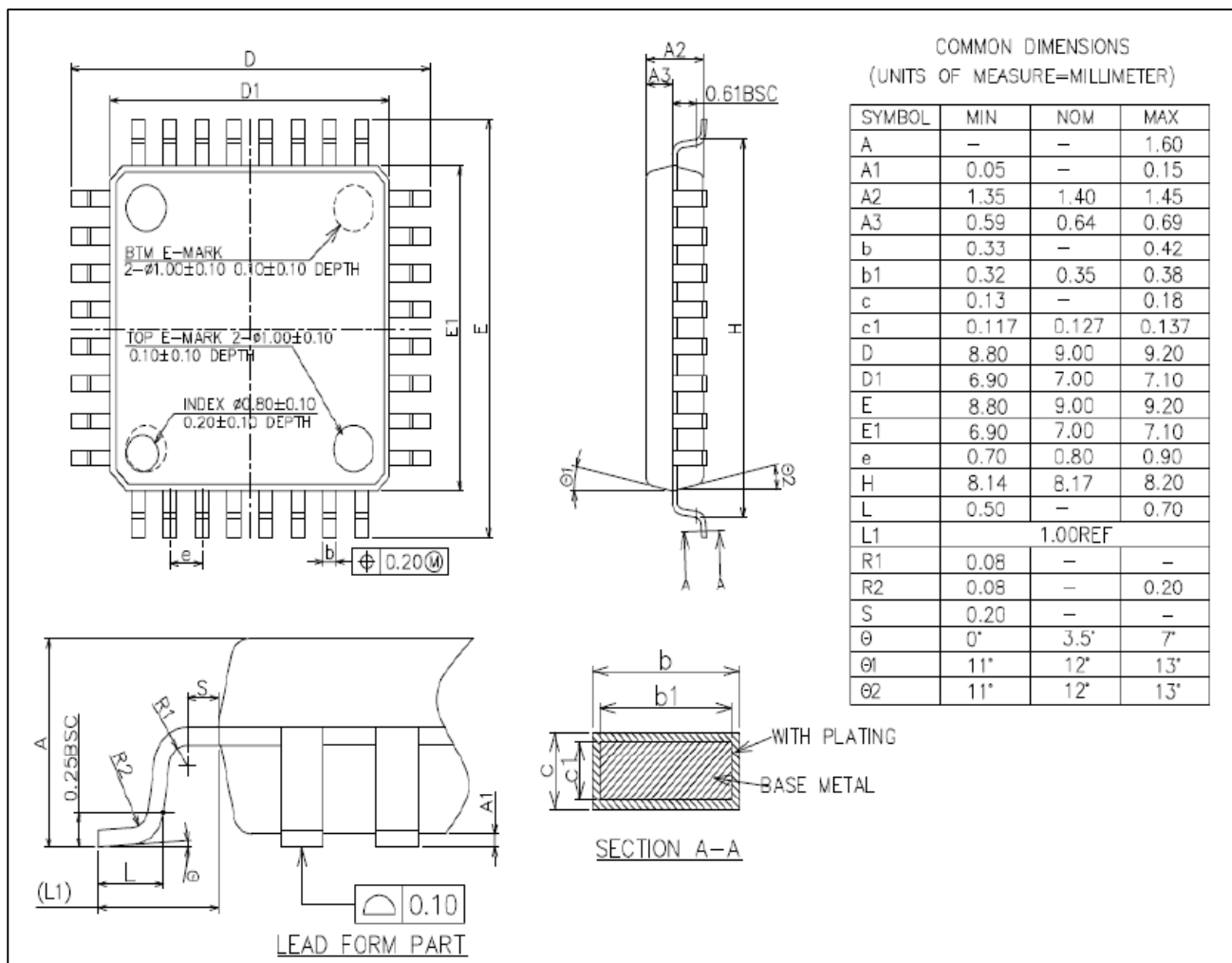
符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 4	$^{\circ}\text{C}$
Avg_Slope ⁽¹⁾	平均斜率	3.7	3.9	4.3	mV/ $^{\circ}\text{C}$
$V_{25}^{(1)}$	在25 $^{\circ}\text{C}$ 时的电压	-	1.32	-	V
$t_{START}^{(1)}$	建立时间	4	-	10	μs
$T_{S_temp}^{(2)(3)}$	当读取温度时，ADC采样时间	8.3	-	17.1	μs

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5 封装尺寸

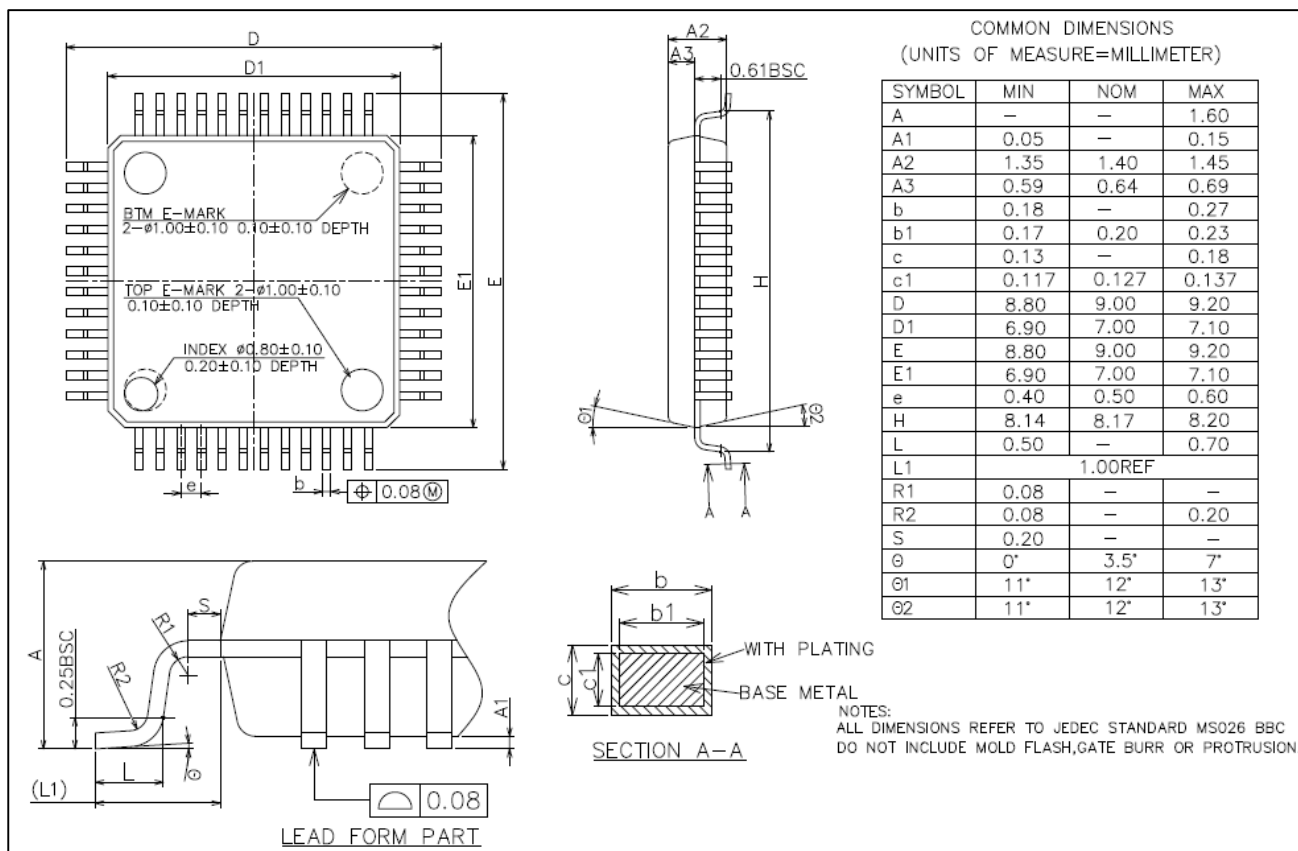
5.1 LQFP32

图 5-1 LQFP32封装尺寸



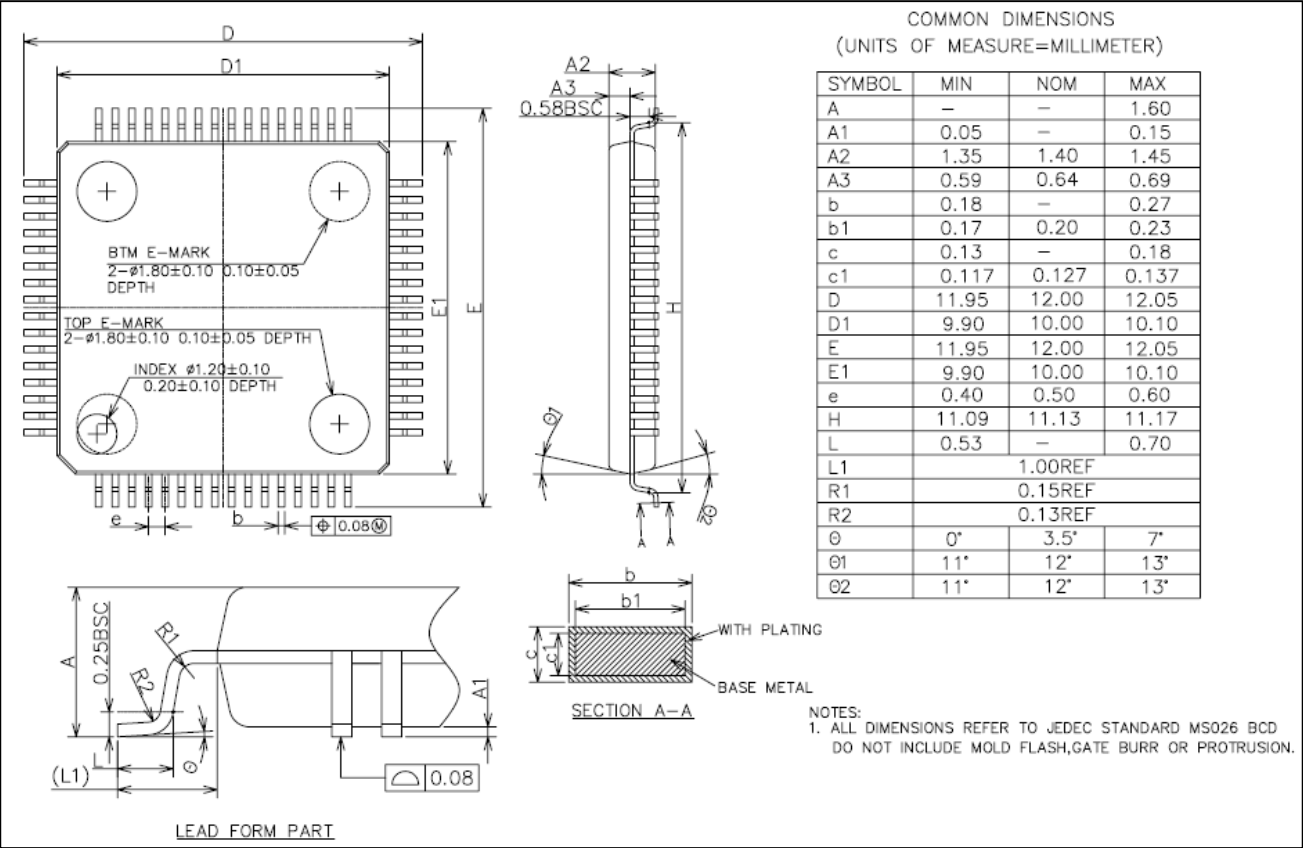
5.2 LQFP48

图 5-2 LQFP48封装尺寸



5.3 LQFP64

图 5-3 LQFP64封装尺寸



6 版本历史

日期	版本	修改
2020/7/29	V0.6	初始创建
2020/11/13	V0.8	完善了电气特性
2021/1/25	V0.9	完善了电气特性
2021/4/15	V1.0	4.3章节数据校对

7 声明

国民技术股份有限公司（以下简称国民技术）保有在不事先通知而修改这份文档的权利。国民技术认为提供的信息是准确可信的。尽管这样，国民技术对文档中可能出现的错误不承担任何责任。在购买前请联系国民技术获取该器件说明的最新版本。对于使用该器件引起的专利纠纷及第三方侵权国民技术不承担任何责任。另外，国民技术的产品不建议应用于生命相关的设备和系统，在使用该器件中因为设备或系统运转失灵而导致的损失国民技术不承担任何责任。国民技术对本手册拥有版权等知识产权，受法律保护。未经国民技术许可，任何单位及个人不得以任何方式或理由对本手册进行使用、复制、修改、抄录、传播等。