

1. 特性

- 八个差分 ADC 输入
- 卓越的性能：
 - 动态范围：500SPS 时为 116dB，1kSPS 时为 119dB
 - 共模抑制比：-118dB
 - 串扰：-135dB
 - THD：50Hz 和 60Hz 时为 -108dB
- 模拟电源范围选项：
 - 3V 至 5V (单极)
 - ± 1.65 至 ± 2.5 V (双极，允许直流耦合)
- 数字：1.8V 至 3.6V
- 两种不同数据速率的工作模式：
 - 高速：1、2、4、8、16、32 和 64kSPS
 - 低速：500SPS、1、2、4、8、16、32kSPS
- 可编程增益：1、2、4、8、12、24、48
- 故障检测和设备测试能力
- VDAC 激励源
- SPI™ 数据接口和四个 GPIO、菊花链
- QFP-64 封装
- 工作温度范围：-40°C 至 105°C

2. 应用

- 电源保护：断路器、继电保护
- 电能计量：单相、多相和电能质量
- 电池测试系统
- 测试和测量
- 同步采样数据采集系统

3. 说明

ADX3224/ADX3226/ADX3228 是一系列多通道、同步采样、24 位、 $\Delta\Sigma$ 模数转换器(ADC)，具有一个内置可编程增益放大器(PGA)、内部基准、和一个板载振荡器。ADC 宽动态范围、可扩展的数据速率和内部故障检测监视器使 ADX3224/ADX3226/ADX3228 在工业电源监控和保护以及测试和测量应用中极具吸引力。真正的高阻抗输入使 ADX3224/ADX3226/ADX3228 能够直接与电阻分压器网络或电压互感器连接以测量线路电压，或与电流互感器或罗氏线圈连接以测量线路电流。ADX3224/ADX3226/ADX3228 系列具有高集成度和卓越的性能，能够以显著减小的尺寸、功耗和较低的总体成本创建可扩展的工业电源系统。

ADX3224/ADX3226/ADX3228 每个通道都有一个灵活的输入多路复用器，可以独立连接到内部生成的信号以进行测试、温度和故障检测。可以使用具有数模转换器(DAC)控制触发电平的集成比较器在器件内部实现故障检测。ADX3224/ADX3226/ADX3228 可以以高达 64kSPS 的数据速率运行。

这些完整的模拟前端(AFE)解决方案采用 QFP-64 封装，额定工业温度范围为 -40°C 至 105°C。订购信息请参见 Table 1。

Simplified Schematic

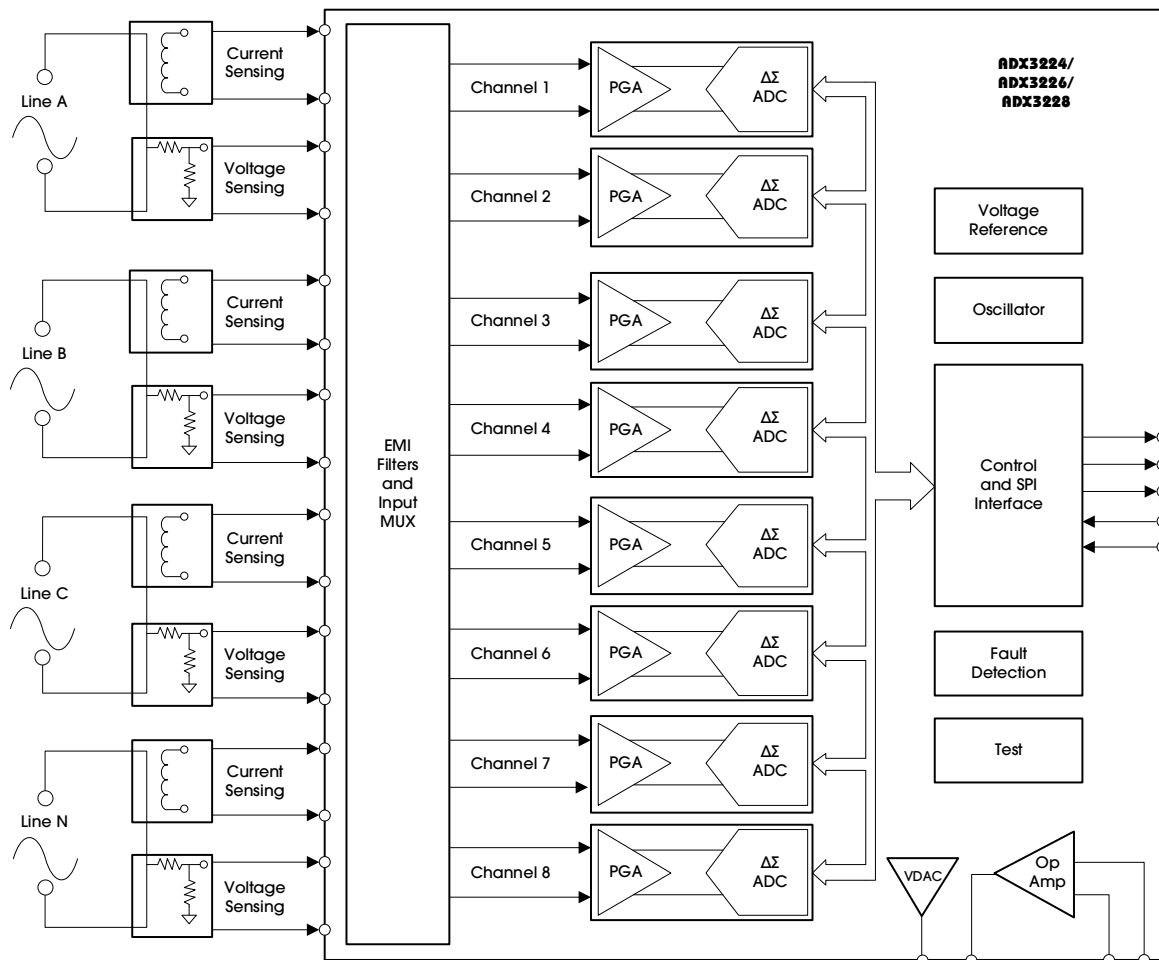


Table 1 lists the order information.

Table 1. Order Information

ORDER NUMBER ⁽¹⁾	CH (#)	PACKAGE	MARK	RESOLUTION (BIT)	FUNCTIONAL SAFETY	CRC/ECC	FIFO	OP. TEMP. (°C)	RATING	MSL	PKG. OPTION
ADX3224AQFP64	4	QFP-64	Company Logo ADX3224 XXXXXX	24	N	N	N	−40-105	Industrial	3	T/R-1000
ADX3226AQFP64	6	QFP-64	Company Logo ADX3226 XXXXXX	24	N	N	N	−40-105	Industrial	3	T/R-1000
ADX3228AQFP64	8	QFP-64	Company Logo ADX3228 XXXXXX	24	N	N	N	−40-105	Industrial	3	T/R-1000

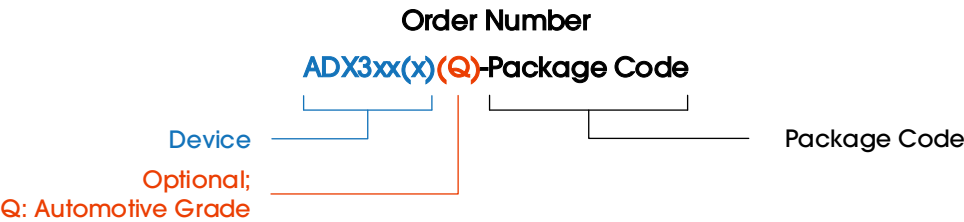
Table 2. Family Selection Guide

ORDER NUMBER ⁽¹⁾	CH (#)	PACKAGE	MARK	RESOLUTION (BIT)	FUNCTIONAL SAFETY	CRC/ECC	FIFO	OP. TEMP. (°C)	RATING	MSL	PKG. OPTION
ADX3202QAQFN32	2	QFN-32	Company Logo/ ADX3202Q/XXXXXX	24	Y	Y	Y	−40-125	Auto	2	T/R-1500
ADX3202AQFN32	2	QFN-32	Company Logo/ ADX3202X/XXXXX	24	Y	Y	Y	−40-85	Industrial	2	T/R-1500
ADX320QAQFN32	1	QFN-32	Company Logo/ ADX320QX/XXXXX	24	Y	Y	Y	−40-125	Auto	2	T/R-1500
ADX320AQFN32	1	QFN-32	Company Logo/ ADX320X/XXXXX	24	Y	Y	Y	−40-85	Industrial	2	T/R-1500
ADX3102QAQFN32 ⁽²⁾	2	QFN-32	Company Logo/ ADX3102Q/XXXXXX	16	Y	Y	N	−40-125	Auto	2	T/R-1500
ADX3102AQFN32 ⁽²⁾	2	QFN-32	Company Logo/ ADX3102X/XXXXX	16	N	N	N	−40-85	Industrial	2	T/R-1500
ADX310QAQFN32 ⁽²⁾	1	QFN-32	Company Logo/ ADX310QX/XXXXX	16	Y	Y	N	−40-125	Auto	2	T/R-1500
ADX310AQFN32 ⁽²⁾	1	QFN-32	Company Logo/ ADX310X/XXXXX	16	N	N	N	−40-85	Industrial	2	T/R-1500

Devices can be ordered via the following two ways:

- 1. Place orders directly on our website (www.analogyssemi.com), or,
- 2. Contact our sales team by mailing to sales@analogyssemi.com.

Note 1:



Note 2: Available in the future.

Note 3: "XXXXXX": For internal use.

4. PIN CONFIGURATION AND FUNCTIONS

Figure 1 illustrates the pin configuration.

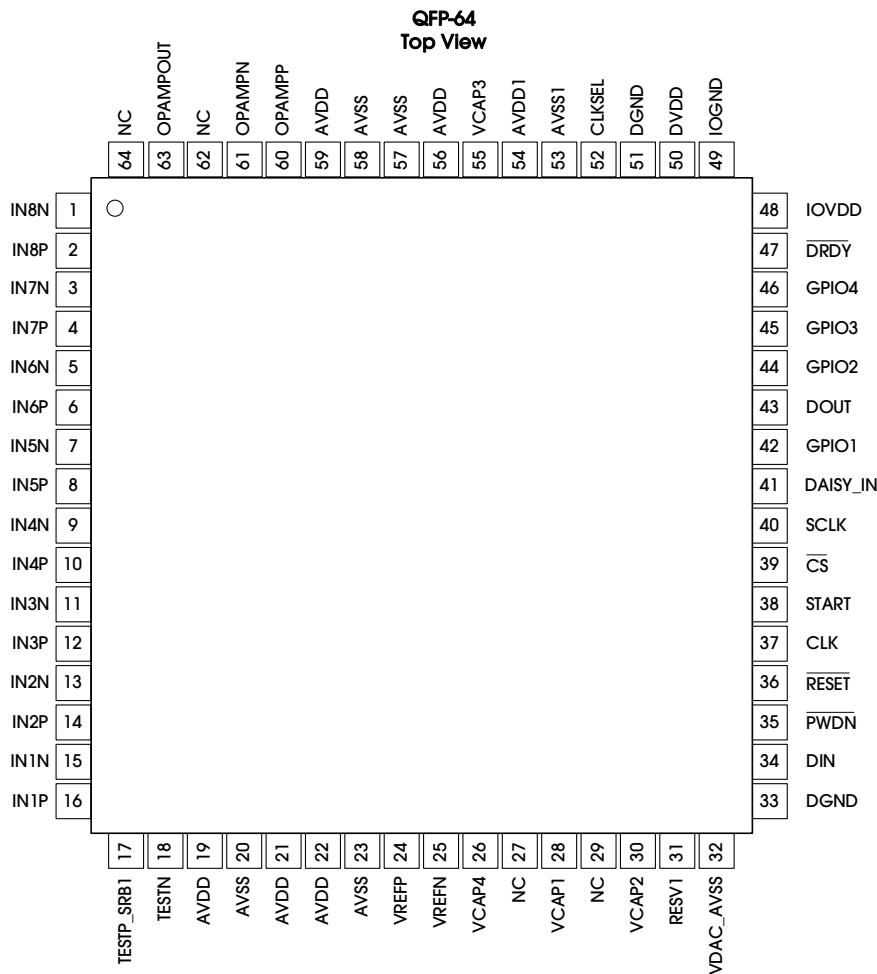


Figure 1. Pin Configuration

Table 3 lists the pin functions.

Table 3. Pin Functions

POSITION	NAME	TYPE	DESCRIPTION
1	IN8N ⁽¹⁾	Analog input	Negative analog input 8 (ADX3228 only)
2	IN8P ⁽¹⁾	Analog input	Positive analog input 8 (ADX3228 only)
3	IN7N ⁽¹⁾	Analog input	Negative analog input 7 (ADX3228 only)
4	IN7P ⁽¹⁾	Analog input	Positive analog input 7 (ADX3228 only)
5	IN6N ⁽¹⁾	Analog input	Negative analog input 6 (ADX3226 and ADX3228 only)
6	IN6P ⁽¹⁾	Analog input	Positive analog input 6 (ADX3226 and ADX3228 only)
7	IN5N ⁽¹⁾	Analog input	Negative analog input 5 (ADX3226 and ADX3228 only)
8	IN5P ⁽¹⁾	Analog input	Positive analog input 5 (ADX3226 and ADX3228 only)
9	IN4N ⁽¹⁾	Analog input	Negative analog input 4
10	IN4P ⁽¹⁾	Analog input	Positive analog input 4
11	IN3N ⁽¹⁾	Analog input	Negative analog input 3
12	IN3P ⁽¹⁾	Analog input	Positive analog input 3
13	IN2N ⁽¹⁾	Analog input	Negative analog input 2
14	IN2P ⁽¹⁾	Analog input	Positive analog input 2
15	IN1N ⁽¹⁾	Analog input	Negative analog input 1
16	IN1P ⁽¹⁾	Analog input	Positive analog input 1

POSITION	NAME	TYPE	DESCRIPTION
17	TESTP_SRB1	Analog input/output	Test signal, positive pin. See the UNUSED INPUTS AND OUTPUTS section for unused pins.
18	TESTN	Analog input/output	Test signal, negative pin. See the UNUSED INPUTS AND OUTPUTS section for unused pins.
19, 21, 22, 56, 59	AVDD	Supply	Analog supply. Connect a 1 μ F (or larger) capacitor to AVSS for each AVDD pin.
20, 23, 57, 58	AVSS	Supply	Analog ground
24	VREFP	Analog input/output	Positive reference voltage. Connect a minimum 10 μ F capacitor to VREFN.
25	VREFN	Analog input	Negative reference voltage. Connect to AVSS.
26	VCAP4	Analog output	Analog bypass capacitor. Connect a 1 μ F capacitor to AVSS.
27, 29, 62	NC	—	No connection, leave floating. Can be connected to AVDD or AVSS with a 10k Ω or higher resistor.
28	VCAP1	Analog output	Analog bypass capacitor. Connect a 2.2 μ F capacitor to AVSS.
30	VCAP2	Analog output	Analog bypass capacitor. Connect a 1 μ F capacitor to AVSS.
31	RESV1	Digital input	Reserved for future use. Connect directly to DGND.
32	VDAC_AVSS	Analog output/Supply	Voltage digital to analog convert output
33, 49, 51	DGND	Supply	Digital ground
34	DIN	Digital input	Serial data input
35	$\overline{\text{PWDN}}$	Digital input	Power-down; active low
36	$\overline{\text{RESET}}$	Digital input	System reset; active low
37	CLK	Digital input	Master clock input. Connect to DGND if unused.
38	START	Digital input	Start conversion
39	$\overline{\text{CS}}$	Digital input	Chip select; active low
40	SCLK	Digital input	Serial clock input
41	DAISY_IN	Digital input	Daisy-chain input. Connect to DGND if unused.
42	GPIO1	Digital input/output	General-purpose input/output pin 1. Connect to DGND with a 10k Ω resistor if unused.
43	DOUT	Digital output	Serial data output
44	GPIO2	Digital input/output	General-purpose input/output pin 2. Connect to DGND with a 10k Ω resistor if unused.
45	GPIO3	Digital input/output	General-purpose input/output pin 3. Connect to DGND with a 10k Ω resistor if unused.
46	GPIO4	Digital input/output	General-purpose input/output pin 4. Connect to DGND with a 10k Ω resistor if unused.
47	$\overline{\text{DRDY}}$	Digital output	Data ready; active low. Connect to DGND with a 10k Ω resistor if unused.
48, 50	DVDD	Supply	Digital core power supply. Connect a 1 μ F (or larger) capacitor to DGND for each DVDD pin.
52	CLKSEL	Digital input	Master clock select
53	AVSS1	Supply	Charge pump analog ground
54	AVDD1	Supply	Charge pump analog supply. Connect a 1 μ F (or larger) capacitor to AVSS1.
55	VCAP3	Analog output	Analog bypass capacitor. Connect a parallel combination of 1 μ F and 0.1 μ F capacitors to AVSS.
60	OPAMPP	Analog input	Op amp noninverting input; leave floating if unused and power down the op amp.
61	OPAMPN	Analog input	Op amp inverting input; leave floating if unused and power down the op amp.
62, 64	NC	—	Can be connected to AVDD or AVSS with a 10k Ω or higher resistor if not used.
63	OPAMPOUT	Analog output	Op amp output; leave floating if unused and power down the op amp.

Note: Connect any unused or powered-down analog input pins to AVDD.

5. SPECIFICATIONS

5.1 ABSOLUTE MAXIMUM RATINGS

Table 4 lists the absolute maximum ratings of the ADX3224/ADX3226/ADX3228.

Table 4. Absolute Maximum Ratings

PARAMETER	DESCRIPTION	MIN	MAX	UNITS
Power-Supply Voltage	AVDD to AVSS	−0.3	7.0	V
	AVSS to DGND	−3	0.2	
	DVDD to DGND	−0.3	3.9	
Analog Input Voltage	Analog input to AVSS	AVSS − 0.3	AVDD + 0.3	
Digital Input Voltage	Digital input to DVDD	DGND − 0.3	DVDD + 0.3	
Input Current	Momentary	−100	100	mA
	Continuous, all other pins except power supply pins	−10	10	
Temperature	Junction, T _J		150	°C
	Storage, T _{stg}	−60	150	

Note: Stresses beyond those listed under Table 4 may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Table 6. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD RATINGS

Table 5 lists the ESD ratings of the ADX3224/ADX3226/ADX3228.

Table 5. ESD Ratings

PARAMETER	SYMBOL	DESCRIPTION	VALUE	UNITS
Electrostatic Discharge	V _(ESD)	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±6000	V
		Charged-device model (CDM), per JEDEC specification JS-002 ⁽²⁾	±500	

Note 1: The JEDEC document JEP155 indicates that 500V HBM allows safe manufacturing with a standard ESD control process.
Note 2: The JEDEC document JEP157 indicates that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 RECOMMENDED OPERATING CONDITIONS

Table 6 lists the recommended operating conditions for the ADX3224/ADX3226/ADX3228.

Table 6. Recommended Operating Conditions

PAREMETER		SYMBOL	MIN	NOM	MAX	UNITS
POWER SUPPLY						
Analog Power Supply	AVDD to AVSS	AVDD	2.7	5.0	5.5	V
Digital Power Supply	DVDD to DGND	DVDD	1.7	1.8	3.6	V
Analog to Digital Supply	AVDD to DVDD		-2.1		3.6	V
ANALOG INPUTS						
Differential Input Voltage	$V_{IN} = V_{(INxP)} - V_{(INxN)}$	V_{IN}	$-V_{REF} / \text{Gain}$		V_{REF} / Gain	V
Common-Mode Input Voltage	$V_{CM} = (V_{(INxP)} - V_{(INxN)}) / 2$	V_{CM}	See the INPUT COMMON-MODE RANGE section			V
VOLTAGE REFERENCE INPUTS						
Reference Input Voltage	AVDD = 3V, $V_{REF} = V_{VREFP} - V_{VREFN}$	V_{REF}	2	2.5	AVDD	V
	AVDD = 5V, $V_{REF} = V_{VREFP} - V_{VREFN}$		2	4	AVDD	V
Negative Reference Input		VREFN		AVSS		V
Positive Input		VREFP	AVDD - 3	AVSS + 2.5	AVDD	V
EXTERNAL CLOCK SOURCE						
Master Clock Rate	CLKSEL pin = 0, AVDD - AVSS = 3V	f_{CLK}	1.7	2.048	2.25	MHz
	CLKSEL pin = 0, AVDD - AVSS = 5V		1.0	2.048	2.25	
DIGITAL INPUTS						
Input Voltage			DGND - 0.1		DVDD + 0.1	V
TEMPERATURE RANGE						
Operating Ambient Temperature		T_A	-40		105	°C

5.4 THERMAL INFORMATION

Table 7 lists the thermal information for the ADX3224/ADX3226/ADX3228.

Table 7. Thermal Information

PARAMETER	SYMBOL	QFP-64	UNITS
Junction-to-Ambient Thermal Resistance	$R_{\theta JA}$	41	°C/W
Junction-to-Board Thermal Resistance	$R_{\theta JB}$	22.7	°C/W
Junction-to-Top Characterization Parameter	ψ_{JT}	0.1	°C/W
Junction-to-Board Characterization Parameter	ψ_{JB}	22.2	°C/W
Junction-to-Case (Top) Thermal Resistance	$R_{\theta JC(top)}$	6.1	°C/W

5.5 ELECTRICAL CHARACTERISTICS

Table 8 lists the electrical characteristics of the ADX3224/ADX3226/ADX3228. Minimum and maximum specifications apply from -40°C to 105°C. Typical specifications are at 25°C. All specifications are at DVDD = 1.8V, AVDD = 5V, AVSS = 0V, VREF = 2.4V, external fCLK = 2.048MHz, data rate = 8kSPS, and gain = 1, unless otherwise noted.

Table 8. Electrical Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS						
Input Capacitance	C _i			15		pF
Input Bias Current	I _{IB}	PGA output in normal range		5		nA
DC Input Impedance				> 1		GΩ
PGA PERFORMANCE						
Gain Settings			1, 2, 4, 8, 12, 24, 48			
Bandwidth	BW		See Table 48			
ADC PERFORMANCE						
Data Rate	DR	f _{CLK} = 2.048MHz	1		64	kSPS
Resolution		DR = 1, 2, 4, 8, and 16kSPS	24			Bits
		DR = 32kSPS and 64kSPS	16/24			Bits
CHANNEL PERFORMANCE (DC PERFORMANCE)						
Integral Nonlinearity	INL	Full-scale, best fit		5		ppm
Dynamic Range		G = 1		101		dB
		Gain settings other than 1	See the NOISE MEASUREMENTS section			
Offset Error	E _O			±200		μV
Offset Error Drift				0.1		μV/°C
Gain Error	E _G	Excluding voltage reference error		±0.04		%
Gain Drift		Excluding voltage reference drift		3		ppm/°C
Gain Match Between Channels				±0.08		% of FS
CHANNEL PERFORMANCE (AC PERFORMANCE)						
Common-Mode Rejection Ratio	CMRR	f _{CM} = 50Hz and 60Hz ⁽¹⁾	-91	-118		dB
Power-Supply Rejection Ratio	PSRR	f _{PS} = 50Hz and 60Hz		-86		dB
Crosstalk		f _{IN} = 50Hz and 60Hz		-135		dB
Signal-to-Noise Ratio	SNR	f _{IN} = 10Hz, 50Hz, 60Hz, gain = 1		106		dB
Total Harmonic Distortion	THD	10Hz, -0.5dBfs		-108		dB
INTERNAL REFERENCE						
Output Voltage	V _{REF}	T _A = 25°C, V _{REF} = 2.4V	2.38	2.4	2.41	V
		T _A = 25°C, V _{REF} = 4V		4		V
		T _A = 25°C, V _{REF} = 4.5V		4.5		V
V _{REF} Accuracy				±0.1		%
Temperature Drift		T _A = -40°C to 105°C		13		ppm/°C
Start-up Time		Settled to 0.2%		16		ms
EXTERNAL REFERENCE						
Input Impedance				10		kΩ

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INTERNAL OSCILLATOR						
Accuracy		T _A = 25°C		±0.15	±0.6	%
		T _A = -40°C to 105°C			±3.1	%
Internal Oscillator Clock Frequency		Nominal frequency		2.048		MHz
Internal Oscillator Start-up Time				3		μs
Internal Oscillator Power Consumption				160		μW
FAULT DETECT AND ALARM						
Comparator Threshold Accuracy				30		mV
OPERATIONAL AMPLIFIER						
Integrated Noise		0.1Hz to 250Hz		5.2		μV _{RMS}
Noise Density		2kHz		28.5		nV/√Hz
Gain Bandwidth Product	GBP	50kΩ 10pF load		245		kHz
Slew Rate	SR	50kΩ 10pF load		0.53		V/μs
Load Current				48		μA
Total Harmonic Distortion	THD	f _{IN} = 100Hz		-87		dB
Common-Mode Input Range			AVSS + 0.7		AVDD - 0.3	V
Quiescent Power Consumption				20		μA
SYSTEM MONITORS						
Supply Reading Error	Analog			0.3		%
	Digital			0.3		%
Device Wakeup		From power-up to $\overline{\text{DRDY}}$ low		66		ms
		STANDBY mode		660		μs
Temperature Sensor Reading	Voltage	T _A = 25°C		144		mV
	Coefficient			453		μV/°C
SELF-TEST SIGNAL						
Signal Frequency		See the REGISTER MAPS section for settings		f _{CLK} / 2 ²¹		Hz
				f _{CLK} / 2 ²⁰		
Signal Voltage		See the REGISTER MAPS section for settings		±1		mV
				±2		
DIGITAL INPUT AND OUTPUT (DVDD = 1.8V to 3.6V)						
Logic Level, Input Voltage	V _{IH}	High	0.8 DVDD		DVDD + 0.1	V
	V _{IL}	Low	-0.1		0.2 DVDD	V
Logic Level, Output Voltage	V _{OH}	High, I _{OH} = -500μA	0.9 DVDD			V
	V _{OL}	Low, I _{OL} = +500μA			0.1 DVDD	V
Input Current	I _{IN}	0V < V _{Digital Input} < DVDD	-10		10	μA
SUPPLY CURRENT (OPERATIONAL AMPLIFIER TURNED OFF)						
Normal Mode	I _{AVDD}	AVDD - AVSS = 3V, low-speed		3.5	4	mA
		AVDD - AVSS = 5V, low-speed		5.9	6.5	mA
		AVDD - AVSS = 5V, high-speed		6.6	7	mA
	I _{DVDD}	DVDD = 3.3V, high-speed		0.55	0.7	mA
		DVDD = 1.8V, low-speed		0.2	0.3	mA

ADX3224/ADX3226/ADX3228

4、6 和 8 通道、24 位同步采样 ΔΣ ADC

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER DISSIPATION (ANALOG SUPPLY = 3V)						
Quiescent Power Dissipation		ADX3224, normal high-speed mode		6.3		mW
		ADX3224, normal low-speed mode		10.2		mW
		ADX3224, power-down mode		1.8		μW
		ADX3224, standby mode		1.1		mW
		ADX3226, normal high-speed mode		8.6		mW
		ADX3226, normal low-speed mode		14.3		mW
		ADX3226, power-down mode		1.9		μW
		ADX3226, standby mode		1.1		mW
		ADX3228, normal high-speed mode		17.6		mW
		ADX3228, normal low-speed mode		30		mW
		ADX3228, power-down mode		1.1		μW
		ADX3228, standby mode		0.7		mW
POWER DISSIPATION (ANALOG SUPPLY = 5V)						
Quiescent Power Dissipation		ADX3224, normal high-speed mode		12.2		mW
		ADX3224, normal low-speed mode		19.9		mW
		ADX3224, power-down mode		2.2		μW
		ADX3224, standby mode		1.5		mW
		ADX3226, normal high-speed mode		16.5		mW
		ADX3226, normal low-speed mode		27.5		μW
		ADX3226, standby mode		2.2		mW
		ADX3228, normal high-speed mode		1.5		mW
		ADX3228, normal low-speed mode		20		mW
		ADX3228, power-down mode		34		μW
		ADX3228, standby mode		5.4		mW

Note 1: CMRR is measured with a common-mode signal of (AVSS + 0.3V) to (AVDD – 0.3V). The values indicated are the minimum of the eight channels.

Note 2: For High speed mode with f_{MOD} = 1024kHz, the AVDD voltage should be above 4.0V.

5.6 TIMING REQUIREMENTS

Table 9 lists the timing requirements ($2.7V \leq DVDD \leq 3.6V$).

Table 9. Timing Requirements ($2.7V \leq DVDD \leq 3.6V$)

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
Master Clock Period	t_{CLK}		444		588	ns
Delay time, First SCLK Rising Edge After CS Falling Edge	t_{CSSC}		6			ns
SCLK Period	t_{SCLK}		50			ns
Pulse Duration, SCLK High or Low	$t_{SPWH, L}$		15			ns
Setup Time, DIN Valid Before SCLK Falling Edge	t_{DIST}		10			ns
Hold Time, DIN Valid After SCLK Falling Edge	t_{DIHD}		10			ns
Pulse Duration, $\overline{CS}$ High	t_{CSH}		2			t_{CLK}
Delay Time, $\overline{CS}$ Rising Edge After Final SCLK Falling Edge	t_{SCCS}		4			t_{CLK}
Command Decode Time	$t_{SDECODE}$		4			t_{CLK}
Setup Time, DAISY_IN Valid Before SCLK Falling Edge	$t_{DISCK2ST}$		10			ns
Hold Time, DAISY_IN Valid After SCLK Falling Edge	$t_{DISCK2HT}$		10			ns

Table 10 lists the timing requirements ($1.7V \leq DVDD \leq 2.7V$).

Table 10. Timing Requirements ($1.7V \leq DVDD \leq 2.7V$)

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
Master Clock Period	t_{CLK}		444		588	ns
Delay time, First SCLK Rising Edge After CS Falling Edge	t_{CSSC}		17			ns
SCLK Period	t_{SCLK}		66.6			ns
Pulse Duration, SCLK High or Low	$t_{SPWH, L}$		25			ns
Setup Time, DIN Valid Before SCLK Falling Edge	t_{DIST}		10			ns
Hold Time, DIN Valid After SCLK Falling Edge	t_{DIHD}		11			ns
Pulse Duration, $\overline{CS}$ High	t_{CSH}		2			t_{CLK}
Delay Time, $\overline{CS}$ Rising Edge After Final SCLK Falling Edge	t_{SCCS}		4			t_{CLK}
Command Decode Time	$t_{SDECODE}$		4			t_{CLK}
Setup Time, DAISY_IN Valid Before SCLK Falling Edge	$t_{DISCK2ST}$		10			ns
Hold Time, DAISY_IN Valid After SCLK Falling Edge	$t_{DISCK2HT}$		10			ns

5.7 SWITCHING CHARACTERISTICS: SERIAL INTERFACE

Table 11 lists the switching characteristics ($2.7V \leq DVDD \leq 3.6V$). Load on $D_{OUT} = 20pF \parallel 100k\Omega$, unless otherwise noted.

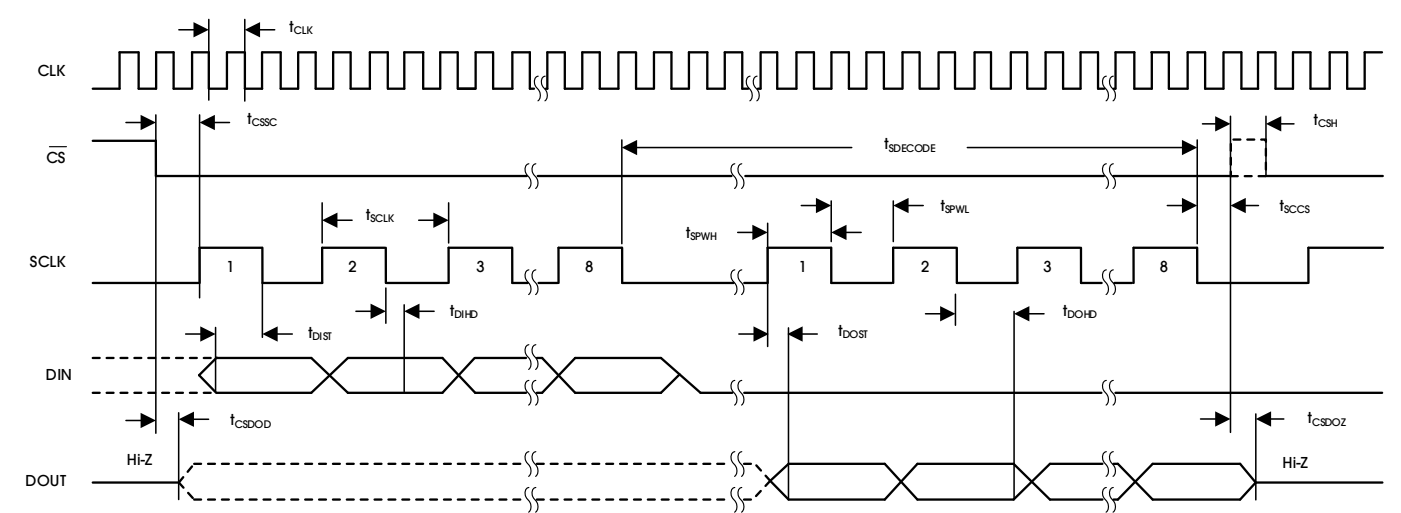
Table 11. Switching Characteristics ($2.7V \leq DVDD \leq 3.6V$)

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
Propagation Delay Time, $\overline{CS}$ Falling Edge to DOUT Driven	t_{CSDOD}		10			ns
Propagation Delay Time, SCLK Rising Edge to Valid New DOUT	t_{DOST}				17	ns
Hold Time, SCLK Falling Edge to Invalid DOUT	t_{DOHD}		10			ns
Propagation Delay Time, $\overline{CS}$ Rising Edge to DOUT High Impedance	t_{CSDOZ}				10	ns

Table 12 lists the switching characteristics ($1.7V \leq DVDD \leq 2.7V$). Load on $D_{OUT} = 20pF \parallel 100k\Omega$, unless otherwise noted.

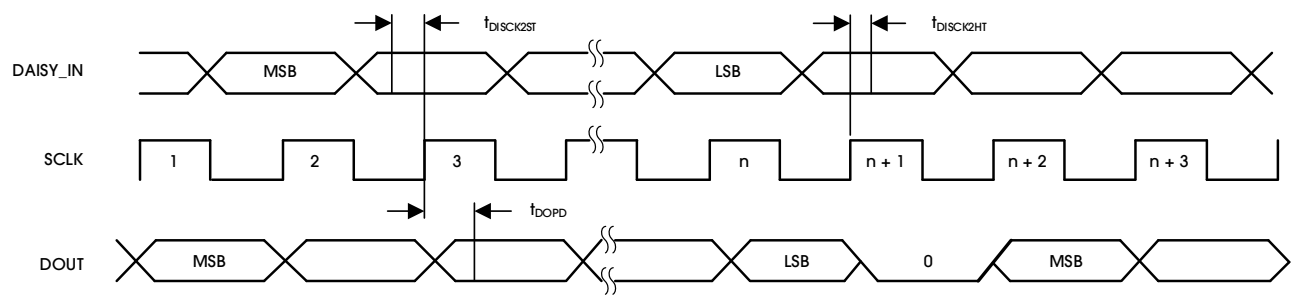
Table 12. Switching Characteristics ($1.7V \leq DVDD \leq 2.7V$)

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
Propagation Delay Time, $\overline{CS}$ Falling Edge to DOUT Driven	t_{CSDOD}		20			ns
Propagation Delay Time, SCLK Rising Edge to Valid New DOUT	t_{DOST}				32	ns
Hold Time, SCLK Falling Edge to Invalid DOUT	t_{DOHD}		10			ns
Propagation Delay Time, $\overline{CS}$ Rising Edge to DOUT High Impedance	t_{CSDOZ}				20	ns



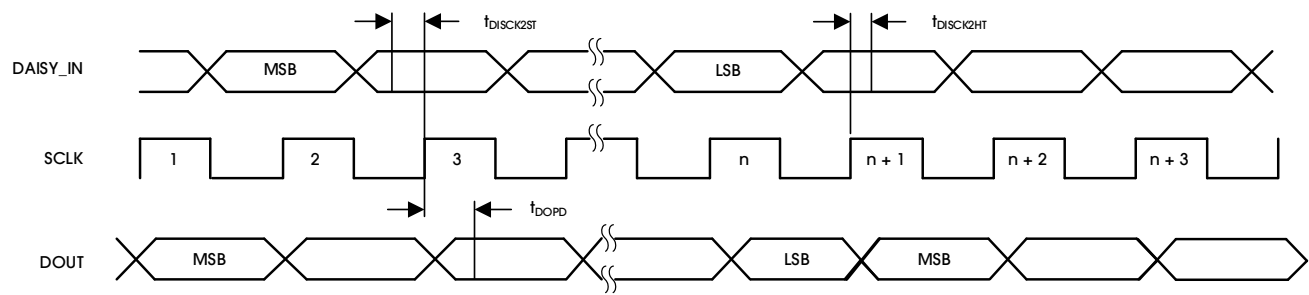
NOTE: SPI settings are CPOL = 0 and CPHA = 1.

Figure 2. Serial Interface Timing



NOTE: n = Number of channels × resolution + 24 bits. Number of channels is 8; resolution is 24-bit.

Figure 3. Daisy-Chain Interface Timing (DAISY_ONE_BIT is '1')



NOTE: n = Number of channels × resolution + 24 bits. Number of channels is 8; resolution is 24-bit.

Figure 4. Daisy-Chain Interface Timing (DAISY_ONE_BIT is '0')

6. TYPICAL CHARACTERISTICS

$T_A = 25^\circ\text{C}$, $AVDD = 3\text{V}$, $AVSS = 0\text{V}$, $DVDD = 1.8\text{V}$, internal $VREFP = 2.4\text{V}$, $VREFN = AVSS$, external clock = 2.048MHz, data rate = 8kSPS, and gain = 1, unless otherwise noted.

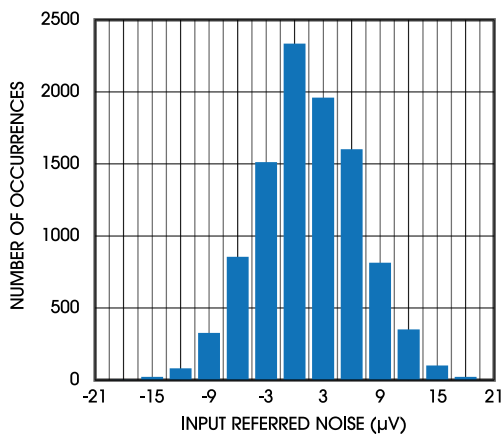


Figure 5. Noise Distribution

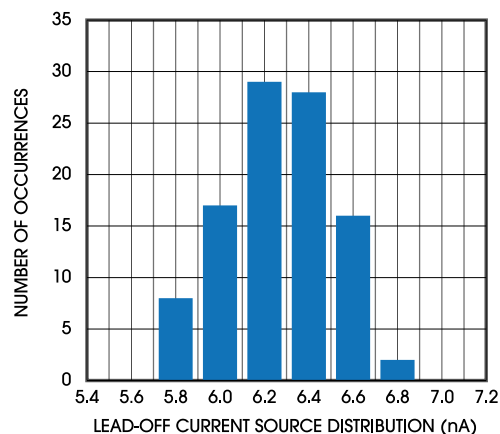


Figure 6. Lead-Off Current Source Accuracy Distribution

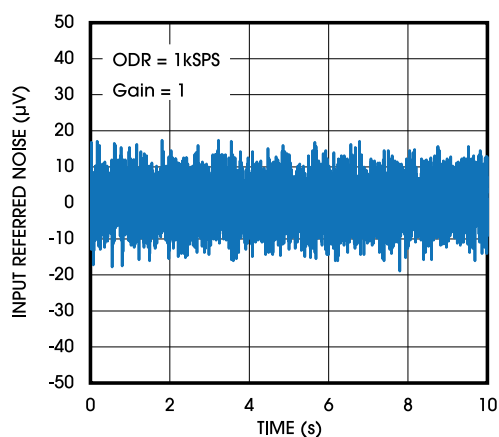


Figure 7. Input Referred Noise

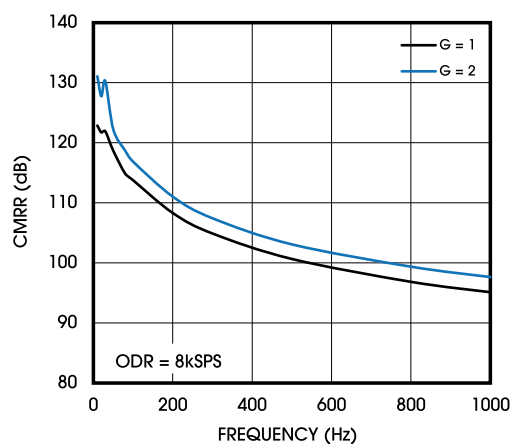


Figure 8. CMRR vs. Frequency

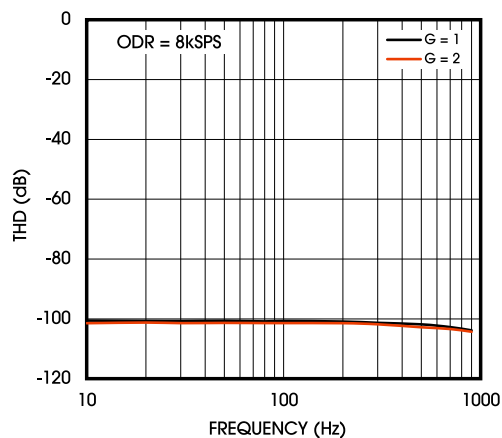


Figure 9. THD vs. Frequency

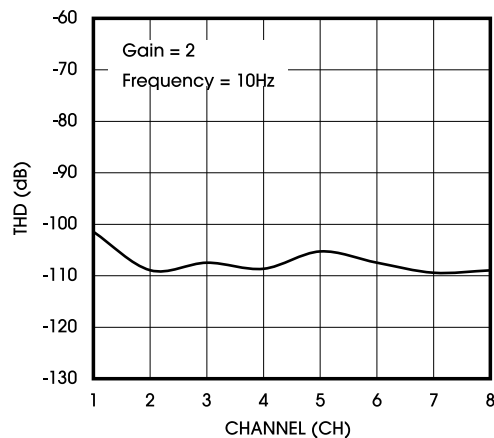


Figure 10. THD vs. Channel

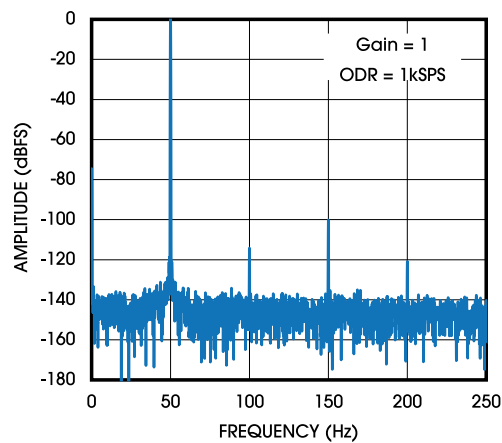


Figure 11. THD Plot (G = 1)

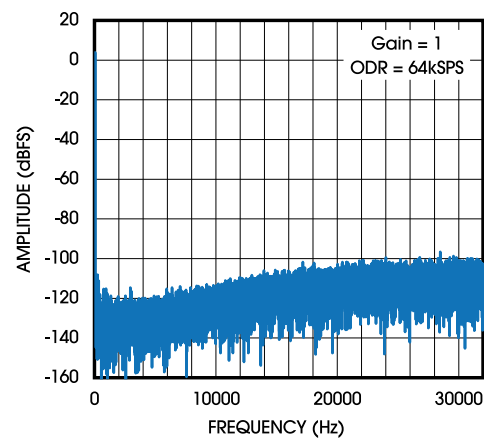


Figure 12. THD Plot (G = 6)

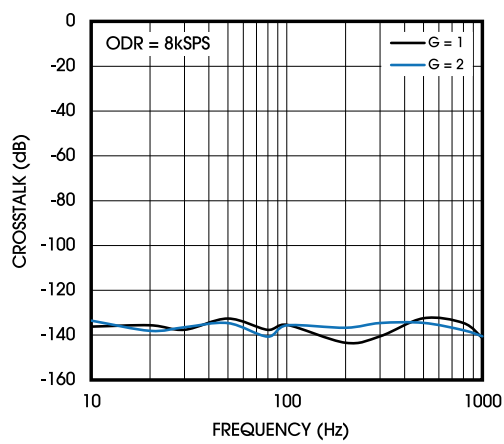


Figure 13. Crosstalk vs. Frequency

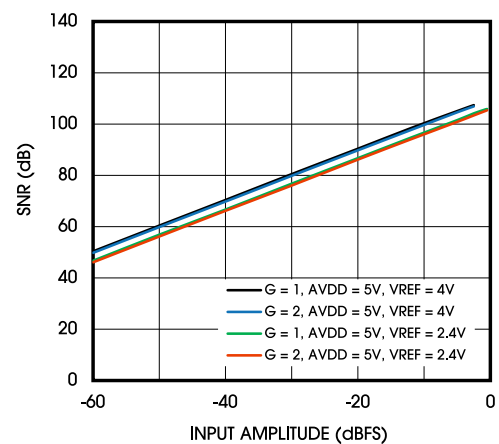


Figure 14. SNR vs. Input Amplitude

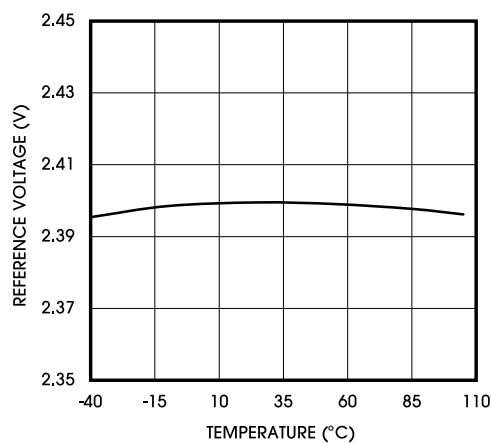


Figure 15. Internal Reference vs. Temperature

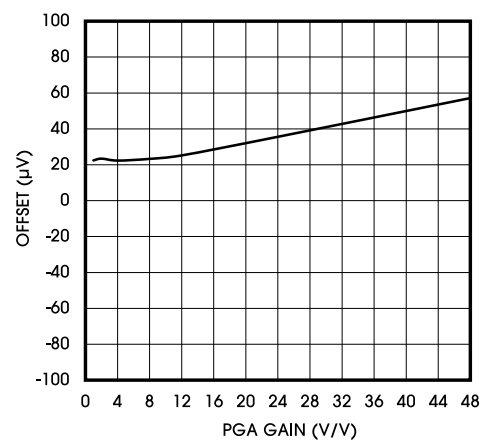


Figure 16. Offset vs. Gain

7. 参数测量信息

7.1 噪声测量

调整数据速率和 PGA 增益以优化 ADX3224/ADX3226/ADX3228 噪声性能。当通过降低数据速率来增加平均时，噪声相应地下降。增加 PGA 增益可降低输入参考噪声，这在测量低电平信号时特别有用。数据代表 $T_A = 25^{\circ}\text{C}$ 时的典型噪声性能。显示的数据是对多个设备的读数进行平均的结果，并且是在输入短接在一起的情况下测量的。至少使用 1000 个连续读数来计算每个读数的 RMS 噪声。对于两个最高数据速率，噪声受到 ADC 量化噪声的限制，并且不具有高斯分布。数据代表 ADX3224/ADX3226/ADX3228 噪声性能(以有效位数(ENOB)和动态范围表示)。ENOB 数据使用 Equation 1 计算，动态范围数据使用 Equation 2 计算。请检查 DEVICE WORK MODE 部分以了解配置。

$$\text{ENOB} = \log_2 \left| \frac{V_{\text{REF}}}{\sqrt{2} \times V_{\text{RMS_Noise}} \times \text{Gain}} \right| \tag{1}$$

$$\text{Dynamic Range} = 20 \times \log_2 \left| \frac{V_{\text{REF}}}{\sqrt{2} \times V_{\text{RMS_Noise}} \times \text{Gain}} \right| \tag{2}$$

Table 13 至 Table 17 总结了 ADX3224/ADX3226/ADX3228 噪声峰峰值性能。Table 18 至 Table 22 总结了 ADX3224/ADX3226/ADX3228 RMS 噪声性能。Table 23 至 Table 27 总结了 ADX3224/ADX3226/ADX3228 动态范围。Table 28 至 Table 32 总结了 ADX3224/ADX3226/ADX3228 ENOB。Table 33 至 Table 37 总结了 ADX3224/ADX3226/ADX3228 无噪声分辨率。

Table 13. Input-Referred Noise, Peak to Peak, 3V Analog Supply, 2.4V Reference at Low Speed Mode with $f_{\text{MOD}} = 512\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	-3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	32000	8384	2825.1	1396.9	709.8	351.4	229.9	116.3	61.8
001	16000	4192	680.1	331.3	163.9	75.4	49.1	27.2	18.9
010	8000	2096	150.9	76.3	39.0	21.4	16.7	13.6	12.6
011	4000	1048	64.2	33.3	18.6	12.3	10.5	9.2	8.5
100	2000	524	44.0	24.0	12.9	8.6	7.3	6.5	6.1
101	1000	262	30.8	16.3	9.1	6.0	5.2	4.5	4.3
110	500	131	20.7	10.9	6.1	4.1	3.6	3.0	2.9

Table 14. Input-Referred Noise, Peak to Peak, 3V Analog Supply, 2.4V Reference at High Speed Mode with $f_{\text{MOD}} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	-3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	2828.6	1423.0	708.0	347.9	234.8	118.0	63.6
001	32000	8384	683.6	336.6	164.8	78.0	52.0	31.2	22.0
010	16000	4192	158.2	79.0	40.3	23.9	20.2	17.1	15.3
011	8000	2096	67.5	35.7	21.9	15.1	13.3	11.8	11.2
100	4000	1048	45.7	24.2	14.3	10.2	9.1	7.9	7.5
101	2000	524	32.0	17.1	10.4	7.1	6.4	5.7	5.3
110	1000	262	22.5	12.1	7.1	5.0	4.4	3.9	3.7

Table 15. Input-Referred Noise, Peak to Peak, 5V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	2472.9	1234.7	629.6	317.8	211.0	107.1	56.5
001	32000	8384	586.0	294.7	146.5	72.4	45.9	27.6	19.3
010	16000	4192	142.0	70.2	35.8	22.2	18.2	14.6	13.1
011	8000	2096	69.9	36.6	20.7	14.1	12.1	10.2	9.5
100	4000	1048	45.9	24.5	14.0	9.5	7.8	7.0	6.3
101	2000	524	32.0	17.2	9.8	6.5	5.7	4.9	4.5
110	1000	262	22.5	11.7	7.0	4.6	4.0	3.4	3.2

Table 16. Input-Referred Noise Peak to Peak, 5V Analog Supply, 4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	4702.8	2342.7	1185.9	582.8	387.5	194.7	101.8
001	32000	8384	1203.3	607.5	295.0	138.1	85.7	44.1	25.1
010	16000	4192	246.3	123.6	57.4	28.8	20.5	15.6	13.3
011	8000	2096	76.9	41.1	22.2	14.2	12.3	10.3	9.6
100	4000	1048	50.0	25.7	14.9	9.6	8.1	6.9	6.5
101	2000	524	34.3	18.0	10.6	6.9	5.7	5.0	4.6
110	1000	262	23.9	12.4	7.2	4.7	4.1	3.5	3.3

Table 17. Input-Referred Noise Peak to Peak, 5V Analog Supply, 4.5V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	5277.5	2671.5	1316.1	658.9	432.7	221.0	114.3
001	32000	8384	1451.8	712.8	349.9	164.3	103.5	47.7	28.1
010	16000	4192	295.4	140.4	68.1	33.0	22.5	15.8	13.5
011	8000	2096	80.4	42.1	23.0	14.6	12.5	10.5	9.5
100	4000	1048	53.2	26.6	15.0	9.8	8.4	7.0	6.6
101	2000	524	35.7	18.8	10.5	7.0	5.9	5.0	4.6
110	1000	262	25.7	13.1	7.5	4.8	4.2	3.5	3.2

Table 18. Input-Referred RMS Noise, 3V Analog Supply, 2.4V Reference at Low Speed
 Mode with $f_{MOD} = 512\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	32000	8384	239.4	118.6	59.9	29.8	20.1	10.2	5.5
001	16000	4192	48.4	24.4	12.4	6.5	4.6	2.9	2.2
010	8000	2096	13.6	7.0	3.8	2.4	2.0	1.7	1.5
011	4000	1048	8.1	4.3	2.4	1.6	1.4	1.2	1.1
100	2000	524	5.7	3.0	1.7	1.1	1.0	0.8	0.8
101	1000	262	4.0	2.1	1.2	0.8	0.7	0.6	0.6
110	500	131	2.8	1.5	0.8	0.6	0.5	0.4	0.4

Table 19. Input-Referred RMS Noise, 3V Analog Supply, 2.4V Reference at High Speed
 Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	238.2	118.9	59.2	30.0	20.2	10.4	5.6
001	32000	8384	48.5	24.5	12.6	6.8	5.0	3.3	2.5
010	16000	4192	13.8	7.3	4.2	2.8	2.4	2.0	1.9
011	8000	2096	8.4	4.5	2.7	1.9	1.6	1.5	1.4
100	4000	1048	5.9	3.2	1.9	1.3	1.2	1.0	1.0
101	2000	524	4.2	2.2	1.3	0.9	0.8	0.7	0.7
110	1000	262	2.9	1.6	0.9	0.7	0.6	0.5	0.5

Table 20. Input-Referred RMS Noise, 5V Analog Supply, 2.4V Reference at High Speed
 Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	209.0	104.2	52.6	26.6	18.0	9.3	5.0
001	32000	8384	46.2	23.3	11.9	6.4	4.6	3.0	2.2
010	16000	4192	13.7	7.2	4.0	2.6	2.1	1.8	1.6
011	8000	2096	8.4	4.5	2.6	1.7	1.5	1.3	1.2
100	4000	1048	5.9	3.1	1.8	1.2	1.0	0.9	0.8
101	2000	524	4.2	2.2	1.3	0.9	0.7	0.6	0.6
110	1000	262	3.0	1.6	0.9	0.6	0.5	0.4	0.4

Table 21. Input-Referred RMS Noise, 5V Analog Supply, 4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	394.3	196.7	98.6	49.4	33.0	16.6	8.5
001	32000	8384	77.2	39.0	19.7	10.1	7.0	3.9	2.6
010	16000	4192	17.5	9.0	4.9	2.9	2.3	1.8	1.6
011	8000	2096	9.1	4.8	2.7	1.8	1.5	1.3	1.2
100	4000	1048	6.3	3.3	1.9	1.3	1.1	0.9	0.8
101	2000	524	4.4	2.4	1.3	0.9	0.8	0.6	0.6
110	1000	262	3.2	1.7	1.0	0.6	0.5	0.5	0.4

Table 22. Input-Referred RMS Noise, 5V Analog Supply, 4.5V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	446.6	223.4	111.5	56.0	37.4	18.8	9.6
001	32000	8384	88.0	44.4	22.4	11.4	7.8	4.3	2.7
010	16000	4192	18.8	9.7	5.2	3.0	2.4	1.9	1.6
011	8000	2096	9.4	5.0	2.8	1.8	1.5	1.3	1.2
100	4000	1048	6.5	3.4	1.9	1.3	1.1	0.9	0.8
101	2000	524	4.6	2.4	1.4	0.9	0.8	0.6	0.6
110	1000	262	3.2	1.7	1.0	0.6	0.5	0.5	0.4

Table 23. Dynamic Range, 3V Analog Supply, 2.4V Reference at Low Speed Mode with $f_{MOD} = 512\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	32000	8384	77.0	77.1	77.0	77.1	76.9	76.8	76.2
001	16000	4192	90.9	90.8	90.7	90.3	89.7	87.6	84.1
010	8000	2096	102.0	101.7	100.9	98.9	96.9	92.4	87.2
011	4000	1048	106.4	106.0	105.0	102.6	100.3	95.5	90.0
100	2000	524	109.5	109.1	108.0	105.6	103.4	98.5	92.9
101	1000	262	112.5	112.1	111.0	108.6	106.4	101.5	95.9
110	500	131	115.6	115.1	114.0	111.5	109.3	104.6	99.0

Table 24. Dynamic Range, 3V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	77.1	77.1	77.1	77.0	76.9	76.7	76.0
001	32000	8384	90.9	90.8	90.6	89.9	89.1	86.7	82.9
010	16000	4192	101.8	101.3	100.1	97.7	95.5	90.8	85.6
011	8000	2096	106.1	105.4	104.0	101.1	98.7	93.7	88.2
100	4000	1048	109.2	108.5	107.0	104.1	101.7	96.7	91.2
101	2000	524	112.2	111.6	110.0	107.1	104.7	99.7	94.1
110	1000	262	115.2	114.5	113.1	110.1	107.7	102.7	97.2

Table 25. Dynamic Range, 5V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	78.2	78.2	78.1	78.0	77.9	77.6	77.0
001	32000	8384	91.3	91.2	91.0	90.4	89.7	87.5	84.1
010	16000	4192	101.8	101.4	100.5	98.4	96.4	92.1	87.0
011	8000	2096	106.1	105.6	104.3	101.8	99.6	95.0	89.6
100	4000	1048	109.2	108.6	107.3	104.8	102.7	98.0	92.6
101	2000	524	112.2	111.6	110.4	107.8	105.7	101.0	95.5
110	1000	262	115.2	114.6	113.4	110.8	108.6	104.0	98.5

Table 26. Dynamic Range, 5V Analog Supply, 4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	77.1	77.1	77.1	77.1	77.1	77.0	76.8
001	32000	8384	91.3	91.2	91.1	90.9	90.6	89.5	87.2
010	16000	4192	104.2	103.9	103.3	101.7	100.1	96.2	91.3
011	8000	2096	109.8	109.3	108.2	105.9	103.8	99.3	94.0
100	4000	1048	113.1	112.6	111.4	109.0	106.9	102.3	96.9
101	2000	524	116.1	115.6	114.4	112.0	109.9	105.3	99.9
110	1000	262	119.0	118.6	117.4	115.0	112.9	108.3	102.9

Table 27. Dynamic Range, 5V Analog Supply, 4.5V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	77.1	77.1	77.1	77.0	77.0	77.0	76.8
001	32000	8384	91.2	91.1	91.0	90.9	90.7	89.8	87.8
010	16000	4192	104.5	104.3	103.7	102.3	100.8	97.1	92.3
011	8000	2096	110.6	110.1	109.0	106.8	104.8	100.2	94.9
100	4000	1048	113.8	113.4	112.2	109.9	107.8	103.3	97.9
101	2000	524	116.8	116.3	115.2	112.9	110.8	106.3	100.9
110	1000	262	119.8	119.3	118.2	115.9	113.8	109.3	103.9

Table 28. ENOB, 3V Analog Supply, 2.4V Reference at Low Speed Mode with $f_{MOD} = 512\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	32000	8384	12.8	12.8	12.8	12.8	12.8	12.8	12.7
001	16000	4192	15.1	15.1	15.1	15.0	14.9	14.6	14.0
010	8000	2096	16.9	16.9	16.8	16.4	16.1	15.4	14.5
011	4000	1048	17.7	17.6	17.4	17.0	16.7	15.9	14.9
100	2000	524	18.2	18.1	17.9	17.5	17.2	16.4	15.4
101	1000	262	18.7	18.6	18.4	18.0	17.7	16.9	15.9
110	500	131	19.2	19.1	18.9	18.5	18.2	17.4	16.4

Table 29. ENOB, 3V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	12.8	12.8	12.8	12.8	12.8	12.7	12.6
001	32000	8384	15.1	15.1	15.0	14.9	14.8	14.4	13.8
010	16000	4192	16.9	16.8	16.6	16.2	15.9	15.1	14.2
011	8000	2096	17.6	17.5	17.3	16.8	16.4	15.6	14.7
100	4000	1048	18.1	18.0	17.8	17.3	16.9	16.1	15.1
101	2000	524	18.6	18.5	18.3	17.8	17.4	16.6	15.6
110	1000	262	19.1	19.0	18.8	18.3	17.9	17.1	16.1

Table 30. ENOB, 5V Analog Supply, 2.4V Reference at High Speed Mode with $f_{\text{MOD}} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	13.0	13.0	13.0	13.0	12.9	12.9	12.8
001	32000	8384	15.2	15.2	15.1	15.0	14.9	14.5	14.0
010	16000	4192	16.9	16.8	16.7	16.3	16.0	15.3	14.5
011	8000	2096	17.6	17.5	17.3	16.9	16.5	15.8	14.9
100	4000	1048	18.1	18.0	17.8	17.4	17.1	16.3	15.4
101	2000	524	18.6	18.5	18.3	17.9	17.6	16.8	15.9
110	1000	262	19.1	19.0	18.8	18.4	18.0	17.3	16.4

 Table 31. ENOB, 5V Analog Supply, 4V Reference at High Speed Mode with $f_{\text{MOD}} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	12.8	12.8	12.8	12.8	12.8	12.8	12.8
001	32000	8384	15.2	15.1	15.1	15.1	15.0	14.9	14.5
010	16000	4192	17.3	17.3	17.1	16.9	16.6	16.0	15.2
011	8000	2096	18.2	18.2	18.0	17.6	17.2	16.5	15.6
100	4000	1048	18.8	18.7	18.5	18.1	17.8	17.0	16.1
01	2000	524	19.3	19.2	19.0	18.6	18.3	17.5	16.6
110	1000	262	19.8	19.7	19.5	19.1	18.7	18.0	17.1

 Table 32. ENOB, 5V Analog Supply, 4.5V Reference at High Speed Mode with $f_{\text{MOD}} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	12.8	12.8	12.8	12.8	12.8	12.8	12.8
001	32000	8384	15.1	15.1	15.1	15.5	15.1	14.9	14.6
010	16000	4192	17.4	17.3	17.2	17.4	16.7	16.1	15.3
011	8000	2096	18.4	18.3	18.1	18.2	17.4	16.6	15.8
100	4000	1048	18.9	18.8	18.6	18.7	17.9	17.2	16.3
01	2000	524	19.4	19.3	19.1	19.2	18.4	17.6	16.8
110	1000	262	19.9	19.8	19.6	19.7	18.9	18.1	17.2

Table 33. Noise-Free Resolution, 3V Analog Supply, 2.4V Reference at Low Speed Mode with $f_{MOD} = 512\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	32000	8384	10.7	10.7	10.7	10.7	10.8	10.7	10.7
001	16000	4192	12.8	12.8	12.8	13.0	13.0	12.8	12.4
010	8000	2096	15.0	14.9	14.9	14.8	14.5	13.8	13.0
011	4000	1048	16.2	16.1	16.0	15.6	15.2	14.4	13.5
100	2000	524	16.7	16.6	16.5	16.1	15.7	14.9	14.0
101	1000	262	17.2	17.2	17.0	16.6	16.2	15.4	14.5
110	500	131	17.8	17.7	17.6	17.2	16.8	16.0	15.1

Table 34. Noise-Free Resolution, 3V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	10.7	10.7	10.7	10.8	10.7	10.7	10.6
001	32000	8384	12.8	12.8	12.8	12.9	12.9	12.6	12.1
010	16000	4192	14.9	14.9	14.9	14.6	14.3	13.5	12.7
011	8000	2096	16.1	16.0	15.7	15.3	14.9	14.0	13.1
100	4000	1048	16.7	16.6	16.4	15.8	15.4	14.6	13.7
101	2000	524	17.2	17.1	16.8	16.4	15.9	15.1	14.2
110	1000	262	17.7	17.6	17.4	16.9	16.5	15.7	14.7

Table 35. Noise-Free Resolution, 5V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	10.9	10.9	10.9	10.9	10.9	10.9	10.8
001	32000	8384	13.0	13.0	13.0	13.0	13.1	12.8	12.3
010	16000	4192	15.0	15.1	15.0	14.7	14.4	13.7	12.9
011	8000	2096	16.1	16.0	15.8	15.4	15.0	14.3	13.4
100	4000	1048	16.7	16.6	16.4	15.9	15.6	14.8	13.9
101	2000	524	17.2	17.1	16.9	16.5	16.1	15.3	14.4
110	1000	262	17.7	17.6	17.4	17.0	16.6	15.9	14.9

Table 36. Noise-Free Resolution, 5V Analog Supply, 4V Reference at High Speed Mode
with $f_{MOD} = 1024kHz$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	10.7	10.7	10.7	10.7	10.7	10.7	10.7
001	32000	8384	12.7	12.7	12.7	12.8	12.9	12.9	12.7
010	16000	4192	15.0	15.0	15.1	15.1	15.0	14.4	13.6
011	8000	2096	16.7	16.6	16.5	16.1	15.7	15.0	14.1
100	4000	1048	17.3	17.2	17.0	16.7	16.3	15.6	14.6
101	2000	524	17.8	17.8	17.5	17.1	16.8	16.0	15.1
110	1000	262	18.4	18.3	18.1	17.7	17.3	16.6	15.6

Table 37. Noise-Free Resolution, 5V Analog Supply, 4.5V Reference at High Speed Mode
with $f_{MOD} = 1024kHz$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	10.7	10.7	10.7	10.7	10.8	10.7	10.7
001	32000	8384	12.6	12.6	12.7	12.7	12.8	12.9	12.7
010	16000	4192	14.9	15.0	15.0	15.1	15.0	14.5	13.8
011	8000	2096	16.8	16.7	16.6	16.2	15.9	15.1	14.3
100	4000	1048	17.4	17.4	17.2	16.8	16.5	15.7	14.8
101	2000	524	17.9	17.9	17.7	17.3	17.0	16.2	15.3
110	1000	262	18.4	18.4	18.2	17.8	17.4	16.7	15.8

Table 38 至 Table 47 展示了使用内部基准并使能 Low Noise (LOW_NOISE register = 86h) 了进行测量的结果。这些数据还代表使用低噪声外部基准时的 ADX3224/ADX3226/ADX3228 噪声性能。

Table 38. Input-Referred Noise, Peak to Peak, 3V Analog Supply, 2.4V Reference at Low Speed Mode with $f_{MOD} = 512\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	-3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	32000	8384	3010.0	1478.8	731.6	353.6	240.7	121.6	64.6
001	16000	4192	781.3	380.2	188.3	85.0	54.9	29.5	19.5
010	8000	2096	178.8	86.7	43.4	22.5	17.1	14.0	12.2
011	4000	1048	60.2	31.6	17.7	12.0	10.3	9.3	8.4
100	2000	524	41.0	22.2	12.6	8.6	7.2	6.4	6.0
101	1000	262	29.1	15.5	8.6	5.9	5.2	4.5	4.2
110	500	131	19.6	10.3	5.9	4.0	3.6	3.0	3.0

Table 39. Input-Referred Noise, Peak to Peak, 3V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	-3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	2849.6	1423.0	714.1	358.4	241.0	124.0	65.9
001	32000	8384	781.3	378.4	186.6	89.8	59.6	33.3	22.2
010	16000	4192	172.2	87.2	44.3	25.2	20.2	16.7	15.4
011	8000	2096	64.8	35.2	21.1	15.1	12.7	11.8	11.1
100	4000	1048	43.3	23.5	13.9	10.0	8.7	8.0	7.5
101	2000	524	30.5	16.3	10.1	7.1	6.4	5.7	5.3
110	1000	262	20.9	11.8	7.0	4.9	4.4	4.0	3.7

Table 40. Input-Referred Noise, Peak to Peak, 5V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	-3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	2322.9	1163.2	603.4	303.9	204.6	102.7	53.0
001	32000	8384	627.8	317.4	153.5	74.1	52.3	28.3	18.9
010	16000	4192	147.4	74.3	38.3	22.5	17.8	14.6	13.3
011	8000	2096	62.3	33.5	19.9	13.7	11.7	10.3	9.4
100	4000	1048	41.7	22.3	13.5	9.1	8.0	6.8	6.5
101	2000	524	29.6	15.9	9.5	6.3	5.7	4.7	4.6
110	1000	262	20.5	11.1	6.8	4.6	3.8	3.4	3.2

Table 41. Input-Referred Noise Peak to Peak, 5V Analog Supply, 4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	4673.7	2331.0	1172.8	586.4	390.4	199.6	102.5
001	32000	8384	1302.1	630.7	312.5	150.4	98.3	48.2	26.9
010	16000	4192	263.0	133.7	65.5	32.1	22.4	15.5	13.3
011	8000	2096	68.0	36.1	20.7	13.7	12.1	10.3	9.5
100	4000	1048	41.6	22.0	13.3	9.3	7.9	7.0	6.3
101	2000	524	29.9	16.1	9.5	6.5	5.5	5.0	4.5
110	1000	262	20.2	11.0	6.5	4.5	3.9	3.4	3.2

 Table 42. Input-Referred Noise Peak to Peak, 5V Analog Supply, 4.5V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	5277.5	2655.1	1312.8	649.9	433.3	221.8	115.1
001	32000	8384	1464.9	748.8	358.0	179.0	113.4	55.3	30.4
010	16000	4192	311.3	155.5	73.7	36.1	25.1	16.0	13.4
011	8000	2096	73.9	37.5	21.1	13.8	11.9	10.4	9.4
100	4000	1048	41.1	22.5	13.4	9.1	8.0	6.8	6.5
101	2000	524	28.8	15.9	9.2	6.5	5.6	5.0	4.6
110	1000	262	20.8	11.1	6.6	4.5	3.9	3.4	3.2

 Table 43. Input-Referred RMS Noise, 3V Analog Supply, 2.4V Reference at Low Speed Mode with $f_{MOD} = 512\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	32000	8384	237.3	118.8	59.3	29.9	20.0	10.3	5.4
001	16000	4192	47.5	23.8	12.2	6.4	4.6	2.9	2.2
010	8000	2096	13.0	6.8	3.7	2.4	2.0	1.7	1.5
011	4000	1048	7.7	4.1	2.3	1.6	1.3	1.2	1.1
100	2000	524	5.4	2.8	1.6	1.1	0.9	0.8	0.8
101	1000	262	3.8	2.0	1.1	0.8	0.7	0.6	0.6
110	500	131	2.7	1.4	0.8	0.5	0.5	0.4	0.4

Table 44. Input-Referred RMS Noise, 3V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	235.7	118.2	59.5	29.9	20.1	10.4	5.6
001	32000	8384	47.6	24.0	12.4	6.7	4.9	3.3	2.5
010	16000	4192	13.3	7.1	4.1	2.7	2.3	2.0	1.8
011	8000	2096	8.0	4.3	2.6	1.8	1.6	1.4	1.4
100	4000	1048	5.6	3.1	1.8	1.3	1.2	1.0	1.0
101	2000	524	4.0	2.2	1.3	0.9	0.8	0.7	0.7
110	1000	262	2.8	1.5	0.9	0.7	0.6	0.5	0.5

Table 45. Input-Referred RMS Noise, 5V Analog Supply, 2.4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	204.4	102.7	51.5	26.1	17.6	9.1	4.9
001	32000	8384	44.1	22.3	11.5	6.2	4.5	2.9	2.2
010	16000	4192	12.9	6.9	3.9	2.5	2.1	1.7	1.6
011	8000	2096	7.8	4.2	2.5	1.7	1.5	1.3	1.2
100	4000	1048	5.4	2.9	1.7	1.2	1.0	0.9	0.8
101	2000	524	3.8	2.1	1.2	0.8	0.7	0.6	0.6
110	1000	262	2.7	1.5	0.9	0.6	0.5	0.4	0.4

Table 46. Input-Referred RMS Noise, 5V Analog Supply, 4V Reference at High Speed Mode with $f_{MOD} = 1024\text{kHz}$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	–3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	392.4	195.5	98.4	49.2	33.0	16.7	8.5
001	32000	8384	76.9	38.8	19.6	10.1	6.9	3.9	2.5
010	16000	4192	16.3	8.4	4.6	2.8	2.3	1.8	1.6
011	8000	2096	7.9	4.3	2.5	1.7	1.5	1.3	1.2
100	4000	1048	5.4	2.9	1.7	1.2	1.0	0.9	0.8
101	2000	524	3.8	2.1	1.2	0.8	0.7	0.6	0.6
110	1000	262	2.7	1.5	0.9	0.6	0.5	0.4	0.4

Table 47. Input-Referred RMS Noise, 5V Analog Supply, 4.5V Reference at High Speed
Mode with $f_{MOD} = 1024kHz$

DR BITS CONFIG1	OUTPUT DATA RATE (SPS)	−3dB BANDWIDTH (Hz)	PGA GAIN						
			1	2	4	8	12	24	48
000	64000	16768	445.2	223.3	111.8	55.9	37.4	18.8	9.6
001	32000	8384	87.1	43.7	22.0	11.2	7.7	4.2	2.7
010	16000	4192	17.5	9.0	4.9	2.9	2.3	1.8	1.6
011	8000	2096	8.0	4.3	2.5	1.7	1.5	1.3	1.2
100	4000	1048	5.4	2.9	1.7	1.2	1.0	0.9	0.8
101	2000	524	3.8	2.1	1.2	0.8	0.7	0.6	0.6
110	1000	262	2.7	1.5	0.9	0.6	0.5	0.4	0.4

8. 详细说明

8.1 概述

ADX3224/ADX3226/ADX3228 系列是低功耗、多通道、同时采样、24 位、 $\Delta\Sigma$ 模数转换器(ADC)，带有集成可编程增益放大器(PGA)。跨可扩展数据速率的模拟设备性能使该设备非常适合智能电网和其他工业电力监控、控制和保护应用。

ADX3224/ADX3226/ADX3228 器件具有可编程多路复用器，可进行各种内部监控信号测量，包括用于器件噪声测试的温度、电源和输入短路。PGA 增益可以从五种设置之一中进行选择：1、2、4、8、12、24、48。器件中的 ADC 提供的数据速率为 500、1、2、4、8、16、32 和 64kSPS。这些器件使用串行外设接口(SPI)兼容接口进行通信，并提供四个通用 I/O (GPIO)引脚供一般用途。使用多个设备可以轻松地将通道添加到系统中，并将它们与 START 引脚同步。

将内部参考电压设置为 2.4V 或 4V。内部振荡器产生 2.048MHz 时钟。使用具有可编程触发点的集成比较器进行输入超范围或欠范围检测。

8.2 功能模块框图

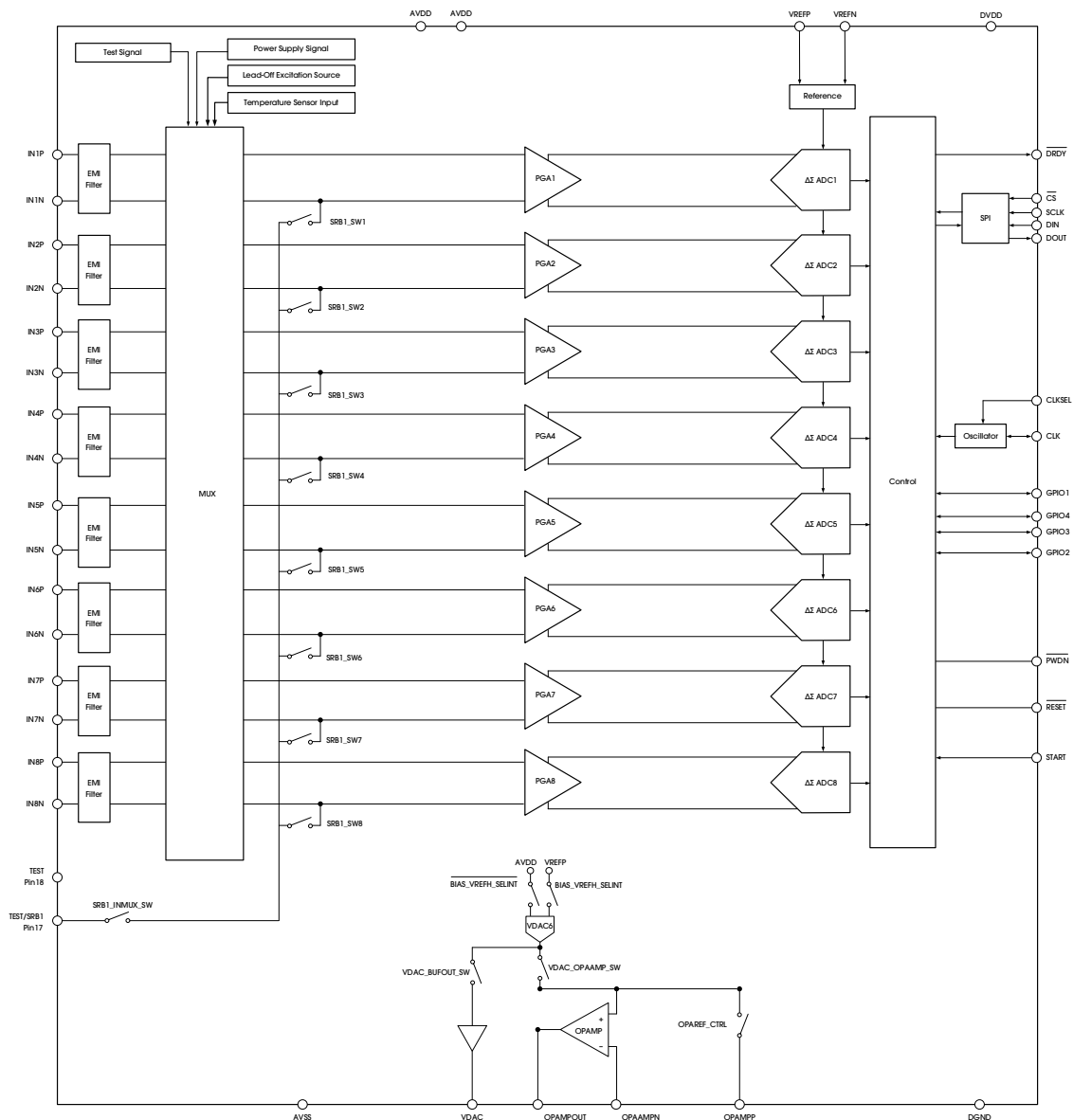


Figure 17. Functional Block Diagram

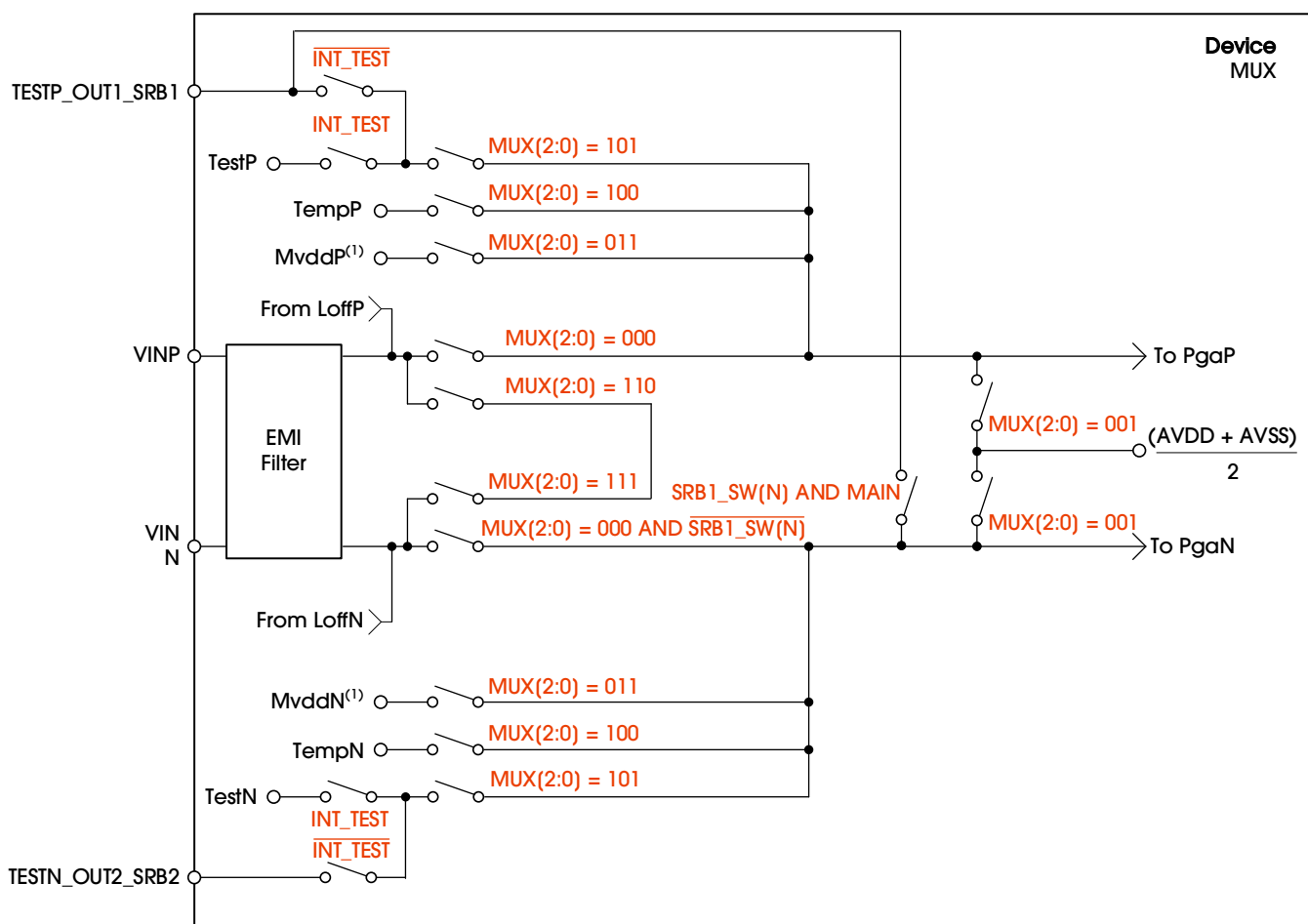
8.3 特性描述

8.3.1 电磁干扰(EMI)滤波器

输入端的 RC 滤波器用作所有通道的 EMI 滤波器。-6dB 滤波器带宽大约为 3MHz。

8.3.2 输入多路复用器

ADX3224/ADX3226/ADX3228 输入多路复用器非常灵活，并提供许多可配置的信号切换选项。Figure 18 显示了器件单个通道上的多路复用器图。INxP 和 INxN 对于四个、六个或八个块中的每一个都是独立的(取决于器件)。这种灵活性允许进行重要的设备和子系统诊断、校准和配置。通过将适当的值写入 CHnSET 寄存器来选择每个通道的开关设置(有关详细信息，请参阅 CHNSET REGISTERS)。每个多路复用器的输出连接到各个通道 PGA。



(1) MVDD monitor voltage supply depends on channel number; see the Supply Measurements (MVDDP, MVDDN) section.

(2) MAIN is equal to either MUX(2:0) = 000, MUX(2:0) = 110, or MUX(2:0) = 111

Figure 18. Input Multiplexer Block for One Channel

MVDD 监控电压供应取决于通道数；请参见 POWER-SUPPLY MEASUREMENTS (MVDDP, MVDDN) 部分。

8.3.2.1 设备噪声测量

设置 CHnSET(2:0) = 001 将 $((V_{VREFP} + V_{VREFN}) / 2)$ 的共模电压设置为两个通道输入。使用此设置可以测试用户系统中固有的设备噪声。

8.3.2.2 测试信号(TESTP 和 TESTN)

设置 CHnSET(2:0) = 101 可提供内部生成的测试信号，用于上电时的子系统验证。测试信号通过寄存器设置进行控制(有关详细信息，请参阅 [CONFIG2: CONFIGURATION REGISTER 2](#) 部分)。TEST_AMP 控制信号幅度，TEST_FREQ 控制测试信号的开关频率。测试信号被复用并通过 TESTP 和 TESTN 引脚从器件中传输出去。INT_TEST 寄存器位(在 [CONFIG2: CONFIGURATION REGISTER 2](#) 部分)禁用内部测试信号，以便可以从外部驱动测试信号。此功能允许使用相同信号测试或校准多个设备。

8.3.2.3 温度传感器(TEMPP, TEMPN)

设置 CHnSET(2:0) = 100 设置温度传感器的通道输入。该传感器使用两个内部二极管，其中一个二极管的电流密度是另一个二极管的 16 倍，如 [Figure 19](#) 所示。二极管电流密度的差异会产生与绝对温度成正比的电压差。

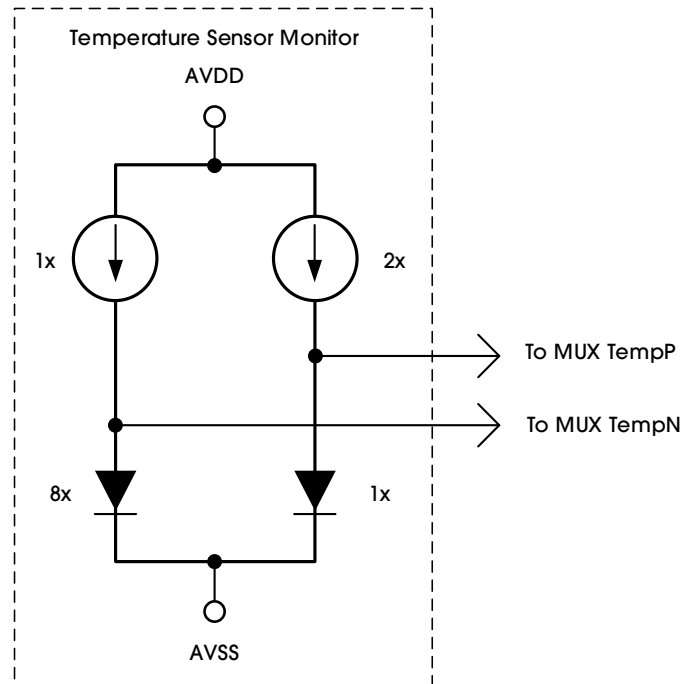


Figure 19. Temperature Sensor Implementation

由于封装对 PCB 的热阻较低，内部器件温度与 PCB 温度密切相关。ADX3224/ADX3226/ADX3228 的自热导致读数高于周围 PCB 的温度。进行温度测量时，建议将通道增益设置为 1。

[Equation 3](#) 的比例因子将温度读数转换为摄氏度。在使用该方程之前，必须首先将温度读数代码缩放至 μV 。

$$\text{Temperature } (^{\circ}\text{C}) = \left[\frac{\text{Temperature Reading } (\mu\text{V}) - 145,300\mu\text{V}}{490\mu\text{V}/^{\circ}\text{C}} \right] + 25^{\circ}\text{C} \quad (3)$$

8.3.2.4 电源测量(MVDDP, MVDDN)

设置 CHnSET(2:0) = 011 将通道输入设置为不同的器件电源电压。

对于通道 1、2、5、6、7 和 8，(MVDDP - MVDDN)为 $(0.5 \times (\text{AVDD} - \text{AVSS}))$ ；

对于通道 3、4，(MVDDP - MVDDN) = DVDD/4。

将增益设置为 1 以避免测量电源时 PGA 饱和。

8.3.3 数字输入

该器件的模拟输入直接连接到集成的低噪声、低漂移、高输入阻抗、可编程增益放大器。放大器位于各个通道多路复用器之后。

ADX3224/ADX3226/ADX3228 模拟输入是全差分的。差分输入电压($V_{INxP} - V_{INxN}$)的范围可以从 $-V_{REF} / \text{增益}$ 到 $V_{REF} / \text{增益}$ 。有关模拟输入和数字代码之间相关性的说明, 请参阅 [DATA FORMAT](#) 部分。驱动 ADX3224/ADX3226/ADX3228 模拟输入的通用方法有两种: 伪差分或全差分, 如 [Figure 20](#)、[Figure 21](#) 和 [Figure 22](#) 所示。

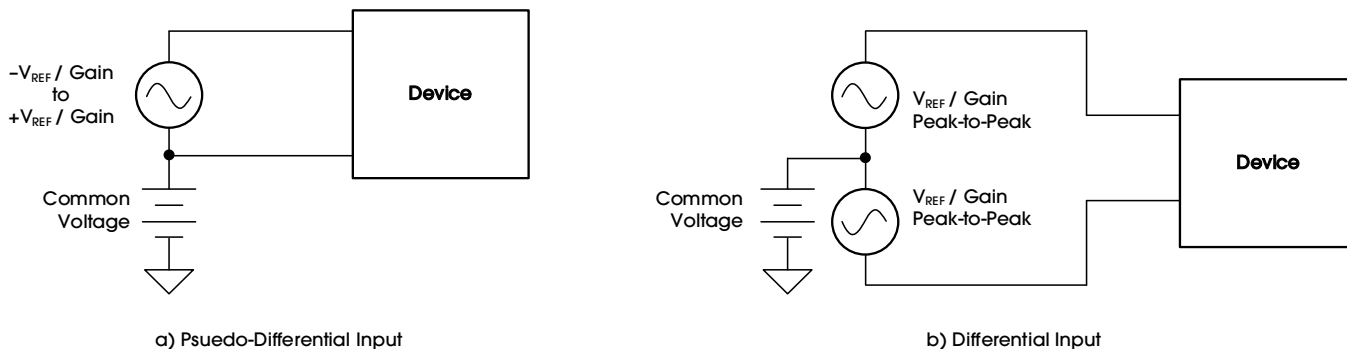


Figure 20. Methods of Driving the ADX3224/ADX3226/ADX3228: Pseudo-Differential or Fully-Differential

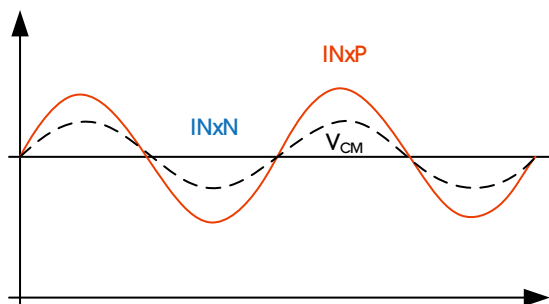


Figure 21. Pseudo-Differential Input Mode

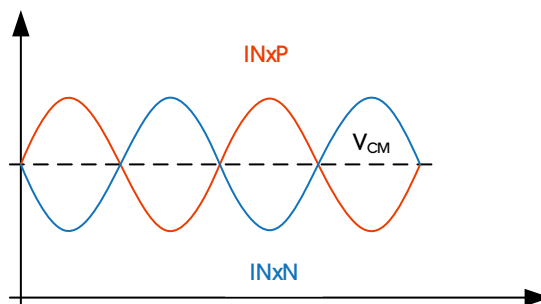


Figure 22. Fully-Differential Input Mode

将 $INxN$ 引脚保持在公共电压(最好是中间电源), 以配置伪差分信号的全差分输入。将 $INxP$ 引脚围绕公共电压 $-V_{REF} / \text{增益}$ 摆动至 $V_{REF} / \text{增益}$, 并保持在绝对最大规格内。验证最小和最大点处的差分信号是否满足 [INPUT COMMON-MODE RANGE](#) 部分中讨论的共模输入规范。

将 $INxP$ 和 $INxN$ 处的信号配置为以共模电压 V_{CM} 为中心的 180° 异相, 以使用全差分输入方法。 $INxP$ 和 $INxN$ 输入均从 $V_{CM} + 1/2 V_{REF} / \text{增益}$ 摆幅至 $V_{CM} - 1/2 V_{REF} / \text{增益}$ 。最大点和最小点的差分电压等于 $-V_{REF} / \text{增益}$ 至 $V_{REF} / \text{增益}$ 。在差分配置中使用 ADX3224/ADX3226/ADX3228 可最大限度地提高数据转换器的动态范围。为了获得最佳性能, 建议将共模电压设置为模拟电源的中点 $((AVDD + AVSS) / 2)$ 。

如果未使用任何模拟输入通道, 则使用寄存器位关闭这些引脚的电源以节省电量。有关如何关闭各个通道电源的更多信息, 请参阅 [SPI COMMAND DEFINITIONS](#) 部分。将任何未使用或断电的模拟输入引脚直接连接到 $AVDD$ 。

8.3.4 PGA 设置和输入范围

每个通道在其多路复用器后面都有自己的可配置可编程增益放大器(PGA)。PGA 的设计使用差分配置中的两个运算放大器，如 Figure 23 所示。使用每个单独通道的 CHnSET 寄存器将增益设置为五种设置之一(1、2、4、8、12、24 和 48) (请参见有关详细信息，请参阅 CHNSET REGISTERS)。ADX3224/ADX3226/ADX3228 具有 CMOS 输入，因此电流噪声可以忽略不计。Table 48 显示了各种增益设置的典型小信号带宽值。

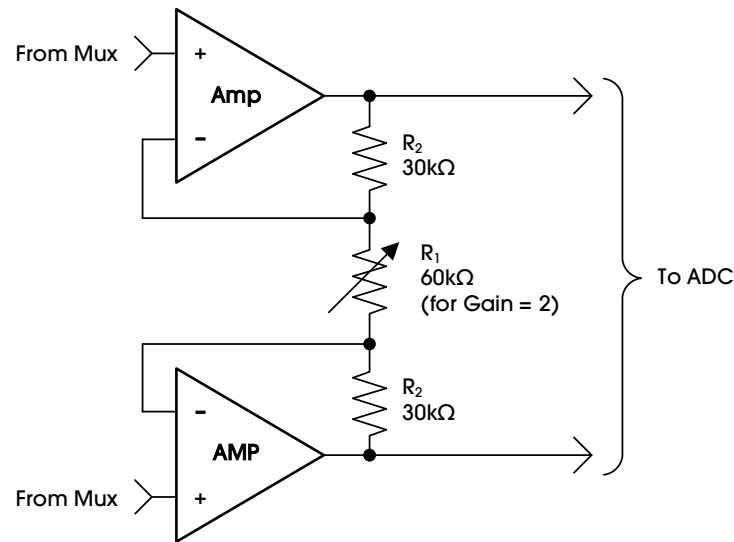


Figure 23. PGA Implementation

Table 48. PGA Gain vs. Bandwidth

GAIN	NOMINAL BANDWIDTH AT TA = 25°C (kHz)
1	357
2	178
4	89
8	45
12	31
24	16
48	8

实现增益的 PGA 电阻串具有 120kΩ 电阻，增益为 2。在存在差分输入信号的情况下，该电阻提供跨 PGA 输出的电流路径。该电流不包括在输入端存在差分信号时为器件指定的静态电流。

8.3.4.1 输入共模范围

前端的可用输入共模范围取决与各种参数，包括最大的差分输入信号、电源电压、PGA 增益等。该范围可用 Equation 4 表述。

$$AVDD - 0.3V - \left(\frac{Gain \times V_{MAX_DIFF}}{2} \right) > V_{CM} > AVSS + 0.3V + \left(\frac{Gain \times V_{MAX_DIFF}}{2} \right) \tag{4}$$

其中：

- V_{MAX_DIFF} = PGA 输入处的最大差分信号
- V_{CM} = 共模范围

例如，如果 $AVDD - AVSS = 3.3V$ ，增益 = 2，且 $V_{MAX_DIFF} = 1000mV$ ，则 $1.3V < V_{CM} < 2.0V$ 。

8.3.5 ΔΣ 调制器

每个 ADX3224/ADX3226/ADX3228 通道都有自己的 Delta-Sigma (ΔΣ) ADC。ΔΣ 转换器使用针对低功耗应用而优化的二阶调制器。调制器以调制器速率(fMOD = fCLK / 2 和 fMOD = fCLK / 4)对输入信号进行采样。与任何 ΔΣ 调制器一样，ADX3224/ADX3226/ADX3228 噪声整形直至 fMOD / 2，如 Figure 24 所示。

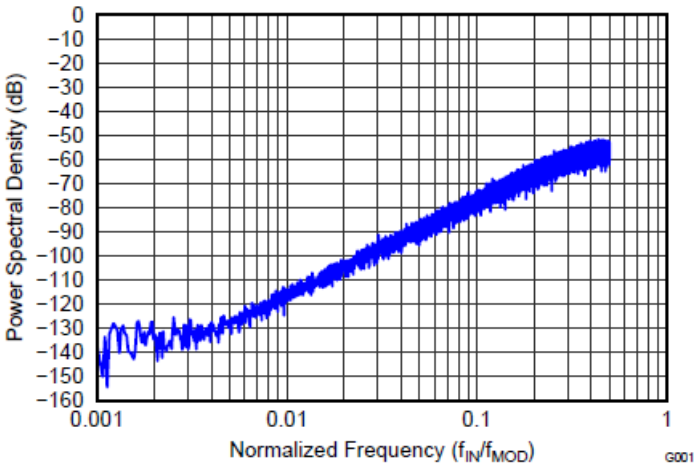


Figure 24. Modulator Noise Spectrum up to 0.5 × fMOD

8.3.6 时钟

ADX3224/ADX3226/ADX3228 提供两种不同的器件时钟方法：内部和外部。使用内部振荡器的内部时钟非常适合非同步、低功耗系统。内部振荡器经过调整以确保室温下的精度。内部振荡器的精度在指定的温度范围内变化；详细信息请参见 ELECTRICAL CHARACTERISTICS。当同步多个 ADX3224/ADX3226/ADX3228 器件或同步到外部事件时，建议使用外部时钟，因为内部振荡器时钟性能可能会随温度变化。时钟选择由 CLKSEL 引脚和 CLK_EN 寄存器位控制。在模拟和数字电源出现后随时提供外部时钟。

CLKSEL 引脚选择内部振荡器或外部时钟。CONFIG1 寄存器中的 CLK_EN 位启用和禁用 CLK 引脚上的振荡器时钟输出。Table 49 显示了 CLKSEL 引脚和 CLK_EN 位的真值表。当在菊花链配置中使用多个器件时，CLK_EN 位非常有用。掉电期间，建议关闭外部时钟以节省功耗。

Table 49. CLKSEL Pin and CLK_EN Bit

CLKSEL PIN	CLK_EN BIT	CLOCK SOURCE	CLK PIN STATUS
0	X	External clock	Input: external clock
1	0	Internal oscillator	3-state
1	1	Internal oscillator	Output: internal oscillator

8.3.7 设备工作模式

ADX3224/ADX3226/ADX3228 提供两种不同的器件工作模式方法：高速工作模式和低速工作模式。高速工作模式最大数据速率为 64kSPS ($f_{MOD} = 1024\text{kHz}$)，低速工作模式最大数据速率为 32kSPS ($f_{MOD} = 512\text{kHz}$)。按照下表信息配置 HS_MODE 和 SLOW_DATA_EN 位以适应不同的工作模式。

Table 50. CLKSEL Pin and CLK_EN Bit

WORK MODE	HS_MODE	SLOW_DATA_EN	f_{MOD} FREQUENCY	DATA RATE
High Speed	1	0	1024kHz	DR = 000: 64KSPS DR = 110: 1KSPS
Low Speed	0	1	512kHz	DR = 000: 32KSPS DR = 110: 500SPS

注：对于 $f_{MOD} = 1024\text{kHz}$ 的高速模式，AVDD 电压应高于 4.0V。

8.3.8 数字抽取滤波器

数字滤波器接收调制器输出比特流并抽取数据流。抽取率决定了创建输出数据字所需的样本数量，并由调制器速率除以数据速率(f_{MOD} / f_{DR})来设置。通过调整抽取比率，可以在分辨率和数据速率之间进行权衡：较高的抽取允许更高的分辨率(从而产生较低的数据速率)，而较低的抽取会降低分辨率，但可以实现更宽的带宽和更高的数据速率。较高的数据速率通常用于实施软件重采样技术的电源应用，以帮助进行电压和电流的通道间相位调整。

每个通道上的数字滤波器由三阶 sinc 滤波器组成。输入阶跃变化需要三个转换周期才能使滤波器稳定下来。使用 CONFIG1 寄存器中的 DR(2:0)位调整 sinc³ 滤波器的抽取比(有关详细信息，请参阅 REGISTER MAPS 部分)。数据速率设置是一个全局设置，它将所有通道设置为相同的数据速率。

sinc 滤波器是可变抽取率、三阶低通滤波器。数据以 f_{MOD} 的速率从调制器提供到滤波器的这一部分。sinc³ 滤波器衰减高频调制器噪声，然后将数据流抽取为并行数据。抽取率影响转换器的整体数据速率。

Equation 5 显示了缩放后的 sinc³ 滤波器 Z 域传递函数。

$$|H(z)| = \left| \frac{1 - z^{-N}}{1 - z^{-1}} \right|^3$$

(5)

sinc³ 滤波器频域传递函数如 Equation 6 所示。

$$|H(f)| = \left| \frac{\sin \left[\frac{N\pi f}{f_{MOD}} \right]}{N \times \sin \left[\frac{\pi f}{f_{MOD}} \right]} \right|^3$$

(6)

其中：

- N = 抽取率

sinc³ 滤波器具有在输出数据速率及其倍数处出现的陷波(或零)。在这些频率下，滤波器具有无限衰减。Figure 25 显示了 sinc 滤波器频率响应，Figure 26 显示了 sinc 滤波器滚降。

Figure 27 和 Figure 28 分别说明了不同数据速率下直至 $f_{MOD} / 2$ 和 $f_{MOD} / 16$ 的滤波器传递函数。Figure 29 显示了扩展至 4 f_{MOD} 的传递函数。Figure 29 说明 ADX3224/ADX3226/ADX3228 通带在每个 f_{MOD} 处都会重复。请注意，数字滤波器响应和滤波器陷波与主时钟频率成正比。

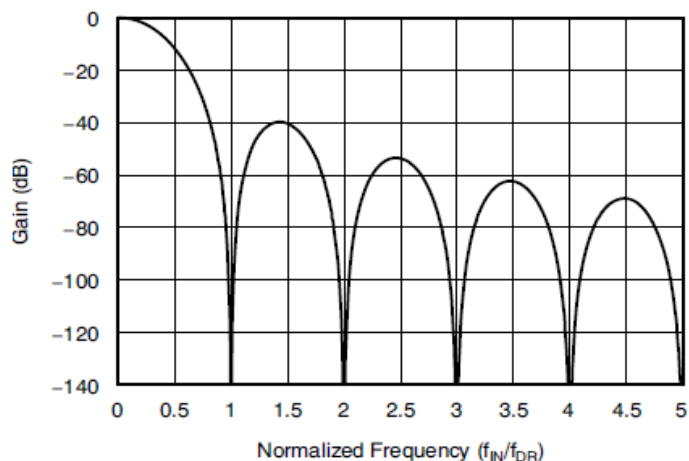


Figure 25. Sinc Filter Frequency Response

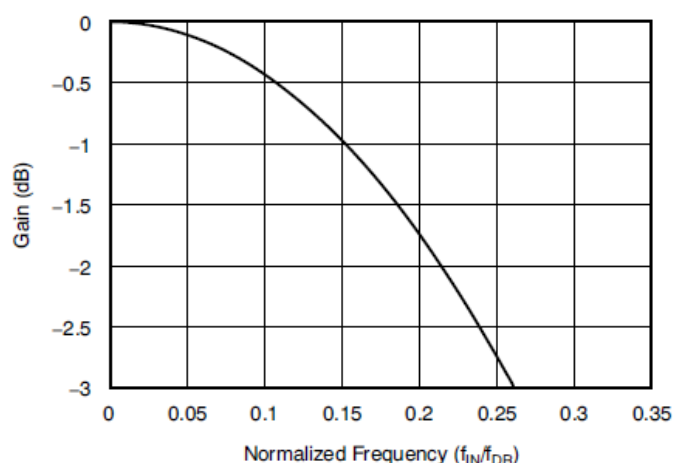


Figure 26. Sinc Filter Roll-Off

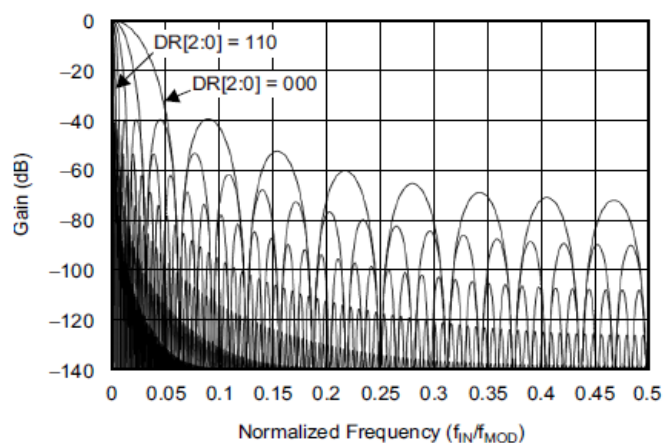


Figure 27. Transfer Function of Decimation Filters
Until $f_{MOD} / 2$

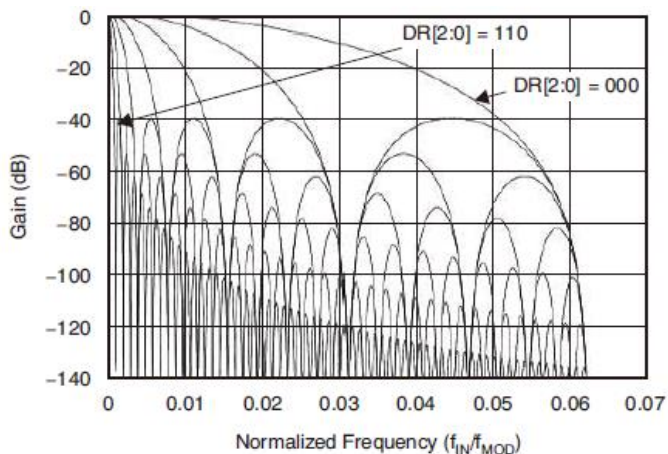


Figure 28. Transfer Function of Decimation Filters
Until $f_{MOD} / 16$

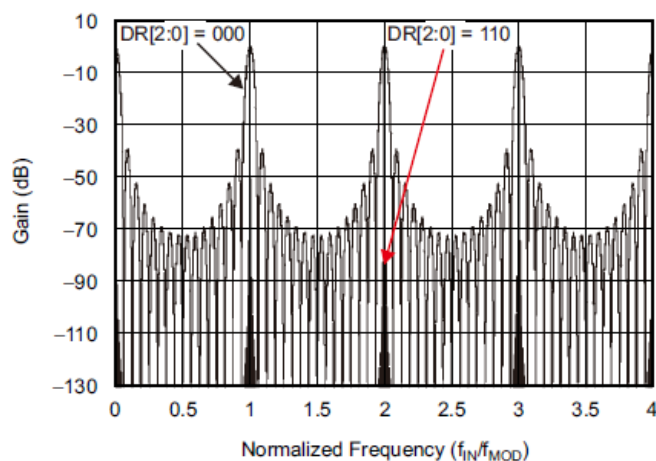
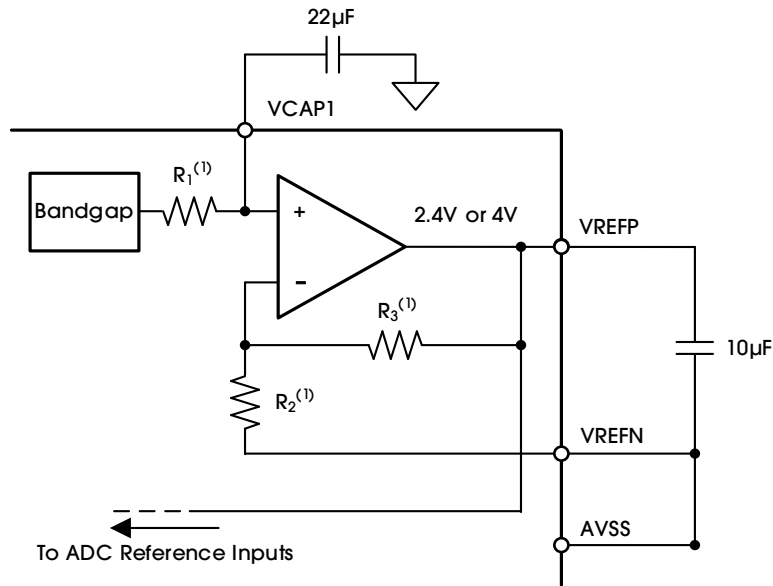


Figure 29. Transfer Function of Decimation Filters
Until $4 f_{MOD}$ for $DR(2:0) = 000$ and $DR(2:0) = 110$

8.3.9 电压参考

Figure 30 显示了 ADX3224/ADX3226/ADX3228 内部基准的简化框图。参考电压是相对于 AVSS 生成的。使用内部参考电压时，将 VREFN 连接到 AVSS。



(1) For $V_{REF} = 2.4V$: $R_1 = 12.5k\Omega$, $R_2 = 25k\Omega$, and $R_3 = 25k\Omega$. For $V_{REF} = 4V$: $R_1 = 10.5k\Omega$, $R_2 = 15k\Omega$, and $R_3 = 35k\Omega$.

Figure 30. Internal Reference

外部限带电容器决定参考噪声贡献量。对于高端 ECG 系统，选择电容器值时应将带宽限制在 10Hz 以下，以便参考噪声不会在系统噪声中占主导地位。当使用 3V 模拟电源时，内部基准必须设置为 2.4V。如果使用 5V 模拟电源，可以通过设置 CONFIG2 寄存器中的 VREF_4V 位将内部参考电压设置为 4V。

或者，可以将内部参考缓冲器断电并从外部应用 VREFP。Figure 31 显示了典型的外部基准驱动电路。掉电由 CONFIG3 寄存器中的 PD_REFBUF 位控制。默认情况下，器件在外部参考模式下唤醒。

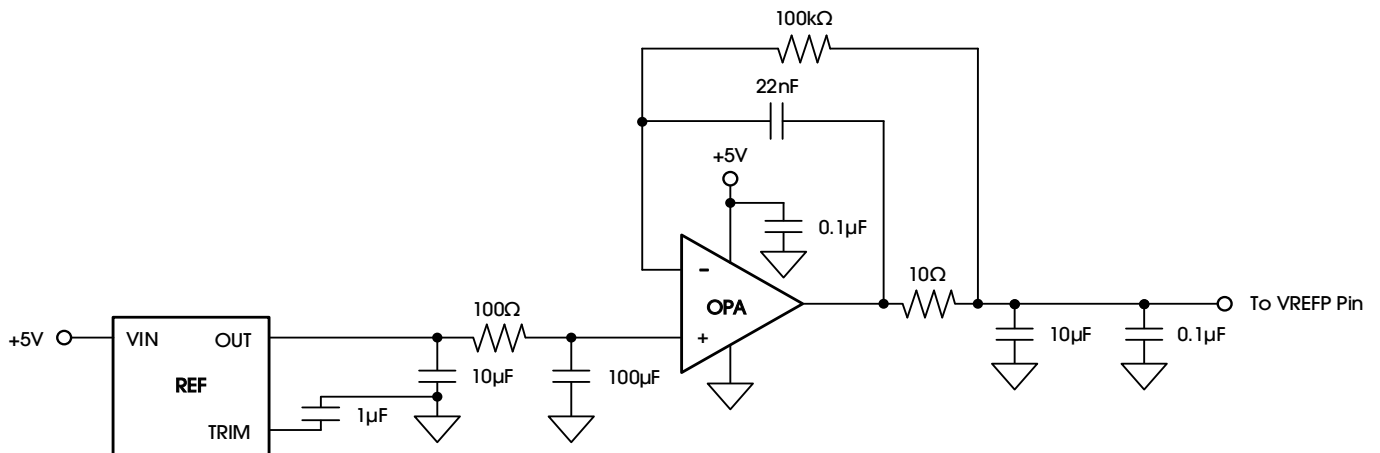


Figure 31. External Reference Driver

8.3.10 输入超出范围检测

ADX3224/ADX3226/ADX3228 具有集成比较器，用于检测输入信号的超出范围情况。基本原理是将输入电压与基于模拟电源的 3 位数模转换器(DAC)设置的阈值电压进行比较。比较器触发阈值由 FAULT 寄存器中的 COMP_TH(2:0)位设置。

如果 ADX3224/ADX3226/ADX3228 由 $\pm 2.5V$ 电源供电且 COMP_TH(2:0) = 000 (95%和 5%)，则高侧触发阈值设置为 2.25V (等于 $AVSS + (AVDD - AVSS) \times 95\%$)，低侧阈值设置为 -2.25V (等于 $AVSS + (AVDD - AVSS) \times 5\%$)。阈值计算公式适用于单极和双极电源。

可以通过使用 COMP_TH(2:0)位设置适当的阈值水平来检测故障状况。要确定哪个输入超出范围，请单独读取 FAULT_STATP 和 FAULT_STATN 寄存器，或读取 FAULT_STATx 位作为输出数据流的一部分；请参阅 [DATA OUTPUT \(DOUT\)](#) 部分。

8.3.11 通用数字 I/O (GPIO)

ADX3224/ADX3226/ADX3228 共有四个可用的通用数字 I/O (GPIO)引脚。通过 GPIOC 位将数字 I/O 引脚配置为输入或输出。GPIO 寄存器中的 GPIOD 位指示引脚的电平。GPIO 逻辑高电平由 DVDD 的电压电平设置。读取 GPIOD 位时，返回的数据是引脚的逻辑电平，无论它们被编程为输入还是输出。当 GPIO 引脚配置为输入时，写入相应的 GPIOD 位无效。当配置为输出时，写入 GPIOD 位即可设置输出电平。

如果配置为输入，则 GPIO 引脚必须被驱动到定义的状态。GPIO 引脚在上电或复位后设置为输入。[Figure 32](#) 显示了 GPIO 引脚结构。通过 10k Ω 电阻将未使用的 GPIO 引脚直接连接到 DGND。

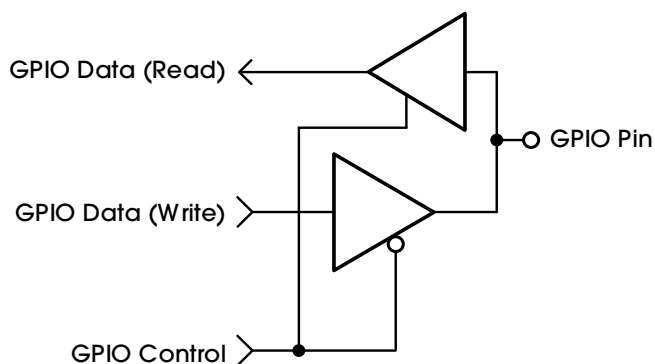


Figure 32. GPIO Pin Implementation

8.4 设备功能模式

8.4.1 START

将 START 引脚拉高至少 2 个 t_{CLK} 周期，或发送 START 命令开始转换。当 START 引脚为低电平时，或者如果尚未发送 START 命令，器件不会发出 DRDY 信号(转换停止)。

当使用 START 命令控制转换时，请将 START 引脚保持为低电平。在多器件配置中，START 引脚用于同步器件(有关更多详细信息，请参阅 [MULTIPLE-DEVICE CONFIGURATION](#) 部分)。

8.4.1.1 稳定时间

稳定时间(t_{SETTLE})是当 START 信号拉高时转换器输出完全稳定的数据所需的时间。当 START 被拉高时， $\overline{DRDY}$ 也被拉高。下一个 $\overline{DRDY}$ 下降沿表示数据已准备好。Figure 33 显示了时序图，Table 51 显示了不同数据速率下作为 t_{CLK} 函数的稳定时间。稳定时间取决于 f_{CLK} 和抽取比(由 CONFIG1 寄存器中的 DR(2:0) 位控制)。当初始稳定时间过去后， $\overline{DRDY}$ 下降沿以设置的数据速率 t_{DR} 出现。如果数据未在 DOUT 上读回并且输出移位寄存器需要更新，则 $\overline{DRDY}$ 会变高并持续 4 t_{CLK} ，然后返回低电平，指示新数据已准备就绪。请注意，当 START 保持高电平并且输入信号出现阶跃变化时，滤波器需要 $3 \times t_{DR}$ 才能稳定到新值。已确定的数据在第四个 $\overline{DRDY}$ 脉冲上可用。

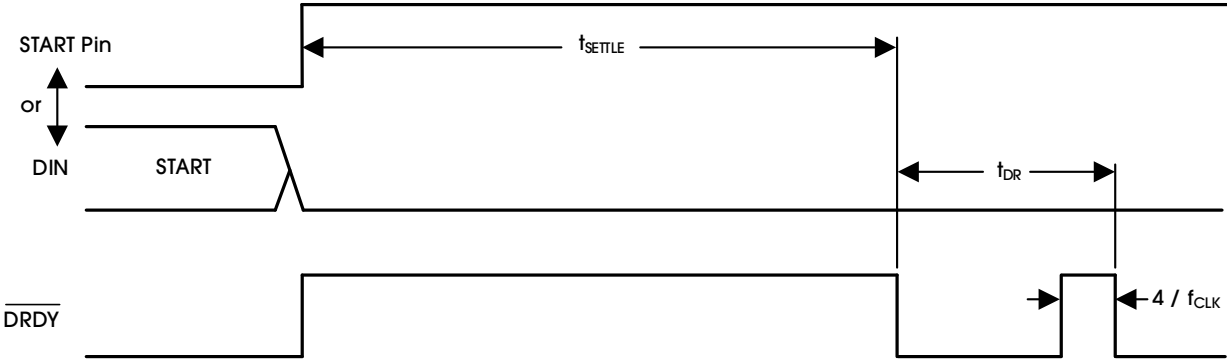


Figure 33. Settling Time

Table 51. Settling Times for Different Data Rates (t_{SETTLE})

DR(2:0)	NORMAL MODE	UNITS
000	79	t_{CLK}
001	258	t_{CLK}
010	515	t_{CLK}
011	1029	t_{CLK}
100	2057	t_{CLK}
101	4114	t_{CLK}
110	8228	t_{CLK}

8.4.1.2 输入信号阶跃

当器件进行转换并且输入信号出现阶跃变化时，需要 $3 t_{DR}$ 的延迟才能使输出数据稳定。已确定的数据在第四个 $\overline{DRDY}$ 脉冲上可用。在第 4 个 $\overline{DRDY}$ 脉冲之前的每个 $\overline{DRDY}$ 低电平转换时均可读取数据，但建议忽略。Figure 34 显示了模拟输入上的输入阶跃或输入瞬态事件完全稳定所需的等待时间。

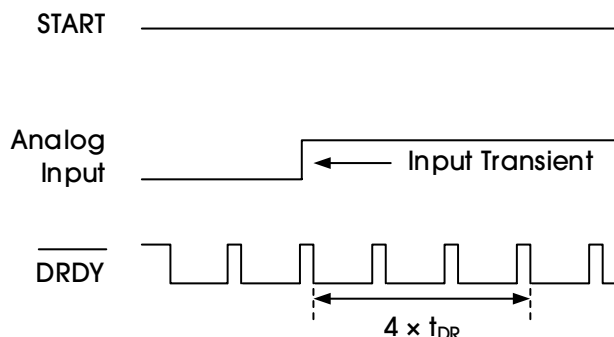


Figure 34. Settling Time for the Input Transient

8.4.2 复位($\overline{RESET}$)

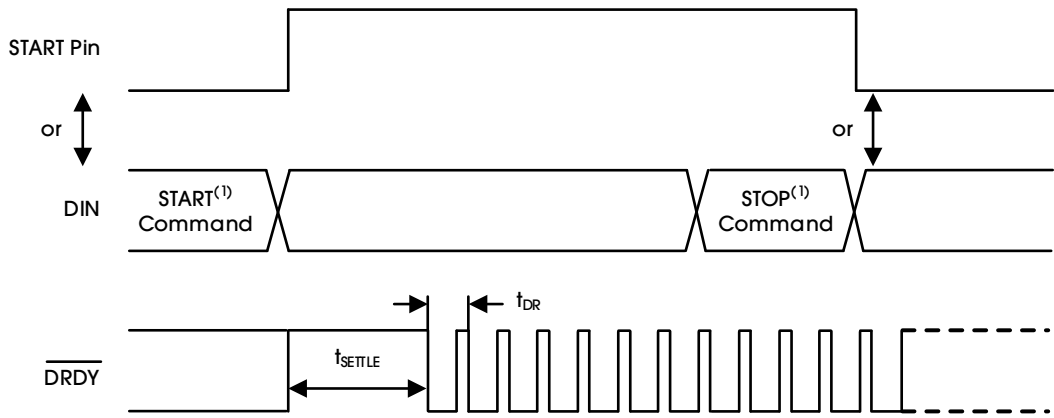
有两种方法可以重置 ADX3224/ADX3226/ADX3228：将 $\overline{RESET}$ 引脚拉低，或发送 $\overline{RESET}$ 命令。使用 $\overline{RESET}$ 引脚时，请确保在将引脚恢复为高电平之前遵循最小脉冲持续时间时序规范。 $\overline{RESET}$ 命令在命令的第八个 $SCLK$ 下降沿生效。复位后，需要 18 个 t_{CLK} 周期才能完成配置寄存器到默认状态的初始化并启动转换周期。请注意，只要使用 $WREG$ 命令将 $CONFIG1$ 寄存器设置为新值，就会自动向数字滤波器发出内部复位。

8.4.3 断电($\overline{PWDN}$)

当 $\overline{PWDN}$ 被拉低时，所有片上电路都会断电。要退出掉电模式，请将 $\overline{PWDN}$ 引脚拉高。退出掉电模式后，内部振荡器和基准电压源需要时间来唤醒。掉电期间，关闭外部时钟以节省电量。

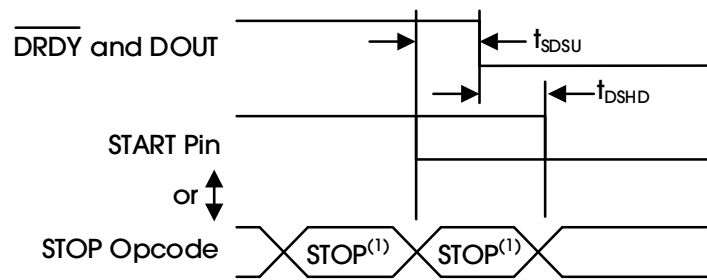
8.4.4 连续转换模式

当 START 引脚拉高或发送 START 命令时，转换开始。如 Figure 35 所示，当转换开始时， $\overline{\text{DRDY}}$ 输出变为高电平，当数据准备就绪时，输出变为低电平。转换无限期地继续，直到 START 引脚变低或发送 STOP 命令。当 START 引脚被拉低或发出 STOP 命令时，允许完成正在进行的转换。Figure 36 和 Table 52 显示了在此模式下控制转换时 START 引脚或 START 和 STOP 命令所需的 $\overline{\text{DRDY}}$ 时序。 t_{SDSU} 时序指示何时将 START 引脚拉低或何时在 $\overline{\text{DRDY}}$ 下降沿之前发送 STOP 命令以停止进一步转换。 t_{DSHD} 时序指示何时将 START 引脚拉低或在 $\overline{\text{DRDY}}$ 下降沿后发送 STOP 命令以完成当前转换并停止进一步转换。为了保持转换器连续运行，START 引脚可以永久保持高电平。



(1) START and STOP commands take effect on the seventh SCLK falling edge.

Figure 35. Continuous Conversion Mode



(1) START and STOP commands take effect on the seventh SCLK falling edge at the end of the transmission.

Figure 36. START to $\overline{\text{DRDY}}$ Timing

Table 52. Timing Characteristics for Figure 36

PARAMETER	SYMBOL	MIN	MAX	UNITS
Setup Time: START Pin Low or STOP Command to $\overline{\text{DRDY}}$ Falling Edge to Halt Further Conversions	t_{SDSU}	16		t_{CLK}
Delay Time: START Pin Low or STOP Command to Complete the Current Conversion and Halt Further Conversions	t_{DSHD}	16		t_{CLK}

注：START 和 STOP 命令在传输结束时的第七个 SCLK 下降沿生效。

8.4.5 数据检索

8.4.5.1 数据就绪引脚($\overline{\text{DRDY}}$)

$\overline{\text{DRDY}}$ 是一个输出信号，从高电平转换为低电平，指示新的转换数据已准备就绪。 $\overline{\text{CS}}$ 信号对数据就绪信号没有影响。 $\overline{\text{DRDY}}$ 行为取决于设备是否处于 RDATA 模式或 RDATA 命令是否用于按需读取数据。(有关更多详细信息，请参阅 [RDATA: START READ DATA CONTINUOUS MODE](#) 和 [RDATA: READ DATA](#) 小节)。

当使用 RDATA 命令读取数据时，读取操作可以与下一个 $\overline{\text{DRDY}}$ 的发生重叠，而不会损坏数据。

START 引脚或 START 命令将器件置于正常数据捕获模式或脉冲数据捕获模式。

Figure 37 显示了数据检索期间 $\overline{\text{CS}}$ 、 $\overline{\text{DRDY}}$ 、 DOUT 和 SCLK 之间的关系(对于 ADX3224/ADX3226/ADX3228)。 DOUT 在 SCLK 上升沿被锁存。 $\overline{\text{DRDY}}$ 在 SCLK 下降沿被拉高。请注意，无论是从设备检索数据还是通过 DIN 引脚发送命令， $\overline{\text{DRDY}}$ 在第一个 SCLK 下降沿都会变高。

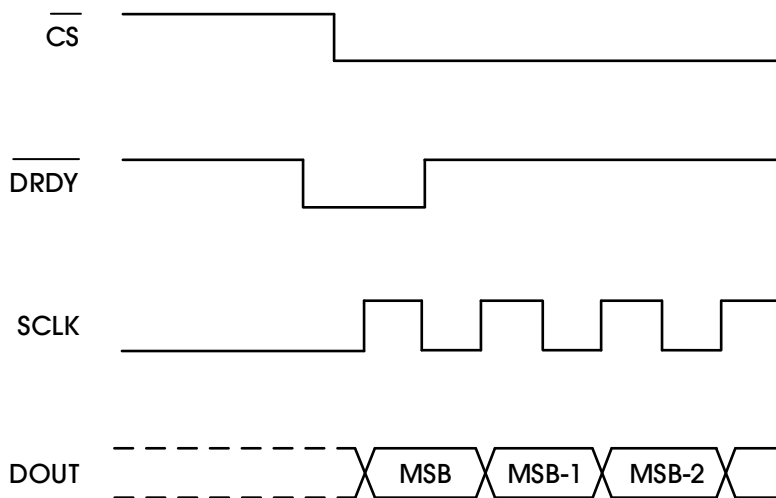


Figure 37. $\overline{\text{DRDY}}$ with Data Retrieval

无论 $\overline{\text{CS}}$ 的状态如何， $\overline{\text{DRDY}}$ 信号都会在第一个 SCLK 下降沿被清除。如果使用 SPI 总线与同一总线上的其他设备进行通信，则必须考虑这种情况。Figure 38 显示了当 SCLK 以 $\overline{\text{CS}}$ 高电平发送时 $\overline{\text{DRDY}}$ 的行为图。Figure 38 显示没有数据输出，但 $\overline{\text{DRDY}}$ 信号被清除。

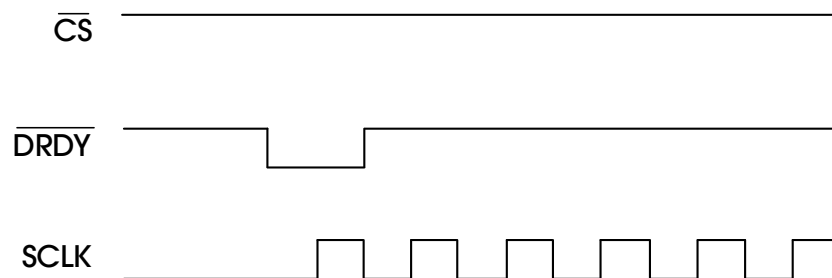


Figure 38. $\overline{\text{DRDY}}$ and SCLK Behavior when $\overline{\text{CS}}$ is High

8.4.5.2 回读数据

数据检索通过以下两种方法之一完成：

1. **RDATA_C**：读数据连续命令设置连续读取数据而不发送命令的设备模式。有关更多详细信息，请参阅 **RDATA_C: START READ DATA CONTINUOUS MODE** 部分。
2. **RDATA**：读取数据命令要求向设备发送命令以将最新数据加载到输出移位寄存器。有关更多详细信息，请参阅 **RDATA: READ DATA** 部分。

通过将数据移出 **DOUT** 来读取转换数据。**DOUT** 上数据的 **MSB** 在第一个 **SCLK** 上升沿输出。 $\overline{\text{DRDY}}$ 在第一个 **SCLK** 下降沿返回高电平。在整个读取操作中 **DIN** 应保持低电平。

8.4.5.3 状态字

状态字位于数据读回之前，提供有关 **ADX3224/ADX3226/ADX3228** 状态的信息。状态字长 24 位，包含 **FAULT_STATP**、**FAULT_STATN** 和 **GPIO** 数据位的值。内容对齐如 **Figure 39** 所示。

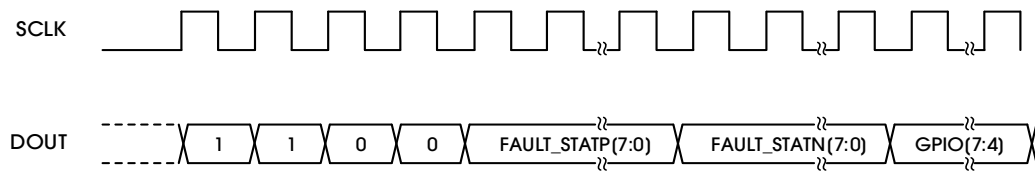


Figure 39. Status Word Content

状态字长度始终为 24 位。对于 32kSPS 和 64kSPS 数据速率，长度不会改变。

8.4.5.4 回读长度

数据输出中的位数取决于通道数和每个通道的位数。每个通道数据的数据格式是二进制补码，**MSB** 在前。

对于数据速率为 32kSPS 和 64kSPS 的 **ADX3224/ADX3226/ADX3228**，数据位数为 24 个状态位 + 每通道 16 位 $\times$ 8 个通道 = 152 位。

对于所有其他数据速率，数据位数为 24 个状态位 + 每通道 24 位 $\times$ 8 个通道 = 216 位。当使用用户寄存器设置关闭通道时，相应的通道输出将设置为 0。但是，通道输出的顺序保持不变。

ADX3224/ADX3226/ADX3228 还提供多数据读回功能。只需提供更多 **SCLK**，即可多次读出数据，在这种情况下，读取最后一个字节后会重复 **MSB** 数据字节。**CONFIG1** 寄存器中的 **DAISY_IN** 位必须设置为 1 以进行多次读回。

8.5 编程

8.5.1 数据格式

CONFIG1 寄存器中的 DR(2:0)位设置 ADX3224/ADX3226/ADX3228 的输出分辨率。当 DR(2:0) = 000 或 001 时，每个通道的 16 位数据以二进制补码格式发送，MSB 在前。一个代码的大小(LSB)使用 Equation 7 计算。

1 LSB = (2 × VREF / Gain) / 2^16 = FS / 2^15 (7)

正满量程输入(VIN ≥ (FS - 1 LSB) = (VREF / Gain - 1 LSB))产生 7FFFh 的输出代码，负满量程输入(VIN ≤ -FS = -VREF / Gain)产生输出代码为 8000h。对于超过满量程的信号，输出会在这些代码处进行削波。

Table 53 总结了不同输入信号的理想输出代码。

Table 53. 16-Bit Ideal Output Code vs. Input Signal

Table with 2 columns: INPUT SIGNAL, VIN (V(INxP) - V(INxN)) and IDEAL OUTPUT CODE(1). Rows show input ranges from ≥ FS(2^15 - 1)/2^15 to ≤ -FS and their corresponding output codes: 7FFFh, 0001h, 0000h, FFFFh, and 8000h.

注：不包括噪声、INL、失调和增益误差的影响。

当 DR(2:0) = 010、011、100、101 或 110 时，ADX3224/ADX3226/ADX3228 以二进制补码格式每通道输出 24 位数据，MSB 在前。一个代码的大小(LSB)使用 Equation 8 计算。

1 LSB = (2 × VREF / Gain) / 2^24 = FS / 2^23 (8)

正满量程输入(VIN ≥ (FS - 1 LSB) = (VREF / Gain - 1 LSB))产生输出代码 7FFFFFFh，负满量程输入(VIN ≤ -FS = -VREF / Gain)产生输出代码为 800000h。对于超过满量程的信号，输出会在这些代码处进行削波。

Table 54 总结了不同输入信号的理想输出代码。

Table 54. 24-Bit Ideal Output Code vs. Input Signal

Table with 2 columns: INPUT SIGNAL, VIN (V(INxP) - V(INxN)) and IDEAL OUTPUT CODE(1). Rows show input ranges from ≥ FS(2^23 - 1)/2^23 to ≤ -FS and their corresponding output codes: 7FFFFFFh, 000001h, 000000h, FFFFFFFh, and 800000h.

注：不包括噪声、INL、失调和增益误差的影响。

8.5.2 SPI 接口

SPI 兼容串行接口由四个信号组成： $\overline{\text{CS}}$ 、SCLK、DIN 和 DOUT。该接口用于读取转换数据、读写寄存器以及控制 ADX3224/ADX3226/ADX3228 操作。 $\overline{\text{DRDY}}$ 输出用作状态信号，指示 ADC 数据何时准备好回读。当新数据可用时， $\overline{\text{DRDY}}$ 变低。

8.5.2.1 芯片选择($\overline{\text{CS}}$)

$\overline{\text{CS}}$ 引脚激活 SPI 通信。 $\overline{\text{CS}}$ 在数据传输之前必须为低电平，并且必须在整个 SPI 通信周期内保持低电平。当 $\overline{\text{CS}}$ 高电平时，DOUT 引脚进入高阻抗状态。因此，对串行接口的读写操作将被忽略，并且串行接口将被重置。 $\overline{\text{DRDY}}$ 引脚操作独立于 $\overline{\text{CS}}$ 。即使 $\overline{\text{CS}}$ 为高电平， $\overline{\text{DRDY}}$ 仍然指示新的转换已完成，并作为对 SCLK 的响应而被强制为高电平。

将 $\overline{\text{CS}}$ 设置为高电平仅停用与设备的 SPI 通信，并且串行接口被重置。数据转换继续，并且可以监视 $\overline{\text{DRDY}}$ 信号以检查新的转换结果是否已准备好。监控 $\overline{\text{DRDY}}$ 信号的主设备可以通过将 $\overline{\text{CS}}$ 引脚拉低来选择适当的从设备。串行通信完成后，始终等待四个或更多 t_{CLK} 周期，然后再将 $\overline{\text{CS}}$ 拉高。

8.5.2.2 串行时钟(SCLK)

SCLK 提供串行通信的时钟。SCLK 是施密特触发器输入，但建议使 SCLK 尽可能远离噪声，以防止毛刺无意中移动数据。数据在 SCLK 的下降沿移入 DIN，并在 SCLK 的上升沿移出 DOUT。

Figure 2 中指定了绝对最大 SCLK 限制。使用 SCLK 移入命令时，请确保向器件发出整组 SCLK。如果不这样做，可能会导致设备串行接口进入未知状态，需要将 $\overline{\text{CS}}$ 拉高才能恢复。

对于单个器件，SCLK 所需的最低速度取决于通道数、分辨率位数和输出数据速率。(对于多个级联设备，请参阅 MULTIPLE DEVICE CONFIGURATION 部分。)

例如，如果 ADX3224/ADX3226/ADX3228 与 8kSPS 模式(24 位分辨率)一起使用，则移出所有数据的最小 SCLK 速度为 1.755MHz。

数据检索可以通过将器件置于 RDATA 模式或根据需要发出 RDATA 命令来完成。Equation 9 中的 SCLK 速率限制适用于 RDATA。对于 RDATA 命令，如果必须在两个连续的 $\overline{\text{DRDY}}$ 信号之间读取数据，则存在限制。Equation 9 假设在数据捕获之间没有发出其他命令。

$$t_{\text{SCLK}} < (t_{\text{DR}} - 4 t_{\text{CLK}}) / (N_{\text{BITS}} \times 8 + 24) \quad (9)$$

其中：

- N_{BITS} = 当前数据速率的数据分辨率；16 或 24

8.5.2.3 数据输入(DIN)

DIN 与 SCLK 一起使用将数据发送到设备。DIN 上的数据在 SCLK 的下降沿移入器件。

该设备的通信本质上是全双工的。即使数据移出，该器件也会监控移入的命令。发送命令时，输出移位寄存器中存在的数数据将被移出。因此，请确保移出数据时 DIN 引脚上发送的任何内容都是有效的。当读取数据时不需要向设备发送命令时，请在 DIN 上发送 NOP 命令。在 DIN 上发送多字节命令时，请确保满足 SENDING MULTIBYTE COMMANDS 部分中的 t_{SDECODE} 时序。

8.5.2.4 数据输出(DOUT)

DOUT 与 SCLK 一起使用，从器件读取转换和寄存器数据。数据在 SCLK 的上升沿输出，MSB 在前。当CS为高电平时，DOUT 进入高阻抗状态。在读取数据连续模式下(有关更多详细信息，请参阅 SPI COMMAND DEFINITIONS 部分)，DOUT 输出线还可用于指示新数据何时可用。如果在新数据准备就绪时CS为低电平，则 DOUT 线上的高电平到低电平转换与 DRDY上的高电平到低电平转换同步发生，如 Figure 40 所示。此功能可用于最大限度地减少设备和系统控制器之间的连接数量。

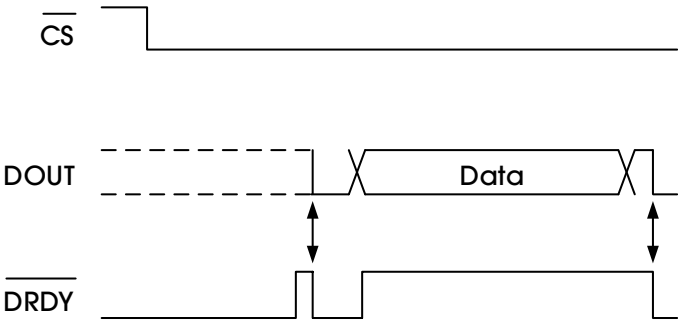


Figure 40. Using DOUT as DRDY

8.5.3 SPI 命令定义

ADX3224/ADX3226/ADX3228 提供灵活的配置控制。Table 55 中总结的命令控制和配置设备操作。除了需要第二个命令字节来包含附加数据的寄存器读取和寄存器写入操作外，这些命令都是独立的。CS在命令之间可以处于高电平或保持低电平，但在整个命令操作(包括多字节命令)中必须保持低电平。系统命令和 RDATA 命令由 ADX3224/ADX3226/ADX3228 在第七个 SCLK 下降沿进行解码。寄存器读取和写入命令在第八个 SCLK 下降沿解码。发出命令后将CS拉高时，请务必遵循 SPI 时序要求。

Table 55. Command Definitions

COMMAND	DESCRIPTION	FIRST BYTE	SECOND BYTE	THIRD BYTE
SYSTEM COMMANDS				
WAKEUP	Wake up from standby mode	0000 0010 (02h)		
STANDBY	Enter standby mode	0000 0100 (04h)		
RESET	Reset the device	0000 0110 (06h)		
START	Start or restart (synchronize) conversions	0000 1000 (08h)		
STOP	Stop conversions	0000 1010 (0Ah)		
OFFSETCAL	Channel offset calibration	0001 1010 (1Ah)		
DATA READ COMMANDS				
RDATA	Enable read data continuous mode. This mode is the default mode at power-up.(1)	0001 0000 (10h)		
SDATA	Stop read data continuous mode	0001 0001 (11h)		
RDATA	Read data by command	0001 0010 (12h)		
REGISTER READ COMMANDS				
RREG	Read n nnnn registers starting at address r rrrr	001 r rrrr (2xh)(2)	000n nnnn (2)	
WREG	Write n nnnn registers starting at address r rrrr	010 r rrrr (4xh)(2)	000n nnnn (2)	
RREGX	Read nnnnnnn registers starting at address rrr rrrr	11100100 (E4h)	0rrr rrrr	0nnn nnnn
WREGX	Write nnnnnnn registers starting at address rrrrrr	11101000 (E8h)	0rrr rrrr	0nnn nnnn

注 1：当处于 RDATA 模式时，RREG 命令被忽略。
注 2：nnnnn = 要读取/写入的寄存器数量- 1。例如，要读取/写入 3 个寄存器，请设置 n nnnn = 0 (0010)。
r rrrr = 读/写命令的起始寄存器地址。

8.5.3.1 发送多字节命令

ADX3224/ADX3226/ADX3228 串行接口以字节为单位解码命令，需要 4 个 t_{CLK} 周期来解码和执行每个命令。因此，当发送多字节命令(例如 RREG 或 WREG)时，必须用 4 个 t_{CLK} 周期将一个字节(或命令)的末尾与下一个字节(或命令)的末尾分开。

假设 CLK 为 2.048MHz，则 $t_{SDECODE}$ ($4 t_{CLK}$)为 1.96 μ s。当 SCLK 为 16MHz 时，0.5 μ s 即可传输一个字节。该字节传输时间不符合 $t_{SDECODE}$ 规范；因此，必须在第一个字节之后和第二个字节之前插入 1.46 μ s ($1.96\mu s - 0.5\mu s$)的延迟。如果 SCLK 为 4MHz，则在 2 μ s 内传输一个字节。由于该传输时间超出了 $t_{SDECODE}$ 规范($2\mu s > 1.96\mu s$)，因此处理器可以无延迟地发送后续字节。

8.5.3.2 唤醒：退出待机模式

WAKEUP 命令退出低功耗待机模式；请参阅 [STANDBY: ENTER STANDBY MODE](#) 部分。请务必留出足够的时间让处于待机模式的所有电路通电(有关详细信息，请参阅 [ELECTRICAL CHARACTERISTICS](#) 表)。该命令没有 SCLK 速率限制，可以随时发出。该命令没有 SCLK 速率限制，可以随时发出。任何后续命令必须在 4 个 t_{CLK} 周期延迟后发送。

8.5.3.3 待机：进入待机模式

STANDBY 命令进入低功耗待机模式。除参考部分外，器件中的所有电路均已断电。待机模式功耗在 [ELECTRICAL CHARACTERISTICS](#) 表中指定。该命令没有 SCLK 速率限制，可以随时发出。设备进入待机模式后，请勿发送除 WAKEUP 命令以外的任何其他命令。

8.5.3.4 重置：将寄存器重置为默认值

RESET 命令重置数字滤波器并将所有寄存器设置返回到默认值；有关详细信息，请参阅重置 [RESET \(RESET\)](#) 部分。该命令没有 SCLK 速率限制，可以随时发出。执行 RESET 命令需要 18 个 t_{CLK} 周期。在此期间避免发送任何命令。

8.5.3.5 开始：开始转换

START 命令启动数据转换。将 START 引脚拉低以通过 START 和 STOP 命令控制转换。如果转换正在进行中，则此命令无效。STOP 命令用于停止转换。如果 START 命令后紧跟着 STOP 命令，则它们之间必须有 4 t_{CLK} 周期延迟的间隙。当前转换在进一步转换停止之前完成。该命令没有 SCLK 速率限制，可以随时发出。

8.5.3.6 停止：停止转化

STOP 命令停止转换。将 START 引脚拉低以通过命令控制转换。发送 STOP 命令后，正在进行的转换完成，并停止进一步的转换。如果转换已经停止，则此命令无效。该命令没有 SCLK 速率限制，可以随时发出。

8.5.3.7 偏移：通道偏移校准

OFFSETCAL 命令取消每个通道的偏移。建议每次更改 PGA 增益设置时发出 OFFSETCAL 命令。

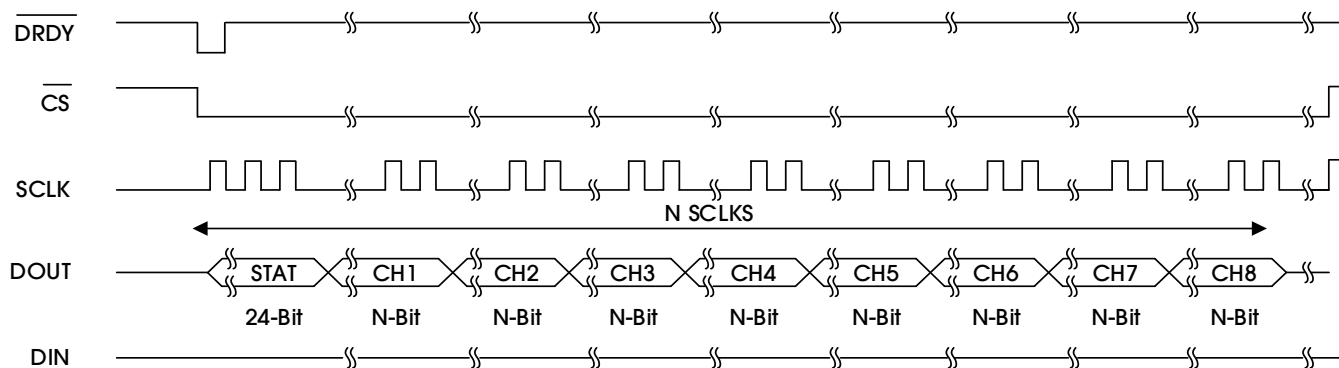
发出 OFFSETCAL 命令时，器件将自身配置为最低数据速率($DR(2:0) = 110$, 1kSPS)，并对每个通道执行以下步骤：

- 将每个通道的模拟输入短接在一起并将它们连接到中间电源($(AVDD + AVSS) / 2$)
- 重置数字滤波器(需要滤波器稳定时间 = $4 t_{DR}$)
- 收集 16 个数据点进行校准 = $15 t_{DR}$

总校准时间 = $(19 t_{DR} \times 8) + 1ms = 153ms$ 。

8.5.3.8 RDATA: 启动读取数据连续模式

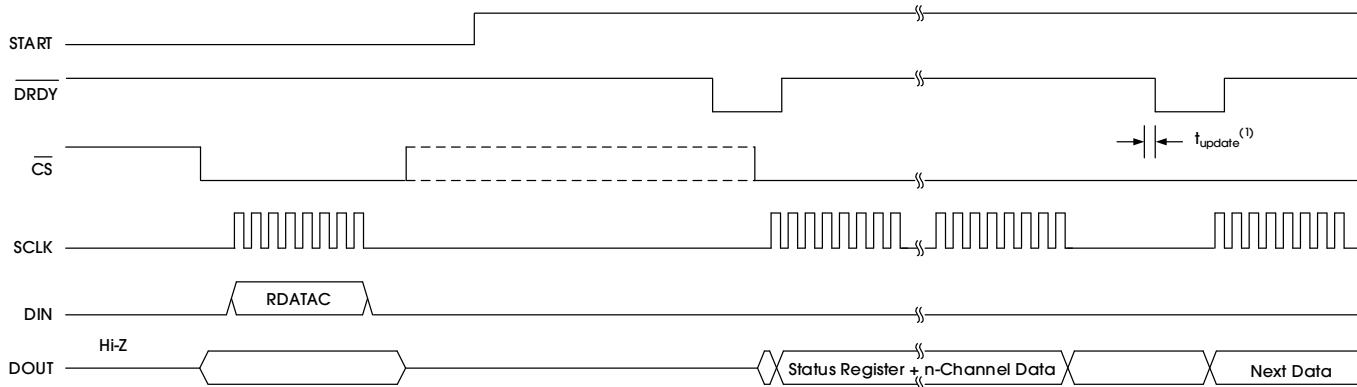
RDATA 命令启用读取数据连续模式。在此模式下，无需发出后续 RDATA 命令即可从器件检索转换数据。该模式在每个 DRDY 下降沿将转换数据放入输出寄存器中，以便数据可以通过后续 SCLK 直接移出。在使用新的 DRDY 下降沿更新数据之前，从设备中移出所有数据，以避免丢失数据。读取数据连续模式为设备默认模式；设备在加电时默认采用此模式。Figure 41 显示了使用 RDATA 模式时的 ADX3224/ADX3226/ADX3228 数据输出协议。



NOTE: $X \text{ SCLKs} = (N \text{ bits})(8 \text{ channels}) + 24 \text{ bits}$. N-bit is dependent upon the DR(2:0) registry bit settings ($N = 16 \text{ or } 24$).

Figure 41. ADX3224/ADX3226/ADX3228 SPI Bus Data Output (Eight Channels)

RDATA 模式可通过停止读取数据连续命令取消。如果设备处于 RDATA 模式，则必须先发出 SDATAC 命令，然后才能将任何其他命令发送到设备。该命令没有 SCLK 速率限制。然而，后续数据检索 SCLK 或 SDATAC 命令应等待至少 4 个 t_{CLK} 周期才能完成。RDATA 时序如 Figure 42 所示。在 DRDY 脉冲周围有一个 4 t_{CLK} 周期的禁止区域，无法在其中发出此命令。如果没有从器件检索到数据，并且 CS 保持低电平，高电平到低电平的 DOUT 转换与 DRDY 同步发生。要在发出 RDATA 命令后从器件检索数据，请确保 START 引脚处于高电平或发出 START 命令。Figure 42 显示了使用 RDATA 命令的推荐方法。读取数据连续模式非常适合数据记录器或记录器等寄存器一次性设置且无需重新配置的应用。



(1) $t_{UPDATE} = 4 / f_{CLK}$. Do not read data during this time.

Figure 42. Reading Data in RDATA Usage

8.5.3.9 SDATAC: 停止连续读取数据

SDATAC 命令取消连续读取数据模式。该命令没有 SCLK 速率限制，但下一个命令必须等待 4 个 t_{CLK} 周期才能完成。

8.5.3.10 RDATA: 读取数据

当不处于读数据连续模式时，RDATA 命令将最新数据加载到输出移位寄存器中。在 $\overline{\text{DRDY}}$ 变低后发出此命令以读取转换结果。该命令没有 SCLK 速率限制，并且后续命令或数据检索 SCLK 不需要等待时间。要在发出 RDATA 命令后从器件检索数据，请确保 START 引脚处于高电平或发出 START 命令。当使用 RDATA 命令读取数据时，读取操作可以与下一个 $\overline{\text{DRDY}}$ 发生重叠，而不会损坏数据。RDATA 可以在新数据可用后多次发送，从而支持多次数据回读。Figure 43 说明了使用 RDATA 命令的推荐方法。RDATA 最适合必须读取寄存器设置或用户无法精确控制时序的系统。建议使用 RDATA 命令读取数据，以避免在未监控 $\overline{\text{DRDY}}$ 信号时数据损坏。

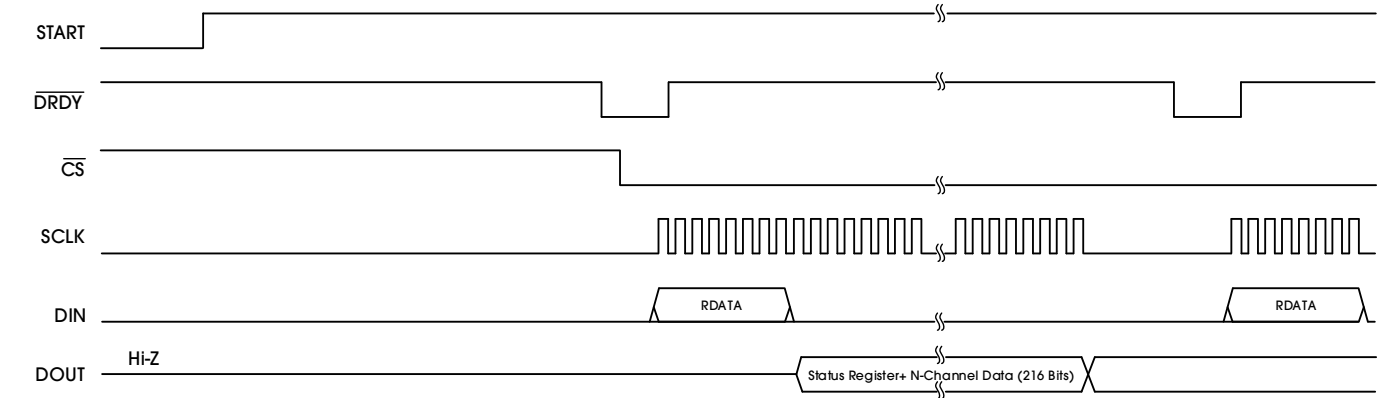


Figure 43. RDATA Usage

8.5.3.11 RREG: 从寄存器读取

RREG 命令读取一个或多个器件配置寄存器的内容。寄存器读取命令是一个两字节命令，后跟寄存器数据输出。第一个字节包含命令和寄存器地址。第二个命令字节指定要读取的寄存器数量-1。如果用户要访问具有以上 0x1F 地址的寄存器，请使用固定的 0x20h 地址偏移设置 ADDR_OFFSET_EN 位，访问完成后，设置 ADDR_OFFSET_DIS 位以清除 0x20h 抵消。

- 1. 第一个命令字节：001r rrrr，其中 r rrrr 是起始寄存器地址。
- 2. 第二个命令字节：000n nnnn，其中 n nnnn 是要读取的寄存器数量-1。

操作的第 17 个 SCLK 上升沿输出第一个寄存器的 MSB，如 Figure 44 所示。当器件处于读数据连续模式时，必须先发出 SDATAC 命令，然后才能发出 RREG 命令。RREG 命令可以随时发出。然而，由于该命令是多字节命令，因此存在 SCLK 速率限制，具体取决于如何发出 SCLK 以满足 t_{SDECODE} 时序。

有关详细信息，请参阅 SERIAL CLOCK (SCLK) 小节。请注意，对于整个命令， $\overline{\text{CS}}$ 必须为低电平。

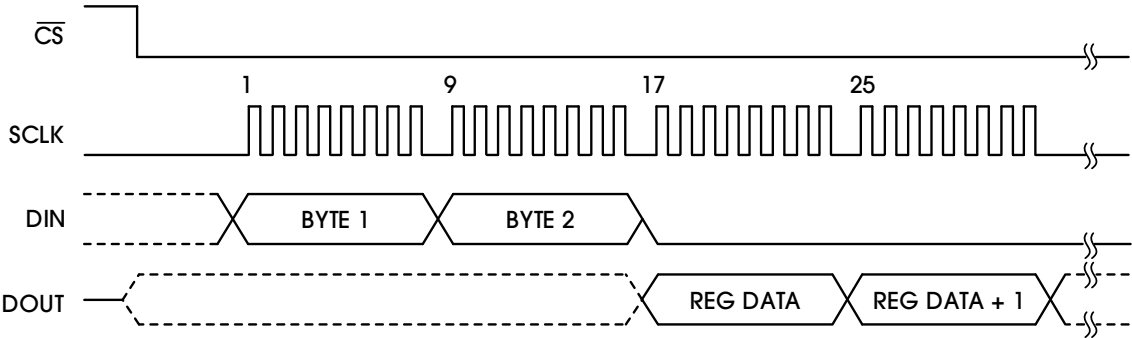


Figure 44. RREG Command Example: Read Two Registers Starting from Register 00h (ID Register) (BYTE 1 = 0010 0000, BYTE 2 = 0000 0001)

8.5.3.12 WREG: 写入寄存器

WREG 命令将数据写入一个或多个器件配置寄存器。寄存器写入命令是一个两字节命令，后跟寄存器数据输入。第一个字节包含命令和寄存器地址。第二个命令字节指定要写入的寄存器数量-1。如果用户要访问具有以上 0x1F 地址的寄存器，请设置 ADDR_OFFSET_EN 位并固定 0x20h 地址偏移，访问完成后，设置 ADDR_OFFSET_DIS 位以清除 0x20h 抵消。

1. 第一个命令字节：010r rrrr，其中 r rrrr 是起始寄存器地址。
2. 第二个命令字节：000n nnnn，其中 n nnnn 是要写入的寄存器数量-1。

命令字节之后是寄存器数据(采用 MSB 优先格式)，如 Figure 45 所示。对于跨保留寄存器(0Dh-11h)的多个寄存器写入，这些寄存器必须包含在寄存器计数中，并且默认设置为必须写入保留寄存器。**WREG** 命令可以随时发出。然而，由于该命令是多字节命令，因此存在 SCLK 速率限制，具体取决于如何发出 SCLK 以满足 $t_{SDECODE}$ 时序。有关详细信息，请参见 Figure 2。对于整个命令， $\overline{CS}$ 必须为低电平。

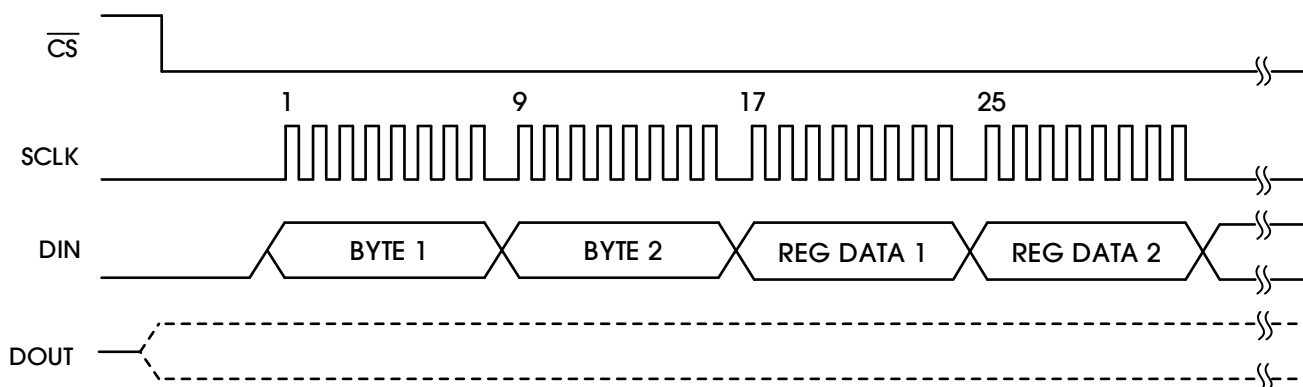


Figure 45. WREG Command Example: Write Two Registers Starting from 00h (ID Register) (BYTE 1 = 0100 0000, BYTE 2 = 0000 0001)

8.5.3.13 RREGX: 从寄存器读取

RREGX 操作码命令读取寄存器数据。**RREG** 命令是一个两字节操作码，后跟寄存器数据的输出。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要读取的寄存器数量-1。

1. 第一个操作码字节：11100100 是读扩展命令寄存器。
2. 第二个操作码字节：0rrr rrrr 是起始寄存器地址。
3. 第三个操作码字节：0nnn nnnn 是要读取的寄存器数量-1。

操作的第 25 个 SCLK 上升沿输出第一个寄存器的 MSB，如 Figure 46 所示。当器件处于读数据连续模式时，必须先发出 SDATAC 命令，然后才能发出 **RREGX** 命令。**RREGX** 命令可以随时发出。然而，由于该命令是多字节命令，因此根据 SCLK 的发出方式，SCLK 速率存在限制。有关详细信息，请参阅 SERIAL CLOCK (SCLK) 部分。对于整个命令， $\overline{CS}$ 必须为低电平。

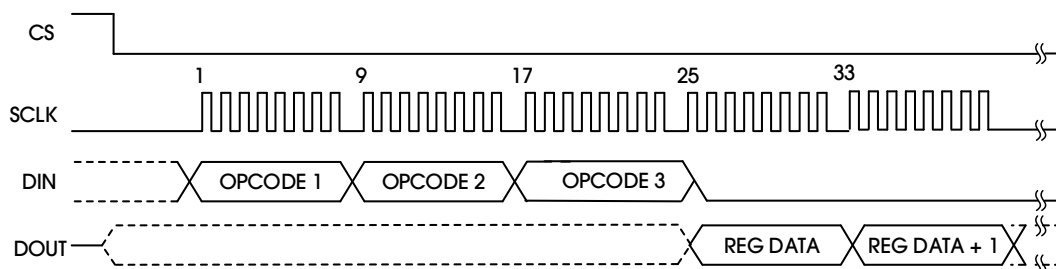


Figure 46. RREGX Command Example: Read Two Registers Starting from Register 00h (ID Register) (OPCODE 1 = 111000100, OPCODE 2 = 0000 0000, OPCODE 3 = 0000 0001)

8.5.3.14 WREGX: 写入寄存器

WREGX 操作码命令写入寄存器数据。WREGX 命令是一个两字节操作码，后跟寄存器数据的输入。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要写入的寄存器的数量-1。

- 1. 第一个操作码字节：11101000，其中 r rrrr 是起始寄存器地址。
- 2. 第二个操作码字节：0rrr rrrr 是起始寄存器地址。
- 3. 第二个操作码字节：0nnn nnnn 是要写入的寄存器数量-1。

操作码字节之后是寄存器数据(采用 MSB 优先格式)，如 Figure 47 所示。可以随时发出 WREGX 命令。然而，由于该命令是多字节命令，因此根据 SCLK 的发出方式，SCLK 速率存在限制。有关详细信息，请参阅 SERIAL CLOCK (SCLK) 部分。对于整个命令，CS 必须为低电平。

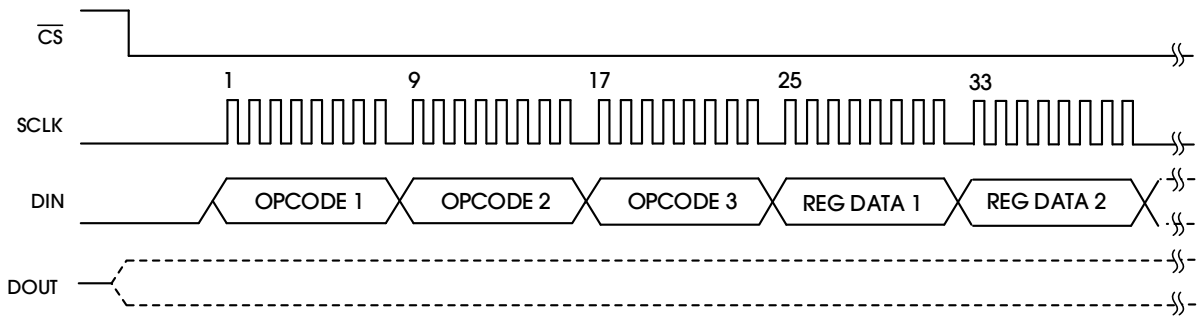


Figure 47. WREGX Command Example: Write Two Registers Starting from 00h (ID Register) (OPCODE 1 = 1110 1000, OPCODE 2 = 0000 0000, OPCODE 3 = 0000 0001)

9. REGISTER MAPS

Table 56 lists the various ADX322x registers.

Table 56. Register Assignments

ADDRESS	REGISTER	RESET	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
DEVICE SETTINGS (READ-ONLY REGISTERS)										
00h	ID	xx	DEV_ID7	DEV_ID6	DEV_ID5	DEV_ID4	DEV_ID3	DEV_ID2	DEV_ID1	DEV_ID0
GLOBAL SETTINGS ACROSS CHANNELS										
01h	CONFIG1	91	1	DAISY_EN	CLK_EN	1	DATA_24BIT	DR2	DR1	DR0
02h	CONFIG2	E0	1	1	1	INT_TEST	0	TEST_AMP	TEST_FREQ1	TEST_FREQ0
03h	CONFIG3	40	PD_REFBUF	1	VREF_4V	0	OPAMPREF_INT	PD_OPAMP	OPAMP_LOFF_SENS	OPAMP_STAT
04h	LOFF	00	COMP_TH2	COMP_TH1	COMP_TH0	0	0	0	0	0
CHANNEL-SPECIFIC SETTINGS										
05h	CH1SET	10	PD1	GAIN12	GAIN11	GAIN10	0	MUX12	MUX11	MUX10
06h	CH2SET	10	PD2	GAIN22	GAIN21	GAIN20	0	MUX22	MUX21	MUX20
07h	CH3SET	10	PD3	GAIN32	GAIN31	GAIN30	0	MUX32	MUX31	MUX30
08h	CH4SET	10	PD4	GAIN42	GAIN41	GAIN40	0	MUX42	MUX41	MUX40
09h	CH5SET ⁽¹⁾	10	PD5	GAIN52	GAIN51	GAIN50	0	MUX52	MUX51	MUX50
0Ah	CH6SET ⁽¹⁾	10	PD6	GAIN62	GAIN61	GAIN60	0	MUX62	MUX61	MUX60
0Bh	CH7SET ⁽¹⁾	10	PD7	GAIN72	GAIN71	GAIN70	0	MUX72	MUX71	MUX70
0Ch	CH8SET ⁽¹⁾	10	PD8	GAIN82	GAIN81	GAIN80	0	MUX82	MUX81	MUX80
LEAD-OFF STATUS REGISTERS (READ-ONLY REGISTERS)										
12h	LOFF_STATP	00	IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
13h	LOFF_STATN	00	IN8N_OFF	IN7N_OFF	IN6N_OFF	IN5N_OFF	IN4N_OFF	IN3N_OFF	IN2N_OFF	IN1N_OFF
GPIO AND OTHER REGISTERS										
14h	GPIO	0F	GPIOD4	GPIOD3	GPIOD2	GPIOD1	GPIOC4	GPIOC3	GPIOC2	GPIOC1
ENHANCE FEATURE REGISTERS										
1Ch	CONFIG5	00	OSC_FSEL1	OSC_FSEL0	0	0	DAISY_ONE_BIT	0	HS_MODE	0
1Dh	CONFIG6	32	SLOW_DATA_EN	IO_DRV	IO_SLEW	DOUT_DRV	SRB1_INPUT_SW	0	OPAMPREF_CTRL	P5VREF_ON
1Fh	CONFIG7	00	ADDR_OFFSET_EN	GAIN_SET2	GAIN_SET1	GAIN_SET0	0	0	VDAC_OPAMPAMP_SW	VDAC_BUFOUT_SW
20h	CONIFG8	40	0	1	0	PDB_VDAC_BUF	0	OPAMPIN_TOREF_ON	0	0
24h	LOFF_ACLO2	45	SQUARE_WAVE	ACDIV_FACTOR	0	OPAMP_DAC_ACEN	ACDIV_FRQ3	ACDIV_FRQ2	ACDIV_FRQ1	ACDIV_FRQ0
25h	REDR2P	00	AC_EXCT_V_MAG2	AC_EXCT_V_MAG1	AC_EXCT_V_MAG0	0	0	0	0	0
2Ah	SRB1_CONFIG	00	SRB1_CH8	SRB1_CH7	SRB1_CH6	SRB1_CH5	SRB1_CH4	SRB1_CH3	SRB1_CH2	SRB1_CH1
2Bh	OPAMP_DAC	20	OPAMP_DAC_EN	OPAMP_VREF_SEL	OPAMP_DAC5	OPAMP_DAC4	OPAMP_DAC3	OPAMP_DAC2	OPAMP_DAC1	OPAMP_DAC0
2Eh	LOW_NOISE	00	LN7	LN6	LN5	LN4	LN3	LN2	LN1	LN0
34h	MISC_ANA	F0	ADDR_OFFSET_DIS	1	1	1	0	0	0	0
35h	MOD_STAT	00	0	0	0	SDC_MODE	STOP	STARNDBY	EFU_UERR	0
36h	CMD_STAT	00	0	OFFSET_CAL_CMD	RDATA_CMD	RDATA_CMD	REGXRD_CMD	REGXWR_CMD	REG_RD_CMD	REG_WR_CMD
37h	PGAP_OOR_STAT	00	PGA8P_OOR	PGA7P_OOR	PGA6P_OOR	PGA5P_OOR	PGA4P_OOR	PGA3P_OOR	PGA2P_OOR	PGA1P_OOR
38h	PGAN_OOR_STAT	00	PGA8N_OOR	PGA7N_OOR	PGA6N_OOR	PGA5N_OOR	PGA4N_OOR	PGA3N_OOR	PGA2N_OOR	PGA1N_OOR

Note 1: CH5SET and CH6SET are not available for the ADX3228. CH7SET and CH8SET registers are not available for the ADX3224 and ADX3226.

Note 2: The OPAMP_SENSP, PACE_SENSP, LOFF_SENSP, LOFF_SENSN, and LOFF_FLIP registers bits(5:4) are not available for the ADX3228. Bits(7:6) are not available for the ADX3224 and ADX3226.

9.1 REGISTER DESCRIPTIONS

The read-only ID control register is programmed during device manufacture to indicate device characteristics.

9.1.1 ID: ID CONTROL REGISTER (ADDRESS = 00H) (RESET = XXH)

Return to the [SUMMARY TABLE](#).

Table 57. ID Control Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:6	DEV_ID(7:6)	R	xh	Device revision ID These bits indicate the revision of the device and are subject to change without notice.
5:2	DEV_ID(3:0)	R	xh	Device identification These bits indicate the device. 1100: ADX3224 1101: ADX3226 1110: ADX3228
1:0	NU_CH(1:0)	R	xh	Number of channels These bits indicate number of channels of the device identification. 00: 4-channel product 01: 6-channel product 10: 8-channel product 11: Reserved

9.1.2 CONFIG1: CONFIGURATION REGISTER 1 (ADDRESS = 01H) (RESET = 91H)

Table 58. Configuration Register 1 Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION			
7	1	R/W	1h	Always write 1h			
6	$\overline{\text{DAISY_EN}}$	R/W	0h	Daisy-chain or multiple readback mode This bit determines which mode is enabled. 0 = Daisy-chain mode 1 = Multiple readback mode			
5	CLK_EN	R/W	0h	CLK connection ⁽¹⁾ This bit determines whether the internal oscillator signal is connected to the CLK pin when the CLKSEL pin = 1. 0 = Oscillator clock output disabled 1 = Oscillator clock output enabled			
4	RESERVED	R/W	2h	Reserved Always write 2h			
3	DATA_24BIT	R/W	0h	ADC data width setting (16bit or 24bit) for high data rate 0: ADC data width is 16bit for 32kSPS/64kSPS. 1: ADC data width is 24bit for 32kSPS/64kSPS.			
2:0	DR{2:0}	R/W	1h	Output data rate These bits determine the output data rate of the device. Check DEVICE WORK MODE for configuration, the device default work mode is High Speed mode.			
				BIT	OVERSAMPLING RATIO	HIGH SPEED	LOW SPEED
						DATA RATE	DATA RATE
				000	$f_{\text{MOD}} / 16$	64kSPS (16bit)	32kSPS (16bit)
				001	$f_{\text{MOD}} / 32$	32kSPS (16bit) (default)	16kSPS (16bit) (default)
				010	$f_{\text{MOD}} / 64$	16kSPS	8kSPS
				011	$f_{\text{MOD}} / 128$	8kSPS	4kSPS
				100	$f_{\text{MOD}} / 256$	4kSPS	2kSPS
				101	$f_{\text{MOD}} / 512$	2kSPS	1kSPS
				110	$f_{\text{MOD}} / 1024$	1kSPS	500SPS
111	—	—	—				

Note: Additional power is consumed when driving external devices.

9.1.3 CONFIG2: CONFIGURATION REGISTER 2 (ADDRESS = 02H) (RESET = 00H)

Table 59. Configuration Register 2 Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:5	RESERVED	R/W	7h	Always write 7h
4	INT_TEST	R/W	0h	Test source This bit determines the source for the test signal. 0 = Test signals are driven externally. 1 = Test signals are generated internally.
3:2	TEST_AMP(1:0)	R/W	0h	Test signal amplitude These bits determine the calibration signal amplitude. 00 = $1 \times (\pm(V_{REFP} - V_{REFN})) / 2400V$ 01 = $2 \times (\pm(V_{REFP} - V_{REFN})) / 2400V$ 10 = $10 \times (\pm(V_{REFP} - V_{REFN})) / 2400V$ 11 = Reserved
1:0	TEST_FREQ(1:0)	R/W	0h	Test signal frequency These bits determine the calibration signal frequency. 00 = Pulsed at $f_{CLK} / 2^{21}$ 01 = Pulsed at $f_{CLK} / 2^{20}$ 10 = Not used 11 = At dc

9.1.4 CONFIG3: CONFIGURATION REGISTER 3 (ADDRESS = 03H) (RESET = 40H)

Configuration register 3 configures multireference and OPAMP operation. Return to the [SUMMARY TABLE](#).

Table 60. Configuration Register 3 Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	<u>PD_REFBUF</u>	R/W	0h	Power-down reference buffer This bit determines the power-down reference buffer state. 0 = Power-down internal reference buffer 1 = Enable internal reference buffer
6	RESERVED	R/W	1h	Reserved Always write 1h
5	VREF_4V	R/W	0h	Reference voltage This bit determines the reference voltage, VREFP. 0 = VREFP is set to 2.4V. 1 = VREFP is set to 4V (used only with a 5V analog supply).
4	Reserved	R/W	0h	Always write 0
3	OPAMPREF_INT	R/W	0h	OPAMPREF signal This bit determines the OPAMPREF signal source. 0 = OPAMPREF signal fed externally 1 = OPAMPREF signal (AVDD – AVSS) / 2 generated internally
2	<u>PD_OPAMP</u>	R/W	0h	OPAMP buffer power This bit determines the OPAMP buffer power state. 0 = OPAMP buffer is powered down. 1 = OPAMP buffer is enabled.
1	OPAMP_LOFF_SENS	R/W	0h	OPAMP sense function This bit enables the OPAMP sense function. 0 = OPAMP sense is disabled. 1 = OPAMP sense is enabled.
0	OPAMP_STAT	R	0h	OPAMP lead-off status This bit determines the OPAMP status. 0 = OPAMP is connected. 1 = OPAMP is not connected.

9.1.5 LOFF: LEAD-OFF CONTROL REGISTER (ADDRESS = 04H) (RESET = 00H)

The lead-off control register configures the lead-off detection operation. Return to the [SUMMARY TABLE](#).

Table 61. Lead-Off Control Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:5	COMP_TH(2:0)	R/W	0h	Lead-off comparator threshold The threshold is used for INxN/INxP and OPAMP if OPAMP_COMP_EN is 0, and it is only valid for INxN/INxP if OPAMP_COMP_EN is 1. Comparator positive side 000 = 95% 001 = 92.5% 010 = 90% 011 = 87.5% 100 = 85% 101 = 80% 110 = 75% 111 = 70% Comparator negative side 000 = 5% 001 = 7.5% 010 = 10% 011 = 12.5% 100 = 15% 101 = 20% 110 = 25% 111 = 30%
4:0	Reserved	R/W	0h	Always write 0

9.1.6 CHNSET: INDIVIDUAL CHANNEL SETTINGS (N = 1 TO 8) (ADDRESS = 05H TO 0CH) (RESET = 10H)

The CH(1:8)SET control register configures the power mode, PGA gain, and multiplexer settings channels. See the [INPUT MULTIPLEXER](#) section for details. CH(2:8)SET are similar to CH1SET, corresponding to the respective channels. Return to the [SUMMARY TABLE](#).

Table 62. Individual Channel Settings (n = 1 to 8) Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	PDn	R/W	0h	Power-down This bit determines the channel power mode for the corresponding channel. 0 = Normal operation 1 = Channel power-down When powering down a channel, it is recommended that the channel be set to input short by setting the appropriate MUXn(2:0) = 001 of the CHnSET register.
6:4	GAINn(2:0)	R/W	1h	PGA gain These bits determine the PGA gain setting. 000 = N/A 001 = 1 010 = 2 011 = 48 100 = 4 101 = 8 110 = 12 111 = 24
3	RESERVED	R/W	0h	Reserved Always write 0h
2:0	MUXn(2:0)	R/W	0h	Channel input 000 = Normal electrode input 001 = Input shorted (for offset or noise measurements) 010 = Used in conjunction with OPAMP_MEAS bit for OPAMP measurements. 011 = MVDD for supply measurement 100 = Temperature sensor 101 = Test signal 110 = OPAMP_DRP (positive electrode is the driver.) 111 = OPAMP_DRN (negative electrode is the driver.) Others = Reserved

9.1.7 LOFF_STASP: POSITIVE SIGNAL LEAD-OFF STATUS REGISTER (ADDRESS = 12H) (RESET = 00H)

This register selects the positive side from each channel for lead-off status. Return to the [SUMMARY TABLE](#).
Registers bits(5:4) are not available for the ADX3224. Bits(7:6) are not available for the ADX3226 and ADX3228.

Table 63. Positive Signal Lead-Off Detection Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	LOFF8P	R/W	0h	IN8P lead-off Enable lead-off detection on IN8P 0: Disabled 1: Enabled
6	LOFF7P	R/W	0h	IN7P lead-off Enable lead-off detection on IN7P 0: Disabled 1: Enabled
5	LOFF6P	R/W	0h	IN6P lead-off Enable lead-off detection on IN6P 0: Disabled 1: Enabled
4	LOFF5P	R/W	0h	IN5P lead-off Enable lead-off detection on IN5P 0: Disabled 1: Enabled
3	LOFF4P	R/W	0h	IN4P lead-off Enable lead-off detection on IN4P 0: Disabled 1: Enabled
2	LOFF3P	R/W	0h	IN3P lead-off Enable lead-off detection on IN3P 0: Disabled 1: Enabled
1	LOFF2P	R/W	0h	IN2P lead-off Enable lead-off detection on IN2P 0: Disabled 1: Enabled
0	LOFF1P	R/W	0h	IN1P lead-off Enable lead-off detection on IN1P 0: Disabled 1: Enabled

9.1.8 LOFF_STASN: NEGATIVE SIGNAL LEAD-OFF STATUS REGISTER (ADDRESS = 13H) (RESET = 00H)

This register selects the negative side from each channel for lead-off status. Return to the [SUMMARY TABLE](#). Registers bits(5:4) are not available for the ADX3224. Bits(7:6) are not available for the ADX3226 and ADX3228.

Table 64. Negative Signal Lead-Off Detection Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	LOFF8N	R/W	0h	IN8N lead-off status 0: Negative side is connected. 1: Negative side is off.
6	LOFF7N	R/W	0h	IN7N lead-off status 0: Negative side is connected. 1: Negative side is off.
5	LOFF6N	R/W	0h	IN6N lead-off status 0: Negative side is connected. 1: Negative side is off.
4	LOFF5N	R/W	0h	IN5N lead-off status 0: Negative side is connected. 1: Negative side is off.
3	LOFF4N	R/W	0h	IN4N lead-off status 0: Negative side is connected. 1: Negative side is off.
2	LOFF3N	R/W	0h	IN3N lead-of status 0: Negative side is connected. 1: Negative side is off.
1	LOFF2N	R/W	0h	IN2N lead-off status 0: Negative side is connected. 1: Negative side is off.
0	LOFF1N	R/W	0h	IN1N lead-off status 0: Negative side is connected. 1: Negative side is off.

9.1.9 GPIO: GENERAL-PURPOSE I/O REGISTER (ADDRESS = 14H) (RESET = 0FH)

The general-purpose I/O register controls the action of the three GPIO pins. Return to the [SUMMARY TABLE](#).

Table 65. General-Purpose I/O Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:4	GPIOD(4:1)	R/W	0h	GPIO data These bits are used to read and write data to the GPIO ports. When reading the register, the data returned correspond to the state of the GPIO external pins, whether they are programmed as inputs or as outputs. As outputs, a write to the GPIOD sets the output value. As inputs, a write to the GPIOD has no effect. GPIO is not available in certain respiration modes.
3:0	GPIOC(4:1)	R/W	Fh	GPIO control (corresponding GPIOD) These bits determine whether the corresponding GPIOD pin is an input or output. 0 = Output 1 = Input

9.1.10 CONIG5: CONFIGURATION REGISTER 5 (ADDRESS = 1CH) (RESET = 02H)

The CONFIG5 configuration register configures the device selection.

Table 66. Configuration Register 5 Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:6	IOSC_FSEL	R/W	0h	Internal OSC frequency selection 00: 2.048MHz OSC 01: 1.024MHz OSC 10: 512kHz OSC 11: 256kHz OSC
5:4	Reserved	R/W	0	Always write 0
3	DAISY_ONE_BIT	R/W	0h	Daisy Chain has additional one bit control. 0: Daisy chain has no additional one dummy bit. 1: Daisy chain has additional one dummy bit.
2	Reserved	R/W	0h	Always write 0
1	HS_MODE	R/W	1h	High Speed enable. 0: Disable high speed mode 1: Enable high speed mode
0	Reserved	R/W	0h	Always write 0

9.1.11 CONIG6: CONFIGURATION REGISTER 6 (ADDRESS = 1DH) (RESET = 32H)

The CONFIG6 configuration register configures the device selection.

Table 67. Configuration Register 6 Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	SLOW_DATA_EN	R/W	0h	High speed data output mode 0: Max data rate is 64kHz with modulator 1.024MHz. 1: Max data rate is 32kHz with modulator 512kHz.
6	IO_DRV	R/W	0h	I/O strong driver (3mA) mode enable except DOUT pin 0 = Strong mode enable 1 = Strong mode disable
5	IO_SLEW	R/W	1h	I/O slew read mode enable 0 = IO slew rate boost mode disable 1 = IO slew rate boost mode enable
4	DOUT_DRV	R/W	1h	DOUT strong driver (3mA) mode enable 0 = Strong mode enable 1 = Strong mode disable
3	SRB1_INMUX_SW	R/W	0h	SRB1 PIN input to mux switch 0: Switch is off. 1: Switch is on.
2	Reserved	R/W	0h	Always write 0
1	OPAMPREF_CTRL	R/W	1h	OPAMP AMP REF selection for OPAMPREF If the OPAMPREF_INT is one, this bit will be ignored; if the OPAMPREF_INT is zero, this bit will be valid. 0: OPAMPREF for OPAMP_AMP source switch is off. 1: OPAMPREF for OPAMP_AMP source switch is on.
0	P5VREF_ON	R/W	0h	P5VERF_ON switch enable 0: Switch is off. 1: Switch is on.

9.1.12 CONIG7: CONFIGURATION REGISTER 7 (ADDRESS = 1FH) (RESET = 00H)

The CONFIG7 configuration register configures the device selection.

Table 68. Configuration Register 7 Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	ADDR_OFFSET_EN	R/W	0h	SPI RREG and WREG command address with 0x20h offset enable Software writes to 1 and hardware is cleared to 0. 0: 0x20h address offset disable 1: 0x20h address offset enable for RREG and WREG, and it is cleared when ADDR_OFFSET_DIS is 0.
6:4	GAIN_SET(2:0)	R/W	0h	Gain setting with different gain configuration The gain error will increase with gain increase. When using big gain, increase the gain setting. Otherwise, when using small gain, downsize the gain setting. gain_setting == 3'b000 ? gain_base : gain_setting == 3'b001 ? (gain_base <= 4'b1110 : (gain_base + 4'h1) : 4'b1111) : gain_setting == 3'b010 ? (gain_base <= 4'b1101 : (gain_base + 4'h2) : 4'b1111) : gain_setting == 3'b011 ? (gain_base <= 4'b1100 : (gain_base + 4'h3) : 4'b1111) : gain_setting == 3'b100 ? (gain_base >= 4'b0001 : (gain_base - 4'h1) : 4'b0000) : gain_setting == 3'b101 ? (gain_base >= 4'b0010 : (gain_base - 4'h2) : 4'b0000) : gain_setting == 3'b110 ? (gain_base >= 4'b0011 : (gain_base - 4'h3) : 4'b0000) : gain_setting == 3'b111 ? 4'b0000;
3:2	Reserved	R/W	0h	Always write 0
1	VDAC_RLDAMP_SW	R/W	0h	VDAC to AMP switch enable 0: Switch disable 1: Switch enable
0	VDAC_BUFOUT_SW	R/W	0h	VDAC to BUFOUT switch enable 0: Switch disable 1: Switch enable

9.1.13 CONFIG8: CONFIGURATION REGISTER 8 (ADDRESS = 20H) (RESET = 40H)

The configuration register configures the device selection.

Table 69. Configuration Register 8 Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	Reserved	R/W	0h	Always write 0
6	Reserved	R/W	1h	Always write 1
5	Reserved	R/W	0h	Always write 0
4	PDB_VDAC_BUF	R/W	0h	Power-down VDAC buffer This bit determines the power-down reference buffer state. 0 = VDAC buffer is disabled. 1 = VDAC buffer is enabled.
3	Reserved	R/W	0h	Always write 0
2	OPAMPIN_TOREF_ON	R/W	0h	OPAMP route to VREF switch control 0: Switch is open. 1: Switch is closed.
1:0	Reserved	R/W	0h	Always write 0

9.1.14 LOFF_ACLO2: AC LEAD OFF CONFIGURATION REGISTER (ADDRESS = 24H)
(RESET = 45H)

The LOFF_ACLO2 configuration register configures the device LOFF circuit channel selection.

Table 70. AC Lead Off Configuration Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION		
7	SQUARE_WAVE	R/W	0h	Square or sine wave for VDAC 0: Sine wave and sine magnitude is decided by AC_EXCT_VMAG. 1: Square wave and square magnitude is decided by OPAMP_DAC(5:0).		
6	ACDIV_FACTOR	R/W	1h	VDAC AC frequency division factor 0: Clock divider factor K = 1 1: Clock divider factor K = 6		
5	0	R/W	0h	Must be 0		
4	OPAMP_DAC_ACEN	R/W	0h	OPAMP DAC uses sine excitation generated by internal DDS. 0: OPAMP DAC AC source is disabled. 1: OPAMP DAC AC source is enabled.		
3:0	ACDIV_FRQ(3:0)	R/W	05h	VDAC AC signal frequency setting		
				ACDIV_FRQ	ACDIV_FACTOR = 0	ACDIV_FACTOR = 1
				0000	32000Hz AC signal	5333.3Hz AC signal
				0001	16000Hz AC signal	2666.6Hz AC signal
				0010	8000Hz AC signal	1333.3Hz AC signal
				0011	4000Hz AC signal	666.6Hz AC signal
				0100	2000Hz AC signal	333.3Hz AC signal
				0101	1000Hz AC signal	166.6Hz AC signal
				0110	500Hz AC signal	83.3Hz AC signal
				0111	250Hz AC signal	41.6Hz AC signal
				1000	125Hz AC signal	20.8Hz AC signal
				1001	62.5Hz AC signal	10.4Hz AC signal
				1010	31.2Hz AC signal	5.2Hz AC signal
				1011	15.6HZ AC signal	2.6Hz AC signal
				1100	7.8Hz AC signal	1.3Hz AC signal
				1101	3.9Hz AC signal	0.6Hz AC signal
				Reserved	Reserved	Reserved

9.1.15 REDR2P: RED ROUTE TO CHANNEL POSITIVE REGISTER (ADDRESS = 25H)
(RESET = 00H)

The REDR2P configuration register configures the device route channel selection.

Table 71. Red Route to Channel Positive Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:5	AC_EXCT_VMAG	R/W	0h	AC excitation sine wave amplitude selection for IDAC The AVDD, VREFP source is decided by OPAMP_VERF_SEL.
				AC_EXCT_VMAGSINE AC AMPLITUDE
				000(0V, AVDD or VREFP)
				001(0V, (AVDD or VREFP) / 2)
				010(0V, (AVDD or VREFP) / 4)
				011(0V, (AVDD or VREFP) / 8)
				100(0V, (AVDD or VREFP) / 16)
				101(0V, (AVDD or VREFP) / 32)
				110(0V, (AVDD or VREFP) / 64)
				111(0V, (AVDD or VREFP) / 128)
4:0	Reserved	R/W	0	Always write 0

9.1.16 SRB1_CONFIG: SHARE BIAS CONTROLLER REGISTER (ADDRESS = 2AH)
(RESET = 00H)

This register selects the 8 channels common negative side.

Table 72. Share Bias Controller Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	SRB1_SW8	R/W	0h	Stimulus, reference, and bias 1 This bit connects the SRB1 to channel 8 inverting input. 0: Switches are open. 1: Switches are closed.
6	SRB1_SW7	R/W	0h	Stimulus, reference, and bias 1 This bit connects the SRB1 to channel 7 inverting input. 0: Switches are open. 1: Switches are closed.
5	SRB1_SW6	R/W	0h	Stimulus, reference, and bias 1 This bit connects the SRB1 to channel 6 inverting input. 0: Switches are open. 1: Switches are closed.
4	SRB1_SW5	R/W	0h	Stimulus, reference, and bias 1 This bit connects the SRB1 to channel 5 inverting input. 0: Switches are open. 1: Switches are closed.
3	SRB1_SW4	R/W	0h	Stimulus, reference, and bias 1 This bit connects the SRB1 to channel 4 inverting input. 0: Switches are open. 1: Switches are closed.
2	SRB1_SW3	R/W	0h	Stimulus, reference, and bias 1 This bit connects the SRB1 to channel 3 inverting input. 0: Switches are open. 1: Switches are closed.
1	SRB1_SW2	R/W	0h	Stimulus, reference, and bias 1 This bit connects the SRB1 to channel 2 inverting input. 0: Switches are open. 1: Switches are closed.
0	SRB1_SW1	R/W	0h	Stimulus, reference, and bias 1 This bit connects the SRB1 to channel 1 inverting input. 0: Switches are open. 1: Switches are closed.

9.1.17 OPAMP_DAC: OPAMP DAC CONTROLLER REGISTER (ADDRESS = 2BH) (RESET = 20H)

This register is used to control the OPAMP DAC function.

Table 73. OPAMP DAC Controller Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	OPAMP_DACEN	R/W	0h	OPAMP DAC function enable 0: Disable OPAMP DAC path 1: Enable OPAMP DAC path
6	OPAMP_VREF_SEL	R/W	1h	OPAMP reference selection 0: AVDD is the reference. 1: VREFP is the reference.
5:0	OPAMP_DAC(5:0)	R/W	0h	OPAMP DAC voltage setting The voltage source VDAC_SRC is AVDD or VREFP based on the OPAMP_VREF_SEL bit. 000000: Voltage is VDAC_SRC $\times$ 1 / 64. 000001: Voltage is VDAC_SRC $\times$ 2 / 64. ... 100000: Voltage is VDAC_SRC $\times$ 32 / 64. 111111: Voltage is VDAC_SRC $\times$ 63 / 64.

9.1.18 LOW NOISE SETTING REGISTER (ADDRESS = 2EH) (RESET = 00H)

Table 74. Low Noise Setting Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:0	LOW_NOISE(7:0)	R/W	0h	00h: Default setting for normal operation 86h: Enable the low noise mode Others: Reserved

9.1.19 MISC_ANA: SPARE FUNCTION REGISTER (ADDRESS = 34H) (RESET = F0H)

Spare function register for metal fix

Table 75. Spare Function Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	ADDR_OFFSET_DIS	R/W	1h	SPI RREG and WREG command address no 0x20h offset Software writes to 1 and hardware clears to 0. 0: 0x20h address offset disabled for RREG and WREG access 1: No 0x20h address offset for RREG and WREG access
6:4	Reserved	R/W	7h	Always write 0x7h
3:0	Reserved	R/W	0h	Always write 0

9.1.20 MOD_STAT: MOD STATUS REGISTER (ADDRESS = 35H) (RESET = 00H)

Device module internal status register, read only

Table 76. MOD Status Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:5	Reserved	R	0	Reserved
4	SDC_MODE	R	0	Device is in STOPC mode. 0 = Device is in RDATAAC mode. 1 = Device is in STOPC mode.
3	STOP	R	0	Device is in stop status when the STOP command is executed, and in start status when the START command is executed. 0 = Device is in START status. 1 = Device is in STOP status.
2	STANDBY	R	0	Device in STANDBY status or not 0 = Device is in wake up status. 1 = Device is in standby status.
1	EFU_UERR	R	X	Device initial fault status 0 = Device has no fault status. 1 = Device has fault status.
0	Reserved	R	X	Device initial warning status

9.1.21 CMD_STAT: COMMAND STATUS REGISTER (ADDRESS = 36H) (RESET = 00H)

Device command status register, read only

Table 77. Command Status Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	Reserved	R/W	0	Always write 0
6	OFFSET_CAL_CMD	R/W	0	OFFSET Calibration command execute status Software writes 0 to clear it. 0 = No OFFSET Calibration command is executed. 1 = Has OFFSET Calibration command is executed.
5	RDATAAC_CMD	R/W	0	RDATAAC command execute status Software writes 0 to clear it. 0 = No RDATAAC command is executed. 1 = Has RDATAAC command is executed.
4	RDATA_CMD	R/W	0	RDATA command execute status Software writes 0 to clear it. 0 = No RDATA command is executed. 1 = Has RDATA command is executed.
3	REGX_RD_CMD	R/W	0	WREGX command execute status Software writes 0 to clear it. 0 = No WREGX command is executed. 1 = Has WREGX command is executed.
2	REGX_WR_CMD	R/W	0	RREGX command execute status Software writes 0 to clear it. 0 = No RREGX command is executed. 1 = Has RREG command is executed.
1	REG_RD_CMD	R/W	0	WREG command execute status Software writes 0 to clear it. 0 = No WREG command is executed. 1 = Has WREG command is executed.
0	REG_WR_CMD	R/W	0	RREG command execute status Software writes 0 to clear it. 0 = No RREG command is executed. 1 = Has RREG command is executed.

9.1.22 PGAP_OOR_STAT: PGA POSITIVE OOR STATUS REGISTER (ADDRESS = 37H) (RESET = 00H)

PGAP out of range status

Table 78. PGA Positive OOR Status Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	PGA8P_OOR	R/W	0	Channel 8 PGA positive out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
6	PGA7P_OOR	R/W	0	Channel 7 PGA positive out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
5	PGA6P_OOR	R/W	0	Channel 6 PGA positive out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
4	PGA5P_OOR	R/W	0	Channel 5 PGA positive out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
3	PGA4P_OOR	R/W	0	Channel 4 PGA positive out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
2	PGA3P_OOR	R/W	0	Channel 3 PGA positive out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
1	PGA2P_OOR	R/W	0	Channel 2 PGA positive out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
0	PGA1P_OOR	R/W	0	Channel 1 PGA positive out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range

9.1.23 PGAN_OOR_STAT: PGA NEGATIVE OOR STATUS REGISTER (ADDRESS = 38H) (RESET = 00H)

PGAN out of range status register

Table 79. PGA Negative OOR Status Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	PGA8N_OOR	R/W	0	Channel 8 PGA negative out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
6	PGA7N_OOR	R/W	0	Channel 7 PGA negative out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
5	PGA6N_OOR	R/W	0	Channel 6 PGA negative out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
4	PGA5N_OOR	R/W	0	Channel 5 PGA negative out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
3	PGA4N_OOR	R/W	0	Channel 4 PGA negative out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
2	PGA3N_OOR	R/W	0	Channel 3 PGA negative out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
1	PGA2P_OOR	R/W	0	Channel 2 PGA negative out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range
0	PGA1P_OOR	R/W	0	Channel 1 PGA negative out of range status Software writes 0 to clear it. 0 = No out of range 1 = Out of range

10. 应用和实现

注

以下应用部分中的信息不是公司组件规范的一部分，公司不保证其准确性或完整性。公司的客户有责任确定组件是否适合他们的用途。客户应验证和测试他们的设计实施以确认系统功能。

10.1 应用信息

10.1.1 未使用的输入和输出

关闭未使用的模拟输入并将其直接连接至 AVDD。

如果未使用偏置放大器，请将其断电并浮动 OPAMP_OUT 和 OPAMP_N。将 OPAMP_P 直接连接到 AVSS 或在未使用时保持浮动。

通过单独的 10k Ω 电阻器将 TEST_N 和 TEST_P 连接到 AVDD，或者如果未使用且未使用内部测试信号，则将它们悬空。如果使用内部测试信号，则将 TEST_P 和 TEST_N 悬空。如果使用外部测试信号，请连接到外部测试电路。

请勿浮动未使用的数字输入，因为可能会导致过多的电源漏电流。通过 $\geq 10k\Omega$ 电阻将两态模式设置引脚设置为高电平至 DVDD 或低电平至 DGND。

如果未使用，则使用弱上拉电阻将 $\overline{DRDY}$ 拉至电源。如果不是菊花链设备，请将 DAISY_IN 直接连接到 DGND。

10.1.2 设置设备进行基本数据采集

本节概述了在基本状态下配置设备并捕获数据的过程。此过程旨在将设备置于数据表状态，以检查设备是否在用户系统中正常工作。建议首先遵循此过程以熟悉设备设置。验证此过程后，可以根据需要配置设备。有关命令时序的详细信息，请参阅数据表中的相应部分。Figure 48 的流程图详细介绍了 ADX3224/ADX3226/ADX3228 的初始配置和设置。

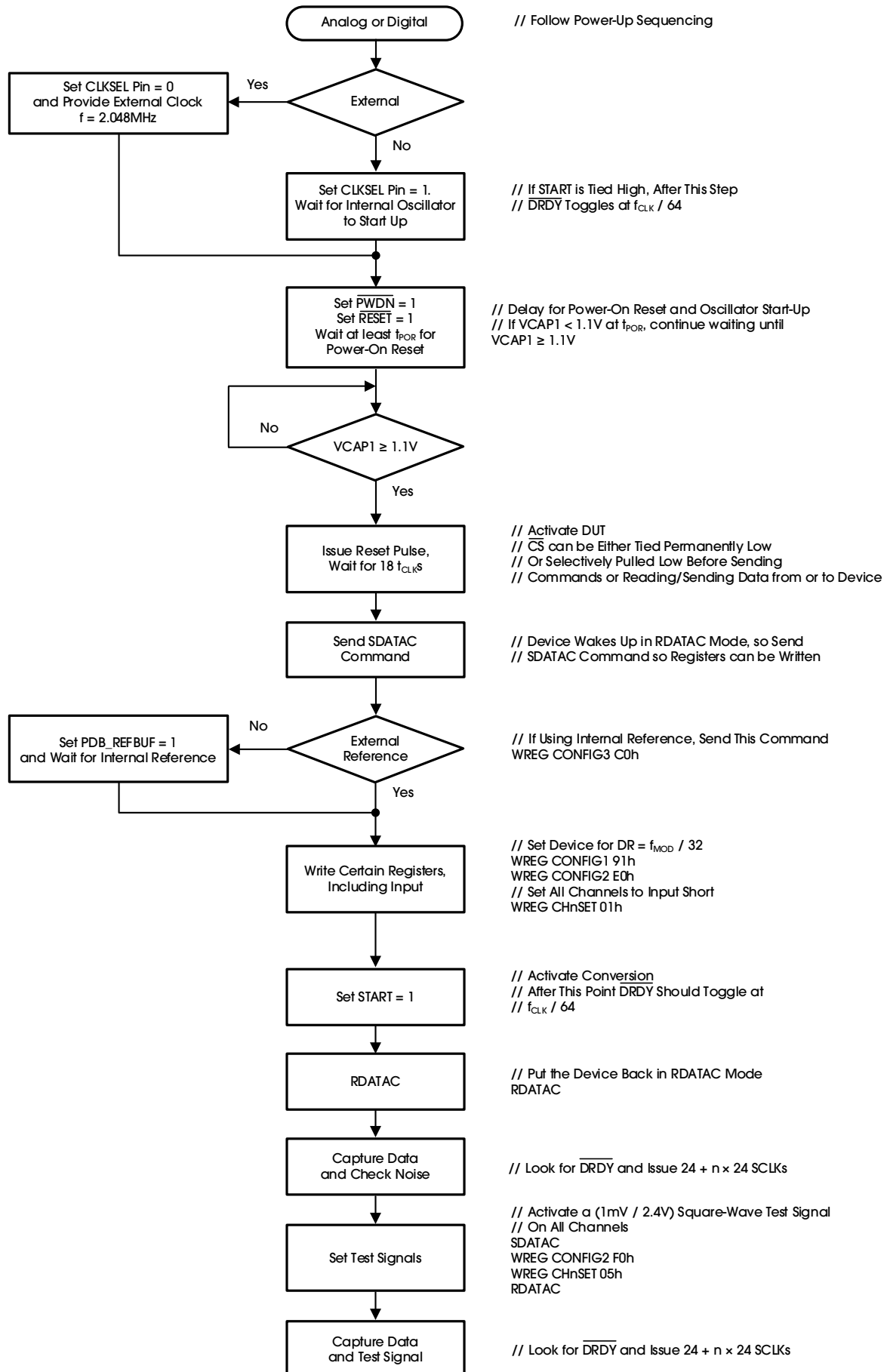


Figure 48. Initial Flow at Power-Up

10.1.3 多设备配置

当系统中使用多个器件时，ADX3224/ADX3226/ADX3228 提供配置灵活性。串行接口通常需要四个信号：DIN、DOUT、SCLK 和 $\overline{CS}$ 。通过每个器件一个附加的片选信号，多个器件可以在同一 SPI 总线上运行。连接 N 个设备所需的信号数量为 $3 + N$ 。

10.1.3.1 同步多设备

当使用多个设备时，可以使用 START 信号来同步设备。对于给定的数据速率，从 START 信号的上升沿到 $\overline{DRDY}$ 信号的下降沿的延迟时间是固定的(有关稳定时间的更多详细信息，请参阅 START 部分)。Figure 49 显示了两个器件与 START 信号同步时的行为。

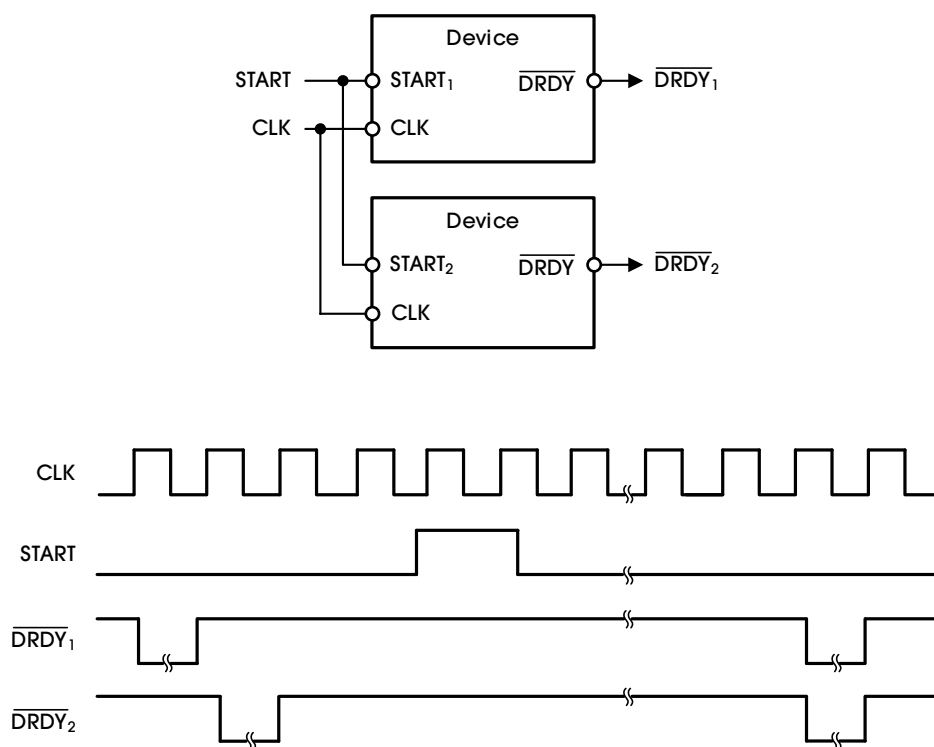


Figure 49. Synchronizing Multiple Converters

要在菊花链配置中使用内部振荡器，必须将一个器件设置为时钟源的主器件，并启用内部振荡器(CLKSEL 引脚 = 1)，并且必须通过设置 CLK_EN 寄存器位设置为 1。主设备时钟用作其他设备的外部时钟源。

有两种方法可以通过最佳数量的接口引脚连接多个设备：标准配置和菊花链配置。

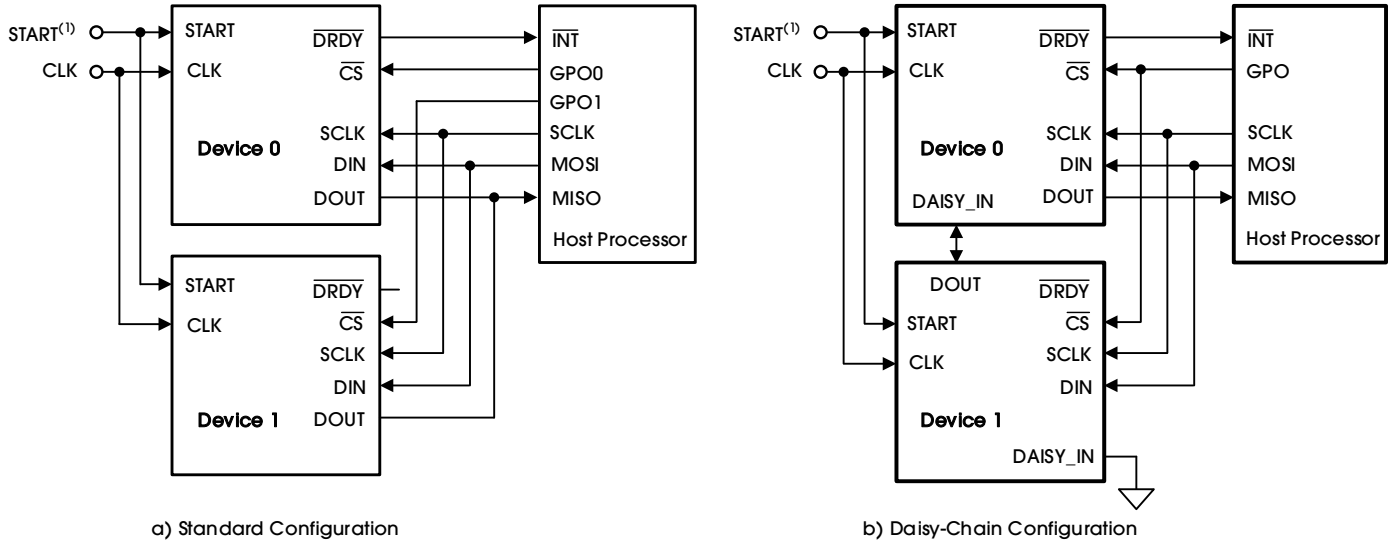
10.1.3.2 标准配置

Figure 50a 显示了两个 ADX3224/ADX3226/ADX3228 器件级联的配置。这些设备共同创建了一个具有多达 16 个通道的系统。DOUT、SCLK 和 DIN 是共享的。每个设备都有自己的芯片选择。当相应的 $\overline{CS}$ 驱动为逻辑 1 时未选择某个器件时，该器件的 DOUT 引脚呈高阻抗。该结构允许其他设备控制 DOUT 总线。这种配置方法适用于大多数有额外 I/O 引脚的应用。

10.1.3.3 菊花链配置

通过设置 CONFIG1 寄存器中的 DAISY_IN 位来启用菊花链模式。Figure 50b 显示了菊花链配置。在此模式下，SCLK、DIN 和 CS 在多个设备之间共享。器件 1 的 DOUT 引脚连接到器件 0 的 DAISY_IN 引脚，从而为数据创建菊花链。如果不使用，请将设备 1 的 DAISY_IN 引脚连接到 DGND。SPI 接口的菊花链时序要求如 Figure 3 和 Figure 4 所示。来自 ADX3224/ADX3226/ADX3228 器件 0 的数据首先出现在 DOUT 上，随后是一个无关位，然后是来自 ADX3224/ADX3226/ADX3228 设备 1 的状态和数据字。

无法启用内部振荡器输出，因为链中的所有器件都通过共享相同的 DIN 引脚进行操作，因此必须使用外部时钟。



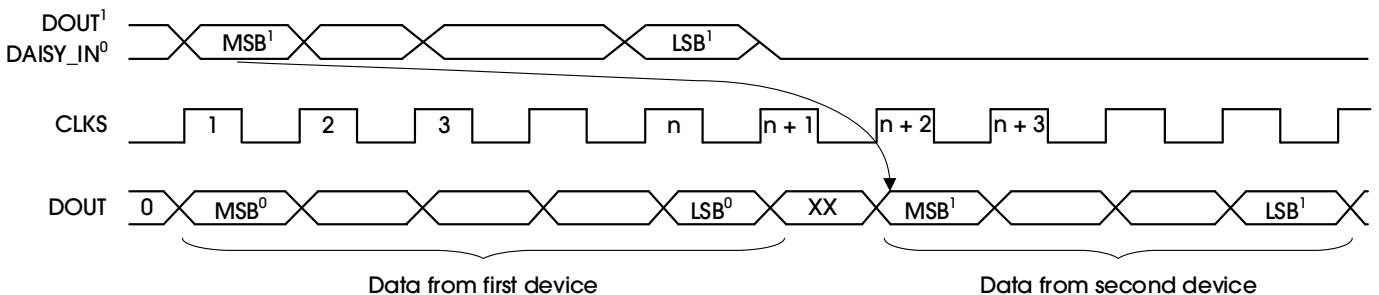
(1) To reduce pin count, set the START pin low and use the START command to synchronize and start conversions.

Figure 50. Multiple Device Configurations

使用菊花链模式时需要注意以下几点：

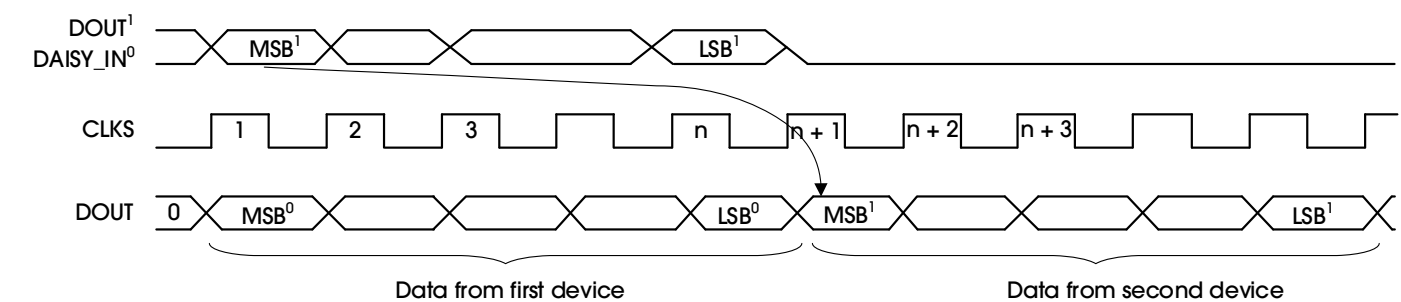
1. 每个数据集之间必须发出一个额外的 SCLK (参见 Figure 51)。
2. 所有器件都配置为相同的寄存器值，因为 $\overline{CS}$ 信号是共享的。
3. 设备寄存器回读仅对菊花链中的设备 0 有效。只能从设备 1 到设备 N 读回 ADC 转换数据，其中 N 是链中的最后一个设备。

链中的设备越多，遵守建立和保持时间就越具有挑战性。SCLK 与所有器件的星形连接可最大程度地缩短 DOUT 的走线长度，而其他印刷电路板(PCB)布局技术有助于缓解信号延迟带来的这一挑战。在 DOUT 和 DAISY_IN 之间放置延迟电路(例如缓冲器)是有助于减少信号延迟的选择。另一种选择是在 DOUT 和 DAISY_IN 之间插入一个 D 触发器，该触发器由反相 SCLK 提供时钟。Figure 51 显示了菊花链模式的时序图。



NOTE: $n = (\text{number of channels}) \times (\text{resolution}) + 24$ bits. The number of channels is 8. Resolution is 16 bits or 24 bits.

Figure 51. Daisy-Chain Data Word (DAISY_ONE_BIT is '1')



NOTE: $n = (\text{number of channels}) \times (\text{resolution}) + 24$ bits. The number of channels is 8. Resolution is 16 bits or 24 bits.

Figure 52. Daisy-Chain Interface Timing (DAISY_ONE_BIT is '0')

可以菊花链连接的最大设备数量取决于设备运行的数据速率。最大设备数量可使用 Equation 10 计算。

$$N_{\text{DEVICES}} = \frac{f_{\text{SCLK}}}{f_{\text{DR}}(N_{\text{BITS}})(N_{\text{CHANNELS}}) + 24} \tag{10}$$

其中：

- N_{BITS} = 器件分辨率(取决于 DR(2:0)设置)
- N_{CHANNELS} = 器件中通电的通道数

例如，当 ADX3224/ADX3226/ADX3228 以 24 位、8kSPS 数据速率运行且 $f_{\text{SCLK}} = 10\text{MHz}$ 时，最多可以将六个器件以菊花链方式连接在一起。

10.1.4 电源监控特定应用

ADX3224/ADX3226/ADX3228 的所有通道完全相同，但可独立配置，从而使用户可以灵活地选择任何通道进行电压或电流监控。Figure 53 显示了配置为监测电压和电流的系统的概述。此外，该器件的同步采样功能允许用户同时监测电流和电压。每个通道的满量程差分输入电压由相应通道的 PGA 增益设置(请参阅 CHNSET: INDIVIDUAL CHANNEL SETTINGS 部分)和 V_{REF} (请参阅 CONFIG3: CONFIGURATION REGISTER 3 部分)确定。

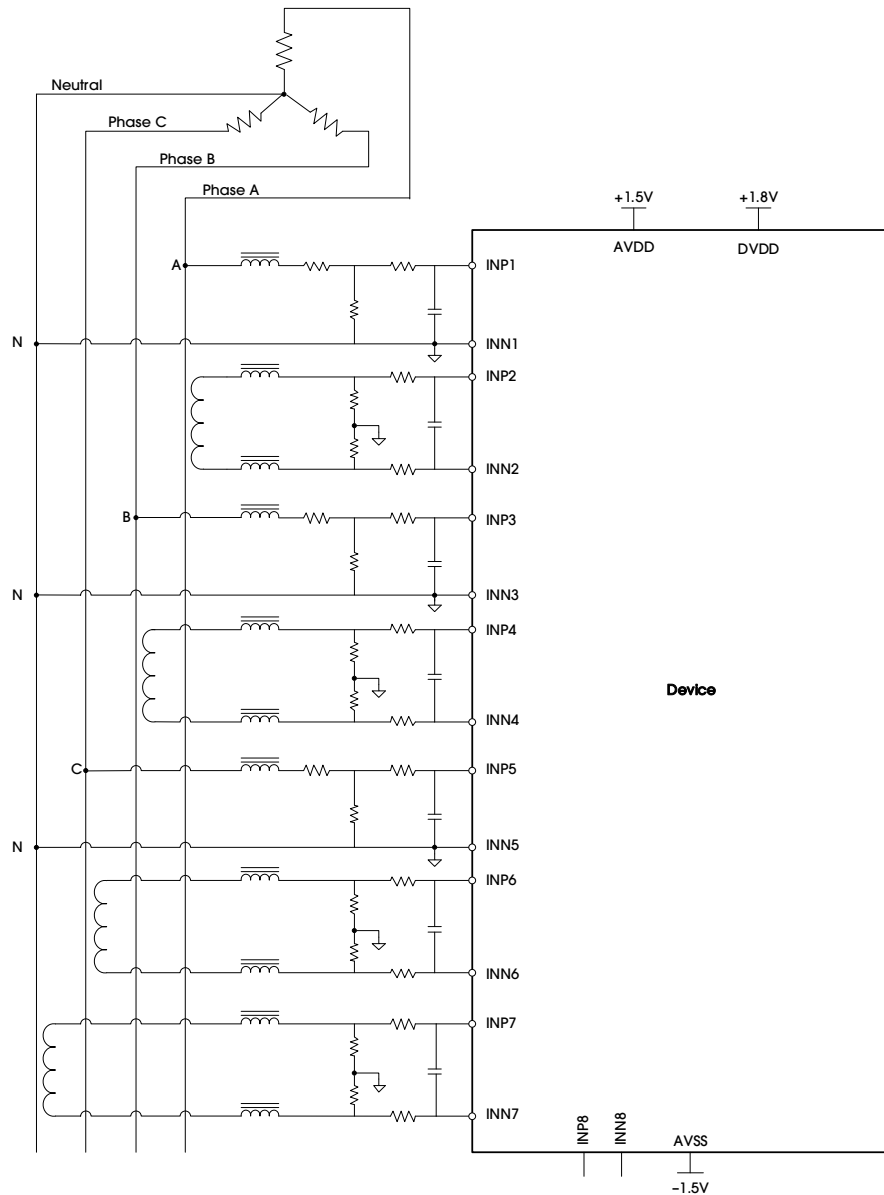
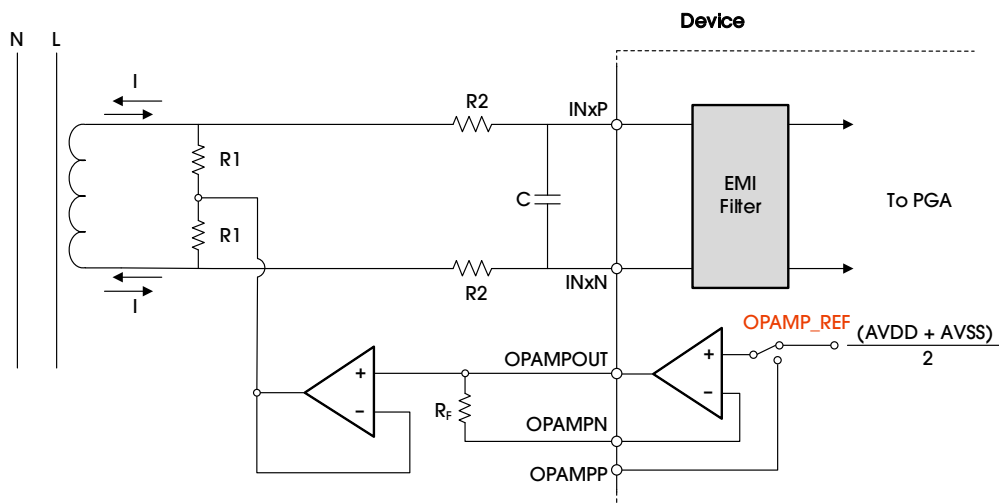


Figure 53. Overview of a Power-Monitoring System

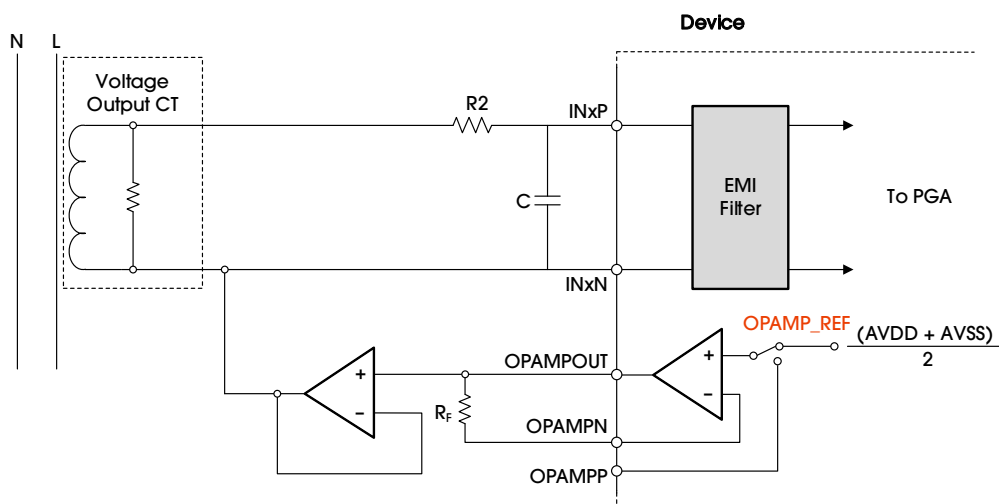
10.1.5 电流检测

Figure 54 显示了用于使用 Rogowski 线圈、电流互感器(CT)或输出电流或电压的空气线圈进行电流感测的典型配置的简化图。对于电流输出变压器，负载电阻(R1)用于电流到电压的转换。负载电阻的输出通过用于电流检测的抗混叠 RC 滤波器连接至 ADX3224/ADX3226/ADX3228 INxP 和 INxN 输入。对于用于电流检测的电压输出变压器(例如某些类型的罗氏线圈)，变压器的输出端子通过抗混叠 RC 滤波器直接连接到 ADX3224/ADX3226/ADX3228 INxP 和 INxN 输入。如果使用单极电源模拟配置($AVSS = 0V$ ， $AVDD = 2.7V$ 至 $5.5V$)，输入网络必须偏置到中间电源。通过使用 RF 电阻将内部运算放大器配置为单位增益配置并设置 CONFIG3 的 OPAMP_REF 位，可以从 ADX3224/ADX3226/ADX3228 获得共模偏置电压($(AVDD + AVSS) / 2$)寄存器为 1，或通过正负电源之间的电阻分压器网络在外部生成。

选择电流输出变压器的电阻器 R1 的值以及变压器的匝数比，以便不超过 ADX3224/ADX3226/ADX3228 满量程差分输入电压范围。同样，选择电压输出变压器的输出电压不要超过满量程差分输入电压范围。此外，电阻器(R1 和 R2)和匝数比的选择不得使变压器在整个工作动态范围内饱和。Figure 54a 示出了差分输入电流感测，Figure 54b 示出了单端输入电压感测。使用单独的外部运算放大器来提供和吸收电流，因为内部运算放大器的电流吸收和拉电流能力非常有限。此外，每个通道的单独运算放大器有助于将各个相位彼此隔离，以限制串扰。



(a) Current Output CT with Differential Input



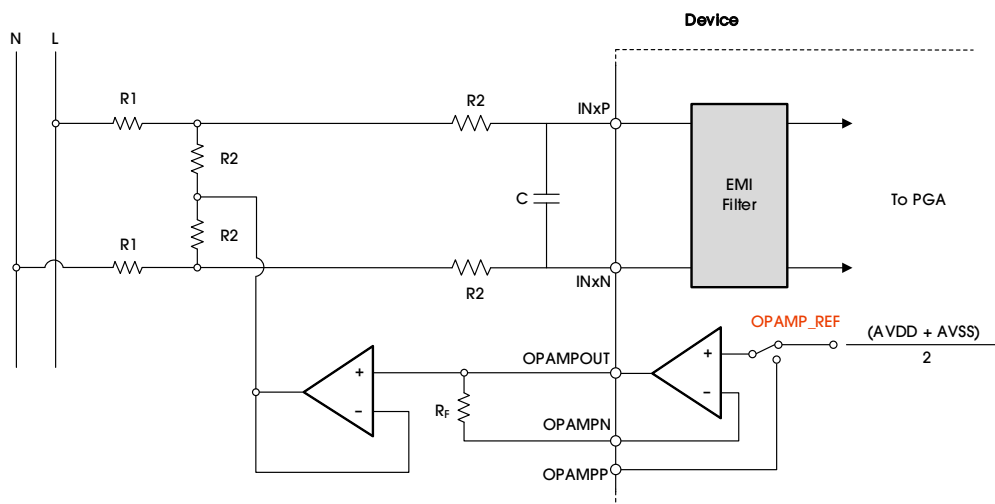
(b) Voltage Output CT with Single-Ended Input

Figure 54. Simplified Current-Sensing Connections

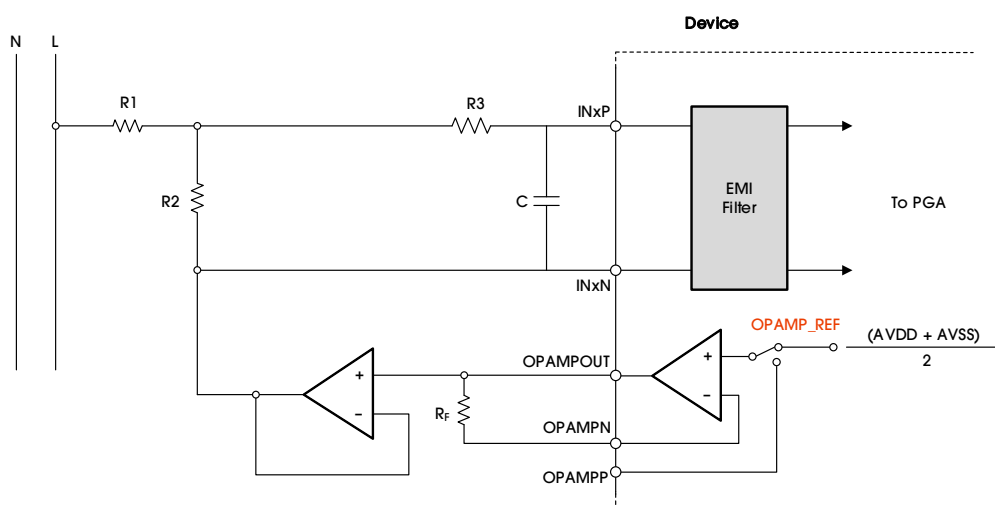
10.1.6 电压检测

Figure 55 显示了常用的差分 and 单端电压检测方法的简化图。电阻分压器网络用于将线路电压降低至可接受的 ADX3224/aADX3226/ADX3228 输入范围内，然后通过由电阻器 $R3$ 和电容器 C 形成的抗混叠 RC 滤波器连接到输入 ($INxP$ 和 $INxN$)。模式偏置电压 $((AVDD + AVSS)/2)$ 可以从 ADX3224/ADX3226/ADX3228 获得，方法是使用 Rf 电阻将内部运算放大器配置为单位增益配置并设置 CONFIG3 寄存器的 $OPAMP_REF$ 位，或者通过在正电源和负电源之间使用电阻分压器网络在外部生成。

在 Figure 55 所示的任一情况下 (Figure 55a 为差分输入，Figure 55b 为单端输入)，线路电压除以 $(R2 / (R1 + R2))$ 因子。 $R1$ 的值必须仔细选择 $R2$ 和 $R2$ ，以便 ADX3224/ADX3226/ADX3228 输入 ($INxP$ 和 $INxN$) 两端的电压在整个工作动态范围内不超过 ADX3224/ADX3226/ADX3228 的范围。使用单独的外部运算放大器来提供和吸收电流，因为内部运算放大器的电流吸收和拉电流能力非常有限。此外，每个通道的单独运算放大器有助于将各个相位彼此隔离，以限制串扰。



(a) Voltage Sensing with Differential Input



(b) Voltage Sensing with Single-Ended Input

Figure 55. Simplified Voltage-Sensing Connections

10.2 典型应用

Figure 56 显示了 ADX3224/ADX3226/ADX3228 用作断路器或保护继电器中电子脱扣单元(ETU)的一部分。Delta-sigma ($\Delta\Sigma$)模数转换器(ADC) (例如 ADX3224/ADX3226/ADX3228)非常适合此应用,因为这些器件提供了较宽的动态范围。

该系统测量断路器外壳输出的电压和电流。在此示例中,前三个输入测量线路电压,其余五个输入测量来自电流互感器(CT)次级绕组的线路电流。分压器降低断路器输出的电压。多个电阻器用于分散功耗,并用作针对任何潜在电阻器短路的故障保护形式。电压下降后,RC 滤波器用于抗混叠,二极管可防止输入超出范围。

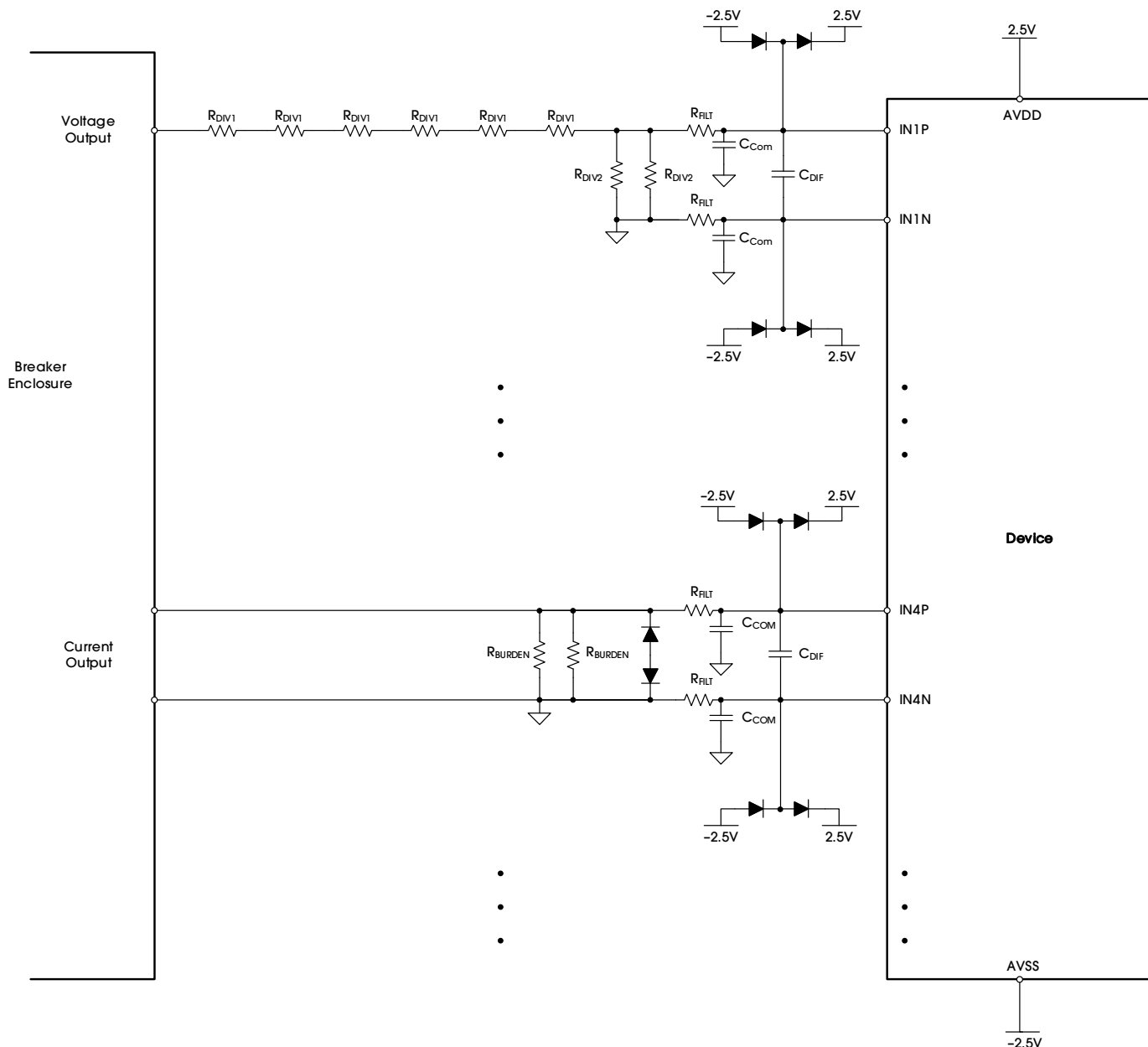


Figure 56. ETU Block Diagram: High-Resolution and Fast Power-Up Analog Front-End for Air Circuit Breaker or Molded Case Circuit Breaker and Protection Relay

10.2.1 设计要求

Table 80 总结了断路器前端应用的设计要求。

Table 80. ETU Circuit Breaker Design Requirements

DESIGN PARAMETER	VALUE
Number of Voltage Inputs	3
Voltage Input Range	10V to 750V
Number of Current Inputs	5
Current Input Range	50mA to 25 A
Dynamic Range With Fixed Gain	> 500:1
Accuracy	±1%

10.2.2 详细设计程序

线电压降压至 ADC 可测量范围内的电压范围。参考电压决定了 ADC 可以测量信号的范围。ADX3224/ADX3226/ADX3228 具有两个集成低漂移参考电压选项：2.4V 和 4V。

Equation 11 描述了 Figure 56 中输入端分压器的传递函数。使用多个串联电阻器 R_{DIV1} 和多个并联电阻器 R_{DIV2} 可以使功率和热量在多个电路元件之间消散，并起到保护电压的作用。单个电阻器短路。电阻器的数量会影响标称精度，因为每个附加元件都会引入额外的容差来源。

$$V_{IN} = V_{PHASE} \times \left(\frac{(0.5 \times R_{DIV2})}{6 \times R_{DIV1} + 0.5 \times R_{DIV2}} \right) \tag{11}$$

降压电阻 R_{DIV2} 主导电阻网络产生的测量误差。在 ADX3224/ADX3226/ADX3228 上使用输入 PGA 有助于减轻此误差源，方法是允许 R_{DIV2} 变小，然后使用 ADX3224/ADX3226/ADX3228 PGA 将信号放大到接近满量程。

对于此设计， R_{DIV1} 设置为 200k Ω ， R_{DIV2} 设置为 2.4k Ω ，以便在每个电阻器上有足够的功率水平时提供适当的信号衰减。当使用 ADX3224/ADX3226/ADX3228 内部 2.4V 基准电压且 PGA 增益为 2 时，输入在大于±750V 的值时饱和。

ADX3224/ADX3226/ADX3228 通过在与 CT 次级绕组并联的负载电阻(Figure 56 中的 R_{BURDEN})上产生电压来测量线路电流。与电压测量前端一样，用于降低电压的多个电阻器(R_{DIV1})共同承担耗散功率的任务。在此设计中， R_{BURDEN} 设置为 33 Ω 。与 1:500 匝数比 CT 一起使用时，当使用内部 2.4V 参考电压和 PGA 增益 2 来配置 ADC 时，ADC 输入会因线路电流超过 25A 而饱和。

二极管可保护 ADX3224/ADX3226/ADX3228 输入免受过压和过流影响。如果输入电压超过设备的安全范围，每个输入上的二极管将分流至任一电源。在电流输入上，如果 CT 次级绕组上的电流有可能损坏设备，则二极管会分流输入。

R_{FILT} 、 C_{COM} 和 C_{DIF} 的组合形成每个输入的抗混叠滤波器。差分电容器 C_{DIF} 通过在正负输入之间共享其容差来改善系统的共模抑制。抗混叠滤波器的要求并不严格，因为 $\Delta\Sigma$ 转换器(具有过采样和数字滤波器)的性质会衰减很大一部分带外噪声。此外，输入 PGA 特意具有低带宽，以提供额外的抗锯齿功能。本设计中使用的元件值为 $R_{FILT} = 1k\Omega$ 、 $C_{COM} = 47pF$ 和 $C_{DIF} = 0.015\mu F$ 。该一阶滤波器可产生超过 2kHz 的相对平坦的频率响应，能够在 50Hz 或 60Hz 基频下测量超过 30 个谐波。每个输入通道的滤波器 3dB 截止频率为 5.3kHz。

每个模拟系统块都会从输入到输出引入误差。5P 精度等级的保护 CT 可能会在输入到输出之间引入高达±1%的电流误差。10P 精度等级的 CT 可能会产生高达±3%的误差。负载电阻还会引入电阻容差和温度漂移形式的误差。对于电压输入，误差以电阻容差和温度漂移的形式来自分压器网络。最后，转换器会引入失调误差、增益误差和参考误差等形式的误差。所有这些规格都会随温度变化。

11. 电源建议

11.1 上电时序

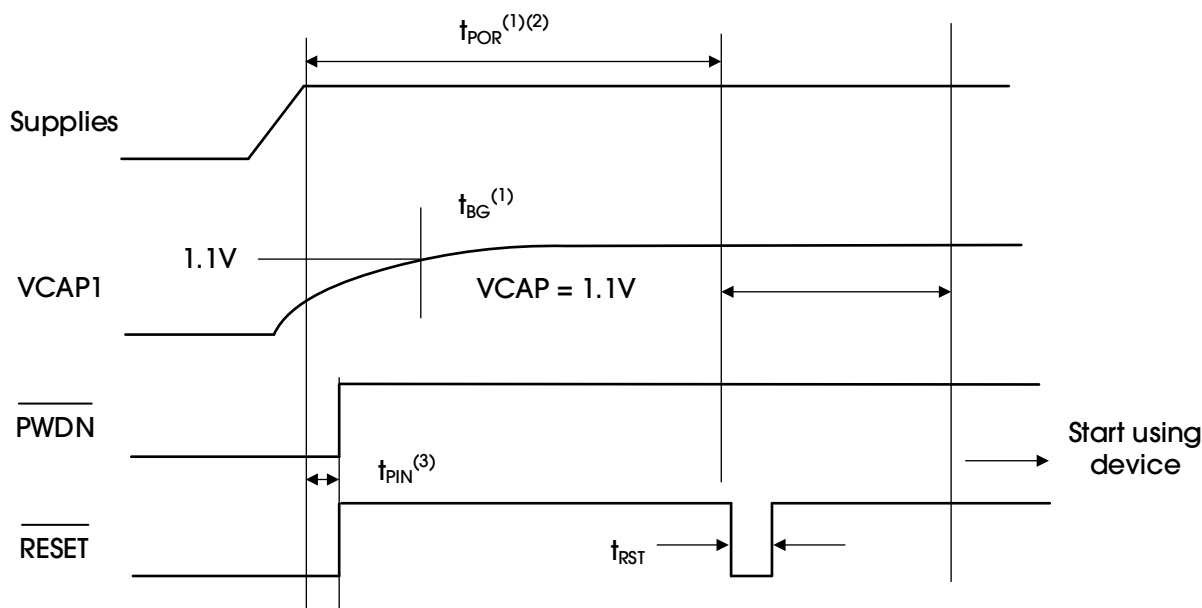
在设备上电之前，所有数字和模拟输入必须为低电平。上电时，将所有这些信号保持为低电平，直到电源稳定为止，如 Figure 57 所示。

等待电源电压达到最终值，然后开始向 CLK 引脚提供主时钟信号。等待时间 t_{POR} ，然后使用 $\overline{RESET}$ 引脚或 RESET 命令发送复位脉冲来初始化芯片的数字部分。在 t_{POR} 后或 V_{CAP1} 电压大于 1.1V 后(以时间较长者为准)发出复位。注意：

t_{POR} 在 Table 81 中描述。

- VCAP1 引脚充电时间由 RC 时间常数设定；参见 Figure 57。

释放 $\overline{RESET}$ 引脚后，对配置寄存器进行编程；有关详细信息，请参见 CONFIG1: CONFIGURATION REGISTER 1 (ADDRESS = 01H) (RESET = 91H) 部分。上电序列时序如 Table 81 所示。



- (1) Timing to reset pulse is t_{POR} or after t_{BG} , whichever is longer.
(2) When using an external clock, t_{POR} timing does not start until CLK is valid.
(3) Timing to release PWDN and RESET is t_{PIN} after both AVDD and DVDD supplies are ready.

Figure 57. Power-Up Timing Diagram

Table 81. Timing Requirements for Figure 57

PARAMETER	SYMBOL	MIN	MAX	UNITS
Wait after Power-up until Reset	t_{POR}	2^{18}		t_{CLK}
Reset Low Duration	t_{RST}	2		t_{CLK}
Power-Down and Reset Pin Release	t_{PIN}	0		t_{CLK}

11.2 推荐外部电容值

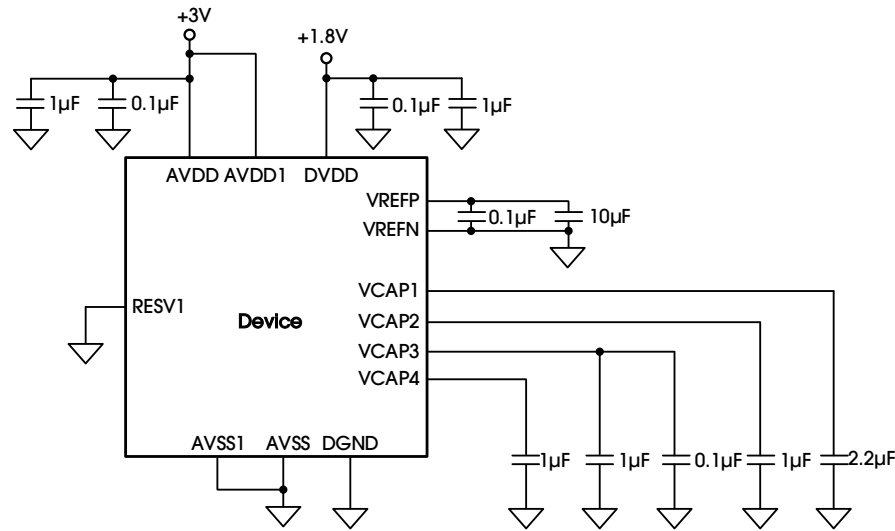
ADX3224/ADX3226/ADX3228 上电时间根据关键电压节点稳定至最终值所需的时间来设置。在进行数据转换器采样时，模拟电源(AVDD 和 AVSS)、数字电源(DVDD)和内部节点电压(VCAPx 引脚)必须保持稳定，以确保性能。电源的组合电流源能力和旁路电容器的尺寸决定了 AVDD、AVSS 和 DVDD 的斜坡速率。VCAPx 电压使用电源电压在内部充电。Table 82 列出了内部节点电压、其功能以及用于优化上电时间的推荐电容器值。

Table 82. Recommended External Capacitor Values

POSITION	PIN	DESCRIPTION	RECOMMENDED CAPACITOR VALUE
28	VCAP1	Bandgap voltage for the ADC	22μF to AVSS
30	VCAP2	Modulator common-mode	1μF to AVSS
55	VCAP3	PGA charge pump	0.1μF 1μF to AVSS
26	VCAP4	Reference common-mode	1μF to AVSS
24	VREFP	Reference voltage after the internal buffer	0.1μF 10μF to AVSS
19, 21, 22, 56, 59	AVDD	Analog supply	0.1μF 1μF each to AVSS
54	AVDD1	Internal PGA charge pump analog supply	0.1μF 1μF to AVSS1
48, 50	DVDD	Digital supply	0.1μF 1μF each to DGND

11.3 单极性电源的设备连接

Figure 58 显示了连接到单极电源的 ADX3224/ADX3226/ADX3228。在此示例中，模拟电源(AVDD)以模拟地(AVSS)为参考，数字电源(DVDD)以数字地(DGND)为参考。当在单极电源模式下工作时，ADX3224/ADX3226/ADX3228 支持 AVDD = 2.7V 至 5.25V 的模拟电源范围。

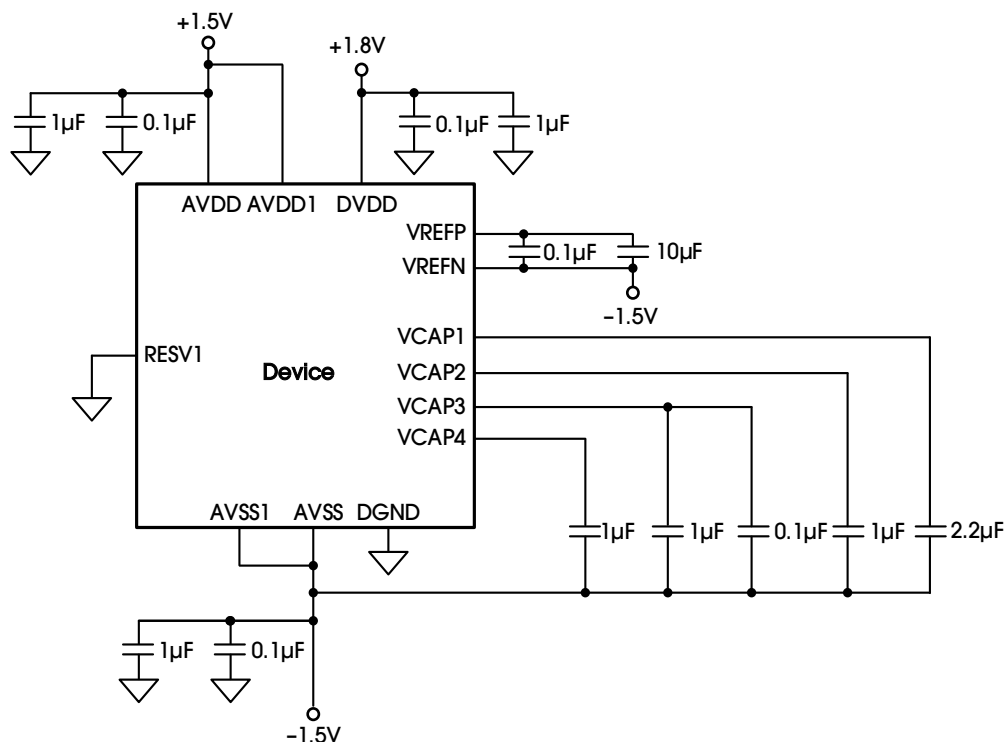


NOTE: Place the supply, reference, and VCAP1 to VCAP4 capacitors as close to the package as possible.

Figure 58. Unipolar Power Supply Operation

11.4 双极电源的设备连接

Figure 59 显示了连接到双极电源的 ADX3224/ADX3226/ADX3228。在此示例中，模拟电源(AVDD)以模拟地(AVSS)为参考，数字电源(DVDD)以数字地(DGND)为参考。当在双极电源模式下工作时，ADX3224/ADX3226/ADX3228 支持 AVDD 和 AVSS = $\pm 1.5\text{V}$ 至 $\pm 2.5\text{V}$ 的模拟电源范围。



NOTE: Place the supply, reference, and VCAP1 to VCAP4 capacitors as close to the package as possible.

Figure 59. Bipolar Supply Operation

12. 布局

12.1 布局指南

建议在为模拟和数字组件布局印刷电路板(PCB)时采用最佳设计实践。此建议通常意味着布局将模拟组件(例如 ADC、放大器、基准电压源、数模转换器(DAC)和模拟 MUX)与数字组件(例如微控制器、复杂可编程逻辑器件(CPLD)、现场-可编程门阵列(FPGA)、射频(RF)收发器、通用串行总线(USB)收发器和开关稳压器。Figure 60 显示了良好元件放置的示例。虽然 Figure 60 提供了元件放置的良好示例,但每个应用的最佳放置对于所采用的几何形状、元件和 PCB 制造能力而言是唯一的。也就是说,不存在适合每种设计的单一布局,在使用任何模拟组件进行设计时必须始终仔细考虑。

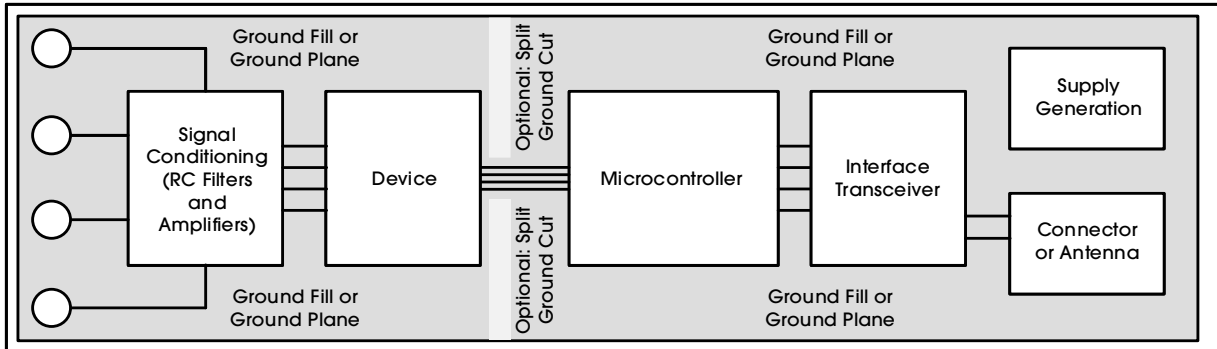


Figure 60. System Component Placement

下面概述了 ADX3224/ADX3226/ADX3228 布局的一些基本建议,以获得 ADC 的最佳性能。糟糕的电路布局可能会毁掉良好的设计。

- 独立的模拟和数字信号。首先,在布局允许的情况下,将电路板分为模拟部分和数字部分。将数字线路远离模拟线路。这种配置可防止数字噪声耦合回模拟信号中。
- 接地层可以分为模拟层(AGND)和数字层(DGND),但这不是必需的。将数字信号放在数字平面上,将模拟信号放在模拟平面上。作为布局的最后一步,模拟地和数字地之间的分离必须在 ADC 处连接在一起。
- 用接地填充物填充信号层上的空白区域。
- 提供良好的接地回路。信号返回电流在阻抗最小的路径上流动。如果接地层被切割或有其他迹线阻止电流在信号迹线旁边流动,则电流必须找到另一条路径返回源并完成电路。如果电流被迫进入更长的路径,信号辐射的机会就会增加。敏感信号更容易受到 EMI 干扰。
- 在电源上使用旁路电容器以降低高频噪声。不要在旁路电容器和有源器件之间放置过孔。将旁路电容器放置在尽可能靠近有源器件的同一层上可产生最佳结果。
- 具有差分连接的模拟输入必须在输入之间差分放置一个电容器。差分电容必须是高质量的。最好的陶瓷片式电容器是 C0G (NPO),它具有稳定的性能和低噪声的特性。

12.2 布局示例

请参考 EVM 或者咨询公司销售支持。

13. PACKAGE INFORMATION

The ADX3224/ADX3226/ADX3228 is available in the QFP-64 package. Figure 61 shows the package view.

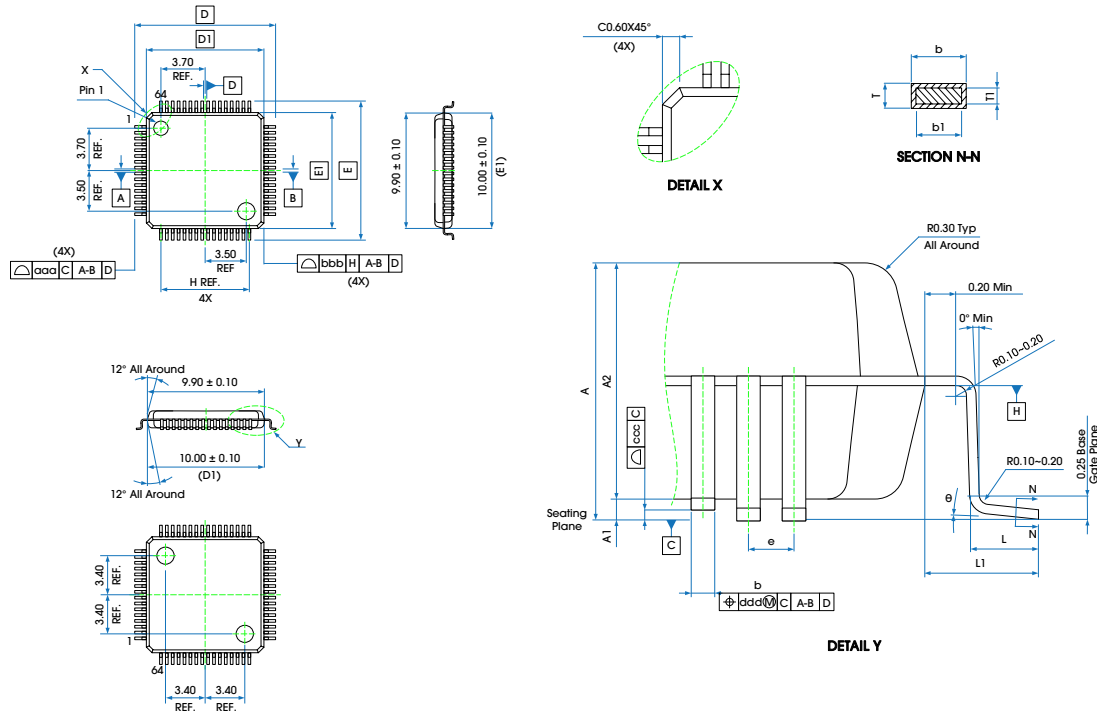


Figure 61. Package View

Table 83 provides detailed information about the dimensions.

Table 83. Dimensions

SYMBOL	DIMENSIONS IN MILLIMETERS	
	MIN	MAX
A	—	1.60
A1	0.05	0.15
A2	1.35	1.45
D	11.80	12.20
D1	9.90	10.10
E	11.80	12.20
E1	9.90	10.10
L	0.45	0.75
L1	1.00 REF	
T	0.09	0.20
T1	0.097	0.157
a	0°	7°
b	0.17	0.27
b1	0.17	0.23
e	0.50 BASE	
H	7.50 REF	
aaa	0.20	
bbb	0.20	
ccc	0.08	
ddd	0.08	

14. TAPE AND REEL INFORMATION

Figure 62 illustrates the carrier tape.

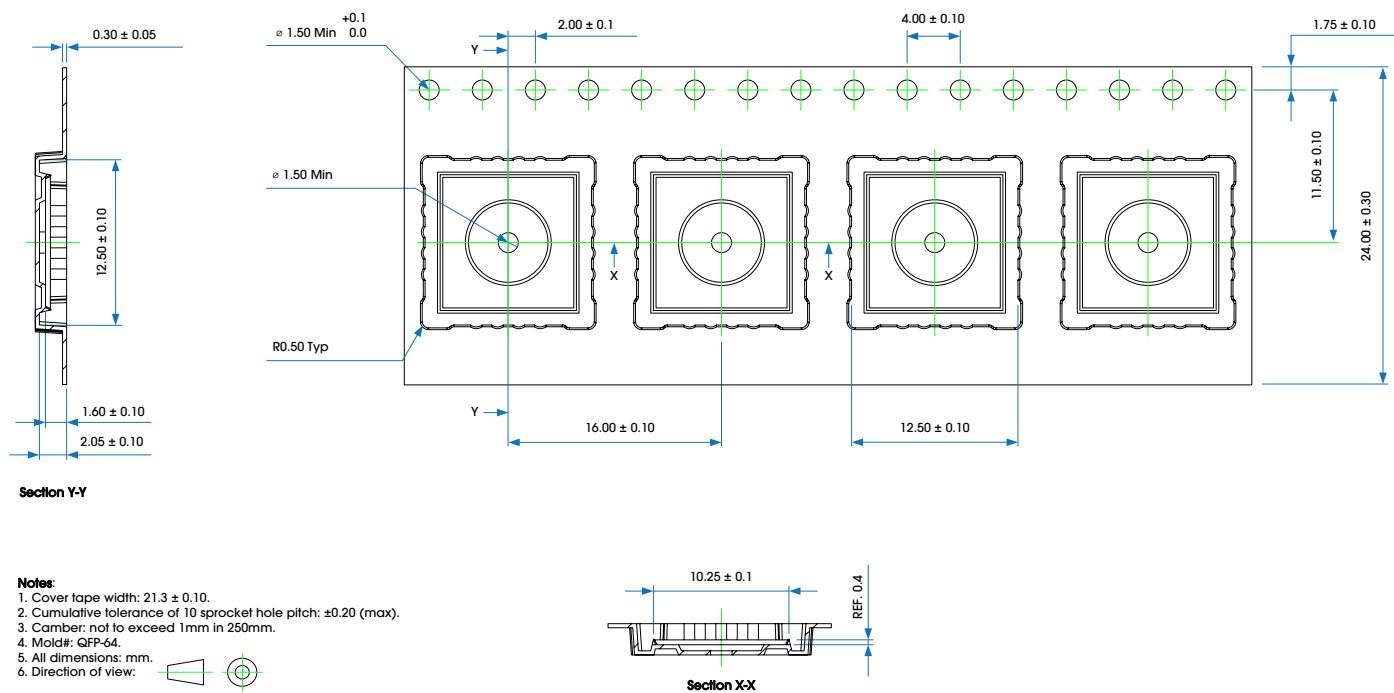


Figure 62. Carrier Tape Drawing

Table 84 provides information about tape and reel.

Table 84. Tape and Reel Information

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (MM)	CARTON SIZE (MM)
QFP-64	13"	1000	1	8	8000	358*340*50	430*380*390

Figure 63 shows the product loading orientation—pin 1 is assigned at Q1.

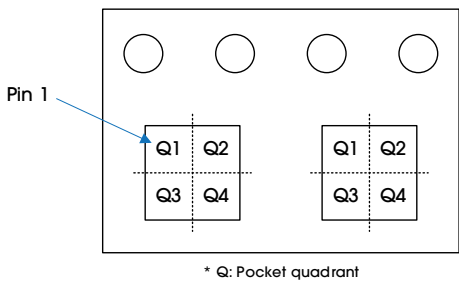


Figure 63. Product Loading Orientation

REVISION HISTORY

REVISION	DATE	DESCRIPTION
Rev A	25 March 2024	Rev A release.