

1. 特性

- 24 位：无失码
- 19 位有效分辨率：高达 20kHz 的数据速率
- 低噪音：2ppm
- 四个差分输入
- INL: 5ppm
- 外部参考(0.5V 至 5V)
- 掉电模式
- 同步模式
- 低功耗
- 独立的数字接口电源：1.8V 至 5V
- 模拟支持单电源 5V 或者双电源 $\pm 2.5V$ 供电
- 温度范围: -40°C 至 $+125^{\circ}\text{C}$
- 封装：SSOP-20

2. 应用

- 心脏诊断
- 直接热电偶接口
- 血液分析
- 红外线高温计
- 液相/气相色谱
- 精密过程控制

3. 说明

ADX518 是一款精密、宽动态范围、 $\Delta\text{-}\Sigma$ 型 24 位模数 (A/D) 转换器。采用 Delta-Sigma 架构不仅可以保证宽动态范围同时还确保 24 位无失码性能。对于高达 20kHz 的转换率，可实现 19 位的有效分辨率(2ppm 均方根噪声)。

ADX518 专为心脏诊断、智能变送器、工业过程控制、体重秤、色谱法和便携式仪器仪表中的高分辨率测量应用而设计。该转换器包括一个灵活的两线同步串行接口，用于低成本隔离。

ADX518 是一款多通道转换器，采用 SSOP-20 封装。有关订购信息，请参见 Table 1。

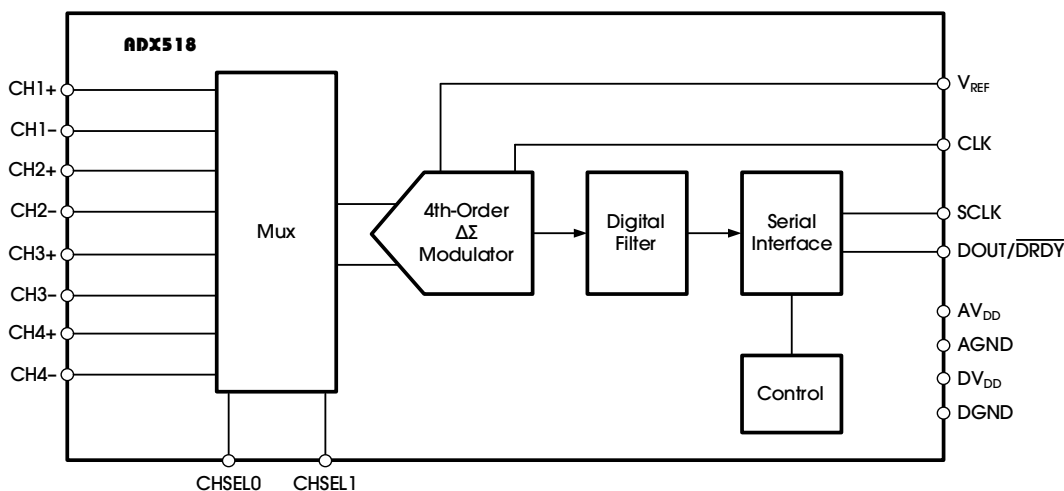


Table 1. Order Information

ORDER NUMBER ⁽¹⁾	CH (#)	PACKAGE	RESOLUTION (BIT)	OUTPUT DATA RATE	PGA	TEMP. SENOR	QUIESCENT CURRENT (mA)	OP. TEMP (°C)	RATING	MARK	PKG. OPTION	MSL
ADX518ASOP20	4(4)	SSOP-20	24	20k	1	No	1	−40-85	Industrial	ADX518 XXXXXX ⁽³⁾	T/R-2500	3

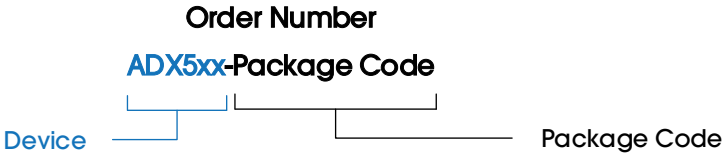
Table 2. Family Selection Guide

ORDER NUMBER ⁽¹⁾	CH (#)	PACKAGE	RESOLUTION (BIT)	OUTPUT DATA RATE	PGA	TEMP. SENOR	QUIESCENT CURRENT (mA)	OP. TEMP (°C)	RATING	MARK	PKG. OPTION	MSL
ADX512AQFN20 ⁽²⁾	3(6)	QFN-20	24	30k	1-64	Yes	0.8	−40-125	Industrial		TBD	
ADX513AQFN20 ⁽²⁾	3(5)	QFN-20	24	30k	1-64	Yes	6	−40-125	Industrial		TBD	
ADX514ASOP20	4(4)	SSOP-20	24	20k	1	No	1.7	−40-125	Industrial	ADX514 XXXXXX ⁽³⁾	T/R-2500	3
ADX515ASOP20	1(2)	SSOP-20	24	60k	1-128	Yes	6	−40-125	Industrial	Company Logo ADX515 XXXXXX ⁽³⁾	T/R-1500	3
ADX516ASOP28	4(8)	SSOP-28	24	60k	1-128	Yes	6	−40-125	Industrial	Company Logo ADX516 XXXXXX ⁽³⁾	T/R-1500	2
ADX517AQFN20 ⁽²⁾	2(4)	QFN-20	24	60k	1-128	Yes	6	−40-125	Industrial	Company Logo ADX517 XXXXXX ⁽³⁾	T/R-4000	3
ADX520AQFN28 ⁽²⁾	4(8)	QFN-28	24	60k	1-128	No	TBD	−40-125	Industrial		TBD	
ADX521AQFN20 ⁽²⁾	2(4)	QFN-20	24	30k	1-128	Yes	TBD	−40-125	Industrial		TBD	
ADX522AQFN20 ⁽²⁾	2(4)	QFN-20	24	30k	1-128	Yes	TBD	−40-125	Industrial		TBD	
ADX523AQFN28 ⁽²⁾	4(8)	QFN-28	24	30k	1-128	Yes	TBD	−40-125	Industrial		TBD	
ADX524AQFN20 ⁽²⁾	2(4)	QFN-20	24	60k	1-128	Yes	TBD	−40-125	Industrial		TBD	
ADX525AQFN28 ⁽²⁾	4(8)	QFN-28	24	60k	1-128	Yes	TBD	−40-125	Industrial		TBD	

Devices can be ordered via the following two ways:

- Place orders directly on our website (www.analogyssemi.com), or;
- Contact our sales team by mailing to sales@analogyssemi.com.

Note 1:



Note 2: Available in the future.

Note 3: "XXXXXX": For internal use.

4. PIN CONFIGURATION AND FUNCTIONS

Figure 1 illustrates the pin configuration.

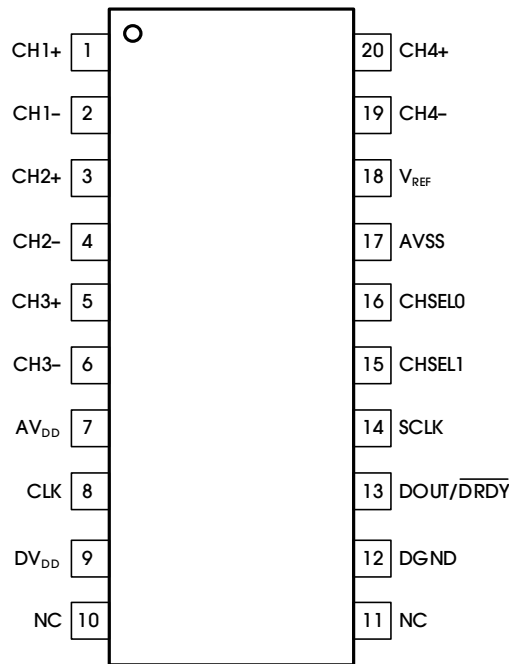


Figure 1. Pin Configuration

Table 3 lists the pin functions.

Table 3. Pin Functions

PIN	NAME	TYPE	DESCRIPTION
1	CH1+	Analog Input	Positive input of the differential analog input
2	CH1-	Analog Input	Negative input of the differential analog input
3	CH2+	Analog Input	Positive input of the differential analog input
4	CH2-	Analog Input	Negative input of the differential analog input
5	CH3+	Analog Input	Positive input of the differential analog input
6	CH3-	Analog Input	Negative input of the differential analog input
7	AV _{DD}	Power Supply	Analog power supply voltage, +5V to AVSS
8	CLK	Digital Input	Device system clock. The system clock is in the form of a CMOS-compatible clock. This is a Schmitt-Trigger input.
9	DV _{DD}	Power Supply	Digital power supply voltage
10	NC	—	No connection
11	NC	—	No connection
12	DGND	Ground	Digital ground
13	DOUT/ $\overline{\text{DRDY}}$	Digital Output	Serial data output/data ready. This output indicates that a new output word is available from the ADX518 data output register. The serial data is clocked out of the serial data output shift register using SCLK.
14	SCLK	Digital Input	Serial clock. The serial clock is in the form of a CMOS-compatible clock. The serial clock operates independently from the system clock; therefore, it is possible to run SCLK at a higher frequency than CLK. The normal state of SCLK is LOW. Holding SCLK HIGH will either initiate a modulator reset for synchronizing multiple converters or enter power-down mode. This is a Schmitt-Trigger input.
15	CHSEL1	Digital Input	Used to select analog input channel. This is a Schmitt-Trigger input.
16	CHSELO	Digital Input	Used to select analog input channel. This is a Schmitt-Trigger input.
17	AVSS	Power Supply	Negative analog power supply
18	V _{REF}	Analog Input	Reference voltage input
19	CH4-	Analog Input	Negative input of the differential analog input
20	CH4+	Analog Input	Positive input of the differential analog input

5. SPECIFICATIONS

5.1 ABSOLUTE MAXIMUM RATINGS

Table 4 lists the absolute maximum ratings of the ADX518.

Table 4. Absolute Maximum Ratings

PARAMETER	DESCRIPTION	MIN	MAX	UNITS
Voltage	AV _{DD} to AVSS	−0.3	6	V
	DV _{DD} to DGND	−0.3	6	V
	DGND to AVSS	−0.3	2.8	V
	V _{REF} voltage to AVSS	−0.3	V _{DD} + 0.3	V
	Analog input voltage	AVSS − 0.3	V _{DD} + 0.3	
	SCLK pin digital input voltage to DGND	−0.3	6	V
	CLK, CHSEL0, CHSEL1 pin digital input voltage to DGND	−0.3	V _{DD} + 0.3	V
	Digital output voltage to DGND	−0.3	V _{DD} + 0.3	V
Current	Analog input, momentary		±100	mA
	Analog input, continuous		±10	mA
Temperature	Operating, T _A	−40	125	°C
	Junction, T _J	−40	150	°C
	Storage, T _{stg}	−60	150	°C
	Lead (soldering, 10s)		300	°C

Note: Stresses beyond those listed under Table 4 may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Table 6. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD RATINGS

Table 5 lists the ESD ratings of the ADX518.

Table 5. ESD Ratings

PARAMETER	SYMBOL	DESCRIPTION	VALUE	UNITS
Electrostatic Discharge	V _(ESD)	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±5000	V
		Charged-device model (CDM), per JEDEC specification JS-002 ⁽²⁾	±2000	

Note 1: The JEDEC document JEP155 indicates that 500V HBM allows safe manufacturing with a standard ESD control process.

Note 2: The JEDEC document JEP157 indicates that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 RECOMMENDED OPERATING CONDITIONS

Table 6 lists the recommended operating conditions for the ADX518.

Table 6. Recommended Operating Conditions

PARAMETER	DESCRIPTION	SYMBOL	MIN	NOM	MAX	UNITS
POWER SUPPLY						
AVDD		V _{AVDD}		+2.5		V
AVSS		V _{AVSS}		−2.5		V
AVDD − AVSS			4		5.5	V
DVDD	DVDD to GND	V _{DVDD}	1.65	1.8	5.5	V
ANALOG INPUTS ⁽¹⁾						
Input Voltage		V _(AINx)	AVSS		AVDD	V
DIGITAL INPUTS						
Digital Input Voltage	SCLK, CLK, CHSEL0, CHSEL1, D0/CLKOUT, D1, D2, D3	V _{DIG}	DGND		DVDD	V
TEMPERATURE RANGE						
Operating Ambient Temperature		T _A	−40		125	°C

5.4 THERMAL INFORMATION

Table 7 lists the thermal information for the ADX518.

Table 7. Thermal Information

PARAMETER	SYMBOL	SSOP-20	UNITS
Junction-to-Ambient Thermal Resistance	R _{θJA}	70.4	°C/W
Junction-to-Board Thermal Resistance	R _{θJB}	39.7	°C/W
Junction-to-Top Characterization Parameter	ψ _{JT}	2.0	°C/W
Junction-to-Board Characterization Parameter	ψ _{JB}	38.3	°C/W
Junction-to-Case (Top) Thermal Resistance	R _{θJC(top)}	28.1	°C/W

5.5 ELECTRICAL CHARACTERISTICS

Table 8 lists the electrical characteristics of ADX518. All specifications at T_{MIN} to T_{MAX}, AV_{DD} = +5V, DV_{DD} = +1.8V, CLK = 8MHz, and V_{REF} = 4.096V, unless otherwise specified.

Table 8. Electrical Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT						
Input Voltage Range			AVSS		±V _{REF}	V
Input Impedance		CLK = 3,840Hz		634		MΩ
		CLK = 1MHz		2.4		MΩ
		CLK = 8MHz		305		kΩ
Input Capacitance				6		pF
DYNAMIC CHARACTERISTICS						
Data Rate					20.8	kHz
Bandwidth		−3dB	4.24			kHz
Serial Clock (SCLK)					8	MHz
System Clock Input (CLK)					8	MHz
ACCURACY						
Integral Non-Linearity ⁽¹⁾		T _A = −40°C to 85°C		±5	±15	ppm of FSR
		T _A = −40°C to 125°C		±5	±30	ppm of FSR
THD		1kHz input; 0.1dB below FS		108		dB
Noise				2	3.7	ppm of FSR, rms
Resolution				24		Bits
No Missing Codes				24		Bits
Common-Mode Rejection		60Hz, AC	95	108		dB
Gain Error				0.01	0.07	% of FSR
Offset Error				±5	±25	ppm of FSR
Power-Supply Rejection Ratio		AVDD	80	104		dB
		DVDD	83	99		dB
PERFORMANCE OVER TEMPERATURE						
Offset Drift				0.06		ppm/°C
Gain Drift				1		ppm/°C
VOLTAGE REFERENCE						
V _{REF}			0.5	4.096	V _{DD}	V
Load Current				30		μA
DIGITAL INPUT/OUTPUT						
Logic Family				CMOS		
Logic Level	V _{IH}		0.7 × DV _{DD}		DV _{DD} + 0.3	V
	V _{IL}		−0.3		0.3 × DV _{DD}	V
	V _{OH}	I _{OH} = −5mA	0.7 × DV _{DD}			V
	V _{OL}	I _{OL} = 5mA			0.3 × DV _{DD}	V
Input (SCLK, CLK, CHSEL0, CHSEL1) Hysteresis				0.5		V
Data Format			Offset binary two's complement			

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER-SUPPLY REQUIREMENTS						
Power Supply Voltage		DV _{DD}	1.65		5.5	VDC
		AV _{DD}	4	5	5.5	VDC
Quiescent Current		AV _{DD} = +5V		1.2	1.4	mA
		DV _{DD} = +1.8V		0.5	0.6	mA
Operating Power				6.8	8	mW
Power-Down Current				3	16	μA
				0.5	3	μA
TEMPERATURE RANGE						
Operating			−40		+125	°C
Storage			−60		+150	°C

Note: Applies to full-differential signals.

5.6 SERIAL INTERFACE TIMING

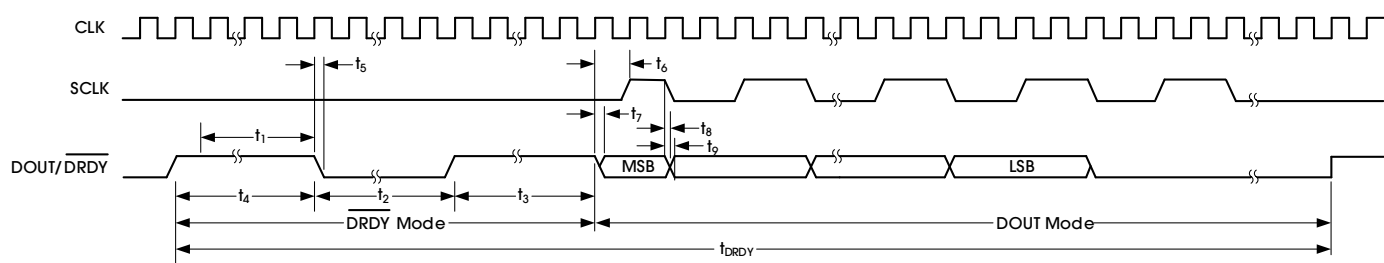


Figure 2. DOUT/DRDY Timing

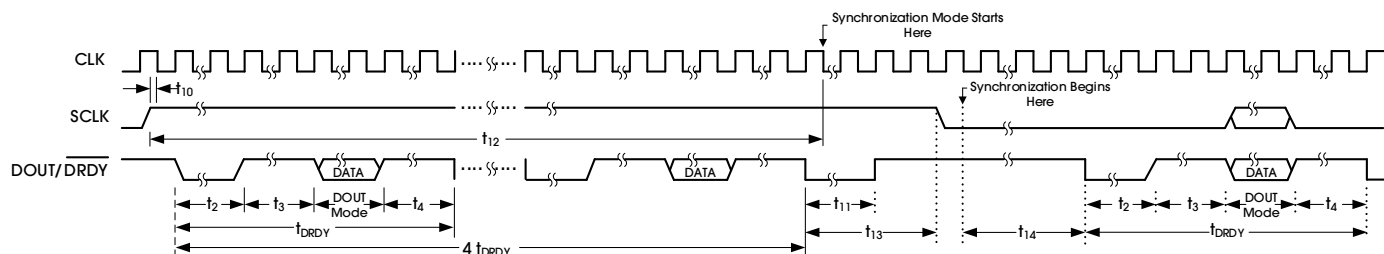


Figure 3. Synchronization Mode

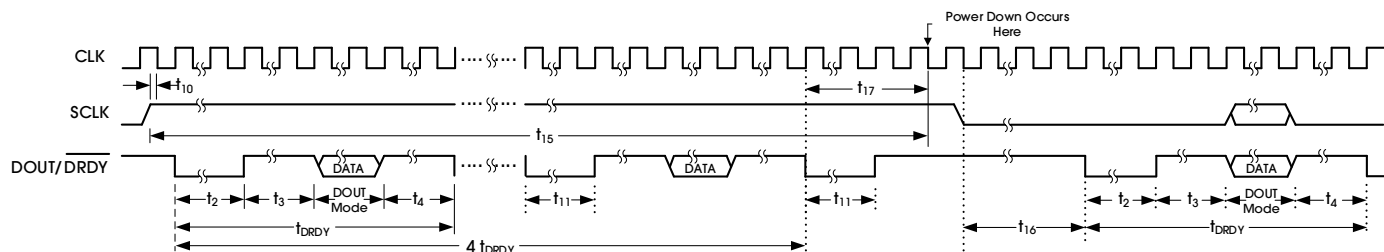


Figure 4. Power-Down Mode

Table 9. Digital Timing

DESCRIPTION	SYMBOL	MIN	TYP	MAX	UNITS
CLK Period	t_{OSC}	125			ns
Conversion Cycle	t_{DRDY}		$384 \times t_{OSC}$		ns
$\overline{DRDY}$ Mode	$\overline{DRDY}$ mode		$36 \times t_{OSC}$		ns
DOUT Mode	DOUT mode		$348 \times t_{OSC}$		ns
DOR Write Time	t_1		$6 \times t_{OSC}$		ns
DOUT/ $\overline{DRDY}$ LOW Time	t_2		$6 \times t_{OSC}$		ns
DOUT/ $\overline{DRDY}$ HIGH Time (Prior to Data Out)	t_3		$6 \times t_{OSC}$		ns
DOUT/ $\overline{DRDY}$ HIGH Time (Prior to Data Ready)	t_4		$24 \times t_{OSC}$		ns
Rising Edge of CLK to Falling Edge of DOUT/ $\overline{DRDY}$	t_5			60	ns
End of $\overline{DRDY}$ Mode to Rising Edge of First SCLK	t_6	30			ns
End of $\overline{DRDY}$ Mode to Data Valid (Propagation Delay)	t_7			60	ns
Falling Edge of SCLK to Data Valid (Hold Time)	t_8	5			ns
Falling Edge of SCLK to Next Data Out Valid (Propagation Delay)	t_9			60	ns
SCLK Setup Time for Synchronization or Power-Down	t_{10}	30			ns
DOUT/ $\overline{DRDY}$ Pulse for Synchronization or Power-Down	t_{11}		$3 \times t_{OSC}$		ns
Rising Edge of SCLK Until Start of Synchronization	t_{12}	$1537 \times CLK$		$7679 \times CLK$	ns
Synchronization Time	t_{13}	$0.5 \times CLK$		$6134.5 \times CLK$	ns
Falling Edge of CLK (After SCLK Goes Low) Until Start of $\overline{DRDY}$ Mode	t_{14}		$2042.5 \times CLK$		ns
Rising Edge of SCLK Until Start of Power-Down	t_{15}	$7681 \times CLK$			ns
Falling Edge of CLK (After SCLK Goes Low) Until Start of $\overline{DRDY}$ Mode	t_{16}		$2318.5 \times t_{OSC}$		ns
Falling Edge of Last DOUT/ $\overline{DRDY}$ to Start of Power-Down	t_{17}		$6144.5 \times t_{OSC}$		ns
DOUT/ $\overline{DRDY}$ High Time After Mux Change	t_{18}		$2043.5 \times t_{OSC}$		ns

Note: 30pF load

5.7 SCLK RESET TIMING

Figure 5 shows the SCLK reset timing.

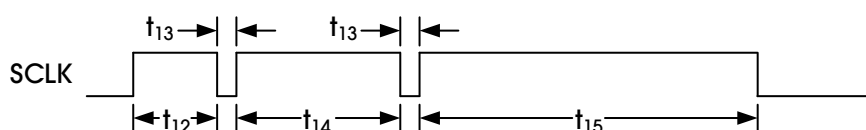


Figure 5. SCLK Reset Timing

Table 10 lists the SCLK reset timing characteristics.

Table 10. SCLK Reset Timing Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
SCLK Reset Pattern, First High Pulse	t_{12}		300		500	t_{CLK}
SCLK Reset Pattern, Low Pulse	t_{13}		6			t_{CLK}
SCLK Reset Pattern, Second High Pulse	t_{14}		550		750	t_{CLK}
SCLK Reset Pattern, Third High Pulse	t_{15}		1050		1250	t_{CLK}

Note: t_{CLK} = master clock period = $1/f_{CLK}$.

6. TYPICAL CHARACTERISTICS

T_A = 25°C, AV_{DD} = +5V, DV_{DD} = +1.8V, CLK = 8MHz, and V_{REF} = 4.096V, unless otherwise specified.

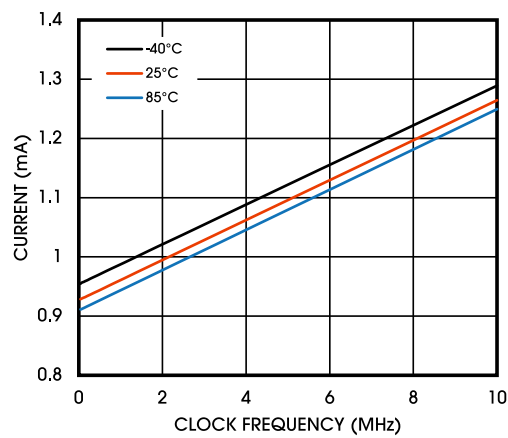


Figure 7. Supply Current AVDD (5V)

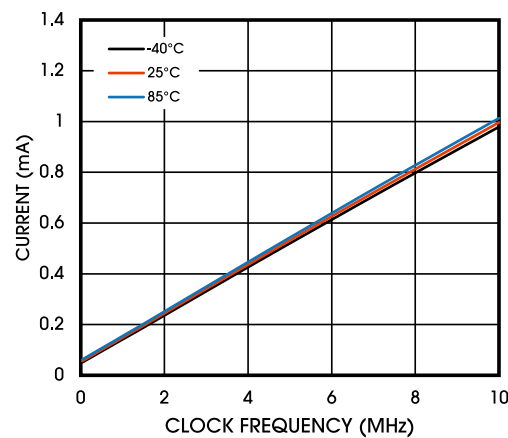


Figure 8. Supply Current DVDD (3.3V)

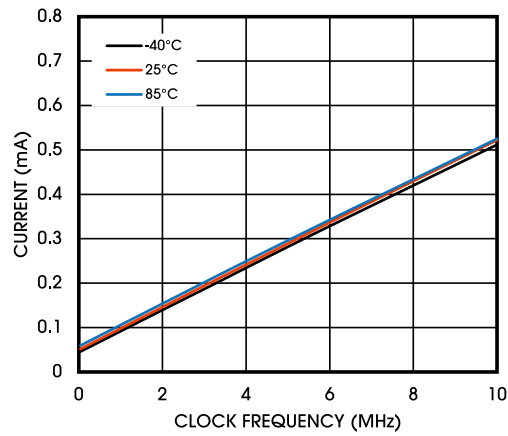


Figure 9. Supply Current DVDD (1.8V)

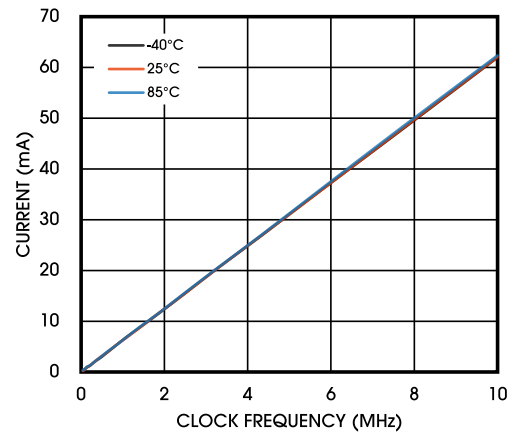


Figure 10. V_{REF} Current

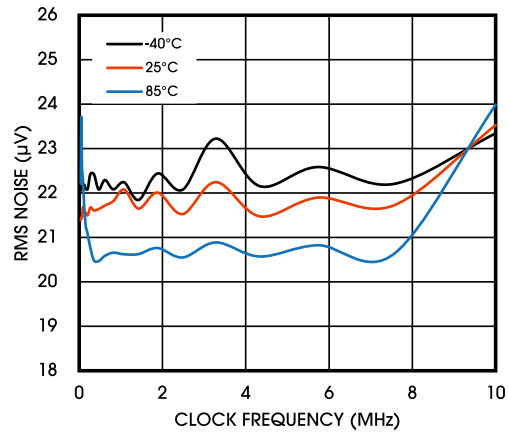


Figure 11. Noise (RMS)

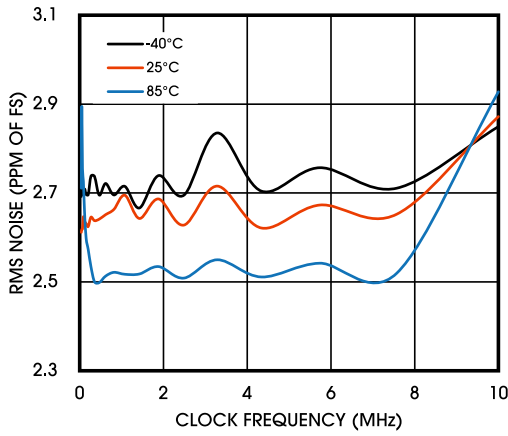


Figure 12. Noise (PPM of FS)

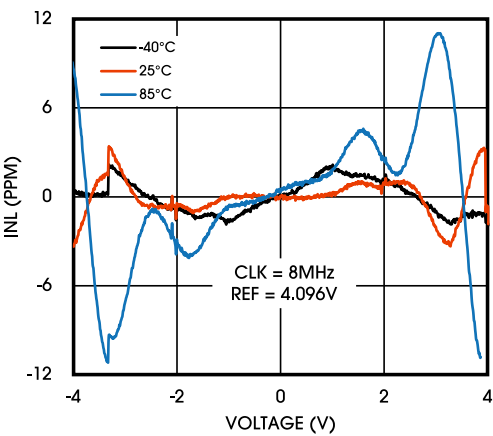


Figure 7. INL

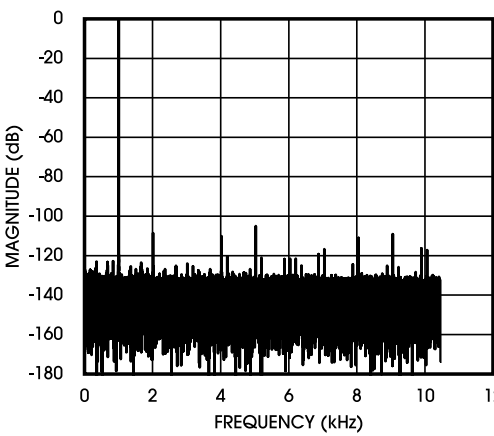


Figure 8. THD

7. 详细说明

7.1 概述

ADX518 是一款高精度、高动态范围的 24 位 $\Delta\Sigma$ 型 A/D 转换器，能够以高数据速率实现超高分辨率的模数转换。模拟输入信号的采样速率由系统时钟(CLK)的频率决定。采样模拟输入由 **delta-sigma** A/D 调制器调制，级联数字滤波器。一组 Sinc5 数字低通滤波器处理 **delta-sigma** 调制器的输出并将结果存入数据输出寄存器。当 DOUT/ DRDY引脚被拉低，表示外部微控制器/微处理器可以读取新数据。如 Figure 6 所示，ADX518 的主要功能块包括四阶 $\Delta\Sigma$ 调制器、数字滤波器、控制逻辑和串行接口。这些功能块中的每一项都在下文详细描述。

7.2 功能模块框图

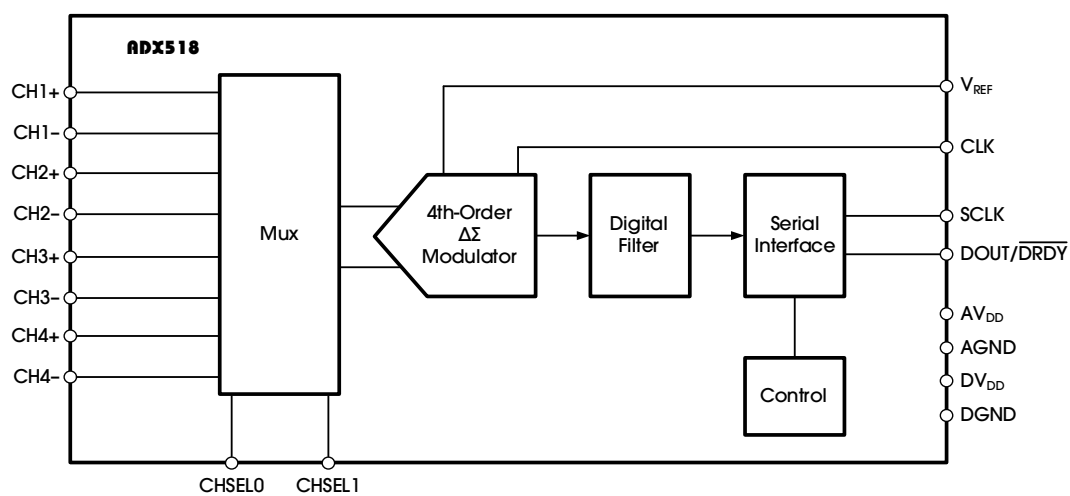


Figure 6. Functional Block Diagram

7.3 特性描述

7.3.1 模拟输入

ADX518 包含一路全差分模拟输入。为了提供低系统噪声、出色的共模抑制和电源抑制性能，设计拓扑基于全差分开关电容器架构。当基准输入电压等于+2.5V 时，双极性输入电压范围为-5V 至+5V。注意双极性范围是相对于-V_{IN}，而不是相对于 GND。

Figure 7 展示了 ADX518 的基本输入结构。阻抗与由 CLK 速率设置的输入电容器的采样频率直接相关。更高的 CLK 速率导致更低的阻抗，而更低的 CLK 速率导致更高的阻抗。

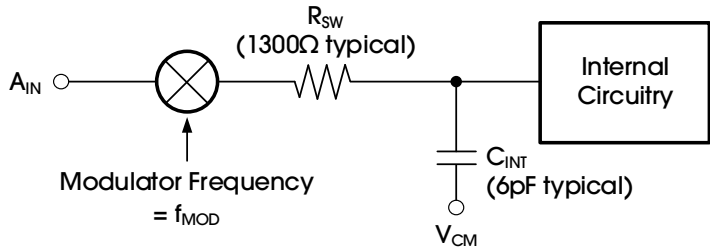


Figure 7. Analog-Input Structure

模拟输入的输入阻抗随 ADX518 系统时钟频率(CLK)而变化。关系是：

$$A_{IN} \text{ Impedance } (\Omega) = (8\text{MHz}/\text{CLK}) \times 125,000 \tag{1}$$

对于模拟输入信号，设备的整体模拟性能受到三方面影响：首先，输入阻抗会影响精度。如果输入信号的源阻抗很大，或者如果在 ADX518 之前有无源滤波，则很大一部分信号可能会在这个外部阻抗上损耗。实际影响的大小取决于所需的系统性能。

其次，必须限制流入或流出模拟输入的电流。在任何情况下，流入或流出模拟输入口的电流都不应超过 10mA。

第三，为防止输入信号混叠，模拟输入信号必须进行限制带宽。A/D 转换器的带宽是系统时钟频率的函数。系统时钟频率为 8MHz 时，数据输出速率为 20.8kHz，-3dB 频率为 4.24kHz。-3dB 频率与系统时钟频率成比例。

为确保 ADX518 的最佳线性度，建议使用全差分信号。

7.3.2 输入多路复用器

CHSEL1 和 CHSEL0 引脚用于选择模拟输入通道，如 Table 11 所示。推荐的更改通道的方法是在从前一个通道完成转换并读取后再行更改。当通道发生变化时，内部逻辑会在 CLK 的下降沿检测到变化并重置转换过程。来自新频道的转换数据在频道更改后的第一个DRDY上有效。

Table 11. Channel Selection

CHSEL1	CHSEL0	CHANNEL
0	0	CH1
0	1	CH2
1	0	CH3
1	1	CH4

当多路复用输入时，可以实现接近 4kHz 的采样率。这是因为数据完全稳定需要五个内部转换周期；还必须在更改频道之前读取数据。DRDY信号表示五个循环发生后的有效结果。

7.3.3 双极性输入

ADX518 的每个差分输入必须位于 AV_{SS} 和 AV_{DD} 之间。ADX518 可使用单电源 5V 供电或者双电源 $\pm 2.5V$ 供电。当输入信号为双极性时，推荐使用双电源 $\pm 2.5V$ 供电，以转换双极性差分信号。

7.3.4 Δ - Σ 调制器

ADX518 以 8MHz 的标称系统时钟频率运行。调制器频率相对于系统时钟频率是固定的。系统时钟频率除以 6 得到调制器频率。因此，对于 8MHz 的系统时钟频率，调制器频率为 1.333MHz。此外，调制器的过采样率相对于调制器频率是固定的。调制器的过采样率为 64，调制器频率运行在 1.333MHz，数据速率为 20.8kHz。使用较慢的系统时钟频率将导致较低的数据输出速率，如 Table 12 所示。

Table 12. CLK Rate vs. Data Output Rate

CLK (MHz)	DATA OUTPUT RATE (Hz)
8 ⁽¹⁾	20,833
7.372800 ⁽¹⁾	19,200
6.144000 ⁽¹⁾	16,000
6.000000 ⁽¹⁾	15,625
4.915200 ⁽¹⁾	12,800
3.686400 ⁽¹⁾	9,600
3.072000 ⁽¹⁾	8,000
2.457600 ⁽¹⁾	6,400
1.843200 ⁽¹⁾	4,800
0.921600	2,400
0.460800	1,200
0.384000	1,000
0.192000	500
0.038400	100
0.023040	60
0.019200	50
0.011520	30
0.009600	25
0.007680	20
0.006400	16.67
0.005760	15
0.004800	12.50
0.003840	10

注：标准时钟振荡器

7.3.5 参考输入

参考电压输入在 8MHz 的系统时钟下平均会拉取 32 μ A 的电流，该电流将与系统时钟频率成正比。建议为 AD518 使用带缓冲的参考源。推荐使用 REF325 低温漂基准源。使用 5V 参考电压将满量程范围扩展到最大，而转换器的绝对内部电路噪声保持不变；这将有利于降低满量程 ppm 的噪声，从而提高有效分辨率。

7.3.6 数字滤波器

AD518 的数字滤波器称为 Sinc⁵ 滤波器，它根据 delta-sigma 调制器的最新输出计算数字结果。在最基本的层面上，数字滤波器可以被认为是简单地以加权形式对调制器结果进行平均，并将该平均值表示为数字输出。数字输出速率或数据速率直接与系统 CLK 频率成比例。这允许通过改变系统 CLK 频率在非常宽的范围(五个数量级)内改变数据输出速率。然而，重要的是要注意滤波器的-3dB 点是数据输出速率的 0.2035 倍，因此数据输出速率应留有足够的余量以防止感兴趣的信号衰减。

由于转换结果本质上是一个平均值，因此数据输出速率决定了数字滤波器中产生的陷波的位置(见 Figure 8)。请注意，第一个陷波位于数据输出速率频率，随后的陷波位于数据输出速率的整数倍，以实现抑制基频和谐波频率。通过这种方式，改变数据输出速率可以设置数字滤波器响应中的特定陷波频率。

例如，如果需要抑制电源线频率，则可以简单地将数据输出速率设置为电源线频率。对于 50Hz 抑制，系统 CLK 频率应为 19.200kHz，这会将数据输出速率设置为 50Hz (参见 Table 12 和 Figure 9)。对于 60Hz 抑制，系统 CLK 频率应为 23.040kHz；这会将数据输出速率设置为 60Hz (参见 Table 12 和 Figure 10)。如果同时需要 50Hz 和 60Hz 抑制，那么系统 CLK 应该是 3.840kHz；这会将数据输出速率设置为 10Hz，并同时抑制 50Hz 和 60Hz (参见 Table 12 和 Figure 11)。

使用较低的数据输出速率还有一个好处：它可以更好地抑制感兴趣频带中的信号。例如，对于 50Hz 的数据输出速率，75Hz 的大信号可能混叠回 25Hz 的通带。这是因为 75Hz 的抑制在阻带中可能只有 66dB—高于第一陷波频率的频率(见 Figure 9)。但是，将数据输出速率设置为 10Hz 将在 75Hz 处提供 135dB 抑制(见 Figure 11)。在接近数据输出速率的频率下可以获得类似的好处(参见 Figure 12、Figure 13、Figure 14 和 Figure 15)。例如，对于 50Hz 的数据输出速率，55Hz 的抑制可能仅为 105dB (见 Figure 12)。但是，对于 10Hz 的数据输出速率，55Hz 时的抑制将为 122dB (见 Figure 13)。如果较慢的数据输出速率不能满足系统要求，则可以设计模拟前端以提供所需的衰减以防止混叠。此外，可以提高数据输出速率，也可以同时在处理器或控制器中进行额外的数字滤波。

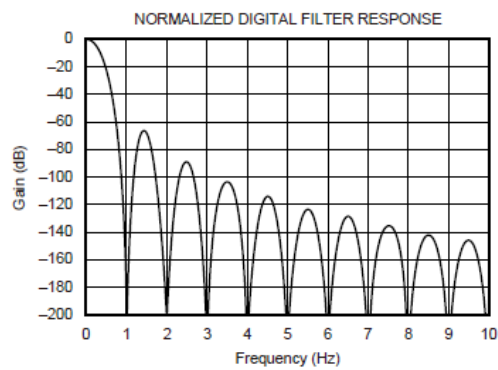


Figure 8. Normalized Digital Filter Response

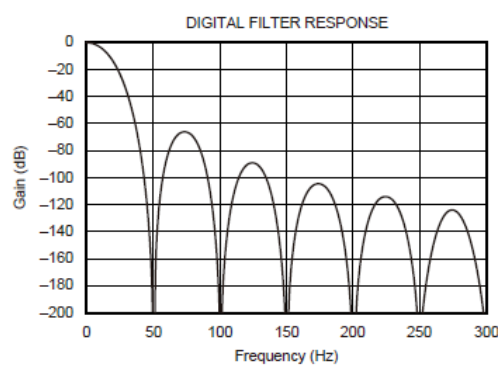


Figure 9. Digital Filter Response (50Hz)

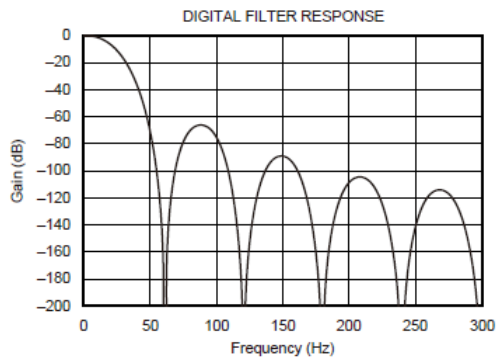


Figure 10. Digital Filter Response (60Hz)

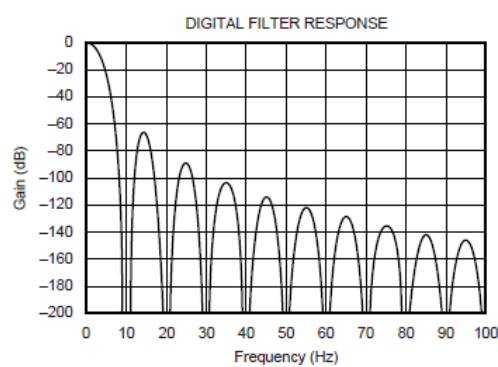


Figure 11. Digital Filter Response (10Hz)

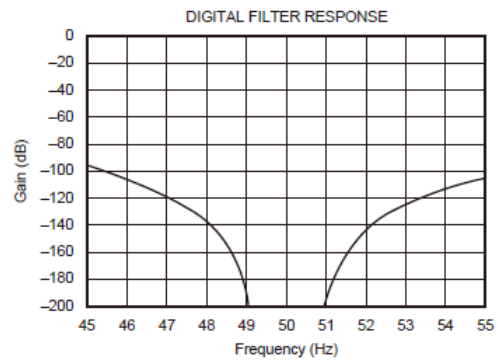


Figure 12. Expanded Digital Filter Response (50Hz with a 50Hz Data Output Rate)

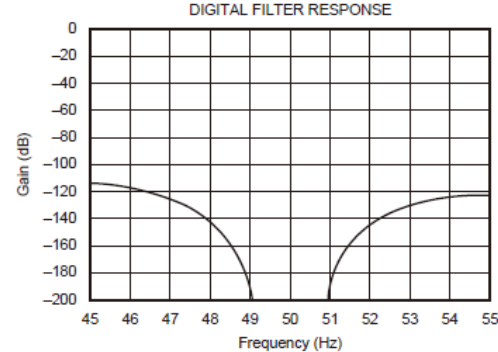


Figure 13. Expanded Digital Filter Response (50Hz with a 10Hz Data Output Rate)

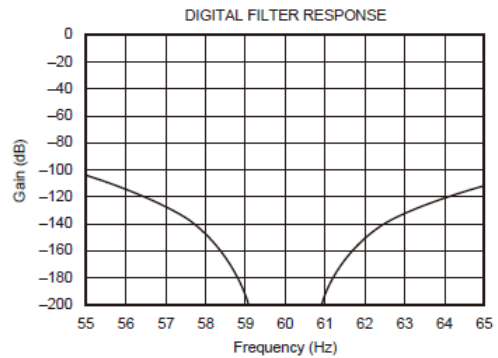


Figure 14. Expanded Digital Filter Response (60Hz with a 60Hz Data Output Rate)

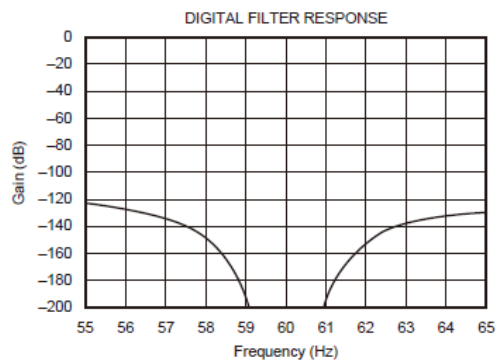


Figure 15. Expanded Digital Filter Response (60Hz with a 10Hz Data Output Rate)

数字滤波器由以下传递函数描述：

$$|H(f)| = \left| \frac{\sin \left[\frac{\pi \times f \times 64}{f_{\text{MOD}}} \right]}{64 \times \sin \left[\frac{\pi \times f}{f_{\text{MOD}}} \right]} \right|^5 \quad (2)$$

$$H(z) = \left[\frac{1 - z^{-64}}{64 \times (1 - z^{-1})} \right]^5 \quad (3)$$

数字滤波器需要五次转换才能完全稳定。调制器的过采样率为 64；因此，它需要 5×64 或 320 个调制器结果或时钟才能完全稳定。由于调制器时钟源自系统时钟(CLK) (调制器时钟 = CLK ÷ 6)，因此数字滤波器完全稳定所需的系统时钟数为 $5 \times 64 \times 6$ ，即 1920 个 CLK。这意味着模拟输入的任何重大阶跃变化都需要五次完整的转换才能稳定下来。但是，如果模拟输入的阶跃变化与 DOUT/DRDY 脉冲异步发生，则需要六次转换才能确保完全稳定。

7.3.7 控制逻辑

控制逻辑用于 ADX518 的通信和控制。

7.3.7.1 上电顺序

在上电之前，所有数字和模拟输入引脚都必须为低电平。在上电期间，所有信号输入不应超过 +AV_{DD} 或 +DV_{DD}。一旦 ADX518 上电，DOUT/DRDY 线将在模拟输入信号的数据有效的第一次转换上脉冲低电平。为保险起见，建议在 +AV_{DD}、+DV_{DD} 和 V_{REF} 上电完成后，进入掉电模式，然后退出，以达到复位芯片的目的。关于掉电模式，请参见 POWER-DOWN MODE 章节。

7.3.7.2 DOUT/DRDY

DOUT/DRDY 输出信号在两种操作模式之间交替。第一种操作模式是数据就绪模式(DRDY)，表示新数据已加载到数据输出寄存器并准备好读取。第二种操作模式是数据输出(DOUT)模式，用于将数据串行移出数据输出寄存器(DOR)。DRDY 和 DOUT 函数的时域划分如 Figure 16 所示。

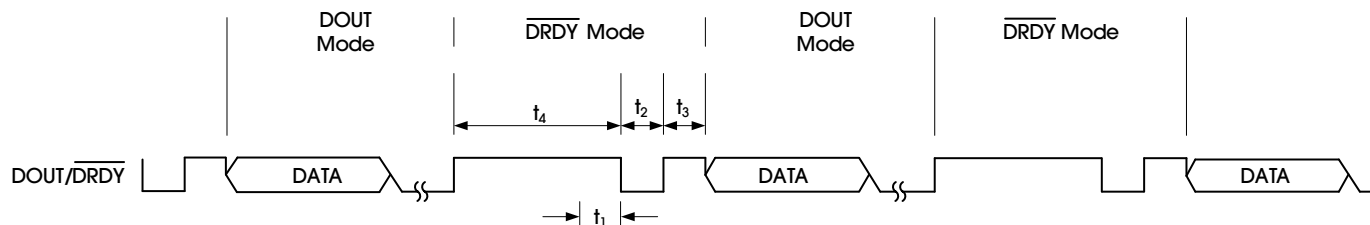


Figure 16. DOUT/DRDY Partitioning

DOUT/DRDY 的基本时序见 Figure 17。在 t_2 、 t_3 和 t_4 定义的时间内，DOUT/DRDY 引脚在 DRDY 模式下运行。在将新数据内部传输到 DOR 之前，DOUT/DRDY 引脚的状态将为高电平。A/D 转换的结果将在 t_1 定义的时间内从 MSB 写入 DOR 到 LSB (参见 Figure 16 和 Figure 17)。然后，DOUT/DRDY 线将在 t_2 定义的时间内脉冲为低电平，然后在 t_3 定义的时间内将线驱动为高电平，以指示可以读取新数据。此时，DOUT/DRDY 引脚的功能将变为 DOUT 模式。数据将在 t_1 之后移出引脚。如果 MSB 为高电平(因为结果为负)，则 DOUT/DRDY 信号将在时间 t_3 结束后保持高电平。与 ADX518 通信的设备可以在 t_6 定义的时间后向 ADX518 提供 SCLK。从 ADX518 读取数据的正常模式是读取 ADX518 的设备在 SCLK 的上升沿锁存数据(因为数据在 SCLK 的下降沿移出 ADX518)。为了检索有效数据，必须在 DOUT/DRDY 引脚恢复到 DRDY 模式之前读取整个 DOR。

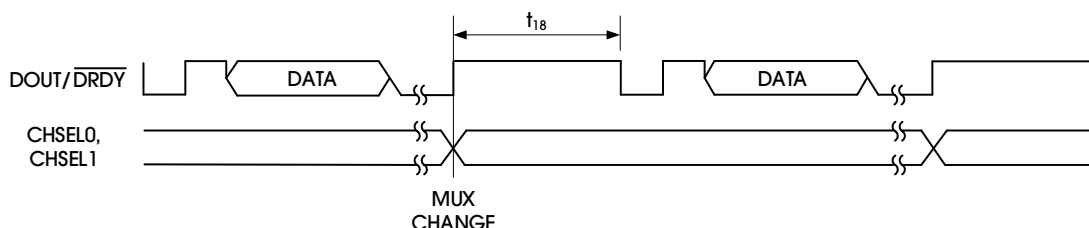


Figure 17. Multiplexer Operation

如果在 DOUT 模式期间未向 ADX518 提供 SCLK，则 DOR 的 MSB 将出现在 DOUT/DRDY 线上，直到 t_4 定义的时间开始。如果在 DOUT 模式下发生对 ADX518 的不完整读取(即，提供的 SCLK 少于 24 个)，最后一位读取的状态将出现在 DOUT/DRDY 行，直到 t_4 定义的时间开始。如果在 DOUT 模式期间提供超过 24 个 SCLK，则 DOUT/DRDY 线将保持低电平直到 t_4 定义的时间。

7.3.8 同步多个转换器

SCLK 的正常状态为 LOW；但是，通过将 SCLK 保持为高电平，可以同步多个 ADX518。这是通过将 SCLK 保持高电平至少四个但少于二十个连续的 DOUT/DRDY 周期来实现的。在 ADX518 电路检测到 SCLK 已连续四个 DOUT/DRDY 周期保持高电平后，DOUT/DRDY 引脚将发出脉冲低电平并持续 3 个 CLK 周期，然后保持高电平，调制器将保持在复位状态。调制器将从复位状态释放，同步将在 SCLK 的下降沿发生。对于多个转换器，SCLK 的下降沿转换必须在所有设备上同时发生。重要的是要注意，在同步之前，系统中多个 ADX518 的 DOUT/DRDY 脉冲在时序上可能会有一个 DRDY 时期。因此，为确保同步，SCLK 应保持高电平至少五个 DRDY 周期。SCLK 下降沿之后的第一个 DOUT/DRDY 脉冲将出现在 t_{14} 。第一个 DOUT/DRDY 脉冲表示有效数据。

7.3.9 掉电模式

SCLK 的正常状态为低电平，但是，通过保持 SCLK 为高电平，ADX518 将进入掉电模式。这是通过将 SCLK 保持高电平至少二十个连续的 DOUT/DRDY 周期来实现的。在 ADX518 电路检测到 SCLK 已连续四个 DOUT/DRDY 周期保持高电平后，DOUT/DRDY 引脚将发出脉冲低电平持续 3 个 CLK 周期，然后保持高电平，调制器将保持在复位状态。如果 SCLK 在额外的 16 个 DOUT/DRDY 周期内保持高电平，ADX518 将进入掉电模式。该器件将在 SCLK 的下降沿从掉电模式中释放。重要的是要注意 DOUT/DRDY 引脚将在四个 DOUT/DRDY 周期后保持高电平，但掉电在额外的十六个 DOUT/DRDY 周期内不会进入模式。SCLK 下降沿之后的第一个 DOUT/DRDY 脉冲将在 t_{16} 出现，并指示有效数据。随后的 DOUT/DRDY 脉冲将正常发生。

掉电模式可以复位芯片，有重新上电复位的作用。如果环境温度发生变化导致增益误差和偏置误差的漂移，那么进入掉电模式后再退出，可以有效降低增益误差和偏置误差，从而将增益误差和偏置误差降到最低。

7.3.10 器件复位

器件支持使用 SCLK 复位，复位时序见 SCLK RESET TIMING。器件复位会触发调制器，数字滤波器等全部复位。

7.3.11 串行接口

ADX518 包含一个简单的串行接口，可以通过多种方式连接到微控制器和数字信号处理器。与 ADX518 的通信可以在上电后第一次检测到 DOUT/DRDY 脉冲时开始。

请务必注意，来自 ADX518 的数据是 24 位结果，MSB 在前，采用二进制补码格式，如 Table 13 所示。

数据必须在 ADX518 进入 DRDY 模式之前输出，以确保接收到有效数据，如 DOUT/DRDY 部分所述。

7.3.12 隔离

ADX518 的串行接口提供了简单的隔离方法。CLK 信号可以是 ADX518 的本地信号，然后只需要两路信号(SCLK 和 DOUT/DRDY)用于隔离数据采集。除非使用计数器自动多路复用通道，否则通道选择信号(CHSEL0、CHSEL1)也需要隔离。

Table 13. ADX518 Data Format (Offset Two's Complement)

DIFFERENTIAL VOLTAGE INPUT	DIGITAL OUTPUT (HEX)
+Full Scale	7FFFFFFH
Zero	000000H
–Full Scale	800000H

8. 布局

8.1 电源

电源是良好整流且低噪声的。对于需要 ADX518 提供非常高分辨率的设计，电源抑制将是一个问题。避免在器件下方布置数字线路，因为它们可能会将噪声耦合到芯片上。高频噪声可能通过电容耦合到器件的模拟部分，并混叠回数字滤波器的通带内进而影响转换结果。该时钟噪声也会导致偏移误差。

8.2 解耦

ADX518 和设计中的所有器件都应作良好的去耦。所有去耦电容，特别是 $0.1\mu\text{F}$ 陶瓷电容，应尽可能靠近被去耦的引脚放置。应使用一个 $1\mu\text{F}$ 至 $10\mu\text{F}$ 的电容器与一个 $0.1\mu\text{F}$ 的陶瓷电容器并联，以将电源对地去耦。

9. PACKAGE INFORMATION

The ADX518 is available in the SSOP-20 package. Figure 18 shows the package view.

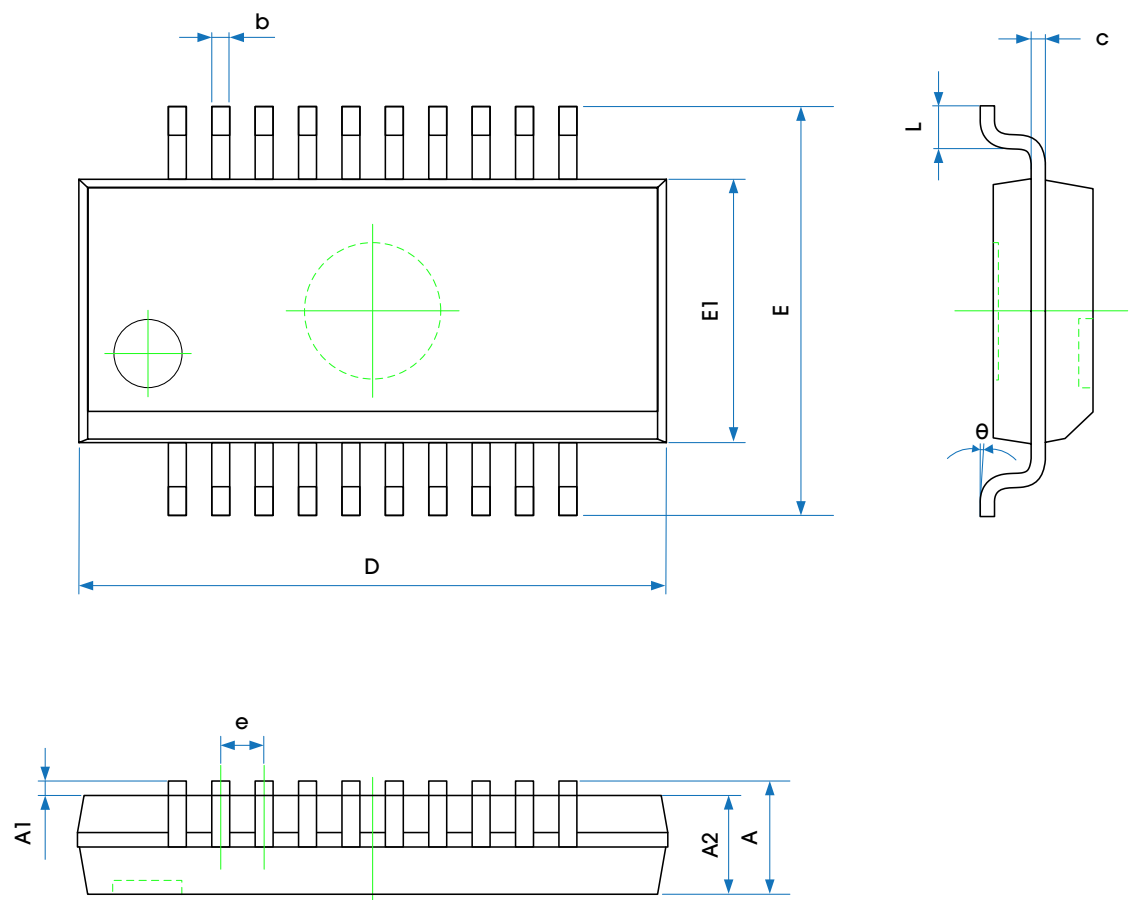


Figure 18. Package View

Table 14 provides detailed information about the dimensions.

Table 14. Dimensions

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	—	1.750	—	0.069
A1	0.100	0.250	0.004	0.010
A2	1.250	—	0.049	—
b	0.203	0.305	0.008	0.012
c	0.102	0.254	0.004	0.010
D	8.450	8.850	0.333	0.348
E	5.800	6.200	0.228	0.244
E1	3.800	4.000	0.150	0.157
e	0.635 (BSC)		0.025 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

10. TAPE AND REEL INFORMATION

Figure 19 illustrates the carrier tape.

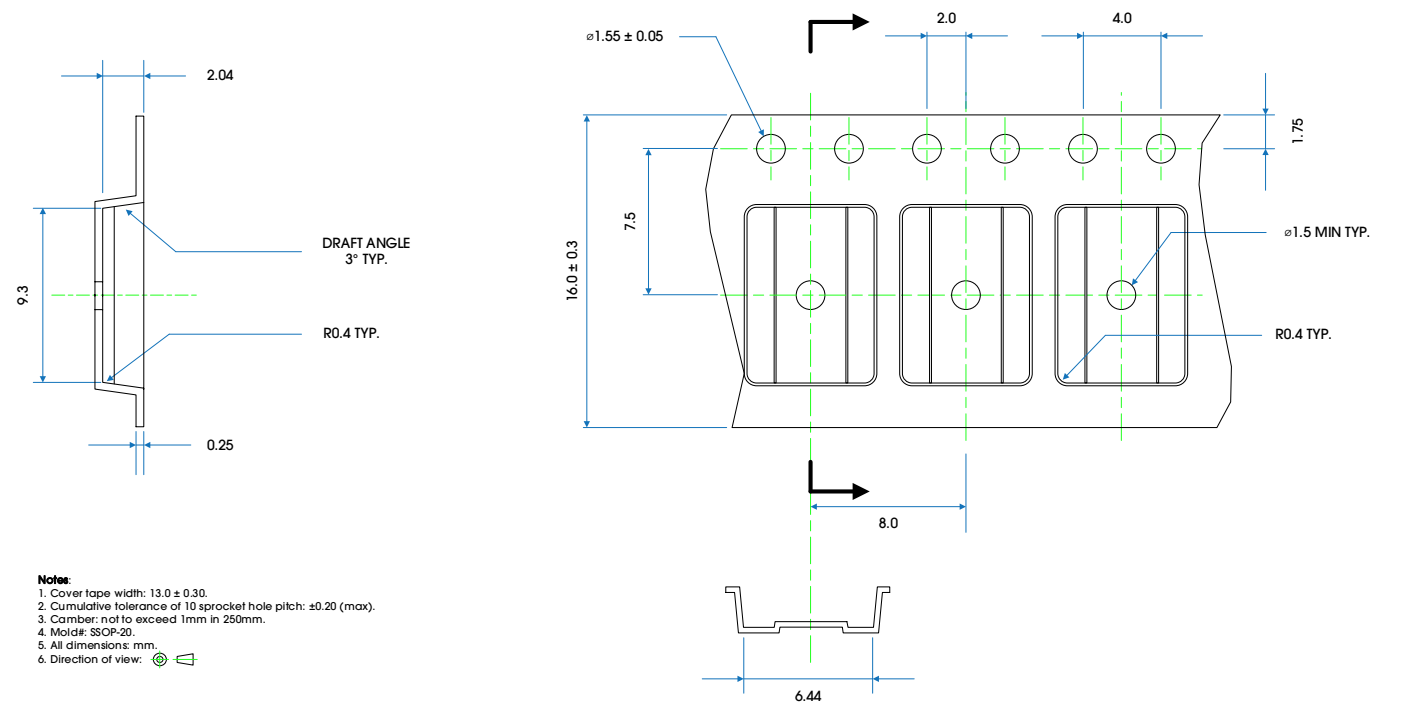


Figure 19. Carrier Tape Drawing

Table 15 provides information about tape and reel.

Table 15. Tape and Reel Information

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (MM)	CARTON SIZE (MM)
SSOP-20	13"	2500	1	8	20000	336*336*448	420*355*365

Figure 20 shows the product loading orientation—pin 1 is assigned at Q1.

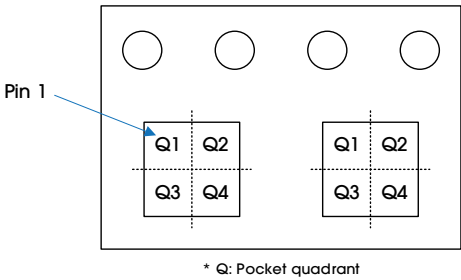


Figure 20. Product Loading Orientation

REVISION HISTORY

REVISION	DATE	DESCRIPTION
Rev A	08 August 2024	Rev A release.