

1. 特性

- 高达 24 位无噪声分辨率
- 八个模拟输入
 - 四个差分或八个单端测量
- 出色的直流性能
 - 失调漂移: 84nV/°C (增益 = 1)
 - 增益漂移: 1ppm/°C (增益 = 1)
 - 非线性: 3ppm (增益 = 1)
- 可编程数据速率: 2.5SPS 至 60kSPS
- 单周期稳定转换
- 可配置的 50Hz 和 60Hz 抑制滤波器
- 高阻抗输入缓冲器
- 差分输入 PGA 支持 1~128 倍
- 集成传感器破损检测
- 四个通用输入/输出
- 支持 SPI CRC/锁定/超时保护
- 时钟/复位/寄存器状态监视器
- 温度/VDD 错误报警
- 三个时钟(内部时钟/XTAL/CLKIN)可选电源:
 - 模拟:
 - 单电源: 4V 至 5.5V
 - 双电源: $\pm 2V$ 至 $\pm 2.75V$
 - 数字: 1.65V 至 5.5V
- SPI™兼容串行接口

2. 应用

- 科学仪器
- 工业过程控制
- 医用器材
- 测试和测量
- 体重秤

3. 说明

ADX515/6/7 是一款低噪声、60kSPS、24 位、 $\Delta\Sigma$ ($\Delta\Sigma$) 模数转换器(ADC)，具有集成多路复用器(mux)、输入缓冲器和可编程增益放大器(PGA)。

输入多路复用器接受四个差分或八个单端输入测量。传感器断路检测电路验证 ADC 的输入连接连续性。可选择的输入缓冲器极大地增加了输入阻抗，并且在许多情况下消除了对外部缓冲器的需要。缓冲器输入电压范围包括 AVSS。低噪声 PGA 提供从 1 到 128 的增益以适应各种输入信号。可编程数字滤波器优化了 ADC 分辨率(高达 23 位无噪声)和转换速率(高达 60kSPS)。数字滤波器提供单周期稳定转换，并可配置抑制 50Hz 和 60Hz 干扰信号。

兼容 SPI 的串行接口仅需三根线即可运行，从而简化了与外部控制器的连接。集成校准功能支持所有 PGA 增益设置的偏移和增益误差的自校正和系统校正。四个双向数字 I/O 引脚控制外部电路。

有关订购信息，请参见 Table 1。

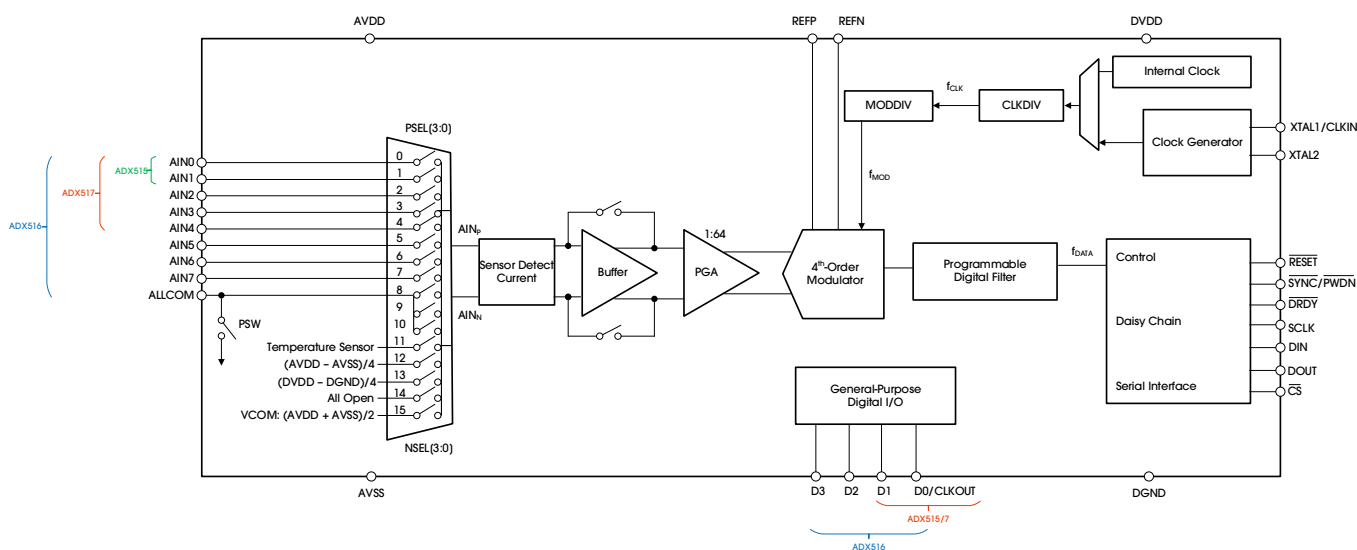


Table 1 lists the order information.

Table 1. Order Information

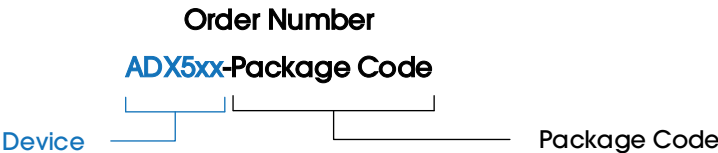
ORDER NUMBER ⁽¹⁾	CH (#)	PACKAGE	RESOLUTION (BIT)	OUTPUT DATA RATE	PGA	TEMP. SENOR	QUIESCENT CURRENT (mA)	OP. TEMP (°C)	RATING	MARK	PKG. OPTION	MSL
ADX515ASOP20	1(2)	SSOP-20	24	60k	1-128	Yes	6	−40-125	Industrial	Company Logo ADX515 XXXXXX ⁽³⁾	T/R-1500	3
ADX516ASOP28	4(8)	SSOP-28	24	60k	1-128	Yes	6	−40-125	Industrial	Company Logo ADX516 XXXXXX ⁽³⁾	T/R-1500	2
ADX517AQFN20 ⁽²⁾	2(4)	QFN-20	24	60k	1-128	Yes	6	−40-125	Industrial	Company Logo ADX517 XXXXXX ⁽³⁾	T/R-4000	3

Table 2. Family Selection Guide

ORDER NUMBER ⁽¹⁾	CH (#)	PACKAGE	RESOLUTION (BIT)	OUTPUT DATA RATE	PGA	TEMP. SENOR	QUIESCENT CURRENT (mA)	OP. TEMP (°C)	RATING	MARK	PKG. OPTION	MSL
ADX512AQFN20 ⁽²⁾	3(6)	QFN-20	24	30k	1-64	Yes	0.8	−40-125	Industrial		TBD	
ADX513AQFN20 ⁽²⁾	3(5)	QFN-20	24	30k	1-64	Yes	6	−40-125	Industrial		TBD	
ADX514ASOP20	4(4)	SSOP-20	24	20k	1	No	1.7	−40-125	Industrial	ADX514 XXXXXX ⁽³⁾	T/R-2500	3
ADX518ASOP20	4(4)	SSOP-20	24	20k	1	No	1	−40-85	Industrial	ADX518 XXXXXX ⁽³⁾	T/R-2500	3
ADX520AQFN28 ⁽²⁾	4(8)	QFN-28	24	60k	1-128	No	TBD	−40-125	Industrial		TBD	
ADX521AQFN20 ⁽²⁾	2(4)	QFN-20	24	30k	1-128	Yes	TBD	−40-125	Industrial		TBD	
ADX522AQFN20 ⁽²⁾	2(4)	QFN-20	24	30k	1-128	Yes	TBD	−40-125	Industrial		TBD	
ADX523AQFN28 ⁽²⁾	4(8)	QFN-28	24	30k	1-128	Yes	TBD	−40-125	Industrial		TBD	
ADX524AQFN20 ⁽²⁾	2(4)	QFN-20	24	60k	1-128	Yes	TBD	−40-125	Industrial		TBD	
ADX525AQFN28 ⁽²⁾	4(8)	QFN-28	24	60k	1-128	Yes	TBD	−40-125	Industrial		TBD	

- Devices can be ordered via the following two ways:
- 1. Place orders directly on our website (www.analogyssemi.com), or;
 - 2. Contact our sales team by mailing to sales@analogyssemi.com.

Note 1:



Note 2: Available in the future.
Note 3: "XXXXXX": For internal use.

4. PIN CONFIGURATION AND FUNCTIONS

4.1 ADX515/6

Figure 1 illustrates the pin configuration of ADX515/6.

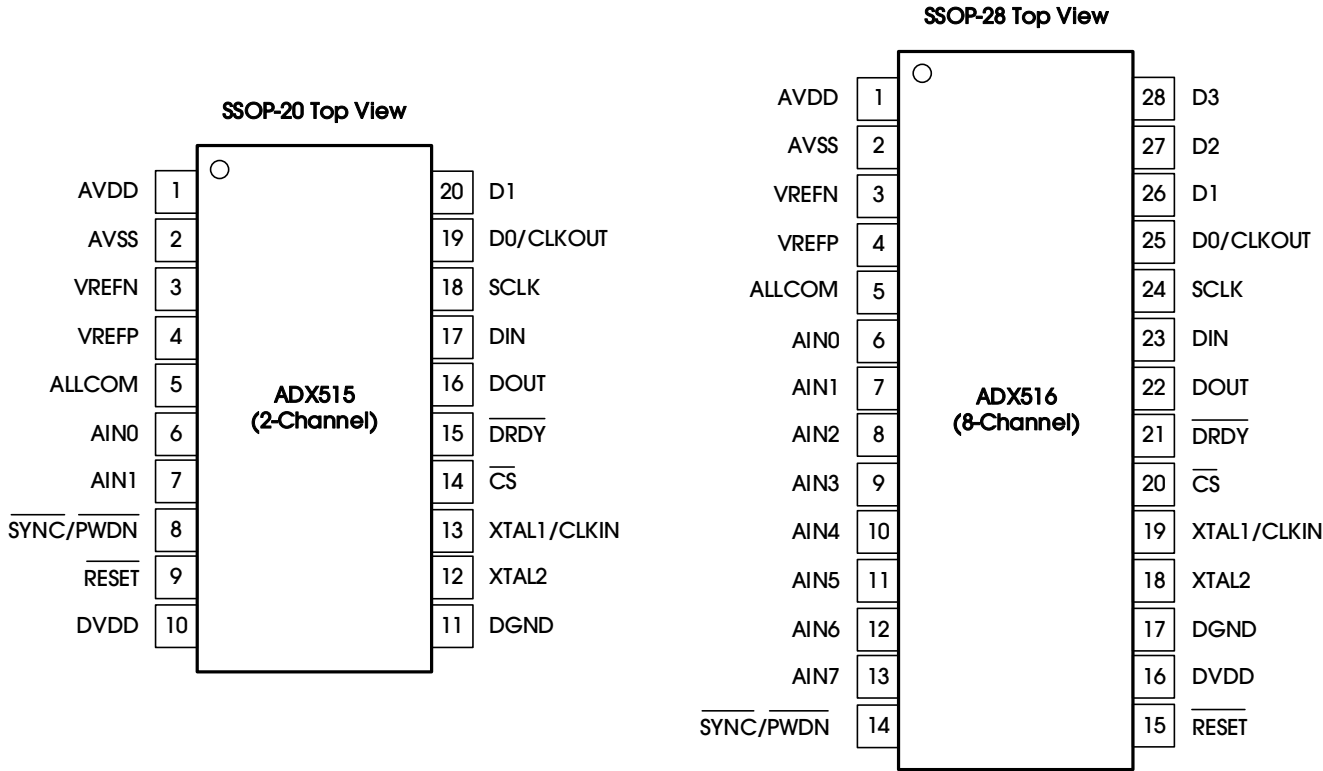


Figure 1. Pin Configuration (ADX515/6)

Table 3 lists the pin functions of ADX515/6.

Table 3. Pin Functions (ADX515/6)

POSITION		NAME	TYPE	DESCRIPTION
ADX515	ADX516			
1	1	AVDD	Analog supply	Positive analog power supply
2	2	AVSS	Analog supply	Negative analog power supply
3	3	VREFN	Analog input	Negative reference input
4	4	VREFP	Analog input	Positive reference input
5	5	ALLCOM	Analog input	Analog input common or common voltage output
6	6	AIN0	Analog input	Analog input 0
7	7	AIN1	Analog input	Analog input 1
—	8	AIN2	Analog input	Analog input 2
—	9	AIN3	Analog input	Analog input 3
—	10	AIN4	Analog input	Analog input 4
—	11	AIN5	Analog input	Analog input 5
—	12	AIN6	Analog input	Analog input 6
—	13	AIN7	Analog input	Analog input 7
8	14	SYNC/PWDN	Digital input ⁽¹⁾⁽²⁾	Synchronization/power-down input, active low
9	15	RESET	Digital input ⁽¹⁾⁽²⁾	Reset input, active low
10	16	DVDD	Digital supply	Digital power supply
11	17	DGND	Digital supply	Digital ground
12	18	XTAL2	Digital ⁽³⁾	Crystal oscillator connection
13	19	XTAL1/CLKIN	Digital/Digital input ⁽²⁾	Crystal oscillator connection/external clock input
14	20	CS	Digital input ⁽¹⁾⁽²⁾	Chip select, active low

ADX515/ADX516/ADX517

噪声极低的 24 位模数转换器

POSITION		NAME	TYPE	DESCRIPTION
ADX515	ADX516			
15	21	$\overline{\text{DRDY}}$	Digital output	Data ready output, active low
16	22	DOUT	Digital output	Serial data output
17	23	DIN	Digital input ⁽¹⁾⁽²⁾	Serial data input
18	24	SCLK	Digital input ⁽¹⁾⁽²⁾	Serial clock input
19	25	D0/CLKOUT	Digital IO ⁽⁴⁾	Digital I/O 0/clock output
20	26	D1	Digital IO ⁽⁴⁾	Digital I/O 1
—	27	D2	Digital IO ⁽⁴⁾	Digital I/O 2
—	28	D3	Digital IO ⁽⁴⁾	Digital I/O 3

Note 1: Schmitt-Trigger digital input.

Note 2: 5V tolerant digital input.

Note 3: Leave disconnected if external clock input is applied to XTAL1/CLKIN.

Note 4: Schmitt-Trigger digital input when the digital I/O is configured as an input.

4.2 ADX517

Figure 2 illustrates the pin configuration of ADX517.

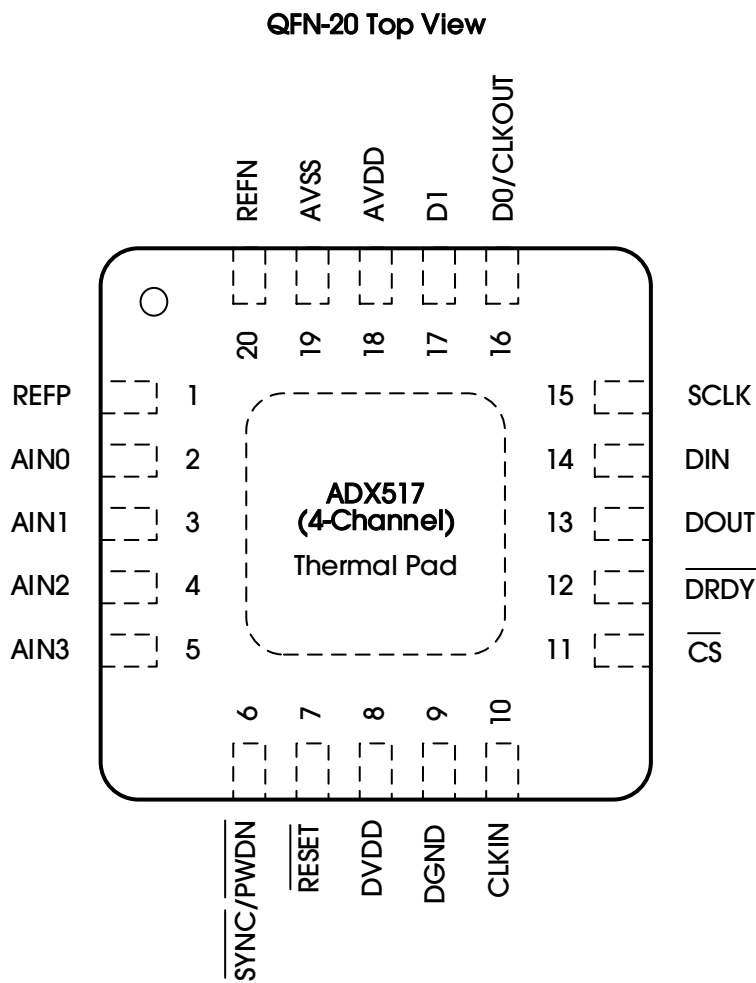


Figure 2. Pin Configuration (ADX517)

Table 4 lists the pin functions of ADX517.

Table 4. Pin Functions (ADX517)

POSITION	NAME	TYPE	DESCRIPTION
1	REFP	Analog input	Positive reference input
2	AIN0	Analog input	Analog input 0; Leave unconnected or connect to AVDD if not used
3	AIN1	Analog input	Analog input 1; Leave unconnected or connect to AVDD if not used
4	AIN2	Analog input	Analog input 2; Leave unconnected or connect to AVDD if not used
5	AIN3	Analog input	Analog input 3; Leave unconnected or connect to AVDD if not used
N6	$\overline{\text{SYNC/PWDN}}$	Digital input ⁽¹⁾⁽²⁾	Synchronization or power-down input, active low; Connect to DVDD if not used
7	$\overline{\text{RESET}}$	Digital input ⁽¹⁾⁽²⁾	Reset input, active low; Connect to DVDD if not used
8	DVDD	Digital	Digital power supply; Connect decoupling capacitor to DGND
9	DGND	Digital	Digital ground
10	CLKIN	Digital input ⁽²⁾	External clock input
11	$\overline{\text{CS}}$	Digital input ⁽¹⁾⁽²⁾	Chip select, active low; Connect to DGND if not used
12	$\overline{\text{DRDY}}$	Digital output	Data ready output; active low
13	DOUT	Digital output	Serial data output

ADX515/ADX516/ADX517

噪声极低的 24 位模数转换器

POSITION	NAME	TYPE	DESCRIPTION
14	DIN	Digital input ⁽¹⁾⁽²⁾	Serial data input
15	SCLK	Digital input ⁽¹⁾⁽²⁾	Serial clock input
16	D0/CLKOUT	Digital input/output ⁽³⁾	General-purpose digital I/O 0 or clock output
17	D1	Digital input/output ⁽³⁾	General-purpose digital I/O 1
18	AVDD	Analog	Positive analog power supply; Connect decoupling capacitor to AVSS
19	AVSS	Analog	Negative analog power supply
20	REFN	Analog input	Negative reference input
—	Thermal Pad	—	Thermal power pad; Connect to AVSS

Note 1: Schmitt-trigger digital input
Note 2: 5V tolerant digital input
Note 3: Schmitt-trigger digital input when the digital I/O is configured as an input.

5. SPECIFICATIONS

5.1 ABSOLUTE MAXIMUM RATINGS

Table 5 lists the absolute maximum ratings of the ADX515/6/7.

Table 5. Absolute Maximum Ratings

PARAMETER	DESCRIPTION		MIN	MAX	UNITS
Voltage	AVDD to AVSS		−0.3	6	V
	DVDD to DGND		−0.3	6	V
	AVSS to DGND		−2.8	0.3	V
	Analog inputs to AVSS		AVSS − 0.3	AVDD + 0.3	V
	Digital inputs	DIN, SCLK, $\overline{\text{CS}}$, $\overline{\text{RESET}}$, $\overline{\text{SYNC}}$ / $\overline{\text{PWDN}}$ to DGND	DGND − 0.3	DGND + 6.0	V
		D0/CLKOUT, D1, D2, D3, XTAL1/CLKIN	DGND − 0.3	DVDD + 0.3	V
Current	Input current	Momentary		100	mA
		Continuous	−10	10	
Temperature	Operating, T_A		−40	125	°C
	Junction, T_J		−40	150	°C
	Storage, T_{stg}		−60	150	°C
	Lead (soldering, 10s)			300	°C

Note: Stresses beyond those listed under Table 5 may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Table 7. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD RATINGS

Table 6 lists the ESD ratings of the ADX515/6/7.

Table 6. ESD Ratings

PARAMETER	SYMBOL	DESCRIPTION	VALUE	UNITS
Electrostatic Discharge	$V_{\text{(ESD)}}$	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±5000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±2000	

Note 1: The JEDEC document JEP155 indicates that 500V HBM allows safe manufacturing with a standard ESD control process.

Note 2: The JEDEC document JEP157 indicates that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 RECOMMENDED OPERATING CONDITIONS

Table 7 lists the recommended operating conditions for the ADX515/6/7.

Table 7. Recommended Operating Conditions

PARAMETER	DESCRIPTION	SYMBOL	MIN	NOM	MAX	UNITS
POWER SUPPLY						
AVDD		V _{AVDD}		+2.5		V
AVSS		V _{AVSS}		-2.5		V
AVDD – AVSS			4		5.5	V
DVDD	DVDD to GND	V _{DVDD}	1.65	1.8	5.5	V
ANALOG INPUTS ⁽¹⁾						
Input Voltage		V _(AINx)	AVSS		AVDD	V
DIGITAL INPUTS						
Digital Input Voltage	DIN, SCLK, $\overline{\text{CS}}$, $\overline{\text{RESET}}$, SYNC/ PWDN to DGND	V _{DIG}	DGND		5.5	V
	D0/CLKOUT, D1, D2, D3, XTAL1/CLKIN		DGND		DVDD	V
TEMPERATURE RANGE						
Operating Ambient Temperature		T _A	-40		125	°C

5.4 THERMAL INFORMATION

Table 8 lists the thermal information for the ADX515/6/7.

Table 8. Thermal Information

PARAMETER	SYMBOL	SSOP-20	SSOP-28	QFN-20	UNITS
Junction-to-Ambient Thermal Resistance	R _{θJA}	66.4	56.8	35.1	°C/W
Junction-to-Board Thermal Resistance	R _{θJB}	40.2	32.9	13.3	°C/W
Junction-to-Top Characterization Parameter	ψ _{JT}	1.9	2.6	0.3	°C/W
Junction-to-Board Characterization Parameter	ψ _{JB}	38.0	31.2	13.3	°C/W
Junction-to-Case (Top) Thermal Resistance	R _{θJC(top)}	25.8	24.4	15.0	°C/W
Junction-to-Case (Bottom) Thermal Resistance	R _{θJC(bot)}	—	—	—	°C/W

5.5 ELECTRICAL CHARACTERISTICS

Table 9 lists the electrical characteristics of the ADX515/6/7, at -40°C to 125°C , $\text{AVDD} = 5\text{V}$, $\text{DVDD} = 1.8\text{V}$, $f_{\text{CLK}} = 7.68\text{MHz}$ (crystal oscillator), CLKOUT off, $\text{PGA} = 1$, buffer on, $V_{\text{REF}} = 2.5\text{V}$, and pre-charge disabled, unless otherwise noted.

Table 9. Electrical Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS						
Full-Scale Input Voltage ($\text{AIN}_P - \text{AIN}_N$)				$\pm 2V_{\text{REF}} / \text{PGA}$		V
Absolute Input Voltage (AIN_0-7 , ALLCOM to AVSS)		Buffer off	$\text{AVSS} - 0.1$		$\text{AVDD} + 0.1$	V
		Buffer on	AVSS		$\text{AVDD} - 2.0$	V
Programmable Gain Amplifier			1		128	
Differential Input Impedance		Buffer off, $\text{PGA} = 1, 2, 4, 8, 16$		$80 / \text{PGA}$		$\text{k}\Omega$
		Buffer off, $\text{PGA} = 32, 64, 128$		3.7		$\text{k}\Omega$
		Buffer on, $f_{\text{DATA}} \leq 50\text{Hz}^{(1)}$		> 66		$\text{M}\Omega$
Sensor Detect Current Sources		$\text{SDCS}(1:0) = 01$		0.6		μA
		$\text{SDCS}(1:0) = 10$		2.2		μA
		$\text{SDCS}(1:0) = 11$		11		μA
SYSTEM PERFORMANCE						
Resolution			24			Bit
No Missing Codes		All data rates and PGA settings	24			Bit
Data Rate (f_{DATA})		$f_{\text{CLK}} = 7.68\text{MHz}$	2.5		60,000	SPS
Integral Nonlinearity		Differential input, $\text{PGA} = 1$		3	9	ppm
		Differential input, $\text{PGA} = 64$		3		ppm
Offset Error		After calibration		On the level of the noise		
Offset Drift		$\text{PGA} = 1$		± 80		$\text{nV}/^{\circ}\text{C}$
		$\text{PGA} = 64$		± 170		$\text{nV}/^{\circ}\text{C}$
Gain Error		After calibration, $\text{PGA} = 1$, Buffer on		± 0.003		%
		After calibration, $\text{PGA} = 64$, Buffer on		± 0.07		%
Gain Drift		$\text{PGA} = 1$		± 0.9		$\text{ppm}/^{\circ}\text{C}$
		$\text{PGA} = 64$		± 0.4		$\text{ppm}/^{\circ}\text{C}$
Common-Mode Rejection		$f_{\text{CM}} = 60\text{Hz}$, $f_{\text{DATA}} = 30\text{kSPS}$	100	113		dB
		DC, $f_{\text{DATA}} = 30\text{kSPS}$	117	138		dB
Normal Mode Rejection		External clock, $\text{ODR} = 10\text{SPS}$, $50\text{Hz} \pm 1\text{Hz}$ and $60\text{Hz} \pm 1\text{Hz}$	103	123		dB
THD		$f_{\text{DATA}} = 30\text{kSPS}$, input = -0.5dBFSR , 10Hz		106		dB
POWER-SUPPLY REJECTION RATIO						
AVDD Power-Supply Rejection		$\pm 5\% \Delta$ in AVDD	84	97		dB
DVDD Power-Supply Rejection		$\pm 10\% \Delta$ in DVDD	95	106		dB

ADX515/ADX516/ADX517

噪声极低的 24 位模数转换器

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VOLTAGE REFERENCE INPUTS						
Reference Input Voltage (V _{REF})		V _{REF} ≤ V _{REFP} – V _{REFN}	0.5	2.5	2.6	V
Negative Reference Input (V _{REFN})		Buffer off	AVSS – 0.1		V _{REFP} – 0.5	V
		Buffer on	AVSS		V _{REFP} – 0.5	V
Positive Reference Input (V _{REFP})		Buffer off	V _{REFN} + 0.5		AVDD + 0.1	V
		Buffer on	V _{REFN} + 0.5		AVDD – 2.0	V
Voltage Reference Impedance		f _{CLK} = 7.68MHz, V _{REF} precharge enabled		2		MΩ
		f _{CLK} = 7.68MHz, V _{REF} precharge disabled		14.7		KΩ
DIGITAL INPUT/OUTPUT						
V _{IH}		DIN, SCLK, SYNC/ PWDN, CS, RESET	0.7 DVDD		5.25	V
		D0/CLKOUT, D1, D2, D3, XTAL1/CLKIN	0.7 DVDD		DVDD	V
V _{IL}			DGND		0.3 DVDD	V
V _{OH}		I _{OH} = 5mA	0.7 DVDD			V
V _{OL}		I _{OL} = 5mA			0.3 DVDD	V
Input Hysteresis				0.5		V
Input Leakage		0 < V _{DIGITAL INPUT} < DVDD			±10	μA
Master Clock Rate		External crystal between XTAL1 and XTAL2	1	7.68	10	MHz
		Internal oscillator		7.68		MHz
		Frequency variation at room temperature			±1	%
		Frequency variation within voltage and temperature range			±6	%
		Duty cycle	40	50	60	%
		External oscillator driving CLKIN	0.1	7.68	10	MHz
POWER SUPPLY						
AVDD			4		5.5	V
DVDD			1.65		5.5	V
AVDD Current		Power-down mode			5	μA
		Standby mode		3		μA
		Normal mode, PGA = 1, Buffer off		6	8	mA
		Normal mode, PGA = 64, Buffer off		14	18	mA
		Normal mode, PGA = 1, Buffer on		11	14	mA
		Normal mode, PGA = 64, Buffer on		27	35	mA
DVDD Current		Power-down mode			3	μA
		Standby mode, CLKOUT off, DVDD = 3.3V		105		μA
		Normal mode, CLKOUT off, DVDD = 3.3V		2	3	mA
Power Dissipation		Normal mode, PGA = 1, Buffer off, DVDD = 3.3V		35	46	mW
		Standby mode, DVDD = 3.3V		0.4		mW

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TEMPERATURE SENSOR						
Sensor Voltage		$T_A = 25^{\circ}\text{C}$		136.8		mV
Temperature Coefficient				378		V/ $^{\circ}\text{C}$
TEMPERATURE RANGE						
Specified			-40		125	$^{\circ}\text{C}$
Operating			-40		125	$^{\circ}\text{C}$
Storage			-60		150	$^{\circ}\text{C}$

Note 1: See text for more information on input impedance.

Note 2: SPS = samples per second.

Note 3: FSR = full-scale range = $4V_{\text{REF}} / \text{PGA}$.

Note 4: f_{CM} is the frequency of the common-mode input signal.

Note 5: Placing a notch of the digital filter at 60Hz (setting $f_{\text{DATA}} = 60\text{SPS}$, 30SPS, 15SPS, 10SPS, 5SPS, or 2.5SPS) will further improve the common-mode rejection of this frequency.

Note 6: The reference input range with Buffer on is restricted only if self-calibration or gain self-calibration is to be used. If using system calibration or writing calibration values directly to the registers, the entire Buffer off range can be used.

5.6 SERIAL INTERFACE TIMING

Figure 3 shows the serial interface timing.

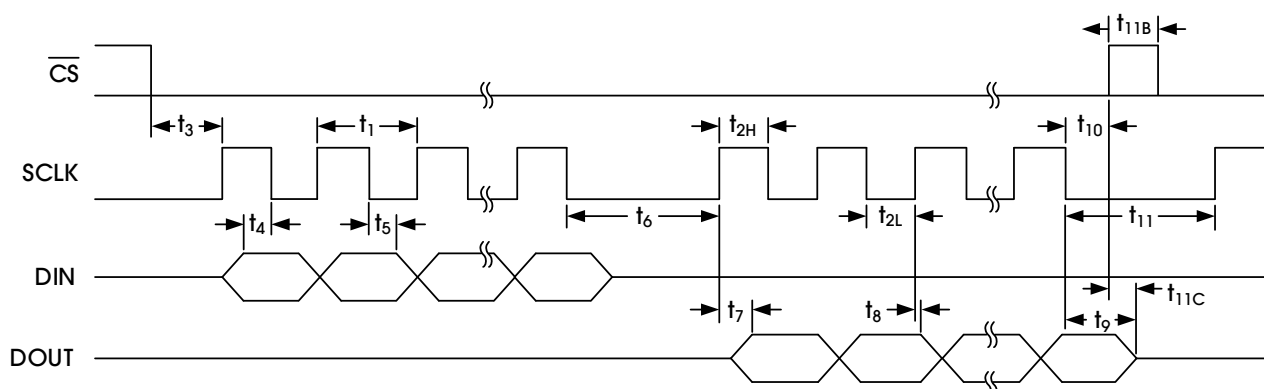


Figure 3. Serial Interface Timing

Table 10 lists the serial interface timing characteristics.

Table 10. Serial Interface Timing Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
SCLK Period	t_1		3			t_{CLK}
					10	t_{DATA}
SCLK Pulse Width: High	t_{2H}		200			ns
					9	t_{DATA}
SCLK Pulse Width: Low	t_{2L}		200			ns
$\overline{CS}$ Low to First SCLK: Setup Time ⁽³⁾	t_3		0			ns
Valid DIN to SCLK Falling Edge: Setup Time	t_4		50			ns
Valid DIN to SCLK Falling Edge: Hold Time	t_5		50			ns
Delay from Last SCLK Edge for DIN to First SCLK Rising Edge for DOUT: RDATA, RDATA, RREG Commands	t_6		4			t_{CLK}
SCLK Rising Edge to Valid New DOUT: Propagation Delay ⁽⁴⁾	t_7				50	ns
SCLK Rising Edge to DOUT Invalid: Hold Time	t_8		0			ns
Last SCLK Falling Edge to DOUT High Impedance ⁽⁵⁾	t_9		6		10	t_{CLK}
$\overline{CS}$ Low after Final SCLK Falling Edge	t_{10}		8			t_{CLK}
Final SCLK Falling Edge of Command to First SCLK Rising Edge of Next Command, RREG, WREG, RDATA	t_{11}		4			t_{CLK}
Final SCLK Falling Edge of Command to First SCLK Rising Edge of Next Command, RDATA, SYNC			4			t_{CLK}
Final SCLK Falling Edge of Command to First SCLK Rising Edge of Next Command, RDATA, RESET, STANDBY, SELFOCAL, SYSOCAL, SELFGCAL, SYSGCAL, SELFCAL		Wait for $\overline{DRDY}$ to go low				

Note 1: t_{CLK} = master clock period = $1/f_{CLK}$.

Note 2: t_{DATA} = output data period $1/f_{DATA}$.

Note 3: $\overline{CS}$ can be tied low.

Note 4: DOUT load = 20pF || 100kΩ to DGND.

Note 5: DOUT goes high impedance immediately when $\overline{CS}$ goes high.

5.7 SCLK RESET TIMING

Figure 4 shows the SCLK reset timing.

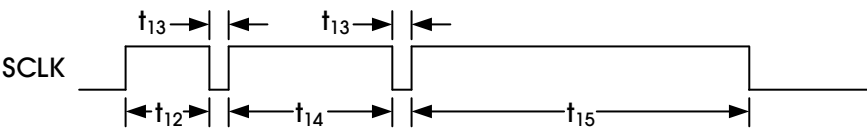


Figure 4. SCLK Reset Timing

Table 11 lists the SCLK reset timing characteristics.

Table 11. SCLK Reset Timing Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
SCLK Reset Pattern, First High Pulse	t ₁₂		300		500	t _{CLK}
SCLK Reset Pattern, Low Pulse	t ₁₃		6			t _{CLK}
SCLK Reset Pattern, Second High Pulse	t ₁₄		550		750	t _{CLK}
SCLK Reset Pattern, Third High Pulse	t ₁₅		1050		1250	t _{CLK}

Note: t_{CLK} = master clock period = 1/f_{CLK}.

5.8 RESET, SYNC/PWDN TIMING

Figure 5 shows the RESET, SYNC/PWDN timing.

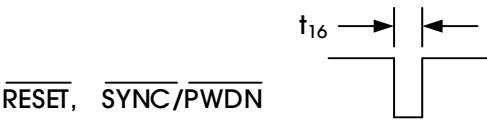


Figure 5. RESET, SYNC/PWDN Timing

Table 12 lists the RESET, SYNC/PWDN timing characteristics.

Table 12. RESET, SYNC/PWDN Timing Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
RESET, SYNC/PWDN Pulse Width	t ₁₆		2			t _{CLK}

Note: t_{CLK} = master clock period = 1/f_{CLK}.

5.9 DRDY UPDATE TIMING

Figure 6 shows the DRDY update timing.



Figure 6. DRDY Update Timing

Table 13 lists the DRDY update timing characteristics.

Table 13. DRDY Update Timing Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
Conversion Data Invalid While Being Updated (DRDY Shown with No Data Retrieval)	t ₁₇		16			t _{CLK}

Note: t_{CLK} = master clock period = 1/f_{CLK}.

6. TYPICAL CHARACTERISTICS

$T_A = 25^\circ\text{C}$, $AV_{DD} = 5\text{V}$, $DV_{DD} = 1.8\text{V}$, $f_{CLK} = 7.68\text{MHz}$, $\text{PGA} = 1$, and $V_{REF} = 2.5\text{V}$, unless otherwise noted.

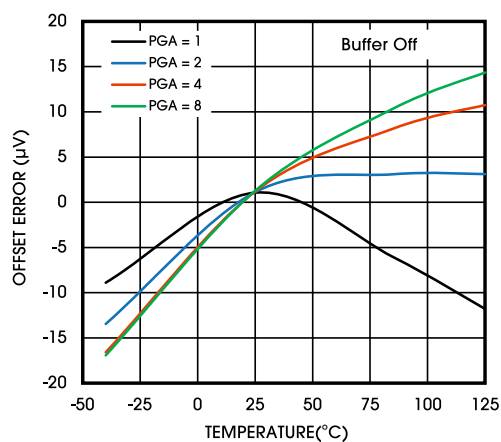


Figure 7. Offset Error vs. Temperature

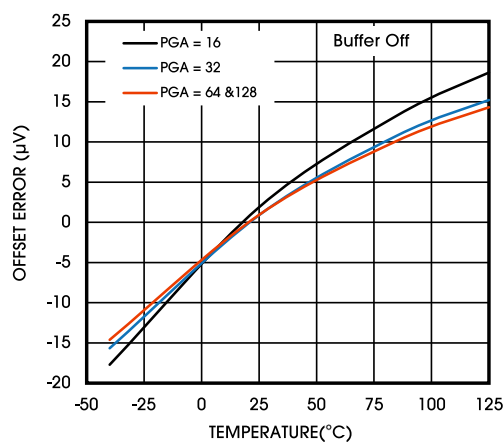


Figure 8. Offset Error vs. Temperature

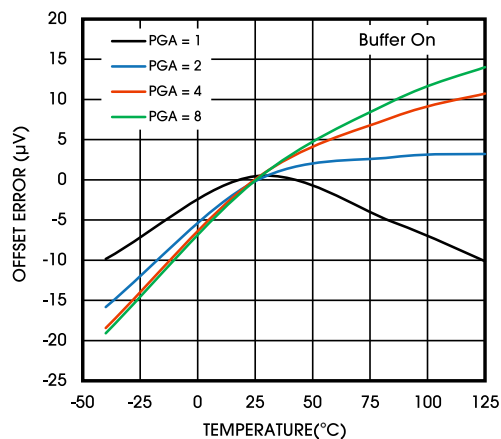


Figure 9. Offset Error vs. Temperature

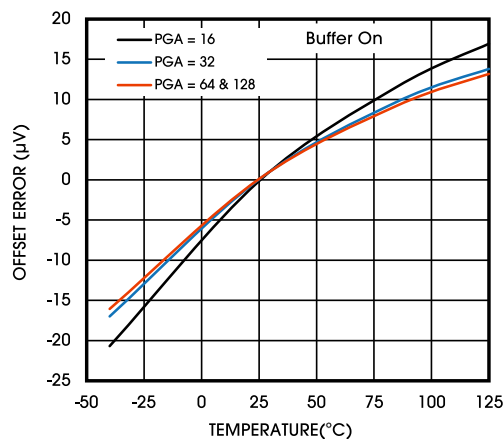


Figure 10. Offset Error vs. Temperature

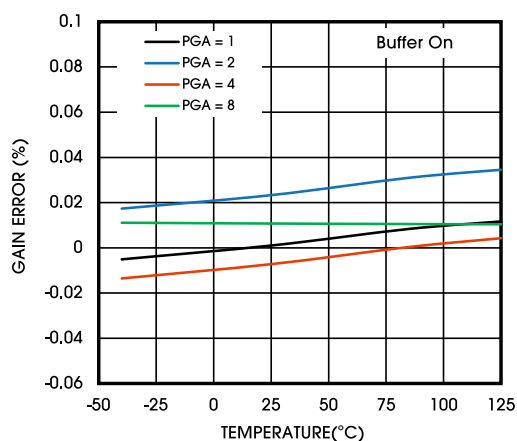


Figure 11. Gain Error vs. Temperature

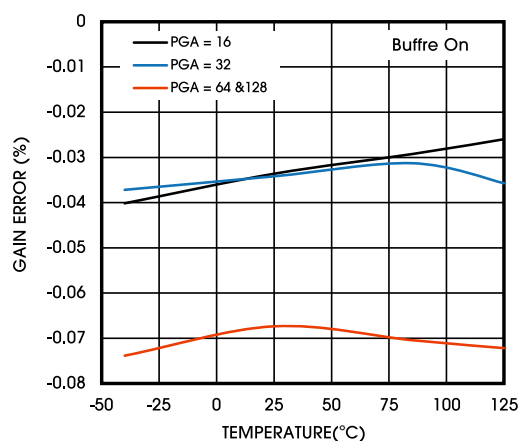


Figure 12. Gain Error vs. Temperature

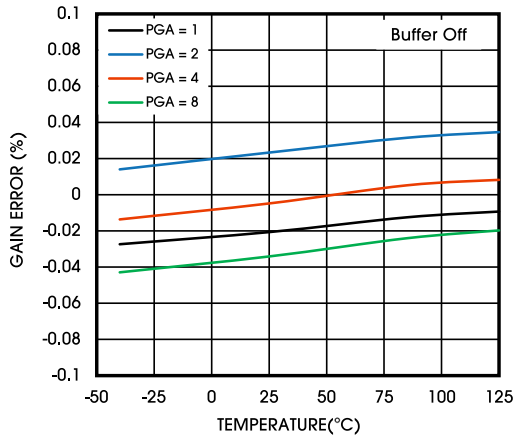


Figure 13. Gain Error vs. Temperature

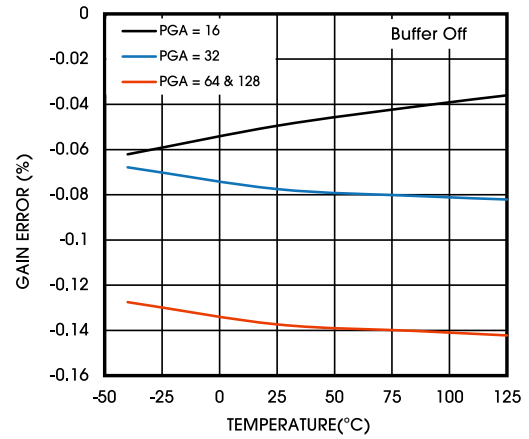


Figure 14. Gain Error vs. Temperature

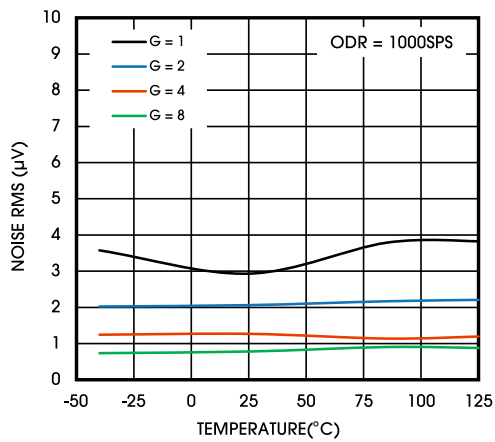


Figure 15. Noise RMS vs. Temperature

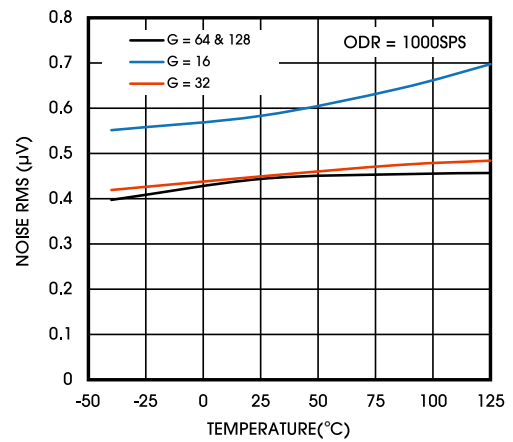


Figure 16. Noise RMS vs. Temperature

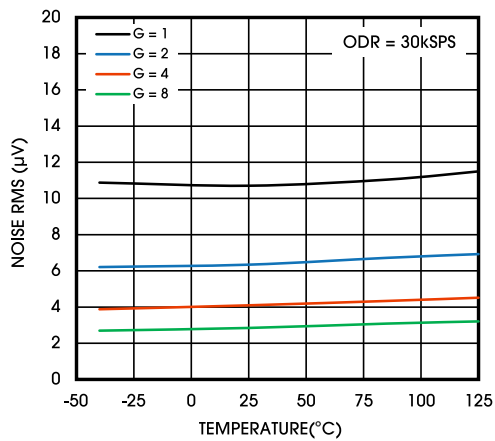


Figure 17. Noise RMS vs. Temperature

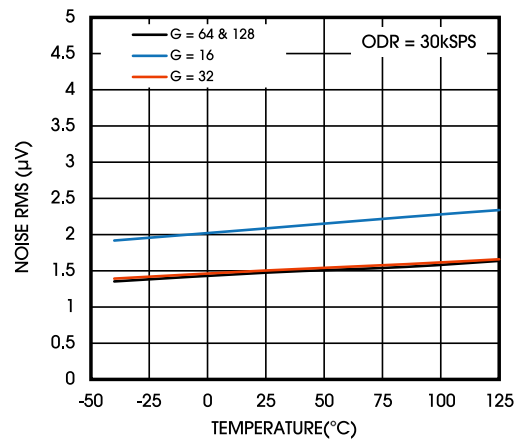


Figure 18. Noise RMS vs. Temperature

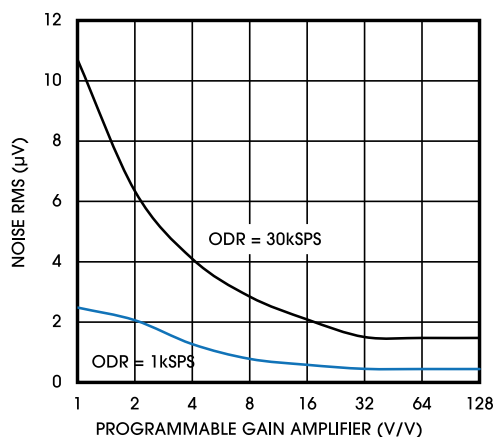


Figure 19. Noise RMS vs. PGA

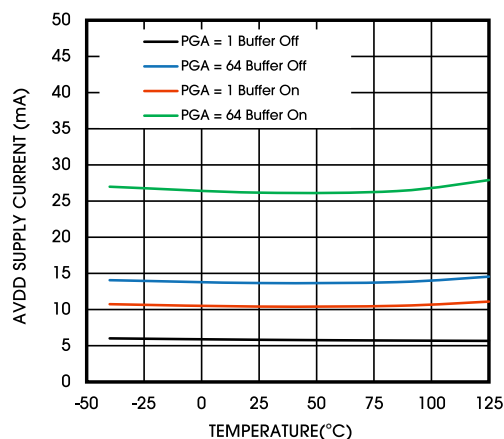


Figure 20. Supply Current vs. Temperature

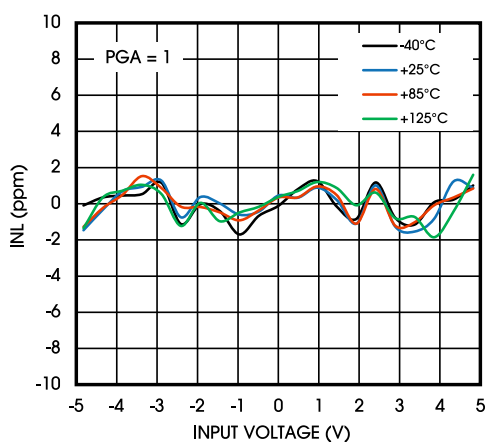


Figure 21. Integral Nonlinearity vs. Input

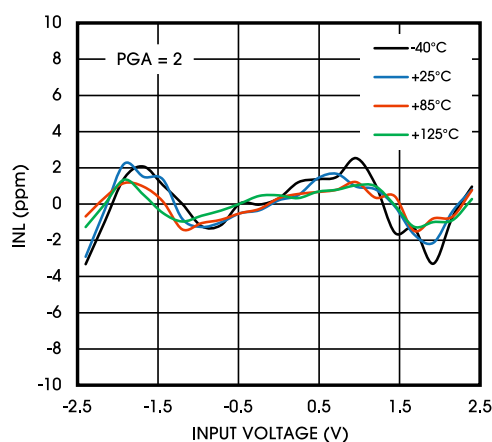


Figure 22. Integral Nonlinearity vs. Input

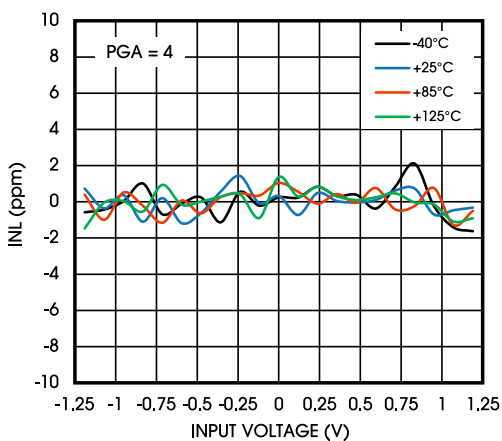


Figure 23. Integral Nonlinearity vs. Input

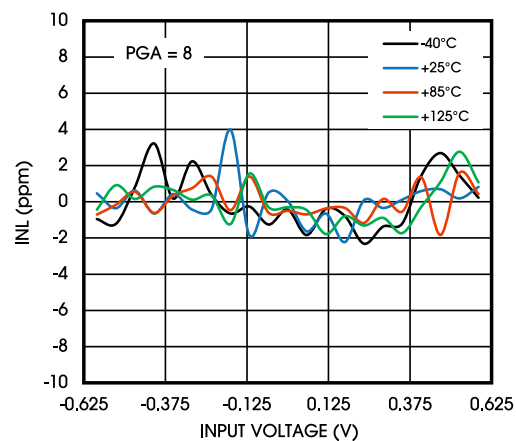


Figure 24. Integral Nonlinearity vs. Input

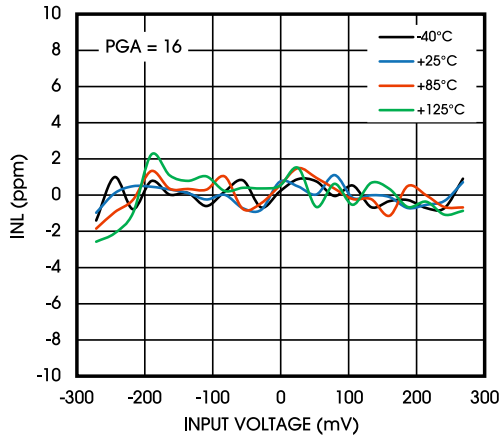


Figure 25. Integral Nonlinearity vs. Input

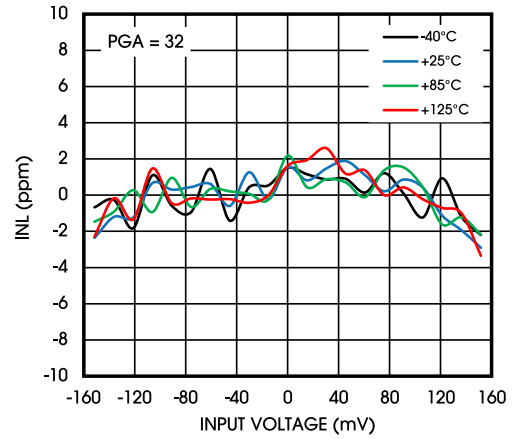


Figure 26. Integral Nonlinearity vs. Input

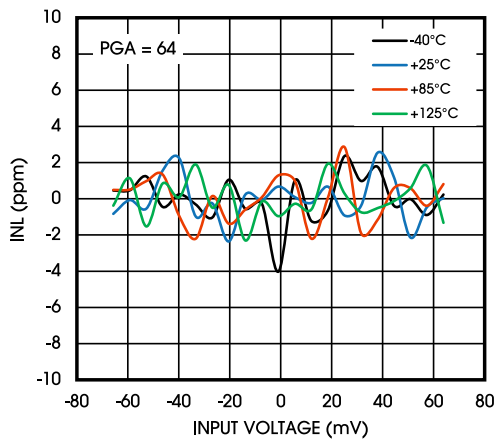


Figure 27. Integral Nonlinearity vs. Input

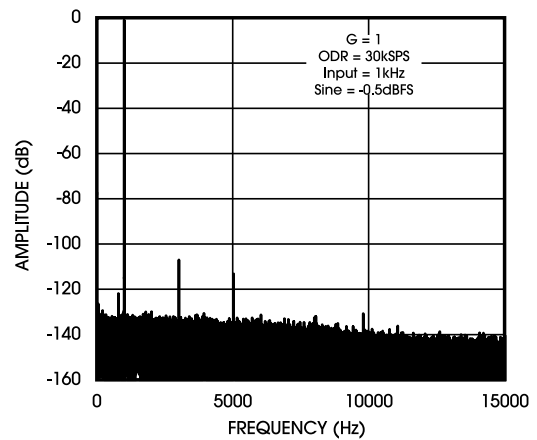


Figure 28. THD

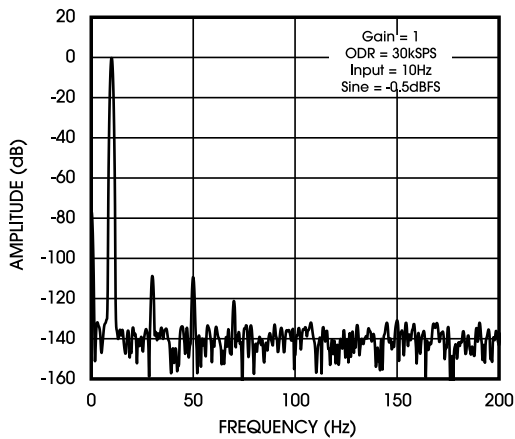


Figure 29. THD

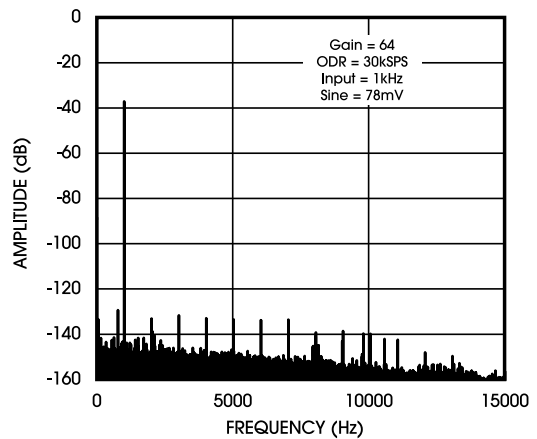


Figure 30. THD

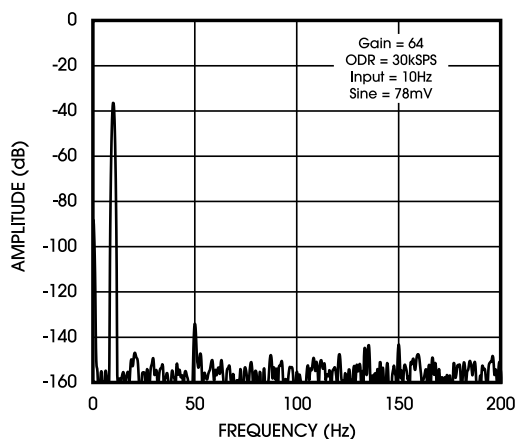


Figure 31. THD

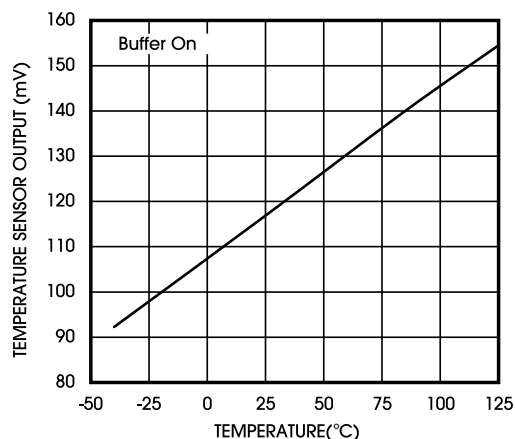


Figure 32. Temperature Sensor Output

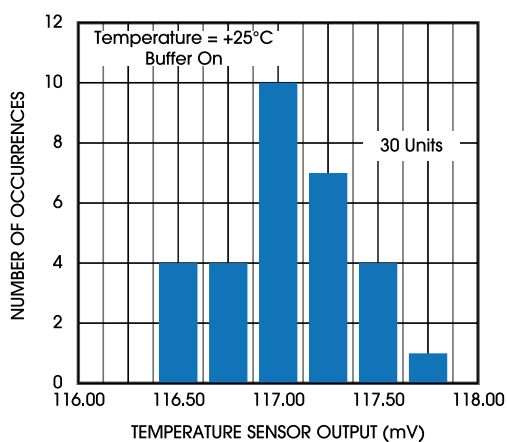


Figure 33. Temperature Sensor Histogram

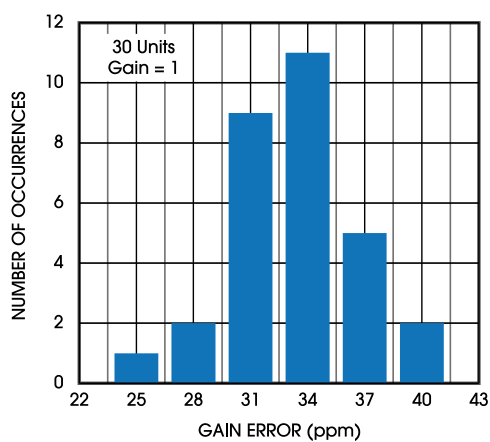


Figure 34. Gain Error Histogram

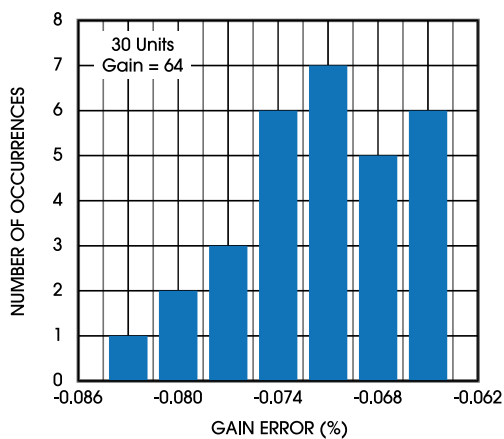


Figure 35. Gain Error Histogram

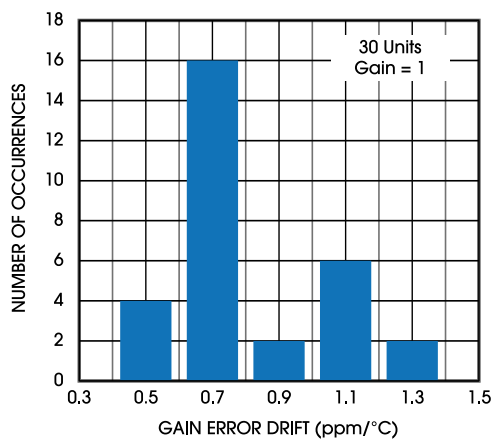


Figure 36. Gain Error Temp Drift Histogram

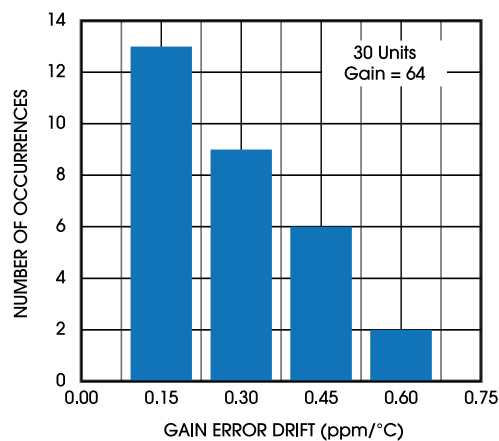


Figure 37. Gain Error Temp Drift Histogram

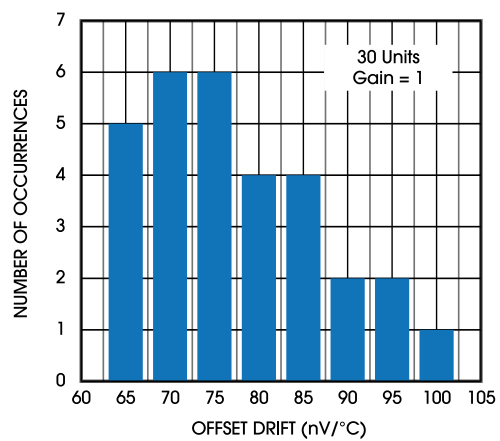


Figure 38. Offset Temp Drift Histogram

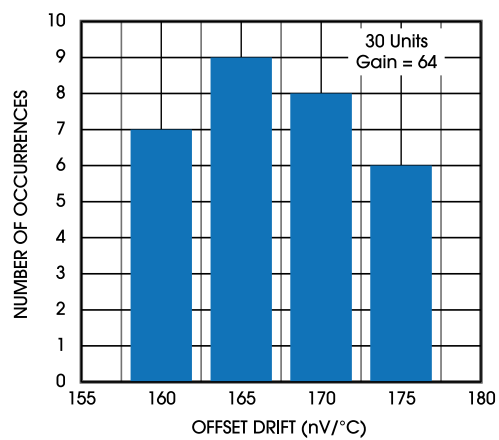


Figure 39. Offset Temp Drift Histogram

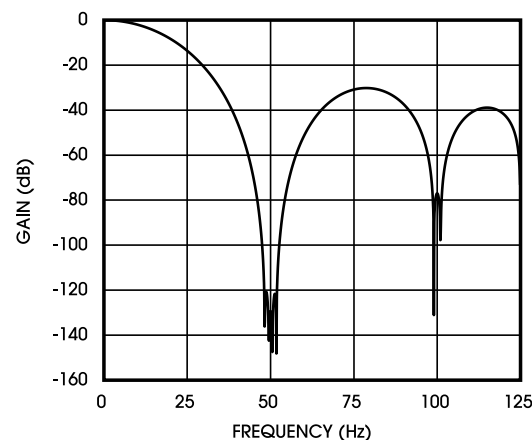


Figure 40. Digital Filter 50Hz Rejection Frequency Response

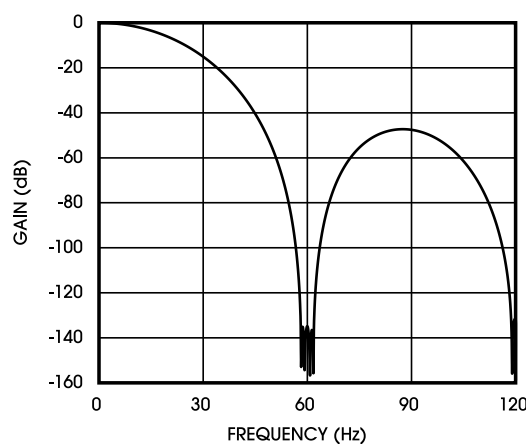


Figure 41. Digital Filter 60Hz Rejection Frequency Response

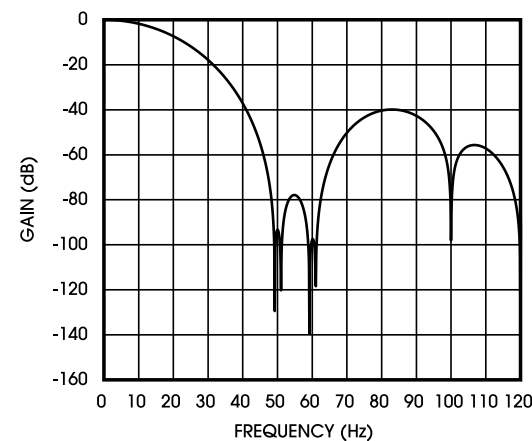


Figure 42. Digital Filter 50Hz & 60Hz Rejection Frequency Response

7. 参数测量信息

7.1 噪声性能

ADX515/6/7 提供出色的噪声性能，可通过调整数据速率或 PGA 增益设置进行优化。当通过降低数据速率来增加平均时，噪声相应地下降。PGA 在测量较低电平信号时降低了输入参考噪声。Table 14 至 Table 21 总结了输入外部短路时的典型噪声性能。

在所有四个表中，以下条件均适用：TA = 25°C、AVDD = 5V、DVDD = 1.8V、VREF = 2.5V 和 fCLK = 7.68MHz。

Table 14 和 Table 18 显示了输入参考噪声的均方根(RMS)值。Table 16 和 Table 20 显示了分辨率的有效位数(ENOB)，分别使用 Table 14 和 Table 18 中的噪声数据。ENOB 的定义如 Equation 1 所示。

ENOB = (ln (FSR / RMS Noise) / ln(2)) (1)

其中：

- FSR 是满量程范围：FSR = 4 × VREF / Gain.

Table 17 和 Table 21 还在括号中显示了分辨率的无噪声位。使用与 ENOB 相同的公式计算无噪声位，只是使用峰峰值噪声值而不是 RMS 噪声。

Table 14. Input-Referred Noise (µVRMS) with Buffer On

DATA RATE (SPS)	PGA GAIN							
	1	2	4	8	16	32	64	128
2.5	0.24	0.11	0.07	0.04	0.03	0.03	0.03	0.03
5	0.26	0.16	0.08	0.07	0.05	0.04	0.04	0.04
10	0.27	0.18	0.11	0.09	0.07	0.06	0.05	0.05
15	0.33	0.22	0.15	0.12	0.08	0.07	0.06	0.06
25	0.39	0.27	0.18	0.13	0.11	0.09	0.09	0.09
30	0.44	0.30	0.19	0.15	0.12	0.09	0.09	0.09
50	0.57	0.36	0.26	0.20	0.15	0.12	0.12	0.12
60	0.65	0.39	0.27	0.22	0.15	0.11	0.12	0.12
100	0.85	0.51	0.36	0.25	0.19	0.16	0.15	0.15
500	1.76	1.12	0.79	0.59	0.45	0.35	0.35	0.35
1000	2.52	1.57	1.15	0.80	0.61	0.45	0.44	0.44
2000	3.63	2.23	1.54	1.11	0.82	0.59	0.59	0.59
3750	5.05	3.12	2.13	1.53	1.14	0.81	0.81	0.81
7500	7.12	4.45	3.02	2.19	1.63	1.17	1.15	1.15
15,000	9.69	5.94	3.95	2.84	2.10	1.50	1.49	1.49
30,000	10.50	6.25	4.07	2.89	2.11	1.52	1.50	1.50
60,000	12.69	7.12	4.46	3.01	2.14	1.15	1.12	1.12

Table 15. Input-Referred Noise (μV_{PP}) with Buffer On

DATA RATE (SPS)	PGA GAIN							
	1	2	4	8	16	32	64	128
2.5	0.59	0.49	0.25	0.20	0.14	0.12	0.13	0.13
5	0.99	0.49	0.30	0.30	0.22	0.20	0.20	0.20
10	1.18	0.79	0.59	0.44	0.33	0.30	0.25	0.25
15	1.38	0.99	0.79	0.57	0.44	0.37	0.31	0.31
25	1.97	1.38	0.94	0.64	0.55	0.43	0.45	0.45
30	2.37	1.87	1.04	0.89	0.67	0.51	0.50	0.50
50	3.35	2.07	1.58	1.11	0.84	0.73	0.75	0.75
60	3.55	2.27	1.53	1.28	0.80	0.62	0.65	0.65
100	4.93	3.26	2.47	1.60	1.23	0.88	0.99	0.99
500	12.04	8.29	5.97	4.34	3.17	2.56	2.45	2.45
1000	17.56	11.25	7.89	5.75	4.17	3.39	3.40	3.40
2000	25.06	15.88	11.05	8.41	6.38	4.11	4.15	4.15
3750	39.27	22.59	15.98	10.95	8.35	6.34	5.62	5.62
7500	52.88	33.05	23.83	16.82	12.18	8.97	8.57	8.57
15,000	75.18	47.26	31.42	21.31	16.12	11.32	11.06	11.06
30,000	88.79	50.51	32.90	23.51	16.55	11.96	12.08	12.08
60,000	120.52	66.24	39.58	25.18	17.98	9.72	9.44	9.44

Table 16. Effective Number of Bits (RMS) with Buffer On

DATA RATE (SPS)	PGA GAIN							
	1	2	4	8	16	32	64	128
2.5	25.3	25.5	25.1	24.7	24.2	23.3	22.5	21.5
5	25.2	24.9	24.8	24.1	23.6	22.7	21.9	20.9
10	25.1	24.7	24.5	23.7	23.2	22.4	21.6	20.6
15	24.9	24.4	24.0	23.3	22.8	22.2	21.2	20.2
25	24.6	24.1	23.7	23.2	22.5	21.7	20.8	19.8
30	24.4	24.0	23.6	23.0	22.3	21.7	20.7	19.7
50	24.1	23.7	23.2	22.6	22.0	21.3	20.3	19.3
60	23.9	23.6	23.1	22.4	22.0	21.4	20.3	19.3
100	23.5	23.2	22.7	22.2	21.7	20.9	20.0	19.0
500	22.4	22.1	21.6	21.0	20.4	19.8	18.8	17.8
1000	21.9	21.6	21.1	20.6	20.0	19.4	18.4	17.4
2000	21.4	21.1	20.6	20.1	19.5	19.0	18.0	17.0
3750	20.9	20.6	20.2	19.6	19.1	18.5	17.6	16.6
7500	20.4	20.1	19.7	19.1	18.6	18.0	17.1	16.1
15,000	20.0	19.7	19.3	18.7	18.2	17.7	16.7	15.7
30,000	19.9	19.6	19.2	18.7	18.2	17.6	16.7	15.7
60,000	19.6	19.4	19.1	18.7	18.2	18.1	17.1	16.1

Table 17. Noise-Free Resolution (Bits) with Buffer On

DATA RATE (SPS)	PGA GAIN							
	1	2	4	8	16	32	64	128
2.5	24.0	23.3	23.3	22.6	22.1	21.3	20.2	19.2
5	23.3	23.3	23.0	22.0	21.4	20.6	19.6	18.6
10	23.0	22.6	22.0	21.4	20.8	20.0	19.3	18.3
15	22.8	22.3	21.6	21.1	20.4	19.7	18.9	17.9
25	22.3	21.8	21.3	20.9	20.1	19.5	18.4	17.4
30	22.0	21.3	21.2	20.4	19.8	19.2	18.3	17.3
50	21.5	21.2	20.6	20.1	19.5	18.7	17.7	16.7
60	21.4	21.1	20.6	19.9	19.6	18.9	17.9	16.9
100	21.0	20.6	20.0	19.6	19.0	18.4	17.3	16.3
500	19.7	19.2	18.7	18.1	17.6	16.9	16.0	15.0
1000	19.1	18.8	18.3	17.7	17.2	16.5	15.5	14.5
2000	18.6	18.3	17.8	17.2	16.6	16.2	15.2	14.2
3750	18.0	17.8	17.3	16.8	16.2	15.6	14.8	13.8
7500	17.5	17.2	16.7	16.2	15.6	15.1	14.2	13.2
15,000	17.0	16.7	16.3	15.8	15.2	14.8	13.8	12.8
30,000	16.8	16.6	16.2	15.7	15.2	14.7	13.7	12.7
60,000	16.3	16.2	15.9	15.6	15.1	15.0	14.0	13.0

Table 18. Input-Referred Noise (μV_{RMS}) with Buffer Off

DATA RATE (SPS)	PGA GAIN							
	1	2	4	8	16	32	64	128
2.5	0.19	0.14	0.06	0.04	0.03	0.02	0.02	0.02
5	0.23	0.14	0.07	0.05	0.04	0.03	0.02	0.02
10	0.29	0.16	0.10	0.07	0.05	0.04	0.04	0.04
15	0.36	0.21	0.12	0.08	0.06	0.04	0.05	0.05
25	0.41	0.25	0.15	0.11	0.08	0.06	0.06	0.06
30	0.46	0.26	0.17	0.12	0.08	0.06	0.07	0.07
50	0.59	0.35	0.21	0.14	0.10	0.08	0.08	0.08
60	0.61	0.37	0.23	0.15	0.11	0.08	0.08	0.08
100	0.76	0.46	0.29	0.20	0.14	0.11	0.10	0.10
500	1.71	1.01	0.65	0.44	0.31	0.25	0.24	0.24
1000	2.76	1.61	0.89	0.63	0.42	0.32	0.31	0.31
2000	3.46	2.08	1.27	0.84	0.60	0.42	0.41	0.41
3750	4.82	2.83	1.77	1.17	0.82	0.58	0.57	0.57
7500	6.86	4.06	2.51	1.69	1.17	0.84	0.82	0.82
15,000	9.44	5.44	3.32	2.18	1.51	1.07	1.04	1.04
30,000	10.23	5.78	3.47	2.22	1.53	1.08	1.05	1.05
60,000	12.60	5.53	3.87	2.39	1.59	1.10	1.06	1.06

Table 19. Input-Referred Noise (μV_{pp}) with Buffer Off

DATA RATE (SPS)	PGA GAIN							
	1	2	4	8	16	32	64	128
2.5	0.39	0.30	0.20	0.15	0.11	0.08	0.09	0.09
5	0.99	0.49	0.30	0.20	0.16	0.12	0.11	0.11
10	0.99	0.69	0.49	0.27	0.22	0.18	0.21	0.21
15	1.38	0.99	0.64	0.39	0.33	0.22	0.22	0.22
25	1.97	1.18	0.79	0.57	0.41	0.32	0.28	0.28
30	2.37	1.18	0.79	0.67	0.42	0.30	0.38	0.38
50	3.16	1.87	1.28	0.79	0.57	0.53	0.47	0.47
60	3.55	1.87	1.28	0.91	0.64	0.44	0.47	0.47
100	4.34	3.06	1.83	1.16	0.92	0.62	0.63	0.63
500	12.04	6.81	4.83	3.13	2.23	1.65	1.86	1.86
1000	16.97	9.87	6.61	4.45	3.06	2.18	2.15	2.15
2000	26.44	14.40	9.08	6.41	4.37	3.03	3.15	3.15
3750	35.52	21.21	12.58	8.78	6.17	4.31	4.04	4.04
7500	52.09	30.98	19.73	12.70	9.37	6.14	6.47	6.47
15,000	74.39	42.03	26.19	17.22	12.25	8.23	8.15	8.15
30,000	85.04	45.88	28.71	19.12	12.52	9.19	8.80	8.80
60,000	121.89	41.25	36.30	20.33	12.96	8.70	8.37	8.37

Table 20. Effective Number of Bits (RMS) with Buffer Off

DATA RATE (SPS)	PGA GAIN							
	1	2	4	8	16	32	64	128
2.5	25.7	25.1	25.2	25.1	24.5	23.9	23.1	22.1
5	25.4	25.1	25.1	24.6	24.0	23.5	22.6	21.6
10	25.0	24.9	24.6	24.1	23.6	23.0	21.9	20.9
15	24.7	24.5	24.4	24.0	23.3	22.8	21.7	20.7
25	24.5	24.3	24.0	23.5	23.0	22.3	21.4	20.4
30	24.4	24.2	23.8	23.3	22.8	22.3	21.1	20.1
50	24.0	23.8	23.5	23.1	22.5	21.8	20.8	19.8
60	24.0	23.7	23.4	23.0	22.4	21.9	20.9	19.9
100	23.6	23.4	23.0	22.6	22.1	21.5	20.5	19.5
500	22.5	22.2	21.9	21.4	20.9	20.3	19.3	18.3
1000	21.8	21.6	21.4	20.9	20.5	19.9	18.9	17.9
2000	21.5	21.2	20.9	20.5	20.0	19.5	18.5	17.5
3750	21.0	20.8	20.4	20.0	19.5	19.0	18.1	17.1
7500	20.5	20.2	19.9	19.5	19.0	18.5	17.5	16.5
15,000	20.0	19.8	19.5	19.1	18.7	18.2	17.2	16.2
30,000	19.9	19.7	19.5	19.1	18.6	18.1	17.2	16.2
60,000	19.6	19.8	19.3	19.0	18.6	18.1	17.2	16.2

Table 21. Noise-Free Resolution(Bits) with Buffer Off

DATA RATE (SPS)	PGA GAIN							
	1	2	4	8	16	32	64	128
2.5	24.6	24.0	23.6	23.0	22.4	21.9	20.8	19.8
5	23.3	23.3	23.0	22.6	21.9	21.3	20.4	19.4
10	23.3	22.8	22.3	22.1	21.4	20.7	19.5	18.5
15	22.8	22.3	21.9	21.6	20.8	20.4	19.4	18.4
25	22.3	22.0	21.6	21.1	20.6	19.9	19.1	18.1
30	22.0	22.0	21.6	20.8	20.5	20.0	18.7	17.7
50	21.6	21.3	20.9	20.6	20.1	19.2	18.3	17.3
60	21.4	21.3	20.9	20.4	19.9	19.4	18.4	17.4
100	21.1	20.6	20.4	20.0	19.4	18.9	17.9	16.9
500	19.7	19.5	19.0	18.6	18.1	17.5	16.4	15.4
1000	19.2	19.0	18.5	18.1	17.6	17.1	16.1	15.1
2000	18.5	18.4	18.1	17.6	17.1	16.7	15.6	14.6
3750	18.1	17.8	17.6	17.1	16.6	16.1	15.2	14.2
7500	17.6	17.3	17.0	16.6	16.0	15.6	14.6	13.6
15,000	17.0	16.9	16.5	16.1	15.6	15.2	14.2	13.2
30,000	16.8	16.7	16.4	16.0	15.6	15.1	14.1	13.1
60,000	16.3	16.9	16.1	15.9	15.6	15.1	14.2	13.2

8. 详细说明

8.1 概述

ADX515、ADX516 和 ADX517 是噪声极低的 A/D 转换器。ADX515 支持一个差分输入或两个单端输入，并具有两个通用数字 I/O。ADX516 支持四个差分输入或八个单端输入，并具有四个通用数字 I/O。ADX517 支持两个差分通道，只支持外部时钟输入。在其他方面，这三个器件是相同的，在本数据表中统称为 ADX515/6/7。

Figure 43 显示了 ADX515/6/7 的框图。输入多路复用器选择哪些输入引脚连接到 A/D 转换器。输入多路复用器内的可选电流源可以检查外部传感器的开路或短路情况。可选的板载输入缓冲器通过提供高达 $80\text{M}\Omega$ 的阻抗大大降低了输入电路负载。低噪声 PGA 提供 1、2、4、8、16、32、64 或 128 的增益。ADX515/6/7 转换器由一个 delta-sigma 调制器和一个可编程数字滤波器组成。调制器测量放大的差分输入信号 $V_{\text{IN}} = (\text{AIN}_P - \text{AIN}_N)$ 与差分参考 $V_{\text{REF}} = (\text{VREFP} - \text{VREFN})$ 。差分参考在内部按 2 倍缩放，因此满量程输入范围为 $\pm 2 V_{\text{REF}}$ (对于 $\text{PGA} = 1$)。

数字滤波器接收调制器信号并提供低噪声数字输出。滤波器的数据速率可编程为 2.5SPS 至 60kSPS，并允许在分辨率和速度之间进行权衡。

通信是通过一个 SPI 兼容的串行接口完成的，使用一组简单的命令来控制 ADX515/6/7。板载寄存器存储输入多路复用器、传感器检测电流源、输入缓冲器启用、PGA 设置、数据速率等的各种设置。外部晶体(ADX515/ADX516)或时钟振荡器可用于提供时钟源。通用数字 I/O 提供最多四个引脚的静态读/写控制。其中一个引脚也可用于提供可编程时钟输出。

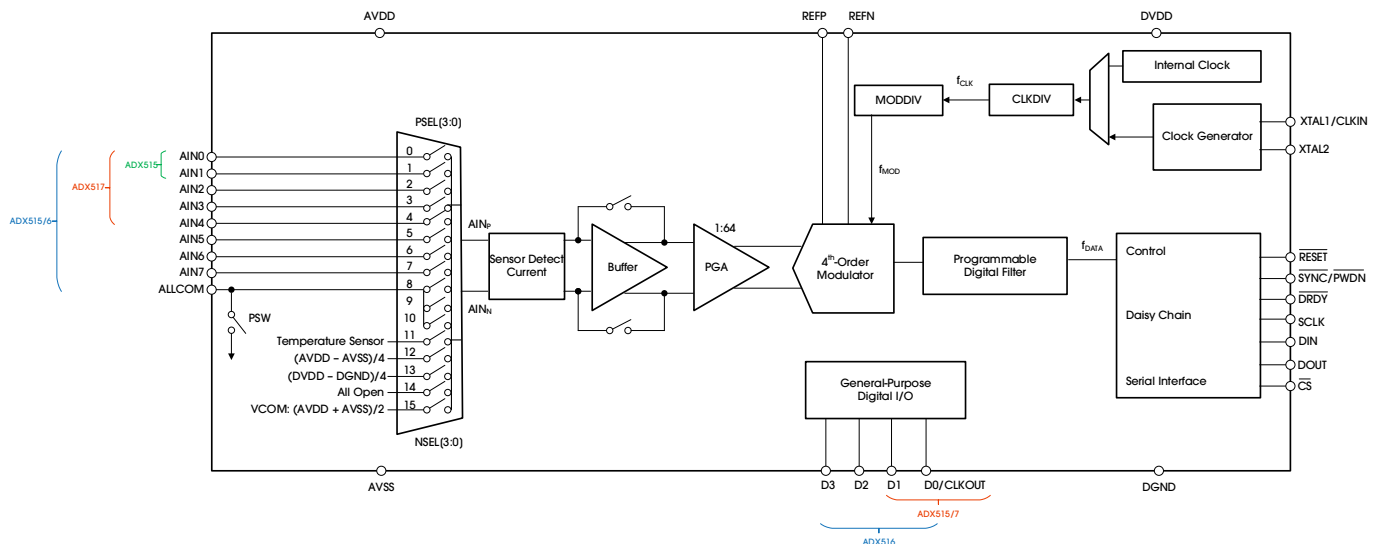


Figure 43. Block Diagram

8.2 输入多路复用器

Figure 44 显示了输入多路复用器的简化图。选择任何引脚作为正输入(A_{INP})和任何引脚作为负输入(A_{INN})。引脚选择由 MUX 寄存器控制。

ADX516 提供九个模拟输入，可配置为四个独立的差分输入、八个单端输入或差分和单端输入的组合。ADX515 提供三个模拟输入，可配置为一个差分输入或两个单端输入。使用 ADX515 并对输入进行编程时，请确保在对输入多路复用器寄存器进行编程时仅选择可用的输入。ADX517 可配置为两组差分输入。

一般来说，输入管脚的选择没有限制。但是，为获得最佳模拟性能，提出了以下建议：

1. 对于差分测量，使用 A_{IN0} 到 A_{IN7} ，最好是相邻输入。例如，使用 A_{IN0} 和 A_{IN1} 。不要使用 ALLCOM。
2. 对于单端测量，使用 ALLCOM 作为公共输入，使用 A_{IN0} 到 A_{IN7} 作为单端输入。
3. 将任何未使用的模拟输入悬空。这最大限度地减少了输入泄漏电流。

ESD 二极管保护模拟输入。为防止这些二极管导通，请确保输入引脚上的电压不会低于 $AVSS$ 超过 100mV，同样也不会超过 $AVDD$ 超过 100mV： $AVSS - 100mV < (A_{IN0-7} \text{ 和 } ALLCOM) < AVDD + 100mV$ 。

使用 ADX515/6 进行单端测量时，请注意公共输入 ALLCOM 接地或接其他电位皆可。例如，ALLCOM 可以连接到一个中点参考电压，例如 2.5V 甚至 $AVDD$ 。芯片内部还提供了 ALLCOM 的输出驱动功能，配置 CFG(5:4)寄存器(Table 49)可以让 ALLCOM 输出 $(AVDD - AVSS) / 2$ 电平，或者地电平。

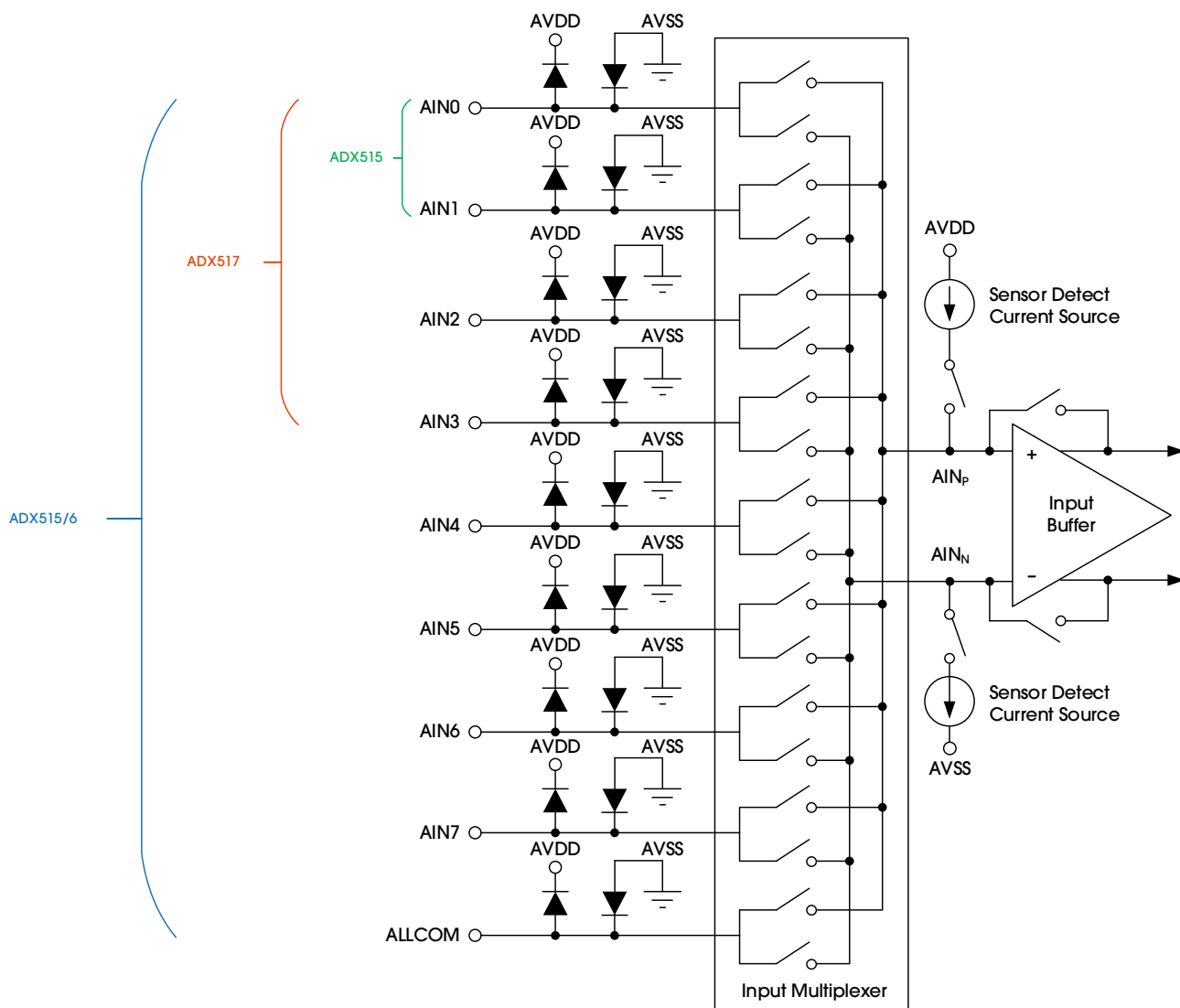


Figure 44. Simplified Diagram of the Input Multiplexer

8.2.1 温度感应器

ADC 有一个内部温度传感器。温度传感器由两个内部二极管组成，其中一个二极管的电流密度是另一个二极管的 80 倍。二极管电流密度的差异产生与绝对温度成正比的差分输出电压。温度传感器读数由 ADC 转换。有关寄存器设置的信息，请参见 Table 40，以选择用于测量的温度传感器。

Equation 2 显示了如何将温度传感器读数转换为摄氏度(°C)：

$$\text{Temperature (}^{\circ}\text{C)} = ((\text{Temperature Reading (}\mu\text{V)} - 136,800) / 378\mu\text{V/}^{\circ}\text{C}) + 25^{\circ}\text{C} \quad (2)$$

在 PGA 打开、增益 = 1、烧毁电流源禁用的情况下测量温度传感器。由于低封装到 PCB 的热阻，内部温度密切跟踪 PCB 温度。请注意，设备自热会增加相对于周围 PCB 的内部温度。

另外还需要注意，应将输入缓冲器打开(BUFEN = 1)，以便所测得的温度数据符合 Equation 2。如果使用温度传感器时没有打开缓冲器，温度转换曲线将不符合 Equation 2。

8.2.2 电源回读

通过适当的输入多路复用器选择读取电源电压。电源电压被分压以将电压电平降低到 ADC 输入范围内。模拟和数字电源回读电平分别通过 Equation 3 和 Equation 4 进行缩放：

$$\text{Analog supply (V)} = (\text{AVDD} - \text{AVSS}) / 4 \quad (3)$$

$$\text{Digital supply (V)} = \text{DVDD} / 4 \quad (4)$$

在启用 PGA、增益 = 1、禁用烧毁电流源的情况下执行测量。有关用于测量电源电压的寄存器设置，请参见 Table 40。

8.2.3 输入开路

此配置开路所有输入。使用此配置测试传感器烧毁电流源和 PGA 输出监视器的功能。当输入打开时，电流源将 PGA 输入驱动至满量程，从而导致 PGA 监视器警报和转换数据超量程。有关打开所有输入的寄存器设置，请参见 Table 40。

8.2.4 ALLCOM 连接

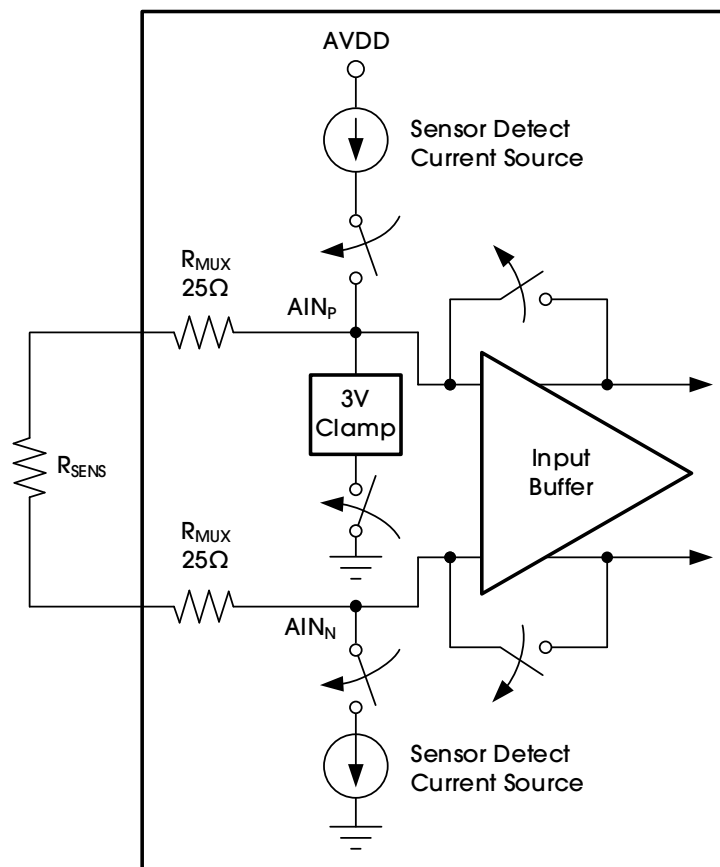
按前述，ALLCOM 可以设置为输入，由外部信号驱动，驱动范围 $\text{AVSS} - 100\text{mV} < \text{ALLCOM} < \text{AVDD} + 100\text{mV}$ ，也可以设置为输出，驱动外部电路。当设置为输出，可以设置电平为 AVSS 或者 $(\text{AVDD} + \text{AVSS}) / 2$ 。ADC 单端测量使用此模式可避免额外的芯片外部电平驱动需求。ALLCOM 也可以在芯片内部连接地电平，避免额外的电路板接地走线。有关内部 VCOM 连接的寄存器设置，请参见 Table 49。请注意当 ALLCOM 配置为输出，外部不要连接其他不同电平，防止过流。

8.2.5 传感器开路/短路检测

传感器检测电流源(SDCS)提供了一种方法来验证连接到 ADX515/6/7 的外部传感器的完整性。启用后，SDCS 通过输入多路复用器为传感器提供大约 0.6μA、2.2μA 或 11μA 的电流(I_{SDC})。ADCON 寄存器中的 SDCS 位启用 SDCS 并设置 I_{SDC} 的值。

当启用 SDCS 时，无论 BUFEN 位设置如何，ADX515/6/7 都会自动打开模拟输入缓冲器。这样做是为了防止输入电路加载 SDCS。AIN_P 必须保持在 3V 以下才能处于缓冲器的绝对输入范围内。为确保满足此条件，如果 AIN_P 超过 3V，则 3V 钳位将开始从 AIN_P 向 AVSS 吸收电流。请注意，此钳位仅在 SDCS 启用时激活。

Figure 45 显示了 ADX515/6/7 输入结构的简化图，其中外部传感器建模为两个输入引脚之间的电阻 R_{SENS} 。当启用 SDCS 时，它们将 I_{SDC} 源至连接到 AIN_P 的输入引脚，并从连接到 AIN_N 的输入引脚吸收 I_{SDC} 。两个 25Ω 串联电阻 RMUX 模拟 ADX515/6/7 的内部电阻。启用 SDCS 时测得的信号等于总 IR 压降： $I_{\text{SDC}} \times (2R_{\text{MUX}} + R_{\text{SENS}})$ 。请注意，当传感器直接短路(即 $R_{\text{SENS}} = 0$)时，启用 SDCS 时，ADX515/6/7 仍会测量到一个小信号： $I_{\text{SDC}} \times 2R_{\text{MUX}}$ 。



NOTE: Arrows indicate switch positions when the SDCS are enabled.

Figure 45. Sensor Detect Circuitry

8.2.6 模拟输入缓冲器

要显着增加 ADX515/6/7 的输入阻抗，可以通过 STATUS 寄存器中的 BUFEN 位启用低漂移斩波稳定缓冲器。启用缓冲器后的输入阻抗可以通过电阻器建模，如 Figure 46 所示。Table 22 列出了不同数据速率设置的 Z_{eff} 值。输入阻抗与 CLKIN 的频率成反比。例如，如果 f_{CLK} 减半至 3.84MHz，则数据速率为 50SPS 的 Z_{eff} 将从 66MΩ 翻倍至 132MΩ。

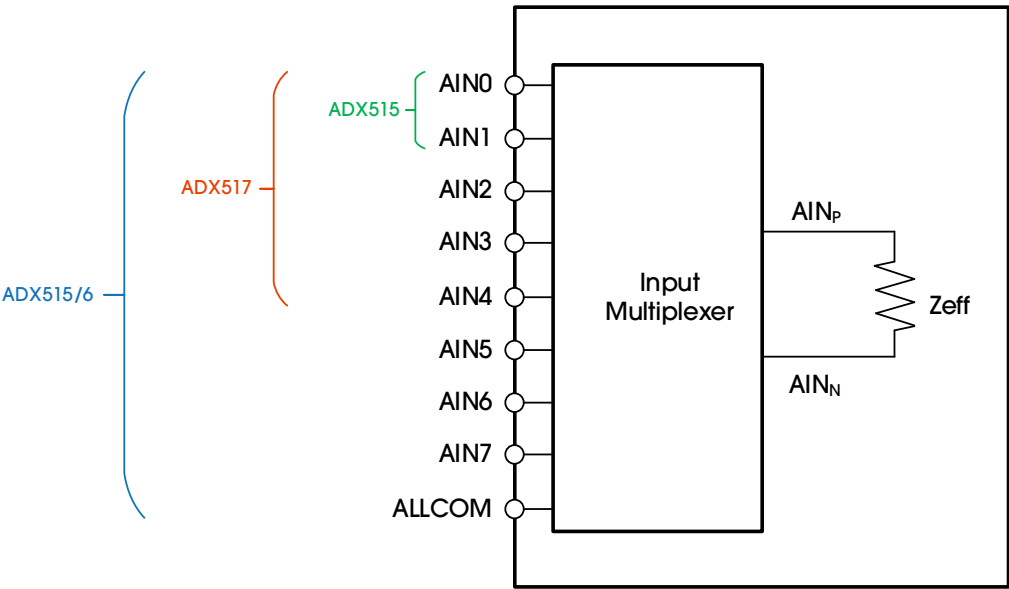


Figure 46. Effective Impedance with Buffer On

Table 22. Input Impedance with Buffer On

DATA RATE (SPS)	Z_{eff} (MΩ)
60,000	6
30,000	11
15,000	11
7,500	11
3,750	11
2,000	11
1,000	14
500	31
100	31
60	31
≤ 50	66

注: $f_{CLK} = 7.68\text{MHz}$.

启用缓冲器后，模拟输入上相对于地的电压(在 ELECTRICAL CHARACTERISTICS 中列为绝对输入电压)必须保持在 AVSS 和 AVDD – 2.0V 之间。超出此范围会降低性能，尤其是 ADX515/6/7 的线性度。在启用缓冲器的情况下执行自增益校准时，相同的电压范围 AVSS 至 AVDD – 2.0V 适用于参考输入。

8.2.7 可编程增益放大器(PGA)

ADX515/6/7 是一款超高分辨率转换器。为了进一步完善其性能，低噪声 PGA 在测量较小的输入信号时提供更高的分辨率。为获得最佳分辨率，请将 PGA 设置为尽可能高的设置。这将取决于要测量的最大输入信号。ADX515/6/7 满量程输入电压等于 $\pm 2V_{REF} / PGA$ 。Table 23 显示了针对 $V_{REF} = 2.5V$ 的不同 PGA 设置的满量程输入电压。例如，如果要测量的最大信号为 1.0V，则最佳 PGA 设置为 4，这给出了 1.25V 的满量程输入电压。不能使用更高的 PGA，因为它们不能处理 1.0V 输入信号。

Table 23. Full-Scale Input Voltage vs. PGA Setting

PGA SETTING	FULL-SCALE INPUT VOLTAGE V_{IN} ($V_{REF} = 2.5V$)
1	$\pm 5V$
2	$\pm 2.5V$
4	$\pm 1.25V$
8	$\pm 0.625V$
16	$\pm 312.5mV$
32	$\pm 156.25mV$
64	$\pm 78.125mV$
128	$\pm 39.0625mV$

注：输入电压(VIN)是正输入和负输入之间的差值。确保没有输入违反相对于地的绝对输入电压，如 ELECTRICAL CHARACTERISTICS 中所列。

PGA 由 ADCON 寄存器控制。建议在更改 PGA 设置后重新校准 A/D 转换器。自校准所需的时间取决于 PGA 设置。有关详细信息，请参阅 CALIBRATION 部分。模拟电流和输入阻抗(缓冲器禁用时)随 PGA 设置而变化。

8.2.8 调制器输入电路

ADX515/6/7 调制器使用连续充电和放电的内部电容器测量输入信号。[Figure 47](#) 显示了禁用输入缓冲器的 ADX515/6/7 输入电路的简化原理图。[Figure 48](#) 显示了 [Figure 47](#) 中开关的开/关时序。S1 开关在输入采样阶段关闭。S1 关闭后， C_{A1} 为 AINP 充电， C_{A2} 为 AINN 充电， C_B 为 (AINP - AINN) 充电。对于放电阶段，S1 先打开，然后 S2 关闭。 C_{A1} 和 C_{A2} 放电至大约 $AVDD/2$ ， C_B 放电至 0V。这种两相采样/放电循环以 t_{SAMPLE} 周期重复。该时间是 PGA 设置的函数，如 [Table 24](#) 所示，以及电容器 $C_{A1} = C_{A2} = C_A$ 和 C_B 的值。

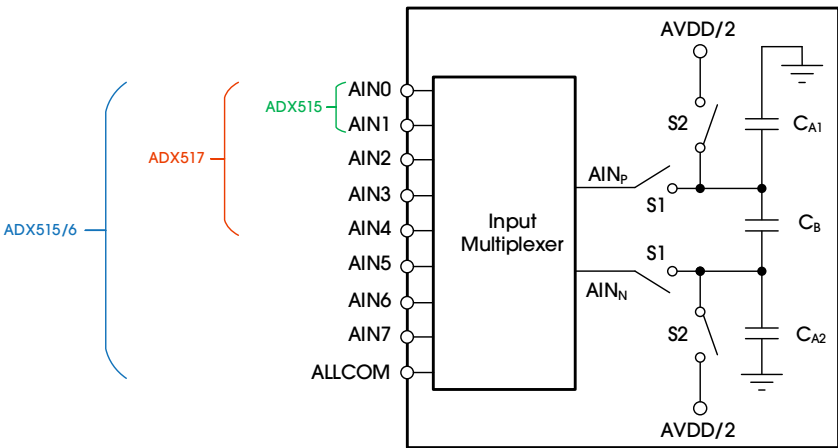


Figure 47. Simplified Input Structure with Buffer Off

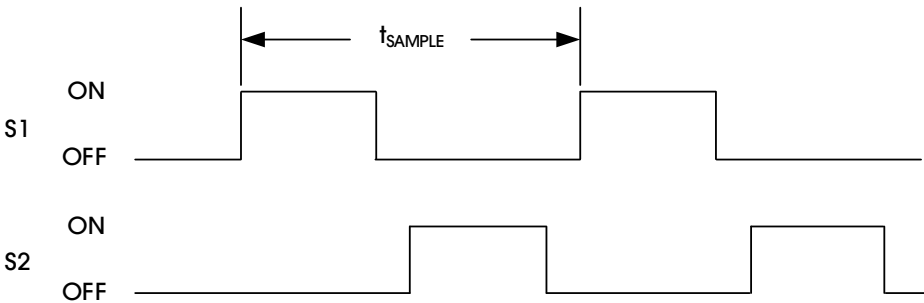


Figure 48. S1 and S2 Switch Timing for [Figure 47](#)

Table 24. Input Sampling Time, t_{SAMPLE} , and C_A and C_B vs. PGA

PGA SETTING	t_{SAMPLE}	C_A	C_B
1	$f_{CLK}/4$ (521ns)	2.4pF	2.8pF
2	$f_{CLK}/4$ (521ns)	4.8pF	5.6pF
4	$f_{CLK}/4$ (521ns)	9.6pF	11.2pF
8	$f_{CLK}/4$ (521ns)	19.2pF	22.4pF
16	$f_{CLK}/4$ (521ns)	36pF	45pF
32	$f_{CLK}/2$ (260ns)	36pF	45pF
64	$f_{CLK}/2$ (260ns)	36pF	45pF
128	$f_{CLK}/2$ (260ns)	36pF	45pF

Note: t_{SAMPLE} for $f_{CLK} = 7.68\text{MHz}$.

输入电容器的充电从驱动 ADX515/6/7 输入的传感器吸取瞬态电流。该电流的平均值可用于计算有效阻抗 Z_{eff} ，其中 $Z_{eff} = V_{IN} / I_{AVERAGE}$ 。 [Figure 49](#) 显示了输入电路，其中 [Figure 47](#) 中的电容器和开关被其有效阻抗所取代。这些阻抗与 $CLKIN$ 频率成反比。例如，如果 f_{CLK} 减少两倍，阻抗将加倍。它们还随 PGA 设置而变化。[Table 25](#) 列出了 $f_{CLK} = 7.68\text{MHz}$ 时缓冲器关闭时的有效阻抗。

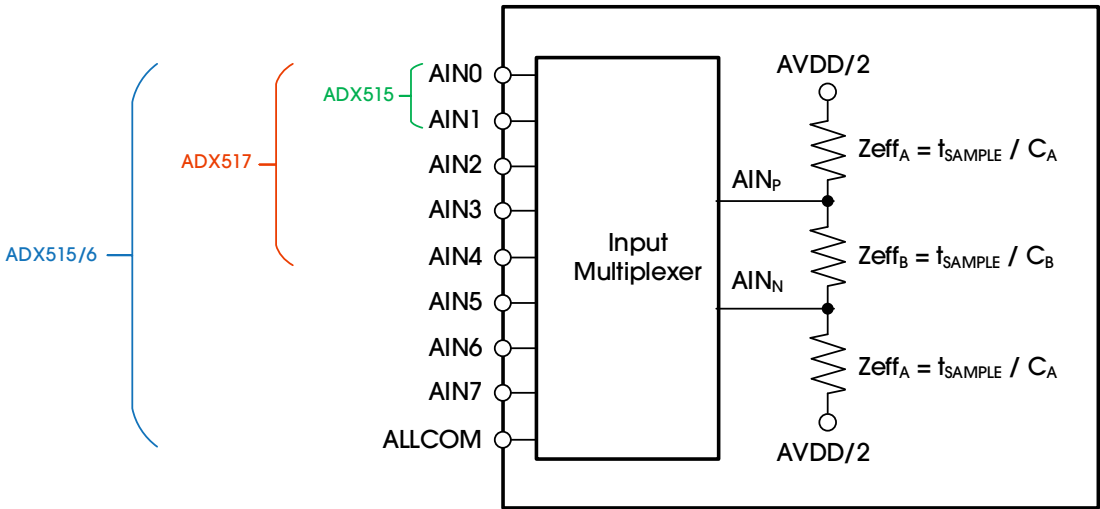


Figure 49. Analog Input Effective Impedances with Buffer Off

Table 25. Analog Input Impedances with Buffer Off

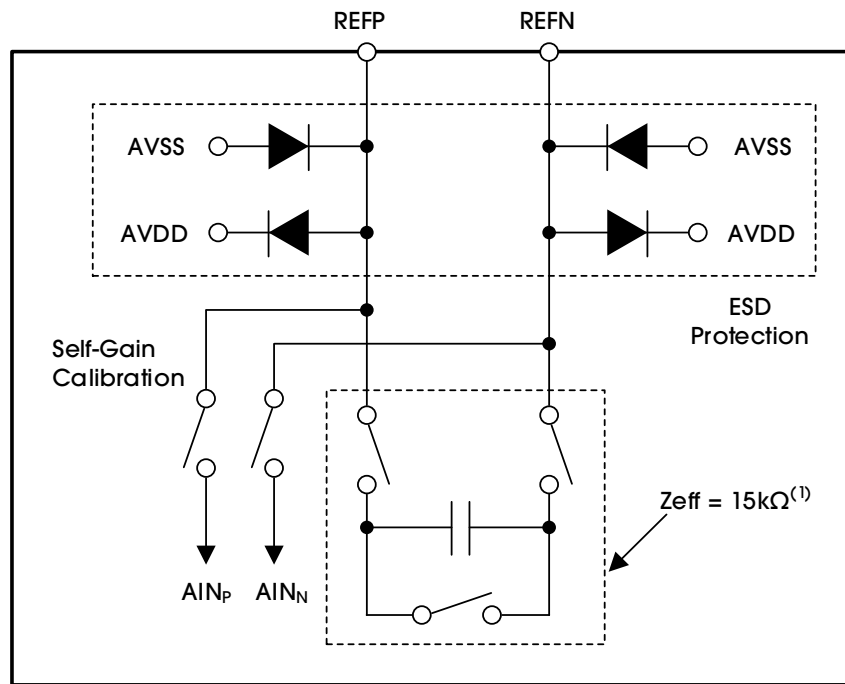
PGA SETTING	ZeffA (kΩ)	ZeffB (kΩ)
1	228	195
2	114	98
4	57	49
8	28	24
16	15	12
32	8	6
64	8	6
128	8	6

注: fCLK = 7.68MHz.

8.2.9 电压参考输入(VREFP、VREFN)

ADX515/6/7 A/D 转换器的参考电压是 VREFP 和 VREFN 之间的差分电压： $V_{REF} = VREFP - VREFN$ 。参考输入使用的结构类似于模拟输入的结构，参考输入上的电路如 Figure 50 所示。开关电容器提供的负载可以用 $15k\Omega$ (Gain = 1~32 数据, Gain = 64 及以上时阻抗变化为 $27k\Omega$) 的有效阻抗(Z_{eff})建模, $f_{CLK} = 7.68MHz$ 。

如果希望提高该开关电容的驱动阻抗, 一种方法是降低芯片采样率, 另一种方法是开启芯片内部用于 REFP/REFN 的驱动缓冲器(Table 50)。开启驱动缓冲器后的输入阻抗可以提高到 2M。请注意该驱动缓冲器仅支持增益 Gain = 1/2/4/8/16, 当增益超过 16 时需要关闭该驱动缓冲器。



(1) $f_{CLK} = 7.68MHz$

Figure 50. Simplified Reference Input Circuitry

ESD 二极管保护基准输入。为防止这些二极管导通, 请确保参考引脚上的电压不会低于 AVSS 超过 100mV, 同样也不会超过 AVDD 100mV:

$$AVSS - 100mV < (VREFP \text{ or } VREFN) < AVDD + 100mV$$

自增益校准时, 输入多路复用器中的所有开关都打开, VREFN 内部连接到 AINN, VREFP 连接到 AINp。在校准期间可以禁用或启用输入缓冲器。当缓冲器被禁用时, 参考引脚将在自增益校准期间驱动 Figure 47 中所示的电路, 从而导致负载增加。为防止此额外负载引入增益误差, 请确保驱动参考引脚的电路具有足够的驱动能力。启用缓冲器后, 参考引脚上的负载会少得多, 但缓冲器将在自校准或自增益校准期间限制 VREFP 和 VREFN 上允许的电压范围, 因为参考引脚必须保持在缓冲器的指定输入范围内为了建立适当的增益校准。

能够驱动 ADX515/6/7 提供的开关电容负载的高质量基准电压对于实现最佳性能至关重要。基准上的噪声和漂移会降低整体系统性能。尤其重要的是, 在低噪声设置(即低数据速率)下运行时, 要特别注意生成参考电压的电路及其布局, 以防止参考电压限制性能。有关详细信息, 请参阅 APPLICATION INFORMATION 部分。

8.3 数字滤波器

可编程低通数字滤波器接收调制器输出并产生高分辨率数字输出。通过调整过滤量，可以在分辨率和数据速率之间做出权衡：过滤更多以获得更高的分辨率，过滤更少以获得更高的数据速率。该滤波器由两部分组成，一个固定过滤器，然后是一个可编程过滤器。[Figure 51](#) 显示了模拟调制器和数字滤波器的框图。数据以 $f_{\text{MOD}} / 4$ 的速率从模拟调制器提供给滤波器。固定滤波器是一个 5 阶 sinc 滤波器，抽取值为 64，以 $f_{\text{MOD}} / 64$ 的速率输出数据。滤波器的第二级是一个可编程平均器（一阶 sinc 滤波器），平均次数由 DRATE 寄存器设置。数据速率是平均次数(Num_Ave)的函数，由 [Equation 5](#) 给出。

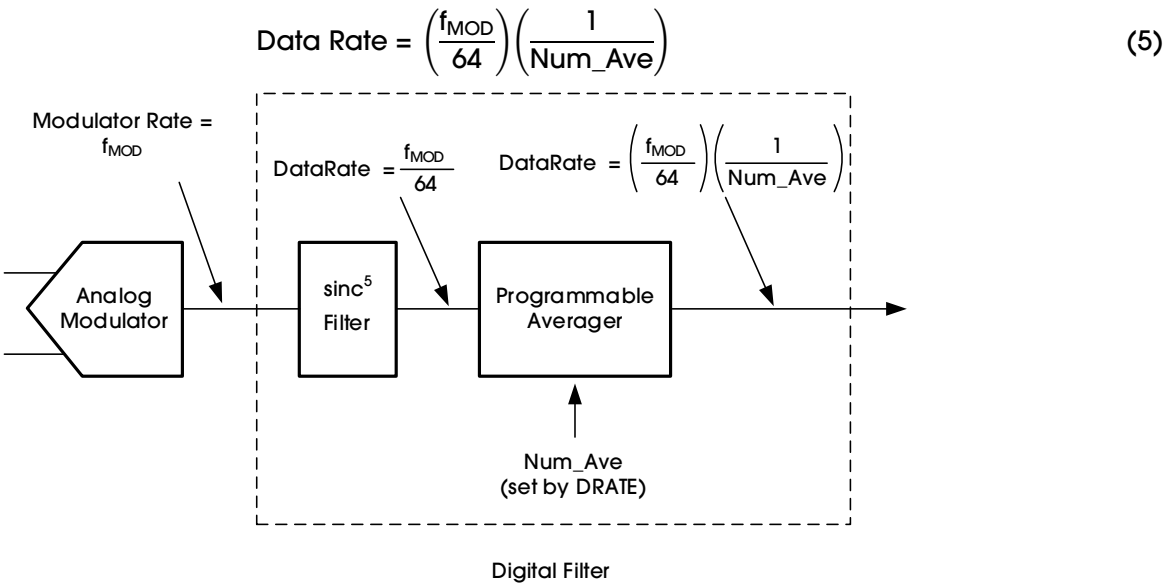


Figure 51. Block Diagram of the Analog Modulator and Digital Filter

[Table 26](#) 显示了当 $f_{\text{CLK}} = 7.68\text{MHz}$ 时 17 个有效 DRATE 寄存器设置中每一个的平均和相应的数据速率。请注意，数据速率直接与 CLKIN 频率成比例。例如，将 f_{CLK} 从 7.68MHz 降低到 3.84MHz 时，DR(7:0) = 11100000 的数据速率从 15,000SPS 降低到 75,00SPS。

Table 26. Number of Averages and Data Rate for Each Valid DRATE Register Setting

DRATE(7:0)	NUMBER OF AVERAGES FOR PROGRAMMABLE FILTER (Num_Ave)	DATA RATE (SPS) (For $f_{\text{CLK}} = 7.68\text{MHz}$)
0000 0011 (03h)	12,000	2.5
0001 0011 (13h)	6000	5
0010 0011 (23h)	3000	10
0011 0011 (33h)	2000	15
0100 0011 (43h)	1200	25
0101 0011 (53h)	1000	30
0110 0011 (63h)	600	50
0111 0010 (72h)	500	60
1000 0010 (82h)	300	100
1001 0010 (92h)	60	500
1010 0001 (A1h)	30	1000
1011 0000 (B0h)	15	2000
1100 0000 (C0h)	8	3750
1101 0000 (D0h)	4	7500
1110 0000 (E0h)	2	15,000
1111 0000 (F0h)	1 (averager bypassed)	30,000
1111 0000 (F0h) ⁽¹⁾	1 (averager bypassed)	60,000

注: 设置 ODR 为 60kSPS，需要设置三个寄存器—DRATE(7:0) = F0h、CFG2(5) = 0b、CFG3(4:3) = 11b。

8.3.1 50/60Hz 工频抑制

ADX515/6/7 提供可选的工频抑制选项，可以抑制 50 或 60Hz 工频，也可以同时抑制 50 和 60Hz 工频干扰，通过设置 CFG0(7:6) 来使能工频抑制功能，当使能工频抑制功能时，需要配置 DRATE(7:0) = 72h，此时数据输出速率变为 17.857SPS。其他 DRATE 配置下，不可以使能工频抑制功能。

8.3.2 频率响应

低通数字滤波器设置 ADX515/6/7 的整体频率响应。滤波器响应是固定和可编程滤波器部分响应的乘积，由 Equation 6 给出。

$$|H(f)| = |H_{\text{sin}^5}(f)| \times |H_{\text{Averager}}(f)| = \left| \frac{\sin(\frac{64\pi \times f}{f_{\text{MOD}}})}{64 \times \sin(\frac{\pi \times f}{f_{\text{MOD}}})} \right|^5 \times \left| \frac{\sin(\frac{64\pi \times \text{Num_Ave} \times f}{f_{\text{MOD}}})}{\text{Num_Ave} \times \sin(\frac{64\pi \times f}{f_{\text{MOD}}})} \right| \quad (6)$$

数字滤波器衰减调制器输出上的噪声，包括来自 ADX515/6/7 内部的噪声和 ADX515/6/7 输入信号上存在的外部噪声。通过改变可编程滤波器中使用的平均次数来调整滤波会改变滤波器带宽。平均次数越多，带宽越小，噪声衰减越多。

低通滤波器在数据输出速率及其倍数处具有陷波(或零点)。在这些频率下，滤波器增益为零。在尝试消除特定干扰信号时，此功能非常有用。例如，要消除 60Hz (和谐波) 拾取，将数据速率设置为 2.5SPS、5SPS、10SPS、15SPS、30SPS 或 60SPS。为了帮助说明滤波器特性，Figure 52 和 Figure 53 分别显示了 30kSPS 和 2.5SPS 数据速率极限下的响应。Table 27 总结了不同数据速率设置的一阶陷波频率和 -3dB 带宽。

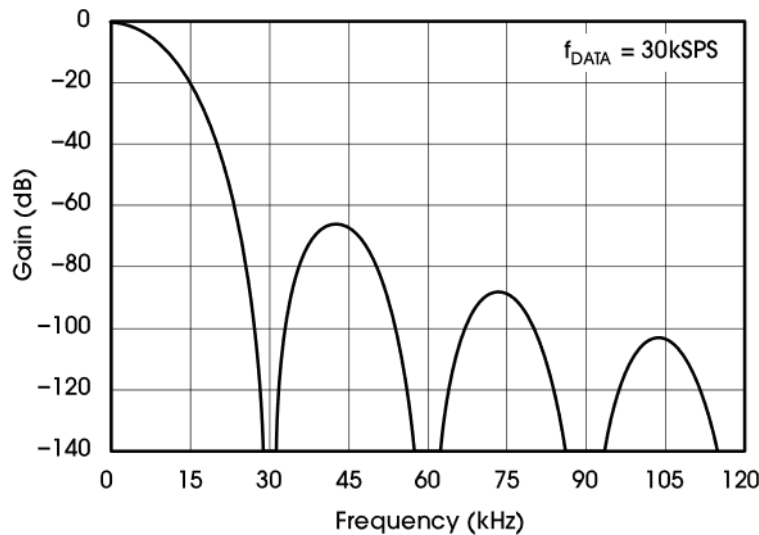


Figure 52. Frequency Response for Data Rate = 30kSPS

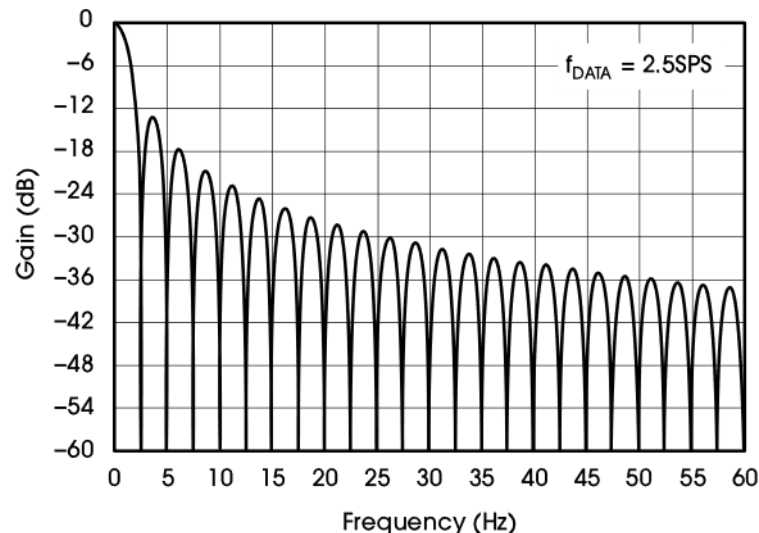


Figure 53. Frequency Response for Data Rate = 2.5SPS

Table 27. First Notch Frequency and -3dB Filter Bandwidth

DATA RATE (SPS)		FIRST NOTCH (Hz)	-3dB BANDWIDTH (Hz)
60,000		60,000	12212
30,000		30,000	6106
15,000		15,000	4807
7500		7500	3003
3750		3750	1615
2000		2000	878
1000		1000	441
500		500	221
100		100	44.2
60	Notch at 60Hz	60	26.5
50	Notch at 50Hz	50	22.1
30	Notch at 60Hz	30	13.3
25	Notch at 50Hz	25	11.1
15	Notch at 60Hz	15	6.63
10	Notch at 50Hz and 60Hz	10	4.42
5		5	2.21
2.5		2.5	1.1

注: fCLK = 7.68MHz.

数字滤波器低通特性以调制器速率 fCLK / 4 的倍数重复。Figure 54 和 Figure 55 显示了在 30kSPS 和 2.5SPS 的数据速率极限下绘制到 7.68MHz 的响应。请注意 DC、1.92MHz、3.84MHz、5.76MHz、7.68MHz 附近的响应是如何相同的。数字滤波器会将 ADX515/6/7 输入端的高频噪声衰减至响应重复的频率。如果输入端存在高于此频率的明显噪声，请确保通过外部滤波消除。幸运的是，这可以通过一个简单的 RC 滤波器在 ADX515/6/7 上完成，如 APPLICATION INFORMATION 部分所示(见 Figure 72)。

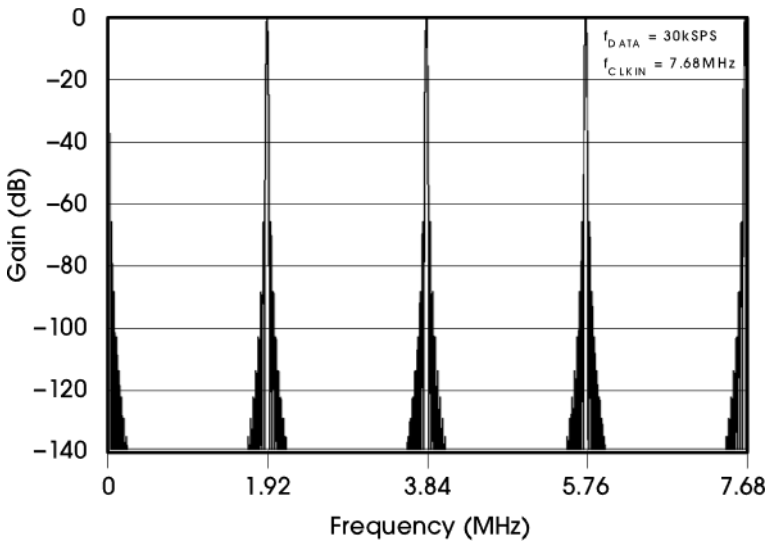


Figure 54. Frequency Response Out to 7.68MHz for Data Rate = 30kSPS

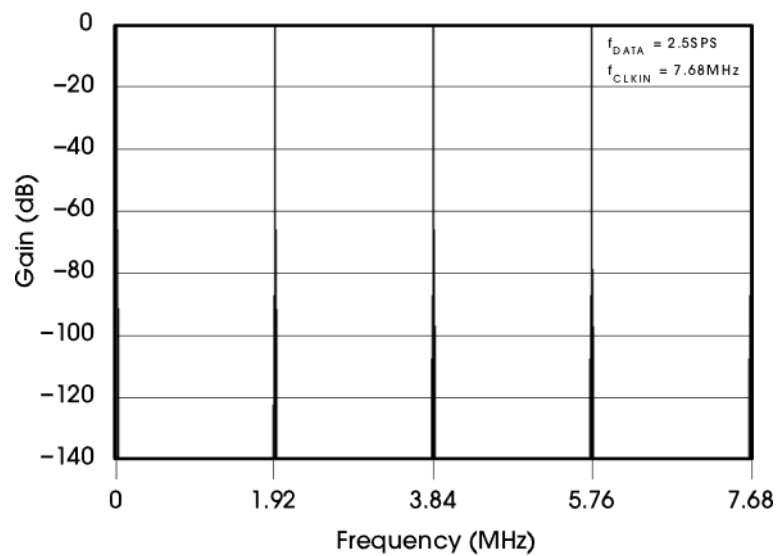


Figure 55. Frequency Response Out to 7.68MHz for Data Rate = 2.5SPS

8.3.3 建立时间

ADX515/6/7 具有针对快速建立而优化的数字滤波器。Table 28 显示了不同数据速率的稳定时间(模拟输入上的阶跃变化通过滤波器传播所需的时间)。以下部分重点介绍了滤波器的单周期稳定能力并显示了各种控制方法转换过程。

Table 28. Settling Time vs. Data Rate

DATA RATE (SPS)	SETTLING TIME (t_{18}) (ms)
60,000	0.12
30,000	0.24
15,000	0.27
7500	0.34
3750	0.47
2000	0.7
1000	1.2
500	2.2
100	10.21
60	16.87
50	20.2
30	33.53
25	40.2
15	66.87
10	100.2
5	200.2
2.5	400.2

注 1: $f_{CLK} = 7.68MHz$.
注 2: 单次模式需要一个小的额外延迟才能将设备从待机状态启动。

8.3.4 使用同步建立时间

使用同步建立时间 $\overline{\text{SYNC}}/\overline{\text{PWDN}}$ 引脚允许直接控制转换时序。只需在更改模拟输入后发出同步命令或选通 $\overline{\text{SYNC}}/\overline{\text{PWDN}}$ 引脚即可(有关更多信息,请参阅 [SYNCHRONIZATION](#) 部分)。当 $\overline{\text{SYNC}}/\overline{\text{PWDN}}$ 变高时,转换开始,停止当前转换并重新启动数字滤波器。一旦 $\overline{\text{SYNC}}/\overline{\text{PWDN}}$ 变为低电平, $\overline{\text{DRDY}}$ 输出变为高电平并在转换期间保持高电平。在稳定时间(t_{18})之后, $\overline{\text{DRDY}}$ 变为低电平,表明数据可用。ADX515/6/7 在一个周期内稳定—同步后无需忽略或丢弃数据。[Figure 56](#) 显示了同步后的数据检索序列。

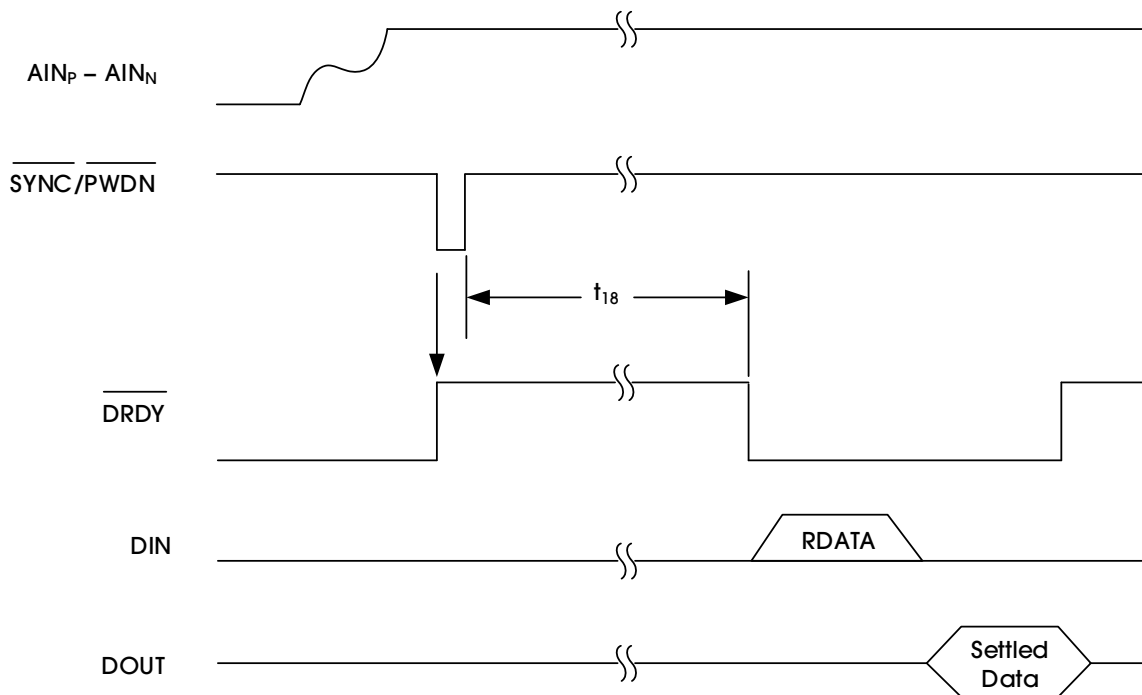


Figure 56. Data Retrieval After Synchronization

8.3.5 使用输入多路复用器建立时间

循环输入的最有效方法是在 $\overline{\text{DRDY}}$ 变低后立即更改多路复用器设置(使用 **WREG** 命令到多路复用器寄存器 **MUX**)。然后,在更改多路复用器之后,通过发出 **SYNC** 和 **WAKEUP** 命令重新启动转换过程,并使用 **RDATA** 命令检索数据。在读取数据之前更改多路复用器可以让 ADX516 更快地开始测量新的输入通道。[Figure 57](#) 展示了高效的输入循环。在循环通过输入多路复用器的通道时无需忽略或丢弃数据,因为 ADX516 在 $\overline{\text{DRDY}}$ 变低之前完全稳定,表明数据已准备就绪。

1. 当 $\overline{\text{DRDY}}$ 变低时,表明数据已准备好检索,使用 **WREG** 命令更新多路复用器寄存器 **MUX**。例如,将 **MUX** 设置为 23h 会得到 $\text{AIN}_p = \text{AIN}_2$, $\text{AIN}_n = \text{AIN}_3$ 。
2. 发出 **SYNC** 命令,紧接着发出 **WAKEUP** 命令,重新启动转换过程。确保在命令之间遵循时序规范 t_{11} 。
3. 使用 **RDATA** 命令读取先前转换的数据。
4. 当 $\overline{\text{DRDY}}$ 再次变低时,通过首先更新多路复用器寄存器重复循环,然后读取先前的数据。

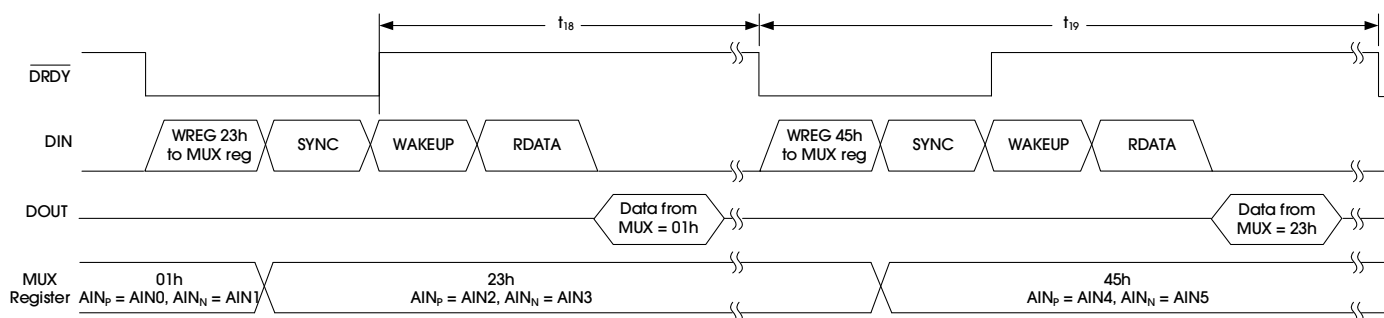


Figure 57. Cycling the ADX516 Input Multiplexer

Table 29 给出了循环输入多路复用器时的有效总吞吐量($1 / t_{19}$)。吞吐量($1 / t_{19}$)的值假定多路复用器已通过 3 字节 WREG 命令更改且 $f_{SCLK} = f_{CLK} / 4$ 。

Table 29. Multiplexer Cycling Throughput

DATA RATE (SPS)	CYCLING THROUGHPUT ($1/t_{19}$) (Hz)
60,000	4731
30,000	4374
15,000	3817
7500	3043
3750	2165
2000	1438
1000	837
500	456
100	98
60	59
50	50
30	30
25	25
15	15
10	10
5	5
2.5	2.5

注： $f_{CLK} = 7.68\text{MHz}$ 。

8.3.6 使用单次模式建立时间

通过使用 STANDBY 命令执行单次转换，可以显著降低 ADX515/6/7 的功耗；此序列如 Figure 58 所示。从待机模式发出 WAKEUP 命令以开始单次转换。使用单次模式时，调制器启动和稳定需要额外的延迟。对于 7.68MHz 主时钟，此延迟可能高达 64 个调制器时钟($64 t_{MODE}$)或 33.3 μs 。

在建立时间($t_{18} + 64 t_{MODE}$)之后， $\overline{DRDY}$ 将变为低电平，表示转换已完成，可以使用 RDATA 命令读取数据。

ADX515/6/7 在一个周期内稳定一无需忽略或丢弃数据。使用单次模式时，调制器启动和稳定需要额外的延迟。对于 7.68MHz 主时钟，此延迟可能高达 64 个调制器时钟($64 t_{MODE}$)或 33.3 μs 。在数据读取周期之后，发出另一个 STANDBY 命令以降低功耗。当准备好进行下一次测量时，从另一个 WAKEUP 命令开始重复该循环。

8.3.7 连续转换时的稳定时间

在同步、输入多路复用器改变或从待机模式唤醒后，ADX515/6/7 将连续转换模拟输入。转换与DRDY的下沿一致。在连续转换时，根据DRDY周期考虑稳定时间通常更方便，如 Table 30 所示。DRDY周期等于数据的倒数速度。如果连续转换时输入信号发生阶跃变化，建议执行同步操作以启动新的转换。否则，下一个数据将代表前一个和当前输入信号的组合，因此应该被丢弃。Figure 59 显示了这种情况下的回读示例。

Table 30. Data Settling Delay vs. Data Rate

DATA RATE (SPS)	SETTLING TIME (DRDY Periods)
60,000	5
30,000	5
15,000	3
7500	2
3750	1
2000	1
1000	1
500	1
100	1
60	1
50	1
30	1
25	1
15	1
10	1
5	1
2.5	1

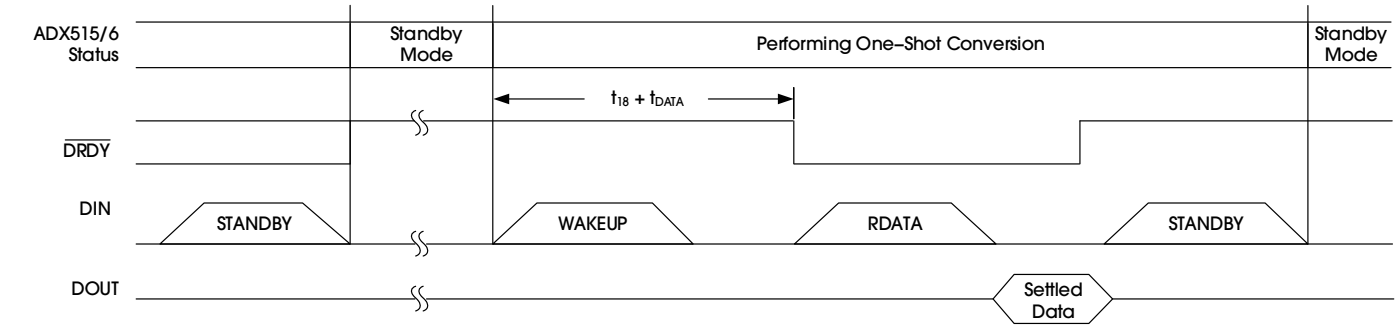


Figure 58. One-Shot Conversions Using the STANDBY Command

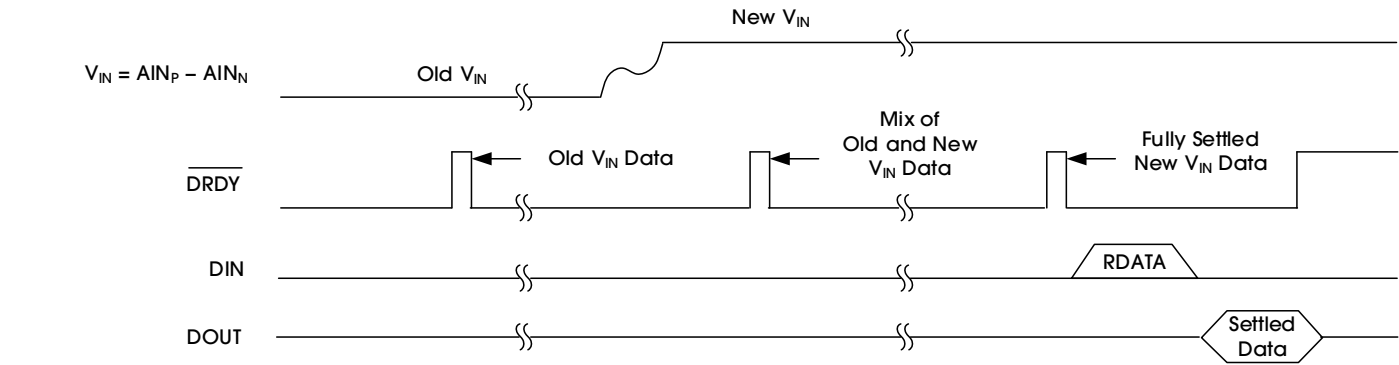


Figure 59. Step Change on VIN while Continuously Converting for Data Rates ≤ 3750SPS

8.3.8 数据格式

ADX515/6/7 以二进制补码格式输出 24 位数据。LSB 的权重为 $2V_{REF} / (PGA(2^{23} - 1))$ 。正满量程输入产生 7FFFFFFh 的输出代码，负满量程输入产生 800000h 的输出代码。对于超过满量程的信号，输出会在这些代码处削波。Table 31 总结了不同输入信号的理想输出代码。

Table 31. Ideal Output Code vs. Input Signal

INPUT SIGNAL V_{IN} ($A_{INP} - A_{INN}$)	IDEAL OUTPUT CODE
$\geq \frac{+2V_{REF}}{PGA}$	7FFFFFFh
$\frac{+2V_{REF}}{PGA(2^{23} - 1)}$	000001h
0	000000h
$\frac{-2V_{REF}}{PGA(2^{23} - 1)}$	FFFFFFh
$\leq \frac{-2V_{REF}}{PGA} \left(\frac{2^{23}}{2^{23} - 1} \right)$	800000h

注：不包括噪声、INL、偏移和增益误差的影响。

8.4 通用数字 I/O (D0-D3)

ADX516 有 4 个专用于数字 I/O 的引脚，ADX515/7 有 2 个数字 I/O 引脚。所有数字 I/O 引脚均可通过 IO 寄存器单独配置为输入或输出。IO 寄存器的 DIR 位定义每个引脚是输入还是输出，DIO 位控制引脚的状态。回读 DIO 寄存器显示数字 I/O 引脚的状态，无论它们是由 DIR 位配置为输入还是输出。当数字 I/O 引脚配置为输入时，DIO 寄存器用于读取这些引脚的状态。当配置为输出时，DIO 设置输出值。在 ADX515 上，数字 I/O 引脚 D2 和 D3 不存在，控制 D2 和 D3 操作的 IO 寄存器位的设置对该器件没有影响。

在待机和掉电模式期间，GPIO 保持活动状态。如果配置为输出，它们将继续驱动引脚。如果配置为输入，则必须驱动它们(而不是悬空)以防止功耗过大。

数字 I/O 引脚在上电或复位后设置为输入，D0/CLKOUT 除外，它被启用为时钟输出。如果不使用数字 I/O 引脚，要么将它们保留为接地的输入，要么将它们配置为输出。这可以防止功耗过大。

8.4.1 时钟输出(D0/CLKOUT)

时钟输出引脚可用于为另一个设备提供时钟，例如微控制器。使用 ADCON 寄存器中的 CLK1 和 CLK0，可以将该时钟配置为以 f_{CLK} 、 $f_{CLK} / 2$ 或 $f_{CLK} / 4$ 的频率运行。请注意，启用输出时钟和驱动外部负载会增加数字功耗。待机模式不影响时钟输出状态。也就是说，如果启用待机，时钟输出将在待机模式下继续运行。如果不需要时钟输出功能，则应在上电或复位后通过写入 ADCON 寄存器将其禁用。

8.5 时钟生成

ADX515/6/7 的主时钟源可以使用外部晶振或时钟发生器提供。使用晶体生成时钟时，必须提供外部电容器以确保启动和稳定的时钟频率，如 Figure 60 所示。任何晶体都应 与 ADX515/6/7 配合使用。Table 32 列出了两种经验证有效的晶体。晶体放置在靠近 ADX515/6/7 引脚的位置，应尽量减少长引线。

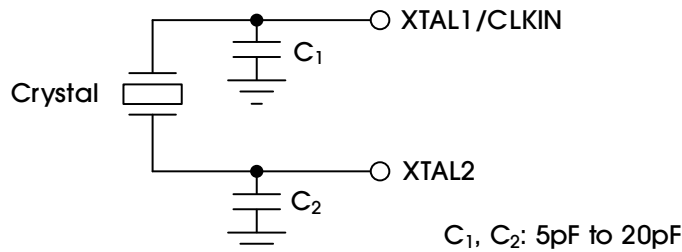


Figure 60. Crystal Connection

Table 32. Sample Crystals

MANUFACTURER	FREQUENCY	PART NUMBER
Citizen	7.68MHz	CIA/53383
ECS	8.0MHz	ECS-80-5-4

使用晶体时，XTAL1/CLKIN 和 XTAL2 引脚都不能用于驱动任何其他逻辑。如果其他设备需要时钟源，D0/CLKOUT 引脚可用于此功能。当使用外部时钟发生器时，为 XTAL1/CLKIN 提供时钟信号并使 XTAL2 悬空。确保外部时钟发生器提供干净的时钟波形。时钟上的过冲和毛刺会降低整体性能。

8.6 校准

使用 ADX515/6/7 板载校准电路可以最大限度地减少偏移和增益误差。Figure 61 显示了校准框图。偏移误差通过偏移校准(OFC)寄存器进行校正，同样，满量程误差通过满量程校准(FSC)寄存器进行校正。这些寄存器中的每一个都是 24 位的，可以读取或写入。

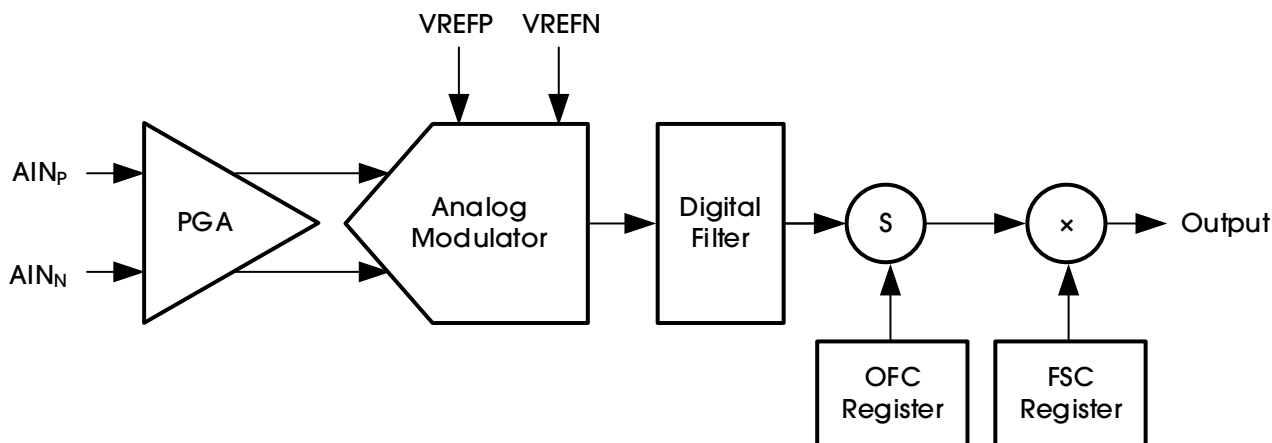


Figure 61. Calibration Block Diagram

校准后 ADX515/6/7 的输出如 Equation 7 所示，其中 α 和 β 随 Table 33 中所示的数据速率设置以及 OFC 和 FSC 的理想值(假设模拟性能完美)而变化。OFC 是一个二进制补码，范围从 -8,388,608 到 8,388,607，而 FSC 是单极性的，范围从 0 到 16,777,215。

$$\text{Output} = \left(\frac{\text{PGA} \times V_{\text{IN}}}{2V_{\text{REF}}} - \frac{\text{OFC}}{\alpha} \right) \text{FSC} \times \beta \quad (7)$$

ADX515/6/7 支持使用一组五个命令对任何 PGA 设置进行自校准和系统校准：SELFOCAL、SELFGCAL、SELFICAL、SYSOCAL 和 SYSGCAL。可以随时进行校准，但在许多应用中，ADX515/6/7 的漂移性能足够低，只需进行一次校准即可。DRDY在校准开始时变高，并一直保持到之后稳定的数据准备就绪。校准后无需丢弃数据。强烈建议在参考稳定后上电后发出自校准命令。复位后，ADX515/6/7 执行自校准。每当数据速率发生变化时都必须执行校准，并且应该在缓冲器配置或 PGA 发生变化时执行。

Table 33. Calibration Values for Different Data Rate Settings

DATA RATE (SPS)	α	β	IDEAL OFC	IDEAL FSC
60,000	400000H	1.8639	000000H	44AC08H
30,000	400000H	1.8639	000000H	44AC08H
15,000	400000H	1.8639	000000H	44AC08H
7500	400000H	1.8639	000000H	44AC08H
3750	400000H	1.8639	000000H	44AC08H
2000	3C0000H	1.7474	000000H	494008H
1000	3C0000H	1.7474	000000H	494008H
500	3C0000H	1.7474	000000H	494008H
100	4B0000H	2.1843	000000H	3A99A0H
60	3E8000H	1.8202	000000H	4651F3H
50	4B0000H	2.1843	000000H	3A99A0H
30	3E8000H	1.8202	000000H	4651F3H
25	4B0000H	2.1843	000000H	3A99A0H
15	3E8000H	1.8202	000000H	4651F3H
10	5DC000H	2.7304	000000H	2EE14CH
5	5DC000H	2.7304	000000H	2EE14CH
2.5	5DC000H	2.7304	000000H	2EE14CH

出于兼容性的考虑，ADX515/6/7 在不同输出速率下有不同的增益转换系数，这意味着如果将 ADC 输出的码值直接转换为电压后，不同的输出速率会产生不一样的输出电压。因此，如果需要获得最准确的测量结果，需要在变更输出速率后进行自校准(SELFOCAL、SELFGCAL、SELF CAL)。为了保证的自校准效果，则需要保证 ADX515/6/7 自校准的时候输入浮空或是处在 ADC 的共模电压范围内(即便内部 ADC 没有连接在该引脚上)并且 ADC 的 REF 需要在自校准前完成建立。

8.6.1 自校准

自校准校正内部偏移和增益误差。在自校准期间，适当的校准信号在内部应用于模拟输入。

SELFOCAL 执行自偏移校准。模拟输入 AIN_P 和 AIN_N 与信号源断开并连接到 AVDD/2。有关不同数据速率设置的自偏移校准所需的时间，请参见 Table 34。与大多数 ADX515/6/7 时序一样，校准时间直接与 f_{CLK} 成比例。自偏移校准更新 OFC 寄存器。

Table 34. Self Offset and System Offset Calibration Timing

DATA RATE (SPS)	SELF OFFSET CALIBRATION AND SYSTEM OFFSET CALIBRATION TIME
60,000	223μs
30,000	446μs
15,000	512μs
7500	646μs
3750	912μs
2000	1.4ms
1000	2.4ms
500	4.4ms
100	20.4ms
60	33.7ms
50	40.4ms
30	67.1ms
25	80.4ms
15	133.7ms
10	200.4ms
5	400.5ms
2.5	800.4ms

Note: For f_{CLK} = 7.68MHz.

SELFGCAL 执行自增益校准。模拟输入 AIN_P 和 AIN_N 与信号源断开，AIN_P 在内部连接到 VREFP，而 AIN_N 连接到 VREFN。自增益校准可用于任何 PGA 设置。

使用缓冲器将在自增益校准期间限制参考输入的共模范围，因为它们将连接到缓冲器输入并且必须在指定的模拟输入范围内。当 VREFP 或 VREFN 上的电压超过缓冲器模拟输入范围(AVDD – 2.0V)时，缓冲器必须在自增益校准期间关闭。否则，使用系统增益校准或将增益系数直接写入 FSC 寄存器。Table 35 显示了不同数据速率和 PGA 设置的自增益校准所需的时间。自增益校准更新 FSC 寄存器。

Table 35. Self Gain Calibration Timing

DATA RATE (SPS)	PGA GAIN SETTING				
	1	2	4	8	16, 32, 64
60,000	223μs	223μs	239μs	273μs	339μs
30,000	446μs	446μs	479μs	546μs	679μs
15,000	512μs	512μs	512μs	579μs	579μs
7500	646μs	646μs	647μs	648μs	779μs
3750	912μs				
2000	1.4ms				
1000	2.5ms				
500	4.5ms				
100	21.1ms				
60	34.1ms				
50	41.7ms				
30	67.9ms				
25	83.0ms				
15	135.3ms				
10	207.0ms				
5	413.8ms				
2.5	827.0ms				

Note: For f_{CLK} = 7.68MHz.

SELF CAL 首先执行自偏移，然后执行自增益校准。自校准期间模拟输入与信号源断开。使用带自校准的输入缓冲器时，请务必遵守上述参考输入的共模范围。Table 36 显示了不同数据速率设置的自校准所需的时间。自校准更新 OFC 和 FSC 寄存器。

Table 36. Self-Calibration Timing

DATA RATE (SPS)	PGA GAIN SETTING				
	1	2	4	8	16, 32, 64
60,000	328μs	328μs	344μs	378μs	444μs
30,000	655μs	655μs	688μs	755μs	888μs
15,000	755μs	755μs	755μs	821μs	821μs
7500	955μs	955μs	955μs	955μs	1088μs
3750	1.4ms				
2000	2.1ms				
1000	3.6ms				
500	6.7ms				
100	31.2ms				
60	51.0ms				
50	61.9ms				
30	101.4ms				
25	123.2ms				
15	202.2ms				
10	307.2ms				
5	613.9ms				
2.5	1227.3ms				

8.6.2 系统校准

系统校准使用 SYSOCAL 和 SYSGCAL 命令校正内部和外部偏移和增益误差。在系统校准期间，用户必须将适当的校准信号施加到输入端。

SYSOCAL 执行系统偏移校准。用户必须提供零输入差分信号。ADX515/6/7 然后计算一个值，该值将使系统中的偏移无效。Table 37 显示了不同数据速率设置的系统偏移校准所需的时间。请注意，此时序与自偏移校准相同。系统偏移校准更新 OFC 寄存器。

SYSGCAL 执行系统增益校准。用户必须向 ADX515/6/7 提供满量程输入信号。ADX515/6/7 然后计算一个值来抵消系统中的增益误差。系统增益校准可以校正满量程输入电压的 80%或更大的输入。使用系统增益校准时，确保不要超过满量程输入电压。Table 37 显示了不同数据速率设置的系统增益校准所需的时间。系统增益校准更新 FSC 寄存器。

Table 37. System Gain Calibration Timing

DATA RATE (SPS)	SYSTEM GAIN CALIBRATION TIME
60,000	208µs
30,000	417µs
15,000	484µs
7500	617µs
3750	884µs
2000	1.4ms
1000	2.4ms
500	4.4ms
100	20.4ms
60	33.7ms
50	40.4ms
30	67.0ms
25	80.4ms
15	133.7ms
10	200.4ms
5	400.4ms
2.5	800.4ms

Note: For fCLK = 7.68MHz.

8.6.3 自动校准

可以启用自动校准(STATUS 寄存器中的 ACAL 位)，使 ADX515/6/7 在完成更改数据速率、PGA 设置或缓冲器状态的写命令(WREG)时自动启动自校准。建议开启自动校准，防止因为更改配置而漏掉校准，增加误差。

8.7 串行接口

SPI 兼容串行接口由四个信号组成：CS、SCLK、DIN 和 DOUT，并允许控制器与 ADX515/6/7 通信。可编程功能由一组片上寄存器控制。数据通过串行接口写入和读取这些寄存器。

DRDY输出线用作状态信号以指示转换何时完成。DRDY在新数据可用时变低。Figure 3 显示了连接 ADX515/6/7 的时序图。

8.8 片选(CS)

当多个设备共享串行总线时，片选(CS)输入允许单独选择一个 ADX515/6/7 设备。CS在串行通信期间必须保持低电平。当CS变为高电平时，串行接口复位并且 DOUT 进入高阻抗状态。CS可能会被永久绑在低位。

8.9 串行时钟(SCLK)

串行时钟(SCLK)具有施密特触发输入，用于将 DIN 和 DOUT 引脚上的数据输入和输出 ADX515/6/7。即使输入有迟滞，也建议尽可能保持 SCLK 干净，以防止毛刺意外移动数据。如果 SCLK 保持低电平 32 $\overline{\text{DRDY}}$ 周期，串行接口将复位，下一个 SCLK 脉冲将开始一个新的通信周期。此超时功能可用于在串行接口传输中断时恢复通信。

SCLK 上的特殊模式将重置芯片；有关此过程的更多详细信息，请参阅 [RESET](#) 部分。当串行接口空闲时，保持 SCLK 为低电平。

8.9.1 数据输入(DIN)和数据输出(DOUT)

数据输入引脚(DIN)与 SCLK 一起用于向 ADX515/6/7 发送数据。数据输出引脚(DOUT)与 SCLK 一起用于从 ADX515/6/7 读取数据。DIN 上的数据在 SCLK 的下降沿移入部分，而数据在 SCLK 的上升沿移出 DOUT。DOUT 在不使用时为高阻抗，以允许 DIN 和 DOUT 连接在一起并由双向总线驱动。

注：当 DIN 和 DOUT 连接在一起时，不得发出 RDATA $\overline{\text{C}}$ 命令。

8.9.2 数据就绪($\overline{\text{DRDY}}$)

$\overline{\text{DRDY}}$ 输出用作状态信号，指示何时可以读取转换数据。当新的转换数据可用时， $\overline{\text{DRDY}}$ 变低。当使用读取数据(RDATA)或连续读取数据(RDATA $\overline{\text{C}}$)命令读回所有 24 位时，它会重置为高电平。当更新新的转换数据时，它也会变高。由于数据无效，请勿在此更新期间检索。如果未检索到数据， $\overline{\text{DRDY}}$ 将仅在更新期间处于高电平，如 [Figure 62](#) 所示。

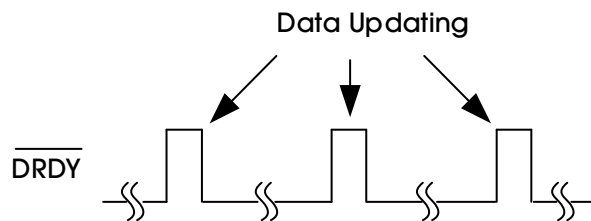


Figure 62. $\overline{\text{DRDY}}$ with No Data Retrieval

在更改 PGA、数据速率、缓冲区状态、写入 OFC 或 FSC 寄存器以及启用或禁用传感器检测电路后，执行同步操作以强制 $\overline{\text{DRDY}}$ 为高电平。在准备好有效数据之前，它将保持高电平。如果启用自动校准(通过设置 STATUS 寄存器中的 ACAL 位)， $\overline{\text{DRDY}}$ 将在自校准完成且新数据有效后变低。从复位、同步、待机或掉电模式退出也会强制 $\overline{\text{DRDY}}$ 为高电平。一旦有效数据准备就绪， $\overline{\text{DRDY}}$ 就会变低。

8.9.3 同步

ADX515/6/7 的同步可用于协调 A/D 转换与外部事件，也可用于在模拟输入发生瞬时变化后加速稳定(参见 [SETTLING TIME USING SYNCHRONIZATION](#) 部分)。

可以使用 $\overline{\text{SYNC/PWDN}}$ 引脚或 SYNC 命令来实现同步。要使用 $\overline{\text{SYNC/PWDN}}$ 引脚，将其拉低然后拉高，确保满足时序规范 t_{16} 和 t_{16B} 。同步发生在 $\overline{\text{SYNC/PWDN}}$ 被拉高之后。当 $\overline{\text{SYNC/PWDN}}$ 为低电平时，串行接口上无法进行通信。如果 $\overline{\text{SYNC/PWDN}}$ 引脚保持低电平 20 $\overline{\text{DRDY}}$ 周期，ADX515/6/7 将进入掉电模式。

要使用 SYNC 命令进行同步，首先要移入 SYNC 命令的所有八位。这将停止 ADX515/6/7 的操作。当准备同步时，发出 WAKEUP 命令。在第一个 SCLK 用于移入 WAKEUP 命令后，主时钟的第一个上升沿发生同步。在同步操作之后，通过 $\overline{\text{SYNC/PWDN}}$ 引脚或 SYNC 命令， $\overline{\text{DRDY}}$ 保持高电平，直到准备好有效数据。

8.9.4 待机模式

待机模式关闭所有模拟电路和大部分数字功能。振荡器继续运行以实现快速唤醒。如果启用，时钟输出 D0/CLKOUT 也将在自增益待机模式下继续运行。要进入待机模式，请发出 STANDBY 命令。要退出待机模式，请发出 WAKEUP 命令。 $\overline{\text{DRDY}}$ 在退出待机模式后将保持高电平，直到有效数据准备就绪。待机模式可用于执行一次性转换；有关更多详细信息，请参见 [SETTLING TIME USING ONE-SHOT MODE](#) 部分。

8.9.5 掉电模式

将 $\overline{\text{SYNC/PWDN}}$ 引脚保持低电平 20 $\overline{\text{DRDY}}$ 周期激活掉电模式。在掉电模式下，所有电路都被禁用，包括振荡器和时钟输出。

要退出掉电模式，请将 $\overline{\text{SYNC/PWDN}}$ 引脚拉高。退出掉电模式后，ADX515/6/7 晶体振荡器通常需要 30 毫秒才能唤醒。如果使用外部时钟源，转换开始前需要 8192 个 CLKIN 周期。

8.9.6 重置

ADX515/6/7 有三种复位方法： $\overline{\text{RESET}}$ 输入引脚、RESET 命令和特殊的 SCLK 复位模式。

使用 $\overline{\text{RESET}}$ 引脚时，将其拉低以强制复位。在将 $\overline{\text{RESET}}$ 引脚恢复为高电平之前，请确保遵循最小脉冲宽度时序规范。

RESET 命令在所有八位都已移入 DIN 后生效。之后，复位自动释放。

ADX515/6/7 也可以通过 SCLK 上的特殊模式进行复位(见 Figure 4)。复位发生在模式中最后一个 SCLK 边沿的下降沿。执行操作后，复位自动解除。

复位时，配置寄存器被初始化为默认状态，ADCON 寄存器中控制 D0/CLKOUT 引脚的 CLK0 和 CLK1 位除外。这些位仅在使用 $\overline{\text{RESET}}$ 引脚执行复位时才初始化为默认状态。从 RESET 释放后，进行自校准，与复位方法或 RESET 前 ACAL 位的状态无关。

8.9.7 上电

所有配置寄存器在上电时都被初始化为它们的默认状态。然后自动执行自校准。为获得最佳性能，强烈建议在电源和电压基准有时间稳定到其最终值后，通过发出 SELF CAL 命令执行额外的自校准。

8.9.8 CRC 校验

ADX515/6/7 系列提供通信 CRC 校验，使用寄存器 CFG4(5:4).CRC_EN 配置 CRC，CRC-4 提供 4 位 CRC，CRC-8 提供 8 位 CRC。

当 CRC_EN = 1 时，字节是异或(XOR)。

读取 OFC0 = 0x1C (CRC = 15h^1Ch = 09h, DIN = 15000000h, DOUT = 1C09h)。

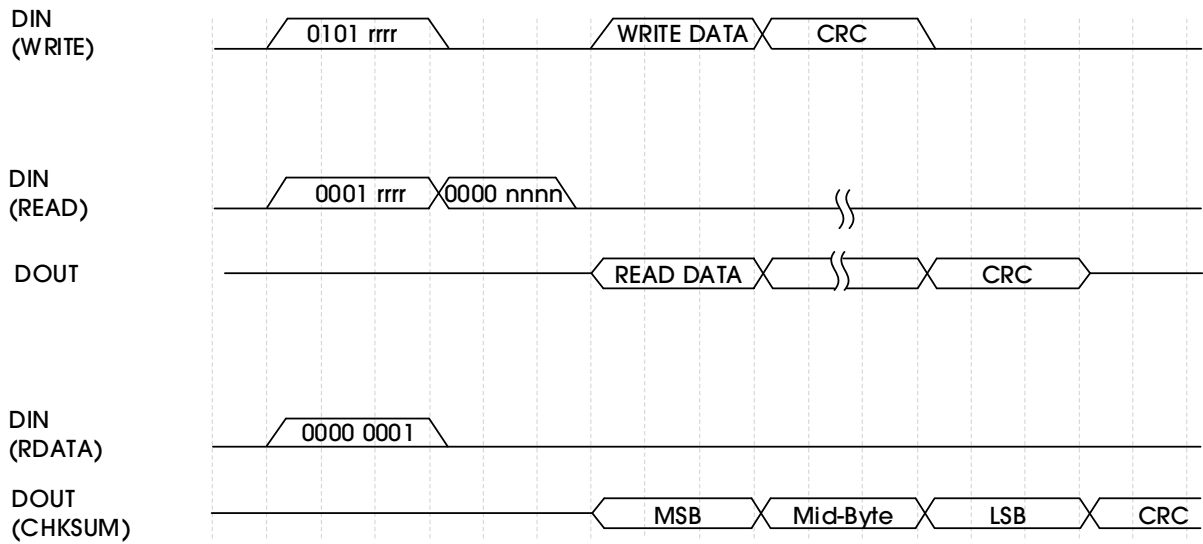


Figure 63. CRC

当 CRC_EN = 2 时，多项式： $X^8 + X^2 + X^1 + 1$ 。例如：

- 1. 写入 OFC0 = 5Ah (仅在 CRC = 65h (CRC-8 of 0x55005a)时成功)；否则设置 CRC_ERR.DIN = 55005A65h)。
- 2. 读取 OFC0 (CRC = e3h, DIN = 55000000h, DOUT = 5AE3h)。

当 CRC_EN = 3 时，多项式： $X^4 + X^1 + 1$ 。例如：

- 1. 写入 OFC0 = EAh (成功与 CRC = 70h (0x5500ea 的 CRC-4 为 0x7))；否则设置 CRC_ERR.DIN = 5500EA70h)。
- 2. 读取 OFC0 (CRC = e3h, DIN = 55000000h, DOUT = EA90h)。

当 CHKSUM = 1 时，RDATA/RDATAC 命令在结果后输出 CRC 值。以下列表显示了计算 CRC 值的一般过程。假设移位寄存器为 n 位宽，其中 n 是 CRC 位数：

- 1. 对于 4 位 CRC，将多项式值设置为 0x3，对于 8 位 CRC，设置为 0x07。
- 2. 将移位寄存器设置为全零。
- 3. 从数据流中的 MSB 开始。对于每 n 位：
 - 将数据流的 MSB 与移位寄存器的 MSB 对齐。将数据与移位寄存器异或，结果放入移位寄存器。
 - 测试移位寄存器的最高位 n 次，每次执行以下操作之一：
 - 如果移位寄存器的最高有效位已设置，则将寄存器左移一位，将结果与多项式异或，并将结果放入移位寄存器。
 - 如果未设置移位寄存器的最高有效位，则将寄存器左移一位。
- 4. 移位寄存器中的结果就是 CRC 校验值。例如 654321h 的 CRC-8 为 86h。

8.9.9 转换数奇偶校验

转换数据可选奇偶校验校验状态位，通过配置 CFG1(0)开启或者关闭转换数据奇偶校验，当开启奇偶验后，每一组转换数据完成后，校验位将在寄存器 MOD_STAT(0)中显示。

9. REGISTER MAPS

The operation of the ADX515/6/7 is controlled through a set of registers. Collectively, the registers contain all the information needed to configure the part, such as data rate, multiplexer settings, PGA setting, calibration, etc., and are listed in Table 38.

Table 38. Register Maps

ADD RESS	REGISTER	RESET VALUE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
00h	STATUS	x1h	ID(3:0)				ORDER	ACAL	BUFEN	DRDY
01h	MUX	01h	PSEL(3:0)				NSEL(3:0)			
02h	ADCON	20h	0	CLK(1:0)		SDCS(1:0)		PGA(2:0)		
03h	DRATE	F0h	DR(7:0)							
04h	IO	E0h	DIR(3:0)				DIO(3:0)			
05h	OFC0	00h	OFC(7:0)							
06h	OFC1	00h	OFC(15:8)							
07h	OFC2	00h	OFC(23:16)							
08h	FSC0	08h	FSC(7:0)							
09h	FSC1	Ach	FSC(15:8)							
0Ah	FSC2	44h	FSC(23:16)							
0Bh	CFG0	00h	REJ50_60(1:0)		0	0	REG_CHK	MODE(2:0)		
0Ch	CFG1	00h	0	0	0	0	0	0	0	PARITYEN
0Dh	CFG2	22h	0	0	60KSPS_EN_1	0	0	0	CLKMON	CLKSRC
0Eh	CFG3	05h	DELAY(2:0)			60KSPS_EN_2(1:0)		1	0	1
0Fh	CFG4	00h	SPITO(1:0)		CRC_EN(1:0)		CHKSUM	START	RNG_EN(1:0)	
10h	CFG5	00h	TEMP_EN	0	ALLCOM		0	0	0	0
11h	CFG6	00h	0	0	0	REF_BUF	0	0	0	0
12h	MOD_STAT	00h	RNG_ERR	CRC_ER R	0	CLK_FAULT	REG_MDF	SHORTH	SHORTL	PARITY
13h	DEV_STAT	04h	RES_MISS	EF_UER R	EF_CERR	RESET(1:0)		BUSY	0	SPILOCK
14h	CMD_STAT	00h	0	0	0	0	CMDSTAT(3:0)			

9.1 STATUS: STATUS REGISTER (ADDRESS 00H)

Reset value = x1h. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ID3	ID2	ID1	ID0	ORDER	ACAL	BUFEN	DRDY

Table 39. STATUS Register Description

BIT	FIELD	DESCRIPTION
7:4	ID3, ID2, ID1, ID0	Factory programmed identification bits (read only) 0001 = ADX515 0010 = ADX516 0011 = ADX517 Others = Reserved
3	ORDER	Data output bit order 0 = Most Significant Bit First (default) 1 = Least Significant Bit First Input data is always shifted in most significant byte and bit first. Output data is always shifted out most significant byte first. The ORDER bit only controls the bit order of the output data within the byte.
2	ACAL	Auto-calibration 0 = Auto-Calibration Disabled (default) 1 = Auto-Calibration Enabled When Auto-Calibration is enabled, self-calibration begins at the completion of the WREG command that changes the PGA (bits 0-2 of ADCON register), DR (bits 7-0 in the DRATE register) or BUFEN (bit 1 in the STATUS register) values.
1	BUFEN	Analog input buffer enable 0 = Buffer Disabled (default) 1 = Buffer Enabled
0	DRDY	Data ready (read only) This bit duplicates the state of the $\overline{\text{DRDY}}$ pin.

9.2 MUX: INPUT MULTIPLEXER CONTROL REGISTER (ADDRESS 01H)

Reset value = 01h. Return to the SUMMARY TABLE.

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PSEL3	PSEL2	PSEL1	PSEL0	NSEL3	NSEL2	NSEL1	NSEL0

Table 40. MUX Register Description

BIT	FIELD	DESCRIPTION
7:4	PSEL3, PSEL2, PSEL1, PSEL0	Positive input channel (AIN _P) select 0000 = AIN0 (default) 0001 = AIN1 0010 = AIN2 (ADX516/7 only) 0011 = AIN3 (ADX516/7 only) 0100 = AIN4 (ADX516 only) 0101 = AIN5 (ADX516 only) 0110 = AIN6 (ADX516 only) 0111 = AIN7 (ADX516 only) 1000-1010 = ALLCOM 1011 = Temperature sensor 1100 = (AVDD - AVSS)/4 1101 = (DVDD - DGND)/4 1110 = Open 1111 = VCOM ((AVDD + AVSS)/2)
3:0	NSEL3, NSEL2, NSEL1, NSEL0	Negative input channel (AIN _N) select 0000 = AIN0 0001 = AIN1 (default) 0010 = AIN2 (ADX516/7 only) 0011 = AIN3 (ADX516/7 only) 0100 = AIN4 (ADX516 only) 0101 = AIN5 (ADX516 only) 0110 = AIN6 (ADX516 only) 0111 = AIN7 (ADX516 only) 1xxx = ALLCOM (when NSEL3 = 1, NSEL2, NSEL1, NSEL0 are "don't care".)

Note: When using an ADX515/7, make sure to only select the available inputs.

9.3 ADCON: A/D CONTROL REGISTER (ADDRESS 02H)

Reset value = 20h. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	CLK1	CLK0	SDCS1	SDCS0	PGA2	PGA1	PGA0

Table 41. ADCON Register Description

BIT	FIELD	DESCRIPTION
7	0	Reserved, always 0 (read only)
6:5	CLK1, CLK0	D0/CLKOUT clock out rate setting 00 = Clock Out OFF 01 = Clock Out Frequency = f_{CLK} 10 = Clock Out Frequency = $f_{CLK}/2$ 11 = Clock Out Frequency = $f_{CLK}/4$ When not using CLKOUT, it is recommended that it be turned off. These bits can only be reset using the $\overline{RESET}$ pin.
4:3	SDCS1, SCDS0	Sensor detect current sources 00 = Sensor Detect OFF (default) 01 = Sensor Detect Current = $0.5\mu A$ 10 = Sensor Detect Current = $2\mu A$ 11 = Sensor Detect Current = $10\mu A$ The Sensor Detect Current Sources can be activated to verify the integrity of an external sensor supplying a signal to the ADX515/6/7. A shorted sensor produces a very small signal while an open-circuit sensor produces a very large signal.
2:0	PGA2, PGA1, PGA0	Programmable gain amplifier setting 000 = 1 (default) 001 = 2 010 = 4 011 = 8 100 = 16 101 = 32 110 = 64 111 = 128

9.4 DRATE: A/D DATA RATE (ADDRESS 03H)

Reset value = F0h. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0

The 16 valid Data Rate settings are shown below. Make sure to select a valid setting as the invalid settings may produce unpredictable results.

Table 42. DRATE Register Description

BIT	FIELD	DESCRIPTION
7:0	DR(7: 0)	Data rate setting 11110000 = 30,000SPS (default) or 60,000SPS. See the DIGITAL FILTER section for more information. 11100000 = 15,000SPS 11010000 = 7,500SPS 11000000 = 3,750SPS 10110000 = 2,000SPS 10100001 = 1,000SPS 10010010 = 500SPS 10000010 = 100SPS 01110010 = 60SPS 01100011 = 50SPS 01010011 = 30SPS 01000011 = 25SPS 00110011 = 15SPS 00100011 = 10SPS 00010011 = 5SPS 00000011 = 2.5SPS

Note: For $f_{CLK} = 7.68\text{MHz}$. Data rates scale linearly with f_{CLK} .

9.5 I/O: GPIO CONTROL REGISTER (ADDRESS 04H)

Reset value = E0h. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
DIR3	DIR2	DIR1	DIR0	DIO3	DIO2	DIO1	DIO0

The states of these bits control the operation of the general-purpose digital I/O pins. The ADX516 has 4 I/O pins: D3, D2, D1, and D0/CLKOUT. The ADX515/7 has two digital I/O pins: D1 and D0/CLKOUT. When using an ADX515, the register bits DIR3, DIR2, DIO3, and DIO2 can be read from and written to but have no effect.

Table 43. I/O Register Description

BIT	FIELD	DESCRIPTION
7	DIR3	Digital I/O direction for digital I/O pin D3 (used on ADX516 only) 0 = D3 is an output. 1 = D3 is an input (default).
6	DIR2	Digital I/O direction for digital I/O pin D2 (used on ADX516 only) 0 = D2 is an output. 1 = D2 is an input (default).
5	DIR1	Digital I/O direction for digital I/O pin D1 0 = D1 is an output. 1 = D1 is an input (default).
4	DIR0	Digital I/O direction for digital I/O pin D0/CLKOUT 0 = D0/CLKOUT is an output (default). 1 = D0/CLKOUT is an input.
3:0	DIO(3:0)	Status of digital I/O pins D3, D2, D1, D0/CLKOUT Reading these bits will show the state of the corresponding digital I/O pin, whether if the pin is configured as an input or output by DIR3-DIR0. When the digital I/O pin is configured as an output by the DIR bit, writing to the corresponding DIO bit will set the output state. When the digital I/O pin is configured as an input by the DIR bit, writing to the corresponding DIO bit will have no effect. When D0/CLKOUT is configured as an output and CLKOUT is enabled (using CLK1, CLK0 bits in the ADCON register), writing to DIO0 will have no effect.

9.6 OFC0: OFFSET CALIBRATION BYTE 0, LEAST SIGNIFICANT BYTE (ADDRESS 05H)

Reset value depends on calibration results. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC07	OFC06	OFC05	OFC04	OFC03	OFC02	OFC01	OFC00

9.7 OFC1: OFFSET CALIBRATION BYTE 1 (ADDRESS 06H)

Reset value depends on calibration results. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC09	OFC08

9.8 OFC2: OFFSET CALIBRATION BYTE 2, MOST SIGNIFICANT BYTE (ADDRESS 07H)

Reset value depends on calibration results. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16

9.9 FSC0: FULL-SCALE CALIBRATION BYTE 0, LEAST SIGNIFICANT BYTE (ADDRESS 08H)

Reset value depends on calibration results. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC07	FSC06	FSC05	FSC04	FSC03	FSC02	FSC01	FSC00

9.10 FSC1: FULL-SCALE CALIBRATION BYTE 1 (ADDRESS 09H)

Reset value depends on calibration results. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC09	FSC08

9.11 FSC2: FULL-SCALE CALIBRATION BYTE 2, MOST SIGNIFICANT BYTE (ADDRESS 0AH)

Reset value depends on calibration results. Return to the [SUMMARY TABLE](#).

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16

9.12 CFG0 (ADDRESS 0BH)

Reset value = 00h. Return to the [SUMMARY TABLE](#).

Table 44. CFG0 Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:6	REJ50_60(1:0)	R/W	00b	50Hz and 60Hz noise rejection When REJ50_60 is not zero, DR must be set to 500SPS. 0: No 50Hz or 60Hz rejection 1: Simultaneous 50Hz and 60Hz rejection 2: 50Hz rejection only 3: 60Hz rejection only
5:4	0	R	0b	Reserved. Must write 00b.
3	REG_CHK	R/W	0b	Enable register integrity checker REG_MDF=1 if registers have been modified. 0: No effect 1: Enable register integrity checker
2:0	MODE(2:0)	R/W	000b	Operation mode 0: Continuous conversion mode 1: Single conversion mode 2: Standby mode 3: Two steps to power down: Step 1: Must write 3 to MODE(2:0) (even it is already 3). Step 2: Pull SYNC/PWDN low. (Pulling SYNC/PWDN high to exit). 4: Internal offset calibration 5: Internal gain calibration 6: System offset calibration 7: System gain calibration

9.13 CFG1 (ADDRESS 0CH)

Reset value = 00h. Return to the [SUMMARY TABLE](#).

Table 45. CFG1 Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:1	0	R/W	0b	Reserved. Must write 0b.
0	PARITYEN	R/W	0b	Enable parity bit 0: PARITY bit disabled 1: PARITY bit enabled See MOD_STAT(0) for the last conversion data result.

9.14 CFG2 (ADDRESS 0DH)

Reset value = 22h. Return to the [SUMMARY TABLE](#).

Table 46. CFG2 Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:6	Reserved	R/W	0b	Reserved. Must write 0b.
5	60KSPS_EN_1	R/W	1b	CFG3.60KSPS_EN_2 must have the same configuration. 0: Enable 60kSPS output data rate 1: All other data rates (default)
4:2	Reserved	R/W	0b	Reserved. Must write 0b.
1	CLKMON	R/W	1b	Clock source monitor 0: No clock monitor 1: If the selected clock source (CLKIN/XTAL) is stopped, set XOSC_F and switch to internal OSC. After clock source recovers, it will switch back.
0	CLKSRC	R/W	0b	Clock source selection 0: External CLKIN/XTAL 1: Internal clock To save power, writing CLKSRC = 0 twice will disable internal clock if CLKMON=0; writing CLKSRC = 1 twice will disable XOSC. To enable again, need to wait more time.

9.15 CFG3 (ADDRESS 0EH)

Reset value = 05h. Return to the [SUMMARY TABLE](#).

Table 47. CFG3 Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:5	DELAY(2:0)	R/W	000b	Programmable delay before each conversion start It can increase the low duration of the DRDY pin. 0: No delay 1: $1 \times 64 \times t_{MOD}$ (33.3 μ s) 2: $4 \times 64 \times t_{MOD}$ (0.13ms) 3: $10 \times 64 \times t_{MOD}$ (0.33ms) 4: $25 \times 64 \times t_{MOD}$ (0.83ms) 5: $50 \times 64 \times t_{MOD}$ (1.67ms) 6: $125 \times 64 \times t_{MOD}$ (4.1ms) 7: $250 \times 64 \times t_{MOD}$ (8.3ms) Data in () is at $f_{CLK} = 7.68$ MHz.
4:3	60KSPS_EN_2	R/W	00b	CFG2.60KSPS_EN_1 must have the same configuration. 0: All other data rates (default) 3: Enable 60kSPS output data rate Others: Reserved.
2:0	Reserved	R/W	101b	Reserved. Must write 101b.

9.16 CFG4 (ADDRESS 0FH)

Reset value = 00h. Return to the [SUMMARY TABLE](#).

Table 48. CFG4 Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:6	SPITO(1:0)	R/W	00b	SPI timeout reset (SPI interface only) 0: Disabled (default) 1: Timeout reset when SCLK is inactive for 256 t_{CLK} . 2: Timeout reset when SCLK is inactive for 1024 t_{CLK} . 3: Timeout reset when SCLK is inactive for 4096 t_{CLK} .
5:4	CRC_EN(1:0)	R/W	00b	Enable CRC check during register write/read and conversion data read 0: No CRC 1: Register read/write using byte XOR checksum 2: CRC checksum enabled ($X^8 + X^2 + X^1 + 1$) 3: CRC checksum enabled ($X^4 + X^1 + 1$)
3	CHKSUM	R/W	0b	Checksum. When CRC_EN is 2 or 3, only 24-bit conversion data are used for calculation. 0: Disabled (default) 1: Conversion data checksum byte included in readback
2	START	R/W	0b	Writing 1 to this bit triggers start conversion. 0: No effect 1: Writing 1 starts a new conversion.
1:0	RNG_EN(1:0)	R/W	00b	ADC out of range detection (enable MOD_STAT(7) and INT2) 0: No effect 1: Set RNG_ERR when input reaches VREF. 2: Set RNG_ERR when input reaches VREF / 2. 3: Set RNG_ERR when input reaches VREF $\times$ 2.

9.17 CFG5 (ADDRESS 10H)

Reset value = 00h. Return to the [SUMMARY TABLE](#).

Table 49. CFG5 Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	TEMP_EN	R/W	0b	Temperature sensor enable 0: Disable 1: Enable
6	0	R	0b	
5:4	ALLCOM	R/W	0b	Power switch configuration (set ALLCOM to VCMBUF) 00: Set the ALLCOM pin to float for external drive. 01: Set the ALLCOM pin as input and connect the ALLCOM pin to AVSS internally for single-end measurement. 10: Set the ALLCOM pin as output to drive both internal and external circuits. Voltage is (AVDD + AVSS) / 2.- 11: Do not use. In power-down mode, it is automatically set to 00b.
3:0	Reserved	R/W	0b	Reserved. Must write 0b.-

9.18 CFG6 (ADDRESS 11H)

Reset value = 00h. Return to the [SUMMARY TABLE](#).

Table 50. CFG6 Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:5	0	R/W	0b	Reserved. Must write 0b.
4	REF_BUF	R/W	0b	0: Disable 1: Enable
3:0	0	R/W	0b	Reserved. Must write 0b.

9.19 MOD_STAT (ADDRESS 12H)

Reset value = 00h. Return to the [SUMMARY TABLE](#).

Table 51. MOD_STAT Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	RNG_ERR	R	0b	Overrange or underrange has occurred. 0: No error happens. 1: Voltage is out of range.
6	CRC_ERR	R	0b	It sets when the CRC value accompanying a write operation does not correspond with the information sent. It is reset after being read. 0: No error happens. 1: CRC error happens.
5	0	R	0b	Reserved. Must write 0b.
4	CLK_FAULT	R	0b	Clock fault happens. It resets when there is no clock monitor or clock source is back to normal. 0: No fault happens. 1: Selected CLKIN/XTAL clock fault occurs, and the clock source switches to internal OSC.
3	REG_MDF	R/W	0b	Indicates that registers have been modified by command/reset (SCLK pattern/RESET command) if REG_CHK = 1. 0: No register modification 1: Registers have been modified. Write 0 to clear the modification.
2	SHORTH	R	0b	D0-D3/DRDY/DOUT pin shorted to VDD 0: Not shorted 1: Shorted
1	SHORTL	R	0b	D0-D3/DRDY/DOUT pin shorted to ground 0: Not shorted 1: Shorted
0	PARITY	R	0b	Parity check of the conversion result 0: Even number of 1s in the conversion data 1: Odd number of 1s in the conversion data

9.20 DEV_STAT (ADDRESS 13H)

Reset value = 04h. Return to the [SUMMARY TABLE](#).

Table 52. DEV_STAT Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7	RES_MISS	R	0b	Conversion result overwritten 0: Normal 1: Conversion result is overwritten.
6	EF_UERR	R	0b	eFuse uncorrectable error happens. 0: No error happens. 1: Error happens. The error will be sent to D0 if CLK(1:0) = 1.
5	EF_CERR	R	0b	eFuse correctable error happens. 0: No error happens. 1: Error happens.
4:3	RESET(1:0)	R	0b	What reset happened last time. 0: Power-on/pin reset happens. 1: RESET command happens. 2: SCLK pattern reset happen. 3: Reserved
2	BUSY	R	1b	Device busy 0: ADC is ready for next conversion, waiting for start. 1: ADC is busy, and not ready for the next new conversion.
1	0	R	0b	Reserved
0	SPILOCK	R	0b	Register lock status Lock the interface with the LOCK command so that only the NOP, UNLOCK, and RREG commands are valid. 0: No effect 1: Only the NOP, UNLOCK, and RREG commands are valid.

9.21 CMD_STAT (ADDRESS 14H)

Reset value = 04h. Return to the [SUMMARY TABLE](#).

Table 53. CMD_STAT Register Description

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:4	0	R	0000b	Reserved
3:0	CMDSTAT(3:0)	R	0000b	Last command recorded, cleared after read 0: No command 1: SELFCAL 2: SELFOCAL 3: SELFGCAL 4: SYSOCAL 5: SYSGCAL 6: SYNC 7: WREG 8: RREG (for other address) 9-15: Reserved

10. 命令定义

Table 54 中汇总的命令控制 ADX515/6/7 的操作。除了需要第二个命令字节和数据的寄存器读取和写入(RREG、WREG) 之外，所有命令都是独立的。在第一个命令字节之后，可以无延迟地移入额外的命令和数据字节。STATUS 寄存器中的 ORDER 位设置输出数据中位的顺序。CS在整个命令序列中必须保持低电平。

Table 54. Command Definitions

COMMAND	DESCRIPTION	1ST COMMAND BYTE			2ND COMMAND BYTE
WAKEUP/NOP	Completes SYNC and Exits Standby Mode, and clock out data	0000	0000	(00h)	
RDATA	Read Data	0000	0001	(01h)	
RDATA C	Read Data Continuously	0000	0011	(03h)	
SDATA C	Stop Read Data Continuously	0000	1111	(0Fh)	
RREG	Read from REG rrrr	0001	rrrr	(1xh)	0000 nnnn
WREG	Write to REG rrrr	0101	rrrr	(5xh)	0000 nnnn
SELF CAL	Offset and Gain Self-Calibration	1111	0000	(F0h)	
SELF OCAL	Offset Self-Calibration	1111	0001	(F1h)	
SELF GCAL	Gain Self-Calibration	1111	0010	(F2h)	
SYS OCAL	System Offset Calibration	1111	0011	(F3h)	
SYS GCAL	System Gain Calibration	1111	0100	(F4h)	
SYNC	Synchronize the A/D Conversion	1111	1100	(FCh)	
STANDBY	Begin Standby Mode	1111	1101	(FDh)	
RESET	Reset to Power-Up Values	1111	1110	(FEh)	
WAKEUP/NOP	Completes SYNC and Exits Standby Mode, and clock out data	1111	1111	(FFh)	
RREG1	Read from REG r rrrr	100r	rrrr	(8xh,9xh)	000n nnnn
WREG1	Write to REG r rrrr	011r	rrrr	(6xh,7xh)	000n nnnn
LOCK	Lock to prevent registers write and commands (except NOP/RREG/RREG1/UNLOCK)	1110	0010	(E2h)	
UNLOCK	Unlock the LOCK command	1110	0101	(E5h)	

注 1: n = 要读/写的寄存器数-1。例如，要读/写三个寄存器，设置 nnnn = 2 (0010)。

注 2: r = 读/写命令的起始寄存器地址。

10.1 RDATA: 读取数据

在 $\overline{\text{DRDY}}$ 变低后发出此命令以读取单个转换结果。在 DOUT 上移出所有 24 位后， $\overline{\text{DRDY}}$ 变高。没有必要读回所有 24 位，但 $\overline{\text{DRDY}}$ 将不会返回高电平，直到新数据被更新。有关 RDATA 命令结束与 DOUT 上数据移位开始之间所需延迟的信息，请参见 **TIMING CHARACTERISTICS**: t_6 。

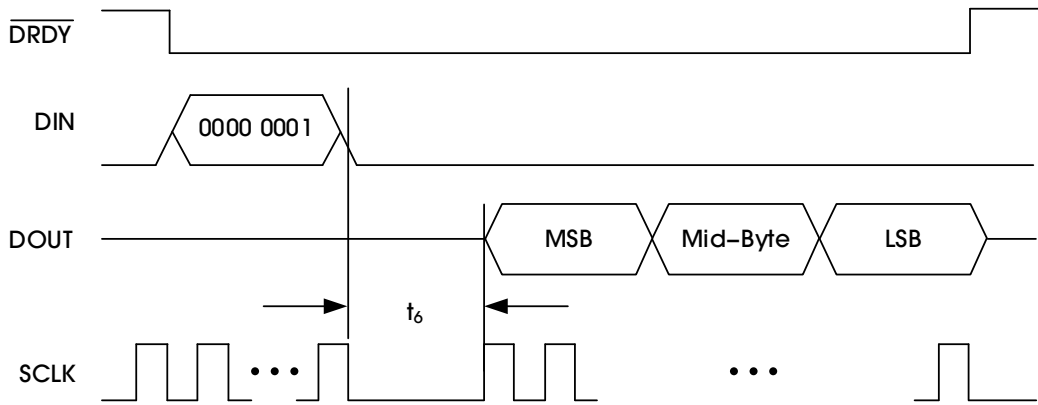


Figure 64. RDATA Command Sequence

10.2 RDATA: 连续读取数据

在 $\overline{\text{DRDY}}$ 变为低电平后发出命令以进入读取数据连续模式。这种模式可以在每个 $\overline{\text{DRDY}}$ 上连续输出新数据，而无需发出后续读取命令。读取完所有 24 位后， $\overline{\text{DRDY}}$ 变高。没有必要读回所有 24 位，但 $\overline{\text{DRDY}}$ 将不会返回高电平，直到新数据被更新。该模式可以通过停止连续读取数据命令(SDATAC)终止。由于 DIN 在 SDATAC 或 RESET 命令的连续读取数据模式期间不断受到监控，因此如果 DIN 和 DOUT 连接在一起，请勿使用此模式。有关 RDATA 命令结束与 DOUT 上数据移位开始之间所需延迟的信息，请参见 **TIMING CHARACTERISTICS**: t_6 。

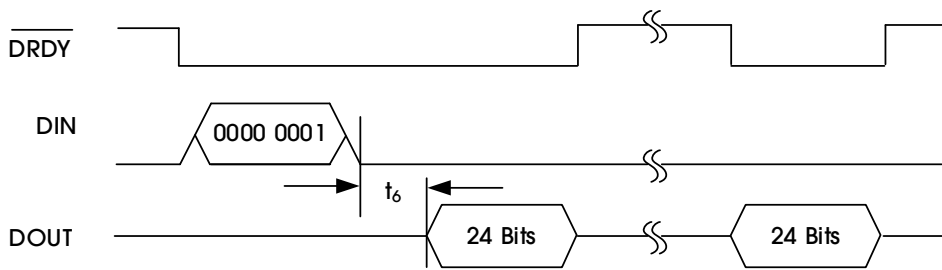


Figure 65. RDATA Command Sequence

在接下来的 $\overline{\text{DRDY}}$ 中，通过应用 SCLK 移出数据。如果 input_data 等于 DIN 上三个字节中的任何一个中的 SDATAC 或 RESET 命令，则读取数据连续模式终止。

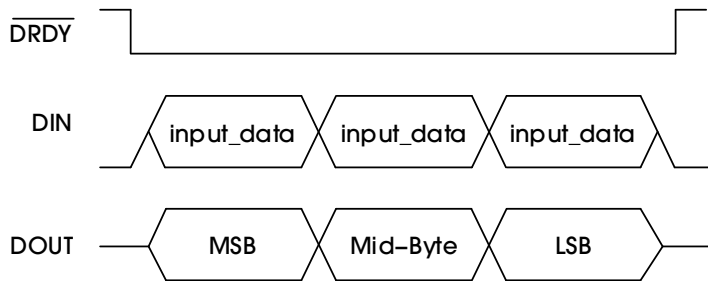


Figure 66. DIN and DOUT Command Sequence During Read Continuous Mode

10.3 SDATAC: 停止连续读取数据

结束连续数据输出模式（参见 RDATAAC）。命令必须在 $\overline{\text{DRDY}}$ 变低后发出，并在 $\overline{\text{DRDY}}$ 变高之前完成。

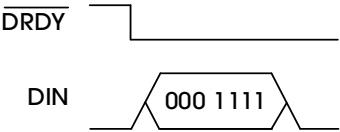


Figure 67. SDATAC Command Sequence

10.4 RREG: 读取寄存器

从作为命令的一部分指定的寄存器地址开始，从最多 11 个寄存器输出数据。读取的寄存器数将为命令的第二个字节加一。如果计数超过剩余的寄存器，地址将返回到开头。

1. 第一个命令字节：0001rrrr，其中 rrrr 是要读取的第一个寄存器的地址。
2. 第二个命令字节：0000nnnn，其中 nnnn 是要读取的字节数 - 1，请参阅 [TIMING CHARACTERISTICS](#)，了解 RREG 命令结束与 DOUT 上开始移位数据之间所需的延迟： t_6 。

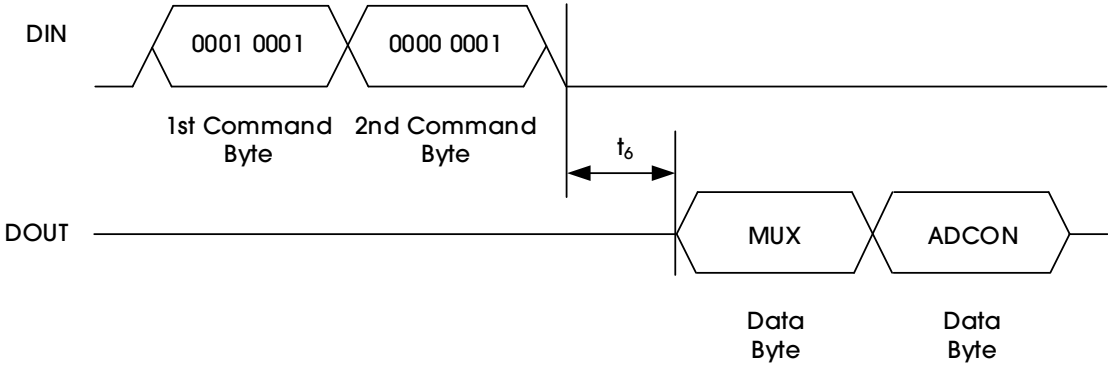


Figure 68. RREG Command Example: Read Two Registers Starting from Register 01h (Multiplexer)

10.5 WREG: 写入寄存器

从指定为命令一部分的寄存器开始写入寄存器。将被写入的寄存器数量是命令中第二个字节的值加一。

1. 第一个命令字节：0101rrrr，其中 rrrr 是要写入的第一个寄存器的地址。
2. 第二个命令字节：0000nnnn，其中 nnnn 是要写入的字节数 - 1。

数据字节：要写入寄存器的数据。

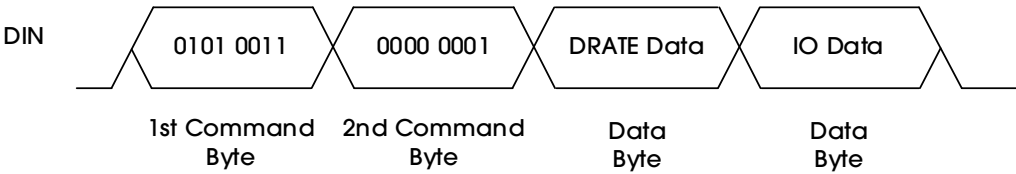


Figure 69. WREG Command Example: Write Two Registers Starting from 03h (DRATE)

10.6 SELFCL: 自偏移和增益校准

执行自偏移和自增益校准。偏移校准寄存器(OFC)和满量程校准寄存器(FSC)在此操作后更新。 $\overline{\text{DRDY}}$ 在校准开始时变高。它在校准完成和稳定数据准备就绪后变低。发出此命令后不要发送其他命令，直到 $\overline{\text{DRDY}}$ 变低表明校准已完成。

10.7 SELFOCAL 自: 自偏移校准

执行自偏移校准。偏移校准寄存器(OFC)在此操作后更新。 $\overline{\text{DRDY}}$ 在校准开始时变高。它在校准完成和稳定数据准备就绪后变低。发出此命令后不要发送其他命令，直到 $\overline{\text{DRDY}}$ 变低表明校准已完成。

10.8 SELFGCAL: 自我增益校准

执行自增益校准。在此操作后，满刻度校准寄存器(FSC)会更新为新值。 $\overline{\text{DRDY}}$ 在校准开始时变高。它在校准完成和稳定数据准备就绪后变低。发出此命令后不要发送其他命令，直到 $\overline{\text{DRDY}}$ 变低表明校准已完成。

10.9 SYSOCAL: 系统失调校准

执行系统偏移校准。偏移校准寄存器(OFC)在此操作后更新。 $\overline{\text{DRDY}}$ 在校准开始时变高。它在校准完成和稳定数据准备就绪后变低。发出此命令后不要发送其他命令，直到 $\overline{\text{DRDY}}$ 变低表明校准已完成。

10.10 SYSGCAL: 系统增益校准

执行系统增益校准。满量程校准寄存器(FSC)在此操作后更新。 $\overline{\text{DRDY}}$ 在校准开始时变高。它在校准完成和稳定数据准备就绪后变低。发出此命令后不要发送其他命令，直到 $\overline{\text{DRDY}}$ 变低表明校准已完成。

10.11 SYNC: 同步 A/D 转换

此命令同步 A/D 转换。要使用，请先切换命令。然后移入 WAKEUP 命令。同步发生在第一个 SCLK 用于移入 WAKEUP 命令后的第一个 CLKIN 上升沿。

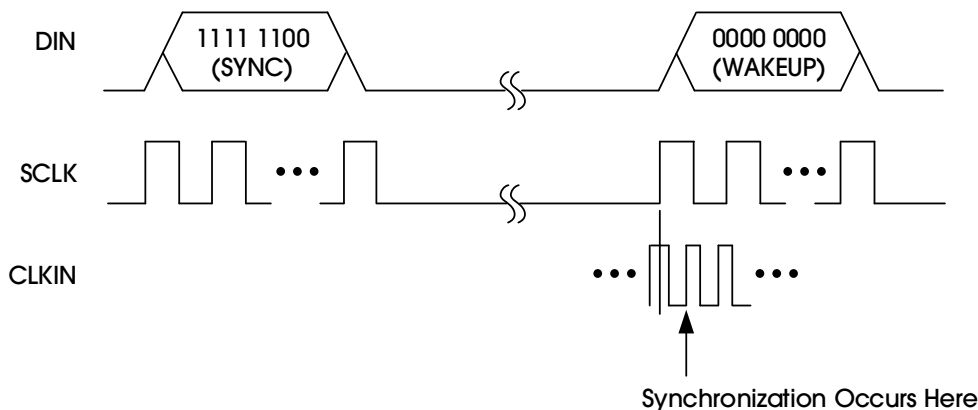


Figure 70. SYNC Command Sequence

10.12 待机：待机模式/单拍模式

此命令将 ADX515/6/7 置于低功耗待机模式。发出 **STANDBY** 命令后，确保在 $\overline{CS}$ 为低电平时 **SCLK** 上不再有活动，因为这会中断待机模式。如果 $\overline{CS}$ 为高电平，则在待机模式下允许 **SCLK** 活动。要退出待机模式，请发出 **WAKEUP** 命令。该命令也可用于执行单次转换(参见 **ONE-SHOT MODE** 部分)。

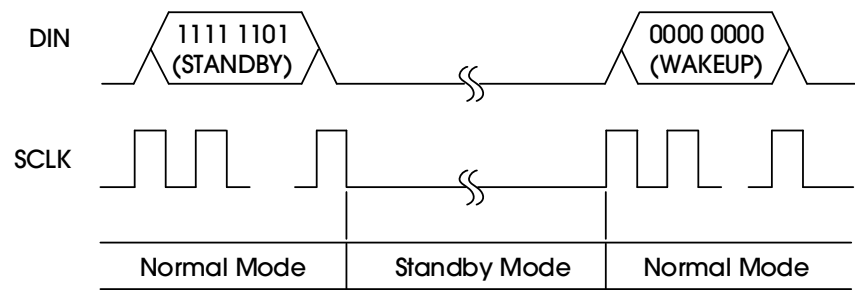


Figure 71. STANDBY Command Sequence

10.13 唤醒：完成同步或退出待机模式

与 **SYNC** 和 **STANDBY** 命令结合使用。此命令有两个值(全零或全一)。

10.14 复位：将寄存器复位为默认值

将 **ADCON** 寄存器中除 **CLK0** 和 **CLK1** 位以外的所有寄存器恢复为默认值。此命令还将停止连续读取模式：在这种情况下，在 $\overline{DRDY}$ 变低后发出 **RESET** 命令。

11. 应用与实现

注

以下应用部分中的信息不是公司组件规范的一部分，公司不保证其准确性或完整性。公司的客户有责任确定组件是否适合他们的用途。客户应验证和测试他们的设计实施以确认系统功能。

11.1 应用注意事项

- 当 IOSC 可用且 CLKMON = 1 时，芯片仍然可以在没有外部时钟的情况下工作。当使用低速外部时钟(< 260kHz)或低功耗待机模式时，必须先将 CLKMON 清零。
- SCLK 周期可以是 CLKIN 的 2.5 个周期，但它是设计（而非测试）保证的。在 RDATA 状态期间，如果仅向 DIN 发送 NOP 命令，SCLK 可以更快(< 20MHz)。
- 如果 EF_UERR = 1 且 CLK = 1，则 CLKOUT 引脚将输出高电平。

11.2 应用信息

ADX515/6/7 是非常高分辨率的 A/D 转换器。需要特别注意它们的相关电路设计及印刷电路板(PCB)布局以获得最佳的性能表现。Figure 72 展示了 ADX515 的基本电路设计。建议为模拟和数字电源使用单一接地层，这一接地层同时应用于旁路电容及模拟信号调理电路。应避免将此地平面对用于嘈杂的数字器件，例如单片机。如果为 ADX515/6/7 设计了独立的地平面，务必确认模拟接地层和数字接地层连接到了一起。ADX515/6/7 的模拟地管脚和数字地管脚间不应存在电位差。

与设计其他的精密电路类似，本应用也需要使用良好的旁路电容技术。容值较小的陶瓷电容器与容值较大的钽电容器并联，或者使用容值较大但耐压稍低的陶瓷电容器都会有好的效果。电容应尽量靠近电源引脚放置，尤其是陶瓷电容。尽量使用低压数字逻辑，这有助于限制耦合到模拟输入的干扰信号。注意避免数字输入口上的振铃现象。在数字输入口上串联小电阻($\approx 100\Omega$)有助于控制走线阻抗。当不使用 RESET 或 SYNC/PWDN 输入时，可以将它们直接连接到 ADX515/6/7 的 DVDD 引脚。

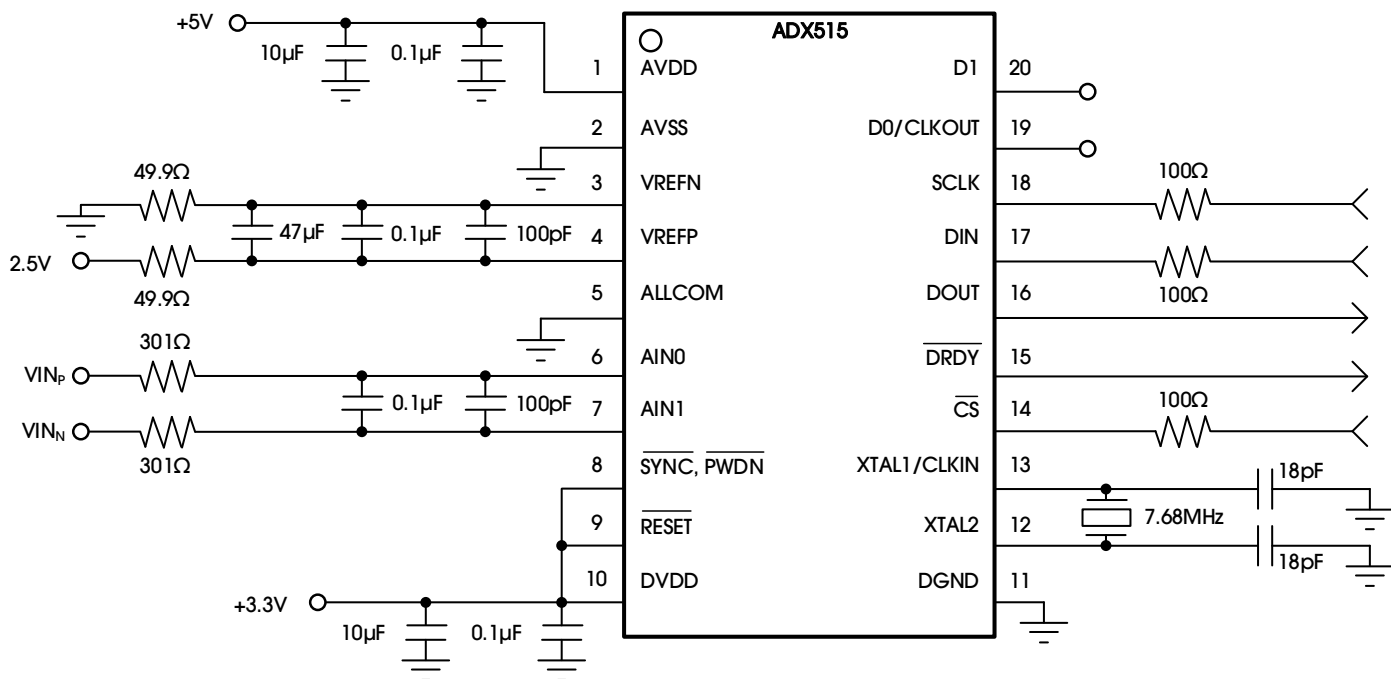


Figure 72. ADX515 Basic Connections

参考和模拟输入时最关键的电路所在，需要特别关注这些管脚的输入信号。对于电压基准输入管脚，需要使用低等效串联阻抗(ESR)的电容进行旁路。尽可能选择大的容值以最大化基准信号上的滤波效果。基于 ADX515/6/7 的优异性能，若基准信号的滤波配置选择不当，很容易会对总体的性能表现造成限制。当使用独立基准源时，需要确保它是低噪声、低漂移且有足够的驱动能力以驱动 ADX515/6/7 的基准参考输入端。对于不适合直接驱动 ADX515/6/7 的电压基准源(例如高输出阻抗的基准源或是电阻分压器)，请使用 Figure 73 中推荐的缓冲器电路。在比例测量中，输入信号和参考基准会互相跟踪，相对没有那么敏感，但是还是需要保证基准信号是干净的。

通常情况下，输入端只需要简单的 RC 滤波器(如 Figure 72 所示)。该电路会限制靠近调制频率的高频噪声；请参考 [FREQUENCY RESPONSE](#) 章节。避免使用低等级电介质的电容器，以最小化温度影响和泄露。尽可能使用短的走线并将器件靠近输入管脚放置。使用 ADX516 时，应确保所有输入管脚都进行了滤波。

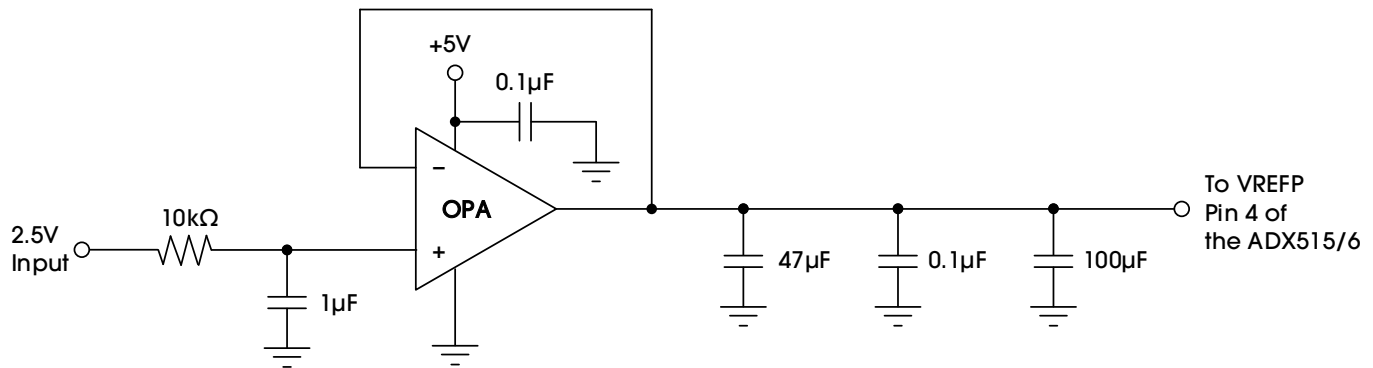


Figure 73. Recommended Voltage Reference Buffer Circuit

12. PACKAGE INFORMATION

The ADX515 is available in the SSOP-20 package. The ADX516 is available in the SSOP-28 package. The ADX517 is available in the QFN-20 (pitch 0.65) package.

12.1 SSOP-20 PACKAGE

Figure 74 shows the SSOP-20 package view.

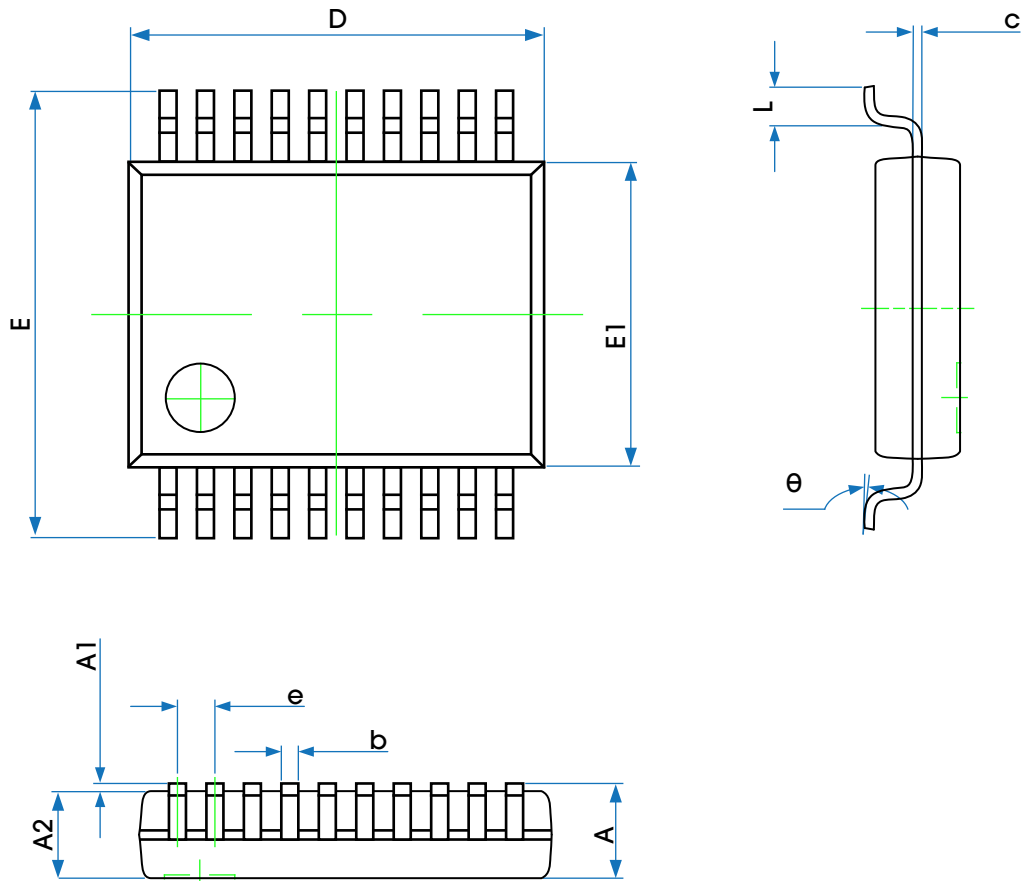


Figure 74. SSOP-20 Package View

Table 55 provides detailed information about the dimensions of the SSOP-20 package.

Table 55. Dimensions of the SSOP-20 Package

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	—	1.730	—	0.068
A1	0.050	0.230	0.002	0.009
A2	1.400	1.600	0.055	0.063
b	0.220	0.380	0.009	0.015
c	0.090	0.250	0.004	0.010
D	7.000	7.400	0.276	0.291
E	7.600	8.000	0.299	0.315
E1	5.100	5.500	0.201	0.217
e	0.65 (BSC)		0.026 (BSC)	
L	0.550	0.950	0.022	0.037
θ	0°	8°	0°	8°

12.2 SSOP-28 PACKAGE

Figure 75 shows the SSOP-28 package view.

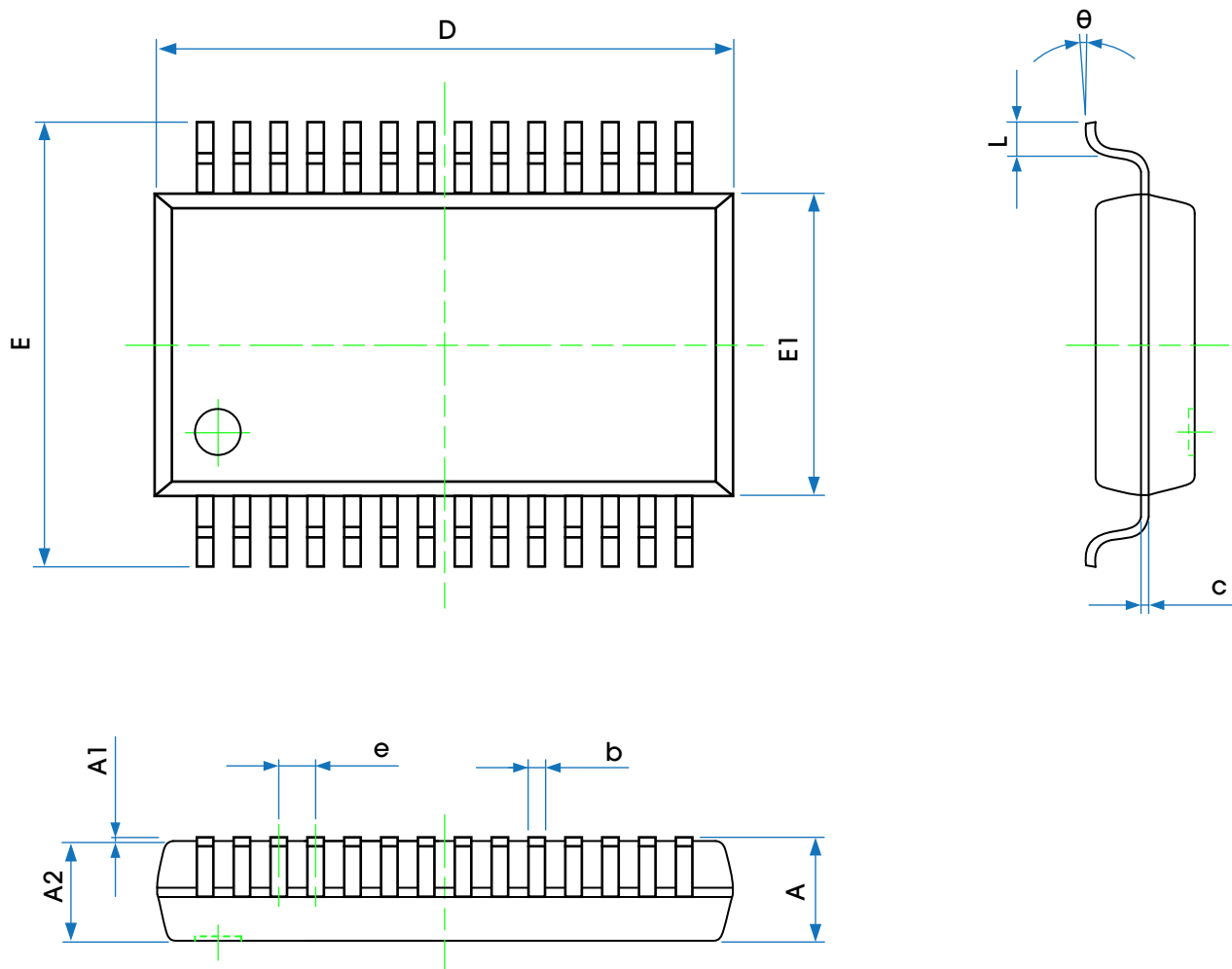


Figure 75. SSOP-28 Package View

Table 56 provides detailed information about the dimensions of the SSOP-28 package.

Table 56. Dimensions of the SSOP-28 Package

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	—	2.000	—	0.079
A1	0.050	—	0.002	—
A2	1.650	1.850	0.065	0.073
b	0.220	0.380	0.009	0.015
c	0.090	0.250	0.004	0.010
D	9.900	10.500	0.390	0.413
E	7.400	8.200	0.291	0.323
E1	5.000	5.600	0.197	0.220
e	0.650 (BSC)		0.026 (BSC)	
L	0.550	0.950	0.022	0.037
θ	0°	8°	0°	8°

12.3 QFN-20 PACKAGE (PITCH 0.65)

Figure 76 shows the QFN-20 package view (pitch 0.65).

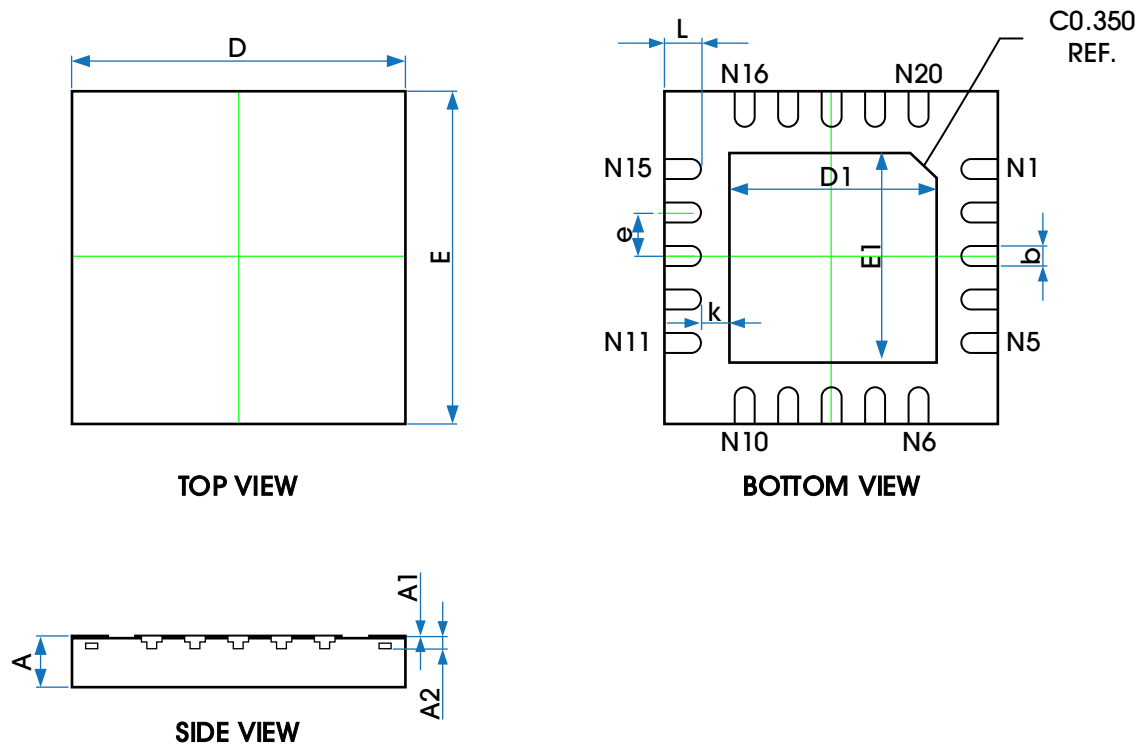


Figure 76. QFN-20 Package View (Pitch 0.65)

Table 57 provides detailed information about the dimensions of the QFN-20 package (pitch 0.65).

Table 57. Dimensions of the QFN-20 Package (Pitch 0.65)

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A2	0.203 REF		0.008 REF	
b	0.250	0.350	0.010	0.014
D	4.900	5.100	0.193	0.201
D1	3.000	3.200	0.118	0.126
E	4.900	5.100	0.193	0.201
E1	3.000	3.200	0.118	0.126
e	0.650 BSC		0.016 BSC	
k	0.400 REF		0.016 REF	
L	0.450	0.650	0.018	0.026

13.1 SSOP-20 PACKAGE

Figure 77 illustrates the carrier tape.

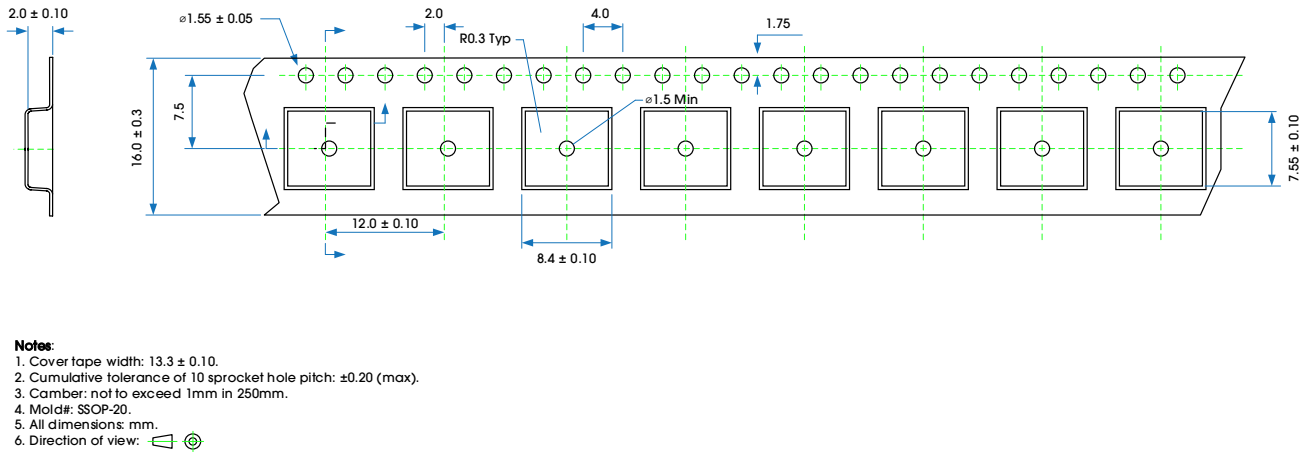


Figure 77. Carrier Tape Drawing

Table 58 provides information about tape and reel.

Table 58. Tape and Reel Information

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (mm)	CARTON SIZE (mm)
SSOP-20	13''	1500	1	8	12000	336*336*448	420*355*365

Figure 78 shows the product loading orientation—pin 1 is assigned at Q1.

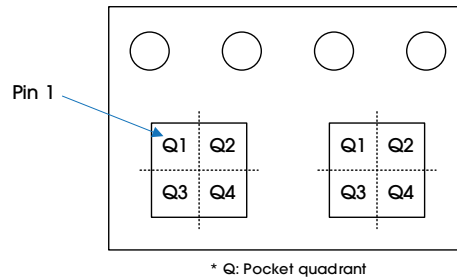
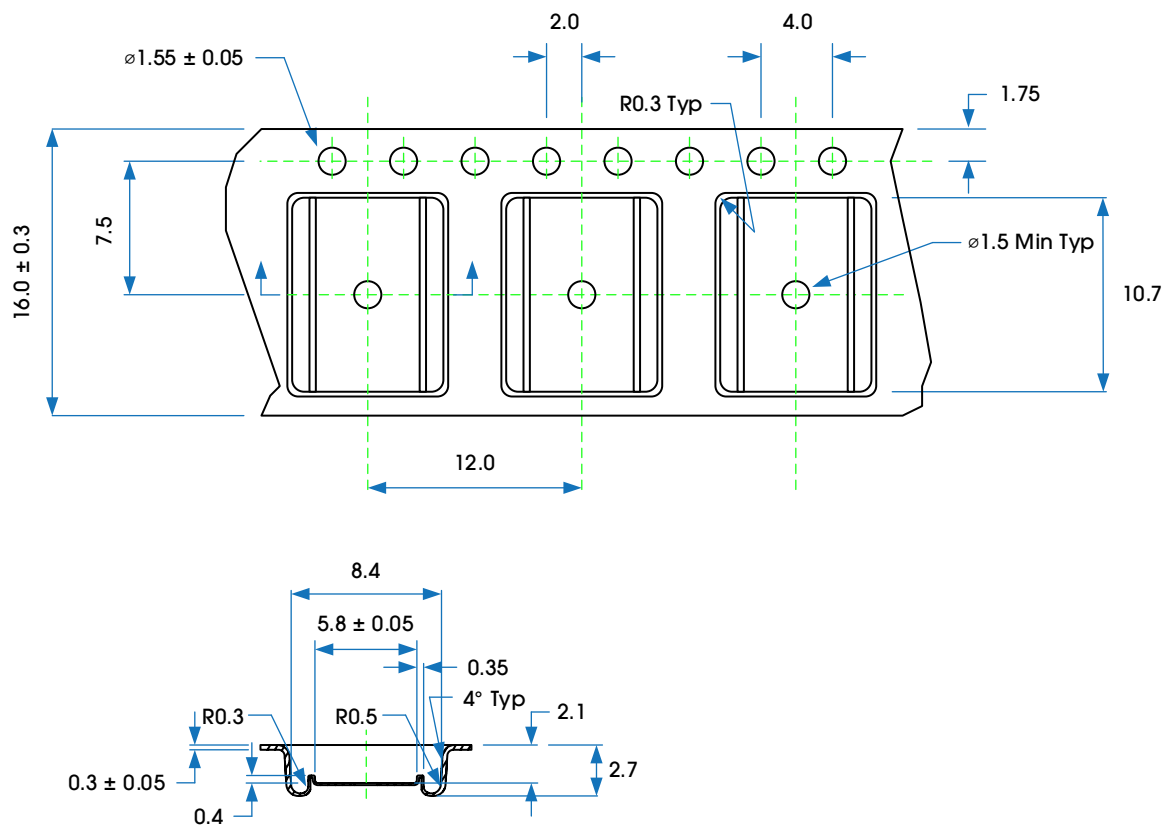


Figure 78. Product Loading Orientation

13.2 SSOP-28 PACKAGE

Figure 79 illustrates the carrier tape.



- Notes:
- 1. Cover tape width: 13.3 ± 0.10.
 - 2. Cumulative tolerance of 10 sprocket hole pitch: ±0.20 (max).
 - 3. Camber: not to exceed 1mm in 250mm.
 - 4. Mold#: SSOP-28.
 - 5. All dimensions: mm.
 - 6. Direction of view:

Figure 79. Carrier Tape Drawing

Table 59 provides information about tape and reel.

Table 59. Tape and Reel Information

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (mm)	CARTON SIZE (mm)
SSOP-28	13"	1500	1	8	12000	336*336*448	420*355*365

Figure 80 shows the product loading orientation—pin 1 is assigned at Q1.

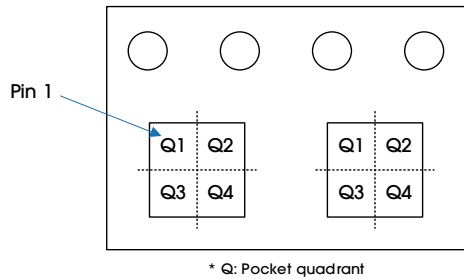


Figure 80. Product Loading Orientation

13.3 QFN-20 PACKAGE (PITCH 0.65)

Figure 81 illustrates the carrier tape.

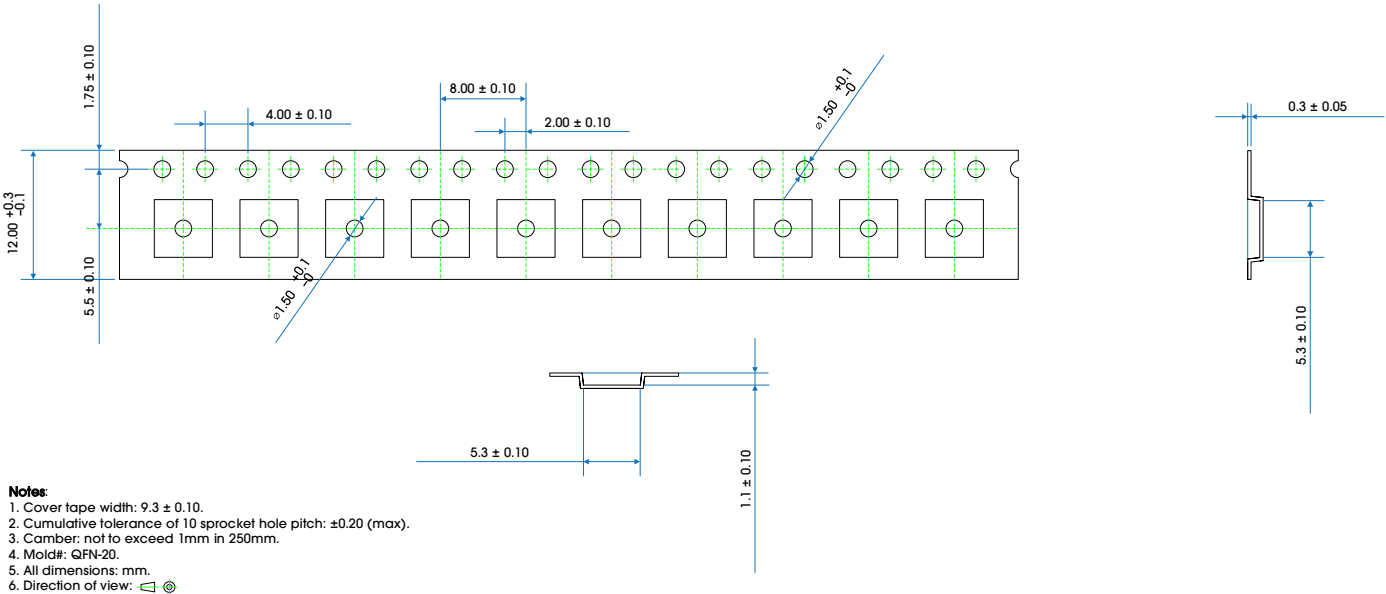


Figure 81. Carrier Tape Drawing

Table 60 provides information about tape and reel.

Table 60. Tape and Reel Information

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (mm)	CARTON SIZE (mm)
QFN-20	13"	4000	1	8	32000	336*336*448	420*355*365

Figure 82 shows the product loading orientation—pin 1 is assigned at Q2.

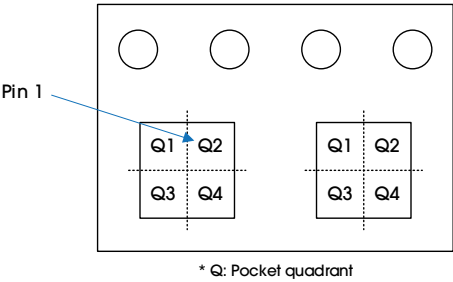


Figure 82. Product Loading Orientation

REVISION HISTORY

REVISION	DATE	DESCRIPTION
Rev A	23 November 2023	Rev A release.
Rev B	21 August 2024	Updated the order information, Table 9, Section 7.1, Sectiion 8.2, and Section 8.6.