

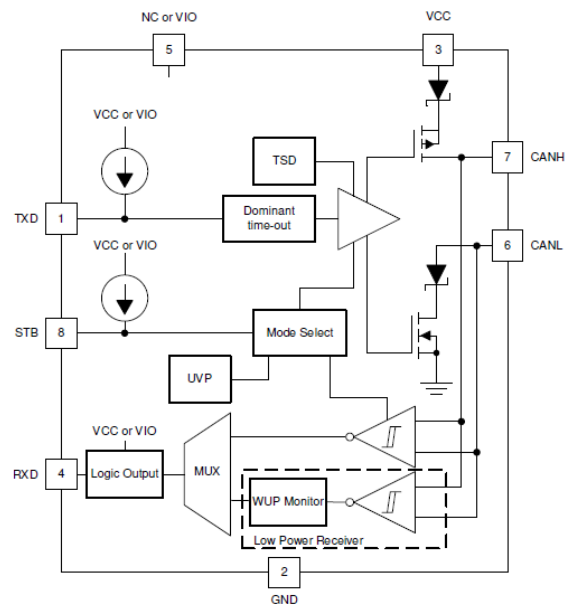
1. 特性

- ESD 防护等级
 - CANH/CANL HBM 等级: $\pm 16\text{kV}$
 - CDM 分级等级: $\pm 1500\text{V}$
- 符合 ISO 11898-2:2016 和 ISO 11898-5:2007 物理层标准
- EMC 性能: 支持 SAE J2962-2 和 IEC 62228-3 (最高 500kbps) 无需共模扼流圈
- I/O 电压范围支持 3.3V 和 5V MCU
- 支持 Standby
- 支持 VIO (CL1042VQ)
- 未供电时具有理想无源行为
 - 总线和逻辑引脚处于高阻态(无负载)
 - 在总线和 RXD 输出上实现上电/断电无干扰运行
- 保护特性
 - IEC ESD 保护高达 $\pm 15\text{kV}$
 - 总线故障保护: $\pm 58\text{V}$
 - V_{CC} 和 V_{IO} (CL1042VQ) 电源源终端具有欠压保护
 - 驱动器显性超时(TXD DTO)—数据速率低至 10kbps
 - 热关断保护(TSD)
- 接收器共模输入电压: $\pm 30\text{V}$
- 典型循环延迟: 110ns
- 结温范围为 -55°C 至 150°C
- 封装: 采用 SOIC-8 封装

3. 说明

CL1042V/CL1042G CAN 收发器系列符合 ISO 1189-2 (2016) 高速 CAN (控制器局域网) 物理层标准。所有器件均设计用于数据速率高达 5Mbps (兆位每秒) 的 CAN FD 网络。CL1042V/CL1042G 器件配有提供 I/O 电平的辅助电源输入, 用于设置输入引脚阈值和 RXD 输出电平。该系列器件具有 standby 待机模式。此外, 所有器件都提供多种保护特性来提高器件和网络的耐用性。

有关订购信息, 请参见 Table 1。



2. 应用

- 电信基站
- 两轮车
- 储能

Table 1 lists the order information.

Table 1. Order Information

ORDER NUMBER	PACKAGE	MARK	VIO (V)	Vcc (V)	Bus Fault Voltage(V)	I _{STB} (typ) (mA)	OP. TEMP (°C)	RATING	PKG. OPTION
CL1042VASOIC8	CL1042V		2.8V-5.5V	5V	±58	0.5	−40-125	Industrial	TBD
CL1042GASOIC8	CL1042G		NC	5V	±58	0.5	−40-125	Industrial	TBD

Devices can be ordered via the following two ways:

1. Place orders directly on our website (www.analogyssemi.com), or;
2. Contact our sales team by mailing to sales@analogyssemi.com.

Note:

TBD

4. PIN CONFIGURATION AND FUNCTIONS

Figure 1 illustrates the pin configuration.

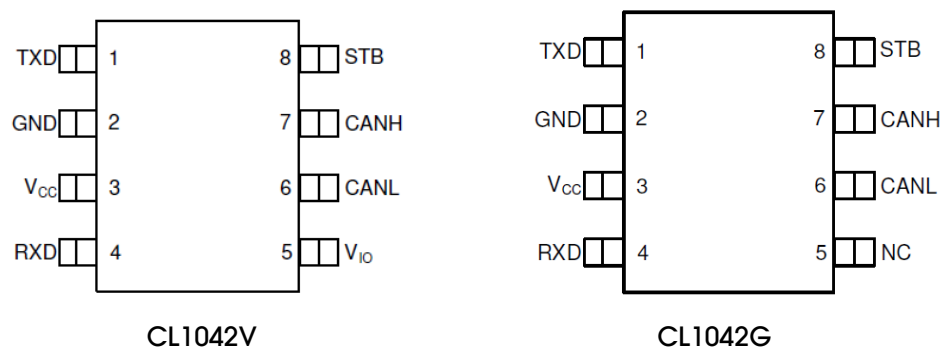


Figure 1. Pin Configuration

Table 2 lists the pin functions.

Table 2. Pin Functions

NAME	TYPE	DESCRIPTION	
1	TXD	Digital Input	CAN transmit data input (LOW for dominant and HIGH for recessive bus states)
2	GND ⁽¹⁾	GND	Ground connection
3	V _{CC}	Power	Transceiver 5V supply voltage
4	RXD	Digital Output	CAN receive data output (LOW for dominant and HIGH for recessive bus states)
5	V _{IO}	Power	Support 2.7V to 5.5V VIO. Only for CL1042VQ
5	NC	-	NC for CL1042GQ
6	CANL	Bus I/O	Low-level CAN bus input/output line
7	CANH	Bus I/O	High-level CAN bus input/output line
8	STB	Digital Input	Standby Mode control input (active high)
—	V _{IO}	Power	Transceiver I/O level shifting supply voltage

5. SPECIFICATIONS

5.1 ABSOLUTE MAXIMUM RATINGS

Table 3 lists the absolute maximum ratings of the CL1042V/CL1042G.

Table 3. Absolute maximum Ratings

PARAMETER	DESCRIPTION		MIN	MAX	UNITS
Voltage	5V bus supply voltage range, V _{CC}	All devices	−0.3	6	V
	I/O level-shifting voltage range, V _{IO}	Devices with the "V" suffix	−0.3	6	V
	CAN bus I/O voltage range (CANH, CANL), V _{BUS}		−58	58	V
	Max differential voltage between CANH and CANL, V _(Diff)		−58	58	V
	Logic input terminal voltage range (TXD, S), V _(Logic_Input)	All devices	−0.3	6	V
	Logic output terminal voltage range (RXD), V _(Logic_Output)		−0.3	+7 and V _I ≤ V _{IO} + 0.3	V
Current	RXD (receiver) output, I _{O(RXD)}		−8	8	mA
Temperature	Junction, T _J		−55	150	°C
	Storage, T _{stg}		−65	150	°C

Note: Stresses beyond those listed under Table 3 may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Table 5. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD RATINGS

Table 4 lists the ESD ratings of the CL1042V/CL1042G.

Table 4. ESD Ratings

PARAMETER	SYMBOL	DESCRIPTION	VALUE	UNITS
Electrostatic Discharge		Human-body model (HBM) CANH/CANL, per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±16000	V
		Human-body model (HBM) Other PINs, per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±8000	
		Charged-device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽¹⁾	±1500	

Note 1: The JEDEC document JEP155 indicates that 500V HBM allows safe manufacturing with a standard ESD control process.

Note 2: The JEDEC document JEP157 indicates that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 RECOMMENDED OPERATING CONDITIONS

Table 5 lists the recommended operating conditions for the CL1042V/CL1042G.

Table 5. Recommended Operating Conditions

PARAMETER	SYMBOL	MIN	NOM	MAX	UNITS
5V Bus Supply Voltage Range	V _{CC}	4.5		5.5	V
I/O Level-Shifting Voltage Range	V _{IO}	2.8		5.5	V
RXD Terminal HIGH Level Output Current	I _{OH} (RXD)	-2			mA
RXD Terminal LOW Level Output Current	I _{OL} (RXD)			2	mA

5.4 THERMAL INFORMATION

Table 6 lists the thermal information for the CL1042V/CL1042G.

Table 6. Thermal Information

PARAMETER	SYMBOL	TBD	UNITS
Junction-to-Ambient Thermal Resistance	R _{θJA}	TBD	°C/W
Junction-to-Board Thermal Resistance	R _{θJB}	TBD	°C/W
Junction-to-Top Characterization Parameter	ψ _{JT}	TBD	°C/W
Junction-to-Board Characterization Parameter	ψ _{JB}	TBD	°C/W
Junction-to-Case (Top) Thermal Resistance	R _{θJC(top)}	TBD	°C/W
Junction-to-Case (Bottom) Thermal Resistance	R _{θJC(bot)}	—	°C/W

5.5 ELECTRICAL CHARACTERISTICS

Table 7 lists the electrical characteristics of the CL1042V/CL1042G. $T_A = -40^{\circ}\text{C}$ to 125°C , $V_{CC} = 4.5\text{V}$ to 5.5V , $V_{IO} = 2.8\text{V}$ to 5.5V , $R_L = 60\Omega$, unless otherwise noted.

Table 7. Electrical Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY CHARACTERISTICS						
5V Supply Current	I_{CC}	Normal mode (dominant), TXD = 0V, $R_L = 60\Omega$, C_L = open, R_{CM} = open, S = 0V, typical bus load		37		mA
		Normal mode (dominant), TXD = 0V, $R_L = 50\Omega$, C_L = open, R_{CM} = open, S = 0V, high bus load		38		mA
		Normal mode (dominant – with bus fault), TXD = 0V, S = 0V, CANH = –12V, R_L = open, C_L = open, R_{CM} = open		43		mA
		Normal mode (recessive), TXD = V_{CC} or V_{IO} , $R_L = 50\Omega$, C_L = open, R_{CM} = open, S = 0V		1.3		mA
		STB mode, devices with the "V" suffix (I/O level-shifting), V_{CC} not needed in Standby mode, TXD = V_{IO} , $R_L = 50\Omega$, C_L = open, R_{CM} = open, S = V_{IO}		0.5		mA
I/O Supply Current	I_{IO}	Normal mode, recessive, RXD floating, TXD = STB = 0V		55		μA
		Normal mode, Dominant, RXD floating, TXD = STB = 0V		145		μA
		Standby mode: RXD floating, TXD = STB = V_{IO} , $V_{CC} = 0$ or 5.5V		10	13.5	μA
Rising Undervoltage Detection on V_{CC} for Protected Mode	UV_{VCC}	All devices		4.2	4.4	V
Falling Undervoltage Detection on V_{CC} for Protected Mode			3.5	4.0	4.25	V
Hysteresis Voltage on UV_{VCC}	$V_{HYS}(UV_{VCC})$			200		mV
Undervoltage Detection on V_{IO} for Protected Mode	UV_{VIO}	Devices with the "V" suffix (I/O level-shifting); rising under voltage detection on V_{IO} (devices with V_{IO})		2.1	2.2	V
		Devices with the "V" suffix (I/O level-shifting); falling under voltage detection on V_{IO} (devices with V_{IO})	1.7	1.8	1.95	V
Hysteresis Voltage on UV_{VIO} for Protected Mode	$V_{HYS}(UV_{VIO})$	Devices with the "V" suffix (I/O level-shifting)		258		mV
STB TERMINAL (MODE SELECT INPUT)						
High-Level Input Voltage	V_{IH}	Devices with the "V" suffix (I/O level-shifting)	$0.7 \times V_{IO}$			V

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		Devices without the "V" suffix (5V only)	2			V
Low-Level Input Voltage	V_{IL}	Devices with the "V" suffix (I/O level-shifting)			$0.3 \times V_{IO}$	V
		Devices without the "V" suffix (5V only)			0.8	V
High-Level Input Leakage Current	I_{IH}	$S = V_{CC} = V_{IO} = 5.5V$	-2		2	μA
Low-Level Input Leakage Current	I_{IL}	$S = 0V, V_{CC} = V_{IO} = 5.5V$	-15	0	-1	μA
Unpowered Leakage Current	$I_{lkg(OFF)}$	$S = 5.5V, V_{CC} = V_{IO} = 0V$	-1	0	1	μA
TXD TERMINAL (CAN TRANSMIT DATA INPUT)						
High-Level Input Voltage	V_{IH}	Devices with the "V" suffix (I/O level-shifting)	$0.7 \times V_{IO}$			V
Low-Level Input Voltage	V_{IL}	Devices with the "V" suffix (I/O level-shifting)			$0.3 \times V_{IO}$	V
High-Level Input Leakage Current	I_{IH}	$TXD = V_{CC} = V_{IO} = 5.5V$	-2.5	0	1	μA
Low-Level Input Leakage Current	I_{IL}	$TXD = 0V, V_{CC} = V_{IO} = 5.5V$	-200	-150	-60	μA
Unpowered Leakage Current	$I_{lkg(OFF)}$	$TXD = 5.5V, V_{CC} = V_{IO} = 0V$	-1	0	1	μA
Input Capacitance	C_I	$V_{IN} = 0.4 \times \sin(2 \times \pi \times 2 \times 10^6 \times t) + 2.5V$		5		pF
RXD TERMINAL (CAN RECEIVE DATA OUTPUT)						
High-Level Output Current	I_{OH}	$VRXD = V_{IO} - 0.4V$	-8	-3	-1	mA
						mA
Low-Level Output Current	I_{OL}	$VRXD = 0.4V$, bus dominant	1		12	mA
DRIVER ELECTRICAL CHARACTERISTICS						
Bus Output Voltage (Dominant), CANH	$V_{O(DOM)}$	$TXD = 0V, STB = 0V, 50\Omega \leq R_L \leq 65\Omega, C_L = \text{open}, R_{CM} = \text{open}$	2.75		4.5	V
Bus Output Voltage (Dominant), CANL			0.5		2.25	V
Bus Output Voltage (Recessive), CANH and CANL	$V_{O(REC)}$	$TXD = V_{CC} \text{ or } V_{IO}, V_{IO} = V_{CC}, S = 0V, R_L = \text{open (no load)}, R_{CM} = \text{open}$	2	$0.5 \times V_{CC}$	3	V
Differential Output Voltage (Dominant), CANH – CANL	$V_{OD(DOM)}$	$TXD = 0V, STB = 0V, 50\Omega \leq R_L < 65\Omega, C_L = \text{open}, R_{CM} = \text{open}$	1.5		3	V
		$TXD = 0V, STB = 0V, 45\Omega \leq R_L \leq 70\Omega, C_L = \text{open}, R_{CM} = \text{open}$	1.4		3	V
		$TXD = 0V, STB = 0V, R_L = 2240\Omega, C_L = \text{open}, R_{CM} = \text{open}$	1.5		5	V
Differential Output Voltage (Recessive), CANH – CANL	$V_{OD(REC)}$	$TXD = V_{CC}, STB = 0V, R_L = 60\Omega, C_L = \text{open}, R_{CM} = \text{open}$	-120		12	mV
		$TXD = V_{CC}, STB = 0V, R_L = \text{open (no load)}, C_L = \text{open}, R_{CM} = \text{open}$	-40		40	mV
Output Symmetry (Dominant or Recessive) ($V_{O(CANH)} + V_{O(CANL)} / V_{CC}$)	V_{SYM}	$STB \text{ at } 0V, R_{term} = 60\Omega, C_{split} = 4.7nF, C_L = \text{open}, R_{CM} = \text{open}, TXD = 1MHz$	0.9		1.1	V/V
DC Output Symmetry (Dominant or Recessive) ($V_{CC} - V_{O(CANH)} - V_{O(CANL)}$)	V_{SYM_DC}	$STB = 0V, R_L = 60\Omega, C_L = \text{open}, R_{CM} = \text{open}$	-0.4		0.4	V
Short-Circuit Steady-State Output Current, Dominant, Normal Mode	$I_{OS(SS_DOM)}$	$STB \text{ at } 0V, V_{CANH} = -5V \text{ to } 40V, CANL = \text{open}, TXD = 0V$	-100			mA

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		STB at 0V, $V_{CANL} = -5V$ to 40V, CANH = open, TXD = 0V			100	mA
Short-Circuit Steady-State Output Current, Recessive, Normal Mode	$I_{OS(SS_REC)}$	STB at 0V, $-27V \leq V_{BUS} \leq 32V$, where $V_{BUS} = CANH = CANL$, TXD = V_{CC}	-5		5	mA

Note: All typical values are at 25°C and supply voltages of $V_{CC} = 5V$ and $V_{IO} = 5V$ (if applicable), $R_L = 60\Omega$.

5.6 SWITCHING CHARACTERISTICS

Table 7 lists the switching characteristics of the CL1042V/CL1042G. $T_A = -40^\circ C$ to $125^\circ C$, unless otherwise specified.

Table 8. Electrical Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RECEIVER ELECTRICAL CHARACTERISTICS						
Common-Mode Range, Normal Mode	V_{CM}	STB = 0V	-30		30	V
Positive-Going Input Threshold Voltage, Normal Mode	V_{IT+}	STB = 0V, $-20V \leq V_{CM} \leq +20V$			900	mV
Negative-Going Input Threshold Voltage, Normal Mode	V_{IT-}		500			mV
Positive-Going Input Threshold Voltage, Normal Mode	V_{IT+}	STB = 0V, $-30V \leq V_{CM} \leq +30V$			1000	mV
Negative-Going Input Threshold Voltage, Normal Mode	V_{IT-}		400			mV
Hysteresis Voltage ($V_{IT+} - V_{IT-}$), Normal Mode	V_{HYS}	STB = 0V			120	mV
Common-Mode Range, Standby Mode	V_{CM}	Devices with the "V" suffix (I/O level-shifting), STB = V_{IO} , $4.5V \leq V_{IO} \leq 5.5V$	-12		12	V
		Devices with the "V" suffix (I/O level-shifting), STB = V_{IO} , $3.0V \leq V_{IO} \leq 4.5V$	-2		7	V
		Devices without the "V" suffix (5V only), STB = V_{CC}	-12		12	V
Input Threshold Voltage, Standby Mode	$V_{IT(STANDBY)}$	STB = V_{CC} or V_{IO}	400		1150	mV
Power-Off (Unpowered) Bus Input Leakage Current	$I_{LKG(IOFF)}$	CANH = CANL = 5V, $V_{CC} = V_{IO} = 0V$			4.8	μA
Input Capacitance to Ground (CANH or CANL)	C_I	TXD = V_{CC} , $V_{IO} = V_{CC}$		24	30	pF
Differential Input Capacitance (CANH to CANL)	C_{ID}	TXD = V_{CC} , $V_{IO} = V_{CC}$		12	15	pF
Differential Input Resistance	R_{ID}	TXD = $V_{CC} = V_{IO} = 5V$, S = 0V, $-30V \leq V_{CM} \leq +30V$	40		90	k Ω
Input Resistance (CANH or CANL)	R_{IN}		20		45	k Ω
Input Resistance Matching: $(1 - R_{IN(CANH)} / R_{IN(CANL)}) \times 100\%$	$R_{IN(M)}$	$V_{CANH} = V_{CANL} = 5V$	-1%		1%	k Ω
DEVICE SWITCHING CHARACTERISTICS						
Total Loop Delay, Driver Input (TXD) to Receiver Output (RXD), Recessive to Dominant	$t_{PROP(LOOP1)}$	STB = 0V, $R_L = 60\Omega$, $C_L = 100pF$, $C_{L(RXD)} = 15pF$		60	68	ns

Total Loop Delay, Driver Input (TXD) to Receiver Output (RXD), Dominant to Recessive	$t_{PROP(LOOP2)}$			62	73	ns
Mode Change Time, From Normal to STB or From STB to Normal	t_{MODE}			17	21	μs
Long Filter Time for Valid Wake-Up Pattern	t_{WK_FILTER}		0.5		1.8	μs
Short Filter Time for Valid Wake-Up Pattern	t_{WK_FILTER}		0.5		5	μs

DRIVER SWITCHING CHARACTERISTICS

Propagation Delay Time, High TXD to Driver Recessive (Dominant to Recessive)	t_{pHR}	STB = 0V, $R_L = 60\Omega$, $C_L = 100pF$, $R_{CM} = open$		80		ns
Propagation Delay Time, Low TXD to Driver Dominant (Recessive to Dominant)	t_{pLD}			70		ns
Pulse Skew ($ t_{pHR} - t_{pLD} $)	$t_{sk(p)}$			20		ns
Differential Output Signal Rise Time	t_R			30		ns
Differential Output Signal Fall Time	t_F			50		ns
Dominant Timeout	t_{TXD_DTO}	STB = 0V, $R_L = 60\Omega$, $C_L = open$	1.2		4	ms

RECEIVER SWITCHING CHARACTERISTICS

Propagation Delay Time, Bus Recessive Input to High Output (Dominant to Recessive)	t_{pRH}	STB = 0V, $C_{L(RXD)} = 15pF$		60		ns
Propagation Delay Time, Bus Dominant Input to Low Output (Recessive to Dominant)	t_{pDL}			65		ns
RXD Output Signal Rise Time	t_R			10		ns
RXD Output Signal Fall Time	t_F			10		ns

FD TIMING PARAMETERS

Bit Time on CAN Bus Output Pins with $t_{BIT(TXD)} = 500ns$, All Devices	$t_{BIT(BUS)}$	STB = 0V, $R_L = 60\Omega$, $C_L = 100pF$, $C_{L(RXD)} = 15pF$, $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$	435		530	ns
Bit Time on CAN Bus Output Pins with $t_{bit(TXD)} = 200ns$, G Device Variants Only			155		210	ns
Bit Time on RXD Output Pins with $t_{bit(TXD)} = 500ns$, All Devices	$t_{BIT(RXD)}$		400		550	ns
Bit Time on RXD Output Pins with $t_{bit(TXD)} = 200ns$, G Device Variants Only			120		220	ns
Receiver Timing Symmetry with $t_{bit(TXD)} = 500ns$, All Devices	Δt_{REC}		-65		40	ns
Receiver Timing Symmetry with $t_{bit(TXD)} = 200ns$, G Device Variants Only			-45		15	ns

NOTE: All typical values are at 25°C and supply voltages of $V_{CC} = 5V$ and $V_{IO} = 5V$ (if applicable), $R_L = 60\Omega$.

6. 参数测量信息

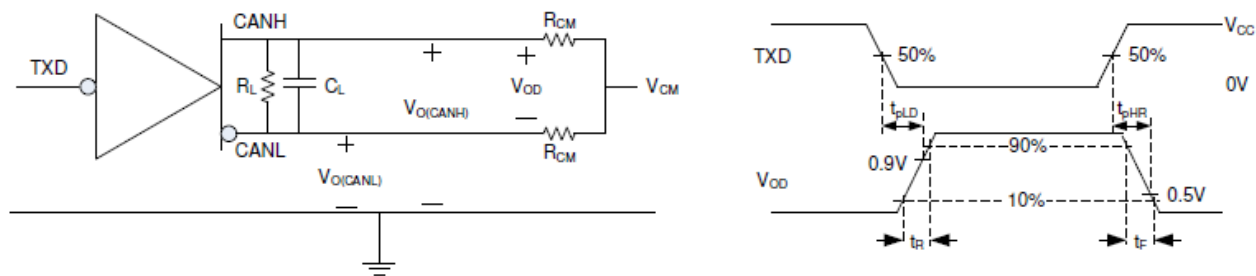


Figure 2. Driver Test Circuit and Measurement

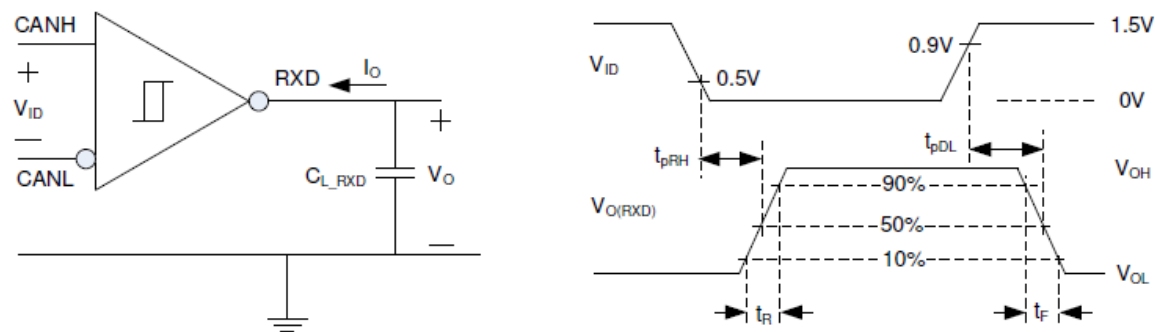


Figure 3. Receiver Test Circuit and Measurement

Table 9. Receiver Differential Input Voltage Threshold Test

INPUT ⁽¹⁾			OUTPUT	
V _{CANH}	V _{CANL}	V _{ID}	RXD	
-29.5V	-30.5V	1000mV	L	V _{OL}
30.5V	29.5V	1000mV	L	
-19.55V	-20.45V	900mV	L	
20.45V	19.55V	900mV	L	
-19.75V	-20.25V	500mV	H	V _{OH}
20.25V	19.75V	500mV	H	
-29.8V	-30.2V	400mV	H	
30.2V	29.8V	400mV	H	
Open	Open	X	H	

NOTE: See Figure 3.

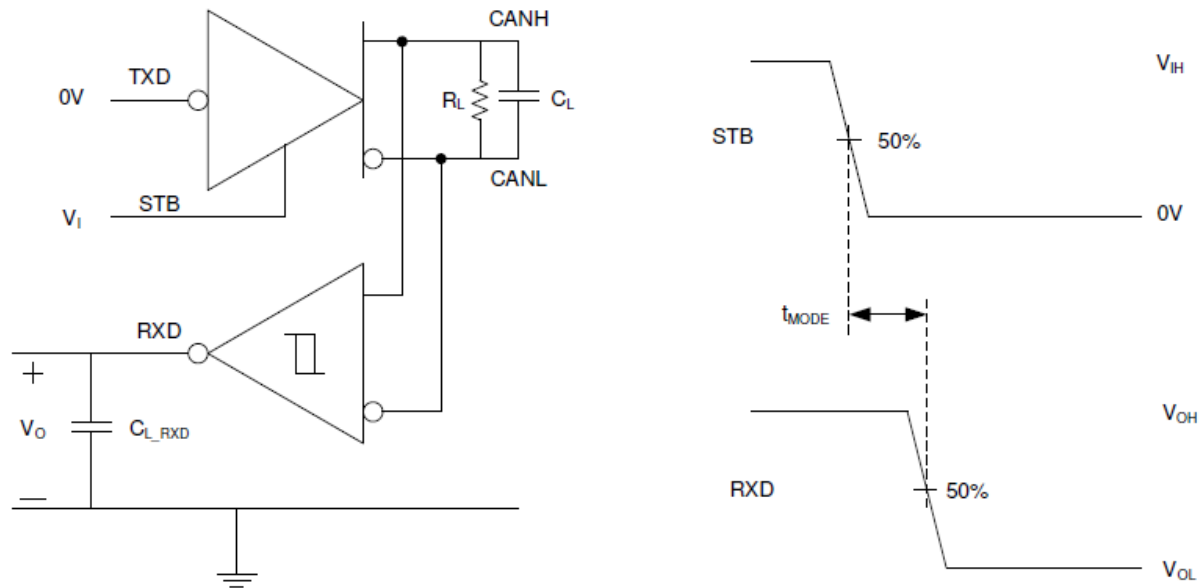


Figure 4. t_{MODE} Test Circuit and Measurement

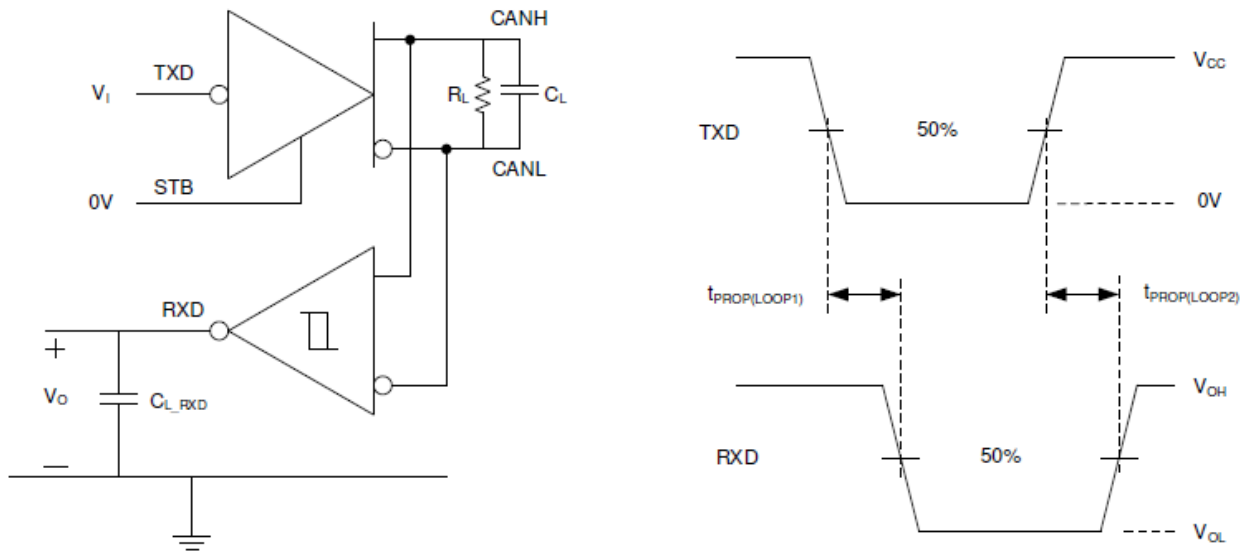


Figure 5. $T_{PROP(LOOP)}$ Test Circuit and Measurement

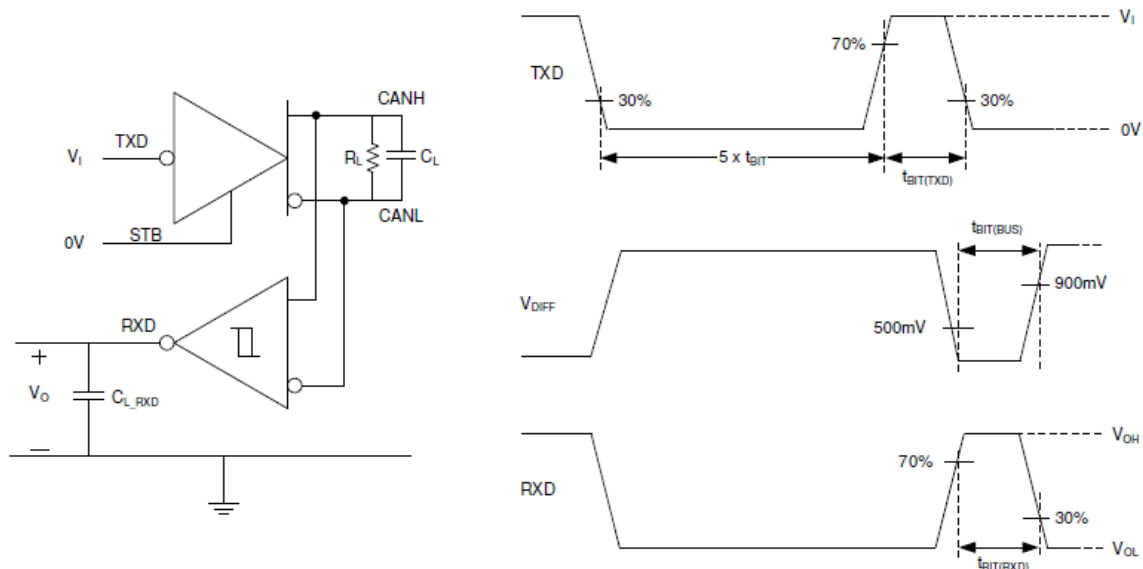


Figure 6. CAN FD Timing Parameter Measurement

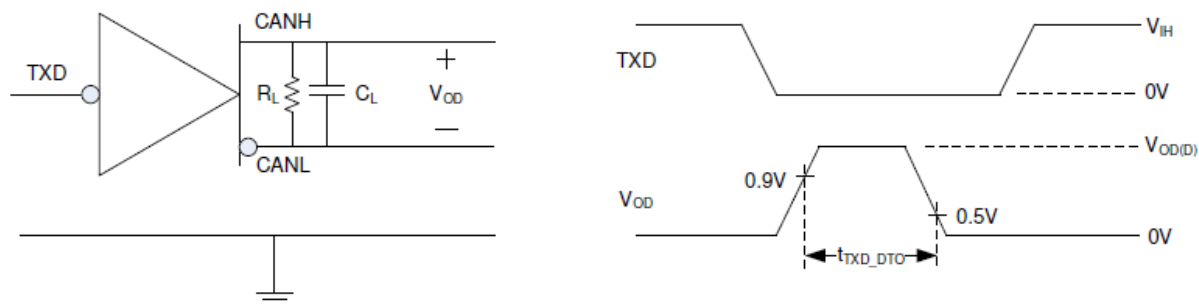


Figure 7. TXD Dominant Timeout Test Circuit and Measurement

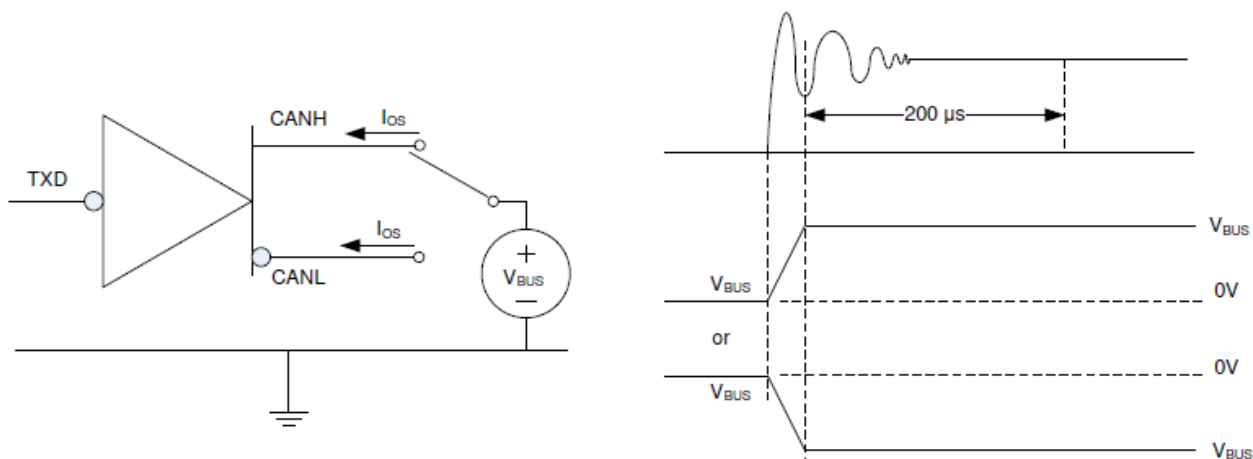


Figure 8. Driver Short Circuit Current Test and Measurement

7. TYPICAL CHARACTERISTICS

TBD

8. 详细说明

8.1 概述

这些 CAN 收发器符合 ISO 11898-2 (2016) 高速 CAN (控制器局域网) 物理层标准。它们专为 CAN FD 超过 1Mbps 的数据速率和增强的时序余量而设计/长距离和高负载网络中的更高数据速率。这些器件提供了许多保护功能增强器件和 CAN 的稳健性。

8.2 功能模块框图

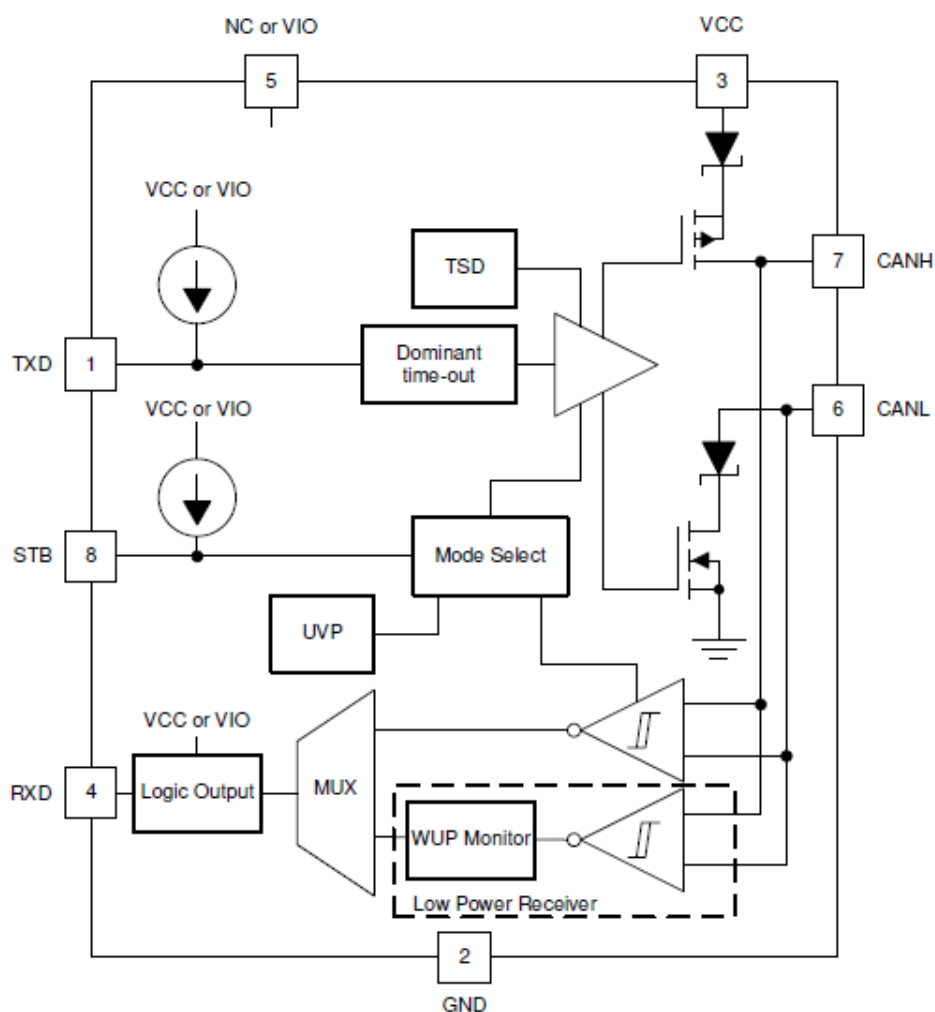


Figure 9. Functional Block Diagram

8.3 特性描述

8.3.1 TXD 显性超时(DTO)

在正常模式(CAN 驱动器处于活动状态的唯一模式)期间, TXD DTO 电路可防止收发器在发生硬件或软件故障时阻塞网络通信, 其中 TXD 保持显性状态的时间长于超时周期 t_{TXD_DTO} 。DTO 电路定时器在 TXD 的下降沿启动。如果在超时期限到期之前没有看到上升沿, DTO 电路将禁用 CAN 总线驱动器。这释放了总线以供网络上其他节点之间的通信。当在 TXD 终端上看到隐性信号时, CAN 驱动器将重新激活, 从而清除 TXD DTO 条件。接收器和 RXD 终端仍然反映 CAN 总线上的活动, 并且总线终端在 TXD 显性超时期间偏置到隐性电平。

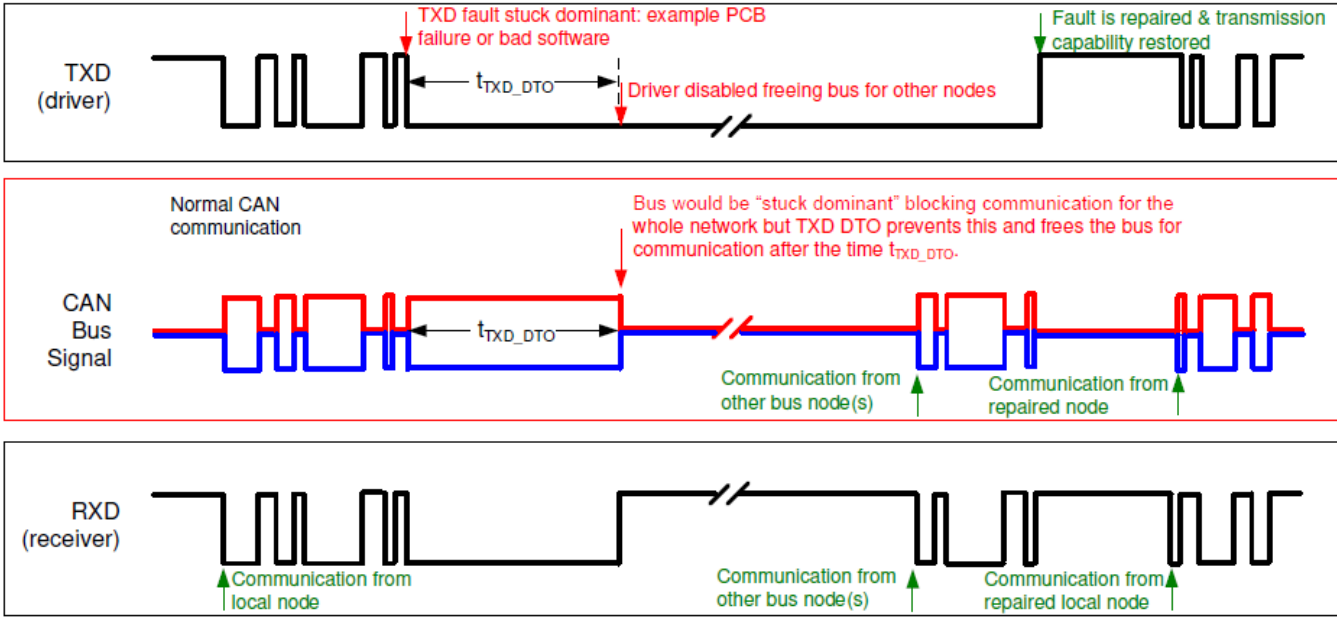


Figure 10. Example Timing Diagram for TXD DTO

TXD DTO 电路允许的最小显性 TXD 时间限制了器件的最小可能传输数据速率。在最坏的情况下, CAN 协议允许最多 11 个连续的显性位(在 TXD 上), 其中 5 个连续的显性位紧跟一个错误帧。这与 t_{TXD_DTO} 最小值一起限制了最小数据速率。通过以下公式计算最小传输数据速率: 最小数据速率 = $11 / t_{TXD_DTO}$ 。

8.3.2 热关断(TSD)

如果器件的结温超过热关断阈值(T_{TSD}), 器件将关闭 CAN 驱动器电路, 从而阻断 TXD 到总线的传输路径。CAN 总线端子在热关断期间偏置到隐性电平, 并且接收器到 RXD 路径保持运行。当结温至少低于器件的热关断温度(T_{TSD})的热关断滞后温度(T_{TSD_HYS})时, 关断条件被清除。

8.3.3 欠压锁定

电源端子具有欠压检测功能, 可将设备置于保护模式。这可以保护 V_{CC} 或 V_{IO} 电源端子上发生欠压事件期间的总线。

Table 10. Undervoltage Lockout I/O Level Shifting Devices (Devices with the "V" Suffix)

V_{CC}	V_{IO}	DEVICE STATE	BUS OUTPUT	RXD
$> UVV_{CC}$	$> UVV_{IO}$	Normal	Per TXD	Mirrors Bus ⁽¹⁾
$< UVV_{CC}$	$> UVV_{IO}$	Protected	High Impedance	High (Recessive)
$> UVV_{CC}$	$< UVV_{IO}$	Protected	High Impedance	High Impedance
$< UVV_{CC}$	$< UVV_{IO}$	Protected	High Impedance	High Impedance

注 1: 镜像总线状态: 如果 CAN 总线为显性, 则为低; 如果 CAN 总线为隐性, 则为高。
注 2: 在清除欠压条件并且电源恢复到有效电平后, 该器件通常会在 50 μ s 内恢复正常运行。

8.3.4 无动力器件

该器件设计为在未通电时对 CAN 总线“理想无源”或“无负载”。当器件未通电时，总线端子(CANH、CANL)具有极低的泄漏电流，以避免降低总线负载。如果网络的某些节点断电而网络的其余部分仍在运行，则这一点至关重要。当器件未通电时，逻辑端子还具有极低的泄漏电流，以避免加载可能保持通电的其他电路。

8.3.5 浮动端子

这些器件在关键端子上具有内部上拉电阻，以便在端子浮动时将器件置于已知状态。TXD 端子被上拉至 V_{CC} 或 V_{IO} ，以在端子浮动时强制采用隐性输入电平。如果终端悬空，S 终端也会被拉低以强制器件进入正常模式。

8.3.6 CAN 总线短路限流

该器件具有两种保护功能，可在 CAN 总线线路处于短路故障状态时限制短路电流：驱动器电流限制(显性和隐性状态)和 TXD 显性状态超时，以防止显性的永久性较高短路电流系统故障期间的状态。在 CAN 通信期间，总线在显性状态和隐性状态之间切换，因此短路电流可以看作是总线状态期间的瞬时电流，也可以看作是两种状态的平均电流。对于终端电阻和共模扼流圈额定值中的系统电流(电源)和功率考虑，使用平均短路电流。通过 CAN 帧中的数据加上协议和 PHY 的以下因素来确定显性和隐性位的比率，这些因素在特定时间强制隐性或显性：

- 带设置位的控制字段
- 位填充
- 帧间空间
- TXD 显性超时(故障情况限制)

即使数据字段包含高比例的显性位，这些也能确保总线上的隐性时间最少。总线的短路电流取决于隐性位与显性位的比值及其各自的短路电流。平均短路电流可用以下公式计算：

$$I_{OS(AVG)} = \%Transmit \times ((\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})) + (\%Receive \times I_{OS(SS)_REC}) \quad (1)$$

其中：

- $I_{OS(AVG)}$ 是平均短路电流。
- $\%Transmit$ 是节点传输 CAN 消息的百分比。
- $\%Receive$ 是节点接收 CAN 信息的百分比。
- $\%REC_Bits$ 是传输的 CAN 消息中隐性位的百分比。
- $\%DOM_Bits$ 是传输的 CAN 消息中显性位的百分比。
- $I_{OS(SS)_REC}$ 是隐性稳态短路电流。
- $I_{OS(SS)_DOM}$ 是主要稳态短路电流。

注：在确定终端电阻和其他网络组件的额定功率时，请考虑网络的短路电流和可能的故障情况。

8.3.7 数字输入和输出

8.3.7.1 具有 V_{IO} I/O 电平转换的 5V V_{CC} (带有“V”后缀的器件)

这些器件为 CAN 驱动器和高速接收器模块使用 5V V_{CC} 电源。这些收发器具有用于 I/O 电平转换(V_{IO})的第二个电源。该电源用于设置 TXD 和 STB 引脚的 CMOS 输入阈值以及 RXD 高电平输出电压。此外, TXD 引脚在内部被上拉至 V_{IO} , 而 STB 引脚被拉低至 GND。

8.4 器件功能模式

该器件有两种主要工作模式: 正常模式和静默模式。操作模式选择通过 S 输入端子进行。

Table 11. Operating Modes

S TERMINAL	MODE	DRIVER	RECEIVER	RXD TERMINAL
LOW	Normal Mode	Enabled (ON)	Enabled (ON)	Mirrors Bus State ⁽¹⁾
HIGH	STB Mode	Disabled (OFF)	Enabled (ON)	Mirrors Bus State ⁽¹⁾

注: 镜像总线状态: 如果 CAN 总线为显性, 则为低电平; 如果 CAN 总线为隐性, 则为高电平。

8.4.1 CAN 总线状态

CAN 总线在器件供电运行期间有两种状态: 显性和隐性。显性总线状态是当总线以差分方式驱动时, 对应于 TXD 和 RXD 端子上的逻辑低电平。隐性总线状态是当总线通过接收器的高阻内部输入电阻 R_{IN} 偏置到 $V_{CC} / 2$ 时, 对应于 TXD 和 RXD 端子上的逻辑高电平。

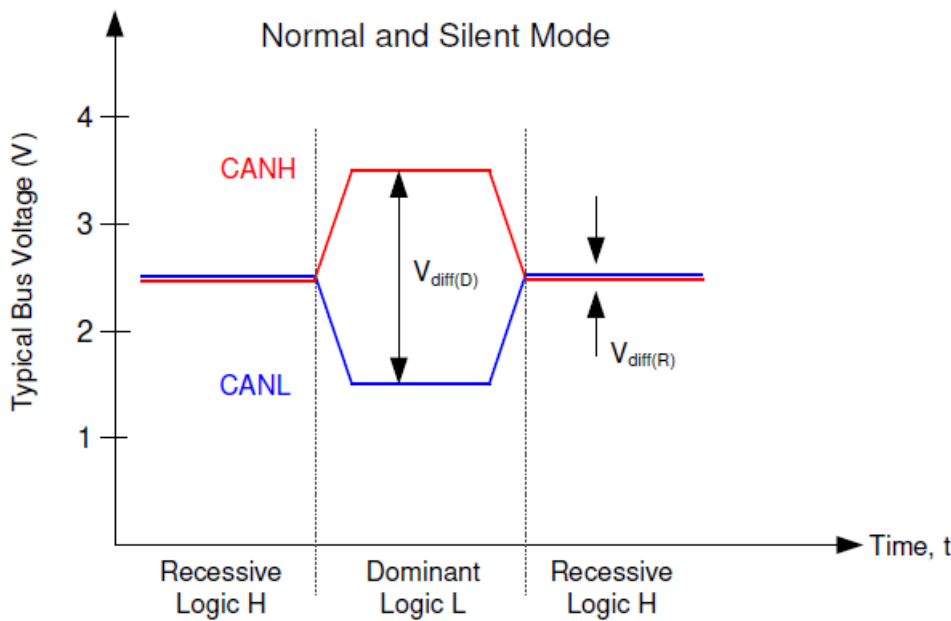


Figure 11. Bus States (Physical Bit Representation)

通过将 STB 端子设置为低电平来选择器件工作的正常模式。CAN 驱动器和接收器完全可操作, 并且 CAN 通信是双向的。驱动器将 TXD 上的数字输入转换为 CANH 和 CANL 上的差分输出。接收器将来自 CANH 和 CANL 的差分信号转换为 RXD 上的数字输出。

8.4.2 待机模式

通过将 STB 端子设置为高电平来激活待机模式。在待机模式下, BUS 端有极低的漏电和功耗。芯片处于掉电待机状态。

8.4.3 驱动器和接收器功能表

Table 12. Driver Function Table

DEVICE	INPUTS		OUTPUTS		DRIVEN BUS STATE
	STB ⁽¹⁾	TXD ⁽¹⁾⁽²⁾	CANH ⁽¹⁾	CANL ⁽¹⁾	

All Devices	L or open	L	H	L	Dominant
		H or open	Z	Z	Recessive
	H	X	Z	Z	Recessive

注 1: H = 高电平, L = 低电平, X = 无关, Z = $V_{CC} / 2$ 的共模(隐性)偏置。有关总线状态和共模偏置信息, 请参见 [CAN BUS STATES](#)。

注 2: 器件在 TXD 端子上有一个内部上拉至 V_{CC} 或 V_{IO} 。如果 TXD 端子打开, 则该端子被拉高并且发送器保持在隐性(非驱动)状态。

Table 13. Receiver Function Table

DEVICE MODE	CAN DIFFERENTIAL INPUTS $V_{ID} = V_{CANH} - V_{CANL}$	BUS STATE	RXD TERMINAL ⁽¹⁾
Normal or STB	$V_{ID} \geq V_{IT+(MAX)}$	Dominant	L ⁽²⁾
	$V_{IT-(MIN)} < V_{ID} < V_{IT+(MAX)}$	?	? ⁽²⁾
	$V_{ID} \leq V_{IT-(MIN)}$	Recessive	H ⁽²⁾
	Open ($V_{ID} \approx 0V$)	Open	H

注 1: H = 高电平, L = 低电平, ? = 不确定。

注 2: 有关输入阈值的信息, 请参见 [ELECTRICAL CHARACTERISTICS](#) 部分。

9. 应用与实现

注

以下应用部分中的信息不是公司组件规范的一部分，公司不保证其准确性或完整性。公司的客户有责任确定组件是否适合他们的用途。客户应验证和测试他们的设计实施以确认系统功能。

9.1 应用信息

这些 CAN 收发器通常用于带有主机微处理器或 FPGA 的应用，其中包括 CAN 协议的数据链路层部分。以下是 5V 和 3.3V 微处理器应用的典型应用配置。显示总线终端是为了说明目的。

9.2 典型应用

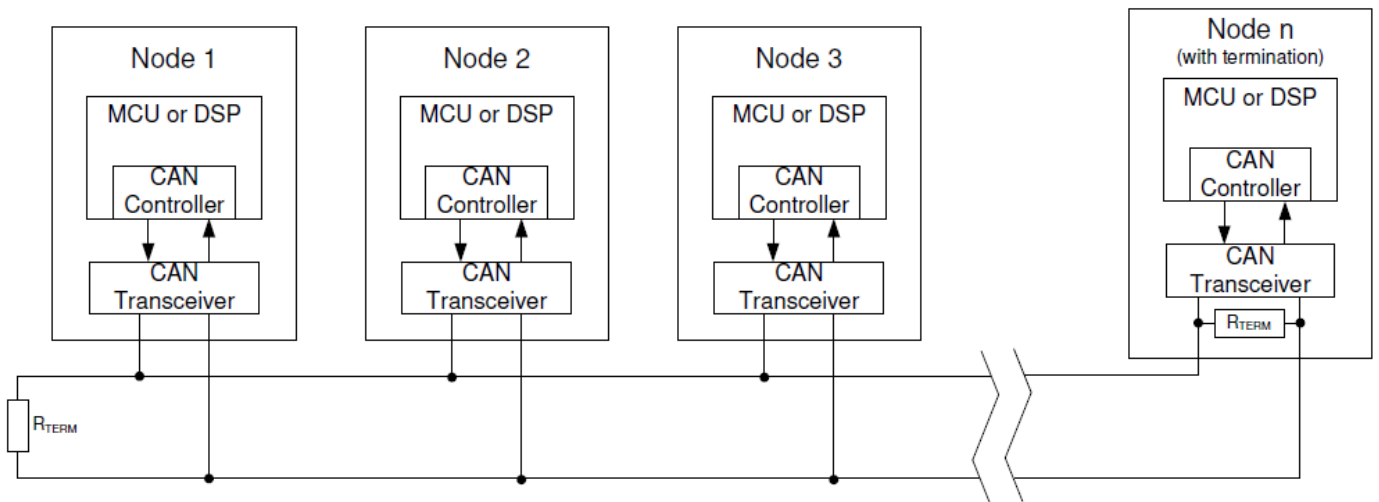


Figure 12. Typical CAN Bus Application

9.2.1 设计要求

9.2.1.1 总线负载、长度和节点数

ISO 11898-2 标准规定最大总线长度为 40m，最大短截线长度为 0.3m。然而，通过精心设计，用户可以拥有更长的电缆、更长的短截线长度和更多的总线节点。大量节点需要具有高输入阻抗的收发器，例如 CL1042 系列收发器。

许多 CAN 组织和标准已将 CAN 的使用扩展到原始 ISO 11898-2 之外的应用程序。他们对数据速率、电缆长度和总线的寄生负载进行了系统级权衡。其中一些规范的示例是 ARINC825、CANopen、DeviceNet 和 NMEA2000。

CL1042 系列被指定为在 50Ω 负载下满足 1.5V 的要求，包括并行收发器在内的最坏情况。CL1042 系列的差分输入电阻最小为 30kΩ。如果 100 个 CL1042 系列收发器并联在一条总线上，这相当于 300Ω 差分负载的最坏情况。与 60Ω 并联的 300Ω 收发器负载提供了 50Ω 的等效负载。因此，CL1042 系列理论上在单个总线段上支持多达 100 个收发器。然而，对于 CAN 必须为系统和布线中的信号损失、寄生负载、网络不平衡、接地偏移和信号完整性提供网络设计余量，因此实际的最大节点数通常要低得多。总线长度也可以通过谨慎的系统延长到超过 40m 的原始 ISO 11898 标准设计和数据速率权衡。例如，CANopen 网络设计指南允许网络长达 1 公里，但终端电阻、布线、少于 64 个节点和显著降低的数据速率都会发生变化。

CAN 网络设计的这种灵活性是基于原始 ISO 11898-2 CAN 标准构建的各种扩展和附加标准的主要优势之一。使用这种灵活性带来了良好的网络设计和平衡这些权衡的责任。

9.2.2 详细设计程序

9.2.2.1 CAN 终端

ISO 11898 标准指定互连为具有 120Ω 特性阻抗(Z_0)的双绞线电缆(屏蔽或非屏蔽)。应使用等于线路特性阻抗的电阻器来端接电缆的两端,以防止信号反射。将节点连接到总线的末端接分支线(存根)应尽可能短,以尽量减少信号反射。终端可以在电缆上或节点中,但如果可以从总线上移除节点,则必须小心放置终端,以便网络上始终存在两个终端。

端接可以是总线末端的单个 120Ω 电阻器,可以在电缆上,也可以在端接节点中。如果需要过滤和稳定总线的共模电压,则可以使用拆分终端(Figure 13)。拆分终端通过消除消息传输开始和结束时总线共模电压的波动来改善网络的电磁辐射行为。

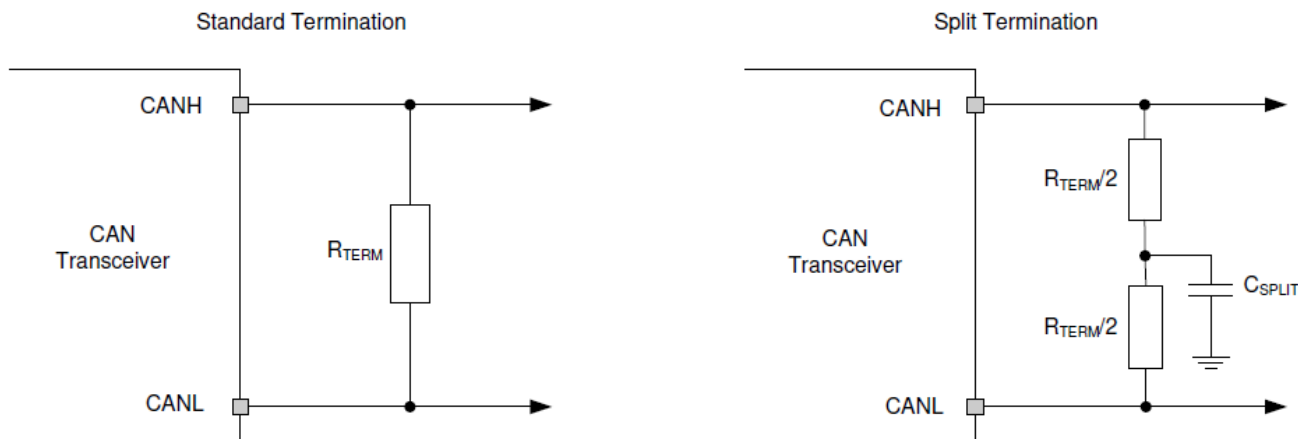


Figure 13. CAN Bus Termination Concepts

CL1042V/CL1042G 系列收发器具有适用于仅 5V 应用和 3.3V 微控制器需要电平转换的应用的变体。

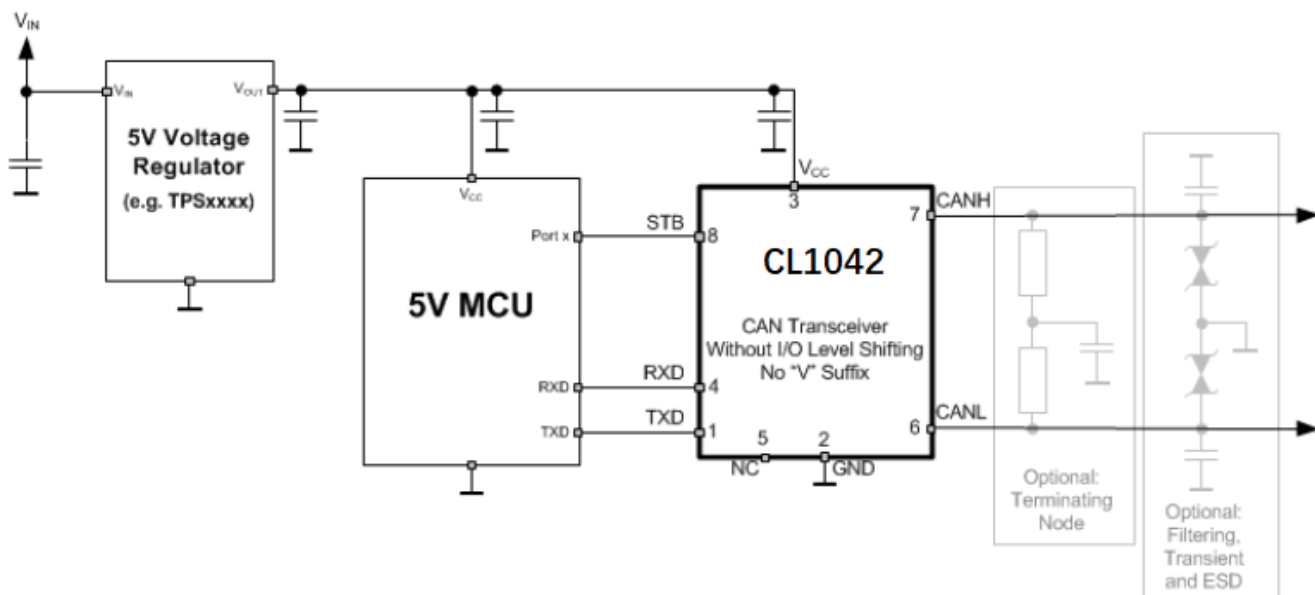


Figure 14. Typical CAN Bus Application Using 5V CAN Controller

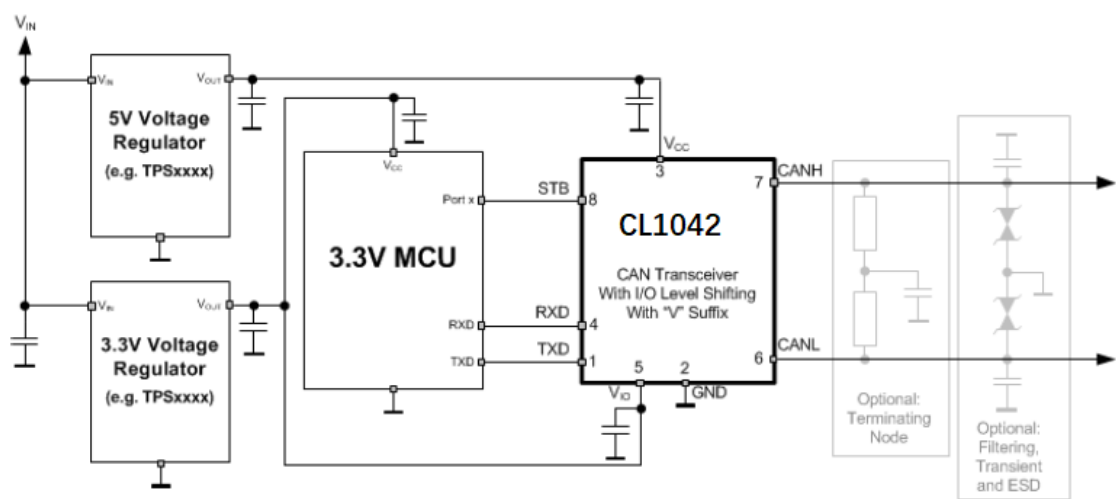


Figure 15. Typical CAN Bus Application Using 3.3V CAN Controller

9.2.3 应用曲线

TBD

Figure 16. ICC Dominant Current over VCC Supply Voltage

10. 电源建议

这些器件设计用于在 4.5V 和 5.5V 之间的 V_{CC} 输入电源电压范围内工作。一些器件具有输出电平转换电源输入 V_{IO} ，设计用于 3V 和 5.5V 之间的范围。两个电源输入必须得到很好的调节。大容量电容(通常为 4.7 μ F)应放置在 CAN 收发器的主 V_{CC} 电源输出附近，此外，旁路电容器(通常为 0.1 μ F)应放置在尽可能靠近器件 V_{CC} 和 V_{IO} 电源端子的位置。这有助于减少开关模式电源输出端的电源电压纹波，还有助于补偿 PCB 电源平面和走线的电阻和电感。

11. 布局

稳健可靠的总线节点设计通常需要使用外部瞬变保护装置，以防止工业环境中可能发生的 EFT 和浪涌瞬变。由于 ESD 和瞬态具有从大约 3MHz 到 3GHz 的宽频率带宽，因此在 PCB 设计期间必须应用高频布局技术。CL1042 系列具有高片上 IECESD 保护，但如果需要更高级别的系统级抗扰度，则可以使用外部 TVS 二极管。TVS 二极管和总线滤波电容器应放置在尽可能靠近板载连接器的位置，以防止噪声瞬态事件进一步传播到 PCB 和系统中。

11.1 布局指南

- 将保护和滤波电路放置在尽可能靠近总线连接器 J1 的位置，以防止瞬变、ESD 和噪声传播到板上。在此布局示例中，使用了瞬态电压抑制(TVS)器件 D1 来提供额外保护。生产解决方案可以是双向 TVS 二极管或变阻器，额定值符合应用要求。此示例还显示了可选的总线滤波电容器 C4 和 C5。此外(未显示)串联共模扼流圈(CMC)可以放置在收发器 U1 和连接器 J1 之间的 CANH 和 CANL 线上。
- 沿信号路径方向设计总线保护元件。不要强迫瞬态电流从信号路径转移到保护装置。
- 使用电源(V_{CC})和地平面来提供低电感。注意高频电流沿着阻抗最小的路径流动，而不是电阻最小的路径。
- 至少为旁路电容器和保护器件的电源(V_{CC})和接地连接使用两个过孔，以最大限度地减少走线和过孔电感。
- 旁路和大容量电容器应尽可能靠近收发器的电源端子放置，例如 V_{CC} 电源上的 C1、C2 和 V_{IO} 电源上的 C6 和 C7。
- 总线终端：此布局示例显示了拆分终端。这是终端被分成两个电阻器 R6 和 R7 的地方，终端的中心或分离抽头通过电容器 C3 接地。拆分终端为总线提供共模滤波。当总线终端放置在电路板上而不是直接放在总线上时，必须格外小心以确保终端节点不会从总线上移除，从而也移除终端。有关终端电阻所需的额定功率的信息，请参阅应用部分。
- 为了限制数字线路的电流，可以使用串联电阻。例如 R2、R3 和 R4。这些不是必需的。
- 端子 1：R1 可选地显示为器件的 TXD 输入。如果使用漏极开路主机处理器，则必须确保满足进入器件的位时序。
- 端子 5：对于 CL1042 系列的“V”变体，旁路电容器应放置在尽可能靠近引脚的位置(例如 C6 和 C7)。对于没有 V_{IO} I/O 电平转换的器件选项，此引脚没有内部连接，可以悬空或连接到任何现有网络，例如拆分引脚连接。
- 端子 8：假设将使用模式端子 S。如果器件仅在正常模式下使用，则不需要 R4，R5 可用作接地的下拉电阻。

11.2 布局示例

请参考 EVM 或者咨询公司销售支持。

12. PACKAGE INFORMATION

The CL1042V/CL1042G is available in SOIC-8 package. 错误!未找到引用源。 shows the package view.

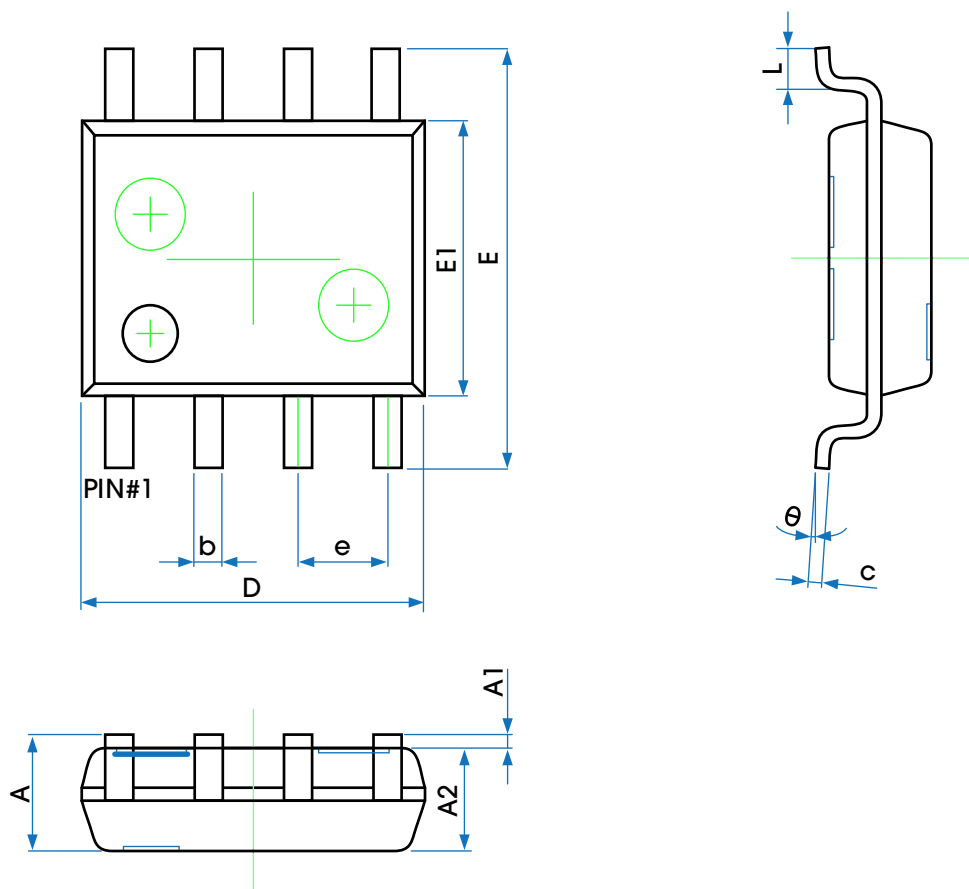


Figure 17. SOIC-8 Package View

Table 14 provides detailed information about the dimensions of the SOIC-8 package.

Table 14. Dimensions of the SOIC-8 Package

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	1.450	1.750	0.057	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.201
E	5.800	6.200	0.228	0.244
E1	3.800	4.000	0.150	0.157
e	1.270 (BSC)		0.050 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

13. TAPE AND REEL INFORMATION

TBD

REVISION HISTORY

REVISION	DATE	DESCRIPTION
Rel 0.1	29 June 2023	DRAFT.
Rel 0.5	2 May 2023	Remove non VIO info
Rel 0.8	12 June 2023	Added testing data in table 5.5
Rel 1.0	8 August 2023	Updated table 5.5 and release for sample.
Rel 1.1	20 Sept 2023	Updated with CL1042G info