

1. 特性

- 电源范围 8V 至 14.5V
 - 2 × 10.5W @12V, 6Ω, THD+N = 1%
 - 2 × 14W @12V, 4Ω, THD+N = 1%
 - 1 × 20W @12V, 4Ω, THD+N = 1%
 - 12V, 6Ω, 5W, 1kHz
 - BD: THD+N < 0.05%
 - 1SPW: THD+N < 0.1%
- BD 调制模式
 - 20dB 增益(AU3107L)
 - 26dB 增益(AU3107M)
 - 32dB 增益(AU3107N)
 - 36dB 增益(AU3107P)
- 1SPW 调制模式
 - 20dB 增益(AU3108L)
 - 26dB 增益(AU3108M)
 - 32dB 增益(AU3108N)
 - 36dB 增益(AU3108P)
- 低导通阻抗 $R_{DS(on)}$: 140mΩ
- 过流保护阈值: 4A (typ)
- 支持 Pop 抑制
- EMC: 支持展频和两通道错相
- 低 BOM 成本
 - 输出滤波无需电感
 - 不使用电感时符合 EN55013 和 EN55022 EMC 标准
 - 无需外部散热器
- 灵活的音频解决方案
 - 单端或差分模拟输入
 - 增益: 26dB (20/32/36 可选)
- 集成保护和自动恢复
 - 引脚对引脚、引脚对地和引脚对电源短路保护
 - 热保护、欠压保、过流保护和过压保护
 - 直流扬声器保护
- 封装: SOP16PP

2. 应用

- 电视和显示器
- Bluetooth®扬声器和无线扬声器
- 智能家电中的音频放大器
- 物联网中的音频扬声器
- 消费类音频器件

3. 说明

AU3107/AU3108 是一款 10W 每通道、高效率、低静态电流 D 类立体声音频放大器。它可以驱动负载低至 3.2Ω 的立体声扬声器。其中，AU3107 工作在 BD 模式下，可以获得更好 THD+N 性能，AU3108 支持 1SPW 模式，可以获得更好的热性能。AU3107/AU3108 工作电压范围为 8V-14.5V。

在 EMC 表现方面，AU3107/AU3108 支持优化的展频功能，并支持两通道错相，在实现使用廉价铁氧体磁珠滤波器的同时满足 EMC 测试标准，从而有效地降低系统成本。

为了进一步简化设计，AU3107/AU3108 集成了重要的保护功能，包括欠压、过压、过流、短路、过热以及直流扬声器保护。所有这些保护都带有自动恢复功能。

有关订购信息，请参见 Table 1。

AU3107/AU3108

10W、8V 至 14.5V、无电感、立体声 D 类扬声器放大器

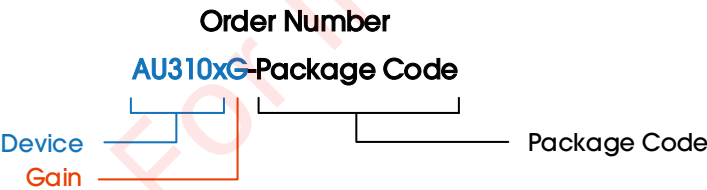
Table 1 lists the order information.

Table 1. Order Information

ORDER NUMBER ⁽¹⁾	PART NUMBER	MARK	CH (#)	PACKAGE	GAIN (dB)	OUTPUT POWER (W)	MODULATION	PVDD (TYP) (V)	OP TEMP (°C)	MSL	PACKAGE OPTION
AU3107MASOP16P ⁽²⁾	AU3107M	AU3107M XXXXXX ⁽³⁾	2	SOP16PP	26	2 × 14W	BD	8-14.5	−40-85	3	T/R-4000
AU3108MASOP16P ⁽²⁾	AU3108M	AU3108M XXXXXX ⁽³⁾	2	SOP16PP	26	2 × 14W	1SPW	8-14.5	−40-85	3	T/R-4000
AU3107LASOP16P ⁽²⁾	AU3107L	AU3107L XXXXXX ⁽³⁾	2	SOP16PP	20	2 × 14W	BD	8-14.5	−40-85	3	T/R-4000
AU3108LASOP16P ⁽²⁾	AU3108L	AU3108L XXXXXX ⁽³⁾	2	SOP16PP	20	2 × 14W	1SPW	8-14.5	−40-85	3	T/R-4000
AU3107NASOP16P ⁽²⁾	AU3107N	AU3107N XXXXXX ⁽³⁾	2	SOP16PP	32	2 × 14W	BD	8-14.5	−40-85	3	T/R-4000
AU3108NASOP16P ⁽²⁾	AU3108N	AU3108N XXXXXX ⁽³⁾	2	SOP16PP	32	2 × 14W	1SPW	8-14.5	−40-85	3	T/R-4000
AU3107PASOP16P ⁽²⁾	AU3107P	AU3107P XXXXXX ⁽³⁾	2	SOP16PP	36	2 × 14W	BD	8-14.5	−40-85	3	T/R-4000
AU3108PASOP16P ⁽²⁾	AU3108P	AU3108P XXXXXX ⁽³⁾	2	SOP16PP	36	2 × 14W	1SPW	8-14.5	−40-85	3	T/R-4000

- Devices can be ordered via the following two ways:
- Place orders directly on our website (www.analogyssemi.com), or;
 - Contact our sales team by mailing to sales@analogyssemi.com.

Note 1:



Note 2: Available in the future.
Note 3: "XXXXXX": For internal use.

4. PIN CONFIGURATION AND FUNCTIONS

Figure 1 illustrates the pin configuration of the AU3107/AU3108.

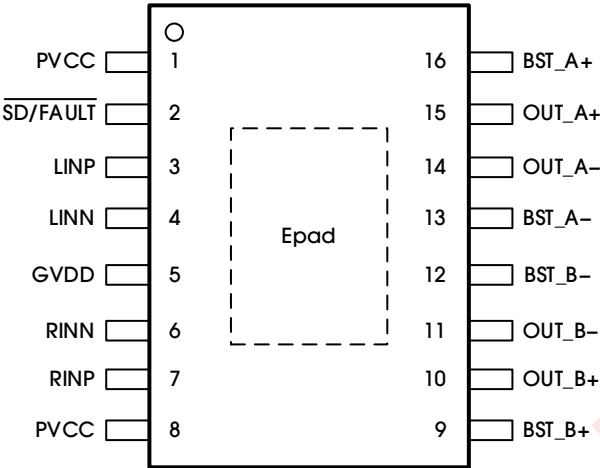


Figure 1. Pin Configuration

Table 2 lists the pin functions of the AU3107/AU3108.

Table 2. Pin Functions

POSITION	NAME	TYPE ⁽¹⁾	DESCRIPTION
1	PVCC	Power	Power supply for left channel H-bridge Right channel and left channel power supply inputs are connected internally.
2	$\overline{\text{SD/FAULT}}$	IO	TTL logic levels with compliance to PVCC Shutdown logic input for audio amp (LOW, outputs Hi-Z; HIGH, outputs enabled). General fault reporting includes Overtemp, Overcurrent, and DC Detect. $\overline{\text{SD/FAULT}}$ = High: normal operation, $\overline{\text{SD/FAULT}}$ = Low: fault condition. Device will automatically recover once the OT/OC/DC Fault has been removed.
3	LINP	Input	Positive input terminal for left channel
4	LINN	Input	Negative input terminal for left channel
5	GVDD	Output	Voltage regulator derived from PVDD supply
6	RINN	Input	Negative input terminal for right channel
7	RINP	Input	Positive input terminal for right channel
8	PVCC	Power	Power supply for right channel H-bridge Right channel and left channel power supply inputs are connected internally.
9	BST_B+	Output	Bootstrap supply (BST) for right channel, positive high-side FET
10	OUT_B+	Output	Class-D H-bridge positive output for right channel
11	OUT_B-	Output	Class-D H-bridge negative output for right channel
12	BST_B-	Output	Bootstrap supply (BST) for right channel, negative high-side FET
13	BST_A-	Output	Bootstrap supply (BST) for left channel, negative high-side FET
14	OUT_A-	Output	Class-D H-bridge negative output for left channel
15	OUT_A+	Output	Class-D H-bridge positive output for left channel
16	BST_A+	Output	Bootstrap supply (BST) for left channel, positive high-side FET
—	Thermal Pad	—	Connect to GND for best thermal and electrical performance

5. SPECIFICATIONS

5.1 ABSOLUTE MAXIMUM RATINGS

Table 3 lists the absolute maximum ratings of the AU3107/AU3108.

Table 3. Absolute Maximum Ratings

PARAMETER	DESCRIPTION	MIN	MAX	UNITS
Voltage	Supply to GND, PVCC to GND	−0.3	20	V
	Interface pin, $\overline{\text{SD/FAULT}}$ to GND ⁽²⁾	−0.3	PVCC + 0.3	V
	Interface pin, PLIMIT		10	V/ms
	Interface pin, RINN, RINP, LINN, LINP	−0.3	GVDD + 0.3	V
Input Current	To any pin except supply pins		10	mA
Minimum Load Resistance, R_L	BTL, 10V < PVCC < 14.5V	4.8		Ω
	BTL, 6V < PVCC < 10V	3.2		Ω
	PBTL, 10V < PVCC < 14.5V	2.4		Ω
	PBTL, 6V < PVCC < 10V	1.6		Ω
Temperature	Operating, T_A	−10	85	°C
	Junction, T_J	−25	150	°C
	Storage, T_{stg}	−40	125	°C

Note 1: Stresses beyond those listed under Table 3 may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Table 5. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

Note 2: The voltage slew rate of these pins must be restricted to no more than 10V/ms. For higher slew rates, use a 100k Ω resistor in series with the pins.

5.2 ESD RATINGS

Table 4 lists the ESD ratings of the AU3107/AU3108.

Table 4. ESD Ratings

PARAMETER	SYMBOL	DESCRIPTION	VALUE	UNITS
Electrostatic Discharge	$V_{\text{(ESD)}}$	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±1500	V
		Charged-device model (CDM), per JEDEC specification JS-002 ⁽²⁾	±500	

Note 1: The JEDEC document JEP155 indicates that 500V HBM allows safe manufacturing with a standard ESD control process.

Note 2: The JEDEC document JEP157 indicates that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 RECOMMENDED OPERATING CONDITIONS

Table 5 lists the recommended operating conditions for the AU3107/AU3108.

Table 5. Recommended Operating Conditions

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
Supply Voltage	V _{CC}	PVCC	8		14.5	V
High-Level Input Voltage	V _{IH}	SD/FAULT ⁽¹⁾	2		PVCC	V
Low-Level Input Voltage	V _{IL}	SD/FAULT			0.8	V
Low-Level Output Voltage	V _{OL}	SD/FAULT, R _{PULL-UP} = 100kΩ, PVCC = 14.5V			0.8	V
High-Level Input Current	I _{IH}	SD/FAULT, V _I = 2V, PVCC = 12V			50	μA
Low-Level Input Current	I _{IL}	SD/FAULT, V _I = 0.8V, PVCC = 12V			5	μA
Operating Free-Air Temperature ⁽³⁾	T _A		-40		85	°C
Operating Junction Temperature ⁽³⁾	T _J		-40		150	°C

- Note 1: Set SD/FAULT to high level, and make sure the pull-up resistor is larger than 4.7kΩ and smaller than 500kΩ.
- Note 2: Set GAIN_SEL and MODE_SEL to low level, and make sure the pull-down resistor is < 10kΩ.
- Note 3: The AU3107/AU3108 incorporates an exposed thermal pad on the underside of the chip. This acts as a heatsink, and it must be connected to a thermally dissipating plane for proper power dissipation. Failure to do so may result in the device going into thermal protection shutdown.

5.4 THERMAL INFORMATION

Table 6 lists the thermal information for the AU3107/AU3108.

Table 6. Thermal Information

PARAMETER	SYMBOL	SOP16PP	UNITS
Junction-to-Ambient Thermal Resistance	R _{θJA}	27.7	°C/W
Junction-to-Board Thermal Resistance	R _{θJB}	12.5	°C/W
Junction-to-Top Characterization Parameter	ψ _{JT}	3.6	°C/W
Junction-to-Board Characterization Parameter	ψ _{JB}	12.2	°C/W
Junction-to-Case (Top) Thermal Resistance	R _{θJC (top)}	20.9	°C/W
Junction-to-Case (Bottom) Thermal Resistance	R _{θJC (bot)}	5.4	°C/W

5.5 ELECTRICAL CHARACTERISTICS

Table 7 lists the electrical characteristics of the AU3107/AU3108. $T_A = 25^\circ\text{C}$, $PVCC = 12\text{V}$, $R_L = 6\Omega$, unless otherwise noted.

Table 7. Electrical Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
AC CHARACTERISTICS						
Power Supply Ripple Rejection	PSRR	200mV _{pp} ripple at 1kHz, gain = 26dB, inputs ac-coupled to GND		-70		dB
Continuous Output Power, BTL	P _O	THD+N = 1%, f = 1kHz, PVCC = 12V, R _L = 4Ω		14		W
Continuous Output Power, BTL	P _O	THD+N = 10%, f = 1kHz, PVCC = 12V, R _L = 4Ω		17		W
Continuous Output Power, BTL	P _O	THD+N = 1%, f = 1kHz, PVCC = 12V, R _L = 6Ω		10.5		W
Continuous Output Power, BTL	P _O	THD+N = 10%, f = 1kHz, PVCC = 12V, R _L = 6Ω		12.8		W
Continuous Output Power, BTL	P _O	THD+N = 1%, f = 1kHz, PVCC = 12V, R _L = 8Ω		8.3		W
Continuous Output Power, BTL	P _O	THD+N = 10%, f = 1kHz, PVCC = 12V, R _L = 8Ω		10.2		W
Continuous Output Power, PBTL (Mono)	P _O	THD+N = 10%, f = 1kHz, PVCC = 12V, R _L = 4Ω		20		W
Maximum Output Current	I _O	f = 1kHz, R _L = 3Ω		4		A
Total Harmonic Distortion + Noise	THD+N	AU3107, BD, f = 1kHz, P _O = 5W (half-power)		0.04		%
		AU3108, 1SPW, f = 1kHz, P _O = 5W (half-power)		0.07		%
Output Integrated Noise	V _n	20Hz to 22kHz, A-weighted filter, gain = 26dB		85		μV
				-81		dBV
Crosstalk		V _O = 1V _{rms} , gain = 26dB, f = 1kHz		-97		dB
Signal-to-Noise Ratio	SNR	Maximum output at THD+N < 1%, f = 1kHz, gain = 26dB, A-weighted		102		dB
Thermal Trip Point	OTE			160		°C
Thermal Hysteresis				15		°C
DC CHARACTERISTICS						
Output Offset Voltage (Measured Differentially)	V _{OS}	V _I = 0V, gain = 26dB		1.5		mV
Quiescent Supply Current	I _{CC}	SD/FAULT = 2V, 10μF + 680nF output filter, 1SPW Mode, PVCC = 12V		20		mA
Quiescent Supply Current	I _{CC}	SD/FAULT = 2V, 10μF + 680nF output filter, BD Mode, PVCC = 12V		36		mA
Quiescent Supply Current in Shutdown Mode	I _{CC(SD)}	SD/FAULT = 0.8V, no load		10		μA
Drain-Source On-State Resistance	R _{DS(on)}	I _O = 500mA, T _J = 25°C, excluding metal and bond wire resistance, high side		140		mΩ
		I _O = 500mA, T _J = 25°C, excluding metal and bond wire resistance, low side		140		mΩ
Gain	G	AU3107M/AU3108M	25	26	27	dB
Turn-On Time	t _{ON}	SD/FAULT = 2V		50		ms
Turn-Off Time	t _{OFF}	SD/FAULT = 0.8V		0.15		μs
Gate Drive Supply	GVDD	I _{GVDD} = 2mA	4.8	5	5.2	V
DC Detect Time	t _{DCDET}	V _{RINP} = 2.6V and V _{RINN} = 2.4V, or V _{RINP} = 2.4V and V _{RINN} = 2.6V		800		ms
Overvoltage Protection	OVP		15	15.8	17	V
Undervoltage Protection	UVP		7	7.5	7.9	V

5.6 SWITCHING CHARACTERISTICS

Table 8 lists the switching characteristics.

Table 8. Switching Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	NOM	MAX	UNITS
Oscillator Frequency, Spread Spectrum ON	f _{OSC, SS}		300		370	kHz

6. TYPICAL CHARACTERISTICS

All measurements taken at audio frequency = 1kHz, closed-loop gain = 26dB, 1SPW mode, T_A = 25°C, AES17 filter using the AU3107M/AU3108M EVM, unless otherwise noted.

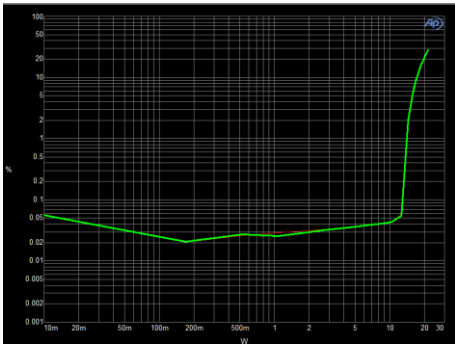


Figure 2. THD+N vs. P_O (BTL, BD Mode, 12V, 6Ω)

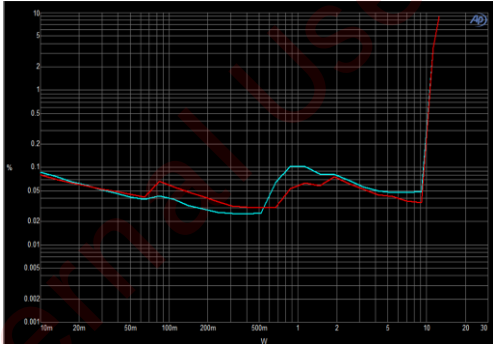


Figure 3. THD+N vs. Frequency (BTL, 1SPW, 12V, 6Ω)

7. 参数测量信息

所有参数均根据 SPECIFICATIONS 部分中描述的条件进行测量。

推荐使用 AES-17 预分析器滤波器进行 D 类放大器测量。如果使用省电电感磁珠方案，请使用 AUX0025 滤波器对性能指标进行测试。详情请咨询我司技术支持。

8. 详细说明

8.1 概述

AU3107/AU3108 为一款低静态功耗、经济高效的通用 D 类音频放大器。内置扩频控制可有效降低 EMI，并可在 $\leq 2 \times 10W$ 应用中使用铁氧体磁珠代替电感器。

为了方便系统设计，AU3107/AU3108 只需要 8V 至 14.5V 之间的单电源即可运行。内部电压调节器为栅极驱动器、数字和低压模拟电路提供合适的电压电平。此外，所有需要浮动电压电源的电路(如高端栅极驱动中的电路)均由带有集成自举二极管的内置自举电路提供，每个半桥仅需要一个外部电容器。

音频信号路径(包括栅极驱动器和输出级)被设计为相同的独立全桥。所有去耦电容器应尽可能靠近其相关引脚放置。具有电源引脚、去耦电容器和器件引脚的 GND 返回路径的物理环路必须尽可能短，并且面积尽可能小，以最大限度地减少感应。

为了使自举电路正常工作，必须在每个自举引脚(BSXX)和功率级输出引脚(OUTXX)之间连接一个小型陶瓷电容器。当功率级输出为低电平时，自举电容器通过连接在栅极驱动电源引脚(GVDD)和自举引脚之间的内部二极管充电。当功率级输出为高电平时，自举电容器电位移至输出电位之上，从而为高侧栅极驱动器提供合适的电压源。当 PWM 开关频率在数据表指定范围内的应用中，请使用电容至少为 220nF、尺寸为 0603 或 0805 的陶瓷电容器作为自举电源。即使在低频音频信号被削波期间，这些电容器也能确保足够的能量存储，以保持高侧功率级 FET (LDMOS)在其导通周期的剩余部分期间完全导通。

应特别注意功率级电源，包括元件选择、PCB 布局和布线。为了获得最佳的电气性能、EMI 合规性和系统可靠性，每个 PVCC 引脚应使用尽可能靠近每个电源引脚放置的陶瓷电容器进行去耦。建议遵循参考设计的 PCB 布局。有关推荐电源和所需组件的更多信息，请参阅本数据表中的应用图。

PVCC 电源应具有低输出阻抗和低噪声。由于内部上电复位电路的促进，电源斜坡和 $\overline{SD/FAULT}$ 释放顺序对于器件可靠性并不重要，但建议在电源稳定后释放 $\overline{SD/FAULT}$ ，以最大限度地减少开机声音干扰。

8.2 功能模块框图

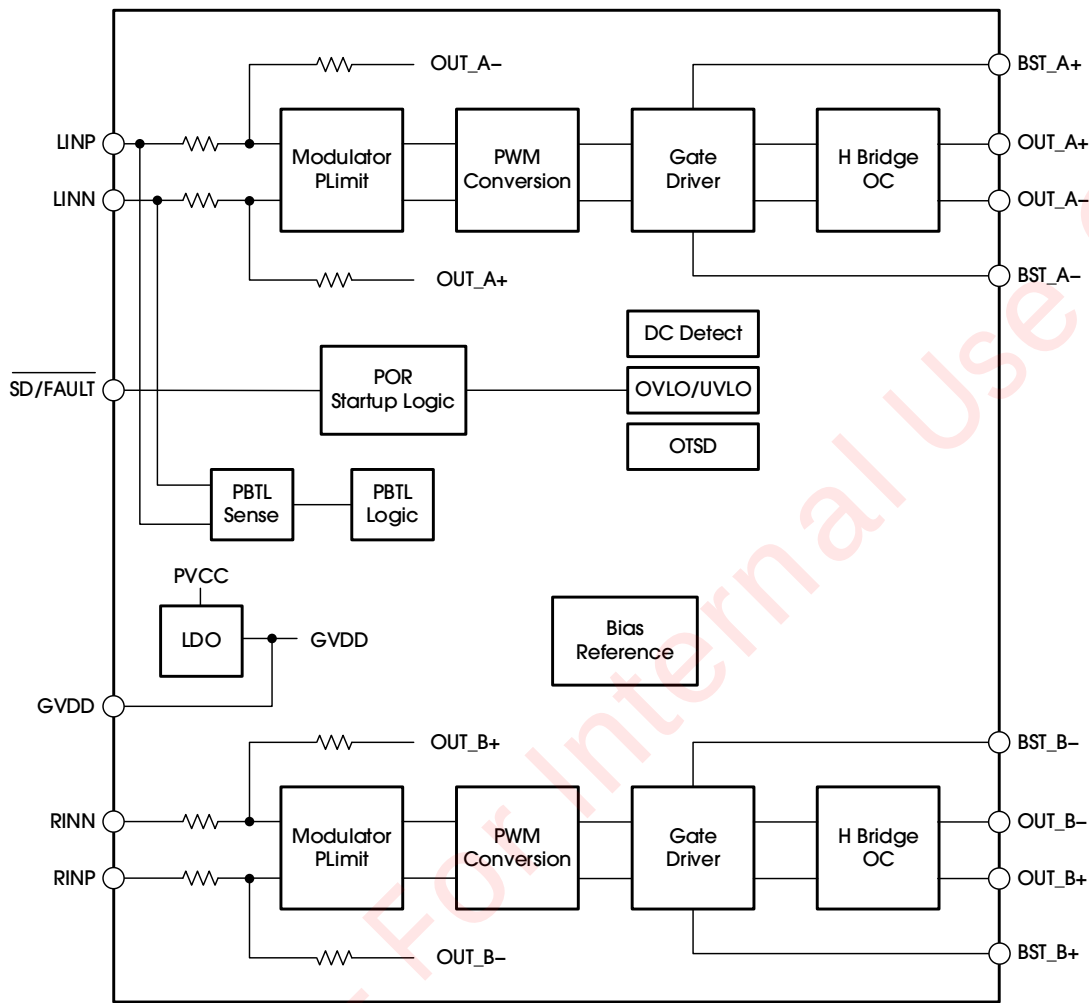


Figure 4. Functional Block Diagram

8.3 特性说明

8.3.1 模拟增益

AU3107M/AU3108M 的模拟增益固定为 26dB。如果需要 20/32/36dB，请联系我司获取。

8.3.2 SD/FAULT 操作

AU3107/AU3108 器件采用关断操作模式，旨在在不使用期间将电源电流(I_{CC})降低到绝对最低水平，以实现更低功耗。在使用放大器的正常操作期间，SD/FAULT 输入引脚应保持高电平(请参阅 SPECIFICATIONS 中跳变点的部分)。将 SD/FAULT 拉低会导致输出静音并且放大器进入低功耗状态。切勿将 SD/FAULT 保持未连接状态，因为放大器的操作将是不可预测的。

为了获得最佳的断电性能，请在断开电源电压之前将放大器置于关断模式。

8.3.3 扩频和相移控制

AU3107/AU3108 器件具有内置的振荡器频率扩频控制和 PWM 输出去相功能，可提高 EMI 性能。扩频方案是内部固定的并且始终开启。去相使输出 PWM 的相位反转，从而使两个音频通道的静态输出 PWM 波形反转。去相位不会影响音频信号或其极性。

8.3.4 直流检测

AU3107/AU3108 器件集成了一个电路，可保护扬声器免受由于输入端电容器有缺陷或输入端印刷电路板短路而可能产生的直流电流的影响。直流检测故障在 SD/FAULT 引脚上报告为低电平状态。直流检测故障还会通过将输出状态更改为高阻状态来导致放大器关闭。当输出直流电压在相同极性下持续超过 800 毫秒时，会发出直流检测故障。此功能可保护扬声器免受大直流电流或小于 1Hz 的交流电流的影响。为了避免 DC 检测电路引起的干扰故障，请在上电时将 SD/FAULT 引脚保持为低电平，直到输入信号稳定为止。另外，请注意匹配正负输入端的阻抗，以避免出现令人讨厌的直流检测故障。

8.3.5 PBTL 选择

AU3107/AU3108 器件提供并行 BTL 操作功能，每个通道的两个输出直接连接。将 LINP 和 LINN 直接接地(不带电容器)可将器件在上电期间设置为单声道模式。将 OUTPR 和 OUTNR 连接在一起作为正极扬声器端子，将 OUTNL 和 OUTPL 连接在一起作为负极扬声器端子。模拟输入信号应用于 INPR 和 INNR。有关 PBTL 连接的示例，请参阅 TYPICAL APPLICATIONS 部分中的原理图。

8.3.6 短路保护和自动恢复功能

AU3107/AU3108 具有针对输出级短路条件的过流条件。短路保护故障在 SD/FAULT 引脚上报告为低电平状态。当短路保护锁存器被触发时，放大器输出切换到高阻抗状态。一旦过流情况消除，器件就会自动恢复。

8.3.7 过温保护(OTP)

当内部芯片温度超过 160°C 时，AU3107/AU3108 器件上的热保护可防止器件损坏。该触发点在不同器件之间具有 $\pm 15^{\circ}\text{C}$ 的容差。一旦芯片温度超过热触发点，器件就会切换到关断状态，并且输出将被禁用。热保护故障在 SD/FAULT 引脚上报告。一旦过热情况消除，器件就会自动恢复。

8.3.8 过压保护(OVP)

AU3107/AU3108 器件监视 PVCC 电压阈值上的电压。当 PVCCCL 引脚和 PVCCR 引脚上的电压超过过压阈值(典型值 15.8V)时，OVP 电路使器件进入关断模式。一旦过压情况消除，器件就会自动恢复。

8.3.9 欠压保护(UVP)

当 PVCCCL 引脚和 PVCCR 引脚上的电压低于欠压阈值时，UVP 电路使器件进入关断模式。欠压阈值典型值为 7.5V。一旦欠压条件消除，器件就会自动恢复。

8.4 调制模式

8.4.1 低静态电流性能优化版 1SPW 调制

1SPW 模式改变了正常的调制方案，以实现更高的效率，但 THD 下降略有下降，并且在选择输出滤波器时需要更多关注。在 1SPW 模式下，输出在静态条件下以约 15%的调制运行。当施加音频信号时，一个输出减少而另一个输出增加。下降的输出信号连接至 GND。此时，所有音频调制都通过上升输出进行。结果是在音频周期的大部分时间里只有一个输出在切换。由于开关损耗的减少，这种模式下的效率得到了提高。

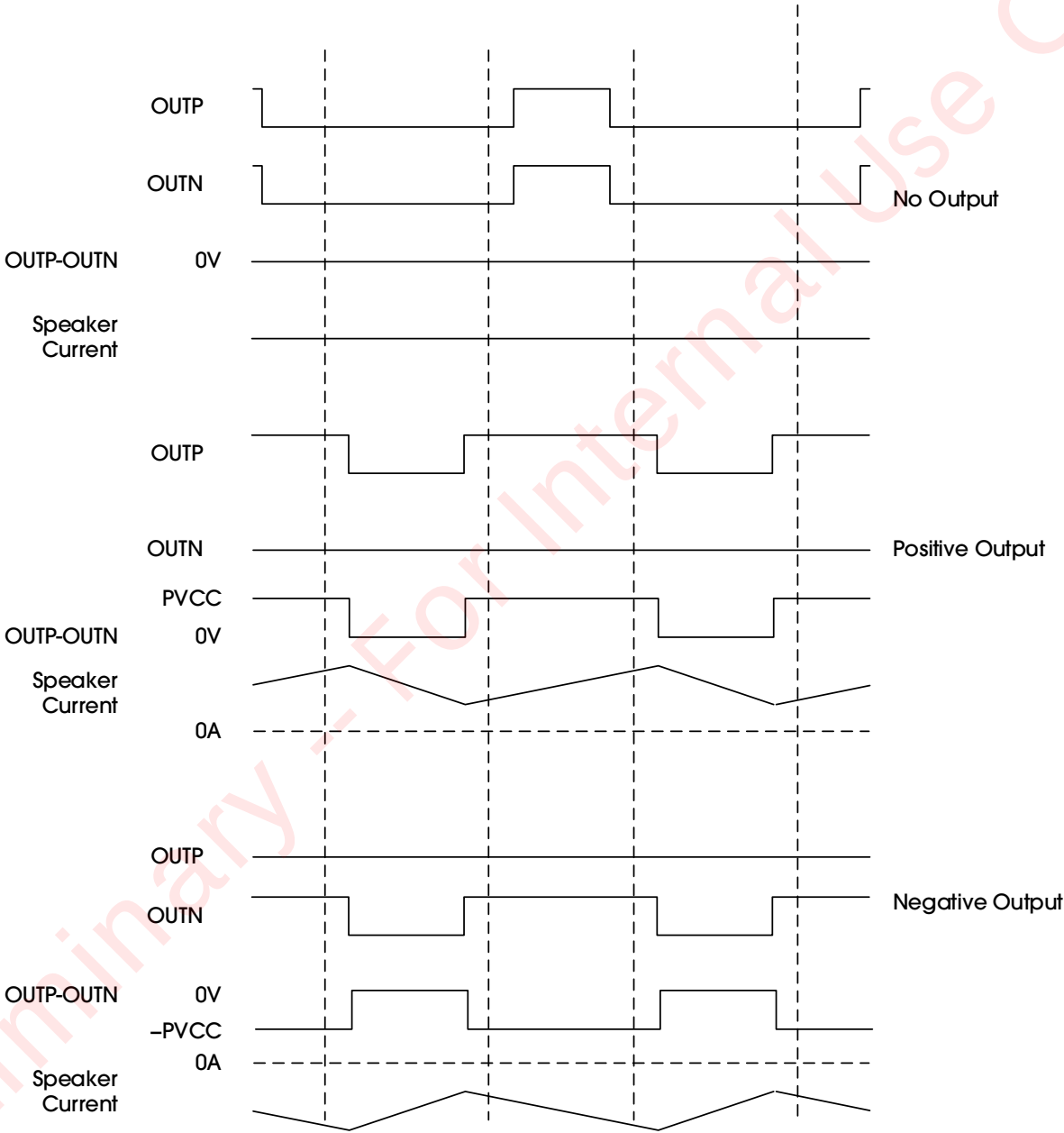


Figure 5. Low-Idle-Current 1SPW Modulation

9. 应用与实现

注

以下应用部分中的信息不是公司组件规范的一部分，公司不保证其准确性或完整性。公司的客户有责任确定组件是否适合他们的用途。客户应验证和测试他们的设计实施以确认系统功能。

9.1 应用信息

AU3107/AU3108 器件设计用于放大器和扬声器之间电线长度有限的无电感器应用，适用于电视机、音响底座和蓝牙扬声器等应用。AU3107/AU3108 器件可配置为立体声或单声道模式。根据输出功率要求和(扬声器)负载保护的必要性，内置 PLIMIT 电路可用于控制系统功率，请参阅这些功能的功能描述。

9.2 典型应用

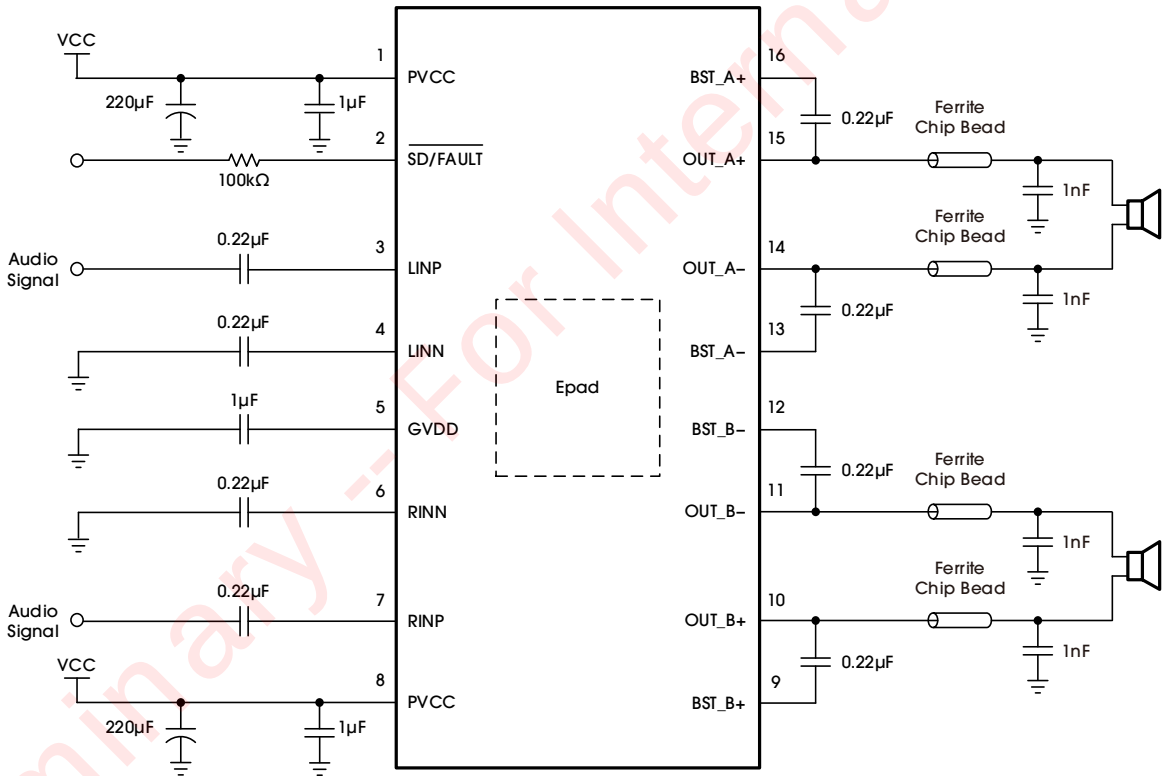


Figure 6. AU3107M/AU3108M BTL Output Reference Schematic

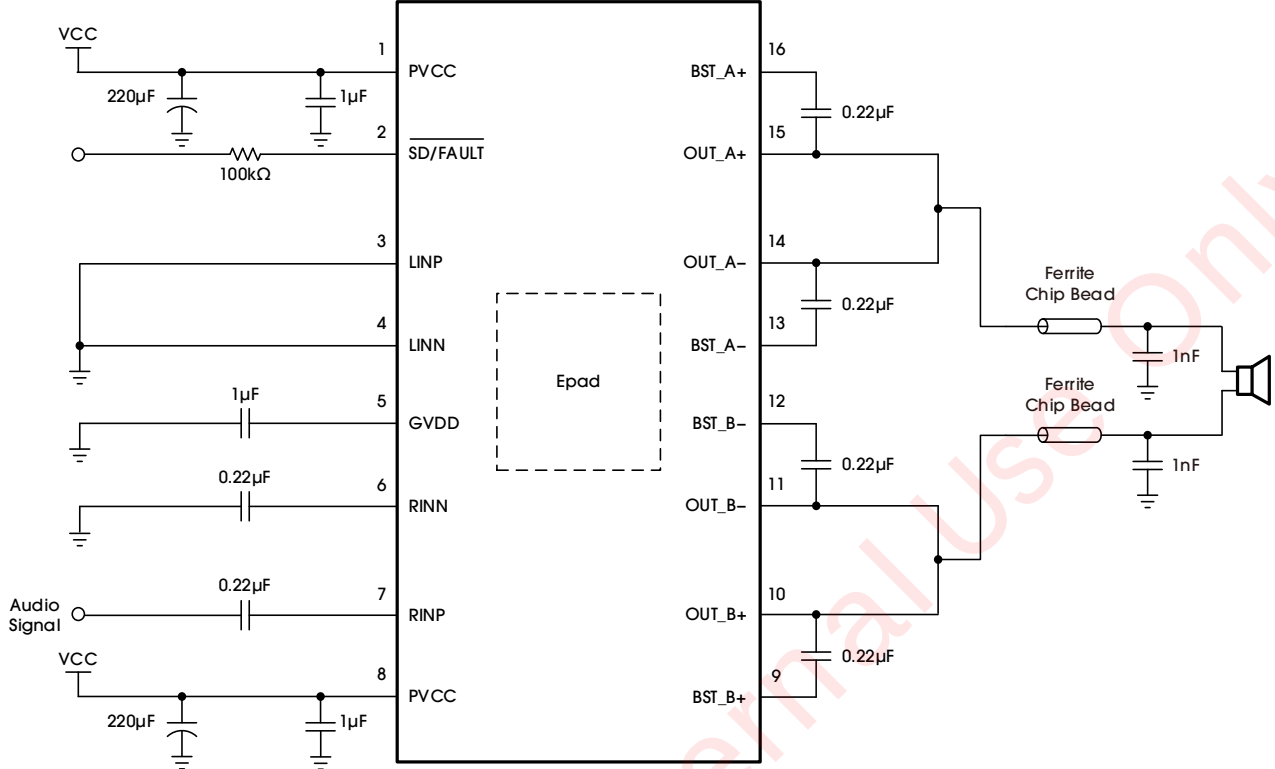


Figure 7. AU3107M/AU3108M PBTL Output Reference Schematic

9.2.1 设计要求

9.2.1.1 PCB 材料推荐

建议 1 盎司(35 μ m) FR-4 玻璃环氧材料与 AU3107/AU3108 一起使用。使用这种材料可以提供更高的功率输出、改进的热性能和更好的 EMI 裕度(由于 PCB 走线电感较低)。建议在器件散热垫下方使用多个 GND，以与底部铜 GND 平面热耦合，以获得最佳热性能。

9.2.1.2 PVCC 电容器推荐

与每个全桥结合使用的大电容器称为 PVCC 电容器。选择这些电容器时应具有适当的电压裕度和足够的电容，以支持功率要求。实际上，通过精心设计的系统电源，100 μ F 和 16V 的电容器可以支持大多数采用 12V 电源的应用。对于高于 12V 的电源电压，建议使用 25V 电容器额定值。PVCC 电容器应为低 ESR 类型，因为它们用于与高速开关相关的电路中。

9.2.2 去耦电容器建议

为了设计具有强大性能、通过法规要求并表现出良好音频性能的放大器，应使用高质量的去耦电容器。实际上，此应用中应使用 X7R。应根据良好的设计实践选择去耦电容器的电压。必须考虑温度、纹波电流和电压过冲。在选择放置在每个全桥电源上的陶瓷电容器时，这一事实尤其如此。它们必须承受 PWM 开关的电压过冲、高功率输出期间放大器产生的热量以及高功率输出产生的纹波电流。与 12V 电源一起使用需要最小 16V 的额定电压。

9.2.3 详细设计流程

SD/FAULT 输入上的上升沿转换允许器件开始切换。建议在释放 SD/FAULT 之前将 PVCC 电压升至所需值，以最大限度地减少可听噪声。该器件不会将音频信号从输入反转到输出。不建议将 GVDD 引脚用作外部电路的电压源。

9.2.3.1 铁氧体磁珠滤波器注意事项

凭借先进的辐射抑制技术，AU3107/AU3108 放大器可提供高效的 D 类性能，同时最大限度地减少对周围电路的干扰，即使使用低成本铁氧体磁珠滤波器也是如此。但在选择铁氧体磁珠时需要考虑几个因素。

铁氧体磁珠选择的一个重要方面是铁氧体磁珠所用材料的类型。并非所有铁氧体材料都相同，因此选择在 10MHz 至 100MHz 范围内有效的材料非常重要，这对于 D 类放大器的运行至关重要。许多消费电子产品规范的发射限值低至 30MHz。使用铁氧体磁珠滤波器来阻止 30MHz 及以上范围内的辐射出现在扬声器电线和电源线上非常重要，因为它们是这些信号的良好天线。铁氧体磁珠的阻抗可以与值在 1000pF 范围内的小电容器一起使用，以将信号的频谱降低到可接受的水平。为了获得最佳性能，铁氧体磁珠和电容器滤波器的谐振频率应小于 10MHz。

此外，重要的是铁氧体磁珠要足够大，以在放大器预期的峰值电流下保持其阻抗。一些铁氧体磁珠制造商指定了各种电流水平下的磁珠阻抗。如果可能，请确保铁氧体磁珠在放大器检测到的峰值电流下保持足够的阻抗。如果这些规格不可用，则可以通过测量低功率和最大功率下滤波器输出的谐振频率来估计磁珠的电流处理能力。在这种情况下，希望谐振频率的变化小于百分之五十。

铁氧体磁珠滤波器还需要高质量的陶瓷电容器。具有良好温度和电压特性的低 ESR 电容器效果最佳。通过添加从每个 D 类输出到接地的缓冲网络，可以获得额外的 EMC 改进。简单 RC 串联缓冲器网络的建议值为 68 Ω ，与 100pF 电容器串联，尽管缓冲器网络的设计针对每种应用而定，并且在设计时必须考虑印刷电路板的寄生电抗以及音频放大器。请注意评估缓冲网络中组件的压力，尤其是放大器在高 PVCC 下运行时。另外，请确保缓冲器网络的布局紧密并直接返回至 GND 或芯片下方的散热垫。

9.2.3.2 效率：传统 D 类调制方案需要 LC 滤波器

传统 D 类放大器需要输出滤波器的主要原因是开关波形会产生最大电流。这会导致负载损耗更大，从而导致效率降低。对于传统调制方案来说，纹波电流很大，因为纹波电流与电压乘以该电压下的时间成正比。差分电压摆幅为 $2 \times V_{CC}$ ，每个电压的时间是传统调制方案周期的一半。理想的 LC 滤波器需要将每个半周期的纹波电流存储到下半周期，而任何电阻都会导致功耗。扬声器既是电阻性的又是电抗性的，而 LC 滤波器几乎是纯电抗性的。

AU3107/AU3108 调制方案在没有滤波器的情况下几乎没有负载损耗，因为脉冲很短并且电压变化为 V_{CC} 而不是 $2 \times V_{CC}$ 。随着输出功率的增加，脉冲变宽，使纹波电流变大。可以使用 LC 滤波器过滤纹波电流以提高效率，但对于大多数应用而言，不需要滤波器。

截止频率小于 D 类开关频率的 LC 滤波器允许开关电流流过滤波器而不是负载。与扬声器相比，滤波器在开关频率下的电阻更小，但阻抗更高，从而降低了功耗，提高了效率。

9.2.3.3 何时使用输出滤波器进行 EMI 抑制

AU3107/AU3108 器件已使用简单的铁氧体磁珠滤波器进行了测试，适用于各种应用，包括长达 100 厘米的长扬声器线和高功率。AU3107/AU3108 EVM 在使用双绞扬声器线的这些条件下通过了 FCC B 类规范。可以选择铁氧体磁珠的尺寸和类型以满足应用要求。此外，如有必要，可以增加滤波电容器，但这会对效率产生一些影响。

可能有一些电路实例需要添加完整的 LC 重构滤波器。如果附近有对噪声敏感的电路，则可能会发生这些情况。在这些情况下，可以使用类似于下图所示的经典二阶巴特沃斯滤波器。

有些系统几乎没有与交流线路的电源去耦，但也受到线路传导干扰(LCI)法规的约束。其中包括由“墙疣”和“电源砖”供电的系统。在这些情况下，LC 重建滤波器可能是通过 LCI 测试的最低成本手段。使用低频铁氧体材料的共模扼流圈也可以有效防止线路传导干扰。

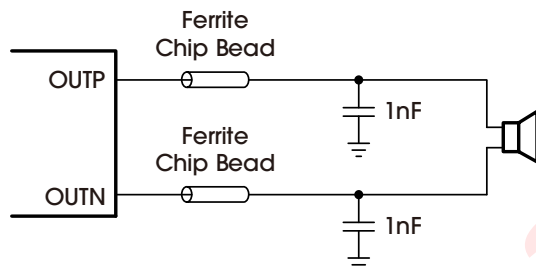


Figure 8. Typical Ferrite Chip Bead Filter (Chip Bead Example: NFZ2MSM Series from Murata)

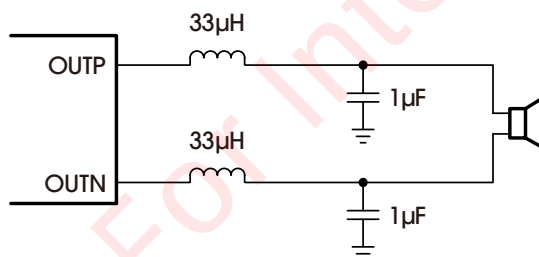


Figure 9. Typical LC Output Filter, Cutoff Frequency of 27kHz, Speaker Impedance = 8Ω

9.2.3.4 输入电阻

放大器的典型输入电阻对于 26dB 增益固定为 $20k\Omega \pm 15\%$ ，对于 20dB 增益固定为 $40k\Omega \pm 15\%$ 。

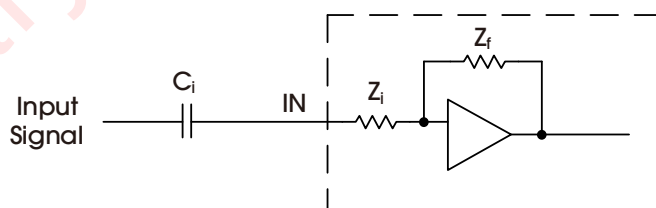


Figure 10. Typical LC Output Filter, Cutoff Frequency of 27kHz, Speaker Impedance = 6Ω

9.2.3.5 电容器, C_i

在典型应用中, 需要输入电容器(C_i)来允许放大器将输入信号偏置到适当的直流电平, 以实现最佳操作。在这种情况下, C_i 和放大器的输入阻抗(Z_i)形成一个高通滤波器, 其转角频率由 Equation 1 确定。

$$F_c = \frac{1}{2\pi Z_i C_i} \quad (1)$$

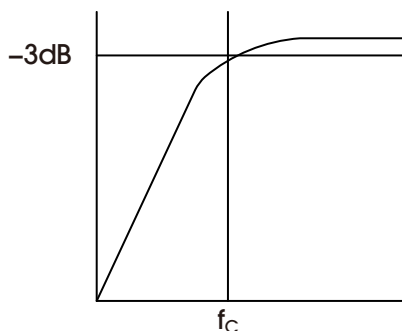


Figure 11. Input High-Pass Filter Cutoff Frequency

C_i 的值很重要, 因为它直接影响电路的低音(低频)性能。考虑 Z_i 为 $20k\Omega$ (26dB 增益)的示例, 并且规范要求低至 20Hz 的平坦低音响应。Equation 1 重新配置为 Equation 2。

$$C_i = \frac{1}{2\pi Z_i f_c} \quad (2)$$

在本例中, C_i 为 $0.4\mu F$; 因此, 人们可能会选择 $0.39\mu F$ 的值, 因为该值很常用。该电容器的另一个考虑因素是从输入源通过输入网络(C_i)和反馈网络到负载的泄漏路径。该漏电流会在放大器的输入端产生直流偏移电压, 从而减少有用的余量。因此, 低泄漏钽或陶瓷电容器是最佳选择。当使用极化电容器时, 在大多数应用中, 电容器的正极应面向放大器输入, 因为那里的直流电平保持在 3V, 这可能高于源直流电平。请注意, 在应用中确认电容器极性非常重要。此外, 无铅焊料会产生直流偏移电压, 确保正确清洁电路板非常重要。

9.2.3.6 BST 和 BST 电容器

完整的 H 桥输出级仅使用 NMOS 晶体管。因此, 它们需要自举电容器, 以便每个输出的高侧正确开启。必须将额定电压至少为 25V 的 $0.22\mu F$ 陶瓷电容器从每个输出连接到其相应的自举输入。具体来说, 必须在 $OUTPx$ 和 BST_x+ 之间连接 1 个 $0.22\mu F$ 电容器, 并且在 $OUTNx$ 和 BSN_x- 之间必须连接 1 个 $0.22\mu F$ 电容器。(参见 Figure 7 中的应用电路图。)

连接在 $BSxx$ 引脚和相应输出之间的自举电容器充当高侧 N 沟道功率 MOSFET 栅极驱动电路的浮动电源。在每个高侧开关周期期间, 自举电容器将栅源电压保持在足够高的水平, 以保持高侧 MOSFET 导通。

9.2.3.7 差分输入

放大器的差分输入级消除了通道两条输入线上出现的任何噪声。要将 AU3107/AU3108 器件与差分源配合使用, 请将音频源的正极引线连接到 INP 输入, 将音频源的负极引线连接到 INN 输入。要将 AU3107/AU3108 与单端源配合使用, 请通过一个与 INN 或 INP 上的输入电容器值相等的电容器将 INP 或 INN 输入交流接地, 并将音频源应用到任一输入。在单端输入应用中, 未使用的输入应在音频源处而不是在器件输入处交流接地, 以获得最佳噪声性能。为了获得良好的瞬态性能, 两个差分输入处的阻抗应该相同。

如果可能的话, 输入端的阻抗应限制在 3ms 或更小的 RC 时间常数内。这是为了让输入隔直电容器在 50ms 上电时间内完全充电。如果不允许输入电容器完全充电, 则对组件匹配会有一些额外的敏感性, 如果输入组件匹配不佳, 可能会导致爆裂。

9.2.3.8 使用低 ESR 电容器

本应用部分推荐使用低 ESR 电容器。真实(相对于理想)电容器可以简单地建模为与理想电容器串联的电阻器。该电阻器上的电压降最大限度地减少了电路中电容器的有益影响。该电阻的等效值越低, 实际电容器的行为就越像理想电容器。

10. 电源建议

10.1 电源去耦, C_s

AU3107/AU3108 器件是一款高性能 CMOS 音频放大器, 需要足够的电源去耦以确保输出总谐波失真(THD)尽可能低。电源去耦还可以防止放大器和扬声器之间的长引线产生振荡。通过使用不同类型的电容器网络来实现最佳去耦, 这些电容器针对电源引线上特定类型的噪声。对于由于寄生电路元件(例如键合线和铜走线电感以及引线框架电容)导致的较高频率瞬态, 值在 220pF 和 1000pF 之间的优质低等效串联电阻(ESR)陶瓷电容器效果很好。该电容器应尽可能靠近器件 PVCC 引脚和系统接地(GND 引脚或导热垫)放置。对于由于滤波器谐振或 PWM 开关瞬态以及线路上的数字散列而产生的中频噪声, 另一个质量良好的电容器(通常为 0.1 μ F 至 1 μ F)放置在尽可能靠近器件 PVCC 引线的位置效果最佳。为了过滤低频噪声信号, 建议在音频功率放大器附近放置一个 100 μ F 或更大的较大铝电解电容器。100 μ F 电容器还用作本地存储电容器, 用于在放大器输出上的大信号瞬变期间提供电流。PVCC 引脚为输出晶体管提供电源, 因此应在每个 PVCC 引脚上放置一个 100 μ F 或更大的电容器。

11. 布局

11.1 布局指南

对于大多数应用, AU3107/AU3108 器件可与小型、廉价的铁氧体磁珠输出滤波器配合使用。然而由于 D 类开关沿速度很快, 在规划印刷电路板布局时必须小心。以下建议有助于满足 EMC 要求。

- 去耦电容: 高频去耦电容应尽可能靠近 PVCC 引脚放置。应将大型(100 μ F 或更大)大容量电源去耦电容器放置在 PVCC 电源上的 AU3107/AU3108 器件附近。本地高频旁路电容器应尽可能靠近 PVCC 引脚放置。这些帽可以直接连接到导热垫, 以实现良好的接地连接。考虑在芯片两端的 PVCC 连接中添加一个 220pF 至 1000pF 之间的小型优质低 ESR 陶瓷电容器以及 0.1 μ F 至 1 μ F 之间的较大中频电容, 该电容器的质量也很好。
- 使每个输出的电流环路通过铁氧体磁珠和小滤波器电容返回 GND 尽可能小且紧密。该电流环路的大小决定了其作为天线的有效性。
- 接地: PVCC 去耦电容应连接至 GND。模拟地和电源地应在散热焊盘处连接, 散热焊盘应用作 AU3107/AU3108 的中央接地连接或星形接地。
- 输出滤波器: 铁氧体 EMI 滤波器(Figure 8)应尽可能靠近输出引脚放置, 以获得最佳 EMI 性能。铁氧体中使用的电容器应接地至电源地。
- 导热垫: 导热垫必须焊接到 PCB 上, 以获得适当的热性能和最佳可靠性。导热垫和导热地的尺寸应为 3.04mm $\times$ 2.34mm。七排实心过孔(每排三个过孔, 直径为 0.3302 毫米或 13 密耳)应均匀分布在热焊盘下方。过孔应连接到 PCB 内层或底层的实心铜平面。过孔必须是实心过孔, 而不是散热孔或网状过孔。

11.2 布局示例

请参考 EVM 或者咨询公司销售支持。

12. PACKAGE INFORMATION

The AU3107/AU3108 is available in the SOP16PP package. Figure 12 shows the package view.

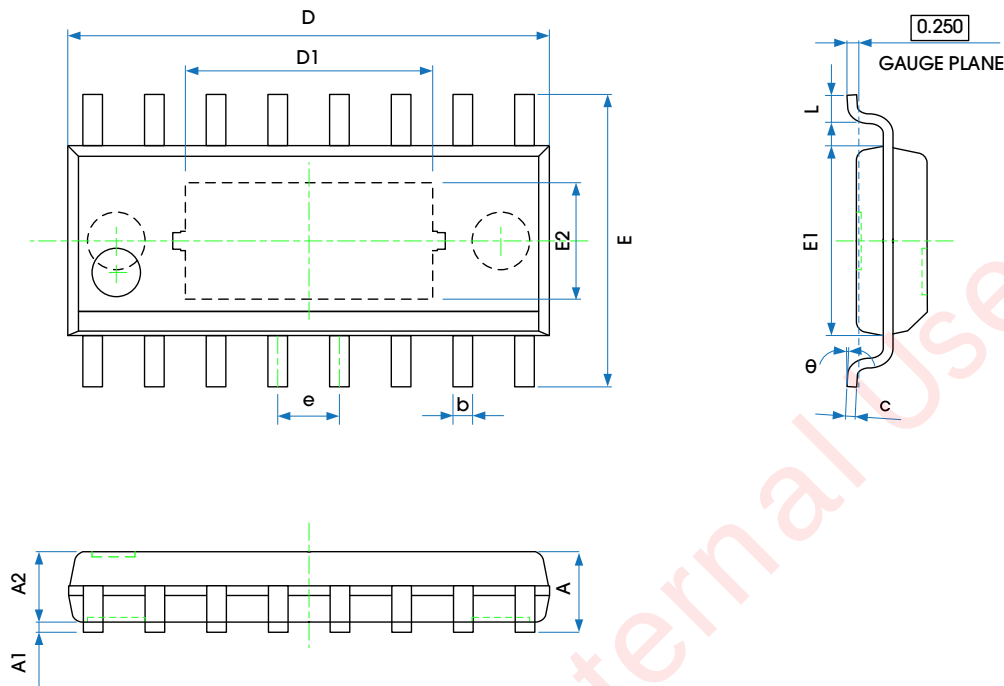


Figure 12. Package View

Table 9 provides detailed information about the dimensions.

Table 9. Dimensions

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	—	1.650	—	0.065
A1	0.000	0.100	0.000	0.004
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	9.800	10.000	0.386	0.394
D1	4.930	5.180	0.194	0.204
e	1.270 (BSC)		0.050 (BSC)	
E	5.900	6.100	0.232	0.240
E1	3.800	4.000	0.150	0.157
E2	2.240	2.490	0.088	0.098
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

13. TAPE AND REEL INFORMATION

Figure 13 illustrates the carrier tape.

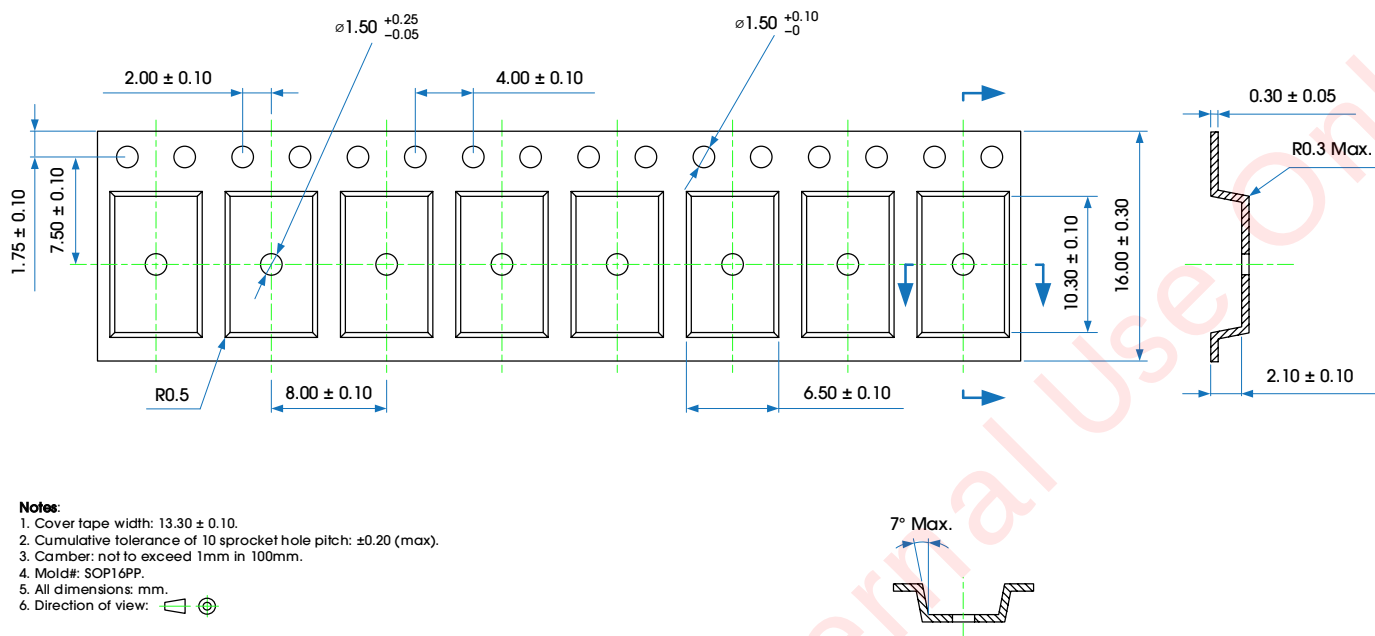


Figure 13. Carrier Tape Drawing

Table 10 provides information about tape and reel.

Table 10. Tape and Reel Information

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (mm)	CARTON SIZE (mm)
SOP16PP	13"	4000	1	8	32000	358*340*50	430*380*390

Figure 14 shows the product loading orientation—pin 1 is assigned at Q1.

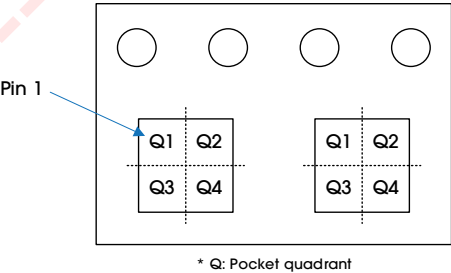


Figure 14. Product Loading Orientation

REVISION HISTORY

REVISION	DATE	DESCRIPTION
Rel 0.1	18 September 2023	DRAFT version
Rel 0.3	9 Oct 2023	Updated spec with internal evaluation.
Rel 0.8	26 Jan 2024	Updated with the latest sim data.
Rel 1.0	1 March 2023	Updated with testing data.
Rel 1.1	16 May 2024	Updated the order information.
Rel 1.1.1	28 May 2024	Add UVP, OVP min max value and part numbers of 4 gain options
Rel 1.2	26 November 2024	Updated the order information and added Figure 7.