

FEATURES

- 内置 900V 功率 MOSFET
- 采用独有的 PWM/PFM 多模式控制技术，无需补偿电容
- 全电压输入范围 $\pm 3\%$ 的 CC/CV 精度
- 优异的线性调整率和负载调整率
- 原边反馈可省光耦和 TL431
- 无音频噪声
- 智能保护功能
 - 过温保护 (OTP)
 - VCC 欠压&钳位保护 (UVLO&CLAMP)
 - 逐周期过流保护 (OCP)
 - CS 开路保护 (CS OP)
 - 输出过压、短路保护
- SOP-7 封装

APPLICATIONS

- 智能断路器供电电源
- BLDC、家电、智能家居等供电电源
- 辅助电源

GENERAL DESCRIPTION

SS6290C 是一款集成 900V 功率 MOSFET 的准谐振原边控制器，采用 SOP-7 封装，适用于高性能、外围元器件精简的智能断路器电源。

SS6290C 为原边反馈工作模式，可省略光耦和 TL431，并且 SS6290C 通过调整假负载，可实现满足相线电流平均值小于 0.2mA 的国标要求。在恒压模式，输出电压通过 FB 脚的电阻比例进行调节；在恒流模式，输出电流通过 CS 脚的电阻值进行调节。

该芯片还提供了全面的智能保护功能，包含逐周期过流保护、过压保护、过温保护、输出过压及短路保护和 CS 开路保护等等。

TYPICAL APPLICATION CIRCUIT

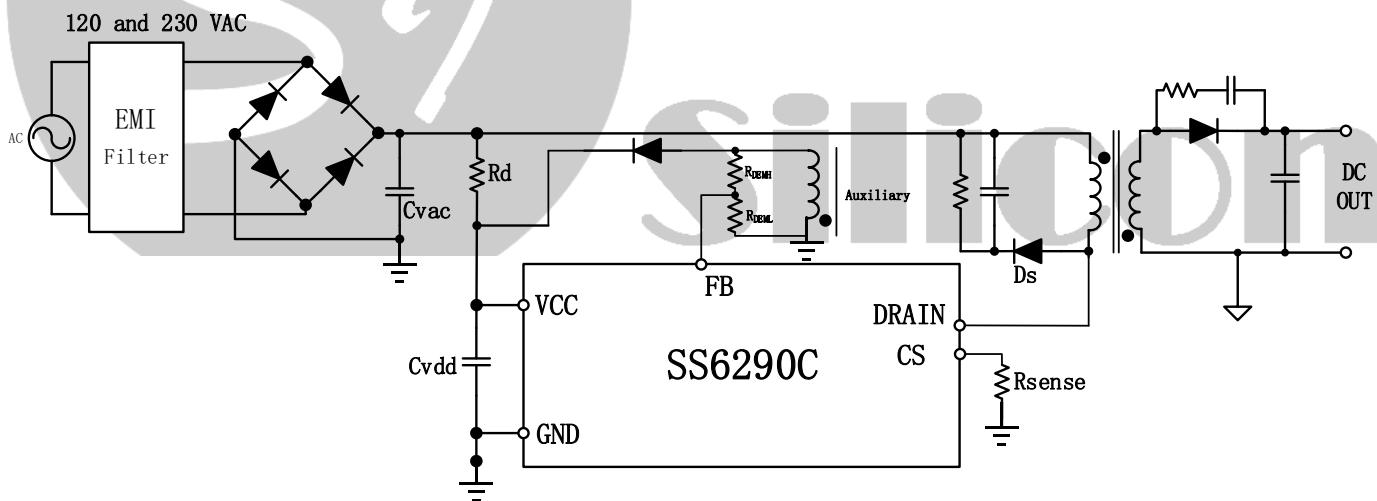


Figure 1. SS6290C Typical Application Circuit

Rev. A

Information furnished by Orisilicon is believed to be accurate and reliable. However, no responsibility is assumed by Orisilicon for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Orisilicon. Trademarks and registered trademarks are the property of their respective owners.

SPECIFICATIONS

$T_A = 25^\circ\text{C}$, unless otherwise noted.

Table 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
控制器						
V_{CC} 启动电压阈值	V_{CC_ON}	V_{CC} 上升	14	15.5	17	V
V_{CC} 欠压保护阈值	V_{CC_uvLo}	V_{CC} 下降	6.8	7.6	8.4	V
V_{CC} 钳位电压	V_{CC_CLP}	$I_{CC} = 5\text{mA}$	23.5	24.6	26.5	V
V_{CC} 启动电流	V_{CC_ST}	V_{CC} 上升, 但 $V_{CC} < V_{CC_ON}$	12	13	15	μA
V_{CC} 工作电流	V_{CC_OP}	$V_{FB}=3V$	200	240	380	μA
PWM 最大关断时间	V_{OFF_MAX}			4		ms
PWM 采样时间	V_{ON_SAMPLE}	$V_{CS_REF}=600\text{mV}$		6		μs
PWM 输出短路钳位频率	f_{short}			20		KHz
内部软启动时间	T_{Soft_state}			1		ms
PWM 最大工作频率	F_{SW_max}				110	KHz
CS 电流采样阈值	V_{CS_REF}		582	600	618	mV
CS 电流采样前沿消隐时间	T_{LEB_CS}			350		ns
FB 内部误差放大器基准	V_{FB_REF}		2.91	3	3.09	V
FB 过零检测阈值	V_{FB_ZERO}			0.1		V
FB 输出过压保护阈值	V_{FB_OVP}		3.9	4	4.1	V
FB 输出短路保护阈值	V_{FB_SHORT}			0.5		V
横流系数	K_{CC}	$K_{CC}=T_{DM}/T_{SW}$		0.5		
过温保护阈值	T_{OTP_TH}			140		$^\circ\text{C}$
过温保护迟滞	T_{OTP_HYS}			30		$^\circ\text{C}$
功率器件						
漏-源击穿电压	BV_{DSS}	$ID=250\mu\text{A}$	900			V
漏-源导通电阻	R_{DS_ON}	$I_D=0.5\text{A}$		20	22	Ohm
关态漏电流	I_{OFF}	$V_{SW}=900\text{V}$			10	μA

注：“电气参数”典型值由设计和测试统计保证，最小值和最大值由测试统计保证。

ABSOLUTE MAXIMUM RATINGS

Table 2.

Parameter	Rating
引脚电压范围 V_{CC}	-0.3V to +30V
钳位电流最大值 V_{CC_CLP}	10mA
CS 和 FB 引脚电压范围	-0.3V to +6V
DRAIN 引脚电压最大值 V_{DS_MAX}	900V
人体模型静电放电能力 ESD_{hbm}	3000V
工作结温范围 T_J	-40°C to +150°C
工作环境温度范围 T_A	-40°C to +105°C
存储环境温度范围 T_{STG}	-55°C to +150°C
引脚焊接条件	JEDEC J-STD-020

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值, 不涉及器件在这些或任何其他条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

THERMAL DATA

绝对最大额定值仅适合单独应用, 但不适合组合使用。结温高于限制值时, 会损坏芯片。监控环境温度并不能保证 T_J 不会超出额定温度限值。在功耗高、热阻差的应用中, 可能必须降低最大环境温度。

在功耗适中、PCB 热阻较低的应用中, 只要结温处于额定限值以内, 最大环境温度可以超过最大限值。器件的结温 (T_J) 取决于环境温度 (T_A)、器件的功耗 (P_D) 和封装的结到环境热阻 (θ_{JA})。

最高结温 (T_J) 由环境温度 (T_A) 和功耗 (P_D) 通过下式计算:

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结到环境热阻 (θ_{JA}) 基于使用 4 层板的建模和计算方法, 主要取决于应用和板布局。在功耗较高的应用中, 需要特别注意热板设计。 θ_{JA} 的值可能随 PCB 材料、布局和环境条件不同而异。 θ_{JA} 的额定值基于 4" × 3" 的 4 层电路板。有关板结构的详细信息, 请参考 JESD 51-7 和 JESD 51-9。

Ψ_{JB} 是结到板热特性参数, 单位为 °C/W。封装的 Ψ_{JB} 基于使用 4 层板的建模和计算方法。JESD51-12——“报告和使用电子封装热信息指南”中声明, 热特性参数和热阻不是一回事。 Ψ_{JB} 衡量沿多条热路径流动的器件功率, 而 θ_{JB} 只涉及一条路径。因此, Ψ_{JB} 热路径包括来自封装顶部的对流和封装的辐射, 这些因素使得 Ψ_{JB} 在现实应用中更有用。最高结温 (T_J) 由板温度 (T_B) 和功耗 (P_D) 通过下式计算:

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关 Ψ_{JB} 的详细信息, 请参考 JESD51-8 和 JESD51-12。

THERMAL RESISTANCE

θ_{JA} 和 Ψ_{JB} 针对最差条件, 即器件焊接在电路板上以实现表贴封装。

Table 3. Thermal Resistance

Package Type	θ_{JA}	θ_{JC}	Unit
7-Lead SOP			°C /W

ESD CAUTION



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

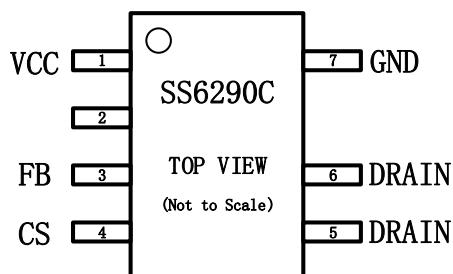


Figure 2. Pin Configuration

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	VCC	芯片供电引脚。通过在 VCC 和 GND 之间连接一个 4.7uF 陶瓷电容以稳定芯片供电。
2	NC	悬空
3	FB	反馈电压采样引脚。FB 引脚通过直接检测输出电压实现恒压控制。
4	CS	电流采样引脚。调整 CS 和 GND 之间的电流采样电阻以设定所需过流点。
5,6	DRAIN	内置高压 MOS 漏极端引脚
7	GND	芯片地引脚。芯片的功率地 和信号地。

THEORY OF OPERATION

SS6290C 是一款内置 900V MOS 的隔离型 PSR 反激式恒压恒流输出调节器。采用特有的多模式控制和环路补偿技术，只需要极少的外围组件就可以达到优异的恒压特性。

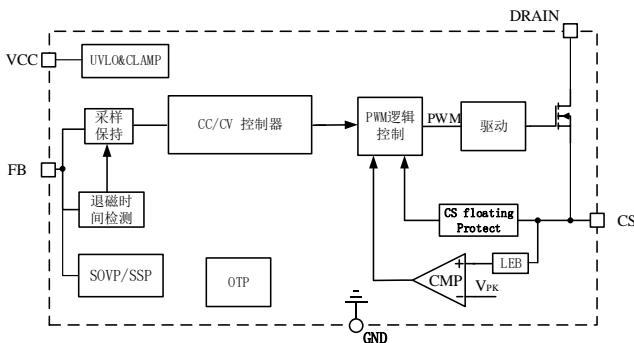


Figure 3. SS6290C Block Diagram

软启动功能

芯片需要 $13\mu\text{A}$ 的启动电流，系统上电后启动电阻对 V_{CC} 电容进行充电，当 V_{CC} 电压达到芯片开启阈值时，芯片内部控制电路开始工作。系统启动后， V_{CC} 由辅助绕组进行供电。

芯片具有软启动功能，在 1ms 软启动过程中，会分段增加原边峰值电流（ $500\mu\text{s}$ 的 300mV CS 基准+ $500\mu\text{s}$ 的 400mV CS 基准）以减小开关应力，每一次重启都会经历软启动的过程。

恒流控制(CC)和输出电流的设置

芯片逐周期检测电感的峰值电流，CS 端连接到内部的峰值电流比较器的输入端，与内部阈值电压进行比较，当 CS 外部电压达到内部检测阈值时，功率管关断。

满载时初级侧电感峰值电流的表达式为：

$$I_{Pri_PK} = \frac{V_{CS_REF}}{R_{CS}}$$

CS 比较器的输出包括一个 350ns 的前沿销隐时间。当系统工作于恒流模式时，芯片采用电感电流临界连续控制方式。此时的输出电流计算方法为：

$$I_{OUT} = \frac{N_{pri}}{N_{sec}} \times K_{CC} \times \frac{I_{Pri_PK}}{2} = \frac{N_{pri}}{N_{sec}} \times \frac{V_{CS_REF}}{4R_{CS}}$$

其中， N_{pri} 是变压器初级侧绕组匝数， N_{sec} 是变压器次级侧绕组匝数。

恒压控制(CV)和输出电压的设置

芯片通过辅助绕组采样输出电压，分压后与内部基准比较形成闭环后来恒定输出电压，输出电压算式为：

$$V_{OUT} = V_{FB_REF} \times \frac{(R_{FBH} + R_{FBL})}{R_{FBL}} \times \frac{N_{sec}}{N_{aux}} - V_{SD}$$

其中， R_{FBL} 是 FB 下拉电阻（建议取 2.2kohm 至 5.1kohm 之间）， R_{FBH} 是 FB 上拉电阻， N_{aux} 是变压器辅助绕组匝数， V_{SD} 是次级侧整流二极管压降。

PWM/PFM 多模式控制

芯片采用 PWM/PFM 多模式控制技术，能有效降低系统待机功耗，提高效率，并减小系统工作在轻载时的噪声。

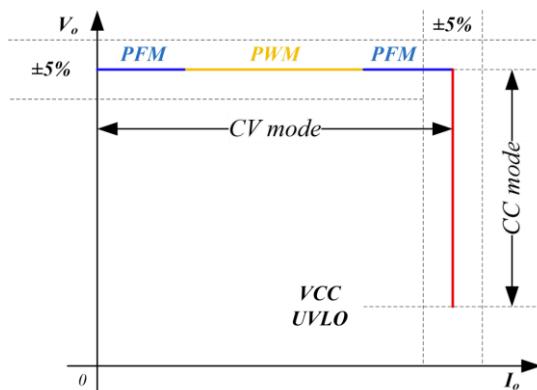


Figure 4. Control Mode

过压保护电阻设置

当 FB 检测到的平台电压达到内部设定的开路保护阈值 V_{FB_OVP} 时，系统进入开路保护，开路保护电压为：：

$$V_{OVP} = V_{FB_OVP} \times \frac{(R_{FBH} + R_{FBL})}{R_{FBL}} \times \frac{N_{sec}}{N_{aux}} - V_{SD}$$

其中， V_{OVP} 需要设定的过压保护点。

保护功能

芯片内置多种保护功能，包括输出开路保护、输出短路保护、VCC 欠压保护、VCC 钳位保护、系统过温保护等。

当输出短路时，FB 检测到的电压会低于 0.5V ，系统进入短路保护，工作时的开关频率被钳位在 20kHz 以有效降低开关管应力。短路工作 12ms 后，系统重启。

系统进入保护状态后，VCC 电压开始下降；当 VCC 到达欠压保护阈值时，系统将重启。同时系统不断的检测负载状态，如果故障解除，系统会重新开始正常工作。

特别的，当系统触发芯片的过温保护，芯片会将电流采样基准从 600mV 降低至 300mV 以控制输出功率，从而降低系统温度。当芯片结温降低至低于过温保护点 30°C 后，芯片会将电流采样基准恢复到 600mV 。

PCB 设计注意事项

1. 旁路电容(C_{VCC})紧靠芯片，尽量缩小 V_{CC} 引脚经 C_{VCC} 到 GND 引脚的环路面积。
2. 电流采样电阻(R_{CS})紧靠芯片，尽量缩小 CS 引脚经 R_{CS} 到 GND 引脚的环路面积，同时在保证 MOSFET 源极和续流二极管阴极到 R_{CS} 间通流能力的前提下尽量缩小 CS 引脚等电位布线面积以减小电磁干扰。
3. FB 采样电阻(R_{FB_H} 和 R_{FB_L})紧靠芯片，尽量缩小 FB 引脚经 R_{FB_L} 到 GND 引脚的环路面积，同时尽量缩小 FB 引脚等电位布线面积。
4. 注意区分功率地和信号地。电流采样电阻(R_{CS})和电感(L_o)之间的连线属功率地，且为跳动电位，在保证足够通流能力的前提下尽量缩小该功率地布线面积以减小电磁干扰； R_{FB_L} 和 C_{VCC} 至 GND 引脚之间的连线属信号地。功率地和信号地采用单点连接至 GND 引脚。
5. 在保证通流能力的前提下尽量缩小输入电容(C_{in})，MOSFET 和续流二极管构成的环路面积以减小电磁干扰。



OUTLINE DIMENSIONS

标注	尺寸	最小 (mm)	最大 (mm)	标注	尺寸	最小 (mm)	最大 (mm)
A		4.80	5.00	C3		0.05	0.20
A1		0.356	0.456	C4		0.203	0.233
A2		1.27TYP		D		1.05TYP	
A3		0.345TYP		D1		0.40	0.80
B		3.80	4.00	R1		0.20TYP	
B1		5.80	6.20	R2		0.20TYP	
B2		5.00TYP		θ1		17° TYP4	
C		1.45	1.55	θ2		13° TYP4	
C1		0.55	0.65	θ3		0° ~ 8°	
C2		0.55	0.65	θ4		4° ~ 12°	

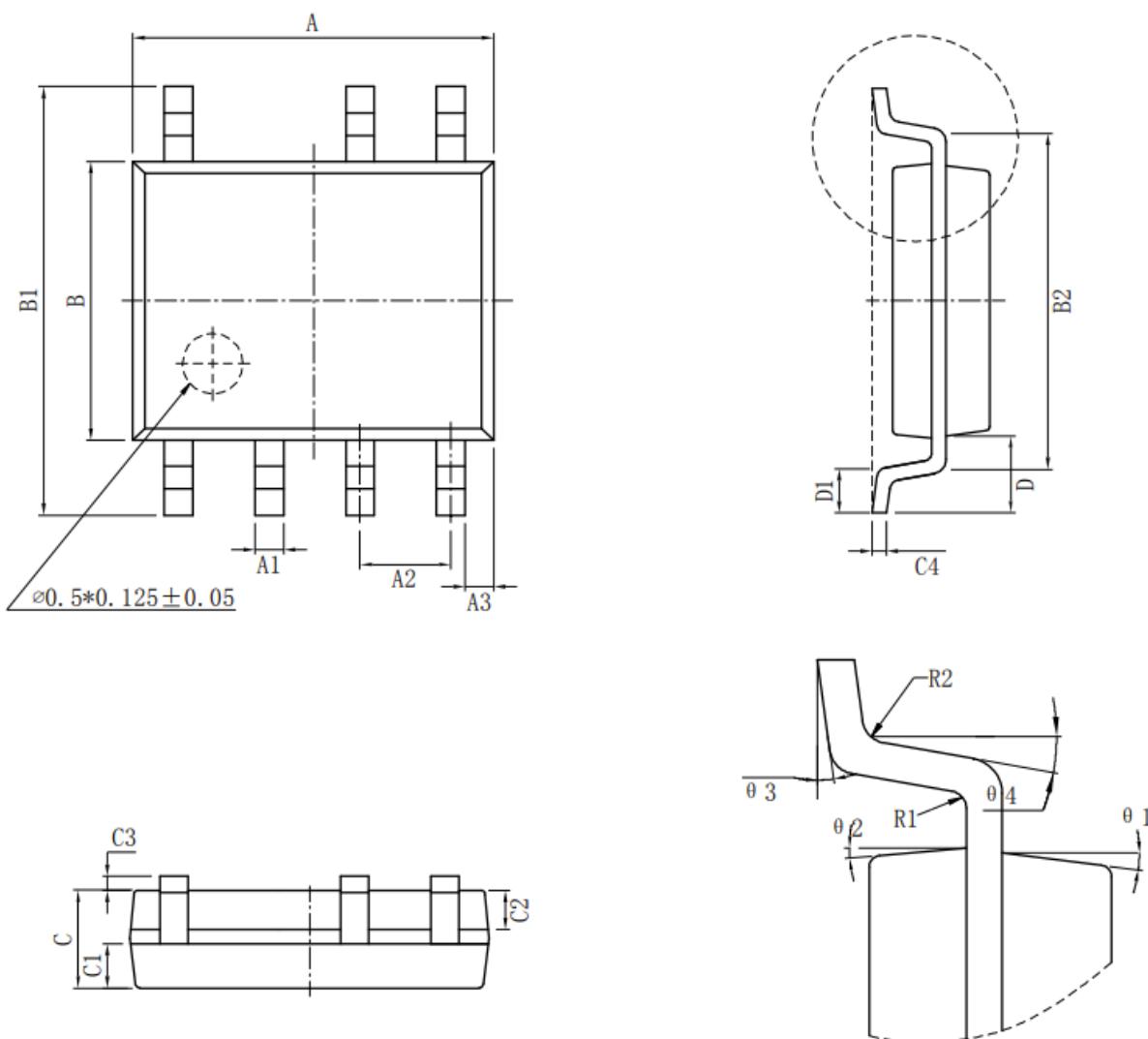


Figure 5. 7-Lead Small Outline Package [SOP]

Dimensions show in millimeters

ORDERING GUIDE

Model	Temperature Range	Built-In MOSFET	Package	Package Option
SS6290C	-40°C to +125°C	900V 20ohm	SOP7	Tubing, 50 pcs/tube

注：本公司保留不预先通知而修改此文件的权利



©2023 Orisilicon, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.



www.orisilicon.com

版本信息

版本号	发布日期	页数	章节或图表	更改说明
1.0	2024.12	9		首次发布



Silicon