



**苏州洪芯集成电路有限公司**

# 数据手册

## Datasheet

**HX64D1037x 系列  
基于苏州洪芯 HCORE 多线程内核**

**Revision 2.7**



## 目录

1. 产品特征 .....	3
2. 产品应用 .....	4
3. 产品描述 .....	4
4. 功能框图 .....	5
5. 修订历史记录 .....	6
6. 器件比较 .....	6
7. 引脚配置和功能 .....	9
7.1. 引脚图 .....	9
7.2. 信号描述 .....	10
7.3. 带内部上/下拉的引脚 .....	40
7.4. 引脚多路复用 .....	41
7.5. 未使用引脚的连接 .....	55
8. 规格 .....	56
8.1. 最大绝对额定值 .....	56
8.2. ESD 等级-商用等级 .....	56
8.3. ESD 等级-车用等级 .....	57
8.4. 推荐的工作条件 .....	57
8.5. 功耗 .....	58
8.6. 电气特性 .....	60
8.7. 热阻特性 <sup>(1)</sup> .....	60
8.8. 散热设计考虑 .....	61
8.9. 系统 .....	61
8.10. 模拟外设 .....	79
8.11. 控制外设 .....	95
8.12. 通信外设 .....	105
9. 系统说明 .....	117
9.1. 概述 .....	117
9.2. 功能框图 .....	117
9.3. 存储器 .....	118
9.4. 识别认证 .....	122
9.5. 洪芯 HCORE 多线程 DSP 内核 .....	123
9.6. 直接内存访问(DMA) .....	123
9.7. 引导 ROM 和外设引导 .....	125
9.8. 看门狗 .....	126
9.9. 浮点运算单元 (FPU) .....	127
10. 器件和文档支持 .....	127
10.1. 器件命名 .....	127
10.2. 开发支持 (软硬件开发工具) .....	128
11. 机械、封装尺寸信息 .....	130
11.1. 器件封装信息 .....	130



## 1. 产品特征

- ◆ 基于 **HCORE (洪芯 DSP1.0)** 多线程 DSP 内核
  - 最高工作频率 600MHz；最大算力 9.6GMACs
  - 4 个可独立运行的线程
  - 64 位 VLIW
  - 32 位整数/地址运算器
  - 256 位 SIMD 矢量运算器
    - 可同时执行 16 个  $16 \times 16$  或是 8 个  $32 \times 32$  MAC
    - 支持复数运算指令, FFT 运算指令
    - 支持浮点运算
  - 浮点运算协处理器
    - 支持 IEEE 754 双精度浮点运算或 2 组 IEEE 754 单精度浮点运算 (内含浮点三角函数运算、浮点类型转换、浮点算术运算、浮点比较运算等其他运算)
- ◆ 时钟, 复位和电源管理
  - 上电/断电复位 (POR/PDR)
  - 支持动态锁相环比率变化
  - 4~24MHz 晶体振荡器
  - 内置经出厂校准的 10MHz 的 RC 振荡器
  - 内置 40KHz 的 RC 振荡器
  - 32.768KHz 外接晶振为芯片提供 RTC CLK
  - 看门狗
- ◆ 存储器
  - 512K 至 1M 字节的 FLASH (带 ECC)
  - 256KB 的 L1 SRAM
  - 高达 512KB L2 SRAM
  - 64KB Icache
  - 32KB ROM 和 20KB OTP
  - EMIF 支持外挂 DDR SDRAM
  - FSMC 支持外挂 NOR Flash、PSRAM、NAND Flash、PC Card
- ◆ 中断
  - 支持 5 个外部中断
  - 支持最多 192 个外设中断扩展
- ◆ 128 位加密 (AES/3DEC/other) 加速器
- ◆ 低功耗
  - 支持多个具有外部唤醒功能的低功耗模式
- ◆ 调试模式
  - 串行调试 (JTAG)
- ◆ CRC 计算单元
- ◆ 256 位唯一标识码 (UID)
- ◆ 4 个 12/16 位 A/D 转换器
  - 转换范围  $0 \sim V_{DDA}$
  - 6/8/10/12 位可调分辨率
  - 部分型号可达 16 位分辨率
  - 自校准
  - 2.5MSPS 采样率; 间插模式下 4.3MSPS
  - 支持单端输入和差分输入
  - 最多 36 个单端输入通道
- ◆ 3 个 12 位缓冲 D/A 输出
  - Buffer 开启时的输出范围  $0.2V \sim V_{DDA} - 0.2V$
  - 典型刷新率为 1MS/s
- ◆ 8 个模拟比较器 (CMPSS)
  - 8 个窗口比较器, 且都内置 12-bit DAC 以提供参考电压
- ◆ DMA: 多通道 DMA 控制器
  - 支持外设: ADC、SPI、Timer、uPP、I2C、EtherCAT 和 USART
- ◆ 多达 169 个通用 I/O 端口 (GPIO)
  - 所有 41/97/169 个 I/O 端口均可映射到 5 个扩展的外部中断矢量
- ◆ 强化的控制外设
  - 36 个强化功能的 PWM 通道 (ePWM)
  - 24 个高分辨率 PWM 通道 (HRPWM)
  - 7 个强化功能的捕捉功能模块 (eCAP)
  - 6 个强化功能的正交编码模块 (eQEP)
- ◆ 通信外设接口
  - 1 个 USB2.0 全速/高速接口 (MAC+PHY)
  - 1 个 EtherCAT
  - 3 个 CAN FD/CAN 2.0
  - 3 个 SPI (最大 50Mbit/s) 接口
  - 3 个 I2S 接口
  - 4 个 USART 接口
  - 2 个 I2C 接口
  - 1 个 uPP 接口
- ◆ 电源
  - 1.2V Core, 3.3V IO 支持 5V 耐压



## 2. 产品应用

- 电机驱动和应用控制
  - 高压交流 (HVAC) 大型商业电机控制
  - 线性电机分段控制器
  - 伺服电机驱动控制器
  - 变频电机控制
- 中/短距离雷达
- 新能源
  - 逆变器
  - 储能电站
  - 新能源车辆
  - 充电桩
- 通信/网络信号处理
  - 语音处理和识别
  - 安全
- 警报系统
- 指纹/人像识别
- CNC 控制
- 工业应用
  - 可编程控制器 (PLC)
  - 变频器
  - 打印机和扫描仪
  - 自动分拣设备
- 电源
  - 精密电源
  - 三相 UPS
- 车载充电器 (OBC) 和无线充电器
- 工业机器人
- 无人机
- 医疗和手持设备
- GPS
- PC 游戏外设

## 3. 产品描述

HX64D1037x 系列芯片是以苏州洪芯自主研发的采用先进的多线程技术的高性能 DSP (HCORE) 为内核开发的 SoC。苏州洪芯自主研发的 HCORE 采用了多线程架构, 具有 64 位的超长宽指令, 256 位的 SIMD 矢量运算器等模块, 具有高性能、超低功耗的特点。HX64D1037x 系列芯片的最高工作频率可达 600MHz, 最高算力可达 9.6GMACs, 内置高达 1M 字节的闪存, 256KB L1 SRAM 和 512KB 的 L2 SRAM, 丰富的增强功能的控制端口, 高精度的模拟端口以及多种形式的通信端口。可以满足工业控制, 新能源, 网络/通信, 互联网等领域的应用需求。

HX64D1037x 系列产品工作于-40°C 至+125°C 的温度范围, 供电电压为 1.2V(Core 电压)和 3.3V (IO 电压), 一系列的省电模式保证了低功耗应用的要求。

HX64D1037x 系列产品提供的封装形式有 nFBGA337, HLQFP176 和 HTQFP100。根据不同的封装形式, 器件中的外设配置不尽相同。这些丰富的外设配置使得 HX64D1037x 系列产品适合于多种应用场合。

## 4. 功能框图

图 4-1 为整个系统功能框图, 显示了整个 HCORE 系统和相关外设。

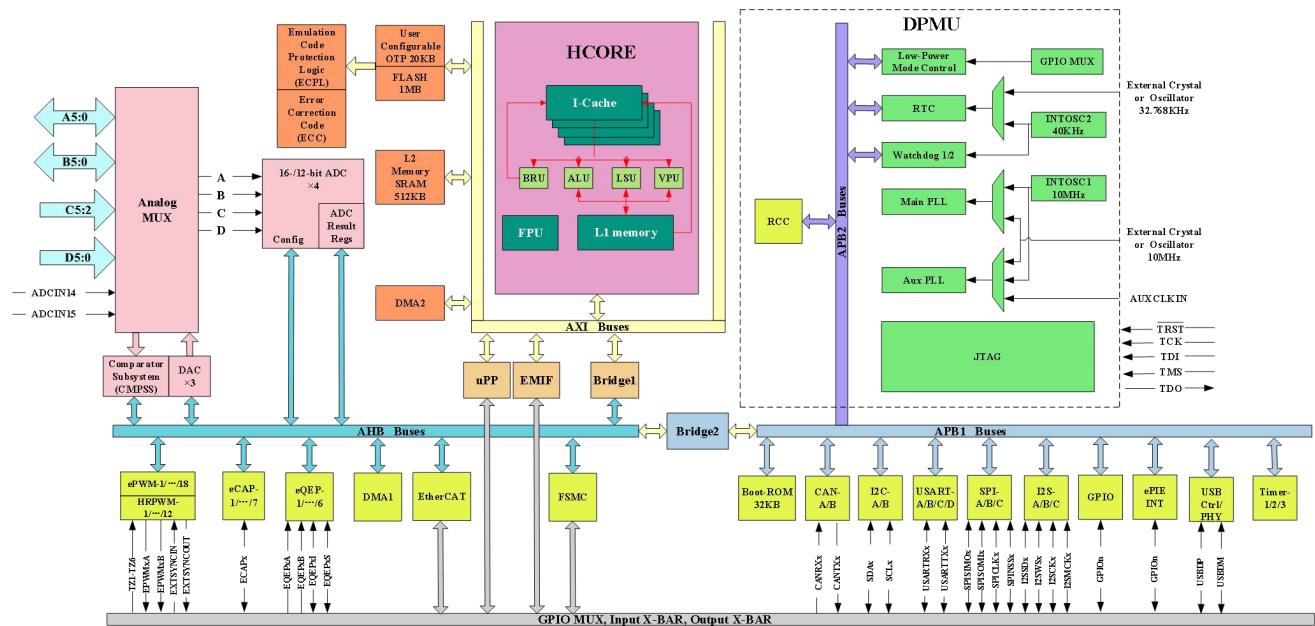


图 4-1 功能方框



## 5. 修订历史记录

## 6. 器件比较

表 6-1 列出了 HX64D1037x 各个系列器件的功能特性。

表 6-1 器件比较

特性	10379A/B	10378A/B	10377A/B		10376A/B		10375A/B		
封装类型	337-Ball nFBGA	176-Pin HLQFP	176-Pin HLQFP	337-Ball nFBGA	176-Pin HLQFP	337-Ball nFBGA	176-Pin HLQFP	337-Ball nFBGA	176-Pin HLQFP
处理器									
HCORE	线程数量	4							
	频率 (MHz)	600					550		
	矢量运算 单元位数 (VPU Bits)	256 (可同时支持 16 组 $16 \times 16$ 位乘法累加运算或 4 组复数运算、软浮点运算)							
	浮点运算 单元 (FPU)	支持硬件双精度浮点运算或 2 组单精度浮点运算 (内含浮点三角函数运算、浮点类型转换、浮点算术运算、浮点比较运算等其他运算)				硬件单精度浮点运算 (内含浮点三角函数运算、浮点类型转换、浮点算术运算、浮点比较运算等其他运算)			
	特殊指令	支持 FFT、Viterbi、复数运算、Turbo 解码							
	高速缓存 (Lcache)	64KB							
	L1 存储器	256KB							
	DMA	2 个 (共 11 通道)							
存储									
Flash 闪存 (64 位)		1MB							
L2 存储器		512KB							
OTP 存储器		20KB							
BOOT ROM		32KB							
系统									
可编程逻辑阵列 (CLB)		4 titles		无					
看门狗 (Watchdog)		2							
实时时钟 (RTC)		1							
Timer		3							



特性	10379A/B		10378A/B		10377A/B		10376A/B		10375A/B							
封装类型	337-Ball nFBGA	176-Pin HLQFP	176-Pin HLQFP	337-Ball nFBGA	176-Pin HLQFP	337-Ball nFBGA	176-Pin HLQFP	337-Ball nFBGA	176-Pin HLQFP	100-Pin HTQFP						
晶振/外部时钟输入	2															
输入/输出管脚 (GPIO)	169	97	97	169	97	169	97	169	97	41						
AGPIO	16															
外部中断	5															
EMIF (16 位或 32 位)	1															
FSMC	1															
模拟外设																
16 位 ADC 模 式	MSPS(每秒 百万次采 样)	1.1					-									
	转换时间 (ns)	915					-									
	输入管脚 数	24	20	20	24	20	-									
	(差分)通 道数	12	9	9	12	9	-									
12 位 ADC 模 式	MSPS(每秒 百万次采 样)	2.5														
	转换时间 (ns)	400 (Interleaved mode 下 230)														
	输入管脚 数	A	24	20	20	24	20	24	20	24	20					
		B	36	36	36	36	36	36	36	36	36					
	(单端) 通道数	A	24	20	20	24	20	24	20	24	20					
		B	36	36	36	36	36	36	36	36	36					
	(差分) 通道数	A	12	9	-	12	9	12	9	12	9					
		B	18	18		18	18	18	18	18	18					
16 位或 12 位 ADC 数量	4		-													
仅 12 位 ADC 数量	-		4													
温度传感器	1															
CMPSS (每个 CMPSS 含 2 个模拟比较器和 2 个 内部 DAC)	8															



特性	10379A/B		10378A/B		10377A/B		10376A/B		10375A/B									
封装类型	337-Ball nFBGA	176-Pin HLQFP	176-Pin HLQFP	337-Ball nFBGA	176-Pin HLQFP	337-BallnF BGA	176-Pin HLQFP	337-Ball nFBGA	176-Pin HLQFP	100-Pin HTQFP								
带缓冲功能的数模转换器(DAC)	3																	
<b>控制外设</b>																		
增强型捕捉模块 (eCAP) 输入个数	A	6																
	B	7																
增强型脉冲宽度调制器(ePWM)通道数	A	24																
	B	36																
正交编码模块 (eQEP)	A	3																
	B	6 <sup>(2)</sup>																
高精度增强脉冲宽度调制器通道数 (HRPWM)	24						-											
<b>通信外设</b>																		
EtherCAT	1																	
CAN FD/CAN 2.0	3				-				-									
CAN 2.0	-				2				-									
I2C	2																	
USART	4																	
SPI	3																	
I2S	3																	
USB2.0 (高速)	1				-				-									
USB2.0 (全速)	-				1				1									
uPP	1																	
<b>温度和认证</b>																		
结点温度( $T_j$ )	T: -40°C ~105°C	满足																
	S: -40°C ~125°C	满足																
	Q: -40°C ~150°C	满足	满足	不满足	满足	不满足												
自然通风温度( $T_A$ )	Q: -40°C ~125°C	满足	满足	不满足	满足	不满足												

(1) 单精度: 3us, 双精度: 4us

(2) HX64D1037xB 增加了位置脉冲编码计数触发功能



## 7. 引脚配置和功能

### 7.1. 引脚图

图 7-1 显示了 HLQFP176 封装的引脚分配。

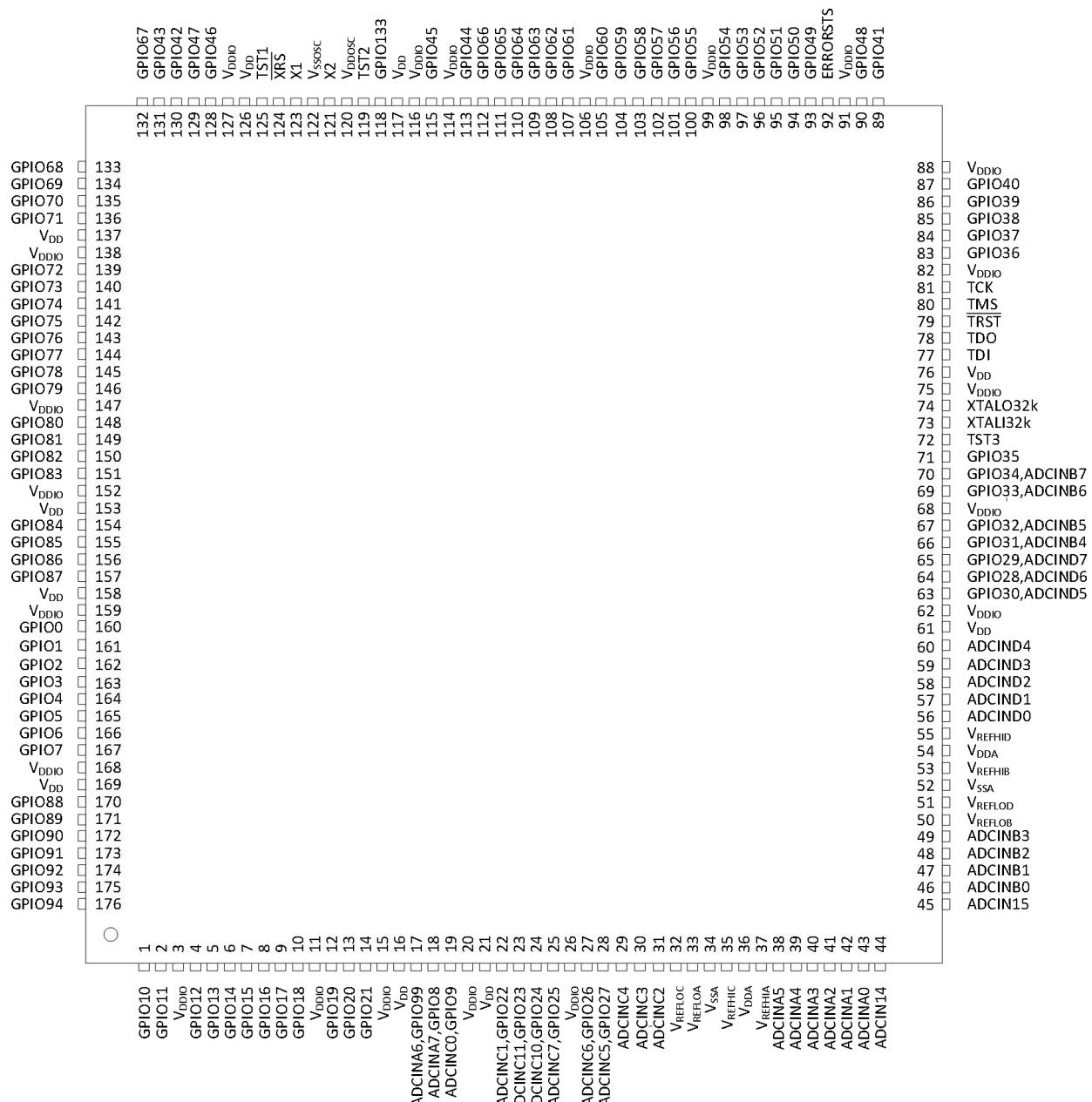


图 7-1 HLQFP176 封装引脚分配图



## 7.2. 信号描述

表 7-1 描述了器件的各信号。除非另有说明，否则复位时默认为 GPIO 功能。下述列出的外设信号是备用功能。有些外设功能并不在所有器件上提供。

表 7-1 信号描述表

名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
模数、数模和比较器信号							
$V_{REFHIA}$		V1	37	19	I	ADC-A 高基准电压。此基准电压必须由外部电路提供。当 ADC 工作在 12-bit 模式时，请在此引脚上连接至少一个 $1\mu F$ 电容；当 ADC 工作在 16-bit 模式时，请连接至少一个 $22\mu F$ 电容。电容器应放置在 $V_{REFHIA}$ 和 $V_{REFLOA}$ 引脚之间且尽可能靠近芯片。 <b>注意:</b> 不要在外部给此引脚加负载。	
$V_{REFHIB}$		W5	53	37	I	ADC-B 高基准电压。此基准电压必须由外部电路提供。当 ADC 工作在 12-bit 模式时，请在此引脚上连接至少一个 $1\mu F$ 电容；当 ADC 工作在 16-bit 模式时，请连接至少一个 $22\mu F$ 电容。电容器应放置在 $V_{REFHIB}$ 和 $V_{REFLOB}$ 引脚之间且尽可能靠近芯片。 <b>注意:</b> 不要在外部给此引脚加负载。	
$V_{REFHIC}$		R1	35	-	I	ADC-C 高基准电压。此基准电压必须由外部电路提供。当 ADC 工作在 12-bit 模式时，请在此引脚上连接至少一个 $1\mu F$ 电容；当 ADC 工作在 16-bit 模式时，请连接至少一个 $22\mu F$ 电容。电容器应放置在 $V_{REFHIC}$ 和 $V_{REFLOC}$ 引脚之间且尽可能靠近芯片。 <b>注意:</b> 不要在外部给此引脚加负载。	
$V_{REFHID}$		V5	55	-	I	ADC-D 高基准电压。此基准电压必须由外部电路提供。当 ADC 工作在 12-bit 模式时，请在此引脚上连接至少一个 $1\mu F$ 电容；当 ADC 工作在 16-bit 模式时，请连接至少一个 $22\mu F$ 电容。电容器应放置在 $V_{REFHID}$ 和 $V_{REFLOD}$ 引脚之间且尽可能靠近芯片。 <b>注意:</b> 不要在外部给此引脚加负载。	



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
V <sub>REFLOA</sub>		R2	33	17	I	ADC-A 低基准电压。 在 HTQFP 封装上, 引脚 17 双键连接至 V <sub>SSA</sub> 和 V <sub>REFLOA</sub> 。 在 HTQFP 封装上, 引脚 17 必须连接到系统板上的 V <sub>SSA</sub> 。	
V <sub>REFLOB</sub>		V6	50	34	I	ADC-B 低基准电压	
V <sub>REFLOC</sub>		P2	32	-	I	ADC-C 低基准电压	
V <sub>REFLOD</sub>		W6	51	-	I	ADC-D 低基准电压	
ADCIN14		T4	44	26	I	输入 14 连接到所有 ADC。该引脚可用作通用 ADCIN 引脚, 也可用于从外部基准电压源校准所有 ADC (单端/差分)。	
CMPIN4P					I	比较器 4 正输入	
ADCIN15		U4	45	27	I	输入 15 连接到所有 ADC。该引脚可用作通用 ADCIN 引脚, 也可用于从外部基准电压源校准所有 ADC (单端/差分)。	
CMPIN4N					I	比较器 4 负输入	
ADCINA0		U1	43	25	I	ADC-A 输入 0。在 ADC 输入或 DAC 输出模式下, 该引脚上有一个 50kΩ 的内部下拉电阻, 无法禁用。	
DACOUTA					O	DAC-A 输出	
ADCINA1		T1	42	24	I	ADC-A 输入 1。在 ADC 输入或 DAC 输出模式下, 该引脚上有一个 50kΩ 的内部下拉电阻, 无法禁用。	
DACOUTB					O	DAC-B 输出	
ADCINA2		U2	41	23	I	ADC-A 输入 2	
CMPIN1P					I	比较器 1 正输入	
ADCINA3		T2	40	22	I	ADC-A 输入 3	
CMPIN1N					I	比较器 1 负输入	
ADCINA4		U3	39	21	I	ADC-A 输入 4	
CMPIN2P					I	比较器 2 正输入	
ADCINA5		T3	38	20	I	ADC-A 输入 5	
CMPIN2N					I	比较器 2 负输入	
ADCINB0		V2	46	28	I	ADC-B 输入 0。如果此引脚用作片内 DAC 的参考, 则在此引脚上至少放置一个 1μF 电容。	
V <sub>DAC</sub>					I	片上 DAC 的可选外部参考电压。如果此引脚用作片内 DAC 的参考, 则在此引脚上至少放置一个 1μF 电容。	



引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述	
名称	复用位置		337-Bil nFBGA	176-Pin HLQFP	100-Pin HTQFP		
	A	B					
ADCINB1			W2	47	29	I	ADC-B 输入 1。在 ADC 输入或 DAC 输出模式下, 该引脚上有一个 50kΩ的内部下拉电阻, 无法禁用。
DACOUTC						O	DAC-C 输出
ADCINB2			V3	48	30	I	ADC-B 输入 2
CMPIN3P						I	比较器 3 正输入
ADCINB3			W3	49	31	I	ADC-B 输入 3
CMPIN3N						I	比较器 3 负输入
ADCINB4			V4	-	32	I	ADC-B 输入 4
ADCINB5			W4	-	33	I	ADC-B 输入 5
ADCINC2			R3	31	-	I	ADC-C 输入 2
CMPIN6P						I	比较器 6 正输入
ADCINC3			P3	30	-	I	ADC-C 输入 3
CMPIN6N						I	比较器 6 负输入
ADCINC4			R4	29	-	I	ADC-C 输入 4
CMPIN5P						I	比较器 5 正输入
ADCINC5			P4	-	-	I	ADC-C 输入 5
CMPIN5N						I	比较器 5 负输入
ADCIND0			T5	56	-	I	ADC-D 输入 0
CMPIN7P						I	比较器 7 正输入
ADCIND1			U5	57	-	I	ADC-D 输入 1
CMPIN7N						I	比较器 7 负输入
ADCIND2			T6	58	-	I	ADC-D 输入 2
CMPIN8P						I	比较器 8 正输入
ADCIND3			U6	59	-	I	ADC-D 输入 3
CMPIN8N						I	比较器 8 负输入
ADCIND4			T7	60	-	I	ADC-D 输入 4
ADCIND5			U7	-	-	I	ADC-D 输入 5
AGPIO8			G2	18	-	I/O	输入输出管脚 8
ADCINA7						I	ADC-A 输入 7
AGPIO9			G3	19	-	I/O	输入输出管脚 9
ADCINC0						I	ADC-C 输入 0
AGPIO22			J4	22	-	I/O	输入输出管脚 22
ADCINC1						I	ADC-C 输入 1
AGPIO23			K4	23	-	I/O	输入输出管脚 23
ADCINC11						I	ADC-C 输入 11
AGPIO24			K3	24	-	I/O	输入输出管脚 24
ADCINC10						I	ADC-C 输入 10



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
AGPIO25		K2	25	-	I/O	输入输出管脚 25	
ADCINC7					I	ADC-C 输入 7	
AGPIO26		K1	27	-	I/O	输入输出管脚 26	
ADCINC6					I	ADC-C 输入 6	
AGPIO27		L1	28	-	I/O	输入输出管脚 27	
ADCINC5					I	ADC-C 输入 5	
AGPIO28		V11	64	-	I/O	输入输出管脚 28	
ADCIND6					I	ADC-D 输入 6	
AGPIO29		W11	65	-	I/O	输入输出管脚 29	
ADCIND7					I	ADC-D 输入 7	
AGPIO30		T11	63	-	I/O	输入输出管脚 30	
ADCIND5					I	ADC-D 输入 5	
AGPIO31		U11	66	-	I/O	输入输出管脚 31	
ADCINB4					I	ADC-B 输入 4	
AGPIO32		U13	67	-	I/O	输入输出管脚 32	
ADCINB5					I	ADC-B 输入 5	
AGPIO33		T13	69	-	I/O	输入输出管脚 33	
ADCINB6					I	IADC-B 输入 6	
AGPIO34		U14	70	-	I/O	输入输出管脚 34	
ADCINB7					I	ADC-B 输入 7	
AGPIO99		G1	17	14	I/O	输入/输出 99	
ADCINA6					I	ADC-A 输入 6	
GPIO 和外设信号							
GPIO0	0, 4, 8, 12	0, 4, 8, 12			I/O	通用输入输出管脚 0	
EPWM1A	1	1	C8	160	O	增强型 PWM1 输出 A (支持 HRPWM)	
SDAA	6	6			I/OD	I2C-A 数据开漏双向端口	
ESC_GPIO	10	10			I	EtherCAT 的 GPI 数据输入接口	
GPIO1	0, 4, 8, 12	0, 4, 8, 12			I/O	通用输入输出管脚 1	
EPWM1B	1	1	D8	161	O	增强型 PWM1 输出 B (支持 HRPWM)	
SCLA	6	6			I/OD	I2C-A 时钟开漏双向端口	
ESC_GPI1	10	10			I	EtherCAT 的 GPI 数据输入接口	



引脚						输入/ 输出 /高阻 (I/O/Z)	信号描述
名称	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
	A	B					
GPIO2	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 2
EPWM2A	1	1				O	增强型 PWM2 输出 A (支持 HRPWM)
OUTPUTXBAR1	5	5	A7	162	91	O	输出 XBAR 的输出 1
SDAB	6	6				I/OD	I2C-B 数据开漏双向端口
ESC_GPI2	10	10				I	EtherCAT 的端口数据输入接口
GPIO3	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 3
EPWM2B	1	1				O	增强型 PWM2 输出 B (支持 HRPWM)
OUTPUTXBAR2	2	2	B7	163	92	O	输出 XBAR 的输出 2
OUTPUTXBAR2	5	5				O	输出 XBAR 的输出 2
SCLB	6	6				I/OD	I2C-B 时钟开漏双向端口
ESC_GPI3	10	10				I	EtherCAT 的端口数据输入接口
GPIO4	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 4
EPWM3A	1	1				O	增强型 PWM3 输出 A (支持 HRPWM)
OUTPUTXBAR3	5	5	C7	164	93	O	输出 XBAR 的输出 3
CANTXA	6	6				O	CAN-A 发送
ESC_GPI4	10	10				I	EtherCAT 的端口数据输入接口
GPIO5	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 5
EPWM3B	1	1				O	增强型 PWM3 输出 B (支持 HRPWM)
OUTPUTXBAR3	3	3	D7	165	-	O	输出 XBAR 的输出 3
EQEP3G	5	5				O	增强型 QEP3 输出 G
CANRXA	6	6				I	CAN-A 接收
ESC_GPI5	10	10				I	EtherCAT 的端口数据输入接口
GPIO6	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 6
EPWM4A	1	1				O	增强型 PWM4 输出 A (支持 HRPWM)
OUTPUTXBAR4	2	2				O	输出 XBAR 的输出 4
EXTSYNCOUT	3	3	A6	166	-	O	增强型 ePWM 同步脉冲输出
EQEP3A	5	5				I	增强型正交编码调制器 QEP3 输入 A
CANTXB	6	6				O	CAN-B 发送
ESC_GPI6	10	10				I	EtherCAT 的端口数据输入接口
GPIO7	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 7
EPWM4B	1	1				O	增强型 PWM4 输出 B (支持 HRPWM)
OUTPUTXBAR5	3	3				O	输出 XBAR 的输出 5
EQEP3B	5	5	B6	167	-	I	增强型正交编码调制器 QEP3 输入 B
CANRXB	6	6				I	CAN-B 接收
EQEP1G	7	7				O	增强型正交编码调制器 QEP1 输出 G
ESC_GPI7	10	10				I	EtherCAT 的端口数据输入接口



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述		
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP				
	A	B							
GPIO8	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 8		
EPWM5A	1	1				O	增强型 PWM5 输出 A (支持 HRPWM)		
CANTXB	2	2				O	CAN-B 发送		
ADCSOCAO	3	3	G2	18	-	O	对外部 ADC 的转换开始 A 输出		
EQEP3S	5	5				I/O	增强型外部调制器 QEP3 选通		
USARTTXA	6	6				O	USART-A 数据发送		
ESC_GPO0	10	10				O	EtherCAT 的端口数据输出接口		
GPIO9	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 9		
EPWM5B	1	1				O	增强型 PWM5 输出 B (支持 HRPWM)		
USARTTXB	2	2				O	USART-B 发送		
OUTPUTXBAR6	3	3	G3	19	-	O	输出 XBAR 的输出 6		
EQEP3I	5	5				I/O	增强的 QEP3 索引		
USARTRXA	6	6				I	USART-A 接收数据		
ESC_GPO1	10	10				O	EtherCAT 的端口数据输出接口		
GPIO10	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 10		
EPWM6A	1	1				O	增强型 PWM6 输出 A (支持 HRPWM)		
CANRXB	2	2				I	CAN-B 接收		
ADCSOCBO	3	3				O	对外部 ADC 的转换开始 B 输出		
EQEP1A	5	5	B2	1	100	I	增强的 QEP1 输入 A		
USARTTXB	6	6				O	USART-B 数据发送		
ESC_TX0_DATA0	11	11				O	EtherCAT 的数据发送接口 tx0		
UPP_WAIT	15	15				I/O	uPP 数据等待信号传输接口		
GPIO11	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 11		
EPWM6B	1	1				O	增强型 PWM6 输出 B (支持 HRPWM)		
USARTRXB	2, 6	2, 6				I	USART-B 数据接收		
OUTPUTXBAR7	3	3	C1	2	1	O	输出 XBAR 的输出 7		
EQEP1B	5	5				I	增强的 QEP1 输入 B		
ESC_GPO3	10	10				O	EtherCAT 的端口数据输出接口		
ESC_TX0_DATA1	11	11				O	EtherCAT 的数据发送接口 tx0		
UPP_START	15	15				I/O	uPP 数据开始信号传输接口		



名称	引脚			337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP	输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		A					
GPIO12	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 12
EPWM7A	1	1					O	增强型 PWM7 输出 A (支持 HRPWM)
CANTXB	2	2					O	CAN-B 发送
EQEP1S	5	5					I/O	增强型 QEP1 选通
USARTTXC	6	6		C2	4	3	O	USART-C 发送数据
ESC_GPO4	10	10					O	EtherCAT 的端口数据输出接口
ESC_TX0_DATA2	11	11					O	EtherCAT 的数据发送接口 tx0
UPP_ENA	15	15					I/O	uPP 数据使能信号传输接口
GPIO13	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 13
EPWM7B	1	1					O	增强型 PWM7 输出 B (支持 HRPWM)
CANRXB	2	2					I	CAN-B 接收
EQEP1I	5	5					I/O	增强型 QEP1 索引
USARTRXC	6	6		D1	5	4	I	USART-C 数据接收
ESC_GPO5	10	10					O	EtherCAT 的端口数据输出接口
ESC_TX0_DATA3	11	11					O	EtherCAT 的数据发送接口 tx0
UPP_D7	15	15					I/O	uPP 数据传输接口
GPIO14	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 14
EPWM8A	1	1					O	增强型 PWM8 输出 A (支持 HRPWM)
USARTTXB	2	2					O	USART-B 数据发送
EQEP1G	5	5					O	增强型 QEP1 输出 G
OUTPUTXBAR3	6	6		D2	6	5	O	输出 XBAR 的输出 3
ESC_GPO6	10	10					O	EtherCAT 的端口数据输出接口
ESC_PHY1_LINKS	11	11					I	PHY1 Link 状态指示信号
TATUS								
UPP_D6	15	15					I/O	uPP 数据传输接口
GPIO15	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 15
EPWM8B	1	1					O	增强型 PWM8 输出 B (支持 HRPWM)
USARTRXB	2	2					I	USART-B 数据接收
OUTPUTXBAR4	6	6		D3	7	6	O	输出 XBAR 的输出 4
ESC_GPO7	10	10					O	EtherCAT 的端口数据输出接口
UPP_D5	15	15					I/O	uPP 数据传输接口
GPIO16	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 16
SPISIMOA	1	1					I/O	SPI-A 从输入, 主输出
CANTXB	2	2					O	CAN-B 发送
OUTPUTXBAR7	3	3					O	输出 XBAR 的输出 7
EPWM9A	5	5		E1	8	7	O	增强型 PWM9 输出 A
I2SSDA	9	9					I/O	I2SA 的数据传输接口
ESC_RX1_CLK	10	10					I	EtherCAT 的时钟接收端口 1
UPP_D4	15	15					I/O	uPP 数据传输接口



名称	引脚			337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP	输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		A					
GPIO17	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 17
SPISOMIA	1	1					I/O	SPI-A 从输出, 主输入
CANRXB	2	2					I	CAN-B 接收
OUTPUTXBAR8	3	3		E2	9	8	O	输出 XBAR 的输出 8
EPWM9B	5	5					O	增强型 PWM9 输出 B
I2SMCKA	9	9					O	I2SA 的主时钟输出接口
ESC_RX1_DV	10	10					I	EtherCAT 接收数据有效信号的端口 1
UPP_D3	15	15					I/O	uPP 数据传输接口
GPIO18	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 18
SPICLKA	1	1					I/O	SPI-A 时钟
USARTTXB	2	2					O	USART-B 数据发送
CANRXA	3	3					I	CAN-A 接收
EPWM10A	5	5		E3	10	9	O	增强型 PWM10 输出 A
EQEP1G	6	6					O	增强型 QEP1 输出 G
I2SCKA	9	9					I/O	I2SA 的串行时钟输出接口
ESC_RX1_ERR	10	10					I	EtherCAT 接收数据错误信号的端口 1
UPP_D2	15	15					I/O	uPP 数据传输接口
GPIO19	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 19
SPINSSA	1	1					I/O	SPI-A 从设备发送使能
USARTRXB	2	2					I	USART-B 数据接收
CANTXA	3	3					O	CAN-A 发送
EPWM10B	5	5		E4	12	11	O	增强型 PWM10 输出 B
EQEP2G	6	6					O	增强型 QEP2 输出 G
I2SWSA	9	9					I/O	I2SA 的字选择信号输出接口
ESC_TX1_DATA3	10	10					O	EtherCAT 的数据发送接口 tx1
UPP_D1	15	15					I/O	uPP 数据传输接口
GPIO20	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 20
EQEP1A	1	1					I	增强型 QEP1 输入 A
CANTXB	3	3		F2	13	12	O	CAN-B 发送
EPWM11A	5	5					O	增强型 PWM11 输出 A
ESC_TX1_DATA2	10	10					O	EtherCAT 的数据发送接口 tx1
UPP_D0	15	15					I/O	uPP 数据传输接口
GPIO21	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 21
EQEP1B	1	1					I	增强型 QEP1 输入 B
CANRXB	3	3		F3	14	13	I	CAN-B 接收
EPWM11B	5	5					O	增强型 PWM11 输出 B
ESC_TX1_DATA1	10	10					O	EtherCAT 的数据发送接口 tx1
UPP_CLK	15	15					I/O	uPP 分频时钟传输接口



名称	引脚			337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP	输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		A					
GPIO22	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 22
EQEP1S	1	1					I/O	增强型 QEP1 选通
USARTTXB	3	3					O	USART-B 数据发送
EPWM12A	5	5	J4	22	-		O	增强型 PWM12 输出 A
SPICLKB	6	6					I/O	SPI-B 时钟
I2SCKB	11	11					I/O	I2SB 的串行时钟输出接口
ESC_TX1_DATA0	15	15					O	EtherCAT 的数据发送接口 tx1
GPIO23	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 23
EQEP1I	1	1					I/O	增强型 QEP1 索引
USARTRXB	3	3					I	USART-B 数据接收
EPWM12B	5	5	K4	23	-		O	增强型 PWM12 输出 B
SPINSSB	6	6					I/O	SPI-B 从设备发送使能
EM1AP	9	9					O	动态刷新位
I2SWSB	11	11					I/O	I2SB 的字选择信号输出接口
ESC_PHY_RESETn	15	15					O	EtherCAT 的 PHY 输出的复位信号
GPIO24	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 24
OUTPUTXBAR1	1	1					O	输出 XBAR 的输出 1
EQEP2A	2	2					I	增强型 QEP2 输入 A
SPISIMOB	6	6	K3	24	-		I/O	SPI-B 从输入, 主输出
EM1DQS0	9	9					I/O	外部存储器接口 1 数据选取脉冲 0
ESC_RX0_DATA1	10	10					I	EtherCAT 的数据接收接口 rx0
I2SSDB	11	11					I/O	I2SB 的数据传输接口
ESC_RX0_CLK	15	15					I	EtherCAT 的时钟接收端口 0
AGPIO25	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 25
OUTPUTXBAR2	1	1					O	输出 XBAR 的输出 2
EQEP2B	2	2					I	增强型 QEP2 输入 B
SPISOMIB	6	6	K2	25	-		I/O	SPI-B 从输出, 主输入
EM1DQS1	9	9					I/O	外部存储器接口 1 数据选取脉冲 1
I2SMCKB	11	11					O	I2SB 的主时钟输出接口
ESC_RX0_DV	15	15					I	EtherCAT 接收数据有效信号的端口 0



名称	引脚			337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP	输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		A					
GPIO26	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 26
OUTPUTXBAR3	1	1					O	输出 XBAR 的输出 3
EQEP2I	2	2					I/O	增强型 QEP2 索引
OUTPUTXBAR3	5	5					O	输出 XBAR 的输出 3
SPICLKB	6	6	K1		27	-	I/O	SPI-B 时钟
EM1DQS2	9	9					I/O	外部存储器接口 1 数据选取脉冲 2
I2SCKB	10	10					I/O	I2SB 的串行时钟输出接口
ESC_MDIO_CLK	11	11					O	PHY 管理接口时钟
ESC_RXO_ERR	15	15					I	EtherCAT 接收数据错误信号的端口 0
GPIO27	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 27
OUTPUTXBAR4	1	1					O	输出 XBAR 的输出 4
EQEP2S	2	2					I/O	增强型 QEP2 选通
OUTPUTXBAR4	5	5					O	输出 XBAR 的输出 4
SPINSSB	6	6	L1		28	-	I/O	SPI-B 从设备发送使能
EM1DQS3	9	9					I/O	外部存储器接口 1 数据选取脉冲 3
I2SWSB	10	10					I/O	I2SB 的字选择信号输出接口
ESC_MDIO_DATA	11	11					I/O	PHY 管理接口数据传输
ESC_RXO_DATA0	15	15					I	EtherCAT 的数据接收接口 rx0
GPIO28	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 28
USARTRXA	1	1					I	USART-A 数据接收
EM1CS3N	2	2					O	外部存储器接口 1 片选 3
OUTPUTXBAR5	5	5	V11		64	-	O	输出 XBAR 的输出 5
EQEP3A	6	6					I	增强型 QEP3 输入 A
FSMCNCS3	9	9					O	FSMC 片选 3
ESC_RXO_DATA1	15	15					I	EtherCAT 的数据接收接口 rx0
GPIO29	0, 4, 8, 12	0, 4, 8, 12					I/O	通用输入输出管脚 29
USARTTXA	1	1					O	USART-A 数据发送
EM1SDCKE	2	2					O	外部存储器接口 1 时钟使能
ESC_SYNCO	3	3					O	EtherCAT 分布式时钟同步信号输出 0
OUTPUTXBAR6	5	5	W11		65	-	O	输出 XBAR 的输出 6
EQEP3B	6	6					I	增强型 QEP3 输入
FSMCNL	9	9					O	FSMC 地址有效
ESC_LATCH0	10	10					I	EtherCAT 的锁存输入信号 0
ESC_I2C_SDA	11	11					I/O	连接 EEPROM 的 I2C 接口传输数据
ESC_RXO_DATA2	15	15					I	EtherCAT 的数据接收接口 rx0



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO30	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 30
CANRXA	1	1				I	CAN-A 接收
EM1CLK	2	2				O	外部存储器接口 1 时钟输出
ESC_SYNC1	3	3				O	EtherCAT 分布式时钟同步信号输出 1
OUTPUTXBAR7	5	5	T11	63	-	O	输出 XBAR 的输出 7
EQEP3S	6	6				I/O	增强型 QEP3 选通
FSMCCLK	9	9				O	FSMC 时钟 (同步突发模式使用)
ESC_LATCH1	10	10				I	EtherCAT 的锁存输入信号 1
ESC_I2C_SCL	11	11				O	连接 EEPROM 的 I2C 接口时钟
GPIO31	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 31
CANTXA	1	1				O	CAN-A 发送
EM1WEB	2	2	U11	66	-	O	外部存储器接口 1 写使能
OUTPUTXBAR8	5	5				O	输出 XBAR 的输出 8
EQEP3I	6	6				I/O	增强型 QEP3 索引
FSMCNWE	9	9				O	FSMC 写使能
GPIO32	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 32
SDAA	1	1				I/OD	I2C-A 数据开漏双向端口
EM1CS0N	2	2	U13	67	-	O	外部存储器接口 1 片选 0
EQEP3G	6	6				O	增强型 QEP3 输出 G
FSMCNCS0	9	9				O	FSMC 片选 0
GPIO33	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 33
SCLA	1	1	T13	69	-	I/OD	I2C-A 数据开漏双向端口
EM1CLKN	2	2				O	外部存储器接口 1 时钟输出
ESC_LED_ERR	11	11				O	LED 指示错误信号
GPIO34	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 34
OUTPUTXBAR1	1	1				O	输出 XBAR 的输出 1
EM1CS1N	2	2				O	外部存储器接口 1 片选 1
SDAB	6	6	U14	70	-	I/OD	I2C-B 数据开漏双向端口
FSMCNCS1	9	9				O	FSMC 片选 1
ESC_LATCH0	10	10				I	EtherCAT 的锁存输入信号 0
ESC_SYNC0	11	11				O	EtherCAT 分布式时钟同步信号输出 0



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO35	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 35
USARTRXA	1	1				I	USART-A 数据接收
EM1CS2N	2	2				O	外部存储器接口 1 片选 2
SCLB	6	6	T14	71	-	I/OD	I2C-B 时钟开漏双向端口
FSMCNCS2	9	9				O	FSMC 片选 2
ESC_LATCH1	10	10				I	EtherCAT 的锁存输入信号 1
ESC_SYNC1	11	11				O	EtherCAT 分布式时钟同步信号输出 1
GPIO36	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 36
USARTTXA	1	1	V16	83	-	O	USART-A 数据发送
CANRXA	6	6				I	CAN-A 接收
FSMCWAIT	9	9				I	FSMC 等待信号
GPIO37	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 37
OUTPUTXBAR2	1	1	U16	84	-	O	输出 XBAR 的输出 2
CANTXA	6	6				O	CAN-A 发送
FSMCNOE	9	9				O	FSMC 输出使能
GPIO38	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 38
EM1A0	2	2				O	外部存储器接口 1 地址线 0
USARTTXC	5	5	T16	85	-	O	USART-C 数据发送
CANTXB	6	6				O	CAN-B 发送
FSMCA1	9	9				O	FSMC 地址线 1
GPIO39	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 39
EM1A1	2	2				O	外部存储器接口 1 地址线 1
USARTRXC	5	5				I	USART-C 数据接收
CANRXB	6	6	W17	86	-	I	CAN-B 接收
FSMCA2	9	9				O	FSMC 地址线 2
ESC_MDIO_DATA	10	10				I/O	PHY 管理接口数据传输
ESC_LED_RUN	11	11				O	Led 指示工作信号
GPIO40	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 40
EM1A2	2	2				O	外部存储器接口 1 地址线 2
SDAB	6	6	V17	87	-	I/OD	I2C-B 数据开漏双向端口
FSMCA3	9	9				O	FSMC 地址线 3
ESC_GPO2	10	10				O	EtherCAT 的端口数据输出接口
ESC_I2C_SDA	11	11				I/O	连接 EEPROM 的 I2C 接口传输数据
GPIO41	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 41
EM1A3	2	2				O	外部存储器接口 1 地址线 3
SCLB	6	6	U17	89	51	I/OD	I2C-B 时钟开漏双向端口
FSMCA4	9	9				O	FSMC 地址线 4
ESC_I2C_SCL	11	11				O	连接 EEPROM 的 I2C 接口时钟



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO42	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 42
SDAA	6	6	D19	130	73	I/OD	I2C-A 数据开漏双向端口
USARTTXA	15	15				O	USART-A 数据发送
USB0DM	模拟	模拟				I/O	USB PHY 差分数据
GPIO43	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 43
SCLA	6	6	C19	131	74	I/OD	I2C-A 时钟开漏双向端口
USARTRXA	15	15				I	USART-A 数据接收
USB0DP	模拟	模拟				I/O	USB PHY 差分数据
GPIO44	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 44
EQEP2G	1	1				O	增强型 QEP2 输出 G
EM1A4	2	2	K18	113	-	O	外部存储器接口 1 地址线 4
FSMCA5	9	9				O	FSMC 地址线 5
ESC_TX1_CLK	10	10				I	EtherCAT 的时钟接收端口 1
GPIO45	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 45
EQEP4G	-	1				O	增强型 QEP2 输出 G
EM1A5	2	2	K19	115	-	O	外部存储器接口 1 地址线 5
FSMCA6	9	9				O	FSMC 地址线 6
ESC_TX1_ENA	10	10				O	EtherCAT 的使能信号发送端口 1
GPIO46	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 46
EM1A6	2	2				O	外部存储器接口 1 地址线 6
USARTRXD	6	6	E19	128	-	I	USART-D 数据接收
FSMCA7	9	9				O	FSMC 地址线 7
ESC_Mdio_CLK	10	10				O	PHY 管理接口时钟
GPIO47	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 47
EM1A7	2	2				O	外部存储器接口 1 地址线 7
USARTTXD	6	6	E18	129	-	O	USART-D 数据发送
FSMCA8	9	9				O	FSMC 地址线 8
ESC_Mdio_DATA	10	10				I/O	PHY 管理接口数据传输
GPIO48	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 48
OUTPUTXBAR3	1	1				O	输出 XBAR 的输出 3
EM1A8	2	2				O	外部存储器接口 1 地址线 8
USARTTXA	6	6				O	USART-A 数据发送
FSMCA9	9	9				O	FSMC 地址总线 9
ESC_PHY_CLK	10	10				O	EtherCAT 中 PHY 工作的时钟



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO49	0, 4, 8, 12	0, 4, 8, 12	R17	93	-	I/O	通用输入输出管脚 49
OUTPUTXBAR4	1	1				O	输出 XBAR 的输出 4
EM1A9	2	2				O	外部存储器接口 1 地址线 9
EQEP1G	3	3				O	增强型 QEP1 输出 G
USARTRXA	6	6				I	USART-A 数据接收
FSMCA10	9	9				O	FSMC 地址线 10
GPIO50	0, 4, 8, 12	0, 4, 8, 12	R18	94	-	I/O	通用输入输出管脚 50
EQEP1A	1	1				I	增强型 QEP1 输入 A
EM1A10	2	2				O	外部存储器接口 1 地址线 10
SPISIMOC	6	6				I/O	SPI-C 从输入, 主输出
FSMCA11	9	9				O	FSMC 地址线 11
I2SSDC	10	10				I/O	I2SC 的数据传输接口
ESC_LATCH0	11	11				I	EtherCAT 的锁存输入信号 0
GPIO51	0, 4, 8, 12	0, 4, 8, 12	R19	95	-	I/O	通用输入输出管脚 51
EQEP1B	1	1				I	增强型 QEP1 输入 B
EM1A11	2	2				O	外部存储器接口 1 地址线 11
SPISOMIC	6	6				I/O	SPI-C 从输出, 主输入
FSMCA12	9	9				O	FSMC 地址线 12
I2SMCKC	10	10				O	I2SC 的主时钟输出接口
ESC_LATCH1	11	11				I	EtherCAT 的锁存输入信号 0
GPIO52	0, 4, 8, 12	0, 4, 8, 12	P16	96	-	I/O	通用输入输出管脚 52
EQEP1S	1	1				I	增强型 QEP1 选通
EM1A12	2	2				O	外部存储器接口 1 地址线 12
SPICLKC	6	6				I/O	SPI-C 时钟
FSMCA13	9	9				O	FSMC 地址线 13
I2SCKC	10	10				I/O	I2SC 的串行时钟输出接口
ESC_MDIO_CLK	11	11				O	PHY 管理接口时钟
GPIO53	0, 4, 8, 12	0, 4, 8, 12	P17	97	-	I/O	通用输入输出管脚 53
EQEP1I	1	1				I/O	增强型 QEP1 索引
EM1D31	2	2				I/O	外部存储器接口 1 数据线 31
SPINSSC	6	6				I/O	SPI-C 从设备发送使能
I2SWSC	10	10				I/O	I2SC 的字选择信号输出接口
ESC_MDIO_DATA	11	11				I/O	PHY 管理接口数据传输
GPIO54	0, 4, 8, 12	0, 4, 8, 12	P18	98	-	I/O	通用输入输出管脚 54
SPISIMOA	1	1				I/O	SPI-A 从输入, 主输出
EM1D30	2	2				I/O	外部存储器接口 1 数据线 30
EQEP2A	5	5				I	增强型 QEP2 输入 A
USARTTXB	6	6				O	USART-B 数据发送
I2SSDA	10	10				I/O	I2SA 的数据传输接口
ESC_PHY_CLK	11	11				O	EtherCAT 中 PHY 工作的时钟



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO55	0, 4, 8, 12	0, 4, 8, 12	P19	100	-	I/O	通用输入输出管脚 55
SPISOMIA	1	1				I/O	SPI-A 从输出, 主输入
EM1D29	2	2				I/O	外部存储器接口 1 数据线 29
EQEP2B	5	5				I	增强型 QEP2 输入 B
USARTRXB	6	6				I	USARTR-B 数据接收
I2SMCKA	10	10				O	I2SA 的主时钟输出接口
ESC_PHYO_LINKS	11	11				I	PHYO Link 状态指示信号
TATUS							
GPIO56	0, 4, 8, 12	0, 4, 8, 12	N16	101	-	I/O	通用输入输出管脚 56
SPICLKA	1	1				I/O	SPI-A 时钟
EM1D28	2	2				I/O	外部存储器接口 1 数据线 28
EQEP2S	5	5				I/O	增强型 QEP 选通
USARTTXC	6	6				O	USART-C 数据发送
I2SCKA	10	10				I/O	I2SA 的串行时钟输出接口
ESC_TXO_ENA	11	11				O	EtherCAT 的使能信号发送端口 0
GPIO57	0, 4, 8, 12	0, 4, 8, 12	N18	102	-	I/O	通用输入输出管脚 57
SPINSSA	1	1				I/O	SPI-A 从设备发送使能
EM1D27	2	2				I/O	外部存储器接口 1 数据线 27
EQEP2I	5	5				I/O	增强型 QEP 索引
USARTRXC	6	6				I	USART-C 数据接收
I2SWSA	10	10				I/O	I2SA 的字选择信号输出接口
ESC_TXO_CLK	11	11				I	EtherCAT 的时钟接收端口 0
GPIO58	0, 4, 8, 12	0, 4, 8, 12	N17	103	52	I/O	通用输入输出管脚 58
EM1D26	2	2				I/O	外部存储器接口 1 数据线 26
OUTPUTXBAR1	5	5				O	输出 XBAR 的输出 1
SPICLKB	6	6				I/O	SPI-B 时钟
EQEP4A	-	9				I	增强型 QEP4 输入 A
ESC_LED_LINK0_ACTIVE	10	10				O	EtherCAT 的 PHY Link0 状态指示信号
SPISIMOA	15	15				I/O	SPI-A 从输入, 主输出
GPIO59	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 59
EM1D25	2	2	M16	104	53	I/O	外部存储器接口 1 数据线 25
OUTPUTXBAR2	5	5				O	输出 XBAR 的输出 2
SPINSSB	6	6				I/O	SPI-B 从设备使能
EQEP4B	-	9				I	增强型 QEP4 输入 B
ESC_LED_LINK1_ACTIVE	10	10				O	EtherCAT 的 PHY Link1 状态指示信号
SPISOMIA	15	15				I/O	SPI-A 从输出, 主输入



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO60	0, 4, 8, 12	0, 4, 8, 12	M17	105	54	I/O	通用输入输出管脚 60
EM1D24	2	2				I/O	外部存储器接口 1 数据线 24
OUTPUTXBAR3	5	5				O	输出 XBAR 的输出 3
SPISIMOB	6	6				I/O	SPI-B 从输入, 主输出
EQEP4S	-	9				I/O	增强型 QEP4 选通
ESC_LED_ERR	10	10				O	Led 指示错误信号
ESC_LATCH0	11	11				I	EtherCAT 的锁存输入信号 0
SPICLKA	15	15				I/O	SPI-A 时钟
GPIO61	0, 4, 8, 12	0, 4, 8, 12	L16	107	56	I/O	通用输入输出管脚 61
EM1D23	2	2				I/O	外部存储器接口 1 数据线 23
OUTPUTXBAR4	5	5				O	输出 XBAR 的输出 4
SPISOMIB	6	6				I/O	SPI-B 从输出, 主输入
EQEP4I	-	9				I/O	增强型 QEP4 索引
ESC_LED_RUN	10	10				O	Led 指示工作信号
ESC_LATCH1	11	11				I	EtherCAT 的锁存输入信号 1
SPINSSA	15	15				I/O	SPI-A 从设备发送使能
GPIO62	0, 4, 8, 12	0, 4, 8, 12	J17	108	57	I/O	通用输入输出管脚 62
USARTTRXC	1	1				I	USART-C 数据接收
EM1D22	2	2				I/O	外部存储器接口 1 数据线 22
EQEP3A	5	5				I	增强型 QEP3 输入 A
CANRXA	6	6				I	CAN-A 接收
ESC_LED_STATE_RUN	10	10				O	Led 指示工作状态信号
ESC_Mdio_CLK	11	11				O	PHY 管理接口时钟
GPIO63	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 63
USARTTTXC	1	1	J16	109	58	O	USART-C 数据发送
EM1D21	2	2				I/O	外部存储器接口 1 数据线 21
EQEP3B	5	5				I	增强型 QEP3 接收 B
CANTXA	6	6				O	CAN-A 发送
I2SSDB	9	9				I/O	I2SB 的数据传输接口
ESC_RX1_DATA0	10	10				I	EtherCAT 的数据接收接口 rx1
SPISIMOB	15	15				I/O	SPI-B 从输入, 主输出
GPIO64	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 64
EM1D20	2	2	L17	110	59	I/O	外部存储器接口 1 数据线 20
EQEP3S	5	5				I/O	增强型 QEP3 选通
USARTRXA	6	6				I	USART-A 数据接收
I2SMCKB	9	9				O	I2SB 的主时钟输出接口
ESC_RX1_DATA1	10	10				I	EtherCAT 的数据接收接口 rx1
SPISOMIB	15	15				I/O	SPI-B 从输出, 主输入



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述		
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP				
	A	B							
GPIO65	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 65		
EM1D19	2	2				I/O	外部存储器接口 1 数据线 19		
EQEP3I	5	5				I/O	增强型 QEP3 索引		
USARTTXA	6	6	K16	111	60	O	USART-A 数据发送		
I2SCKB	9	9				I/O	I2SB 的串行时钟输出接口		
ESC_RX1_DATA2	10	10				I	EtherCAT 的数据接收接口 rx1		
SPICLKB	15	15				I/O	SPI-B 时钟		
GPIO66	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 66		
EM1D18	2	2				I/O	外部存储器接口 1 数据线 18		
EQEP3G	5	5				O	增强型 QEP3 输出 G		
SDAB	6	6	K17	112	61	I/OD	I2C-B 数据开漏双向端口		
I2SWSB	9	9				I/O	I2SB 的字选择信号输出接口		
ESC_RX1_DATA3	10	10				I	EtherCAT 的数据接收接口 rx1		
SPINSSB	15	15				I/O	SPI-B 从设备发送使能		
GPIO67	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 67		
EPWM4A	-	1	B19	132	-	O	增强型 PWM4 输出 A (支持 HRPWM)		
EM1D17	2	2				I/O	外部存储器接口 1 数据线 17		
ESC_I2C_SDA	11	11				I/O	连接 EEPROM 的 I2C 接口传输数据		
GPIO68	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 68		
EPWM4B	-	1				O	增强型 PWM4 输出 B (支持 HRPWM)		
EM1D16	2	2	C18	133	-	I/O	外部存储器接口 1 数据线 16		
ESC_PHY1_LINKS	10	10				I	PHY1 的 Link 状态输入		
TATUS						O			
ESC_I2C_SCL	11	11				O	连接 EEPROM 的 I2C 接口时钟		
GPIO69	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 69		
EM1D15	2	2				I/O	外部存储器接口 1 数据线 15		
SCLB	6	6				I/OD	I2C-B 时钟开漏双向端口		
FSMCD15	9	9	B18	134	75	I/O	FSMC 双向数据线 15		
ESC_RX1_CLK	10	10				I	EtherCAT 的时钟接收端口 1		
I2SSDC	11	11				I/O	I2SC 的数据传输接口		
SPISIMOC	15	15				I/O	SPI-C 从输入, 主输出		
GPIO70	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 70		
EPWM18A	-	1				O	增强型 PWM18 输出 A (支持 HRPWM)		
EM1D14	2	2				I/O	外部存储器接口 1 数据线 14		
CANRXA	5	5				I	CAN-A 接收		
USARTTXB	6	6	A17	135	76	O	USART-B 数据发送		
FSMCD14	9	9				I/O	FSMC 双向数据线 14		
ESC_RX1_DV	10	10				I	EtherCAT 接收数据有效信号的端口 1		
I2SMCKC	11	11				O	I2SC 的主时钟输出接口		
SPISOMIC	15	15				I/O	SPI-C 时钟		



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述		
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP				
	A	B							
GPIO71	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 71		
EPWM18B	-	1				O	增强型 PWM18 输出 B (支持 HRPWM)		
EM1D13	2	2				I/O	外部存储器接口 1 数据线 13		
CANTXA	5	5	B17	136	77	O	CAN-A 发送		
USARTRXB	6	6				I	USART-B 数据接收		
FSMCD13	9	9				I/O	FSMC 双向数据线 13		
ESC_RX1_ERR	10	10				I	EtherCAT 接收数据错误信号的端口 1		
I2SCKC	11	11				I/O	I2SC 的串行时钟输出接口		
SPICLKC	15	15				I/O	SPI-C 时钟		
GPIO72	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 72		
EM1D12	2	2				I/O	外部存储器接口 1 数据线 12		
CANTXB	5	5				O	CAN-B 发送		
USARTTXC	6	6	B16	139	80	O	USART-C 数据发送		
FSMCD12	9	9				I/O	FSMC 双向数据线 12		
ESC_TX1_DATA3	10	10				O	EtherCAT 的数据发送接口 tx1		
I2SWSC	11	11				I/O	I2SC 的字选择信号输出接口		
SPINSSC	15	15				I/O	SPI-C 从发送使能		
GPIO73	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 73		
EM1D11	2	2				I/O	外部存储器接口 1 数据线 11		
XCLKOUT	3	3				O/Z	外部时钟输出		
CANRXB	5	5	A16	140	81	I	CAN-B 接收		
USARTRXC	6	6				I	USART-C 接收		
FSMCD11	9	9				I/O	FSMC 双向数据线 11		
ESC_TX1_DATA2	10	10				O	EtherCAT 的数据发送接口 tx1		
GPIO74	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 74		
EPWM13A	-	1	C17	141	-	O	增强型 PWM13 输出 A (支持 HRPWM)		
EM1D10	2	2				I/O	外部存储器接口 1 数据线 10		
FSMCD10	9	9				I/O	FSMC 双向数据线 10		
ESC_TX1_DATA1	10	10				O	EtherCAT 的数据发送接口 tx1		
GPIO75	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 75		
EPWM13B	-	1	D16	142	-	O	增强型 PWM13 输出 B (支持 HRPWM)		
EM1D9	2	2				I/O	外部存储器接口 1 数据线 9		
FSMCD9	9	9				I/O	FSMC 双向数据线 9		
ESC_TX1_DATA0	10	10				O	EtherCAT 的数据发送接口 tx1		



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO76	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 76
EPWM14A	-	1				O	增强型 PWM14 输出 A (支持 HRPWM)
EM1D8	2	2	C16	143	-	I/O	外部存储器接口 1 数据线 8
USARTTXD	6	6				O	USART-D 数据发送
FSMCD8	9	9				I/O	FSMC 双向数据线 8
ESC_PHY_RESETn	10	10				O	EtherCAT 的 PHY 输出的复位信号
GPIO77	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 77
EPWM14B	-	1				O	增强型 PWM14 输出 B (支持 HRPWM)
EM1D7	2	2	A15	144	-	I/O	外部存储器接口 1 数据线 7
USARTRXD	6	6				I	SPI-D 数据接收
FSMCD7	9	9				I/O	FSMC 双向数据线 7
ESC_RX0_CLK	10	10				I	EtherCAT 的时钟接收端口 0
GPIO78	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 78
EPWM15A	-	1				O	增强型 PWM15 输出 A (支持 HRPWM)
EM1D6	2	2	B15	145	82	I/O	外部存储器接口 1 数据线 6
EQEP2A	6	6				I	增强型 QEP2 输入 A
FSMCD6	9	9				I/O	FSMC 双向数据线 6
ESC_RX0_DV	10	10				I	EtherCAT 接收数据有效信号的端口 0
GPIO79	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 79
EPWM15B	-	1				O	增强型 PWM15 输出 B (支持 HRPWM)
EM1D5	2	2	C15	146	-	I/O	外部存储器接口 1 数据线 5
EQEP2B	6	6				I	增强型 QEP2 输入 B
FSMCD5	9	9				I/O	FSMC 双向数据线 5
ESC_RX0_ERR	10	10				I	EtherCAT 接收数据错误信号的端口 0
GPIO80	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 80
EPWM16A	-	1				O	增强型 PWM16 输出 A (支持 HRPWM)
EM1D4	2	2	D15	148	-	I/O	外部存储器接口 1 数据线 4
EQEP2S	6	6				I/O	增强型 QEP2 选通
FSMCD4	9	9				I/O	FSMC 双向数据线 4
ESC_RX0_DATA0	10	10				I	EtherCAT 的数据接收接口 rx0



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO81	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 81
EPWM16B	-	1				O	增强型 PWM16 输出 B (支持 HRPWM)
EM1D3	2	2	A14	149	-	I/O	外部存储器接口 1 数据线 3
EQEP2I	6	6				I/O	增强型 QEP2 索引
FSMCD3	9	9				I/O	FSMC 双向数据线 3
ESC_RXO_DATA1	10	10				I	EtherCAT 的数据接收接口 rx0
GPIO82	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 82
EPWM17A	-	1				O	增强型 PWM17 输出 A (支持 HRPWM)
EM1D2	2	2	B14	150	-	I/O	外部存储器接口 1 数据线 2
EQEP2G	6	6				O	增强型 QEP2 输出 G
FSMCD2	9	9				I/O	FSMC 双向数据线 2
ESC_RXO_DATA2	10	10				I	EtherCAT 的数据接收接口 rx0
GPIO83	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 83
EPWM17B	-	1				O	增强型 PWM17 输出 B (支持 HRPWM)
EM1D1	2	2	C14	151	-	I/O	外部存储器接口 1 数据线 1
FSMCD1	9	9				I/O	FSMC 双向数据线 1
ESC_RXO_DATA3	10	10				I	EtherCAT 的数据接收接口 rx0
GPIO84	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 84
EPWM18A	-	1				O	增强型 PWM18 输出 A (支持 HRPWM)
USARTTXA	5	5	A11	154	85	O	USART-A 数据发送
ESC_TXO_ENA	10	10				O	EtherCAT 的使能信号发送端口 0
ESC_RXO_DATA3	11	11				I	EtherCAT 的数据接收接口 rx0
GPIO85	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 85
EPWM18B	-	1				O	增强型 PWM18 输出 B (支持 HRPWM)
EM1D0	2	2	B11	155	86	I/O	外部存储器接口 1 数据线 0
USARTRXA	5	5				I	USART-A 数据接收
FSMCDO	9	9				I/O	FSMC 双向数据线 0
ESC_TXO_CLK	10	10				I	EtherCAT 的时钟接收端口 0
GPIO86	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 86
EQEP5A	-	1				I	增强型 EQEP5 输入 A
EM1A13	2	2				O	外部存储器接口 1 地址线 13
EM1CAS	3	3	C11	156	87	O	外部存储器接口 1 列地址选通
USARTTXB	5	5				O	USART-B 数据发送
FSMCA14	9	9				O	FSMC 地址线 14
ESC_PHYO_LINKS	10	10				I	PHYO Link 状态指示信号
TATUS							



名称	引脚					输入/输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO87	0, 4, 8, 12	0, 4, 8, 12	D11	157	88	I/O	通用输入输出管脚 87
EQEP5B	-	1				I	增强型 EQEP5 输入 B
EM1A14	2	2				O	外部存储器接口 1 地址线 14
EM1RAS	3	3				O	外部存储器接口 1 行地址选通
USARTRXB	5	5				I	USART-B 数据接收
FSMCA15	9	9				O	FSMC 地址线 15
ESC_TX0_DATA0	10	10				O	EtherCAT 的数据发送接口 tx0
GPIO88	0, 4, 8, 12	0, 4, 8, 12	C6	170	-	I/O	通用输入输出管脚 88
EQEP5S	-	1				I/O	增强型 QEP5 选通
EM1A15	2	2				O	外部存储器接口 1 地址线 15
EM1DQM0	3	3				O	外部存储器接口 1 字节 0 的输入/输出掩码
FSMCNBL0	7	7				O	FSMC 低字节使能
FSMCA16	9	9				O	FSMC 地址线 16
ESC_TX0_DATA1	10	10				O	EtherCAT 的数据发送接口 tx0
GPIO89	0, 4, 8, 12	0, 4, 8, 12	D6	171	96	I/O	通用输入输出管脚 89
EQEP5I	-	1				I/O	增强型 QEP5 索引
EM1DQM1	3	3				O	外部内存接口 1 字节 1 的输入/输出掩码
USARTTXC	6	6				O	USART-C 数据发送
FSMCNBL1	7	7				O	FSMC 高字节使能
FSMCA17	9	9				O	FSMC 地址线 17
ESC_TX0_DATA2	10	10				O	EtherCAT 的数据发送接口 tx0
GPIO90	0, 4, 8, 12	0, 4, 8, 12	A5	172	97	I/O	通用输入输出管脚 90
EQEP6A	-	1				I	增强型 EQEP6 输入 A
EM1DQM2	3	3				O	外部内存接口 1 字节 2 的输入/输出掩码
USARTRXC	6	6				I	USART-C 数据接收
FSMCA18	9	9				O	FSMC 地址线 18
ESC_TX0_DATA3	10	10				O	EtherCAT 的数据发送接口 tx0
GPIO91	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 91
EQEP6B	-	1	B5	173	98	I	增强型 EQEP6 输入 B
EM1DQM3	3	3				O	外部内存接口 1 字节 3 的输入/输出掩码
SDAA	6	6				I/OD	I2C-A 数据开漏双向端口
FSMCA19	9	9				O	FSMC 地址线 19



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO92	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 92
EQEP6S	-	1				I/O	增强型 QEP6 选通
EM1BA1	3	3	A4	174	99	O	外部存储器接口 1 块地址 1
SCLA	6	6				I/OD	I2C-A 时钟开漏双向端口
FSMCA0	9	9				O	FMSMC 地址线 20
GPIO93	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 93
EQEP6I	-	1				I/O	增强型 QEP6 索引
EM1BA0	3	3	B4	175	-	O	外部存储器接口 1 块地址 0
USARTTXD	6	6				O	USART-D 数据发送
ESC_TX1_CLK	11	11				I	EtherCAT 的时钟接收端口 1
GPIO94	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入输出管脚 94
EQEP6G	-	1	A3	176	-	O	增强型 QEP6 输出 G
USARTRXD	6	6				I	USART-D 数据接收
ESC_TX1_ENA	11	11				O	EtherCAT 的使能信号发送端口 1
GPIO95	0, 4, 8, 12	0, 4, 8, 12	B3	-	-	I/O	通用输入/输出 95
GPIO96	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 96
EQEP1A	5	5	C3	-	-	I	增强型 QEP1 输入 A
GPIO97	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 97
EQEP1B	5	5	A2	-	-	I	增强型 QEP1 输入 B
GPIO98	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 98
EQEP1S	5	5	F1	-	-	I/O	增强型 QEP1 选通
GPIO99	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 99
EQEP5G	-	1	G1	17	14	O	增强型 QEP5 输出 G
EQEP1I	5	5				I/O	增强型 QEP1 索引
GPIO100	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 100
EQEP2A	5	5	H1	-	-	I	增强型 QEP2 输入 A
SPISIMOC	6	6				I/O	SPI-C 从器件输入, 主器件输出
I2SSDC	9	9				I/O	I2SC 的数据传输接口
GPIO101	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 101
EQEP2B	5	5	H2	-	-	I	增强型 QEP2 输入 B
SPISOMIC	6	6				I/O	SPI-C 从器件输出, 主器件输入
I2SMCKC	9	9				O	I2SC 的主时钟输出接口
GPIO102	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 102
EQEP2S	5	5	H3	-	-	I/O	增强型 QEP2 选通
SPICLKC	6	6				I/O	SPI-C 时钟
I2SCKC	9	9				I/O	I2SC 的串行时钟输出接口



名称	引脚			337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP	输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		A					
GPIO103	0, 4, 8, 12	0, 4, 8, 12	J1	-	-	-	I/O	通用输入/输出 103
EQEP2I	5	5					I/O	增强型 QEP2 索引
SPINSSC	6	6					I/O	SPI-C 从设备发送使能
I2SWSC	9	9					I/O	I2SC 的字选择信号输出接口
GPIO104	0, 4, 8, 12	0, 4, 8, 12	J2	-	-	-	I/O	通用输入/输出 104
SDAA	1	1					I/OD	I2C-A 数据开漏双向端口
EQEP3A	5	5					I	增强型 QEP3 输入 A
USARTTXD	6	6					O	USART-D 发送数据
GPIO105	0, 4, 8, 12	0, 4, 8, 12	J3	-	-	-	I/O	通用输入/输出 105
SCLA	1	1					I/OD	I2C-A 时钟漏极开路双向端口外部存储
EQEP3B	5	5					I	增强型 QEP3 输入 B
USARTRXD	6	6					I	USART-D 接收数据
GPIO106	0, 4, 8, 12	0, 4, 8, 12	L2	-	-	-	I/O	通用输入/输出 106
EQEP3S	5	5					I/O	增强型 QEP3 选通
USARTTXC	6	6					O	USART-C 发送数据
GPIO107	0, 4, 8, 12	0, 4, 8, 12	L3	-	-	-	I/O	通用输入/输出 107
EQEP3I	5	5					I/O	增强型 QEP3 索引
USARTRXC	6	6					I	USART-C 接收数据
GPIO108	0, 4, 8, 12	0, 4, 8, 12	L4	-	-	-	I/O	通用输入/输出 108
GPIO109	0, 4, 8, 12	0, 4, 8, 12	N2	-	-	-	I/O	通用输入/输出 109
GPIO110	0, 4, 8, 12	0, 4, 8, 12	M2	-	-	-	I/O	通用输入/输出 110
GPIO111	0, 4, 8, 12	0, 4, 8, 12	M4	-	-	-	I/O	通用输入/输出 111
GPIO112	0, 4, 8, 12	0, 4, 8, 12	M3	-	-	-	I/O	通用输入/输出 112
GPIO113	0, 4, 8, 12	0, 4, 8, 12	N4	-	-	-	I/O	通用输入/输出 113
GPIO114	0, 4, 8, 12	0, 4, 8, 12	N3	-	-	-	I/O	通用输入/输出 114
GPIO115	0, 4, 8, 12	0, 4, 8, 12	V12	-	-	-	I/O	通用输入/输出 115
GPIO116	0, 4, 8, 12	0, 4, 8, 12	W10	-	-	-	I/O	通用输入/输出 116
GPIO117	0, 4, 8, 12	0, 4, 8, 12	U12	-	-	-	I/O	通用输入/输出 117
GPIO118	0, 4, 8, 12	0, 4, 8, 12	T12	-	-	-	I/O	通用输入/输出 118
GPIO119	0, 4, 8, 12	0, 4, 8, 12	T15	-	-	-	I/O	通用输入/输出 119
GPIO120	0, 4, 8, 12	0, 4, 8, 12	U15	-	-	-	I/O	通用输入/输出 120
USBOPFLT	15	15					I	USB 外部稳压器电源故障指示器
GPIO121	0, 4, 8, 12	0, 4, 8, 12	W16	-	-	-	I/O	通用输入/输出 121
USBOEPEN	15	15					I	USB 外部稳压器使能
GPIO122	0, 4, 8, 12	0, 4, 8, 12	T8	-	-	-	I/O	通用输入/输出 122
SPISIMOC	6	6					I/O	SPI-C 从器件输入,主器件输出
I2SSDC	9	9					I/O	I2SC 的数据传输接口



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
A	B						
GPIO123	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 123
SPISOMIC	6	6	U8	-	-	I/O	SPI-C 从器件输出,主器件输入
I2SMCKC	9	9				O	I2SC 的主时钟输出接口
GPIO124	0,4,8,12	0,4,8,12				I/O	通用输入/输出 124
SPICLKC	6	6	V8	-	-	I/O	SPI-C 时钟
I2SCKC	9	9				I/O	I2SC 的串行时钟输出接口
GPIO125	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 125
SPINSSC	6	6	T9	-	-	I/O	SPI-C 从设备发送使能
I2SWSC	9	9				I/O	I2SC 的字选择信号输出接口
GPIO126	0, 4, 8, 12	0, 4, 8, 12	U9	-	-	I/O	通用输入/输出 126
GPIO127	0, 4, 8, 12	0, 4, 8, 12	V9	-	-	I/O	通用输入/输出 127
GPIO128	0, 4, 8, 12	0, 4, 8, 12	W9	-	-	I/O	通用输入/输出 128
GPIO129	0, 4, 8, 12	0, 4, 8, 12	T10	-	-	I/O	通用输入/输出 129
GPIO130	0, 4, 8, 12	0, 4, 8, 12	U10	-	-	I/O	通用输入/输出 130
GPIO131	0, 4, 8, 12	0, 4, 8, 12	V10	-	-	I/O	通用输入/输出 131
GPIO132	0, 4, 8, 12	0, 4, 8, 12	W18	-	-	I/O	通用输入/输出 132
GPIO133/AUXC LKIN	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 133。此 GPIO 引脚的 AUXCLKIN 功能可用于为辅助锁相环 (AUXPLL) 提供单端 3.3V 电平时钟信号,其输出用于 USB 模块。AUXCLKIN 时钟也可用于 CAN 模块。
ESC_LED_STAT E_RUN	11	11	G18	118	-	O	Led 指示工作状态信号
GPIO134	0, 4, 8, 12	0, 4, 8, 12	V18	-	-	I/O	通用输入/输出 134
GPIO135	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 135
USARTTXA	6	6	U18	-	-	O	USART-A 发送数据
GPIO136	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 136
USARTRXA	6	6	T17	-	-	I	USART-A 接收数据
GPIO137	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 137
USARTTXB	6	6	T18	-	-	O	USART-B 发送数据
GPIO138	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 138
USARTRXB	6	6	T19	-	-	I	USART-B 接收数据
GPIO139	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 139
USARTRXC	6	6	N19	-	-	I	USART-C 接收数据
GPIO140	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 140
USARTTXC	6	6	M19	-	-	O	USART-C 发送数据
GPIO141	0, 4, 8, 12	0, 4, 8, 12				I/O	通用输入/输出 141
USARTRXD	6	6	M18	-	-	I	USART-D 接收数据



名称	引脚			337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP	输入/ 输出 /高阻 (I/O/Z)	信号描述
	A	B	复用位置					
GPIO142	0, 4, 8, 12	0, 4, 8, 12	L19	-	-	-	I/O	通用输入/输出 142
USARTTXD	6	6					O	USART-D 发送数据
GPIO143	0, 4, 8, 12	0, 4, 8, 12	F18	-	-	-	I/O	通用输入/输出 143
GPIO144	0, 4, 8, 12	0, 4, 8, 12	F17	-	-	-	I/O	通用输入/输出 144
GPIO145	0, 4, 8, 12	0, 4, 8, 12	E17	-	-	-	I/O	通用输入/输出 145
GPIO146	0, 4, 8, 12	0, 4, 8, 12	D18	-	-	-	I/O	通用输入/输出 146
GPIO147	0, 4, 8, 12	0, 4, 8, 12	D17	-	-	-	I/O	通用输入/输出 147
GPIO148	0, 4, 8, 12	0, 4, 8, 12	D14	-	-	-	I/O	通用输入/输出 148
GPIO149	0, 4, 8, 12	0, 4, 8, 12	A13	-	-	-	I/O	通用输入/输出 149
GPIO150	0, 4, 8, 12	0, 4, 8, 12	B13	-	-	-	I/O	通用输入/输出 150
GPIO151	0, 4, 8, 12	0, 4, 8, 12	C13	-	-	-	I/O	通用输入/输出 151
GPIO152	0, 4, 8, 12	0, 4, 8, 12	D13	-	-	-	I/O	通用输入/输出 152
GPIO153	0, 4, 8, 12	0, 4, 8, 12	A12	-	-	-	I/O	通用输入/输出 153
GPIO154	0, 4, 8, 12	0, 4, 8, 12	B12	-	-	-	I/O	通用输入/输出 154
GPIO155	0, 4, 8, 12	0, 4, 8, 12	C12	-	-	-	I/O	通用输入/输出 155
GPIO156	0, 4, 8, 12	0, 4, 8, 12	D12	-	-	-	I/O	通用输入/输出 156
GPIO157	0, 4, 8, 12	0, 4, 8, 12	B10	-	-	-	I/O	通用输入/输出 157
GPIO158	0, 4, 8, 12	0, 4, 8, 12	C10	-	-	-	I/O	通用输入/输出 158
GPIO159	0, 4, 8, 12	0, 4, 8, 12	D10	-	-	-	I/O	通用输入/输出 159
GPIO160	0, 4, 8, 12	0, 4, 8, 12	B9	-	-	-	I/O	通用输入/输出 160
GPIO161	0, 4, 8, 12	0, 4, 8, 12	C9	-	-	-	I/O	通用输入/输出 161
GPIO162	0, 4, 8, 12	0, 4, 8, 12	D9	-	-	-	I/O	通用输入/输出 162
GPIO163	0, 4, 8, 12	0, 4, 8, 12	A8	-	-	-	I/O	通用输入/输出 163
GPIO164	0, 4, 8, 12	0, 4, 8, 12	B8	-	-	-	I/O	通用输入/输出 164
GPIO165	0, 4, 8, 12	0, 4, 8, 12	C5	-	-	-	I/O	通用输入/输出 165
GPIO166	0, 4, 8, 12	0, 4, 8, 12	D5	-	-	-	I/O	通用输入/输出 166
GPIO167	0, 4, 8, 12	0, 4, 8, 12	C4	-	-	-	I/O	通用输入/输出 167
GPIO168	0, 4, 8, 12	0, 4, 8, 12	D4	-	-	-	I/O	通用输入/输出 168



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
	复用位置		337-Bil nFBGA	176-Pin HLQFP	100-Pin HTQFP		
复位							
XRS		F19	124	69	I/OD		器件复位（输入）和看门狗复位（输出）。器件具有内置上电复位（POR）电路。在上电条件下，该引脚被器件驱动为低电平。外部电路也可以驱动该引脚以置位器件复位。当看门狗复位或 NMI 看门狗复位发生时，该引脚也被 DSP 驱动为低电平。在看门狗复位期间，XRS 引脚被驱动为低电平，看门狗复位持续时间为 4 个 INTOSC2 周期。应在 XRS 和 V <sub>DDIO</sub> 之间放置一个值为 2.2kΩ 至 10kΩ 的电阻。如果在 XRS 和 V <sub>SS</sub> 之间放置电容进行噪声滤波，则电容应为 100 nF 或更小。这些值将允许看门狗在看门狗复位位置时在 4 个 INTOSC2 周期内正确驱动 XRS 引脚至 VOL。该引脚的输出缓冲器是带有内部上拉的开漏极。
时钟							
X1		G19	123	68	I		片上晶振输入。 使用此振荡器，必须在 X1 和 X2 之间连接一个石英晶体。如果不使用此引脚，则必须保持无连接。此引脚还可用于馈送单端 3.3 V 电平时钟。在这种情况下，X2 是无连接（NC）。
X2		J19	121	66	O		片上晶振输出。 可以在 X1 和 X2 之间连接石英晶体。未使用 X2，则必须保持未连接。
XTALI32k		-	73	-	I		32.768KHz 晶振输入。如果不使用此引脚，建议将其连接到 GND。
XTALO32k		-	74	-	O		32.768KHz 晶振输出。如果不使用此引脚，建议将其连接到 GND。
无连接							
NC		H4	-	-	-		无连接。
TST1		-	125	-	-		无连接。 也可以连接至 V <sub>DDIO</sub> 。
TST2		-	119	-	-		无连接。也可以连接至 V <sub>DDIO</sub> 。
TST3		-	72	-	-		无连接。也可以连接至 V <sub>DDIO</sub> 。



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述		
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP				
	A	B							
JTAG									
TCK			V15	81	50	I	JTAG 测试时钟, 内部上拉		
TDI			W13	77	46	I	带内部上拉的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 的上升沿时钟输入到选定的寄存器 (指令或数据)。		
TDO			W15	78	47	O/Z	JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或数据) 的内容在 TCK 的下降沿从 TDO 移出。		
TMS			W14	80	49	I	带内部上拉的 JTAG 测试模式选择 (TMS)。该串行控制输入在 TCK 的上升沿时钟输入到 TAP 控制器。		
TRST			V14	79	48	I	带内部下拉的 JTAG 测试复位。当驱动为高电平时, TRST 使扫描系统控制器件的运行。如果该信号被驱动为低电平, 器件工作在其功能模式, 并且测试复位信号被忽略。注意: 在正常的设备操作期间, TRST 必须始终保持低电平。此引脚需要外部下拉电阻。该电阻的值应基于适用于设计的调试器盒的驱动强度。2.2kΩ或更小的电阻通常提供足够的保护。电阻的值是应用特定的。建议对每个目标板进行验证, 以便调试器和应用程序正常运行。此引脚具有内部 50 ns (标称) 毛刺滤波器。		
模拟、数字和 I/O 电源									
V <sub>DD</sub>		E9	16	16			1.2V 数字逻辑电源引脚。建议在每个 V <sub>DD</sub> 引脚附近放置一个去耦电容, 最小总电容约为 20 uF。去耦电容的精确值应由系统电压调节解决方案确定。		
		E11	21	39					
		F9	61	45					
		F11	76	63					
		G14	117	71					
		G15	126	78					
		J14	137	84					
		J15	153	89					
		K5	158	95					



名称	引脚					输入/输出 /高阻 (I/O/Z)	信号描述		
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP				
	A	B							
$V_{DD}$			K6	169	-		1.2V 数字逻辑电源引脚。建议在每个 $V_{DD}$ 引脚附近放置一个去耦电容，最小总电容约为 20 $\mu$ F。去耦电容的精确值应由系统电压调节解决方案确定。		
			P10	-	-				
			P13	-	-				
			R10	-	-				
			R13	-	-				
$V_{DDA}$			P6	36	18		3.3V 模拟电源引脚。在每个引脚上将最小 2.2 $\mu$ F 的去耦电容器连接到 $V_{SSA}$ 。		
			R6	54	38				
$V_{DDOSC}$			H16	120	65		3.3V 片上晶体振荡器 (X1 和 X2) 的电源引脚。在每个引脚上放置一个 0.1 $\mu$ F (最小值) 的去耦电容器。		
$V_{DDIO}$			A9	3	2		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小 0.1 $\mu$ F 去耦电容。去耦电容的精确值应由系统电压调节解决方案确定。		
			A18	11	10				
			B1	15	15				
			E7	20	40				
			E10	26	44				
			E13	62	55				
			E16	68	62				
			F4	75	72				
			F7	82	79				
			F10	88	83				
			F13	91	90				
			F16	99	94				
			G4	106	-				
			G5	114	-				
			G6	116	-				
			H5	127	-				
			H6	138	-				
			L14	147	-				
			L15	152	-				
			M1	159	-				
			M5	168	-				
			M6	-	-				
			N14	-	-				
			N15	-	-				
			P9	-	-				
			R9	-	-				



引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述
名称	复用位置		337-BII nFBGA	176-Pin HLQFP		
	A	B		100-Pin HTQFP		
V <sub>DDIO</sub>			V19	-	-	3.3 V 数字 I/O 电源引脚。在每个引脚上放置一个最小 0.1 $\mu$ F 去耦电容。去耦电容的精确值应由系统电压调节解决方案确定。
			W8	-	-	
V <sub>SS</sub>			A1	PWR PAD	PWR PAD	器件数字地。对于四路扁平封装 (QFP)，封装底部的 PowerPAD 必须焊接到 PCB 的接地层。
			A10			
			A19			
			E5			
			E6			
			E8			
			E12			
			E14			
			E15			
			F5			
			F6			
			F8			
			F12			
			F14			
			F15			
			G16			
			G17			
			H8			
			H9			
			H10			
			H11			
			H12			
			H14			
			H15			
			J5			
			J6			
			J8			
			J9			
			J10			
			J11			
			J12			



名称	引脚					输入/ 输出 /高阻 (I/O/Z)	信号描述		
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP				
	A	B							
V <sub>SS</sub>	K8 K9 K10 K11 K12 K14 K15 L5 L6 L8 L9 L10 L11 L12 L18 M8 M9 M10 M11 M12 M14 M15 N1 N5 N6 P7 P8 P11 P12 P14 P15 R7 R8 R14 R15 W7 W19	PWR PAD	PWR PAD			器件数字地。对于四路扁平封装 (QFP)，封装底部的 PowerPAD 必 须焊接到 PCB 的接地层。			



名称	引脚					输入/ 输出/ 高阻 (I/O/Z)	信号描述
	复用位置		337-BII nFBGA	176-Pin HLQFP	100-Pin HTQFP		
	A	B					
V <sub>SSOSC</sub>			H18	122	67		晶振 (X1 和 X2) 接地引脚。使用外部晶振时, 不要将此引脚连接到电路板接地。而应将其连接到外部晶体振荡器电路的接地参考。如果不使用外部晶体, 该引脚可以连接到电路板接地。
			H19	-	-		
V <sub>SSA</sub>			P1	34	17		模拟接地。
			P5	52	35		
			R5	-	36		
			V7	-	-		
			W1	-	-		
特殊功能							
ERRORSTS		U19	92	-	0		错误状态输出。此引脚有内部下拉电阻器。HX64D10375X 该引脚无此功能。

### 7.3. 带内部上/下拉的引脚

芯片上的一些引脚具有内部上拉或下拉。表 7-2 列出了这些引脚上/下拉方向以及上/下拉的激活条件。默认情况下禁用 GPIO 引脚上的上拉/下拉, 可以通过软件使能。为了避免任何浮动的未绑定输入, 引导 ROM 将在特定封装中对未绑定的 GPIO 引脚启用内部上拉。表 7-2 中列出的具有上拉和下拉的其他引脚始终处于开启状态, 且无法被禁用。

表 7-2 带内部上/下拉的引脚

引脚	复位 $\overline{XRS} = 0$	器件启动	软件应用
GPIOx	禁用内部上拉/下拉	禁用内部上拉/下拉 <sup>(1)</sup>	上拉/下拉使能由软件定义
TRST		内部下拉	
TCK		内部上拉	
TMS		内部上拉	
TDI		内部上拉	
XRS		内部上拉	
TST1		内部上拉	
TST2		内部上拉	
TST3		内部上拉	
ERRORSTS		内部下拉	
其它引脚		无内部上下拉	

(1) 在有些封装型号中, 有 GPIO 没有封出来, BootLoader 程序将自动把这些 GPIO 设置到上拉模式



## 7.4. 引脚多路复用

### 7.4.1. GPIO 多路复用引脚

表 7-3 显示了 GPIO 多路复用引脚。每个引脚默认具有 GPIO 功能，可以通过设置 GPyGMUXn.GPIOz 和 GPyMUXn.GPIOz 寄存器位来选择辅助功能。

表 7-3 GPIO 多路复用引脚

GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
GPIO0	EPWM1A (O)					SDAA (I/OD)			ESC_GPIO(I)		
GPIO1	EPWM1B (O)					SCLA (I/OD)			ESC_GPI1(I)		
GPIO2	EPWM2A (O)				OUTPUTXBAR1(O)	SDAB (I/OD)			ESC_GPI2(I)		
GPIO3	EPWM2B (O)	OUTPUTXBAR2(O)			OUTPUTXBAR2 (O)	SCLB (I/OD)			ESC_GPI3(I)		
GPIO4	EPWM3A (O)				OUTPUTXBAR3(O)	CANTXA (O)			ESC_GPI4(I)		
GPIO5	EPWM3B (O)			OUTPUTXBAR3(O)	EQEP3G(O)	CANRXA (I)			ESC_GPI5(I)		
GPIO6	EPWM4A (O)	OUTPUTXBAR4(O)	EXTSYNCOUT(O)		EQEP3A (I)	CANTXB (O)			ESC_GPI6(I)		
GPIO7	EPWM4B (O)			OUTPUTXBAR5(O)	EQEP3B (I)	CANRXB (I)	EQEP1G (O)		ESC_GPI7(I)		



GPIO Mux Selection											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
	AGPIO8	EPWM5A (O)	CANTXB (O)	ADCSOCDAO (O)	EQEP3S (I/O)	USARTTXA (O)			ESC_GPO0(O)		
	AGPIO9	EPWM5B (O)	USARTTXB (O)	OUTPUTXBAR6(O)	EQEP3I (I/O)	USARTRXA(I)			ESC_GPO1(O)		
	GPIO10	EPWM6A (O)	CANRXB (I)	ADCSOCB0 (O)	EQEP1A (I)	USARTTXB (O)			ESC_TX0_DATA0(O)	UPP-WAIT (I/O)	
	GPIO11	EPWM6B (O)	USARTRXB(I)	OUTPUTXBAR7(O)	EQEP1B (I)	USARTRXB(I)			ESC_GPO3(O)	ESC_TX0_DATA1(O)	UPP-START (I/O)
	GPIO12	EPWM7A (O)	CANTXB (O)		EQEP1S (I/O)	USARTTXC (O)			ESC_GPO4(O)	ESC_TX0_DATA2(O)	UPP-ENA (I/O)
	GPIO13	EPWM7B (O)	CANRXB (I)		EQEP1I (I/O)	USARTRXC(I)			ESC_GPO5(O)	ESC_TX0_DATA3(O)	UPP-D7 (I/O)
	GPIO14	EPWM8A (O)	USARTTXB (O)		EQEP1G(O)	OUTPUTXBAR3(O)			ESC_GPO6(O)	ESC_PHY1_LINKSTA TUS(I)	UPP-D6 (I/O)
	GPIO15	EPWM8B (O)	USARTRXB(I)			OUTPUTXBAR4(O)			ESC_GPO7(O)		UPP-D5 (I/O)
	GPIO16	SPISIMOA (I/O)	CANTXB (O)	OUTPUTXBAR7(O)	EPWM9A (O)			I2SSDA (I/O)	ESC_RX1_CLK(I)		UPP-D4 (I/O)
	GPIO17	SPISOMIA (I/O)	CANRXB (I)	OUTPUTXBAR8(O)	EPWM9B (O)			I2SMCKA (O)	ESC_RX1_DV(I)		UPP-D3 (I/O)
	GPIO18	SPICLKA (I/O)	USARTTXB (O)	CANRXA (I)	EPWM10A (O)	EQEP1G(O)		I2SCKA (I/O)	ESC_RX1_ERR(I)		UPP-D2 (I/O)
	GPIO19	SPINSSA(I/O)	USARTRXB(I)	CANTXA (O)	EPWM10B (O)	EQEP2G(O)		I2WSA (I/O)	ESC_TX1_DATA3(O)		UPP-D1 (I/O)
	GPIO20	EQEP1A (I)		CANTXB (O)	EPWM11A (O)				ESC_TX1_DATA2(O)		UPP-D0 (I/O)
	GPIO21	EQEP1B (I)		CANRXB (I)	EPWM11B (O)				ESC_TX1_DATA1(O)		UPP-CLK (I/O)
	AGPIO22	EQEP1S (I/O)		USARTTXB (O)	EPWM12A (O)	SPICLKB (I/O)			I2SCKB (I/O)	ESC_TX1_DATA0(O)	



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
	AGPIO23	EQEP1I (I/O)		USRTRXB(I)	EPWM12B (O)	SPINSSB(I/O)		EM1AP (O)		I2WSB (I/O)	ESC_PHY_RESETn(O)
	AGPIO24	OUTPUTXBAR 1(O)	EQEP2A (I)			SPISIMOB (I/O)		EM1DQS0 (I/O)	ESC_RX0_DATA1 (I)	I2SSDB (I/O)	ESC_RX0_CLK(I)
	AGPIO25	OUTPUTXBAR 2(O)	EQEP2B (I)			SPISOMIB (I/O)		EM1DQS1 (I/O)		I2SMCKB (O)	ESC_RX0_DV(I)
	AGPIO26	OUTPUTXBAR 3(O)	EQEP2I (I/O)		OUTPUTXBAR3 (O)	SPICLKB (I/O)		EM1DQS2 (I/O)	I2SCKB (I/O)	ESC_MDIO_CLK(O)	ESC_RX0_ERR(I)
	AGPIO27	OUTPUTXBAR 4(O)	EQEP2S (I/O)		OUTPUTXBAR4 (O)	SPINSSB(I/O)		EM1DQS3 (I/O)	I2WSB (I/O)	ESC_MDIO_DATA (I/O)	ESC_RX0_DATA0(I)
	AGPIO28	USRTRXA(I)	EM1CS3N(O)		OUTPUTXBAR5(O)	EQEP3A (I)		FSMCNC3 (O)			ESC_RX0_DATA1(I)
	AGPIO29	USARTTTXA (O)	EM1SDCKE (O)	ESC_SYNC0 (O)	OUTPUTXBAR6(O)	EQEP3B (I)		FSMCNL (O)	ESC_LATCH0(I)	ESC_I2C_SDA(I/O)	ESC_RX0_DATA2(I)
	AGPIO30	CANRXA (I)	EM1CLK (O)	ESC_SYNC1 (O)	OUTPUTXBAR7(O)	EQEP3S (I/O)		FSMCCLK(O)	ESC_LATCH1(I)	ESC_I2C_SCL(O)	
	AGPIO31	CANTXA (O)	EM1WEB (O)		OUTPUTXBAR8(O)	EQEP3I (I/O)		FSMCNWE (O)			
	AGPIO32	SDAA (I/OD)	EM1CS0N (O)			EQEP3G (O)		FSMCNC5O (O)			
	AGPIO33	SCLA (I/OD)	EM1CLKN (O)							ESC_LED_ERR(O)	
	AGPIO34	OUTPUTXBAR 1(O)	EM1CS1N (O)			SDAB (I/OD)		FSMCNC51 (O)	ESC_LATCH0(I)	ESC_SYNC0(O)	
	GPIO35	USRTRXA(I)	EM1CS2N (O)			SCLB (I/OD)		FSMCNC52 (O)	ESC_LATCH1(I)	ESC_SYNC1(O)	
	GPIO36	USARTTTXA (O)				CANRXA (I)		FSMCWAIT (I)			



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
	GPIO37	OUTPUTXBAR 2(O)				CANTXA (O)		FSMCNOE (O)			
	GPIO38		EM1A0 (O)		USARTTXC (O)	CANTXB (O)		FSMCA1 (O)			
	GPIO39		EM1A1 (O)		USARTRXC(I)	CANRXB (I)		FSMCA2 (O)	ESC_MDIO_DATA(I/O)	ESC_LED_RUN(O)	
	GPIO40		EM1A2 (O)			SDAB (I/OD)		FSMCA3 (O)	ESC_GPO2(O)	ESC_I2C_SDA(I/O)	
	GPIO41		EM1A3 (O)			SCLB (I/OD)		FSMCA4 (O)		ESC_I2C_SCL(O)	
	GPIO42					SDAA (I/OD)					USARTTTXA (O)
	GPIO43					SCLA (I/OD)					USARTRXA(I)
	GPIO44	EQEP2G (O)	EM1A4 (O)					FSMCA5 (O)	ESC_TX1_CLK(I)		
	GPIO45	EQEP4G (O)	EM1A5 (O)					FSMCA6 (O)	ESC_TX1_ENA(O)		
	GPIO46		EM1A6 (O)			USARTRXD(I)		FSMCA7 (O)	ESC_MDIO_CLK(O)		
	GPIO47		EM1A7 (O)			USARTTTXD (O)		FSMCA8 (O)	ESC_MDIO_DATA(I/O)		
	GPIO48	OUTPUTXBAR 3(O)	EM1A8 (O)			USARTTTXA (O)		FSMCA9 (O)	ESC_PHY_CLK(O)		
	GPIO49	OUTPUTXBAR 4(O)	EM1A9 (O)	EQEP1G (O)		USARTRXA(I)		FSMCA10 (O)			
	GPIO50	EQEP1A (I)	EM1A10 (O)			SPISIMOC (I/O)		FSMCA11 (O)	I2SSDC (I/O)	ESC_LATCH0(I)	
	GPIO51	EQEP1B (I)	EM1A11 (O)			SPISOMIC (I/O)		FSMCA12 (O)	I2SMCKC (O)	ESC_LATCH1(I)	



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
GPIO52	EQEP1S (I/O)	EM1A12 (O)			SPICLKC (I/O)		FSMCA13 (O)	I2SCKC (I/O)	ESC_MDIO_CLK(O)		
GPIO53	EQEP1I (I/O)	EM1D31 (I/O)			SPINSSC(I/O)			I2SWSC (I/O)	ESC_MDIO_DATA(I/ O)		
GPIO54	SPISIMOA (I/O)	EM1D30 (I/O)		EQEP2A (I)	USARTTXB (O)			I2SSDA (I/O)	ESC_PHY_CLK(O)		
GPIO55	SPISOMIA (I/O)	EM1D29 (I/O)		EQEP2B (I)	USARTRXB(I)			I2SMCKA (O)	ESC_PHY0_LINKSTA TUS(I)		
GPIO56	SPICLKA (I/O)	EM1D28 (I/O)		EQEP2S (I/O)	USARTTXC(O)			I2SCKA (I/O)	ESC_TX0_ENA(O)		
GPIO57	SPINSSA(I/O)	EM1D27 (I/O)		EQEP2I (I/O)	USARTRXC(I)			I2SWSA (I/O)	ESC_TX0_CLK(I)		
GPIO58		EM1D26 (I/O)		OUTPUTXBAR1(O)	SPICLKB (I/O)		EQEP4A (I)	ESC_LED_LINK0_ACTI VE(O)			SPISIMOA(I/O)
GPIO59		EM1D25 (I/O)		OUTPUTXBAR2(O)	SPINSSB(I/O)		EQEP4B (I)	ESC_LED_LINK1_ACTI VE(O)			SPISOMIA(I/O)
GPIO60		EM1D24 (I/O)		OUTPUTXBAR3(O)	SPISIMOB (I/O)		EQEP4S (I/O)	ESC_LED_ERR(O)	ESC_LATCH0(I)	SPICLKA(I/O)	
GPIO61		EM1D23 (I/O)		OUTPUTXBAR4(O)	SPISOMIB (I/O)		EQEP4I (I/O)	ESC_LED_RUN(O)	ESC_LATCH1(I)	SPINSSA(I/O)	
GPIO62	USARTRXC(I)	EM1D22 (I/O)		EQEP3A (I)	CANRXA (I)			ESC_LED_STATE_RUN( O)	ESC_MDIO_CLK(O)		
GPIO63	USARTTXC(O)	EM1D21 (I/O)		EQEP3B (I)	CANTXA (O)		I2SSDB (I/O)	ESC_RX1_DATA0(I)		SPISIMOB(I/O)	
GPIO64		EM1D20 (I/O)		EQEP3S (I/O)	USARTRXA(I)		I2SMCKB (O)	ESC_RX1_DATA1(I)		SPISOMIB(I/O)	



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
	GPIO65		EM1D19 (I/O)		EQEP3I (I/O)	USARTTXA (O)		I2SCKB (I/O)	ESC_RX1_DATA2(I)		SPICLK(I/O)
	GPIO66		EM1D18 (I/O)		EQEP3G (O)	SDAB (I/OD)		I2SWSB (I/O)	ESC_RX1_DATA3(I)		SPINSSB(I/O)
	GPIO67	EPWM4A (O)	EM1D17 (I/O)							ESC_I2C_SDA(I/O)	
	GPIO68	EPWM4B (O)	EM1D16 (I/O)						ESC_PHY1_LINKSTATU S(I)	ESC_I2C_SCL(O)	
	GPIO69		EM1D15 (I/O)			SCLB (I/OD)		FSMCD15 (I/O)	ESC_RX1_CLK(I)	I2SSDC (I/O)	SPISIMOC (I/O)
	GPIO70	EPWM18A(O)	EM1D14 (I/O)		CANRXA (I)	USARTTXB (O)		FSMCD14 (I/O)	ESC_RX1_DV(I)	I2SMCKC (O)	SPISOMIC (I/O)
	GPIO71	EPWM18B(O)	EM1D13 (I/O)		CANTXA (O)	USARTRXB(I)		FSMCD13 (I/O)	ESC_RX1_ERR(I)	I2SCKC (I/O)	SPICLK (I/O)
	GPIO72		EM1D12 (I/O)		CANTXB (O)	USARTTXC(O)		FSMCD12 (I/O)	ESC_TX1_DATA3(O)	I2SWSC (I/O)	SPINSSC(I/O)
	GPIO73		EM1D11 (I/O)	XCLKOUT (O)	CANRXB (I)	USARTRXC(I)		FSMCD11 (I/O)	ESC_TX1_DATA2(O)		
	GPIO74	EPWM13A(O)	EM1D10 (I/O)					FSMCD10 (I/O)	ESC_TX1_DATA1(O)		
	GPIO75	EPWM13B(O)	EM1D9 (I/O)					FSMCD9 (I/O)	ESC_TX1_DATA0(O)		
	GPIO76	EPWM14A(O)	EM1D8 (I/O)			USARTTXD (O)		FSMCD8 (I/O)	ESC_PHY_RESETn(O)		



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
GPIO77	EPWM14B(O)	EM1D7 (I/O)			USARTRXD(I)		FSMCD7 (I/O)	ESC_RX0_CLK(I)			
GPIO78	EPWM15A(O)	EM1D6 (I/O)			EQEP2A (I)		FSMCD6 (I/O)	ESC_RX0_DV(I)			
GPIO79	EPWM15B(O)	EM1D5 (I/O)			EQEP2B (I)		FSMCD5 (I/O)	ESC_RX0_ERR(I)			
GPIO80	EPWM16A(O)	EM1D4 (I/O)			EQEP2S (I/O)		FSMCD4 (I/O)	ESC_RX0_DATA0(I)			
GPIO81	EPWM16B(O)	EM1D3 (I/O)			EQEP2I (I/O)		FSMCD3 (I/O)	ESC_RX0_DATA1(I)			
GPIO82	EPWM17A(O)	EM1D2 (I/O)			EQEP2G (O)		FSMCD2 (I/O)	ESC_RX0_DATA2(I)			
GPIO83	EPWM17B(O)	EM1D1 (I/O)					FSMCD1 (I/O)	ESC_RX0_DATA3(I)			
GPIO84	EPWM18A(O)			USARTTXA (O)				ESC_TX0_ENA(O)	ESC_RX0_DATA3(I)		
GPIO85	EPWM18B(O)	EM1D0 (I/O)		USARTRXA(I)			FSMCD0 (I/O)	ESC_TX0_CLK(I)			
GPIO86	EQEP5A (I)	EM1A13 (O)	EM1CAS (O)	USARTTXB (O)			FSMCA14 (O)	ESC_PHY0_LINKSTATUS(I)			
GPIO87	EQEP5B (I)	EM1A14 (O)	EM1RAS (O)	USARTRXB(I)			FSMCA15 (O)	ESC_TX0_DATA0(O)			
GPIO88	EQEP5S (I/O)	EM1A15 (O)	EM1DQM0 (O)			FSMCNBLO (O)	FSMCA16 (O)	ESC_TX0_DATA1(O)			
GPIO89	EQEP5I (I/O)		EM1DQM1 (O)		USARTTXC(O)	FSMCNBLL1 (O)	FSMCA17 (O)	ESC_TX0_DATA2(O)			
GPIO90	EQEP6A (I)		EM1DQM2 (O)		USARTRXC(I)		FSMCA18 (O)	ESC_TX0_DATA3(O)			
GPIO91	EQEP6B (I)		EM1DQM3 (O)		SDAA (I/OD)		FSMCA19 (O)				



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
GPIO92	EQEP6S (I/O)			EM1BA1 (O)		SCLA (I/OD)		FSMCA0 (O)			
GPIO93	EQEP6I (I/O)			EM1BA0 (O)		USARTTXD (O)				ESC_TX1_CLK(I)	
GPIO94	EQEP6G (O)					USARTRXD(I)				ESC_TX1_ENA(O)	
GPIO95											
GPIO96					EQEP1A (I)						
GPIO97					EQEP1B (I)						
GPIO98					EQEP1S (I/O)						
GPIO99	EQEP5G(O)				EQEP1I (I/O)						
GPIO100					EQEP2A (I)	SPISIMOC (I/O)		I2SSDC (I/O)			
GPIO101					EQEP2B (I)	SPISOMIC (I/O)		I2SMCKC (O)			
GPIO102					EQEP2S (I/O)	SPICLKC (I/O)		I2SCKC (I/O)			
GPIO103					EQEP2I (I/O)	SPINSSC(I/O)		I2SWSC (I/O)			
GPIO104	SDAA (I/OD)				EQEP3A (I)	USARTTXD (O)					
GPIO105	SCLA (I/OD)				EQEP3B (I)	USARTRXD (I)					
GPIO106					EQEP3S (I/O)	USARTTXC (O)					
GPIO107					EQEP3I (I/O)	USARTRXC (I)					
GPIO108											



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
GPIO109											
GPIO110											
GPIO111											
GPIO112											
GPIO113											
GPIO114											
GPIO115											
GPIO116											
GPIO117											
GPIO118											
GPIO119											
GPIO120											USBOPFLT(I)
GPIO121											USBOPEN(I)
GPIO122					SPISIMOC (I/O)		I2SSDC (I/O)				
GPIO123					SPISOMIC (I/O)		I2SMCKC (O)				
GPIO124					SPICLKC (I/O)		I2SCKC (I/O)				
GPIO125					SPINSSC(I/O)		I2SWSC (I/O)				



GPIO Mux Selection <sup>[1][2]</sup>												
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15	
GPyMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b	
	GPIO126											
	GPIO127											
	GPIO128											
	GPIO129											
	GPIO130											
	GPIO131											
	GPIO132											
	GPIO133/ AUXCLKIN									ESC_LED_STATE_RU N(O)		
	GPIO134											
	GPIO135					USARTTXA (O)						
	GPIO136					USARTRXA (I)						
	GPIO137					USARTTXB (O)						
	GPIO138					USARTRXB (I)						
	GPIO139					USARTRXC (I)						
	GPIO140					USARTTXC (O)						



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
GPIO141						USARTRXD (I)					
GPIO142						USARTTXD (O)					
GPIO143											
GPIO144											
GPIO145	EPWM1A (O)										
GPIO146	EPWM1B (O)										
GPIO147	EPWM2A (O)										
GPIO148	EPWM2B (O)										
GPIO149	EPWM3A (O)										
GPIO150	EPWM3B (O)										
GPIO151	EPWM4A (O)										
GPIO152	EPWM4B (O)										
GPIO153	EPWM5A (O)										
GPIO154	EPWM5B (O)										
GPIO155	EPWM6A (O)										
GPIO156	EPWM6B (O)										
GPIO157	EPWM7A (O)										



GPIO Mux Selection <sup>[1][2]</sup>											
GPIOIndex	0,4,8,12	1	2	3	5	6	7	9	10	11	15
GPyGMUXn. GPIOz=	00b,01b, 10b,11b	00b	00b	00b	01b	01b	01b	10b	10b	10b	11b
GPyMUXn. GPIOz=	00b	01b	10b	11b	01b	10b	11b	01b	10b	11b	11b
GPIO158	EPWM7B (O)										
GPIO159	EPWM8A (O)										
GPIO160	EPWM8B (O)										
GPIO161	EPWM9A (O)										
GPIO162	EPWM9B (O)										
GPIO163	EPWM10A (O)										
GPIO164	EPWM10B (O)										
GPIO165	EPWM11A (O)										
GPIO166	EPWM11B (O)										
GPIO167	EPWM12A (O)										
GPIO168	EPWM12B (O)										

(1) I=输入, O=输出, OD=漏极开路

(2) 保留 13 和 14 的 GPIO 索引设置。

### 7.4.2. 输入 X-BAR

输入 X-BAR 用于将任何 GPIO 输入路由到 ADC、eCAP 和 ePWM 外设以及外部中断(XINT)，如图 7-2 所示。表 7-4 显示了输入 X-BAR 目标。

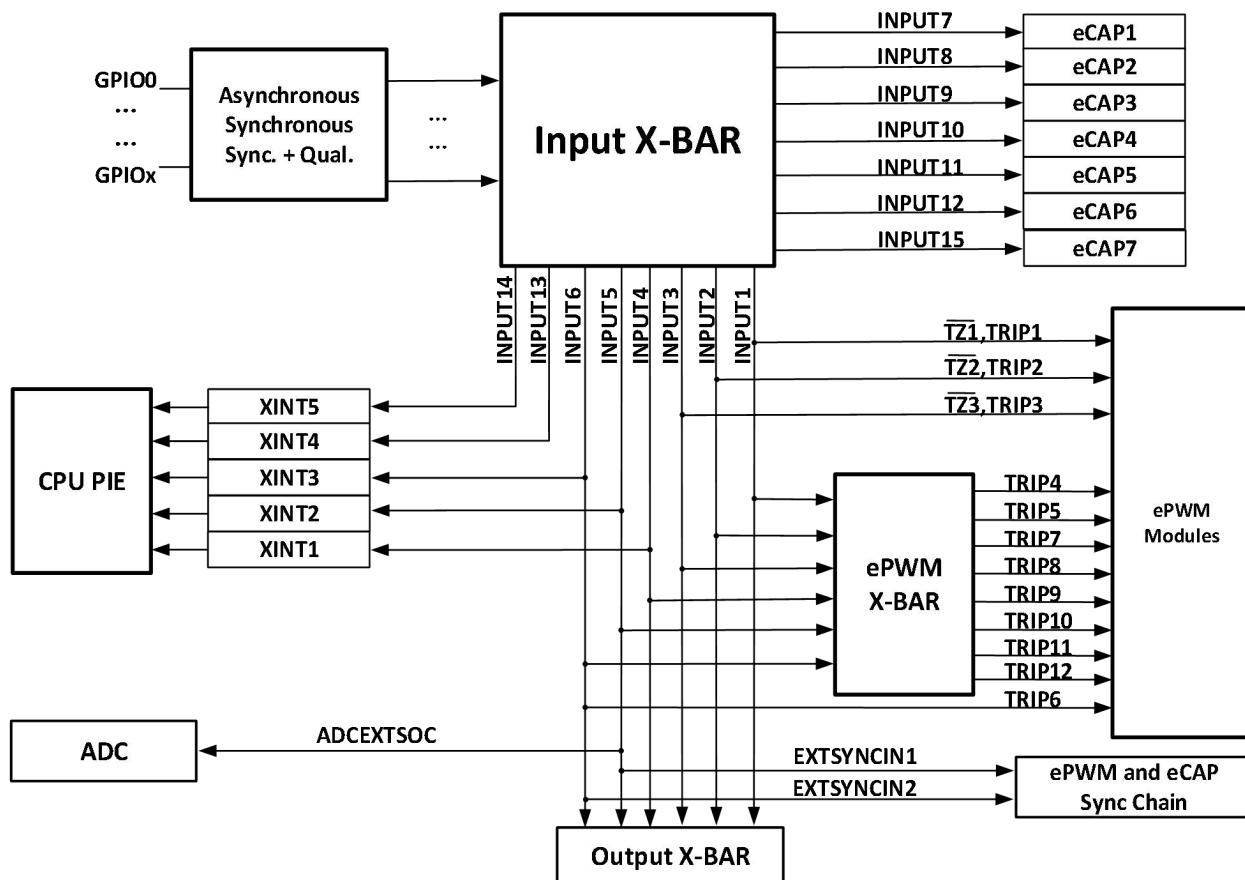


图 7-2 输入 X-BAR

表 7-4 输入 X-bar 目标

输入	目标
输入 1	EPWM[TZ1,TRIP1]、EPWM X-BAR、输出 X-BAR
输入 2	EPWM[TZ2,TRIP2]、EPWM X-BAR、输出 X-BAR
输入 3	EPWM[TZ3,TRIP3]、EPWM X-BAR、输出 X-BAR
输入 4	XINT1、EPWM X-BAR、输出 X-BAR
输入 5	XINT2、ADCEXTSOC、EXTSYNCIN1、EPWM X-BAR、输出 X-BAR
输入 6	XINT3、EPWM[TRIP6]、EXTSYNCIN2、EPWM X-BAR、输出 X-BAR
输入 7	ECAP1
输入 8	ECAP2
输入 9	ECAP3

输入	目标
输入 10	ECAP4
输入 11	ECAP5
输入 12	ECAP6
输入 13	XINT4
输入 14	XINT5
输入 15	ECAP7

### 7.4.3. 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 有 8 个输出, 可以在 GPIO 多路复用器上选择为 OUTPUTXBARx。ePWM X-BAR 有 8 个输出, 与 ePWM 的 TRIPx 输入相连。输出 X-BAR 和 ePWM X-BAR 的源如图 7-3 所示。

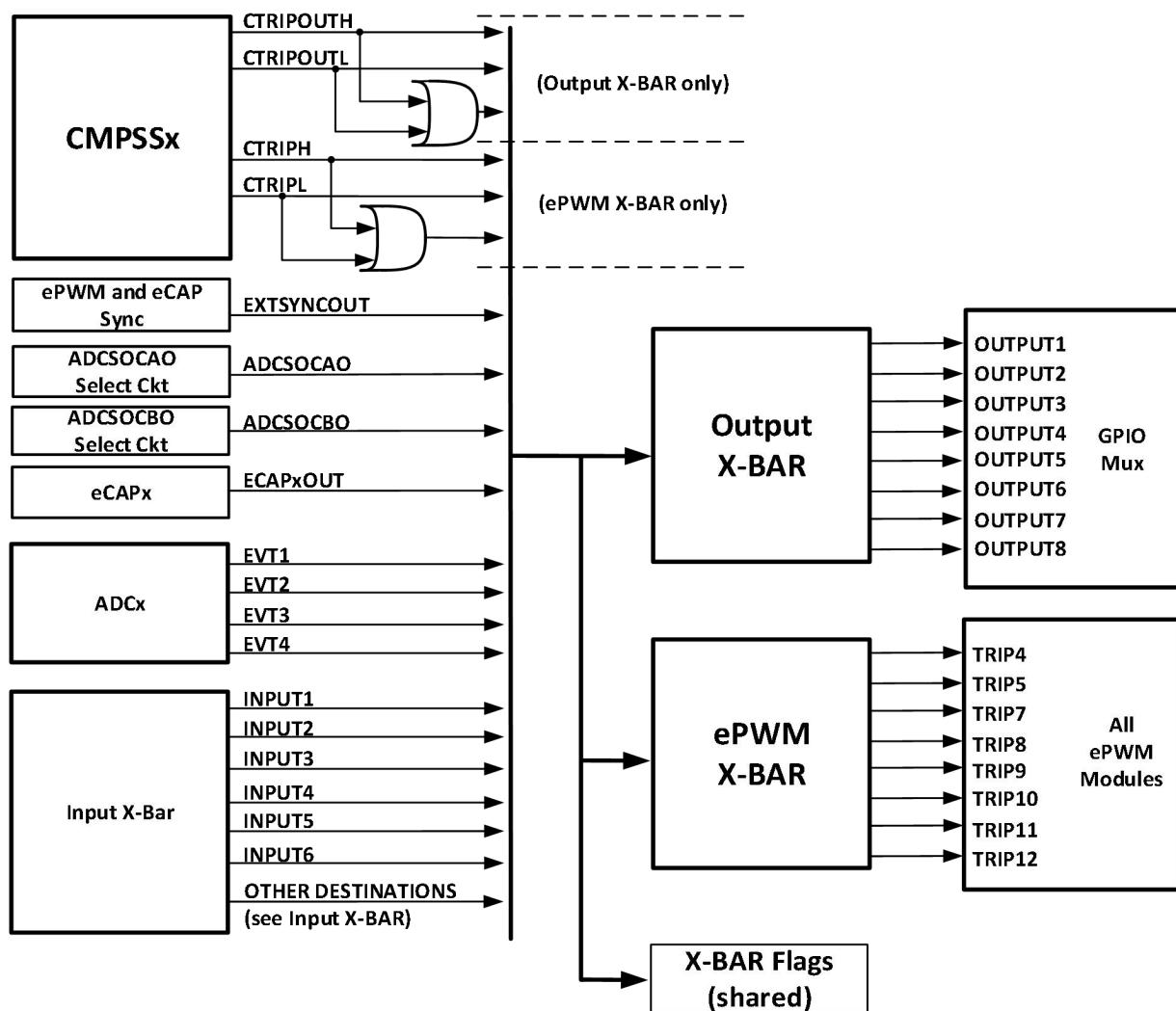


图 7-3 输出 X-BAR 和 ePWM X-BAR



## 7.5. 未使用引脚的连接

对于不需要使用器件所有功能的应用, 表 7-5 列出了对任何未使用引脚的可接受条件。当表 7-5 中列出了多个选项, 则任何选项都可接受。表 7-5 中未列的引脚必须根据节 7.2 进行连接。

表 7-5 未使用引脚的连接

信号名称	可接受的做法
模拟	
$V_{REFHx}$	连接至 $V_{DDA}$
$V_{REFLox}$	连接至 $V_{SSA}$
ADCINx	<ul style="list-style-type: none"><li>无连接</li><li>连接至 <math>V_{SSA}</math></li></ul>
数字	
GPIOx	<ul style="list-style-type: none"><li>无连接 (启用内部上拉的输入模式)</li><li>无连接 (启用内部下拉的输入模式)</li><li>无连接 (禁用内部上拉/下拉的输出模式)</li><li>上拉或下拉电阻器 (任意值电阻器, 输入模式, 禁用内部上拉/下拉)</li></ul>
X1	无连接
X2	无连接
TCK	<ul style="list-style-type: none"><li>无连接</li><li>上拉电阻器</li></ul>
TDI	<ul style="list-style-type: none"><li>无连接</li><li>上拉电阻器</li></ul>
TDO	无连接
TMS	无连接
TRST	下拉电阻器 (2.2k $\Omega$ 或更小)
ERRORSTS	无连接
XTALI32k	不用时必须接地
XTALO32k	不用时必须接地
TST1	<ul style="list-style-type: none"><li>无连接</li><li>可连接至 <math>V_{DDIO}</math></li></ul>
TST2	<ul style="list-style-type: none"><li>无连接</li><li>可连接至 <math>V_{DDIO}</math></li></ul>
TST3	<ul style="list-style-type: none"><li>无连接</li><li>可连接至 <math>V_{DDIO}</math></li></ul>
电源和接地	
$V_{DD}$	所有 $V_{DD}$ 引脚必须按照节 7.2 所述进行连接
$V_{DDA}$	如果未使用专用模拟电源, 则连接到 $V_{DDIO}$ 。
$V_{DDIO}$	所有 $V_{DDIO}$ 引脚必须按照节 7.2 所述进行连接
$V_{DDOSC}$	必须连接到 $V_{DDIO}$
$V_{SS}$	所有 $V_{SS}$ 引脚必须连接到电路板接地
$V_{SSA}$	如果未使用专用模拟接地, 则连接到 $V_{SS}$ 。
$V_{SSOSC}$	如果未使用外部晶体, 则该引脚必须连接到电路板接地。



## 8. 规格

### 8.1. 最大绝对额定值

在室内温度范围下工作(除非另有说明)

表 8-1 最大绝对额定值

		最小值	最大值 <sup>(1)(2)</sup>	单位
供电电压	$V_{DDIO}$ , 以 $V_{SS}$ 为基准	-0.3	4.6	V
	$V_{DDOSC}$ , 以 $V_{SS}$ 为基准	-0.3	4.6	
	$V_{DD}$ , 以 $V_{SS}$ 为基准	-0.3	1.5	
模拟电压	$V_{DDA}$ , 以 $V_{SSA}$ 为基准	-0.3	4.6	V
输入电压	$V_{IN}(3.3V)$	-0.3	4.6	V
输出电压	$V_o$	-0.3	4.6	V
输入钳位电流	数字/模拟输入 (每个引脚), $I_{IK}$ ( $V_{IN} < V_{SS}/V_{SSA}$ 或 $V_{IN} > V_{DDIO}/V_{DDA}$ ) <sup>(3)</sup>	-20	20	mA
	针对所有输入引脚的总和, $I_{IKTOTAL}$ ( $V_{IN} < V_{SS}/V_{SSA}$ 或 $V_{IN} > V_{DDIO}/V_{DDA}$ )	-20	20	
输出电流	数字输出 (每个引脚), $I_{OUT}$	-20	20	mA
大气温度	$T_A$	-40	125	°C
工作时结点温度	$T_J$	-40	150	°C
存储温度 <sup>(4)</sup>	$T_{stg}$	-65	150	°C

(1) 超出“绝对最大额定值”下列出的压力可能会对器件造成永久损坏。这些只是应力额定值，并不意味着在这些额定值下或者任何其他超过节 8.4 中所标明的条件下可正常工作。长时间处于最大绝对额定情况下会影响设备的可靠性。

(2) 除非另有说明，所有电压值均相对于  $V_{SS}$ 。

(3) 每个引脚的连续钳位电流为  $\pm 2mA$ 。请勿在此条件下连续工作，因为  $V_{DDIO}/V_{DDA}$  电压可能会在内部上升并影响其他电气规格。

(4) 长期高温存储或在最大温度条件下超期使用可能会导致总体器件寿命缩短。

### 8.2. ESD 等级-商用等级

表 8-2 ESD-商用等级

		数值	单位
nFBGA337 封装的 HX64D1037x			
$V_{(ESD)}$ 静电放电 (ESD)	人体模型 (HBM), 按照 ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	$\pm 2000$	V
	带电设备模型(CDM), 按照 JEDEC 规格 JSED22-C101 或 ANSI/ESDA/JEDEC JS-002 <sup>(2)</sup>	$\pm 500$	
HLQFP176 封装的 HX64D1037x			
$V_{(ESD)}$ 静电放电 (ESD)	人体模型 (HBM), 按照 ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	$\pm 2000$	V
	带电设备模型(CDM), 按照 JEDEC 规格 JSED22-C101 或 ANSI/ESDA/JEDEC JS-002 <sup>(2)</sup>	$\pm 500$	



		数值	单位
HTQFP100 封装的 HX64D1037x			
V <sub>(ESD)</sub> 静电放电 (ESD)	人体模型 (HBM), 按照 ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	±2000	V
	带电设备模型(CDM), 按照 JEDEC 规格 JSED22-C101 或 ANSI/ESDA/JEDEC JS-002 <sup>(2)</sup>	±500	

(1) JEDEC 文档 JEP155 规定: 500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 规定: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

### 8.3. ESD 等级-车用等级

表 8-3 ESD 车用等级

		数值	单位
nFBGA337 封装的 HX64D1037x			
V <sub>(ESD)</sub> 静电放电 (ESD)	人体模型 (HBM), 按照 AEC Q100-002 <sup>(1)</sup>	所有引脚	V
	带电设备模型(CDM), 按照 AEC Q100-011	所有引脚	
	nFBGA337 封装的引脚: A1,A19,W1,W19	±750	
HLQFP176 封装的 HX64D1037x			
V <sub>(ESD)</sub> 静电放电 (ESD)	人体模型 (HBM), 按照 AEC Q100-002 <sup>(1)</sup>	所有引脚	V
	带电设备模型(CDM), 按照 AEC Q100-011	所有引脚	
	HLQFP176 封装的引脚: 1、44、45、88、89、132、133、176	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

### 8.4. 推荐的工作条件

表 8-4 推荐的工作条件

	最小值	典型值	最大值	单位
器件供电电压, I/O, V <sub>DDIO</sub>	3.14	3.3	3.47	V
器件供电电压, V <sub>DD</sub>	1.14	1.2	1.26	V
电源接地, V <sub>SS</sub>	0			V
模拟供电电压, V <sub>DDA</sub>	3.14	3.3	3.47	V
模拟接地, V <sub>SSA</sub>	0			V
结点温度, T <sub>J</sub> <sup>(1)</sup>	-40		150	°C
自由通风温度, T <sub>A</sub>	-40		125	°C

(1) 在 T<sub>J</sub>= 105°C 以上的温度下长时间运行将缩短器件的使用寿命。



## 8.5. 功耗

本节中列出的电流值代表给定的测试条件, 而不是绝对最大值。应用中的实际器件电流将随应用代码和引脚配置而变化。

[表 8-5](#) 显示了 500MHz 系统时钟时的器件电流损耗。

---

备注  
相关数据待实测

### 8.5.1. 500MHz 时钟电流消耗

**表 8-5 500MHz 时钟电流消耗**



### 8.5.2. 减少电流消耗

HX64D1037x 系列提供了一些减少器件电流消耗的方法:

- 在应用的空闲期间, 可以进入低功耗模式中。
- 如果代码从 RAM 中运行, 闪存模块可能会断电。
- 禁用假定有输出功能的引脚上的上拉电阻。

表 8-6 表明了可以实现的典型电流降低。

表 8-6 各种外设在 VDD 电源上的电流(在 500MHz 下)



## 8.6. 电气特性

在推荐的工作条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{OH}$	高电平输出电压	$I_{OH} = I_{OH\ MIN}$	$V_{DDIO}-0.5$			V
		$I_{OH} = -100\mu A$	$V_{DDIO}-0.2$			
$V_{OL}$	低电平输出电压	$I_{OL} = I_{OL\ MAX}$			0.4	V
		$I_{OL} = 100\mu A$			0.2	
$I_{OH}$	对于所有输出引脚的高电平输出拉电流		-4			mA
$I_{OL}$	所有输出引脚的低电平输出灌电流				4	mA
$V_{IH}$	GPIO0-GPIO7, GPIO42-GPIO43, GPIO46-GPIO47		$V_{DDIO}*0.7$		$V_{DDIO}+0.3$	V
	所有其它引脚		2.0		$V_{DDIO}+0.3$	
$V_{IL}$	低电平输入电压 (3.3V)		$V_{SS}-0.3$		0.8	V
$V_{HYSTERESIS}$	输入滞后电压			150		mV
$I_{pulldown}$	上拉输入电流	$V_{DDIO} = 3.3V$ $V_{IN} = V_{DDIO}$		50		$\mu A$
$I_{pullup}$	下拉输入电流	$V_{DDIO} = 3.3V$ $V_{IN} = 0V$		43		$\mu A$
$I_{LEAK}$	数字	上拉禁止 ( $0V \leq V_{IN} \leq V_{DDIO}$ )			2	$\mu A$
	模拟 (ADCINB0 或 DACOUTx 除外)	$0V \leq V_{IN} \leq V_{DDA}$			2	
	ADCINB0			2	11 <sup>(2)</sup>	
	DACOUTx			66		
$C_i$	输入电容			2		pF
$V_{DDIO-POR}$	$V_{DDIO}$ 上电复位电压			2.3		V

(1) 有关具有上拉或下拉功能的引脚列表, 请参阅表 7-2。

(2) ADCINB0 上显示的最大输入漏电流是在高温条件下发生的

## 8.7. 热阻特性<sup>(1)</sup>

### 8.7.1. HQLFP 封装

		°C/W	气流 (lfm)
$R_{\Theta\ JC}$	结至外壳热阻	6.97	不适用
$R_{\Theta\ JB}$	结至电路板热阻	6.05	不适用
$R_{\Theta\ JA}$ (高 k PCB)	结至大气热阻	17.8	0
$R_{\Theta\ JMA}$	结至流动空气热阻	12.8	150
		11.4	250
		10.1	500



		°C/W	气流 (lfm)
P <sub>si<sub>JT</sub></sub>	结至封装顶部	0.11	0
		0.24	150
		0.33	250
		0.42	500
P <sub>si<sub>JB</sub></sub>	结至电路板	6.1	0
		5.5	150
		5.4	250
		5.3	500

(1) 当前器件热阻特性数据为设计预估值，并非实测数据。

## 8.8. 散热设计考虑

根据最终应用设计和运行情况,  $I_{DD}$  和  $I_{DDIO}$  电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度( $T_A$ )随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温  $T_J$ , 而不是环境温度。因此, 应该注意将  $T_J$  保持在指定限值内。应该测量  $T_{case}$  以评估工作结温  $T_J$ 。通常在封装顶部表面的中心测量  $T_{case}$ 。

## 8.9. 系统

### 8.9.1. 电源时序

#### 8.9.1.1. 信号引脚要求

在为器件供电之前, 不能对任何数字引脚施加比  $V_{DDIO}$  高 0.3V 以上的电压, 也不能对任何模拟引脚(包括  $V_{REFHI}$ )施加比  $V_{DDA}$  高 0.3V 以上的电压。

#### 8.9.1.2. $V_{DDIO}$ 、 $V_{DDA}$ 和 $V_{DDOSC}$ 要求

3.3V 电源应一起上电, 在正常工作期间彼此之间的差值应保持在 0.3V 以内。

#### 8.9.1.3. 电源上升速率

电源应在 10ms 内上升到工作值。下表显示了电源上升斜率。

		最小值	最大值	单位
上电斜率	$V_{DDIO}$ , $V_{DD}$ , $V_{DDA}$ , $V_{DDOSC}$ 相对于 $V_{SS}$	330	$10^5$	V/S

#### 8.9.1.4. 电源监控

内部上电复位 (POR) 电路使器件保持复位状态, 并在上电期间将 I/O 保持在高阻抗状态。外部电源电压监控器 (SVS) 可用于监控 3.3V 和 1.2V 电源电压, 并在电源电压低于工作规范时驱动 XRS。

#### 备注

如果电源电压保持接近 POR 阈值, 则器件可能会在 XRS 引脚上驱动周期性的复位。

### 8.9.2. 复位系统

XRS 为器件复位引脚。它用作输入和漏极开路输出。该器件具有内置上电复位 (POR)。在加电期



间, POR 电路会驱动 XRS 引脚至低电平。看门狗复位也会驱动引脚至低电平。外部电路可能会驱动引脚使器件复位生效。

应在 XRS 和 V<sub>DDIO</sub> 之间放置一个值为 2.2k $\Omega$  至 10k $\Omega$  的电阻器。应在 XRS 和 V<sub>SS</sub> 之间放置一个电容器用于噪声滤除; 电容应为 100nF 或更小。图 8-1 显示了推荐的复位电路。

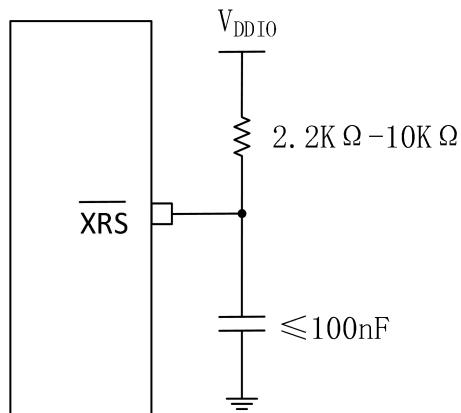


图 8-1 复位电路

### 8.9.2.1. 复位源

该器件上存在以下复位源: XRS、WDT\_RST、NMIWDT\_RST、Software\_RST 和 peripheral reset registers。

备注

有些复位源由器件内部驱动。其中一些来源将 XRS 驱动至低电平。

### 8.9.2.2. 复位电器数据和时序

节 8.9.2.2.1 显示了复位时序要求。节 8.9.2.2.2 显示了复位开关特征。图 8-2 显示了上电复位。图 8-3 显示了热复位。

#### 8.9.2.2.1. 复位时序要求

		最小值	最大值	单位
t <sub>h</sub> (引导模式) 引导模式引脚的保持时间		1.5		ms
t <sub>w(RSL2)</sub> 脉冲持续时间, 热复位时 XRS 处于低电平	所有情况	3.2		μs

#### 8.9.2.2.2. 复位开关特征

在推荐的工作条件下 (除非另有说明)

参数	最小值	典型值	最大值	单位
t <sub>w(RSL1)</sub> 脉冲持续时间, XRS 在电源稳定后由器件驱动为低电平		100		μs
t <sub>w(WDRS)</sub> 脉冲持续时间, 由看门狗生成的复位脉冲		4t <sub>c(INTOSC2)</sub>		周期

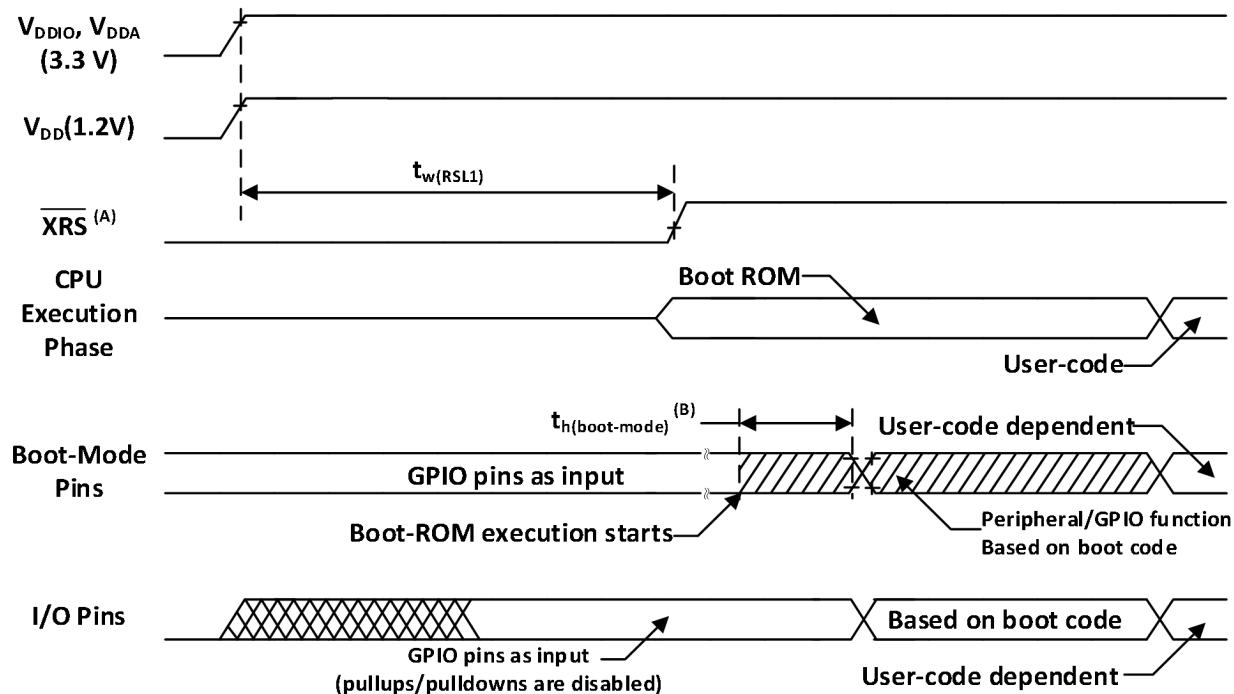


图 8-2 上电复位

A.  $\overline{XRS}$  引脚可以由外部上拉电阻从外部驱动, 请参阅节 7.3

B. 从任何源复位后 (参阅节 8.9.2.1), 引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态, 引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后执行, 则引导代码执行时间基于引导代码设定的速度 (DSP\_CLK 300M)。

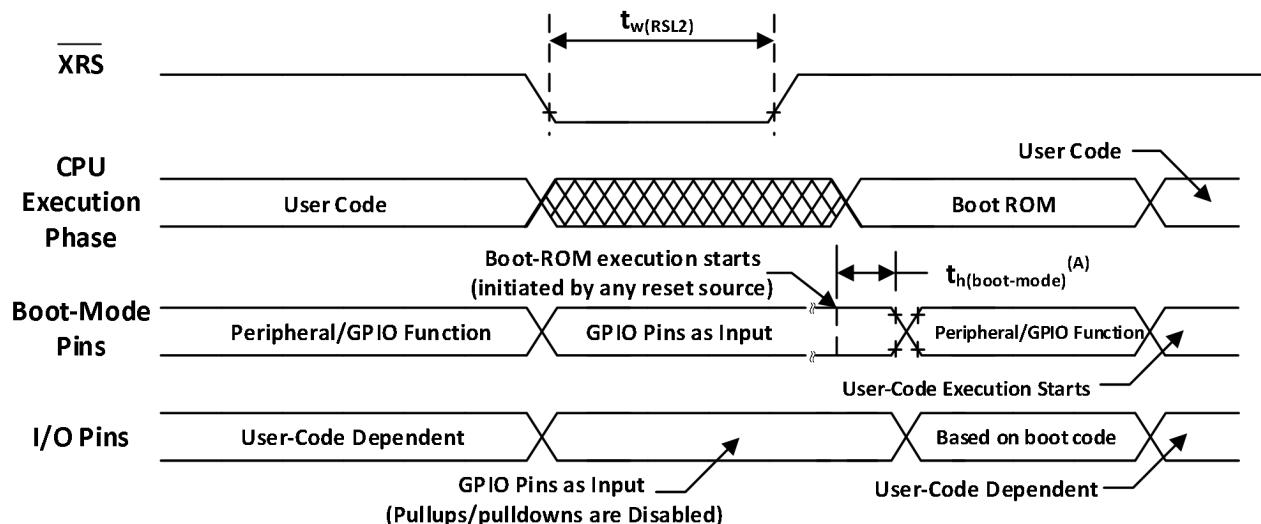


图 8-3 热复位

A. 从任何源复位后 (参阅节 8.9.2.1), 引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态, 引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后执行, 则引导代码执行时间基于引导代码设定的速度 (DSP\_CLK 300M)。



## 8.9.3. 时钟规范

### 8.9.3.1. 时钟源

表 8-7 列出了五种可能的时钟源。图 8-4 概述了时钟系统。

表 8-7 可能的时钟源

时钟源	时钟频率	时钟说明
INTOSC1	内部时钟源 10MHz	<ul style="list-style-type: none"> <li>系统时钟源之一, 驱动系统 PLL 产生 DSP_CLK, AXI_CLK, AHB_CLK 以及 APB_CLK</li> <li>二分频时钟固定 5MHz 用作 flash 的 program 以及 erase 的时钟</li> <li>USB PLL 的时钟源之一, 产生 USB_CLK</li> </ul>
INTOSC2	内部时钟源 40KHz	<ul style="list-style-type: none"> <li>常开时钟, WDG 的时钟源</li> <li>低功耗模块的时钟源</li> <li>RTC 时钟源之一</li> </ul>
XTAL1	外部时钟源 4 ~ 24MHz	<ul style="list-style-type: none"> <li>系统时钟源之一, 驱动系统 PLL 产生 DSP_CLK, AXI_CLK, AHB_CLK 以及 APB_CLK</li> <li>USB PLL 的时钟源之一, 产生 USB_CLK</li> </ul>
XTAL2	外部时钟源 32.768KHz	<ul style="list-style-type: none"> <li>RTC 时钟源之一</li> </ul>
AUXCLKIN	外部时钟源 2 ~ 60MHz	<ul style="list-style-type: none"> <li>USB PLL 的时钟源之一, 产生 USB_CLK</li> </ul>

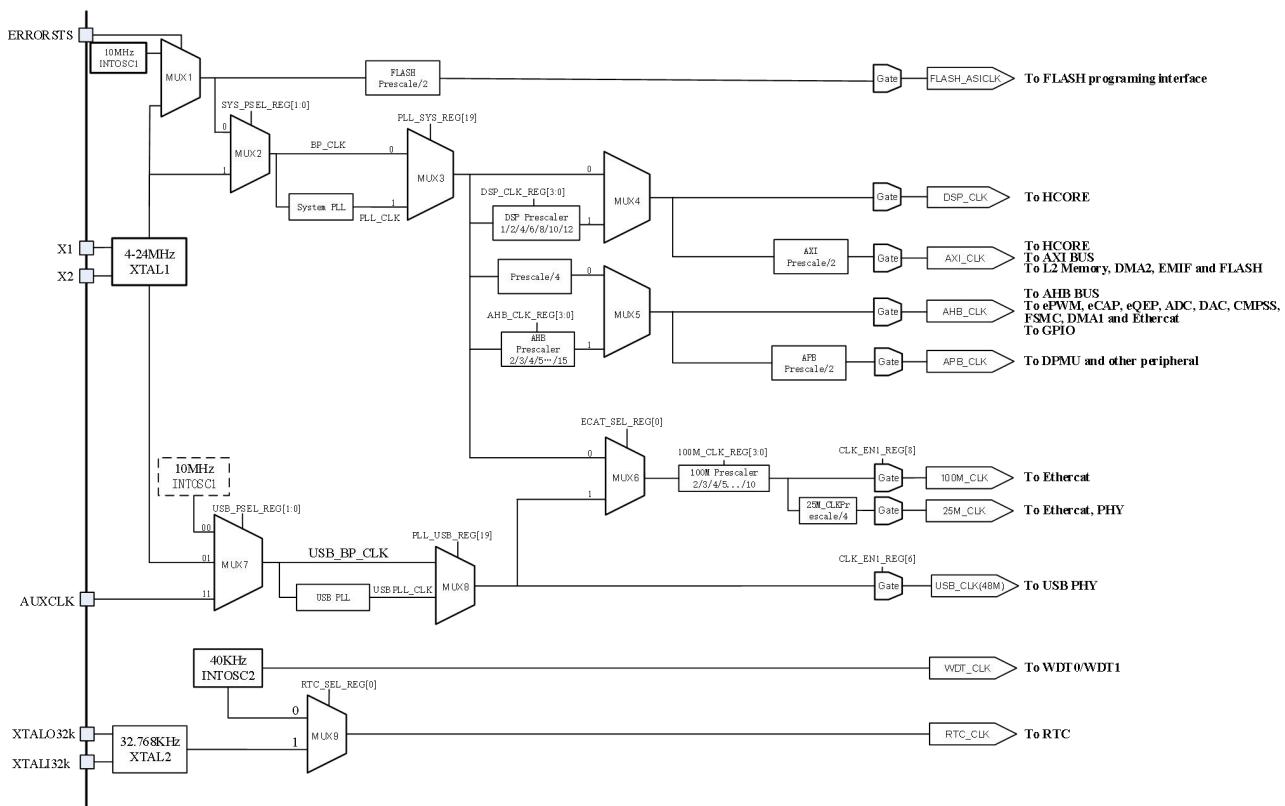


图 8-4 时钟系统



### 8.9.3.2. 时钟频率、要求和特征

本小节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特征。

#### 8.9.3.2.1. 输入时钟频率和时序要求, PLL 锁定时间

表 8-8 显示了输入时钟的频率要求。表 8-9 显示了使用外部时钟源时的 X1 输入电平特征。表 8-10 和表 8-11 显示了输入时钟的时序要求。表 8-12 显示了主 PLL 和 USB PLL 的 PLL 锁定时间。

表 8-8 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率, X1/X2, 来自外部晶体或谐振器	4	24	MHz
$f_{(X1)}$	频率, X1, 来自外部振荡器	4	24	MHz
$f_{(AUXI)}$	频率, AUXCLKIN, 来自外部振荡器	2	60	MHz

表 8-9 外部时钟源时的 X1 输入电平特征

参数	最小值	最大值	单位
$X1\ V_{IL}$ 有效低电平输入电压	-0.3	$0.3*V_{DDIO}$	V
$X1\ V_{IH}$ 有效高电平输入电压	$0.7*V_{DDIO}$	$V_{DDIO}+0.3$	V

表 8-10 X1 时序要求

	最小值	最大值	单位
$t_f(x1)$ 下降时间, X1		6	ns
$t_r(x1)$ 上升时间, X1		6	ns
$t_w(x1L)$ 脉冲持续时间, X1 低电平占 $t_c(x1)$ 的百分比	45%	55%	
$t_w(x1H)$ 脉冲持续时间, X1 高电平占 $t_c(x1)$ 的百分比	45%	55%	

表 8-11 AUXCLKIN 时序要求

	最小值	最大值	单位
$t_f(AUXI)$ 下降时间, AUXCLKIN		6	ns
$t_r(AUXI)$ 上升时间, AUXCLKIN		6	ns
$t_w(AUXL)$ 脉冲持续时间, AUXCLKIN 低电平占 $t_c(xc)$ 的百分比	45%	55%	
$t_w(AUXH)$ 脉冲持续时间, AUXCLKIN 高电平占 $t_c(xc)$ 的百分比	45%	55%	

表 8-12 PLL 锁定时间

	最小值	标称值	最大值	单位
$t_{(PLL)}$ 锁定时间, 主 PLL (X1, 来自外部振荡器)		$50\mu s+2500*t_{c(OSCCLK)}$		$\mu s$
$t_{(USB)}$ 锁定时间, USB PLL (AUXCLKIN, 来自外部振荡器)		$50\mu s+2500*t_{c(OSCCLK)}$		$\mu s$



### 8.9.3.2.2. 内部时钟频率

表 8-13 显示了内部时钟频率

表 8-13 内部时钟频率

	最小值	标称值	最大值	单位
$f_{(\text{FLASH\_ASICLK})}$ 频率, FLASH_ASICLK		5		MHz
$f_{(\text{DSP\_CLK})}$ 频率, hcore clock	10		600	MHz
$f_{(\text{AXI\_CLK})}$ 频率, AXI_CLK	5		300	MHz
$f_{(\text{AHB\_CLK})}$ 频率, AHB_CLK	2.5		250	MHz
$f_{(\text{APB\_CLK})}$ 频率, APB_CLK	1.25		125	MHz
$f_{(\text{USB\_CLK})}$ 频率, USB_CLK		48		MHz
$f_{(\text{IWDG\_CLK})}$ 频率, IWDG_CLK(INTOSC2)		40		KHz
$f_{(\text{RTC\_CLK})}$ 频率, RTC_CLK(INTOSC2/XTAL2)		参考各自的时钟		KHz
$f_{(\text{PLL\_CLK})}$ 频率, system PLL output	16		1000	MHz
$f_{(\text{USBPLL\_CLK})}$ 频率, auxiliary PLL output		48		MHz
$f_{(\text{USB\_BP\_CLK})}$ 频率, (INTOSC1/XTAL1/X1/AUXCLK)		参考各自的时钟		MHz
$f_{(\text{BP\_CLK})}$ 频率, BP_CLK(INTOSC1/XTAL1/X1)		参考各自的时钟		MHz

### 8.9.3.2.3. 输出时钟频率和开关特征

表 8-14 提供了输出时钟的频率。表 8-15 显示了输出时钟 XCLKOUT 的开关特征。

表 8-14 输出时钟频率

	最小值	最大值	单位
$f_{(\text{XCO})}$ 频率, XCLKOUT		16	MHz

表 8-15 XCLKOUT 开关特征

参数 <sup>(1)(2)</sup>	最小值	最大值	单位
$t_{\text{f}}(\text{XCO})$ 下降时间, XCLKOUT		6	ns
$t_{\text{r}}(\text{XCO})$ 上升时间, XCLKOUT		5	ns
$t_{\text{w}}(\text{XCOL})$ 脉冲持续时间, XCLKOUT 低电平	H-2	H+2	ns
$t_{\text{w}}(\text{XCOH})$ 脉冲持续时间, XCLKOUT 高电平	H-2	H+2	ns

(1) 假定这些参数的负载为 43pF。

(2)  $H=0.5t_{\text{c}}(\text{XCO})$

### 8.9.3.3. 输入时钟和 PLL

HX DSP 提供了多个外部时钟源选项。图 8-5 显示了将晶振、谐振器和振荡器连接到引脚 X1/X2 (也称为 XTAL) , AUXCLKIN 和 XTAL132K/XTAL032K 的推荐方法。

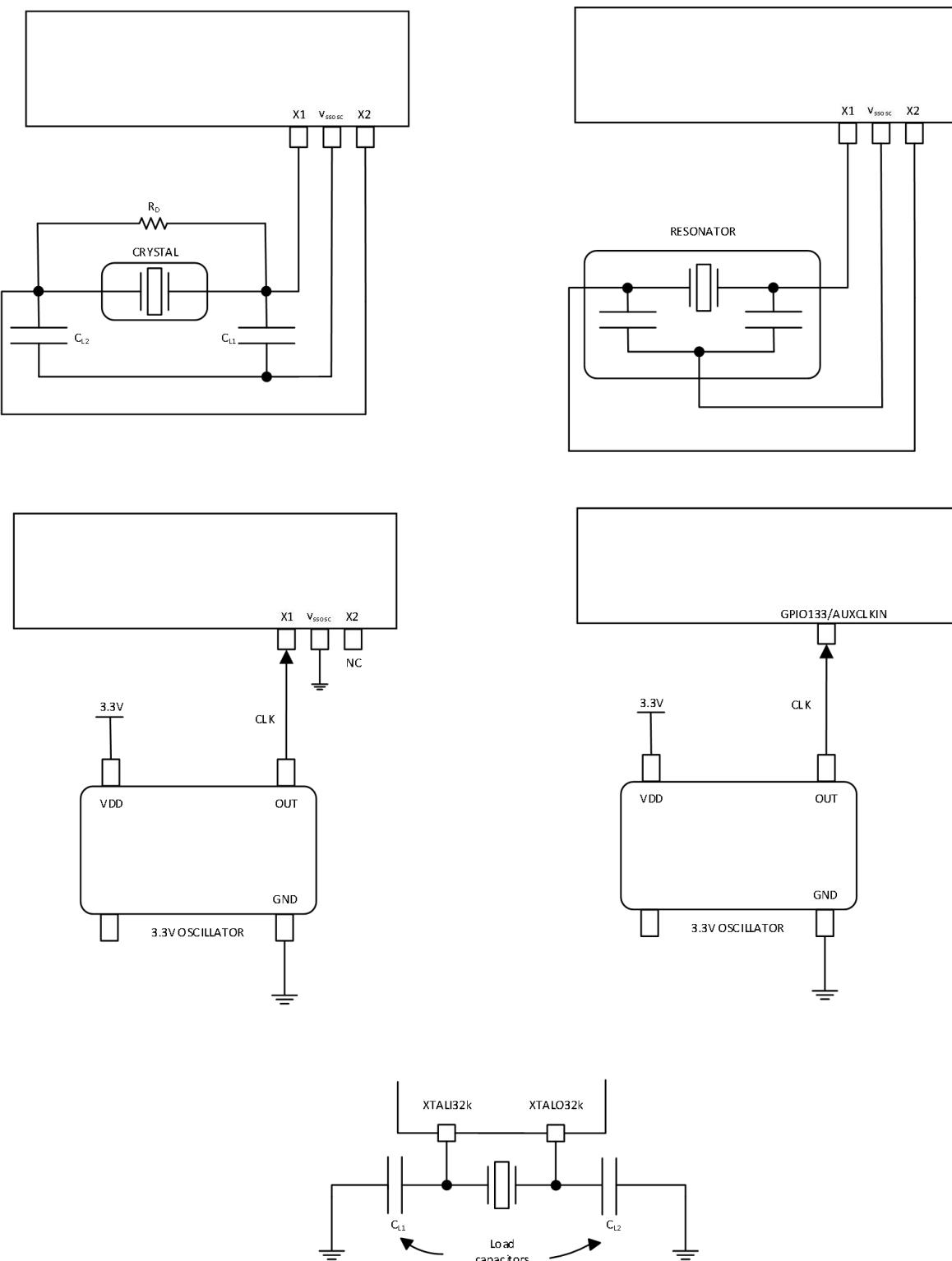


图 8-5 将输入时钟连接到器件



### 8.9.3.4. 晶体振荡器

使用石英晶体时, 可能有必要在晶体电路中加入一个阻尼电阻( $R_D$ ), 以防止晶体过驱动。在高频应用(10MHz 或更高)中, 通常不需要  $R_D$ 。如果需要阻尼电阻,  $R_D$  应尽可能小, 因为电阻的大小会影响启动时间(较小的  $R_D$  = 更快的启动时间)。建议晶体制造商使用应用板来表征晶体。节 8.9.3.4.1 显示了晶体振荡器参数。表 8-16 显示了晶体等效串联电阻(ESR)要求。节 8.9.3.4.2 显示了晶体振荡器电气特征。

#### 8.9.3.4.1. 晶体振荡器参数

		最小值	最大值	单位
CL1 、 CL2	负载电容	12	24	pF
C0	晶振并联电容		7	pF

表 8-16 晶振等效串联电阻(ESR)要求

晶振频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

#### 8.9.3.4.2. 晶体振荡器电气特征

在推荐的工作条件下(除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
启动时间	$f = 20\text{MHz}$ ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平				1	mW

### 8.9.3.5. 内部振荡器

为了减少电路板生产成本和缩短应用开发时间, 所有 HX64D1037x 器件都包含两个独立的内部振荡器, 称为 INTOSC1 和 INTOSC2。默认情况下, 两个振荡器都在上电时启用。

#### 8.9.3.5.1. 内部振荡器电气特征

表 8-17 INTOSC1 电气特征

参数	测试条件	最小值	典型值	最大值	单位
$f_{(\text{INTOSC1})}$ 频率		9.7	10.0	10.3	MHz
$f_{(\text{INTOSC1-STABILITY})}$	室温下的频率稳定性	30°C, 标称 $V_{DD}$		±0.1%	
	$V_{DD}$ 上的频率稳定性	30°C		±0.2%	
	频率稳定性		-3.0%		3.0%
$f_{(\text{INTOSC1-ST})}$ 启动和趋稳时间				20	μs



表 8-18 INTOSC2 电气特征

参数	测试条件	最小值	典型值	最大值	单位
$f_{(INTOSC2)}$	频率		40		KHz
$f_{(INTOSC2-ST)}$	启动和趋稳时间			20	$\mu s$

### 8.9.4. FLASH 参数

表 8-19 显示了不同频率下所需的最低闪存等待状态。节 8.9.4.1 显示了闪存参数。

表 8-19 闪存等待状态

AXI_CLK(MHz)	
时钟范围区间	最低等待状态
$250 < AXI\_CLK \leq 300$	5
$200 < AXI\_CLK \leq 250$	4
$150 < AXI\_CLK \leq 200$	3
$100 < AXI\_CLK \leq 150$	2
$50 < AXI\_CLK \leq 100$	1
$AXI\_CLK \leq 50$	0

#### 8.9.4.1. 闪存参数

表 8-20 闪存参数

参数	最小值	典型值	最大值	单位
编程时间	78 数据位	41		$\mu s$
	编写 1KB sector	11		ms
擦除时间	擦除 1KB sector	4		ms
	全片擦除		10	ms
写入/擦除周期	100,000			Cycles
数据保留持续时间 ( $T_J=85^{\circ}C$ )	10			Years

### 8.9.5. 仿真/JTAG

JTAG 端口具有五个专用引脚: TRST、TMS、TDI、TDO 和 TCK。TRST信号应始终通过电路板上的 $2k\Omega$ - $10k\Omega$ 下拉电阻器下拉到 GND。图 8-6 显示了如何连接 14PIN 引脚的 JTAG 接头。通常情况下, 当 DSP 目标和 JTAG 接头之间的距离小于 6 英寸(15.24cm), 并且 JTAG 链上没有其他器件时, JTAG 信号上不需要缓冲器。否则, 每个信号都应被缓冲。有关 JTAG 的使用和调试功能更多信息, 请参阅 [HX-DSP-JTAG 调试工具指南](#)。

JTAG 调试器的电源接口 VCC 可以选择是否和目标器件连接在一起。

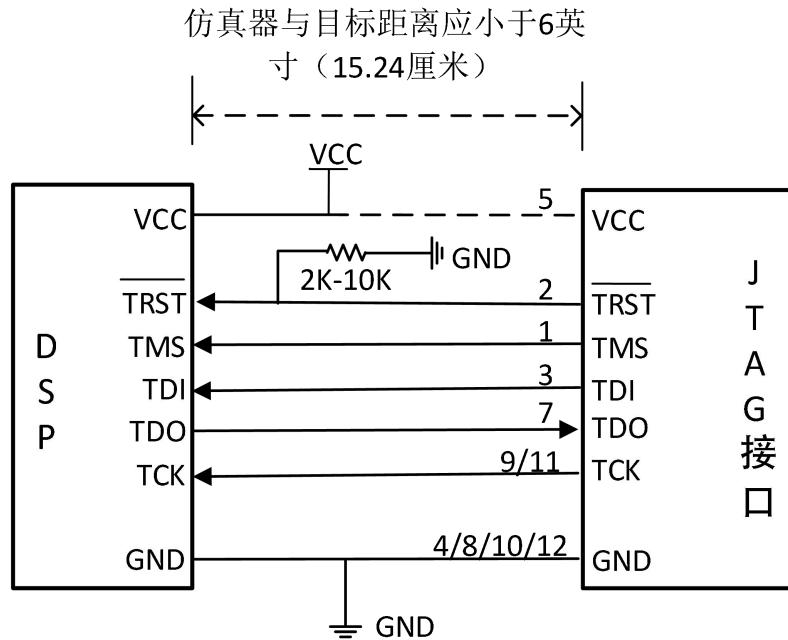


图 8-6 连接到 JTAG 接头连接器

### 8.9.6. 通用输入输出口电气特性和时序

外设信号与通用输入输出引脚 (GPIO) 信号复用。复位时, GPIO 引脚配置为输入。对于特定输入, 用户还可以选择输入限定周期的数量, 以滤除不需要的噪声毛刺。

GPIO 模块包含一个输出 X-BAR, 允许将各种内部信号路由到 GPIO 多路复用器位置 (表示为输出 XBARx) 中的 GPIO。GPIO 模块还包含一个输入 X-BAR, 用于将信号从任何 GPIO 输入路由到不同的 IP 模块 (如 ADC, eCAP, ePWM 和外部中断)。

#### 8.9.6.1. GPIO - 输出时序

节 8.9.6.1.1 显示了通用输出开关特征。图 8-7 显示了通用输出时序。

##### 8.9.6.1.1. 通用输出开关特征

		最小值	最大值	单位
$t_{r(GPO)}$	上升时间, GPIO 从低电平切换至高电平	所有 GPIO	5 <sup>(1)</sup>	ns
$t_{f(GPO)}$	下降时间, GPIO 从高电平切换至低电平	所有 GPIO	6 <sup>(1)</sup>	ns
$t_{f(GPO)}$	切换频率, GPO 引脚		30	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 43pF。

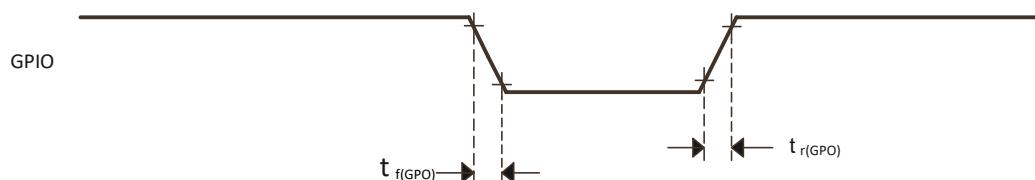


图 8-7 通用输出时序

## 8.9.6.2. GPIO - 输入时序

节 8.9.6.2.1 显示了通用输入时序要求。图 8-8 显示了采样模式。

### 8.9.6.2.1. 通用输入时序要求

		最小值	最大值	单位
$t_{w(SP)}$ 采样周期	QUALPRD=0	$1t_{c(AHBCLK)}$		周期
	QUALPRD $\neq$ 0	$2t_{c(AHBCLK)} * \text{QUALPRD}$		周期
$t_{w(IQSW)}$ 输入滤波采样窗口		$t_{w(SP)} * (n^{(1)} - 1)$		周期
$t_{w(GPI)}$ <sup>(2)</sup> 脉冲持续时间, GPIO 低电平/高电平	同步模式	$2t_{c(AHBCLK)}$		周期
	带输入滤波	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(AHBCLK)}$		周期

(1) “n” 代表由 GPxQSELn 寄存器定义的采样点数的数量。

(2) 对于  $t_{w(GPI)}$ , 对低电平有效信号在  $V_{IL}$  至  $V_{IL}$  之间测量脉宽, 而高电平有效信号, 在  $V_{IH}$  至  $V_{IH}$  之间测量脉宽。

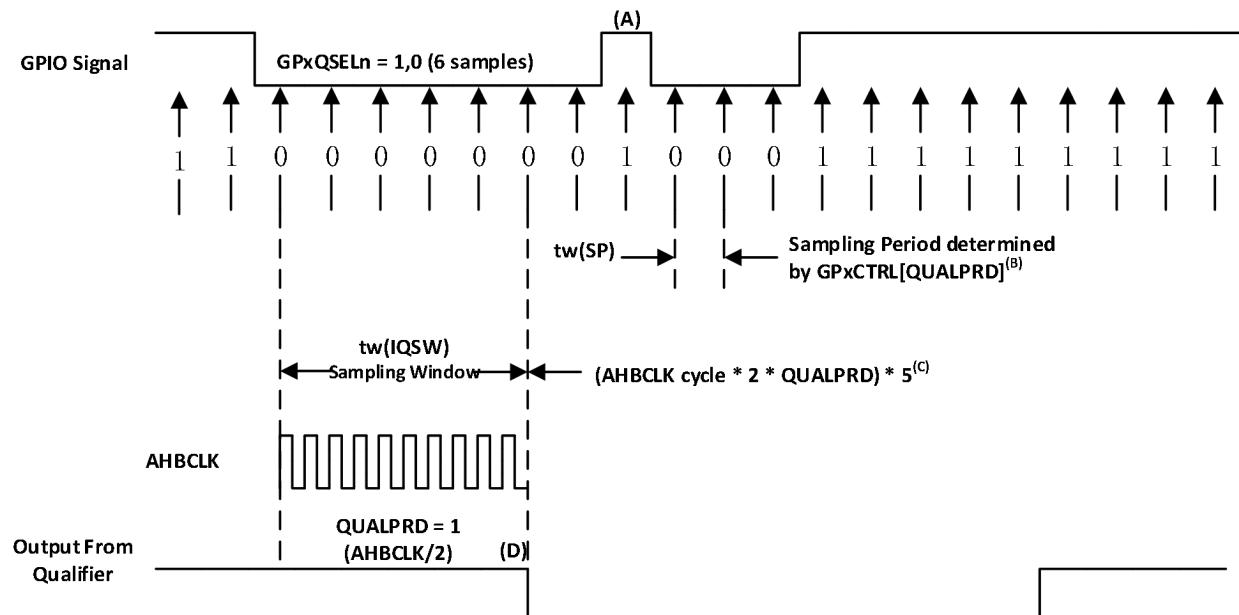


图 8-8 采样模式

A、输入滤波将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00, 那么采样周期为 1 个 AHBCLK 周期。对于任何其他的“n”值, 限定采样周期为 2n AHBCLK 周期 (也就是说, 在每 2n 个 AHBCLK 周期上, GPIO 引脚将被采样)。

B、通过 GPxCTRL 寄存器选择的限定周期应用于 8 个 GPIO 引脚组。

C、此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。

D、在所示的示例中, 为了使限流器检测到变化, 输入应该在 10 个 AHBCLK 周期或者更长周期内保持稳定。换句话说, 输入应该在  $(5 \times \text{QUALPRD} \times 2)$  AHBCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的, 因此 13 AHBCLK 宽的脉冲确保了可靠的识别。

## 8.9.6.3. 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。



采样频率表明相对于 AHBCLK 对信号进行采样的频率。

$$\text{Sampling frequency} = \text{AHBCLK}/(2 \times \text{QUALPRD}), \quad \text{if } \text{QUALPRD} \neq 0 \quad (1)$$

$$\text{Sampling frequency} = \text{AHBCLK}, \quad \text{if } \text{QUALPRD} = 0 \quad (2)$$

$$\text{Sampling period} = \text{AHBCLK cycle} \times 2 \times \text{QUALPRD}, \quad \text{if } \text{QUALPRD} \neq 0 \quad (3)$$

在方程式 1、方程式 2 和方程式 3 中, AHBCLK 周期表示 AHBCLK 的时间周期。

如果  $\text{QUALPRD}=0$ , 则采样周期= AHBCLK 周期

在给定的采样窗口中, 采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到  $\text{GPxQSELn}$  寄存器的值确定的。

### 情况 1:

使用 3 个样片进行限定

如果  $\text{QUALPRD} \neq 0$ , 则采样窗口宽度=  $(\text{AHBCLK 周期} \times 2 \times \text{QUALPRD}) \times 2$

如果  $\text{QUALPRD}=0$ , 则采样窗口宽度=  $(\text{AHBCLK 周期}) \times 2$

### 情况 2:

使用 6 个样片进行限定

如果  $\text{QUALPRD} \neq 0$ , 则采样窗口宽度 =  $(\text{AHBCLK 周期} \times 2 \times \text{QUALPRD}) \times 5$

如果  $\text{QUALPRD}=0$ , 则采样窗口宽度 =  $(\text{AHBCLK 周期}) \times 5$

图 8-9 显示了通用输入时序。

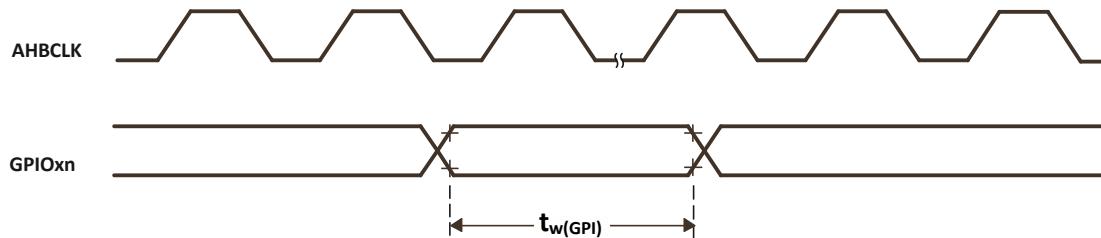


图 8-9 通用输入时序

### 8.9.7. 中断

HCORE 处理器有 16 条外部中断线, 其中 12 条通过增强型中断扩展模块 (ePIE 或者简称 PIE) 连接到外围设备的中断信号。PIE 复用 16 个外围中断到每个 DSP 中断线。它还扩展了向量表, 允许每个中断都有自己的中断服务例程。这使得 DSP 能够支持大量的外设。

中断路径被分成 3 个阶段-外围设备, 中断扩展, 处理器。每个步骤有独立的寄存器对中断进行控制。该系统允许 DSP 在其他中断挂起时处理一个中断, 在软件中实现优先级嵌套中断, 并在某些关键任务期间禁用中断。

硬件中断框图如图 8-10 所示:

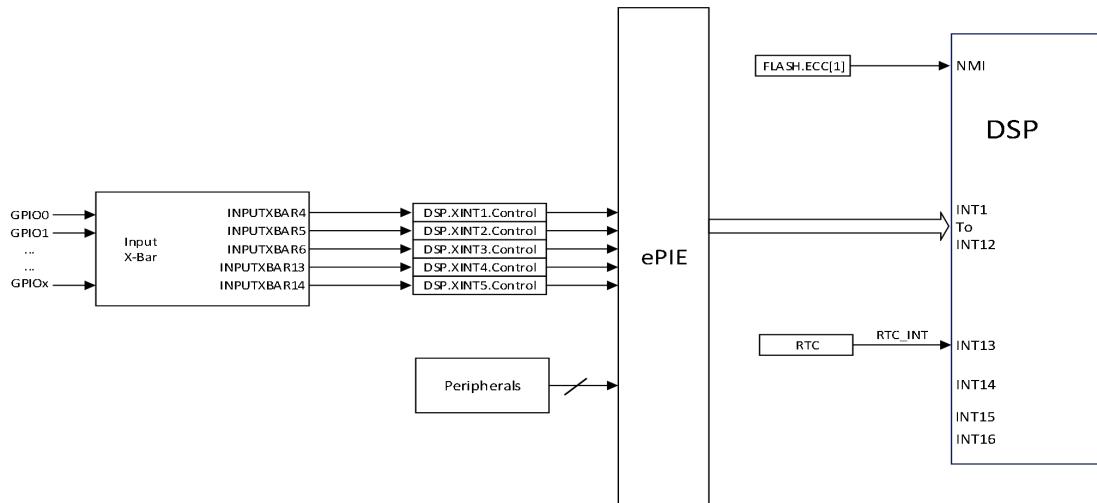


图 8-10 硬件中断框图

### 8.9.7.1. PIE 阶段

外设中断扩展模块将众多的中断输入源复用连接至较少的中断输入端口。该模块可支持 192 个单独的中断输入，这些中断被分成 12 组，每组 16 个。每组独立连接至 DSP 的中断端口 (INT1-INT12)。每个 PIE 组有一个使能寄存器 (PIEIER)、一个标志寄存器 (PIEIFR) 以及一个向量寄存器 (PIEVEC)。另外 PIE 有一个确认寄存器 (PIEACK) 和一个 PIE 模块使能寄存器 (PIEIER)，每一位控制一个 PIE 组。

在处理中断时，当 DSP 接收到中断请求，DSP 先通过中断向量基址寄存器 (GISR) 跳转至 INT x 对应的中断服务例程，在中断服务例程中读取 PIEVECx 寄存器获取子中断地址，再跳转到相应的子中断 INTx.y 执行最终的中断程序。

PIE 模块可以使能和被禁用。

PIE 阶段中断复用如图 8-11 所示：

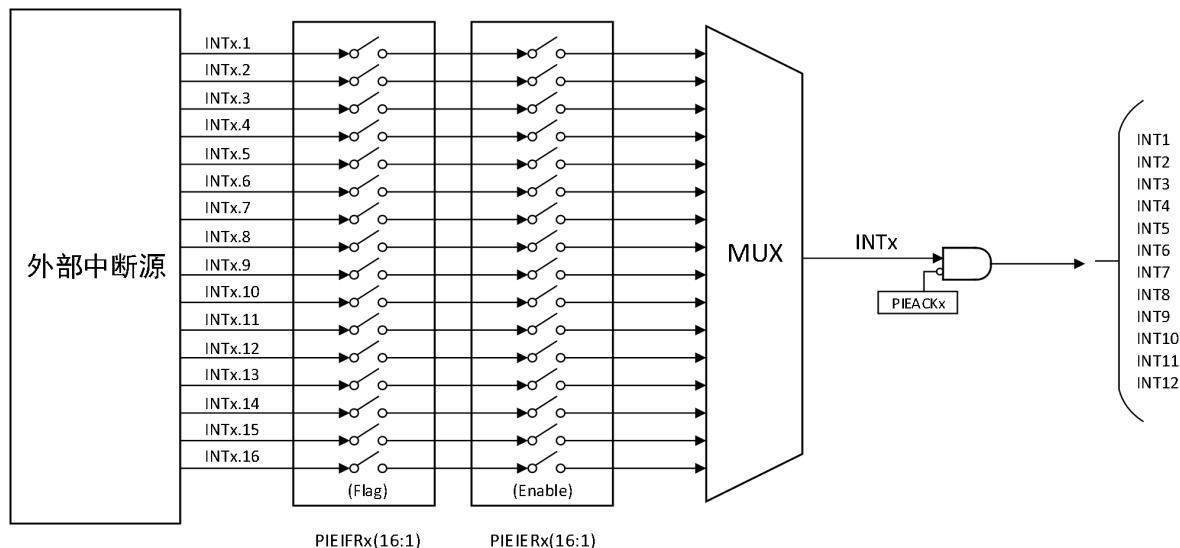


图 8-11 PIE 阶段中断复用

### 8.9.8. 低功耗模式

在系统或电源复位以后，DSP 处于运行状态。当 DSP 不需要继续运行时，可以利用低功耗模式来



节省功耗, 例如等待某个外部事件时。用户可以根据需要选择低功耗 standby 模式或 sleep 模式。

此外, 在运行模式下, 可以通过以下方式中的一种降低功耗:

- 降低系统时钟
- 关闭一些未被使用的外设时钟, 例如 PWM

### 8.9.8.1. idle 模式

idle 模式下 `dsp_clk` 会被停止 (`dspclk_en=0`), 其他时钟不动, 保持外设可以正常工作。当唤醒执行时, `dpmu` 将 enable `dsp_clk`, 之后程序将从断点处开始执行。

该模式下, PLL 正常运行, 程序唤醒后从断点开始执行。

#### 8.9.8.1.1. 进入 idle 模式

通过置位 `pwr_ctrl` 寄存器 bit[1], 可配置系统进入 idle 模式。

#### 8.9.8.1.2. 退出 idle 模式

目前有三种方式可以退出 idle 模式:

- 外部唤醒

通过拉低 GPIO41, 可以使系统退出 idle 模式。

- sleep count 计数

在 `PWR_TIMING_REG` 中写入 sleep count 计数的初始值, 当计数到零时, 产生唤醒信号。sleep count 计数的时钟是 `INTOSC2=40KHz`。

- PIE 外设中断唤醒

通过外设中断高电平触发系统退出 idle 模式。

需要注意, 与其他低功耗模式不同的是, idle 模式有三种唤醒方式并且唤醒方式需要配置寄存器激活, 默认所有唤醒方式均可。

### 8.9.8.2. standby 模式

standby 模式下 DPMU 输出的时钟 (`dsp_clk`, `axi_clk`, `ahb_clk`, `apb_clk`) 都会被停止, 需要注意的是 AXI 总是都是有 FIFO 的, 为避免时钟停在“不合适”的位置, 即 FIFO 里面的指令未执行完成, 当 DPMU 进入 standby 模式后, 需要向总线发出 `bus_hold` 信号, 总线会在指令执行完成后, 返回 `ack` 信号, 此时 DPMU 正式停止时钟的输出。

#### 8.9.8.2.1. 进入 standby 模式

通过置位 `pwr_ctrl` 寄存器 bit[2], 可配置系统进入 standby 模式。

#### 8.9.8.2.2. 退出 standby 模式

目前有两种方式可以退出 standby 模式:

- 外部唤醒

通过拉低 GPIO41, 可以使系统退出 standby 模式。

- sleep count 计数

在 `PWR_TIMING_REG` 中写入 sleep count 计数的初始值, 当计数到零时, 产生唤醒信号。sleep count 计数的时钟是 `INTOSC2=40KHz`。



### 8.9.8.3. sleep 模式

sleep 模式下 DPMU 输出的时钟 (dsp\_clk, axi\_clk, ahb\_clk, apb\_clk) 都会被停止, 40KHz 时钟会被置起; 电源保持正常工作电压。

该模式下, PLL 将被 disable, 进入该模式后再唤醒, 程序将从头开始运行。

#### 8.9.8.3.1. 进入 sleep 模式

通过置位 pwr\_ctrl 寄存器 bit[3], 可配置系统进入 sleep 模式。

#### 8.9.8.3.2. 退出 sleep 模式

目前有两种方式可以退出 sleep 模式:

- 外部唤醒

通过拉低 GPIO41, 可以使系统退出 sleep 模式。

- sleep count 计数

在 PWR\_TIMING\_REG 中写入 sleep count 计数的初始值, 当计数到零时, 产生唤醒信号。sleep count 计数的时钟是 INTOSC2=40KHz。

### 8.9.9. 外部存储器接口 (EMIF)

外部存储器接口 EMIF 提供了一种 CPU 连接各种外部存储设备的一种方式, HX DSP 支持连接同步存储器 (DDR SDRAM)。

EMIF 模块具有以下特性:

- 提供了 AXI 总线到 DDR SDRAM 之间的接口
- 为 AXI 总线交换存储数据访问的打包和解包宽度小于存储宽度
- 支持写数据交叉(interleaving)
- 支持多个 outstanding 地址
- 支持 AXI 总线与外部存储器之间的同步操作
- 可编程支持内存节能模式, 包括深度断电(DPD), 主动断电, 预充电断电和自刷新
- 可通过 AMBA APB 接口编程
- 区块/性能优化, 可通过可配置的硬件资源进行权衡
- 优化外部存储器总线的利用率
- 一到四个外部芯片选择
- 单独 cke 端口的每个外部芯片片选信号都是可配置的。

### 8.9.10. 灵活的静态存储器控制器(FSMC)

FSMC 模块能够与同步或异步存储器和 16 位 PC 存储器卡接口, 它的主要作用是:

- 将 AHB 传输信号转换到适当的外部设备协议
- 满足访问外部设备的时序要求

所有的外部存储器共享控制器输出的地址、数据和控制信号, 每个外部设备可以通过一个唯一的片选信号加以区分。FSMC 在任一时刻只访问一个外部设备。



### 8.9.10.1. FSMC 功能特性

FSMC 具有下列主要功能:

- 具有静态存储器接口的器件包括:
  - 静态随机存储器(SRAM)
  - NOR 闪存
  - PSRAM(4 个存储器块)
- 两个 NAND 闪存块, 支持硬件 ECC 并可检测多达 8KB 数据
- 16 位的 PC 卡兼容设备
- 支持对同步器件的成组(Burst)访问模式, 如 NOR 闪存和 PSRAM
- 8 或 16 位数据总线
- 每一个存储器块都有独立的片选控制
- 每一个存储器块都可以独立配置
- 时序可编程以支持各种不同的器件:
  - 等待周期可编程(多达 15 个周期)
  - 总线恢复周期可编程(多达 15 个周期)
  - 输出使能和写使能延迟可编程(多达 15 周期)
  - 独立的读写时序和协议, 可支持宽范围的存储器和时序
    - PSRAM 和 SRAM 器件使用的写使能和字节选择输出
    - 将 32 位的 AHB 访问请求, 转换到连续的 16 位或 8 位的, 对外部 16 位或 8 位器件的访问
    - 具有 16 个字, 每个字 32 位宽的写入 FIFO, 允许在写入较慢存储器时释放 AHB 进行其它操作

作。在开始一次新的 FSMC 操作前, FIFO 要先被清空。

通常在系统复位或上电时, 应该设置好所有定义外部存储器类型和特性的 FSMC 寄存器, 并保持它们的内容不变; 当然, 也可以在任何时候改变这些设置。

#### 备注

部分型号(HX64D10375X)不支持 NAND Flash 和 PC Card

### 8.9.10.2. FSMC 框图

FSMC 包含四个主要模块:

- AHB 接口(包含 FSMC 配置寄存器)
- NOR 闪存和 PSRAM 控制器
- NAND 闪存和 PC 卡控制器
- 外部设备接口

FSMC 框图如图 8-12 所示:

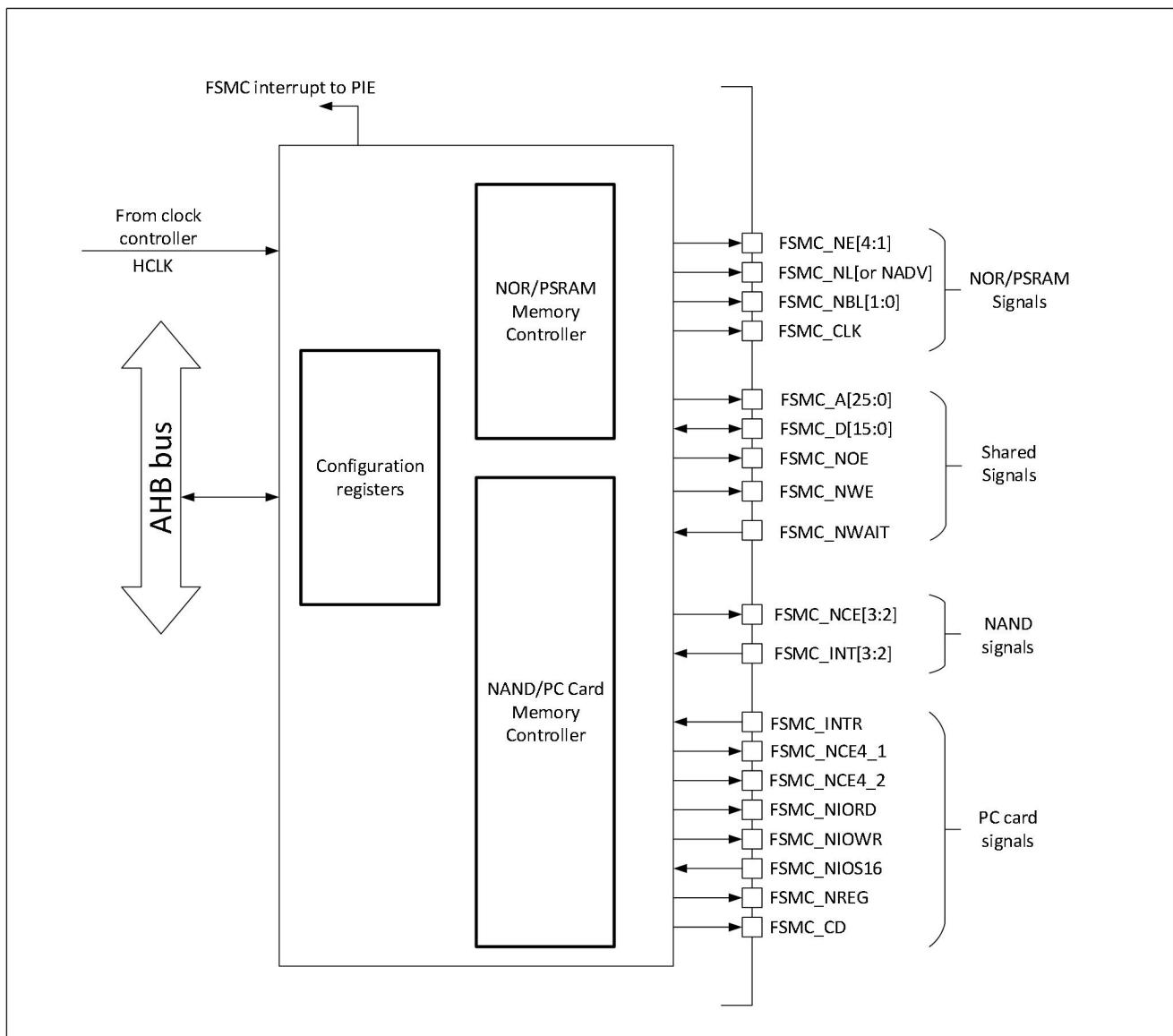


图 8-12 FSMC 框图

### 8.9.10.3. AHB 接口

AHB 接口为内部 CPU 和其它总线控制设备访问外部静态存储器提供了通道。AHB 操作被转换到外部设备的操作。当选择的外部存储器的数据通道是 16 或 8 位时，在 AHB 上的 32 位数据会被分割成连续的 16 或 8 位的操作。

#### 8.9.10.3.1. 一般的操作规则

请求 AHB 操作的数据宽度可以是 8 位、16 位或 32 位，而外部设备则是固定的数据宽度，此时需要保障实现数据传输的一致性。

因此，FSMC 执行下述操作规则：

- AHB 操作的数据宽度与存储器数据宽度相同：无数据传输一致性的问题。
- AHB 操作的数据宽度大于存储器的数据宽度：此时 FSMC 将 AHB 操作分割成几个连续的较小

数据宽度的存储器操作, 以适应外部设备的数据宽度。

- AHB 操作的数据宽度小于存储器的数据宽度:

依据外部设备的类型, 异步的数据传输有可能不一致。

— 与具有字节选择功能的存储器(SRAM、ROM、PSRAM 等)进行异步传输时, FSMC 执行读写操作并通过它的字节通道 BL[1:0]访问正确的数据。

— 与不具有字节选择功能的存储器(NOR 和 16 位 NAND 等)进行异步传输时, 即需要对 16 位宽的闪存存储器进行字节访问; 显然不能对存储器进行字节模式访问(只允许 16 位的数据传输), 因此:

1. 不允许进行写操作
2. 可以进行读操作(控制器读出完整的 16 位存储器数据, 只使用需要的字节)。

#### 8.9.10.4. 外部设备地址映像

从 FSMC 的角度看, 可以把外部存储器划分为固定大小为 256M 字节的四个存储块, 见图 8-13。

- 存储块 1 用于访问最多 4 个 NOR 闪存或 PSRAM 存储设备。这个存储区被划分为 4 个 NOR/PSRAM 区并有 4 个专用的片选。
- 存储块 2 和 3 用于访问 NAND 闪存设备, 每个存储块连接一个 NAND 闪存。
- 存储块 4 用于访问 PC 卡设备

每一个存储块上的存储器类型是由用户在配置寄存器中定义的。

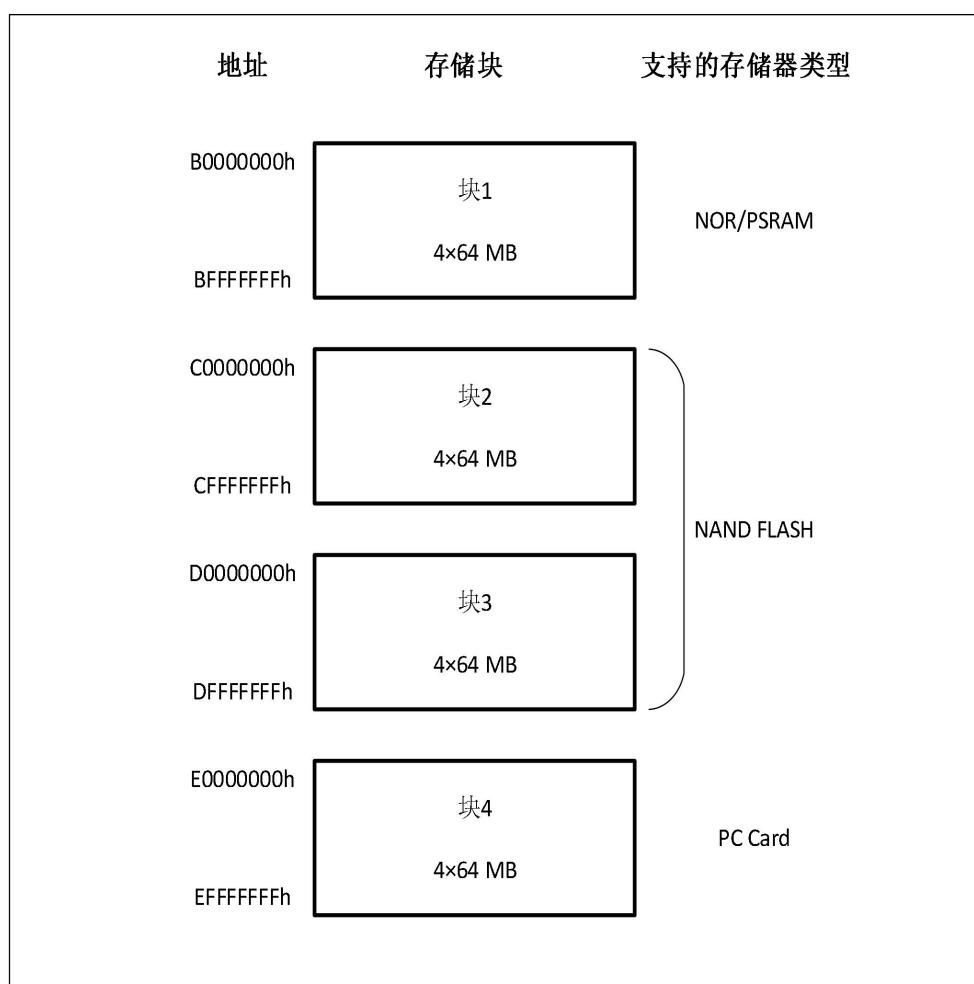


图 8-13 FSMC 存储块

### 8.9.11. 基础计时器(Timer)

基本定时器 TIM1、TIM2 和 TIM3 由一个可编程预分频器驱动的 16 位自动重新加载计数器组成。它们可以用作时基生成的通用计时器。计时器是完全独立的，不共享任何资源。

Timer 模块具有以下特性：

- 16 位自动加载计数器。
- 16 位可编程预分频器，用于将计数器频率除以 1 到 65536 之间的任何因数。
- 在更新事件上产生中断/DMA:计数器溢出

图 8-14 显示了 TIM1 模块框图。

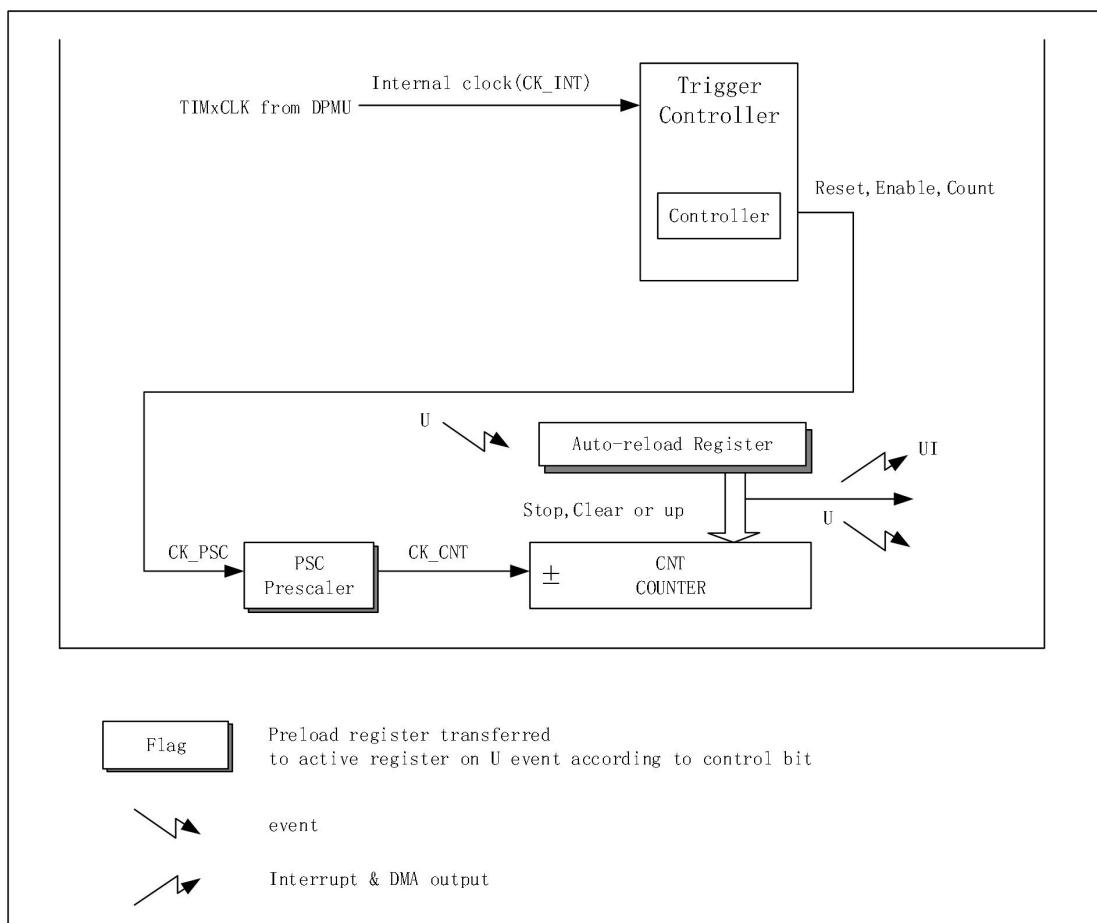


图 8-14 TIM1 模块框图

### 8.10. 模拟外设

本节描述了模拟子系统模块。本器件上的模拟外设包含 ADC，温度传感器，缓冲型 DAC 和比较器。模拟子系统有如下特性：

- 灵活的电压基准
  - ADC 以  $V_{REFHx}$  和  $V_{REFLo}$  引脚为基准。
  - $V_{REFHx}$  引脚电压必须从外部驱动。
- 缓冲型 DAC 以  $V_{REFHx}$  和  $V_{SSA}$  为基准。



- 或者, 这些 DAC 可以以  $V_{DAC}$  引脚和  $V_{SSA}$  为基准。
- 比较器 DAC 以  $V_{DDA}$  和  $V_{SSA}$  为基准。
  - 或者, 这些 DAC 可以以  $V_{DAC}$  引脚和  $V_{SSA}$  为基准。
- 灵活地使用引脚
  - 缓冲型 DAC 和比较器子系统功能与 ADC 输入多路复用。

一些模拟引脚通过多路复用 AGPIOS 支持数字功能, AGPIOS 支持全数字输入和输出功能。

图 8-15 显示了 176 引脚 HLQFP176 封装的模拟子系统方框图。

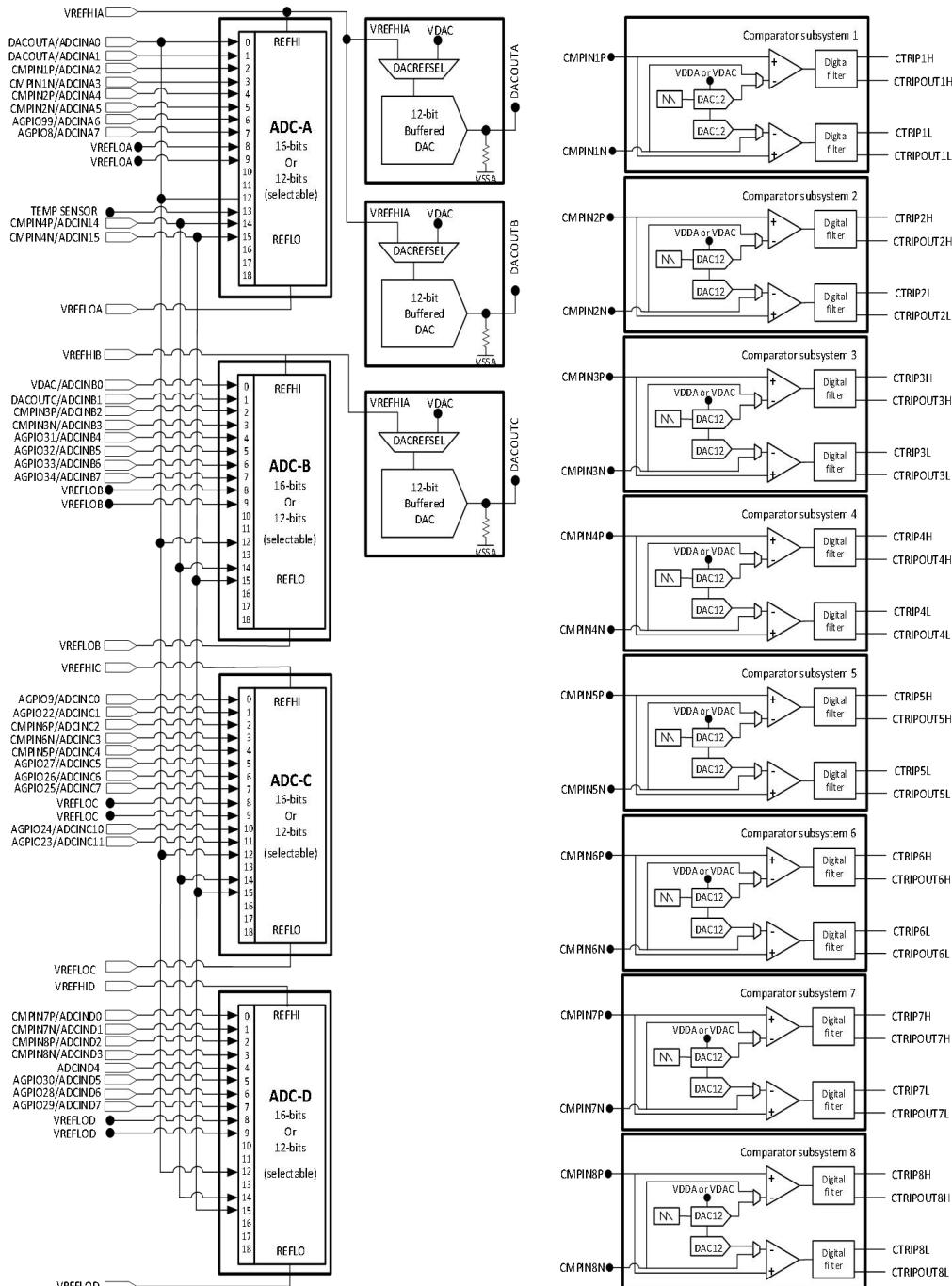


图 8-15 176 引脚 HLQFP176 封装的模拟子系统方框图



### 8.10.1. 模数转换器 (ADC)

模块具有以下特性:

- **高性能特性**

- 多达 4 个 ADC, 可工作在双 AD 模式 (ADC1&ADC2, ADC3&ADC4)
- 可配置 12, 10, 8, 6 四种分辨率
- ADC 的工作时钟可由 AHB 分频得来
- AHB 接口, 可提供更快的数据传输
- 自校准功能
- 多种可选的采样 (sampling) 频率
- 多达四个 inject 通道
- 数据对齐功能 (左对齐 or 右对齐)
- Dual 模式下有单独的寄存器和 DMA 配置功能
- 4 个 inject 通道独有的 DR 寄存器
- Inject queue 功能, inject 的 JSQR 寄存器具备 buffer queue 功能
- Overflow 标识, 当 inject 的 queue 存满溢出置位
- Overrun 功能, regular 的 DR 寄存器未被读取便有新的转换数据完成, 可选择是否将新的数据覆盖旧的数据
- 差分信号转换和单端信号转换

- **低功耗特性**

- 工作在低频时, 速度自适应低功耗模式, 以减少 ADC 功耗
- 不会丢失转换数据, 避免 overrun 的发生 (数据被读取才开始转换下一个通道)

- **其他特性**

- 内部转换通道: 包括温度监控、VBAT/2、VREF 参考电压输出
- 通道触发方式分为: 软件触发以及不同触发源的硬件触发 (ePWM、CPU Timer 等)
- 转换模式:
  - 单通道转换、多通道转换
  - 连续 (循环) 转换
  - 间断模式转换
  - Dual 模式转换 (regular/inject 同步模式、交叉转换、交替转换)
    - 中断模式: AWD 看门狗、转换结束、overrun 事件可进入中断
    - 拥有 4 个 AWD 模拟看门狗, 其中只有 AWD1 是 12-bit 分辨率, AWD2~AWD4 都只有 8-bit 分辨率
    - 工作电压: 2.4V ~ 3.6V

图 8-16 显示了 ADC 模块框图

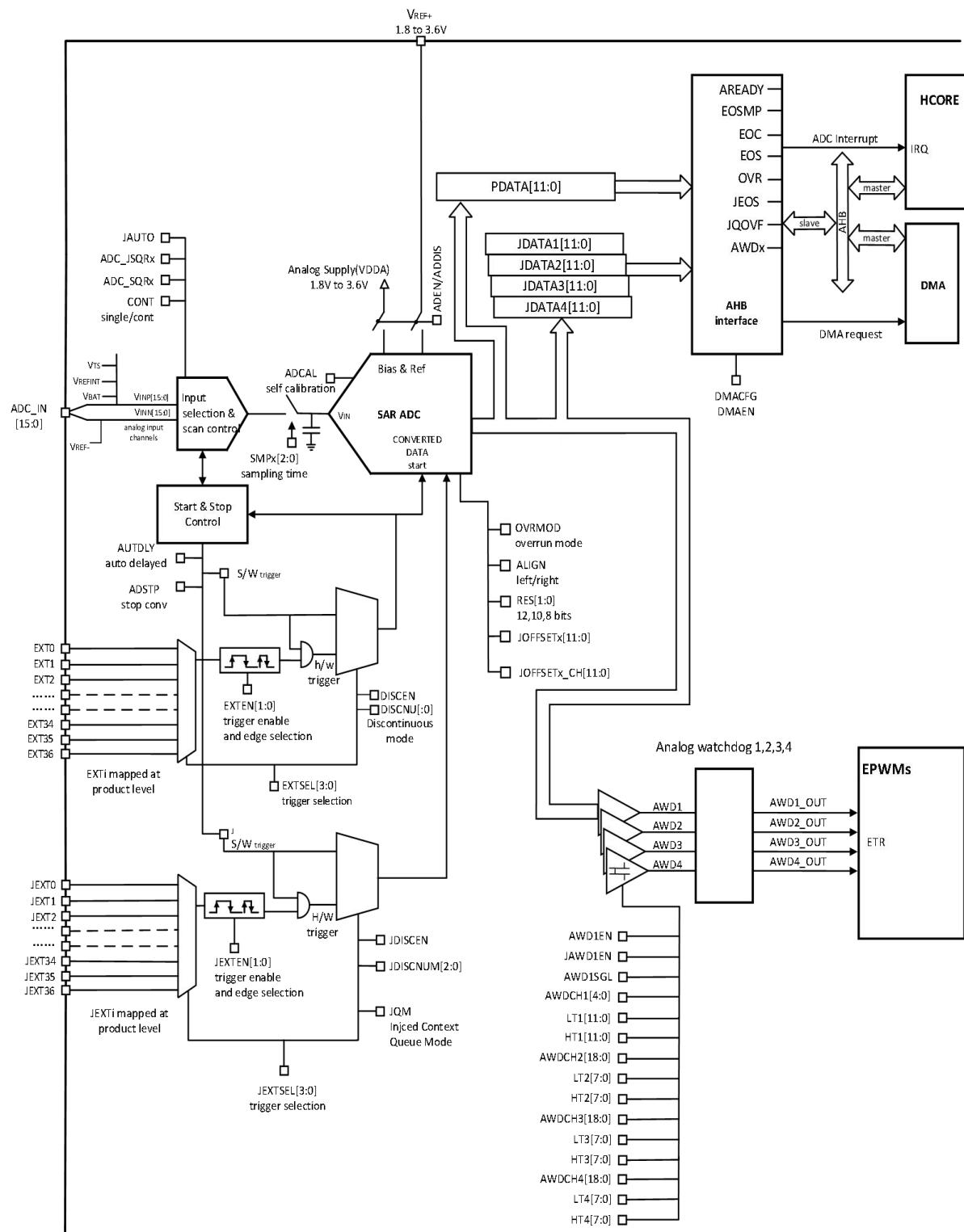


图 8-16 ADC 模块框图

### 8.10.1.1. 信号模式

ADC 支持两种信号模式：单端和差分。在单端模式中，以  $V_{REFLO}$  为基准通过单个引脚(ADCINx)对转换器的输入电压进行采样。在差分信号模式中，通过一对输入引脚对转换器的输入电压进行采样，其中一个输入引脚为正输入引脚(ADCINxP)，且另一个输入引脚为负输入引脚 (ADCINxN)。实际输入电压是两个引脚之间的差值 ( $ADCINxP - ADCINxN$ )。图 8-17 显示了差分信号模式。图 8-18 显示了单端信号模式。

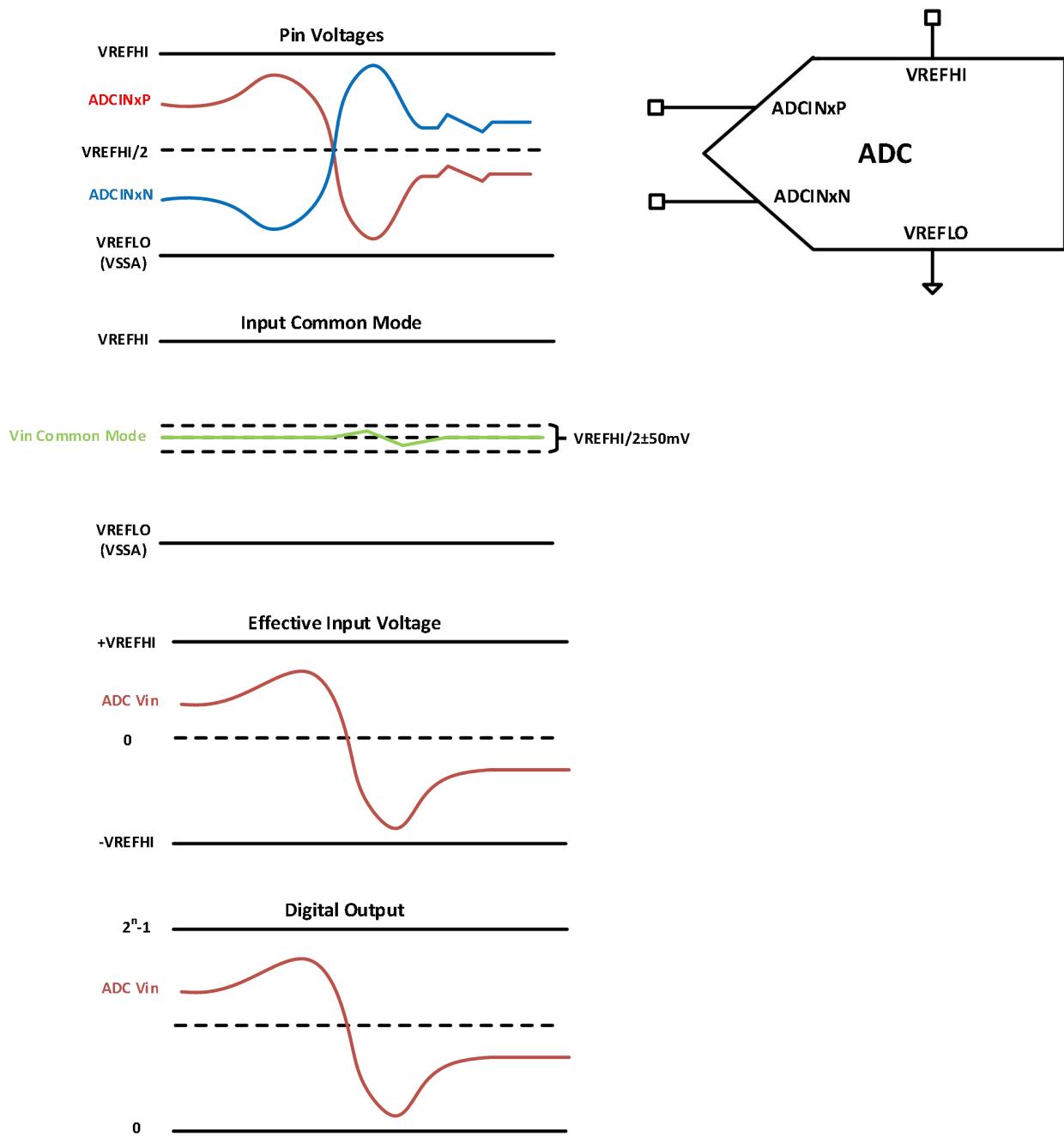


图 8-17 差分信号模式

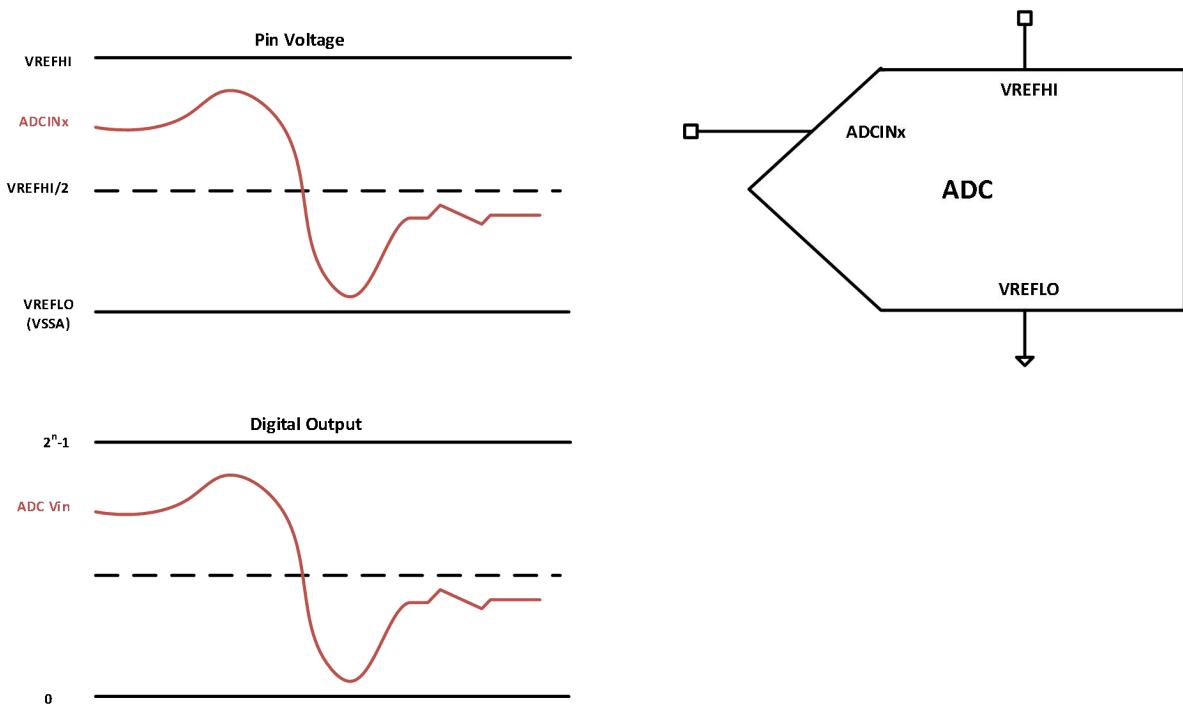


图 8-18 单端信号模式

### 8.10.1.2. ADC 电气数据和时序

节 8.10.1.2.1 显示了差分模式的 ADC 工作条件。节 8.10.1.2.2 显示了 12 位单端模式的 ADC 特征。节 8.10.1.2.3 显示了 ADCEXTSOC 时序要求。

#### 8.10.1.2.1. ADC 工作条件 (12 位差分模式)

在推荐的工作条件下 (除非另有说明)

表 8-21 ADC 工作条件 (12 位差分模式)

	最小值	典型值	最大值	单位
ADCCLK	5		50	MHz
采样窗口持续时间 (由 ADCx. SMPx 和 ADCx. CR2 设置) <sup>(1)</sup>	320			ns
VREFHI	2.0	2.5 或 3.0	V <sub>DDA</sub>	V
VREFLO	V <sub>SSA</sub>	0	V <sub>SSA</sub>	V
VREFHI - VREFLO	2.0		V <sub>DDA</sub>	V
ADC 输入转换范围	V <sub>REFLO</sub>		V <sub>REFHI</sub>	V
ADC 输入信号共模电压 <sup>(2)(3)</sup>	V <sub>REFCM</sub> - 50	V <sub>REFCM</sub>	V <sub>REFCM</sub> + 50	mV

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度, 才能确保 ADC 正确工作。

(2)  $V_{REFCM} = (V_{REFHI} + V_{REFLO})/2$

(3) 如果负 ADC 输入引脚连接到 V<sub>SSA</sub> 或 V<sub>REFLO</sub>, 则不会满足 V<sub>REFCM</sub> 要求。

#### 备注

工作过程中, ADC 输入应保持低于 V<sub>DDA</sub> + 0.3V。如果 ADC 输入超过此电平, 器件内部的 VREF 可能会受到干扰, 这可能会影响使用相同 V<sub>REF</sub> 的其他 ADC 或 DAC 输入的结果。



## 备注

$V_{REFHI}$  引脚必须保持低于  $V_{DDA} + 0.3V$ ，以确保正常工作。如果  $V_{REFHI}$  引脚超过此电平，可能会激活阻塞电路，并且  $V_{REFHI}$  的内部值可能会上浮至 0V，从而导致 ADC 转换或 DAC 输出不正确。

### 8.10.1.2.2. ADC 特征(12 位单端模式)

在推荐的工作条件下（除非另有说明）<sup>(5)</sup>

表 8-22 ADC 特征 (12 位单端模式)

参数	测试条件	最小值	典型值	最大值	单位	
ADC 转化周期 <sup>(1)</sup>		10.1		11	ADCCLK	
上电时间				500	$\mu s$	
增益误差		-5	$\pm 3$	5	LSB	
失调误差		-4	$\pm 2$	4	LSB	
通道间增益误差			$\pm 4$		LSB	
通道间失调误差			$\pm 2$		LSB	
ADC 间增益误差	所有 ADC 的 $V_{REFHI}$ 和 $V_{REFLO}$ 均相同		$\pm 4$		LSB	
ADC 间失调误差	所有 ADC 的 $V_{REFHI}$ 和 $V_{REFLO}$ 均相同		$\pm 2$		LSB	
DNL <sup>(2)</sup>		>-1	$\pm 0.5$	1	LSB	
INL		-2	$\pm 1.0$	2	LSB	
SNR <sup>(3)(10)</sup>	$V_{REFHI} = 2.5V, f_{in} = 100kHz$		68.8		dB	
THD <sup>(3)(10)</sup>	$V_{REFHI} = 2.5V, f_{in} = 100kHz$		-78.4		dB	
SFDR <sup>(3)(10)</sup>	$V_{REFHI} = 2.5V, f_{in} = 100kHz$		79.2		dB	
SINAD <sup>(3)(10)</sup>	$V_{REFHI} = 2.5V, f_{in} = 100kHz$		68.4		dB	
ENOB <sup>(3)(10)</sup>	$V_{REFHI} = 2.5V, f_{in} = 100kHz$ 单个 ADC <sup>(6)</sup> ，所有封装		11.1		位	
	$V_{REFHI} = 2.5V, f_{in} = 100kHz$ 同步 ADC <sup>(7)</sup> ，所有封装		11.1			
	$V_{REFHI} = 2.5V, f_{in} = 100kHz$ 异步 ADC <sup>(8)</sup> ，100 引脚 PZP 封装		不支持			
	$V_{REFHI} = 2.5V, f_{in} = 100kHz$ 异步 ADC <sup>(8)</sup> ，176 引脚 PTP 封装		9.7			
	$V_{REFHI} = 2.5V, f_{in} = 100kHz$ 异步 ADC <sup>(8)</sup> ，337 焊球 ZWT 封装		10.9			
PSRR	$V_{DDA} = 3.3V$ 直流 + 200mV 直流至正弦 ( 1kHz 时 )		60		dB	
	$V_{DDA} = 3.3V$ 直流 + 200mV 正弦 ( 800kHz 时 )		57			
$V_{REFHI}$ 输入电流		130			$\mu A$	



参数	测试条件	最小值	典型值	最大值	单位	
ADC 间隔离 <sup>(4)(9)(10)</sup>	$V_{REFHI} = 2.5V$ , 同步 ADC <sup>(7)</sup> 所有封装	-1		1	LSB	
	$V_{REFHI} = 2.5V$ , 异步 ADC <sup>(8)</sup> 100 引脚 PZP 封装	不支持				
	$V_{REFHI} = 2.5V$ , 异步 ADC <sup>(8)</sup> 176 引脚 PTP 封装	-9		9		
	$V_{REFHI} = 2.5V$ , 异步 ADC <sup>(8)</sup> 337 焊球 ZWT 封装	-2		2		

- (1) 请参阅节 8.10.1.2.5。
- (2) 没有丢失的代码。
- (3) 交流参数将受到时钟源精度和抖动的影响, 在为系统选择时钟源时应考虑到这一点。用于这些参数的时钟源是通过 PLL 馈送的高精度外部时钟。片上内部振荡器的抖动比外部晶振更高, 如果将其用作时钟源, 这些参数将会降低。
- (4) 由于多个 ADC 同时运行而产生的最大 DC 代码偏差。
- (5) 典型值是在  $V_{REFHI} = 2.5V$  且  $V_{REFLO} = 0V$  时测量的。在  $V_{REFHI} = 2.5V$  且  $V_{REFLO} = 0V$  时对最小值和最大值进行测试或表征。
- (6) 一个 ADC 在工作, 而其他所有 ADC 都处于空闲状态。
- (7) 所有 ADC 都以相同的 ADCCLK、sample 持续时间、触发器和分辨率工作。
- (8) 任何以异构 ADCCLK、sample 持续时间、触发器或分辨率工作的 ADC。
- (9) 基于特征化的值。
- (10) 作为减少电容耦合和串扰的最佳实践的一部分, 与 ADC 输入和  $V_{REFHI}$  引脚相邻的引脚上的 I/O 活动已降至最低。

### 8.10.1.2.3. ADCEXTSOC 时序要求

表 8-23 时序要求

		最小值	最大值	单位
$t_{w(INT)}$ 脉冲持续时间, INT 输入低电平/高电平	同步	$2t_{c(AHBCLK)}$		周期
	带滤波	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(AHBCLK)}$		周期

### 8.10.1.2.4. ADC 输入模型

#### 备注

ADC 通道 ADCINA0、ADCINA1 和 ADCINB1 有一个  $50k\Omega$  下拉电阻器连接到  $V_{SSA}$ 。

对于差分输入, 表 8-24, 表 8-25 和图 8-19, 图 8-20 给出了 ADC 输入特征。

表 8-24 差分输入模型参数

	说明	值 (16 位模式)
$C_p$	寄生输入电容	请参阅表 8-26
$R_{on}$	采样开关电阻	700 $\Omega$
$C_h$	采样电容器	16.5 pF
$R_s$	标称源阻抗	50 $\Omega$

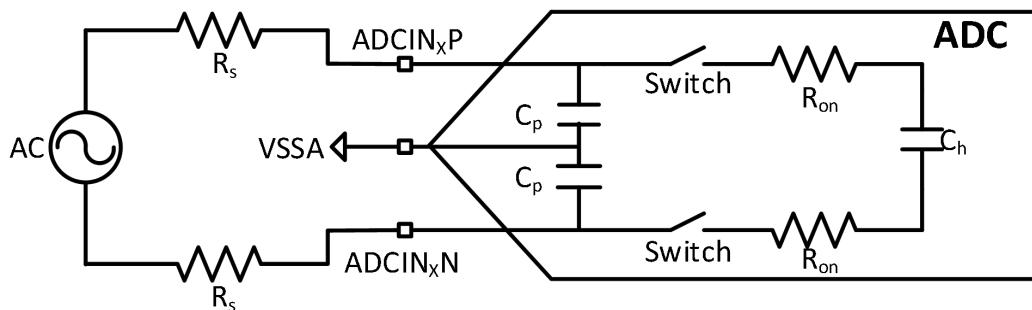


图 8-19 差分输入模型

表 8-25 单端输入模型参数

	说明	值 (12 位模式)
$C_p$	寄生输入电容	请参阅表 8-26
$R_{on}$	采样开关电阻	425 $\Omega$
$C_h$	采样电容器	14.5 pF
$R_s$	标称源阻抗	50 $\Omega$

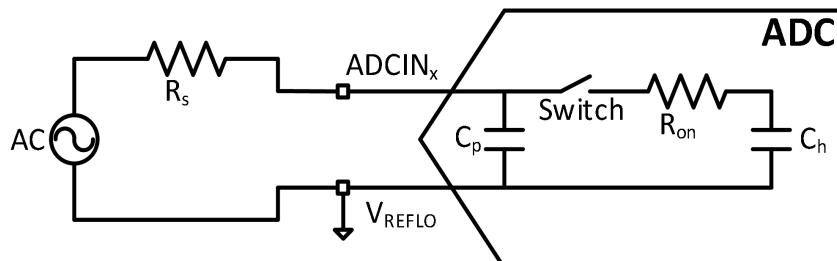


图 8-20 单端输入模型

表 8-26 显示了每个通道上的寄生电容。此外，启用比较器会在比较器正输入上增加约 1.4 pF 的电容，并在比较器负输入上增加约 2.5 pF 的电容。



表 8-26 每通道寄生电容

ADC 通道	C <sub>p</sub> (pF)	
	比较器已禁用	比较器已启用
ADCINA0	12.9	不适用
ADCINA1	10.3	不适用
ADCINA2	5.9	7.3
ADCINA3	6.3	8.8
ADCINA4	5.9	7.3
ADCINA5	6.3	8.8
ADCINB0	117.0	不适用
ADCINB1	10.6	不适用
ADCINB2	5.9	7.3
ADCINB3	6.2	8.7
ADCINB4	5.2	不适用
ADCINB5	5.1	不适用
ADCINC0	5.5	6.9
ADCINC1	5.8	8.3
ADCINC2	5.5	6.9
ADCINC3	5.8	8.3
ADCINC4	5.0	6.4
ADCINC5	5.3	7.8
ADCINC10	5.5	6.9
ADCINC11	5.8	8.3
ADCIND0	5.3	6.7
ADCIND1	5.7	8.2
ADCIND2	5.3	6.7
ADCIND3	5.6	8.1
ADCIND4	4.3	不适用
ADCIND5	4.3	不适用
ADCIN14	8.6	10.0
ADCIN15	9.0	11.5

### 8.10.1.2.5. ADC 时序图

图 8-21 显示了在下列假设下 ADC 转换时序:

- `adc_ch0` 和 `adc_ch1` 分别配置不同的触发器触发。
- 触发发生时, 没有其他 `adc_ch` 正在转换或挂起。
- `adc_ch0` 首先被触发开始转换。
- 在 `adc_ch0` 的转换结束时 `EOS/EOC` 标志会被置起 (该标志是否传播到 CPU 以引起中断由 PIE 模块中的配置决定)。

表 8-27 列出了图 8-20ADC 时序参数的说明。



表 8-27 ADC 时序参数说明

参数	说明
$t_{SMP}$	Sample 采样时间。 转换开始后的采样时间。持续时间由(ADCx_SMPR.SMP)个 ADCCLK 周期计算得出。SMP 可以为每个 ADC_CH 单独配置，因此对于不同的 ADC_CH， $t_{SMP}$ 不一定相同。
$t_{CONV}$	ADC 固定转换时间，分辨率越小转换时间越短。

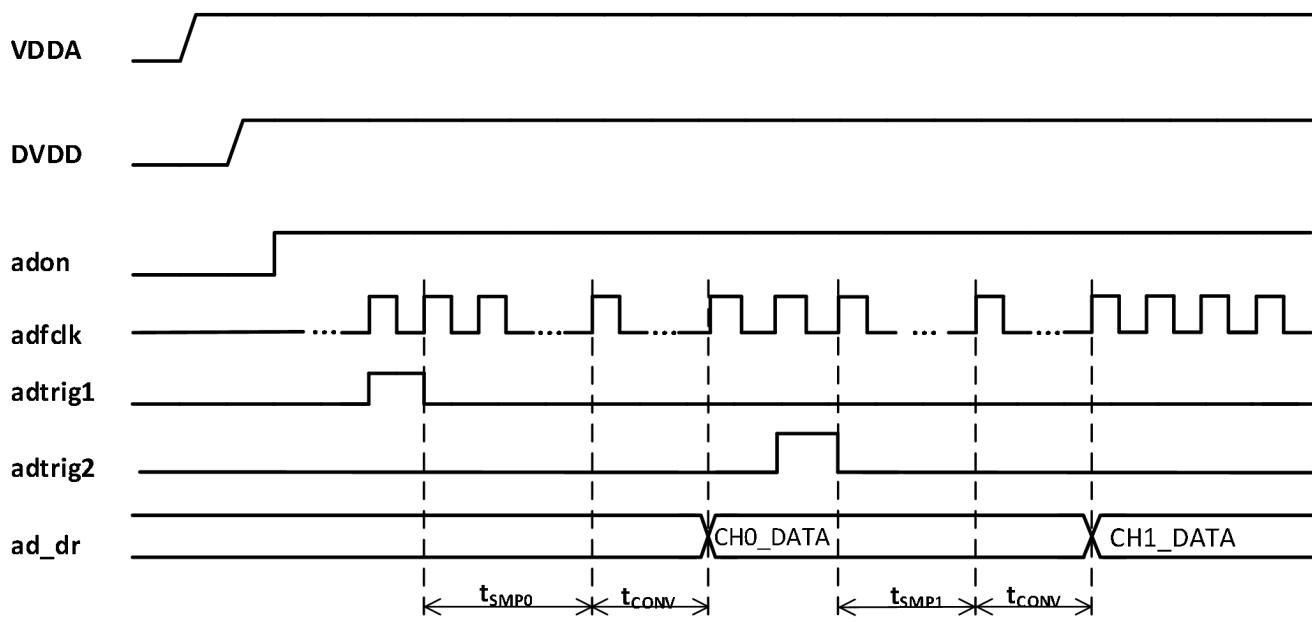


图 8-21 ADC 时序

### 8.10.1.3. 温度传感器电气数据

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过软件转换为温度。在对温度传感器进行采样时，ADC 必须满足表 8-28 中的采集时间要求。

表 8-28 温度传感器电气特征

参数	最小值	典型值	最大值	单位
温度精度		±15		°C
启动时间 (ADCCR[TEN]至采样温度传感器)		500		μs
ADC 采集时间	700			Ns

## 8.10.2. 比较器子系统 (CMPSS)

每个 CMPSS 模块包含两个比较器、两个内部电压基准 DAC (CMPSS DAC)、两个数字干扰滤波器和一个斜坡发生器。有两个输入, 即 CMPINxP 和 CMPINxN。这些输入中的每个输入都将在内部连接到 ADCIN 引脚。CMPINxP 引脚始终连接到 CMPSS 比较器的正输入。CMPINxN 可以用来代替 DAC 输出来驱动负比较器输入。有两个比较器, 因此 CMPSS 模块有两个输出, 它们连接到数字滤波器模块的输入, 然后传递到比较器 TRIP 交叉开关和 PWM 模块或直接连接到 GPIO 引脚。图 8-22 显示了 CMPSS 连接。

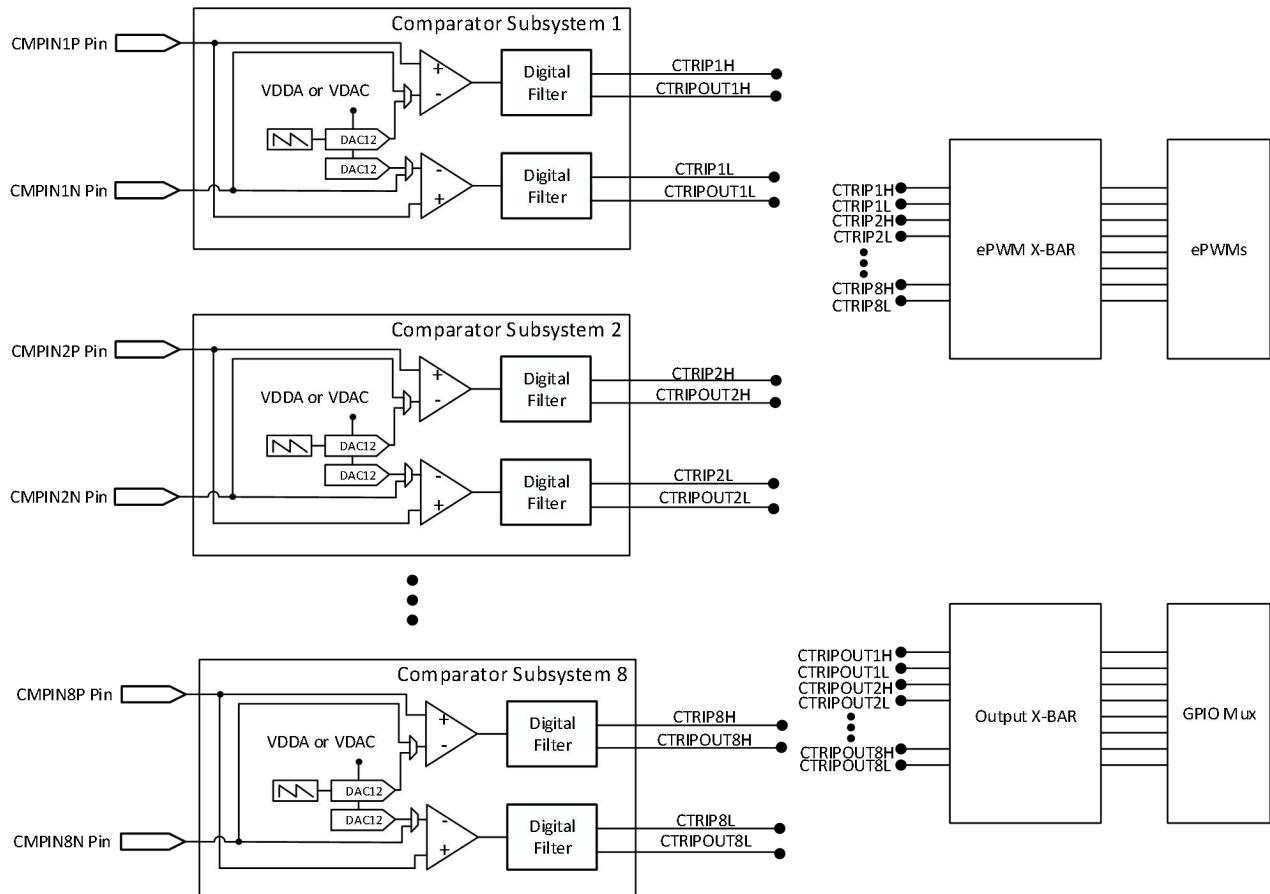


图 8-22 CMPSS 连接

### 8.10.2.1. CMPSS 电气数据和时序

节 8.10.2.1.1 显示了比较器电气特征。图 8-23 显示了 CMPSS 比较器的以输入为基准的失调电压。图 8-24 显示了 CMPSS 比较器迟滞。

### 8.10.2.1.1. 比较器电气特征

推荐的工作条件 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
上电时间				500	$\mu\text{s}$
比较器输入 (CMPINxx) 范围		0		$V_{DDA}$	V
输入参考偏移误差	低共模, 反相输入设置为 50mV	-20		20	mV
迟滞 <sup>(1)</sup>	1x		12		ns
	2x		24		
	3x		36		
	4x		48		
响应时间 (从 CMPINx 输入切换到 Epwm X-BAR 或输出 X-BAR 输出的延迟)	阶跃响应		21	60	ns
	斜坡响应 (1.65V/ $\mu\text{s}$ )		26		
	斜坡响应 (8.25mV/ $\mu\text{s}$ )		30		
共模抑制比 (CMRR)		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。因此, 迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。

#### 备注

CMPSS 输入必须保持低于  $V_{DDA} + 0.3\text{V}$ , 以确保正常工作。如果 CMPSS 输入超过此电平, 内部阻塞电路将内部比较器与外部引脚隔离, 直至外部引脚电压返回到  $V_{DDA} + 0.3\text{V}$  以下。在此期间, 内部比较器输入将处于浮动状态, 并能在大约  $0.5\mu\text{s}$  内衰减至  $V_{DDA}$  以下。在此之后, 比较器可能会开始输出不正确的结果, 具体取决于其他比较器输入的值。

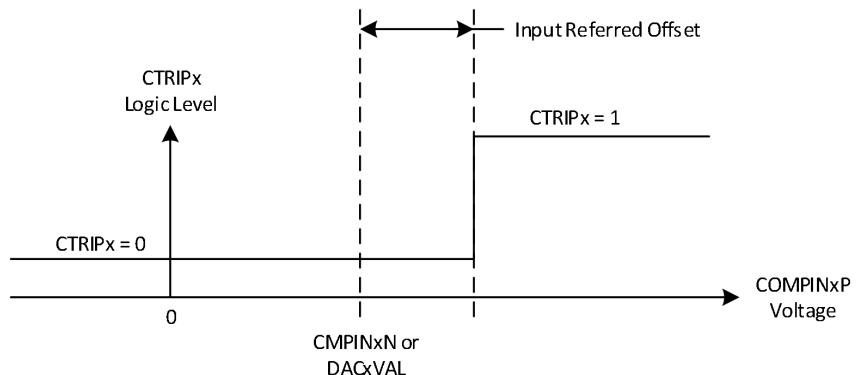


图 8-23 CMPSS 比较器输入为基准的失调电压

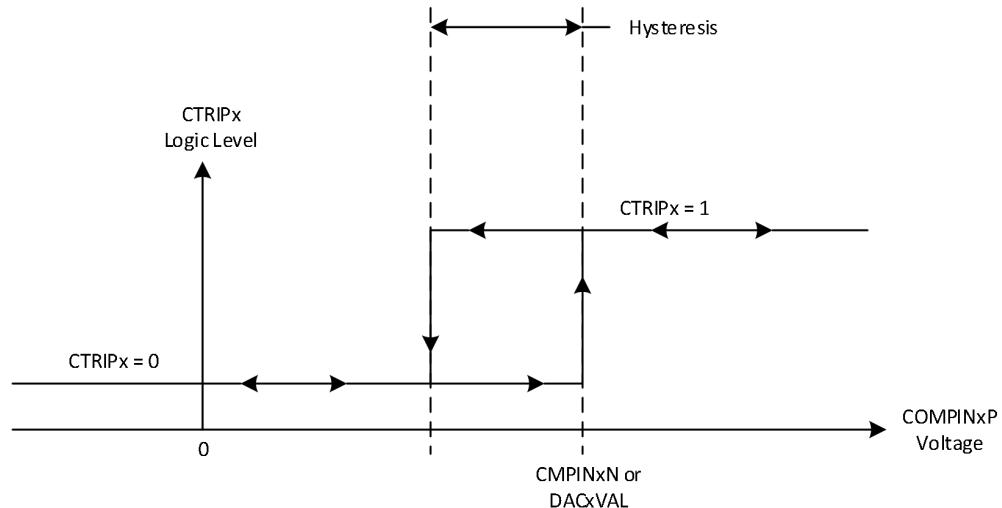


图 8-24 CMPSS 比较器迟滞

### 8.10.2.1.2. CMPSS DAC 静态电气特征

表 8-29 显示了 CMPSS DAC 静态电气特征。

表 8-29 CMPSS DAC 静态电气特征

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		$V_{DDA}^{(1)}$	V
	外部基准	0		$V_{DAC}$	
静态失调电压误差 <sup>(2)</sup>		-25		25	mV
静态增益误差 <sup>(2)</sup>		-2		2	FSR 百分比
静态 DNL	已更正端点	>-1		4	LSB
静态 INL	已更正端点	-16		16	LSB
趋稳时间	满量程输出变化后稳定到 1 LSB			1	$\mu s$
分辨率			12		位
CMPSS DAC 输出干扰 <sup>(3)</sup>	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间 <sup>(3)</sup>			200		ns
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 或 3.0	$V_{DDA}$	V
VDAC 负载 <sup>(4)</sup>	当 VDAC 为基准时		6		$k\Omega$

(1) 当  $VDAC > V_{DDA}$  时，最大输出电压为  $V_{DDA}$ 。

(2) 包含以比较器输入为基准的误差。

(3) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。

(4) 每个有源 CMPSS 模块。

### 8.10.3. 缓冲数模转换器 (DAC)

缓冲 DAC 模块由内部参考 DAC 和能够驱动外部负载的模拟输出缓冲器组成。DAC 输出上的集成下拉电阻有助于在禁用输出缓冲器时提供已知的引脚电压。此下拉电阻不能禁用，并且仍然作为引脚上的无源组件，即使对于其他共享引脚复用器功能也是如此。对 DAC 值寄存器的软件写入可以立即生效，或者可以与 EPWMSYNCPER 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位可编程内部 DAC
- 可选参考电压
- 输出上的下拉电阻
- 能够与 EPWMSYNCPER 同步

带缓冲 DAC 的框图如图 8-25 所示。

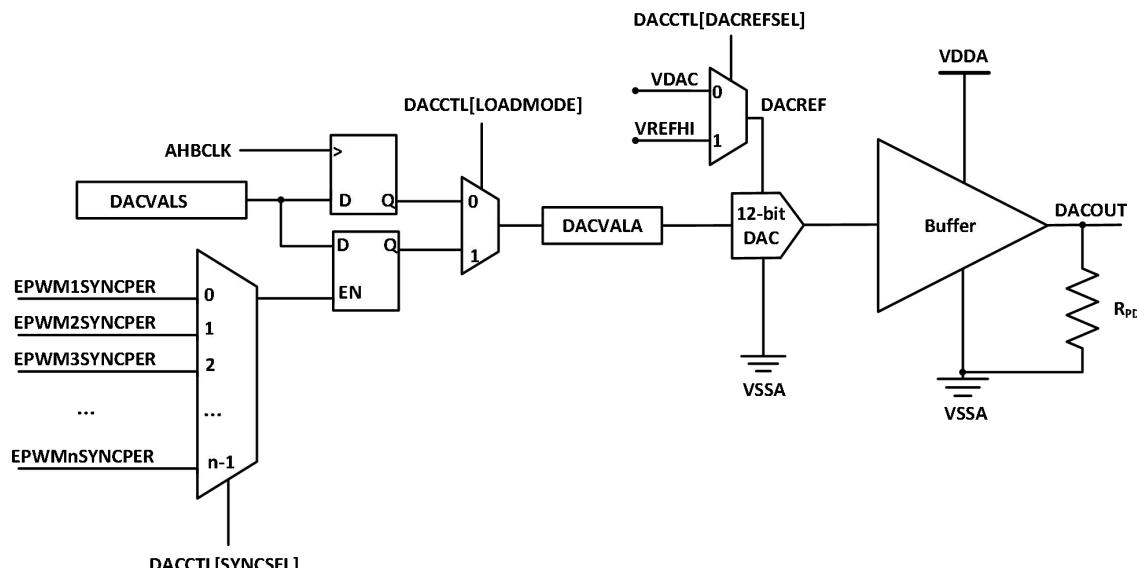


图 8-25 DAC 模块方框图

#### 8.10.3.1. 缓冲 DAC 电气数据和时序

节 8.10.3.1.1 显示了缓冲 DAC 电气特征。

##### 8.10.3.1.1. 缓冲 DAC 电气特征

在推荐的工作条件下（除非另有说明）<sup>(1)</sup>

参数	测试条件	最小值	典型值	最大值	单位
上电时间				500	$\mu\text{s}$
失调误差	中点	-10		10	$\text{mV}$
增益误差 <sup>(2)</sup>		-2.5		2.5	FSR 百分比
DNL <sup>(3)</sup>	已更正端点	$>-1$	$\pm 0.4$	1	LSB
INL	已更正端点	-5	$\pm 2$	5	LSB
DACOUTx 趋稳时间	在 0.3V 至 3V 切换后稳定到 2LSB		2		$\mu\text{s}$



参数	测试条件	最小值	典型值	最大值	单位
分辨率			12		位
电压输出范围 <sup>(4)</sup>		0.3		$V_{DDA}-0.3$	V
容性负载	输出驱动能力			100	pF
电阻负载	输出驱动能力	5			kΩ
RPD 下拉电阻器			50		kΩ
基准电压 <sup>(5)</sup>	VDAC 或 $V_{REFHI}$	2.4	2.5 或 3.0	$V_{DDA}$	V
基准输入电阻 <sup>(6)</sup>	VDAC 或 $V_{REFHI}$		170		kΩ
输出噪声	从 100Hz 到 100kHz 的集成噪声		500		µVRms
	10kHz 时的噪声密度		711		nVRms/ √ Hz
短时脉冲波干扰能量			1.5		V-ns
PSRR <sup>(7)</sup>	高达 1kHz 的直流		70		dB
	100kHz		30		
SNR	1020Hz		67		dB
THD	1020Hz		-63		dB
SFDR	1020Hz, 包括谐波和杂散		66		dBc
	1020Hz, 仅包括杂散		104		

(1) 除非另有说明, 否则典型值均在  $V_{REFHI} = 3.3V$  条件下测量。在  $V_{REFHI} = 2.5V$  的条件下对最小值和最大值进行测试或表征。

- (2) 针对线性输出范围计算增益误差。
- (3) DAC 输出是单调输出。
- (4) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压, 但由于缓冲器的原因, 输出电压将不呈线性。
- (5) 为获得最佳 PSRR 性能, VDAC 或  $V_{REFHI}$  应小于  $V_{DDA}$ 。
- (6) 每个有源缓冲 DAC 模块。
- (7)  $V_{REFHI}=3.2V$ ,  $V_{DDA}=3.3V$  直流+100mV 正弦。

#### 备注

VDAC 引脚必须保持低于  $V_{DDA} + 0.3V$ , 以确保正常工作。如果 VDAC 引脚超过此电平, 可能会激活阻塞电路, 并且 VDAC 的内部值可能会在内部浮动至 0V, 从而导致 DAC 输出不正确。

#### 备注

$V_{REFHI}$  引脚必须保持低于  $V_{DDA} + 0.3V$ , 以确保正常工作。如果  $V_{REFHI}$  引脚超过此电平, 可能会激活阻塞电路, 并且  $V_{REFHI}$  的内部值可能会在内部浮动至 0V, 从而导致 ADC 转换或 DAC 输出不正确。



## 8.11. 控制外设

---

### 备注

有关特定器件上每个外设的实际数量, 请参阅[表 6-1](#)。

---

### 8.11.1. 增强型捕获模块 (eCAP)

eCAP 模块可用于其中外部事件的精确定时很重要的系统中。

eCAP 的应用包括:

- 旋转机械的速度测量 (例如, 通过霍尔传感器检测的齿形链轮)
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压幅度

eCAP 模块包括以下功能:

- 4 个事件时间戳寄存器 (每个 32 位)
- 边缘极性选择, 最多选择四个序列时间戳采集事件
- 对 4 个事件中的任何一个事件进行中断
- 单次捕获最多 4 个事件时间戳
- 在四级深度循环缓冲区中连续模式捕获时间戳
- 绝对时间戳捕获
- 差分 (Delta) 模式时间戳捕获
- 所有上述资源都专用于单个输入引脚
- 当未在捕获模式下使用时, eCAP 模块可以配置为单通道 PWM 输出 (APWM)。

eCAP 输入通过输入 X-BAR 连接到任何 GPIO 输入。APWM 输出通过指向 GPIO 多路复用器中 OUTPUTx 位置的输出 X-BAR 连接到 GPIO 引脚。

图 8-26 显示了 eCAP 模块的方框图。

eCAP 模块由 PERx.AHBCLK 计时。 MODULE1\_CLK\_EN\_REG 寄存器中的时钟使能位 (ECAP1 – ECAP7) 单独关闭 eCAP 模块 (以实现低功耗运行)。复位时, ECAP1ENCLK 设置为低电平, 表明外设时钟已关闭。

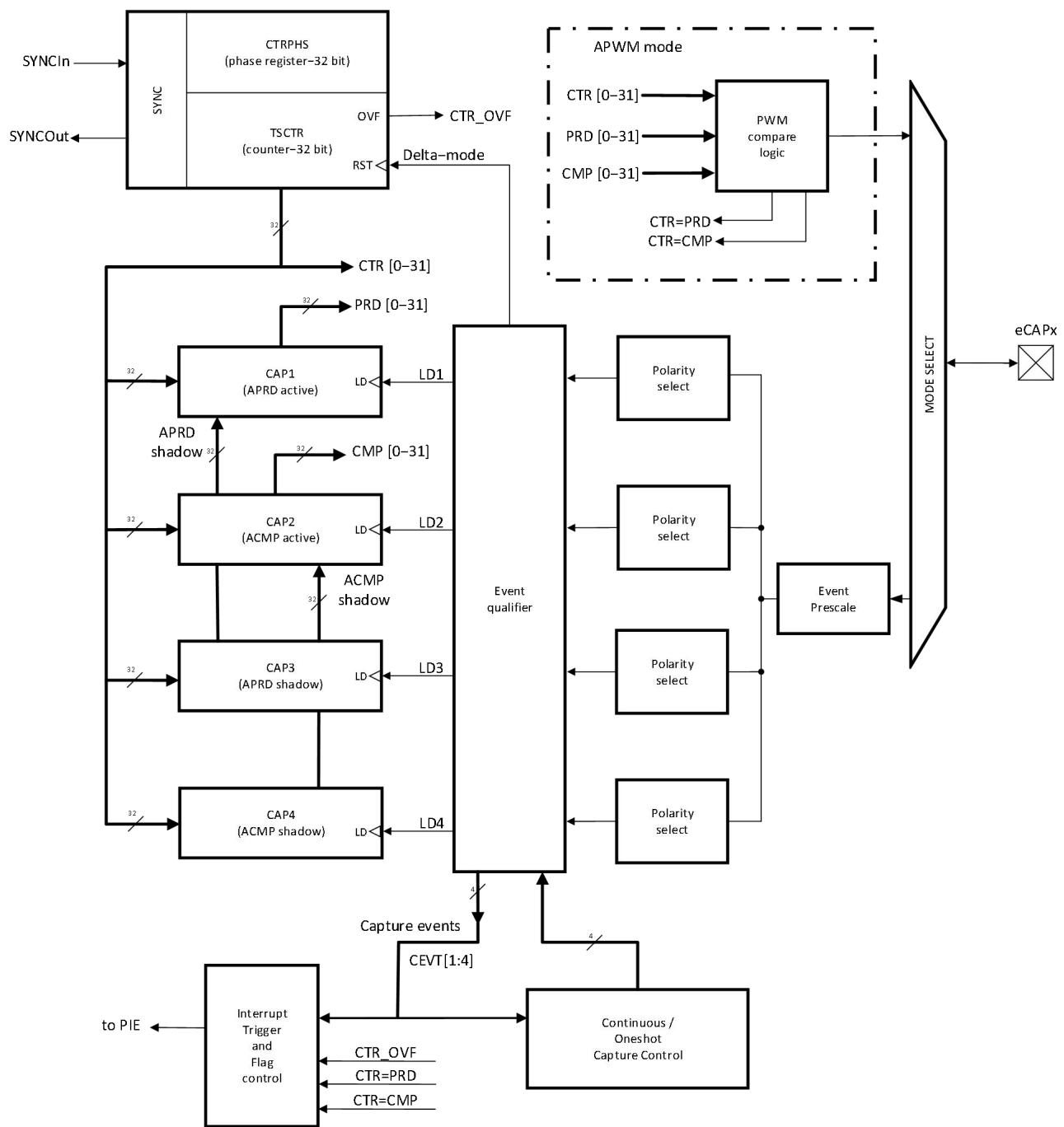


图 8-26 eCAP 方框图



### 8.11.1.1. eCAP 电气数据和时序

表 8-30 显示了 eCAP 时序要求, 表 8-31 显示了 eCAP 开关特征。

表 8-30 eCAP 时序要求

		最小值	最大值	单位
tw(CAP) 捕获输入脉冲宽度	异步的	$2t_c(AHBCLK)$		周期
	同步的	$2t_c(AHBCLK)$		周期
	带输入滤波	$1t_c(AHBCLK) + t_W(IQSW)$		周期

表 8-31 eCAP 开关特征

参数	最小值	最大值	单位
$t_w(APWM)$ 脉冲持续时间, APWMx 输出高/低	20		ns

### 8.11.2. 增强型脉宽调制器 (ePWM)

ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具有独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设, ePWM 4 类模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

图 8-27 显示了与 ePWM 的信号互连情况。图 8-28 显示了 ePWM 跳变输入连接。

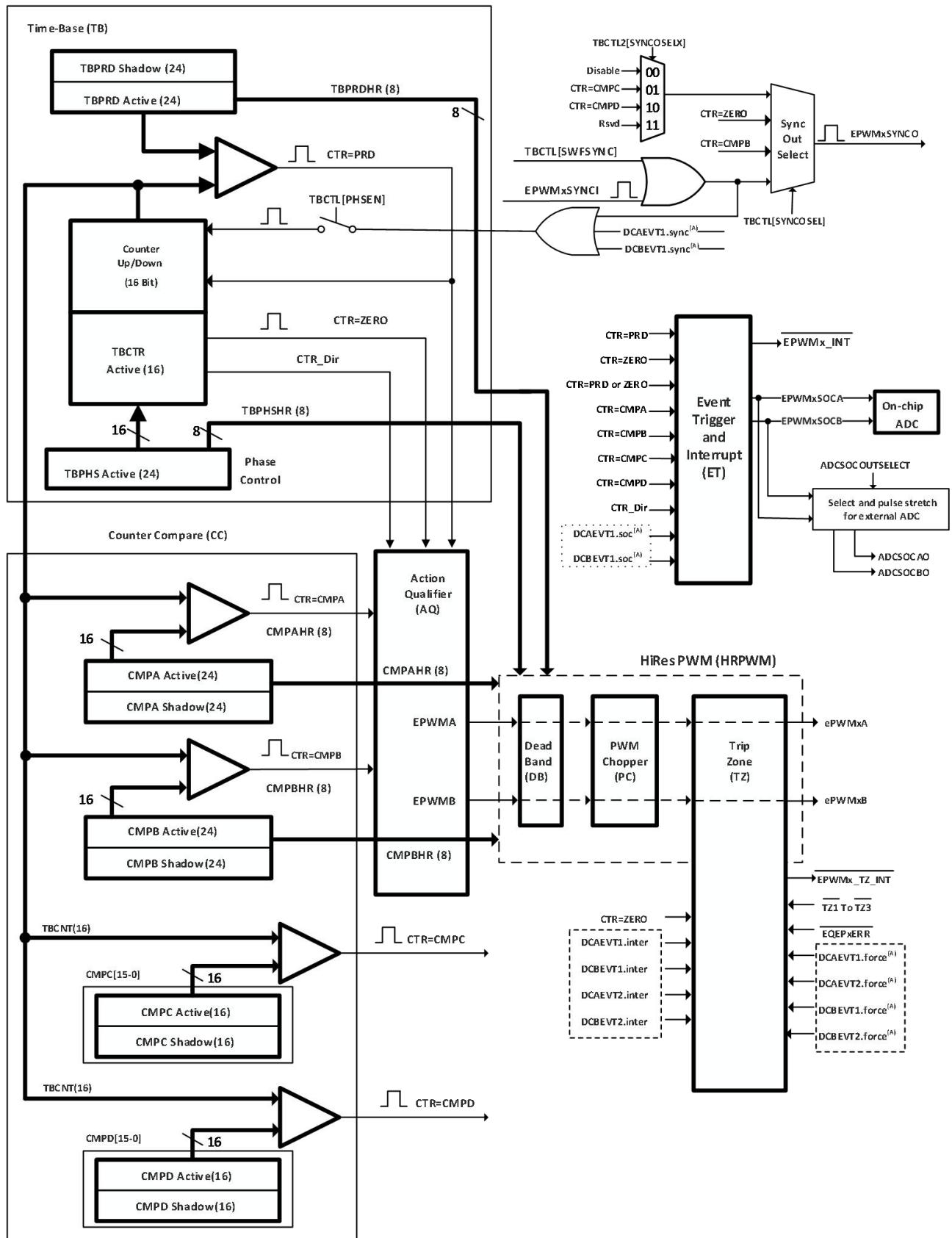


图 8-27 ePWM 子模块和关键内部信号互连

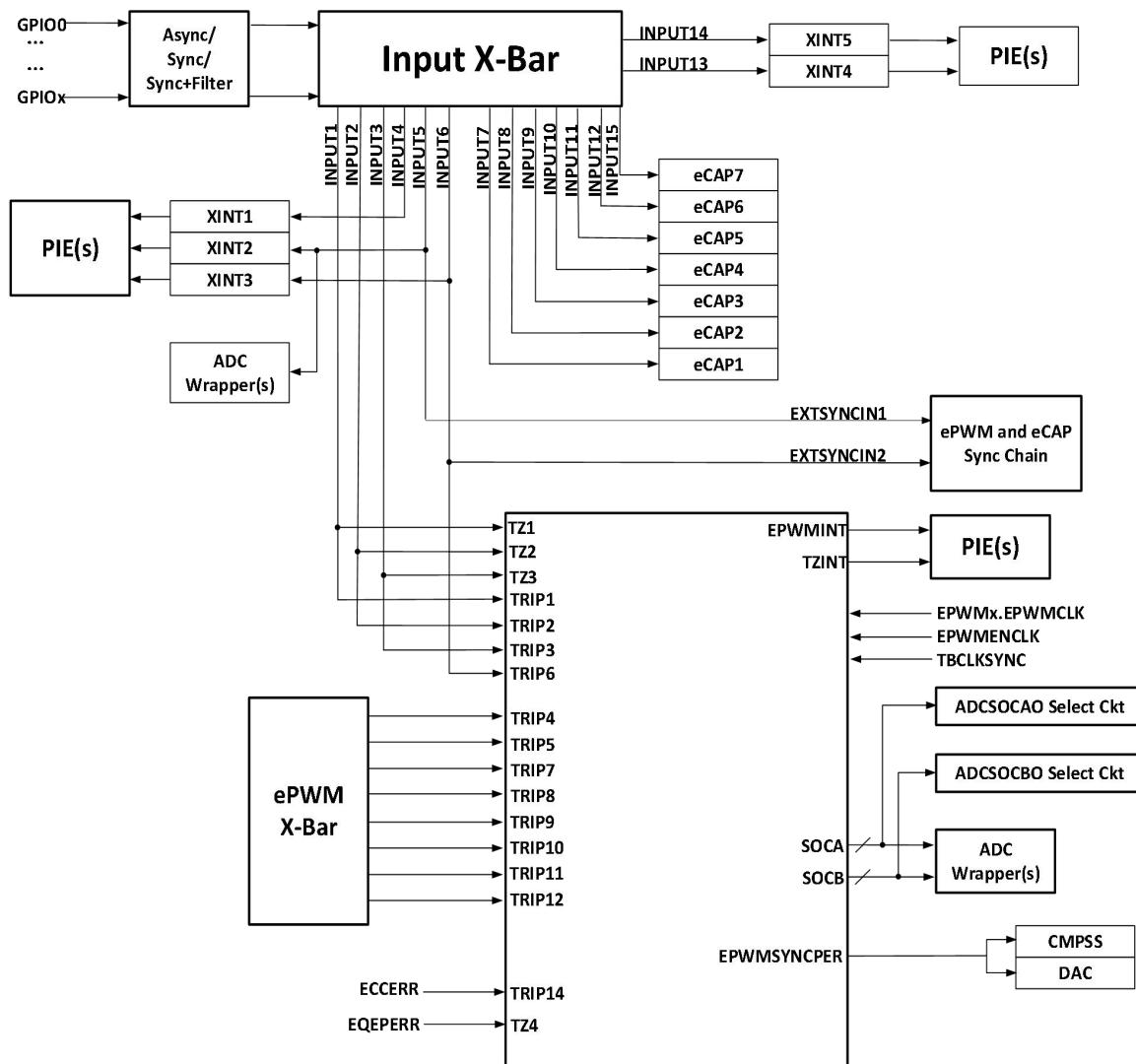


图 8-28 ePWM 跳变输入连接

### 8.11.2.1. 控制外设同步

图 8-29 显示了同步链架构。

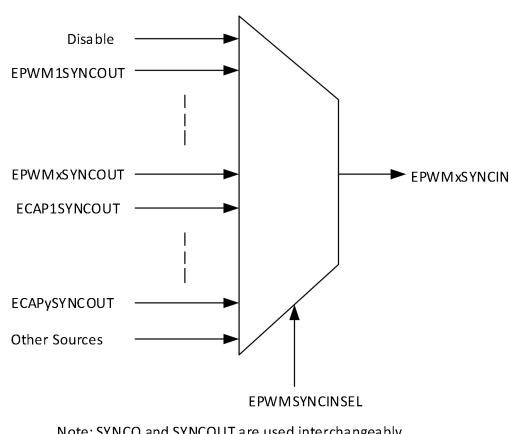


图 8-29 同步链架构



### 8.11.2.2. ePWM 电气数据和时序

表 8-32 显示了 PWM 时序要求, 表 8-33 显示了 PWM 开关特征。

#### 8.11.2.2.1. ePWM 时序要求

表 8-32 ePWM 时序要求

		最小值	最大值	单位
$f_{(EPWM)}$	频率, EPWM 时钟		125	MHz
$t_w(SYNCIN)$	异步的	$2t_c(EPWMCLK)$		周期
	同步的	$2t_c(EPWMCLK)$		周期
	带输入滤波	$1t_c(EPWMCLK) + t_w(IQSW)$		周期

#### 8.11.2.2.2. ePWM 开关特征

在推荐的工作条件下 (除非另有说明)

表 8-33 ePWM 开关特征

参数		最小值	最大值	单位
$t_w(PWM)$	脉冲持续时间, PWMx 输出高/低	20		ns
$t_w(SYNCIN)$	同步输出脉冲宽度	$8t_c(AHBCLK)$		周期
$t_d(TZ-PWM)$	延迟时间, trip 输入激活到 PWM 拉高			
	延迟时间, trip 输入激活到 PWM 拉低		25	ns
	延迟时间, trip 输入激活到 PWM 高阻			

#### 8.11.2.2.3. 跳变区输入时序

表 8-34 显示了跳变区输入时序要求。图 8-30 显示了 PWM Hi-Z 特征。

表 8-34 跳变区输入时序要求

		最小值	最大值	单位
$t_w(TZ)$	脉冲持续时间, $\overline{TZx}$ 输入低电平	$1t_c(EPWMCLK)$		周期
	异步	$2t_c(EPWMCLK)$		周期
	带输入滤波	$1t_c(EPWMCLK) + t_w(IQSW)$		周期

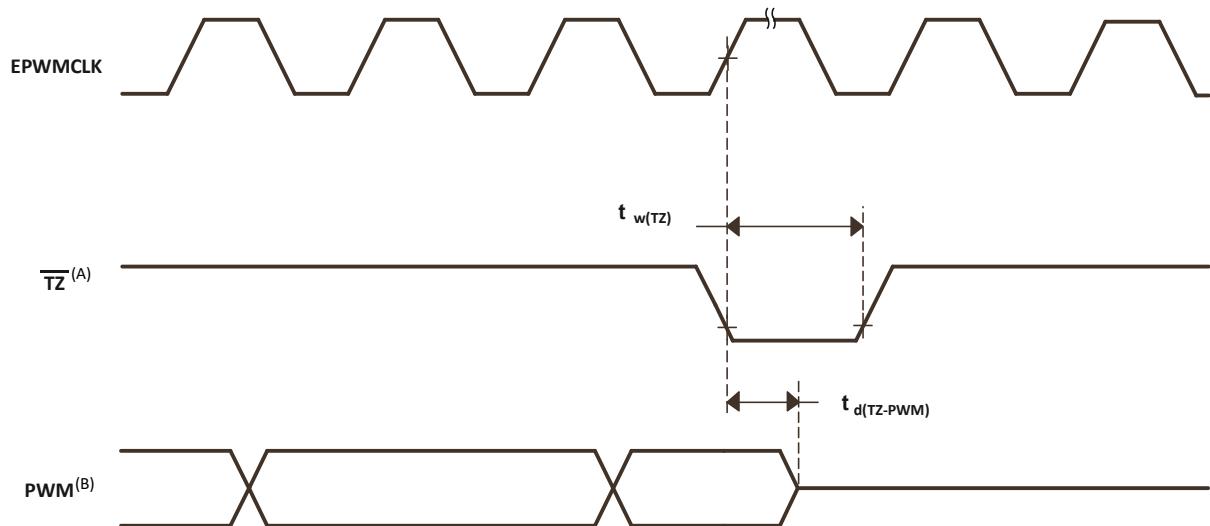


图 8-30 PWM HI-Z 特性

A.  $\overline{TZ}$ :  $\overline{TZ1}$ 、 $\overline{TZ2}$ 、 $\overline{TZ3}$ 、TRIP1 至 TRIP12

B. PWM 是指器件内的所有 PWM 引脚。 $\overline{TZ}$  置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

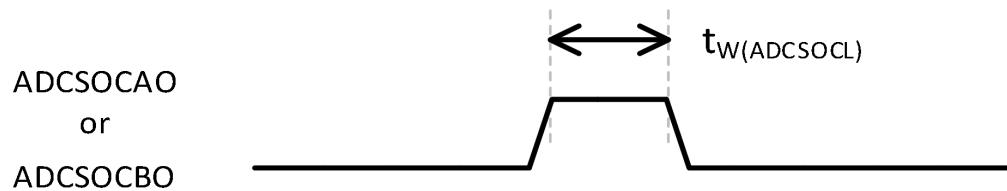
### 8.11.2.3. 外部 ADC 转换启动电气数据和时序

表 8-35 显示了外部 ADC 转换启动开关特征。图 8-31 显示了 ADCSOC<sub>AO</sub>/ADCSOC<sub>BO</sub> 时序。

#### 8.11.2.3.1. 外部 ADC 转换启动开关特征

表 8-29 外部 ADC 转换启动开关特征

参数	最小值	最大值	单位
$t_{w(ADCSOCL)}$ 脉冲持续时间, ADCSOC <sub>xO</sub> 低电平	TBCLK		周期

图 8-31 ADCSOC<sub>AO</sub> 或者 ADCSOC<sub>BO</sub> 时序



### 8.11.3. 增强型正交编码器脉冲 (eQEP)

eQEP 模块直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

每个 eQEP 外设都包含五个主要功能块：

- 正交采集单元 (QCAP)
- 位置计数器/控制单元 (PCCU)
- 正交解码器单元 (QDU)
- 用于速度和频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)

eQEP 外设由 PERx.AHBCLK 计时。图 8-32 显示了 eQEP 方框图。

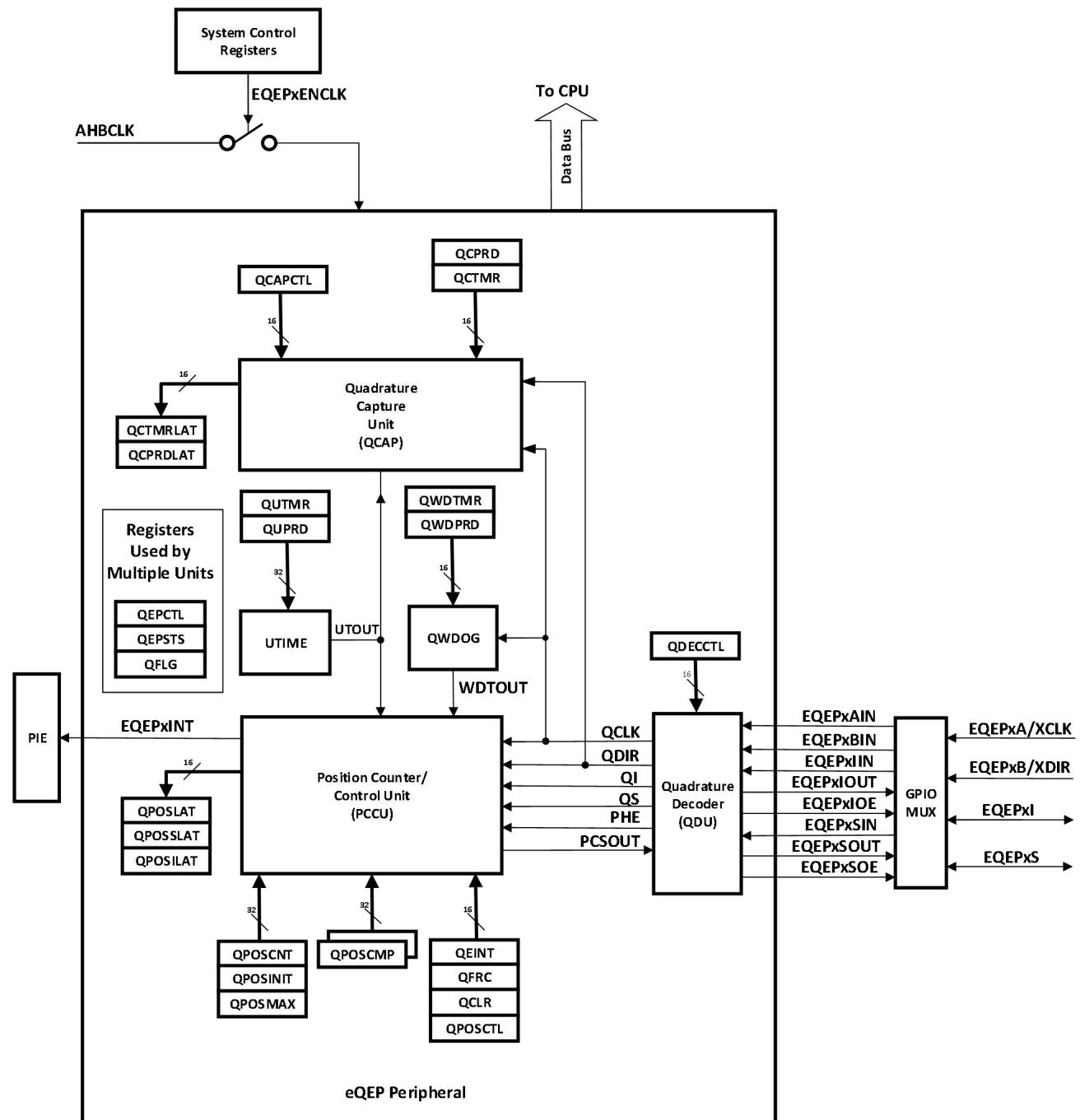


图 8-32 eQEP 方框图



### 8.11.3.1. eQEP 电气数据和时序

表 8-36 列出了 eQEP 时序要求, 表 8-37 列出了 eQEP 开关特征。

表 8-30 eQEP 时序要求

		最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步的	$2t_c(AHBCLK)$	周期
		带输入滤波	$2[1t_c(AHBCLK) + t_w(IQSW)]$	周期
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步的	$2t_c(AHBCLK)$	周期
		带输入滤波	$2t_c(AHBCLK) + t_w(IQSW)$	周期
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步的	$2t_c(AHBCLK)$	周期
		带输入滤波	$2t_c(AHBCLK) + t_w(IQSW)$	周期
$t_{w(STROBH)}$	QEP 选通高电平时间	同步的	$2t_c(AHBCLK)$	周期
		带输入滤波	$2t_c(AHBCLK) + t_w(IQSW)$	周期
$t_{w(STROBL)}$	QEP 选通低电平时间	同步的	$2t_c(AHBCLK)$	周期
		带输入滤波	$2t_c(AHBCLK) + t_w(IQSW)$	周期

表 8-31 eQEP 开关特征

参数	最小值	最大值	单位
$t_{d(CNTR)_{xin}}$ 延迟时间, 外部时钟到计数器递增		$4t_c(AHBCLK)$	周期
$t_{d(PCS-OUT)_{QEP}}$ 延迟时间, QEP 输入边沿到位置比较同步输出		$6t_c(AHBCLK)$	周期



## 8.12. 通信外设

### 8.12.1. 控制器局域网 (CAN)

HXDSP 的 CAN 支持 CAN 2.0B。它的设计目标是，以最小的 CPU 负荷来高效处理大量收到的报文。它也支持报文发送的优先级要求(优先级特性可软件配置)。

对于安全紧要的应用，**bxCAN** 提供所有支持时间触发通信模式所需的硬件功能。

CAN 模块具有以下特点：

- 支持 CAN 协议 2.0B 主动模式
- 波特率最高可达 1 兆位/秒
- 支持时间触发通信功能

#### 发送

- 3 个发送邮箱
- 可软件配置的发送优先级
- 记录发送 SOF 时刻的时间戳

#### 接收

- 3 级深度的 2 个接收 FIFO
- 可变的过滤器组
- 标识符列表
- FIFO 溢出处理方式可配置
- 记录接收 SOF 时刻的时间戳
- 时间触发通信模式
- 禁止自动重传模式
- 16 位自由运行定时器
- 可在最后 2 个数据字节发送时间戳

#### 管理

- 中断可屏蔽
- 邮箱占用单独 1 块地址空间，便于提高软件效率

图 8-33 显示了 CAN 模块方框图

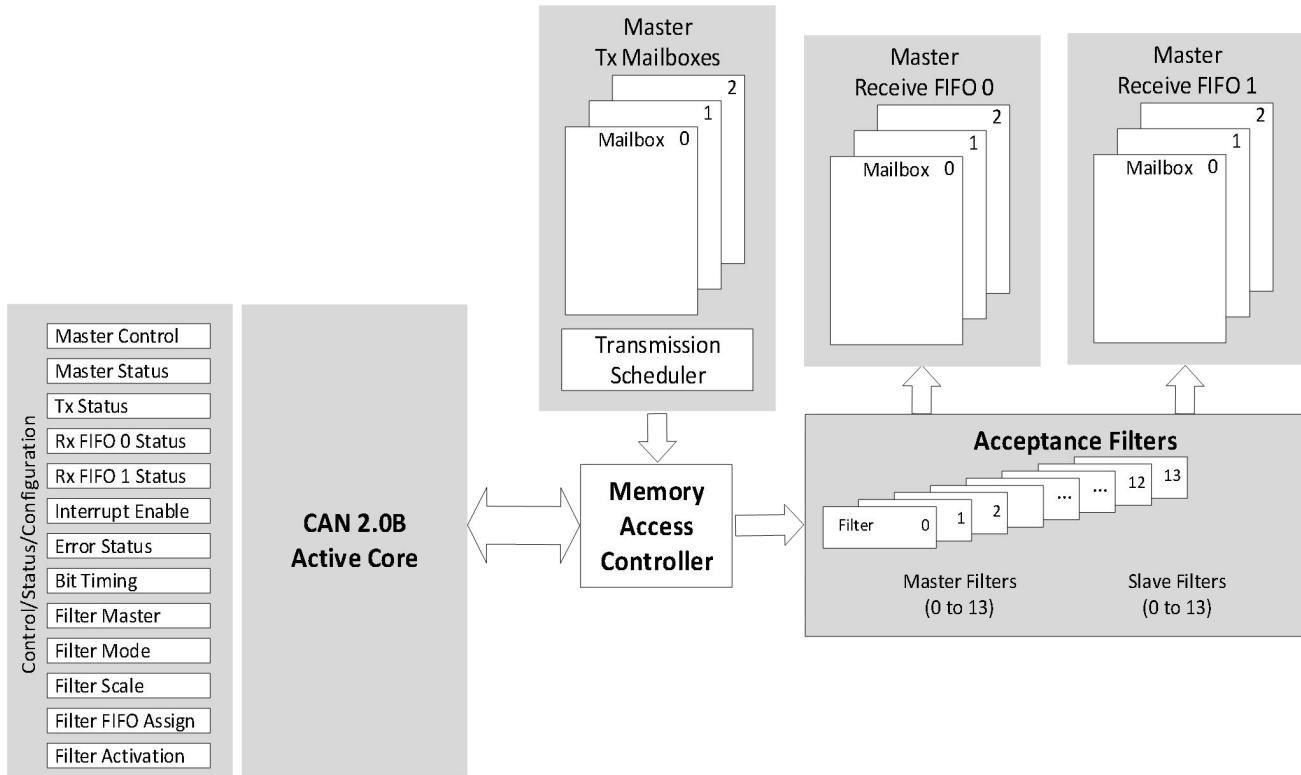


图 8-33 CAN 方框图

### 8.12.2. 内部集成电路 (I2C)

I2C(芯片间)总线接口连接 DSP 和串行 I2C 总线。它提供多主机功能, 控制所有 I2C 总线特定的时序、协议、仲裁和定时。支持标准 (最高 100kHz) 和快速两种模式 (最高 400kHz)。

根据特定设备的需要, 可以使用 DMA 以减轻 CPU 的负担。

I2C 模块具有以下特性:

- 并行总线/I2C 总线协议转换器
- 多主机功能: 该模块既可做主设备也可做从设备
- I2C 主设备功能
  - 产生时钟
  - 产生起始和停止信号
- I2C 从设备功能
  - 可编程的 I2C 地址检测
  - 可相应 2 个从地址的双地址能力
  - 停止位检测
- 产生和检测 7 位/10 位地址和广播呼叫
- 支持不同的通讯速度
  - 标准速度(高达 100 kHz)
  - 快速(高达 400 kHz)
- 模拟噪声滤波器



- 状态标志:
  - 发送器/接收器模式标志
  - 字节发送结束标志
  - I2C 总线忙标志
- 错误标志
  - 主模式时的仲裁丢失
  - 地址/数据传输后的应答(ACK)错误
  - 检测到错位的起始或停止条件
  - 禁止拉长时钟功能时的上溢或下溢
- 2 个中断向量
  - 1 个中断用于地址/数据通讯成功
  - 1 个中断用于错误
- 可选的拉长时钟功能
- 具有单字节缓冲器的 DMA I2C 接口
- 可配置的 PEC(信息包错误检测)的产生或校验:
  - 发送模式中 PEC 值可以作为最后一个字节传输
  - 用于最后一个接收字节的 PEC 错误校验
- 兼容 SMBus 2.0
  - 25 ms 时钟低超时延时
  - 10 ms 主设备累积时钟低扩展时间
  - 25 ms 从设备累积时钟低扩展时间
  - 带 ACK 控制的硬件 PEC 产生/校验
  - 支持地址分辨协议(ARP)
- 兼容 SMBus

图 8-34 显示了 I2C 外设模块如何在器件内连接。

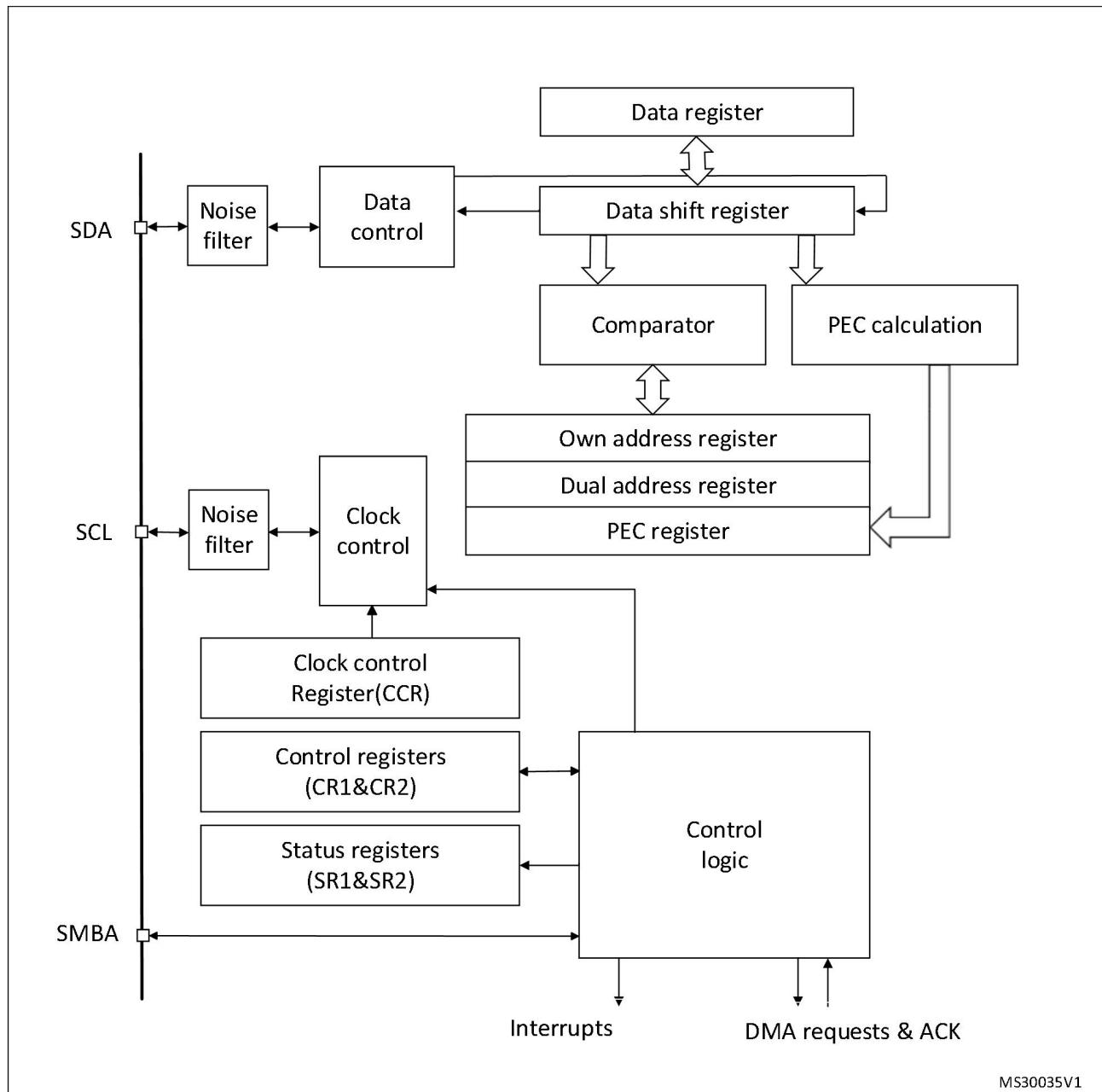


图 8-34 I2C 模块方框图

### 8.12.3. 串行通信接口 (USART)

通用同步异步收发器(USART)提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。USART 利用分数波特率发生器提供宽范围的波特率选择。它支持同步单向通信和半双工单线通信, 也支持 LIN(局部互连网), 智能卡协议和 IrDA(红外数据组织)SIR ENDEC 规范, 以及调制解调器(CTS/RTS)操作。它还允许多处理器通信。使用多缓冲器配置的 DMA 方式, 可以实现高速数据通信。

备注

部分型号(HX64D10375X)不支持同步通信

USART 具有以下特性:



- 全双工的异步通信
- NRZ 标准格式 (Mark/Space)
- 分数波特率发生器系统
  - 发送和接收共用的可编程波特率, 最高达 4.5Mbits/s
- 可编程数据字长度(8 位或 9 位)
- 可配置的停止位-支持 1 或 2 个停止位
- LIN 主发送同步断开符的能力以及 LIN 从检测断开符的能力
  - 当 USART 硬件配置成 LIN 时, 生成 13 位断开符; 检测 10/11 位断开符
- 发送方为同步传输提供时钟
- IRDA SIR 编码器解码器
  - 在正常模式下支持 3/16 位的持续时间
- 智能卡模拟功能
  - 智能卡接口支持 ISO7816-3 标准里定义的异步智能卡协议
  - 智能卡用到的 0.5 和 1.5 个停止位
- 单线半双工通信
- 可配置的使用 DMA (直接存储器访问) 的多缓冲器通信
  - 在 SRAM 里利用集中式 DMA 缓冲接收/发送字节
- 单独的发送器和接收器使能位
- 检测标志
  - 接收缓冲器满
  - 发送缓冲器空
  - 传输结束标志
- 校验控制
  - 发送校验位
  - 对接收数据进行校验
- 四个错误检测标志
  - 溢出错误
  - 噪音错误
  - 帧错误
  - 校验错误
- 10 个带标志的中断源
  - CTS 改变
  - LIN 断开符检测
  - 发送数据寄存器空
  - 发送完成
  - 接收数据寄存器满
  - 检测到接收总线为空闲
  - 溢出错误
  - 帧错误
  - 噪音错误
  - 校验错误
- 多处理器通信 -- 如果地址不匹配, 则进入静默模式
- 从静默模式中唤醒(通过空闲总线检测或地址标志检测)
- 两种唤醒接收器的方式: 地址位(MSB, 第 9 位), 总线空闲



图 8-35 显示了 Usart 模块框图

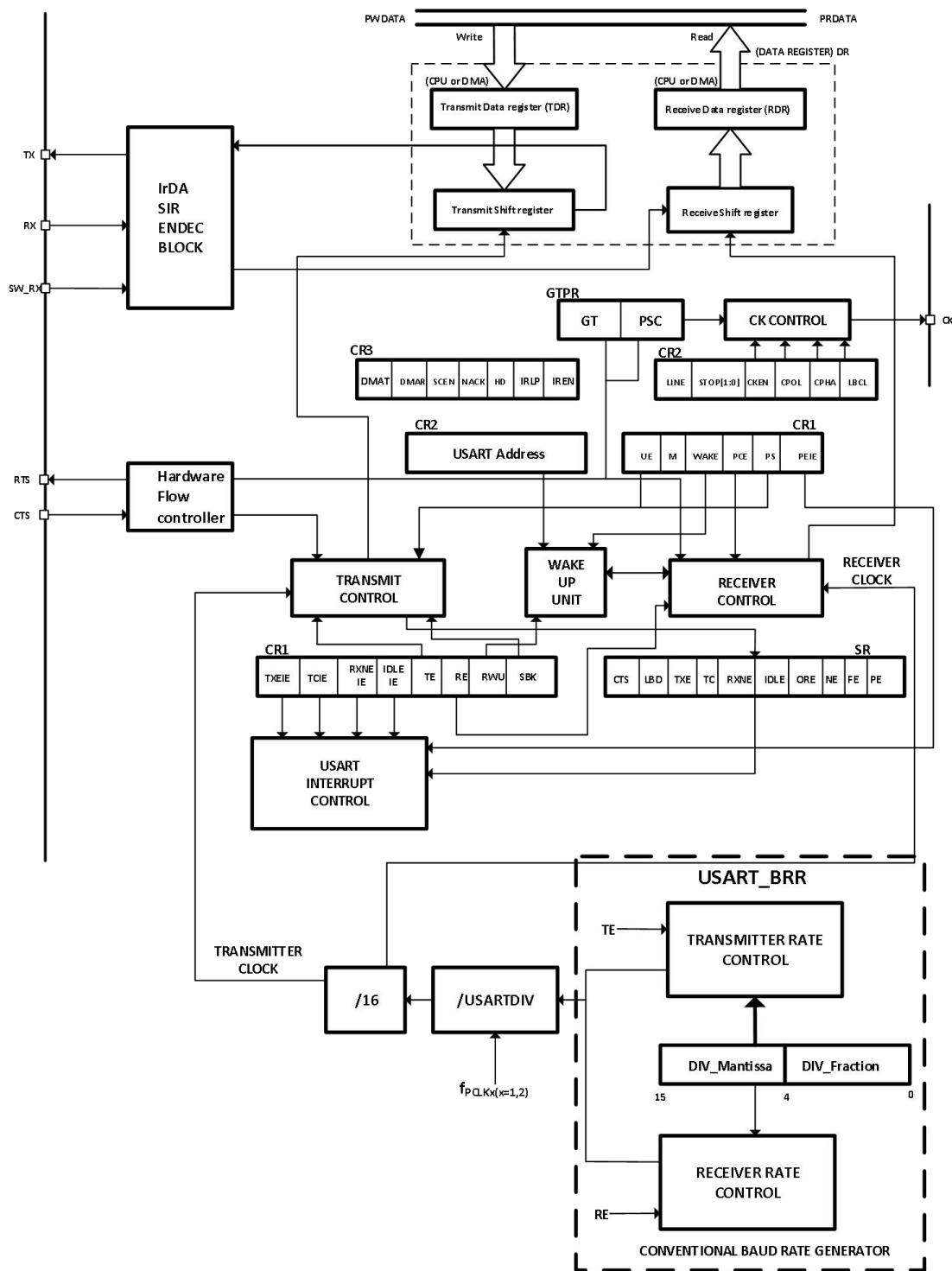


图 8-35 USART 模块框图



### 8.12.4. 串行外设接口 (SPI)

SPI 接口可以配置为支持 SPI 协议或者支持 I<sup>2</sup>S 音频协议。SPI 接口默认工作在 SPI 模式，可以通过软件把功能从 SPI 模式切换到 I<sup>2</sup>S 模式。串行外设接口(SPI)允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还可使用 CRC 校验的可靠通信。

I<sup>2</sup>S 是一种同步串行接口通讯接口。它支持四种音频标准，包括飞利浦 I<sup>2</sup>S 标准、MSB 和 LSB 对齐标准以及 PCM 标准。它可以在全双工模式或半双工模式下作为从设备或主设备运行。当它作为主设备时，通过接口向外部的从设备提供时钟信号。

SPI 功能的特性包括：

- 3 线全双工同步传输
- 带或不带第三根双向数据线的双线单工同步传输
- 8 或 16 位传输帧格式选择
- 主或从操作
- 支持多主模式
- 8 个主模式波特率预分频系数(最大为  $f_{PCLK}/2$ )
- 从模式频率 (最大为  $f_{PCLK}/2$ )
- 主模式和从模式的快速通信
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- 支持可靠通信的硬件 CRC
  - 在发送模式下，CRC 值可以被作为最后一个字节发送
  - 对接收到的最后一个字节自动进行 CRC 校验
- 可触发中断的主模式故障、过载以及 CRC 错误标志
- 支持 DMA 功能的 1 字节发送和接收缓冲器：产生发送和接受请求

I<sup>2</sup>S 功能的特性包括：

- 半双工通信(仅发送或接收)
- 主或者从操作
- 8 位可编程线性预分频器，达到准确的音频采样频率(从 8 kHz 到 192 kHz)
- 数据格式可以是 16 位、24 位或 32 位
- 音频信道固定数据包帧为 16 位(16 位数据帧)或 32 位(16、24 或 32 位数据帧)
- 可编程的时钟极性(稳定态)
- 从发送模式下的下溢标志位和主/从接收模式下的溢出标志位
- 用于发送和接收的 16 位寄存器，通道两侧各有一个数据寄存器
- 支持的 I<sup>2</sup>S 协议：
  - I<sup>2</sup>S 飞利浦标准
  - MSB 对齐标准(左对齐)
  - LSB 对齐标准(右对齐)
  - PCM 标准(16 位通道帧上具有长帧和短帧同步或者将 16 位数据帧扩展为 32 位通道帧)：
- 数据方向始终是 MSB 优先

- 发送和接收都具有 DMA 能力
- 主时钟可以输出驱动外部音频组件。比率固定在  $256 \times F_s$ (其中  $F_s$  是音频采样频率)

图 8-36 显示了 SPI 模块框图

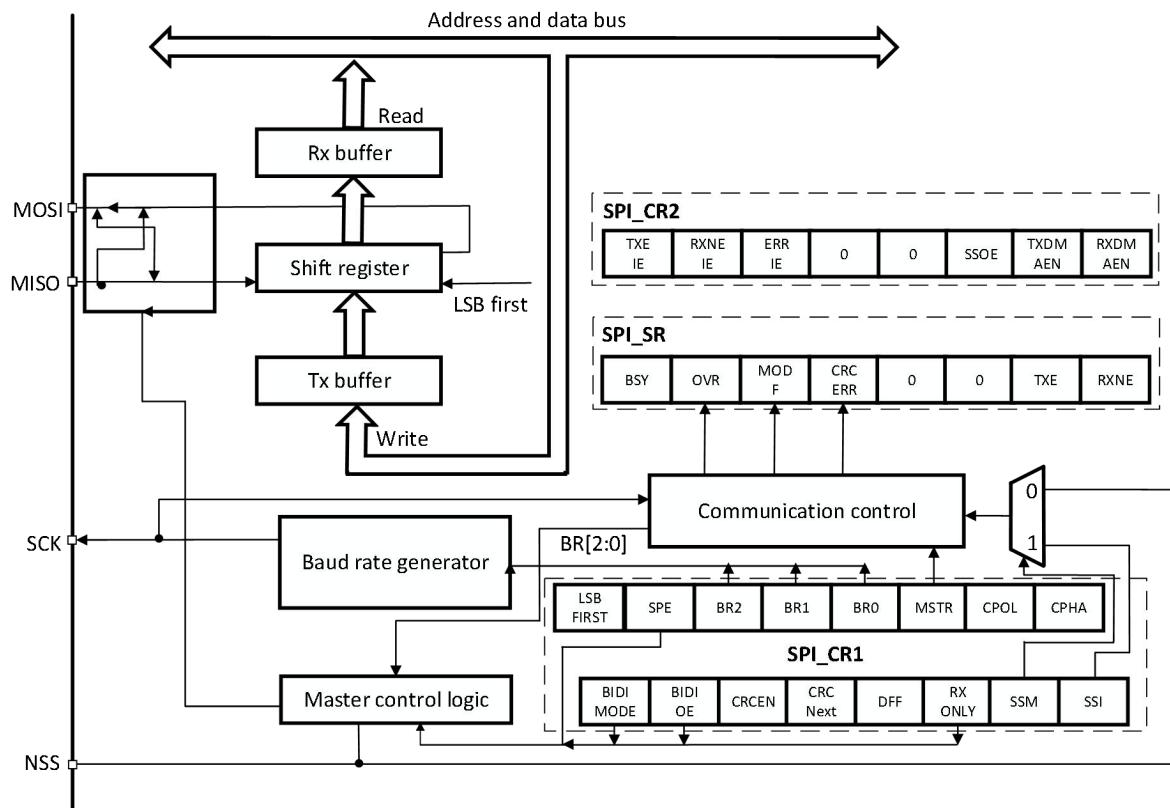
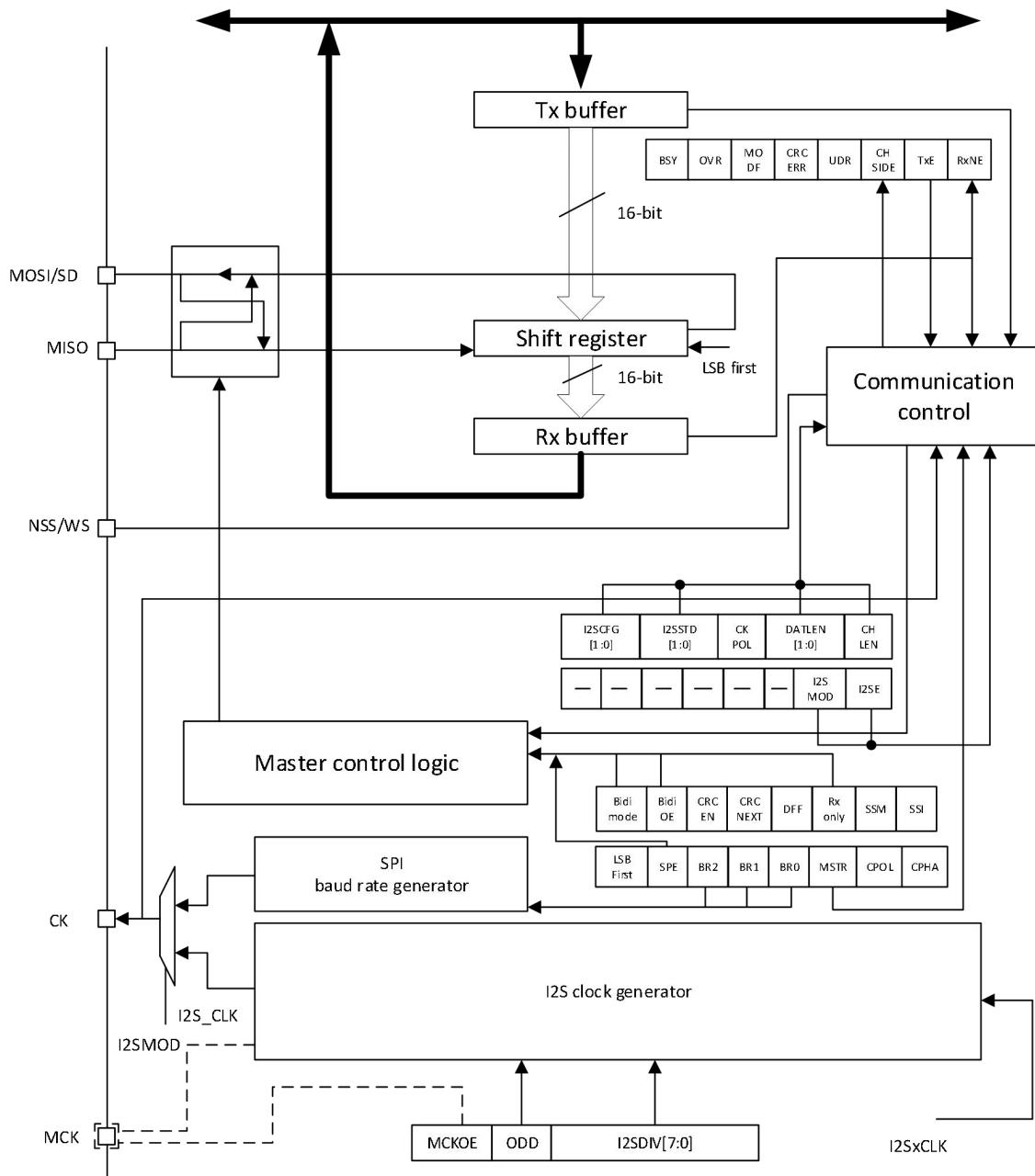


图 8-36 SPI 模块框图

图 8-37 显示了 I<sup>2</sup>S 模块框图图 8-37 I<sup>2</sup>S 模块框图

### 8.12.5. 通用串行总线 (USB) 控制器

USB 外设实现了 USB2.0 全速总线和 APB1 总线间的接口。USB 外设支持 USB 挂起/恢复操作，可以停止设备时钟实现低功耗。

USB 模块具有以下特性：

- 符合 USB2.0 全速设备的技术规范
- 可配置 1 到 8 个 USB 端点
- CRC(循环冗余校验)生成/校验，反向不归零(NRZI)编码/解码和位填充
- 支持同步传输



- 支持批量/同步端点的双缓冲区机制
- 支持 USB 挂起/恢复操作
- 帧锁定时钟脉冲生成

图 8-38 显示了 USB 模块框图

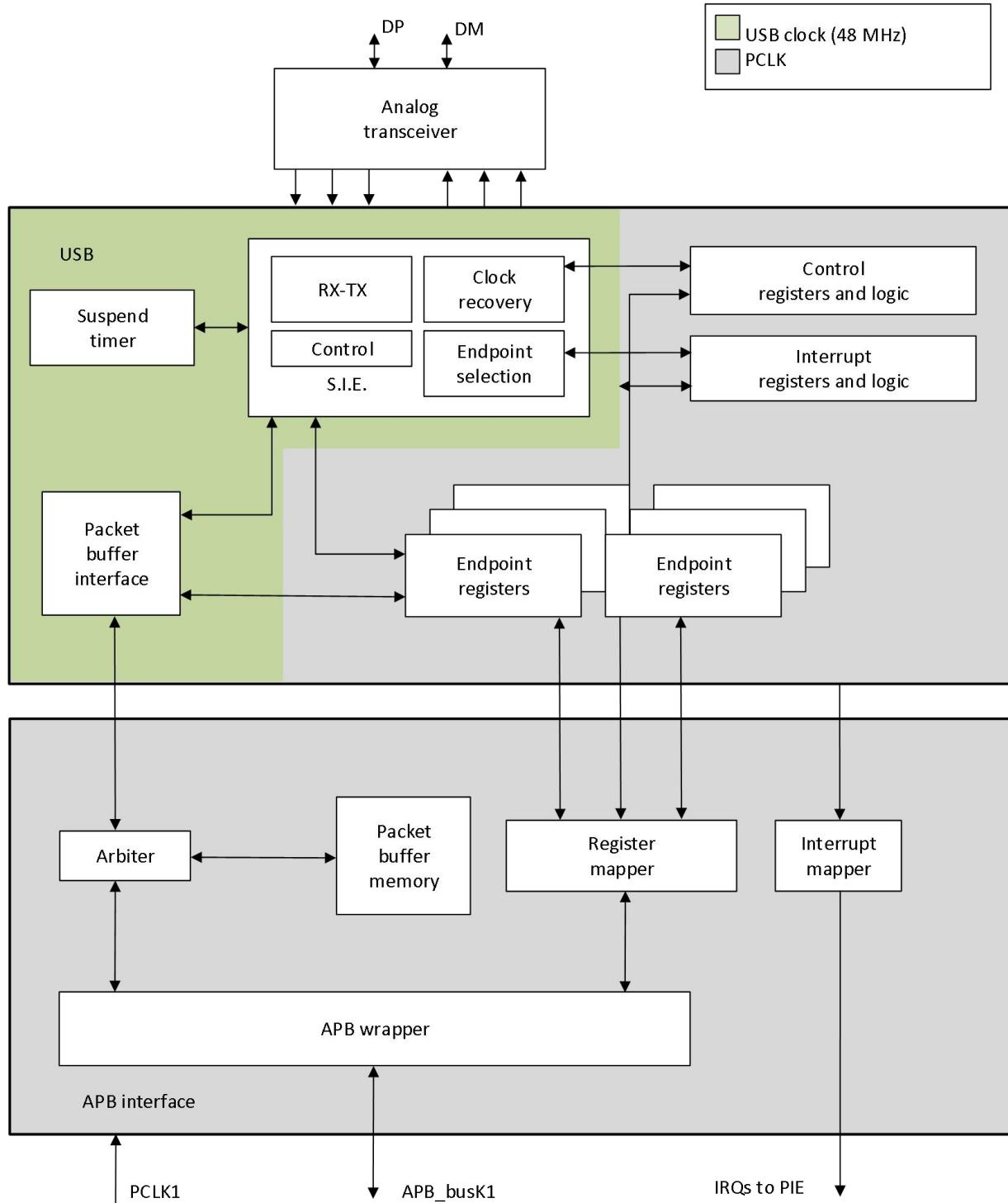


图 8-38 USB 模块框图



### 8.12.6. 通用并行 (uPP) 接口

uPP 接口是一种具有专用数据线和最小控制信号的高速并行接口，它设计用于与具有 8 位数据宽度的高速模数转换器(ADCs)或数模转换器(DACs)进行清晰的接口。它也可以与现场可编程门阵列(FPGAs)或其他 uPP 设备互连，以实现高速数字数据传输。它可以工作在接收模式或发送模式(单工模式)。该外设通过调用内部 DMA2 控制器，以最大限度地提高吞吐量和最小化高速数据传输期间的 CPU 开销。

uPP 模块具有以下特性：

- 支持主流高速数据转换器与并行转换接口。
- 支持带有帧 START 主流高速流接口。
- 支持带有数据 ENABLE 的主流高速流接口。
- 支持带有同步等待信号的主流高速流接口。
- 支持 SDR(单数据速率)或 DDR(双数据速率)接口。
- 支持在 SDR 传输情况和 DDR 情况下交叉数据传输。
- 支持 I/O 接口时钟频率最高到 SDR 为 50MHz, DDR 为 25MHz。
- 支持单通道 8 位输入接收或输出发送模式。
- 可作为 DSP 到 FPGA 的通用流接口。

uPP 模块在传输和接收数据时，只能通过 DMA2 从 SRAM 搬运或者搬运到 SRAM 中进行处理。

图 8-39 显示了 uPP 模块框图

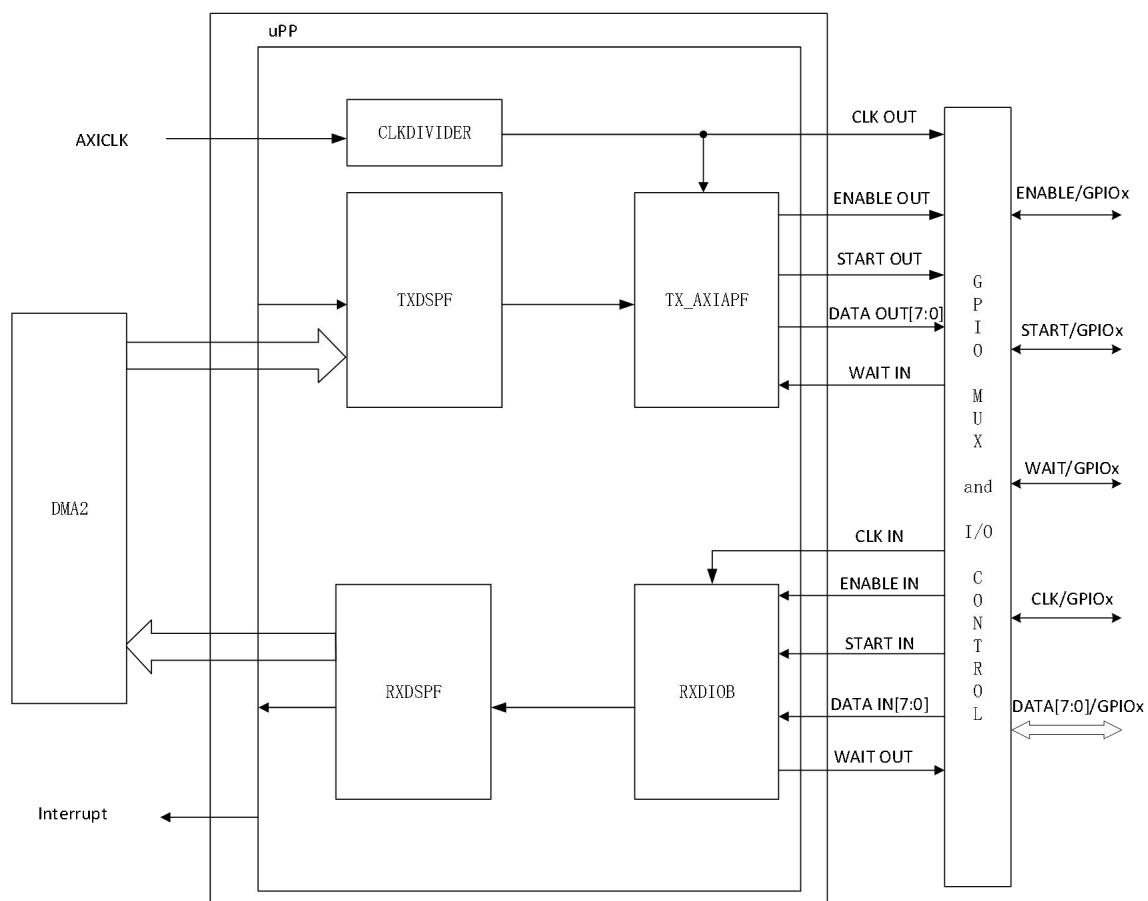


图 8-39 uPP 模块框图

### 8.12.7. 以太网控制自动化技术(EtherCAT)

以太网控制自动化技术(EtherCAT®)是一种基于以太网的现场总线系统,由倍福®自动化公司发明,并在 IEC 61158 中标准化。所有连接到总线的从属设备(或子设备)节点快速地解释、处理和修改发给它们的数据,而不必在节点内部缓冲帧。这种实时行为、帧处理和转发要求由 EtherCAT 子设备控制器(ESC)硬件实现。在子设备内部传输数据时, EtherCAT 不需要软件交互。EtherCAT 只定义 MAC 层,而更高层的协议和堆栈是在连接到 ESC 的微控制器上的软件中实现的。

EtherCAT 模块具有以下特性:

- 最多两个 MII 接口用于连接 EtherCAT PHY
- 通过 16 位异步接口 (ASYNC16) 处理数据接口 (PDI)
- 64 位分布式时钟, 同步输出信号以同步设备事件并锁存支持事件时间戳的输入信号
- 8 个现场总线管理单元 (FMMU), 支持所有本机类型的 RD、WR、RDWR 以及位和字节寻址的内置功能
- 8 个同步管理器
- I2C EEPROM 接口
- 最多 32 个通用输入和 32 个通用输出
- 2 个 SYNC 和 2 个 LATCH 信号连接到 GPIO 焊盘
- 带奇偶校验的 16KB RAM

图 8-40 显示了 EtherCAT 模块框图

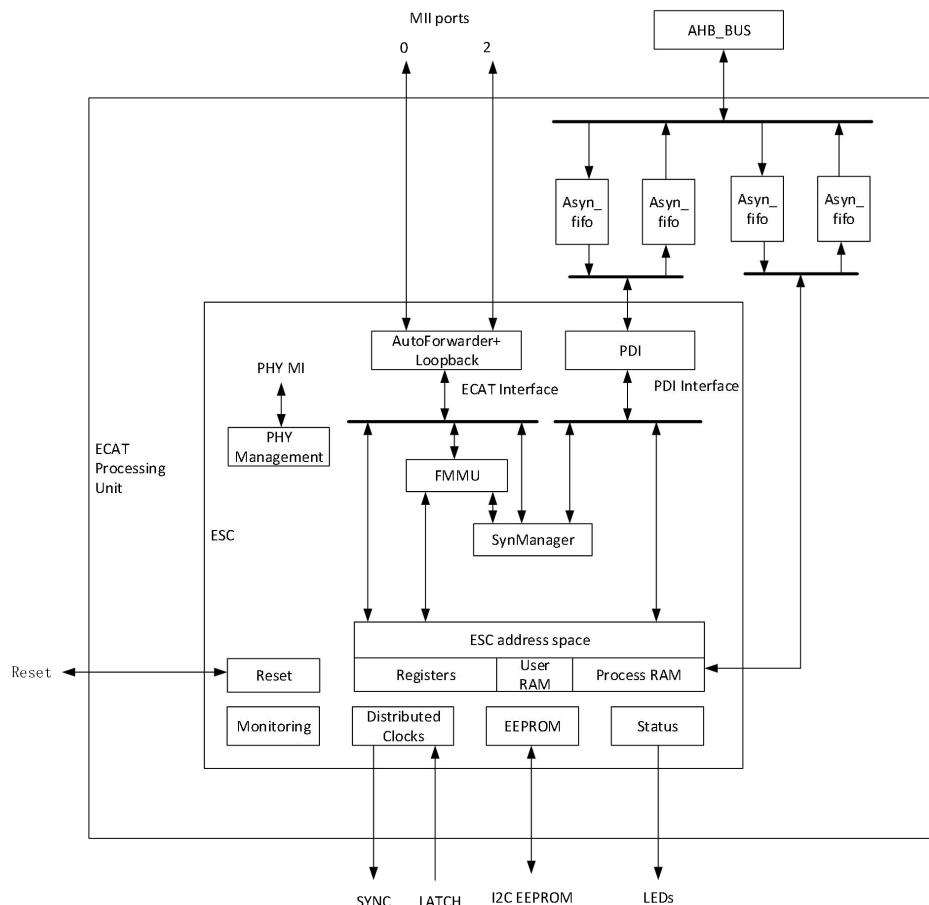


图 8-40 EtherCAT 模块框图



## 9. 系统说明

### 9.1. 概述

HX64D1037x 系列芯片是以苏州洪芯自主研发的采用先进的多线程技术的高性能 DSP (HCORE) 为内核开发的 SoC。苏州洪芯自主研发的 HCORE 采用了多线程架构, 具有 64 位的超长宽指令, 256 位的 SIMD 矢量运算器等模块, 具有高性能、超低功耗的特点。HX64D1037x 系列芯片的最高工作频率可达 600MHz, 最高算力可达 9.6GMACs, 内置高达 1M 字节的闪存, 256KB L1 SRAM 和 512KB 的 L2 SRAM, 丰富的增强功能的控制端口, 高精度的模拟端口以及多种形式的通信端口。可以满足工业控制, 新能源, 网络/通信, 互联网等领域的应用需求。

HX64D1037x 系列产品工作于-40°C 至+125°C 的温度范围, 供电电压为 1.2V(Core 电压) 和 3.3V (IO 电压), 一系列的省电模式保证了低功耗应用的要求。

HX64D1037x 系列产品提供的封装形式有 nFBGA337, HLQFP176 和 HTQFP100。根据不同的封装形式, 器件中的外设配置不尽相同。这些丰富的外设配置使得 HX64D1037x 系列产品适合于多种应用场合。

### 9.2. 功能框图

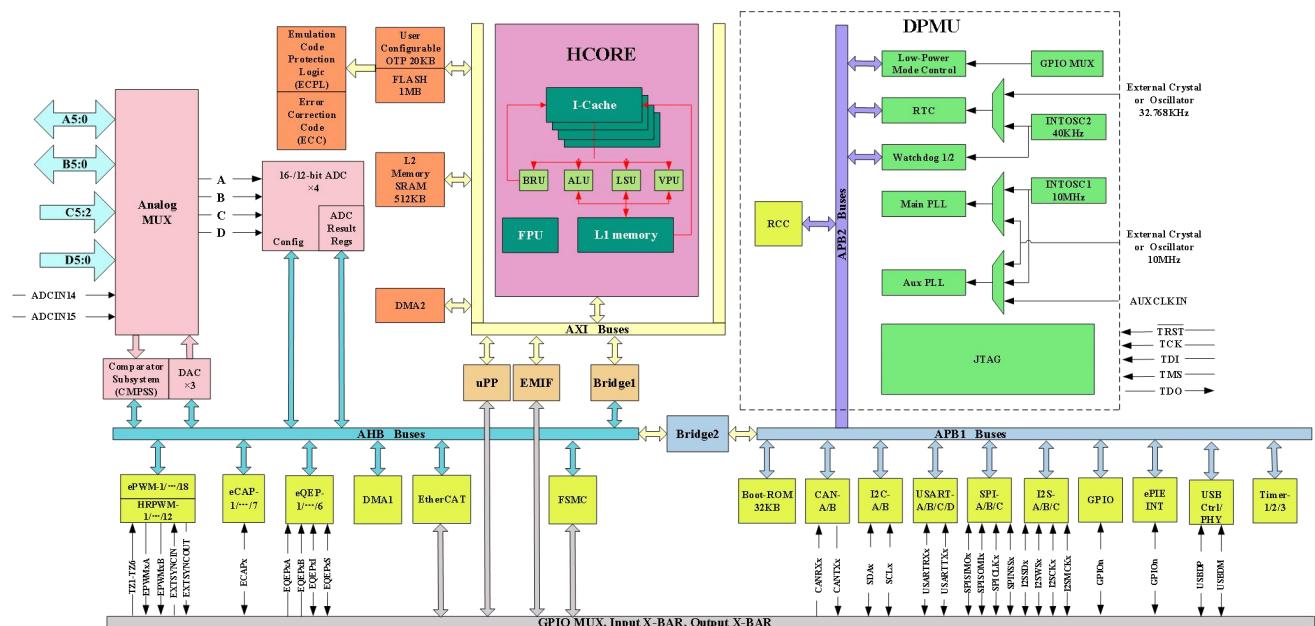


图 9-1 功能框图



## 9.3. 存储器

### 9.3.1. 存储器映射

可由 DMA1 或 DMA2 访问的存储器（直接存储器访问）已被注明。表 9-1 显示了存储器映射。

表 9-1 存储器映射

存储器	大小	起始地址	结束地址	DMA1 存取	DMA2 存取
L1 SRAM	256K	0x9000_0000	0x9003_FFFF	是	是
L2 SRAM	512K	0x4000_0000	0x4007_FFFF	是	是
FLASH	1M	0x8020_0000	0x802F_FFFF	是	是
SYSTEM MEMORY (Read only)	492KB	0x8030_0000	0x8037_AFFF	是	是
Boot ROM	32K	0x0001_0000	0x0001_7FFF	是	是
USB RAM	512bytes	0x0003_B400	0x0003_B7FF	是	是

### 9.3.2. 闪存映射

器件的总闪存为 1MB。一次只能对一个扇区或者全片进行编程或擦除。表 9-2 显示了闪存扇区地址。

表 9-2 HX64D1037x 的闪存扇区地址

扇区	大小	起始地址	结束地址
OTP 扇区			
HX OTP	20KB	0x8037_B000	0x8037_FFFF
扇区			
扇区 0(包含 ECC)	1KB	0x8020_0000	0x8020_03FF
扇区 1(包含 ECC)	1KB	0x8020_0400	0x8020_07FF
扇区 2(包含 ECC)	1KB	0x8020_0800	0x8020_0BFF
扇区 3(包含 ECC)	1KB	0x8020_0C00	0x8020_0FFF
扇区 4(包含 ECC)	1KB	0x8020_1000	0x8020_13FF
扇区 5(包含 ECC)	1KB	0x8020_1400	0x8020_17FF
扇区 6(包含 ECC)	1KB	0x8020_1800	0x8020_1BFF
扇区 7(包含 ECC)	1KB	0x8020_1C00	0x8020_1FFF
.....			
扇区 1020(包含 ECC)	1KB	0x802F_F000	0x802F_F3FF
扇区 1021(包含 ECC)	1KB	0x802F_F400	0x802F_F7FF
扇区 1022(包含 ECC)	1KB	0x802F_F800	0x802F_FBFF
扇区 1023(包含 ECC)	1KB	0x802F_FC00	0x802F_FFFF
Flash 选项字节			
HX OPT	16B	0x8040_0000	0x8040_000F



### 9.3.3. EMIF 芯片选择内存映射

EMIF 每个芯片的地址可以通过寄存器设置。EMIF\_CSON-EMIF\_CS3N 起始地址: 0x5000\_0000, 结束地址: 0x7FFF\_FFFF。表 9-3 显示了 EMIF 内存映射。

表 9-3 EMIF 片选存储器映射

EMIF 芯片选择	大小	起始地址	结束地址	DMA1 存取	DMA2 存取
EMIF_CSON	-	-	-	是	是
EMIF_CS1N	-	-	-	是	是
EMIF_CS2N	-	-	-	是	是
EMIF_CS3N	-	-	-	是	是

### 9.3.4. FSMC 内存映射

表 9-4 显示了 FSMC 内存映射。

表 9-4 FSMC 芯片选择内存映射 (NOR/PSRAM)

FSMC 芯片选择	大小	起始地址	结束地址	DMA1 存取	DMA2 存取
FSMC_NCS0	64MB	0xB000_0000	0xB3FF_FFFF	是	是
FSMC_NCS1	64MB	0xB400_0000	0xB7FF_FFFF	是	是
FSMC_NCS2	64MB	0xB800_0000	0xBBFF_FFFF	是	是
FSMC_NCS3	64MB	0xBC00_0000	0xBFFF_FFFF	是	是

### 9.3.5. 外设寄存器内存映射

外设寄存器内存映射可参阅表 9-5。可由 DMA1 或 DMA2 访问的已被注明。

表 9-5 外设寄存器内存映射

寄存器	起始地址	结束地址	DMA1 存取	DMA2 存取
Timer1Regs	0x0000_5000	0x0000_53FF	是	
Timer2Regs	0x0000_5400	0x0000_57FF	是	
Timer3Regs	0x0000_5800	0x0000_58FF	是	
SpiaRegs	0x0000_6000	0x0000_6FFF	是	
SpibRegs	0x0000_7000	0x0000_7FFF	是	
SpicRegs	0x0000_8000	0x0000_8FFF	是	
XbarRegs	0x0000_9000	0x0000_9FFF		
GpioRegs	0x0000_A000	0x0000_AFFF		
DpmuRegs	0x0002_0000	0x0002_0FFF		
UsartaRegs	0x0003_5000	0x0003_5FFF	是	
UsartbRegs	0x0003_6000	0x0003_6FFF	是	
UsartcRegs	0x0003_7000	0x0003_7FFF	是	
UsartdRegs	0x0003_8000	0x0003_8FFF	是	
I2caRegs	0x0003_9000	0x0003_9FFF	是	
I2cbRegs	0x0003_A000	0x0003_AFFF	是	
UsbRegs	0x0003_B000	0x0003_B3FF		



寄存器	起始地址	结束地址	DMA1 存取	DMA2 存取
CanaRegs	0x0003_C000	0x0003_CFFF		
CanbRegs	0x0003_D000	0x0003_DFFF		
Dma1Regs	0x0005_0000	0x0005_0FFF		
Dma2Regs	0x0005_1000	0x0005_1FFF		
FlashctrlRegs	0x0005_5000	0x0005_5FFF		
FlashctrlsRegs	0x0005_6000	0x0005_6FFF		
PieCtrlRegs	0x0005_7000	0x0005_7FFF		
EmifRegs	0x0005_8000	0x0005_8FFF		
EtherCATRegs	0x0004_0000	0x0004_FFFF		是
Adc1Regs	0x1000_0000	0x1000_0FFF	是	
Adc2Regs	0x1000_1000	0x1000_1FFF	是	
Adc3Regs	0x1000_2000	0x1000_2FFF	是	
Adc4Regs	0x1000_3000	0x1000_3FFF	是	
Dac1Regs	0x1000_4000	0x1000_4FFF		
Dac2Regs	0x1000_5000	0x1000_5FFF		
Dac3Regs	0x1000_6000	0x1000_6FFF		
Cmpss1Regs	0x1000_7000	0x1000_70FF		
Cmpss2Regs	0x1000_7100	0x1000_71FF		
Cmpss3Regs	0x1000_7200	0x1000_72FF		
Cmpss4Regs	0x1000_7300	0x1000_73FF		
Cmpss5Regs	0x1000_7400	0x1000_74FF		
Cmpss6Regs	0x1000_7500	0x1000_75FF		
Cmpss7Regs	0x1000_7600	0x1000_76FF		
Cmpss8Regs	0x1000_7700	0x1000_78FF		
SystemctrlRegs	0x1000_8000	0x1000_8FFF		
EPwm1Regs	0x1001_0000	0x1001_07FF		
EPwm2Regs	0x1001_0800	0x1001_0FFF		
EPwm3Regs	0x1001_1000	0x1001_17FF		
EPwm4Regs	0x1001_1800	0x1001_1FFF		
EPwm5Regs	0x1001_2000	0x1001_27FF		
EPwm6Regs	0x1001_2800	0x1001_2FFF		
EPwm7Regs	0x1001_3000	0x1001_37FF		
EPwm8Regs	0x1001_3800	0x1001_3FFF		
EPwm9Regs	0x1001_4000	0x1001_47FF		
EPwm10Regs	0x1001_4800	0x1001_4FFF		
EPwm11Regs	0x1001_5000	0x1001_57FF		
EPwm12Regs	0x1001_5800	0x1001_5FFF		
EPwm13Regs	0x1001_6000	0x1001_67FF		
EPwm14Regs	0x1001_6800	0x1001_6FFF		



寄存器	起始地址	结束地址	DMA1 存取	DMA2 存取
EPwm15Regs	0x1001_7000	0x1001_77FF		
EPwm16Regs	0x1001_7800	0x1001_7FFF		
EPwm17Regs	0x1001_8000	0x1001_87FF		
EPwm18Regs	0x1001_8800	0x1001_8FFF		
ECap1Regs	0x1002_0000	0x1002_0FFF		
ECap2Regs	0x1002_1000	0x1002_1FFF		
ECap3Regs	0x1002_2000	0x1002_2FFF		
ECap4Regs	0x1002_3000	0x1002_3FFF		
ECap5Regs	0x1002_4000	0x1002_4FFF		
ECap6Regs	0x1002_5000	0x1002_5FFF		
ECap7Regs	0x1002_6000	0x1002_6FFF		
EQep1Regs	0x1003_0000	0x1003_0FFF		
EQep2Regs	0x1003_1000	0x1003_1FFF		
EQep3Regs	0x1003_2000	0x1003_2FFF		
EQep4Regs	0x1003_3000	0x1003_3FFF		
EQep5Regs	0x1003_4000	0x1003_4FFF		
EQep6Regs	0x1003_5000	0x1003_5FFF		
FsmcRegs	0xA000_0000	0xAFFF_FFFF		



## 9.4. 识别认证

表 9-6 显示了器件识别寄存器。

表 9-6 器件识别寄存器

名称	地址	大小 (x32)	说明
PARTID	0x8037AC00	1	器件型号识别号 HX64D10375A 0x10B3 8375 HX64D10375B 0x20B3 8375 HX64D10376A 0x10B3 8376 HX64D10376B 0x20B3 8376 ..... HX64D10379A 0x10B3 8379 HX64D10379B 0x20B3 8379
REVID	0x8037AC04	1	器件修订版本号 修订版 A 0x0000 0001 修订版 B 0x0000 0002 修订版 C 0x0000 0003
UID_UNIQUE	0x8037AC08	8	唯一识别号。此编号在具有相同 PARTID 的每个单独器件上是不同的。
CPU ID	0x8037AC28	1	CPU 修订版本号 修订版 1.0 0x0001 0000 修订版 1.1 0x0001 0001 修订版 1.2 0x0001 0002 修订版 2.0 0x0002 0000
JTAG ID	0x8037AC2C	1	JTAG 器件 ID 修订版 1.0 0x0001 0000 修订版 1.1 0x0001 0001 修订版 1.2 0x0001 0002 修订版 2.0 0x0002 0000



## 9.5. 洪芯 HCORE 多线程 DSP 内核

HX64D1037x 系列产品基于洪芯 DSP 多线程内核 HCORE，采用可控动态多线程技术，最高工作频率达 600MHz，4 线程采用 64 位 VLIW 指令系统，含有 256 位矢量运算单元，最大算力可达 9.6GMACs，并支持软浮点运算、复数运算指令和 FFT 运算指令。内核架构如下图所示：

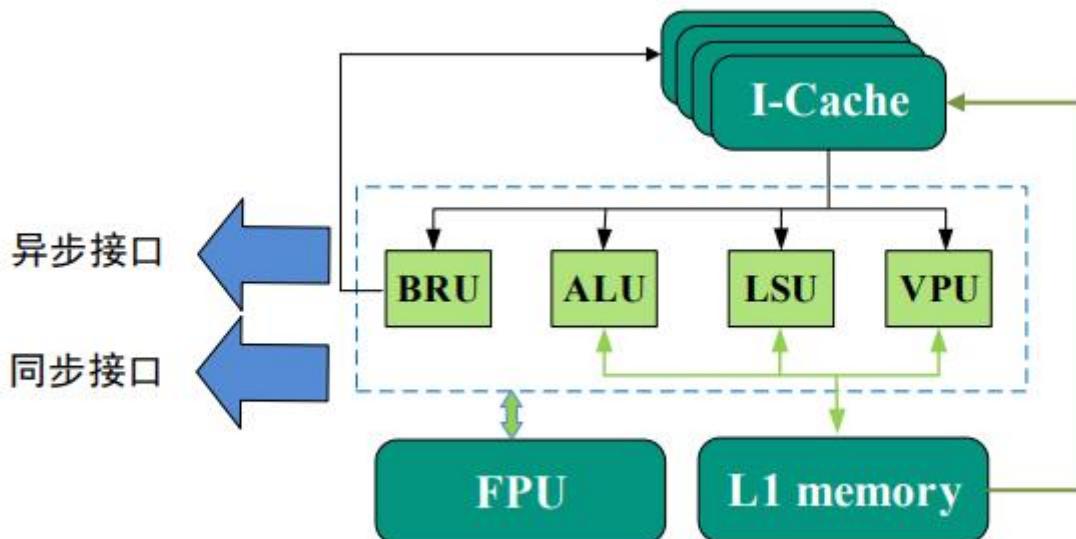


图 9-2 内核架构

特点如下：

- (1) 无需复杂的多线程控制电路及复杂的指令有效预测电路，可高效地调动处理器的硬件资源和判断指令的优先级及相关性；
- (2) 根据指令的优先级顺序执行指令，不必考虑因为某些指令/数据 missing 造成硬件资源的浪费和出现的运算结果混乱；
- (3) 有效的提高处理器的硬件资源的利用率，进而提高算力，降低功耗。

### 9.5.1. 超长宽指令

HCORE 的 64 位指令系统分成 3 部分，分别是 Branch 指令，整数运算或 load/store 指令以及矢量运算指令。可实现 3 组指令同时发射以实现多发射操作。

### 9.5.2. 256 位 SIMD 矢量运算器

HCORE 的 256 位矢量运算器在每个指令周期可同时执行 16 组 16\*16 位或 8 组 32\*32 位的乘法累加运算，每个指令周期可同时执行 8 组 16 位复数运算或 8 组 Radix-2 FFT 运算。当主频为 600MHz 时，执行 1024 位 FFT 的运算时间为 0.8us (4 线程) /3.2us (单线程)。执行一组 32tap, 128 数据的 FIR 运算时间为 0.27us (4 线程) /0.9us (单线程)。

## 9.6. 直接内存访问(DMA)

直接存储器存取(DMA)用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。无须 CPU 干预，数据可以通过 DMA 快速地移动，这就节省了 CPU 的资源来做其他操作。两个 DMA 控制器有 11 个通道(DMA1 有 7 个通道，DMA2 有 4 个通道)。

DMA 可以应用于以下外设：ADC、SPI、Timer、uPP、I2C、EtherCAT 和 USART。



## 9.6.1. DMA1

**DMA1 有以下特性:**

- 每个通道都直接连接专用的硬件 DMA 请求，每个通道都同样支持软件触发。这些功能通过软件来配置。
- 在同一个 DMA 模块上，多个请求间的优先权可以通过软件编程设置(共有四级：很高、高、中等和低)，优先权设置相等时由硬件决定(请求 0 优先于请求 1，依此类推)。
- 独立数据源和目标数据区的传输宽度(字节、半字、全字)，模拟打包和拆包的过程。源和目标地址必须按数据传输宽度对齐。
- 支持循环的缓冲器管理
- 每个通道都有 3 个事件标志(DMA 半传输、DMA 传输完成和 DMA 传输出错)，这 3 个事件标志逻辑或成为一个单独的中断请求。
- 存储器和存储器间的传输
- 外设和存储器、存储器和外设之间的传输
- 闪存、SRAM、外设的 SRAM、APB1、APB2 和 AHB 外设均可作为访问的源和目标。
- 可编程的数据传输数目：最大为 65535

DMA1 模块方框图如图 9-3 所示：

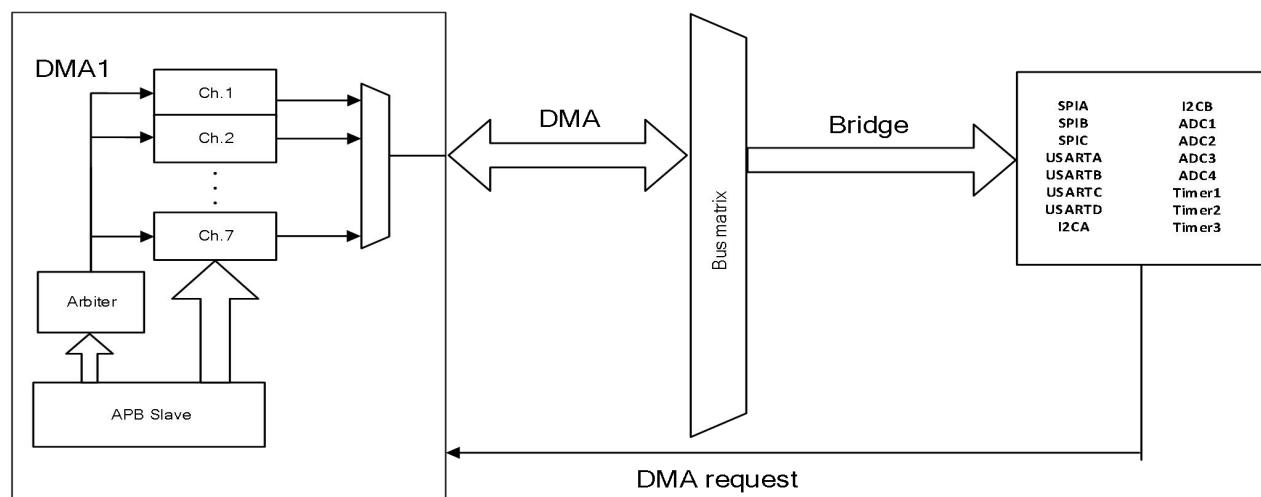


图 9-3 DMA1 方框图

## 9.6.2. DMA2

### 9.6.2.1. DMA2 模块功能

本模块为 AXI 总线接口的 DMA 控制器。数据传递通过 AXI 总线系统予以实现，但对 DMA 控制器的配置是软件通过 APB 接口予以控制。控制器一共包含 4 个通道，各通道之间的工作相对独立但共享 AXI 总线和 APB 总线接口。各通道在访问 AXI 总线时采用公平优先级的轮询机制进行访问。AXI 总线访问要求 64 位位宽边界对齐，不支持 AXI 总线的窄传输和字节级数据传递。

### 9.6.2.2. DMA2 模块总体实现

- 首先确定好将要使用的 DMA 通道，然后确认对应通道是否处于空闲状态，只有在空闲状态的通道才能接受命令，否则该指令将会被忽略。



- 在下达启动传输的命令前, 需要通过 APB 接口配置通道号/目的地址/源地址/总数据长度/最大突发长度:
  - 通道号 CHN 为 0-3 有效
  - 目的地址低 3 位必须为 0, 确保位于 64bit 的边界
  - 源地址低 3 位也必须为 0, 确保位于 64bit 的边界
  - 总数据长度的单位为 64bits 的数量, 而不是字节数量
  - 最大突发长度参数 N 对应的物理含义为  $2^N$  个 64bits, 即 DMA 控制器在传输时会先按最大突发长度进行数据发送, 但剩余数据量小于最大突发长度时, 按照实际剩余数据进行传递。设定最大突发长度的意义是为了提高 AXI 总线的传输效率。
- 当以上配置数据准备好之后, 通过 APB 接口对启动申请信号产生一个上升沿, 通知 DMA 控制器锁存当前的配置值并启动当前通道的数据传输。
- 数据传递过程中, DMA 控制器会将总数据长度根据最大突发长度拆分为多次传递, 除最后一次传递的数据长度值外, 其他传递的数据长度均为设置的最大突发长度值。
- 当传输的 AXI 读写命令发送完成后, 即使 AXI 数据依然在传递过程中, DMA 控制器也会释放该通道, 当通道释放后即处于空闲状态, 软件即可申请该通道进行下一次传输, 这样可以使得 DMA 传输效率更高。

### 9.6.2.3. DMA2 模块总体框图

DMA2 模块总体框图如图 9-4 所示:



图 9-4 DMA2 模块框图

## 9.7. 引导 ROM 和外设引导

要实现应用程序软件顺利运行, HX64D1037x 在上电复位后需一个系统引导启动过程(这一过程简称 boot)。针对不同的应用, 存在不同的 boot 模式。以下章节将详细说 HX64D1037x 的 boot 模式及具体过程。

### 9.7.1. Boot 模式

#### 9.7.1.1. Boot 选择

HX64D1037x 硬件根据 SoC 复位后相应引脚的状态决定是从 Boot ROM, Main Flash, System Memory, L1 Memory 启动。由指定的地址开始运行程序。如表 9-7 所示:

表 9-7 BOOT 选择表

启动 Mem 类型	启动地址
L1 Memory	0x0001_0000
Boot ROM	0x8020_0000



System Flash	0x8030_0000
Main Flash	0x9000_0000

### 9.7.1.2. Boot 模式

SoC 复位后, 内核及 bootloader 程序通过获取 BSel(2 个引脚 PINx(GPIO72), PINy(GPIO84)) 的状态进入不同的启动模式的流程。引脚不同状态进入不同启动模式流程定义。如表 9-8 所示:

表 9-8 Boot 模式

引脚 PINx	引脚 PINy	Boot 模式
0	0	L1 memory
0	1	Boot ROM
1	0	System Flash
1	1	Main Flash

## 9.8. 看门狗

系统包含两个看门狗模块, WDT0 和 WDT1, 均采用内部 40KHz 的时钟源 INTOSC2。两个看门狗都是向下计数方式, 计数器位宽是 32bit, 当计数器到 0 时会产生看门狗复位, 维持 4 个周期的低电平复位时间。

WDT0 和 WDT1 都可以通过寄存器配置其启动, 并通过写入 KEY 来让计数器恢复初始值, 也就是喂狗。WDT0 同时受 NMI 中断触发, 当系统发生了不可屏蔽中断时会触发 WDT0 启动, 如果 NMI 中断未被及时处理, 则在 WDT0 计数结束后产生系统复位。WDT1 可以通过配置 FLASH 的 option byte 区域的值来启动, 当用户配置了 OPT 的 WDT1 启动位后, 系统上电则会默认启动 WDT1 计数器, 如果未在计数器结束前喂狗, 则会产生系统复位。

看门狗的原理框图如图 9-5:

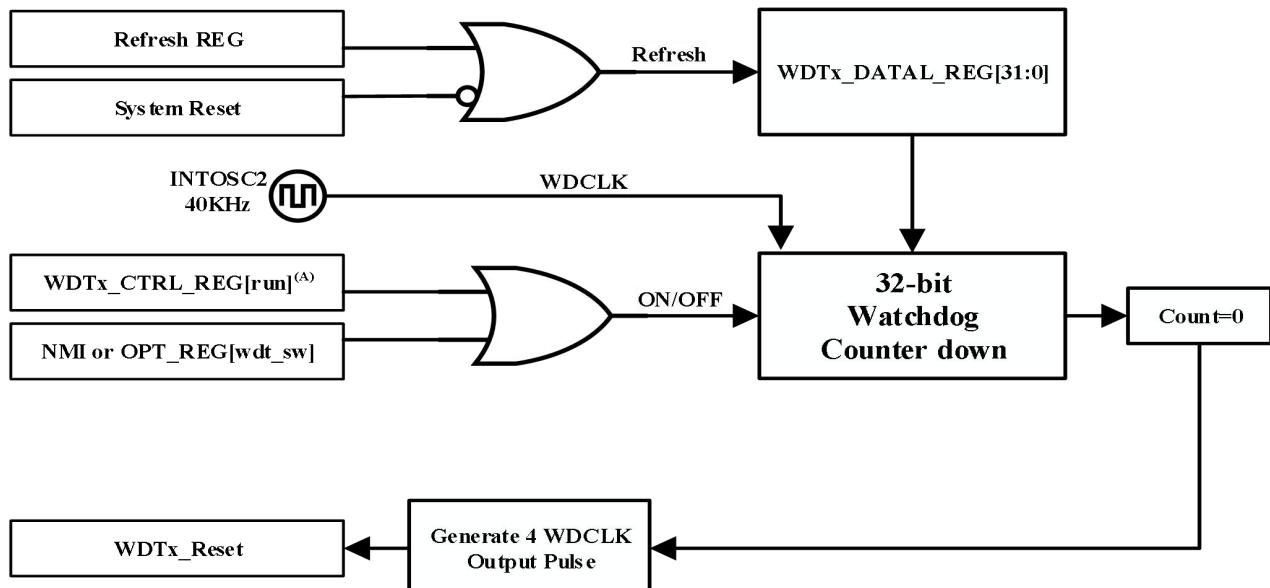


图 9-5 看门狗框图



A: 只有当写入正确的 KEY (WDT0=0X3500,WDT1=0X3600) 到 DATAL 寄存器后, 用户才可以通过清除 Run 寄存器来关闭看门狗计数器。

## 9.9. 浮点运算单元 (FPU)

FPU(Float Point Unit)浮点运算单元完成单精度浮点运算, 主要包含如下模块:

- 单精度浮点算术运算: 加、减、乘、除运算;
- 单精度浮点其他运算: 开平方运算、幂次方运算、三角函数运算、倒数运算等;
- 单精度浮点逻辑比较运算: 小于、小于等于、等于、大于、大于等于;
- 单精度浮点类型转换: 浮点转整型、整型转浮点、浮点转无符号整型、无符号整型转浮点;
- 单精度浮点三角函数运算: sin、cos。

## 10. 器件和文档支持

### 10.1. 器件命名

#### 10.1.1. 器件编码命名规则

洪芯器件的命名规则指示了该器件的功能类型、封装类型、温度范围等信息。图 10-1 提供了图例, 以读取任一系列产品成员的完整器件名称。

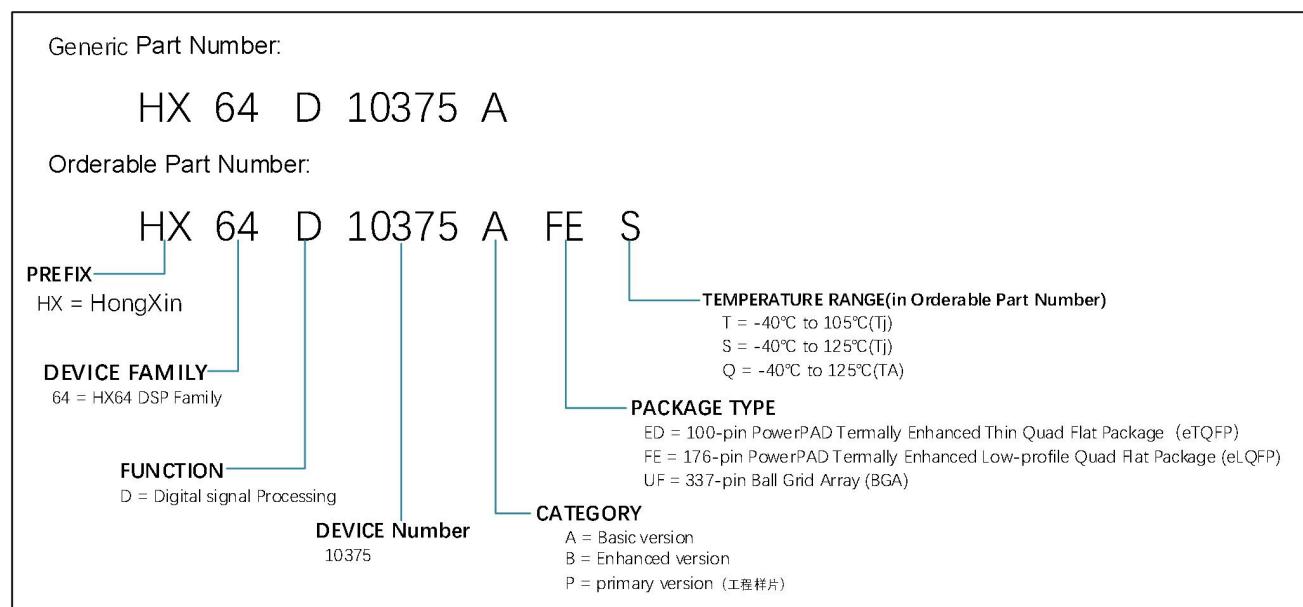


图 10-1 器件名称示例

#### 10.1.2. 器件标记

图 10-2 展示了 HX64D1037x 系列芯片上的标识示例并定义了每个标记。

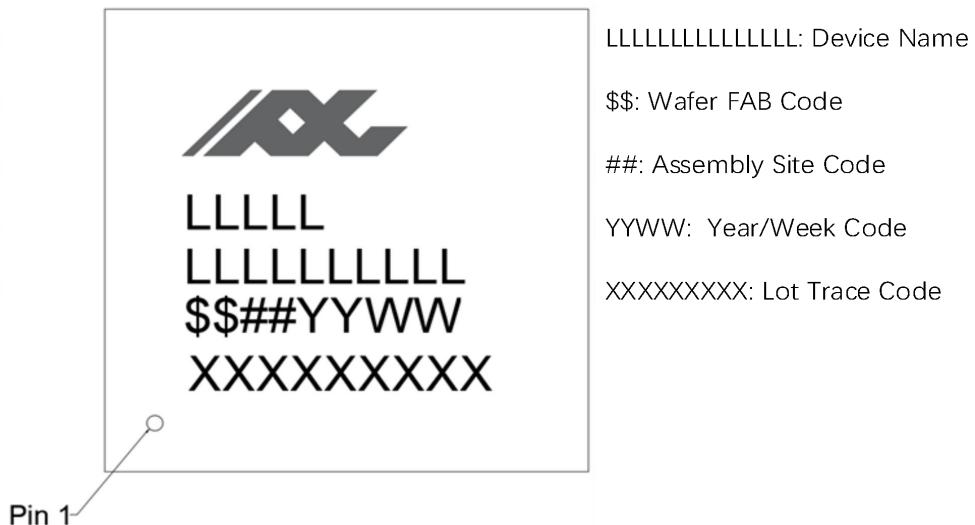
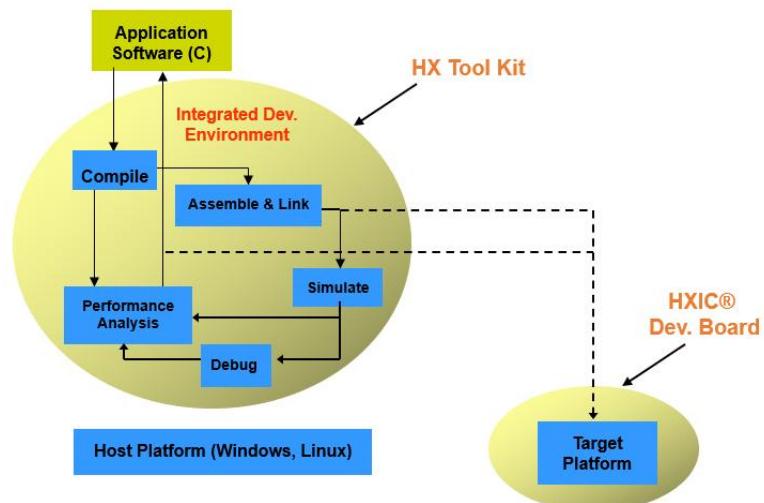


图 10-2 HX64D1037x 系列芯片标识示例

## 10.2. 开发支持（软硬件开发工具）

为提高客户在采用洪芯 DSP 芯片时的应用系统开发效率，洪芯提供全套的软件开发工具，该工具包括编译器，仿真器，丰富的软件库和 IDE 环境。



下面的软件硬件工具支持基于 HX64D1037x 的应用开发：

### 10.2.1. 软件开发工具

- ◆ **Compilation Tools**
  - Compiler
  - Assembler
  - Linker
  - Loader
- ◆ **Library**
  - C library
  - Standard C & Math
- Device drivers
- ◆ **Simulator**
  - Just-in-time
  - Models peripherals
  - Cycle-accurate C
  - Cycle-accurate VHDL
- ◆ **IDE**
  - eclipse based



- Integrated S/W debug
- ◆ **Parallel RTOS**
  - Hard real-time
  - Multithreaded - Multicore
  - Open/portable API (pthreads)
  - Filesystem
- ◆ **Test-Cases**
  - DSP applications
  - Commercial test-suites
  - Plum-Hall, Perennial, Nullstone,CosY
  - Nightly builds
- ◆ **H/W Debugger**
  - Breakpoint/profile
  - JTAG

### 10.2.2. 硬件开发工具

- HX64D1037x DSP
- 支持基于 JTAG 的仿真器
- 文档和仿真器连接线

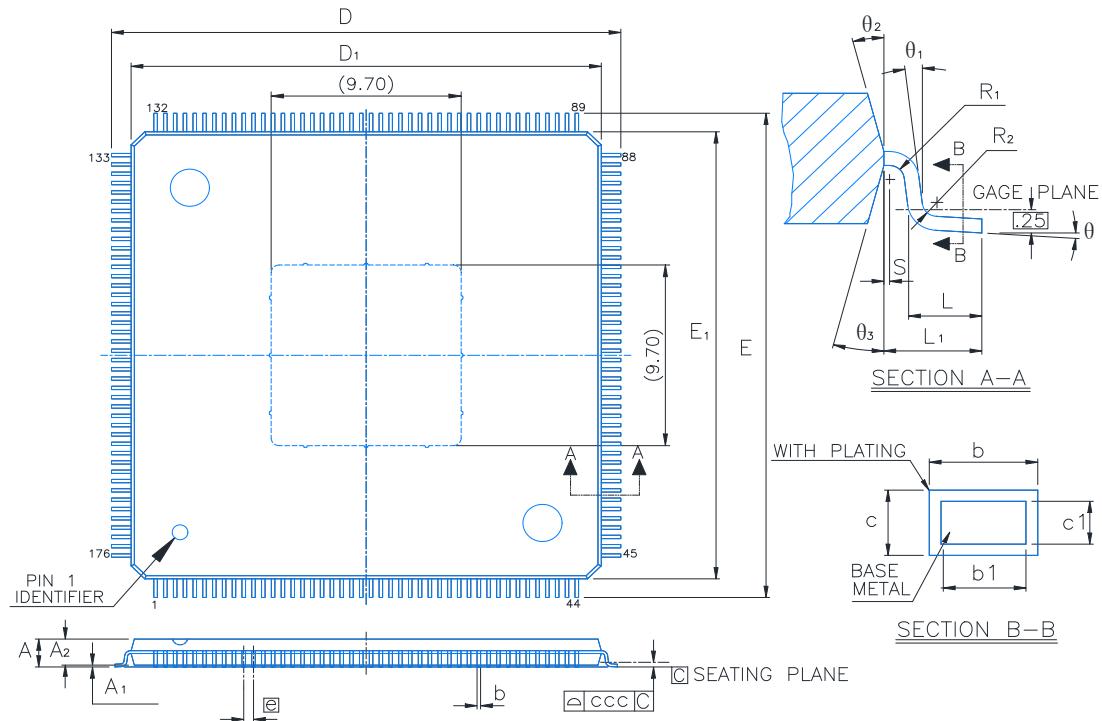


## 11. 机械、封装尺寸信息

### 11.1. 器件封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。

#### 11.1.1. HQLQFP176 封装尺寸





Symbol	Dimmension in mm			Dimmension in inch		
	Min	Nom	Max	Min	Nom	Max
A	-	-	1.60	-	-	0.063
A1	0.025	-	0.127	0.001	-	0.005
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.22	0.27	0.007	0.009	0.011
b1	0.17	0.20	0.23	0.007	0.008	0.009
c	0.09	0.14	0.20	0.004	0.006	0.008
c1	0.09	0.12	0.16	0.004	0.005	0.006
D	25.85	26.00	26.15	1.018	1.024	1.030
D1	23.90	24.00	24.10	0.941	0.945	0.949
E	25.85	26.00	26.15	1.018	1.024	1.030
E1	23.90	24.00	24.10	0.941	0.945	0.949
回	0.50 BSC			0.020 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	1.00 REF			0.039 REF		
R1	0.08	-	-	0.003	-	-
R2	0.08	-	0.20	0.003	-	0.008
S	0.20	-	-	0.008	-	-
θ	0°	3.5°	7°	0°	3.5°	7°
θ1	0°	-	-	0°	-	-
θ2	11°	12°	13°	11°	12°	13°
θ3	11°	12°	13°	11°	12°	13°
ccc	0.08			0.003		



### 11.1.2. PACKAGING INFORMATION

Orderable Device	Status <sup>(1)</sup>	Package Type	PackageDrawing	Pins	Package Qty	Eco Plan	Lead finish/ Ball Material	MSL Peak Temp <sup>(2)</sup>	Op Temp(°C)	Device Marking
HX64D10375BEDS	PRAN	eTQFP	ED	100	90	RoHS & Green	SNCU	Level-3-260C-168 HR	-40 to 125	HX64D 10375BEDS
HX64D10375AFES	ACTIVE	eLQFP	FE	176	40	RoHS & Green	SNCU	Level-3-260C-168 HR	-40 to 125	HX64D 10375AFES
HX64D10375BFES	ACTIVE	eLQFP	FE	176	40	RoHS & Green	SNCU	Level-3-260C-168 HR	-40 to 125	HX64D 10375BFES
HX64D10377BFES	PRAN	eLQFP	FE	176	40	RoHS & Green	SNCU	Level-3-260C-168 HR	-40 to 125	HX64D 10377BFES
HX64D10377BUFS	PRAN	BGA	UF	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	HX64D 10377BUFS
HX64D10378BFES	PRAN	eLQFP	FE	176	40	RoHS & Green	SNCU	Level-3-260C-168 HR	-40 to 125	HX64D 10378BFES
HX64D10379BFES	PRAN	eLQFP	FE	176	40	RoHS & Green	SNCU	Level-3-260C-168 HR	-40 to 125	HX64D 10379BFES
HX64D10379BUFS	PRAN	BGA	UF	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	HX64D 10379BUFS

(1) The marketing status values are defined as follows:

**ACTIVE:** 推荐用于新设计方案的器件。

**LIFEBUY:** 该器件已停产, 但目前仍可订购。

**NRND:** 不建议新设计方案使用该器件。器件仍有生产以提供现有客户, 但不推荐在新设计方案中使用。

**PREVIEW:** 器件已经发布, 但并未量产, 样品是否可用需咨询销售或者代理商。

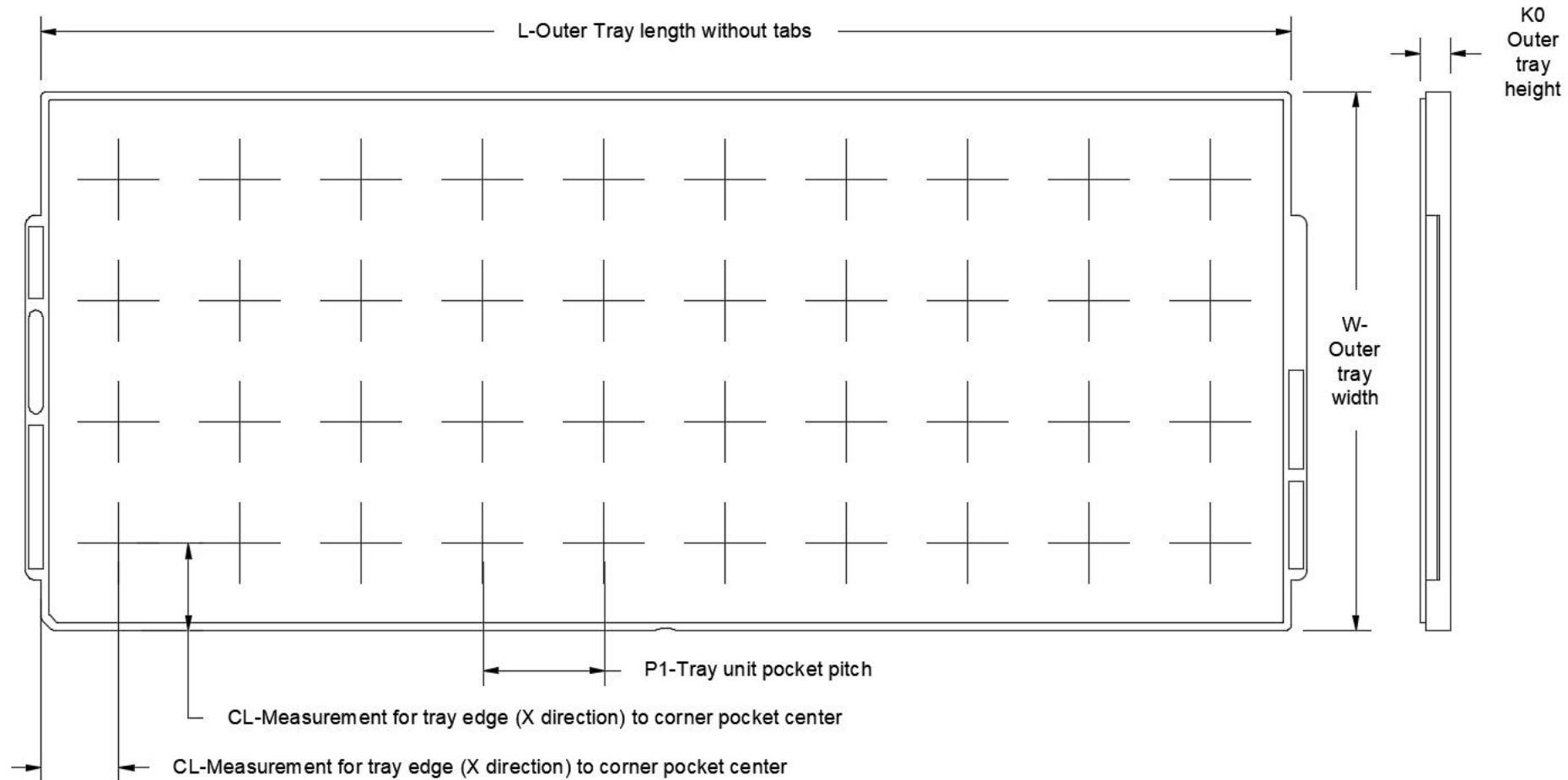
**OBsolete:** 该器件已停产。

**PRAN:** 即将发布的器件。



(2) MSL Peak Temp: 湿度敏感等级 (MSL) 和峰值焊接温度按照 JEDEC 行业标准分类。

### 11.1.3. PACKAGE MATERIALS INFORMATION





\*All dimensions are nominal

Device	Package Type	Pins	SPQ	Unit array matrix	Max temperature (° C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
HX64D10375BEDS	eTQFP	100	90	6x15	150	315	135.9	7620	20.3	15.4	15.45
HX64D10375AFES	eLQFP	176	40	4x10	150	315	135.9	7620	30.4	20.7	20.7
HX64D10375BFES	eLQFP	176	40	4x10	150	315	135.9	7620	30.4	20.7	20.7
HX64D10377BFES	eLQFP	176	40	4x10	150	315	135.9	7620	30.4	20.7	20.7
HX64D10377BUFS	BGA	337	90	6x15	150	315	135.9	7620	17.5	20	20
HX64D10378BFES	eLQFP	176	40	4x10	150	315	135.9	7620	30.4	20.7	20.7
HX64D10379BFES	eLQFP	176	40	4x10	150	315	135.9	7620	30.4	20.7	20.7
HX64D10379BUFS	BGA	337	90	6x15	150	315	135.9	7620	20	17.5	15.45