

2 路四选一模拟开关

概 述

74HC4052 是一块带有公共使能输入控制位的 2 路四选一模拟开关电路。每一个多路选择开关都有四个独立的输入/输出 (Y0 到 Y3)、一个公共的输入/输出端 (Z) 和选择输入端 (A)。公共使能输入控制位包括两个选择输入端 A0、A1 和一个低有效的使能输入端 \bar{E} 。

每一路都包含了四个双向模拟开关，开关的一边连接到独立输入/输出 (Y0 到 Y3)，另一边连接到公共输入/输出端 (Z)。

当 \bar{E} 为低电平时，四个开关中的其中一个被 A0 和 A1 选通 (低阻导通态)。当 \bar{E} 为高电平时，所有开关都处于高阻关断态，与 A0 和 A1 无关。

VDD 和 VSS 是连接到数字控制输入 (A0、A1 和 \bar{E}) 的电源电压。

(VDD - VSS) 的范围是 3 ~ 9V，模拟输入输出 (Y0 ~ Y3 和 Z) 能够在最高 VDD，最低 VEE 之间变化。(VDD - VEE) 不会超过 9V。

对于用做数字多路选择开关，VEE 和 VSS 是连在一起的 (通常接地)。

74HC4052 主要应用于模拟多路选择开关、数字多路选择开关及信号选通。

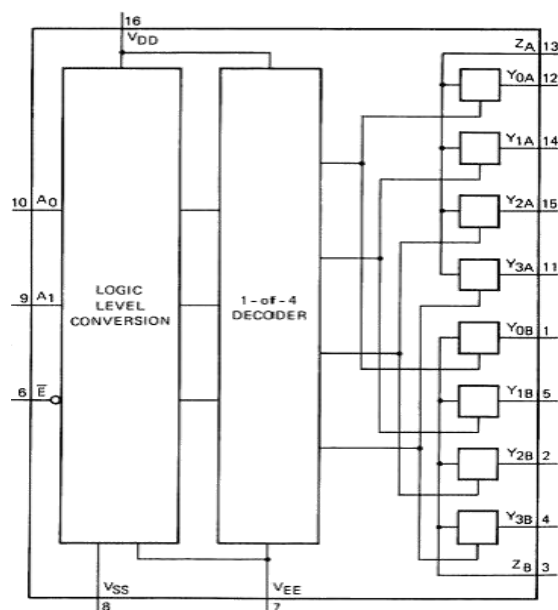
封装形式：DIP-16 / SOP-16 / TSSOP-16/QSOP-16/QFN-16



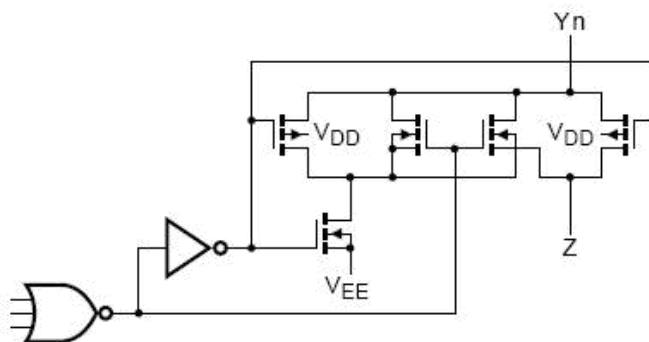
产品订购信息

产品名称	封装	打印名称	包装	包装数量
74HC4052N	DIP-16	74HC4052	管装	1000 只/盒
74HC4052M/TR	SOP-16	74HC4052	编带	2500 只/盘
74HC4052MT/TR	TSSOP-16	HC4052	编带	2500 只/盘
74HC4052MS/TR	QSOP-16	HC4052	编带	2500 只/盘
74HC4052LQ/TR	QFN-16 3*3	HC4052	编带	5000 只/盘

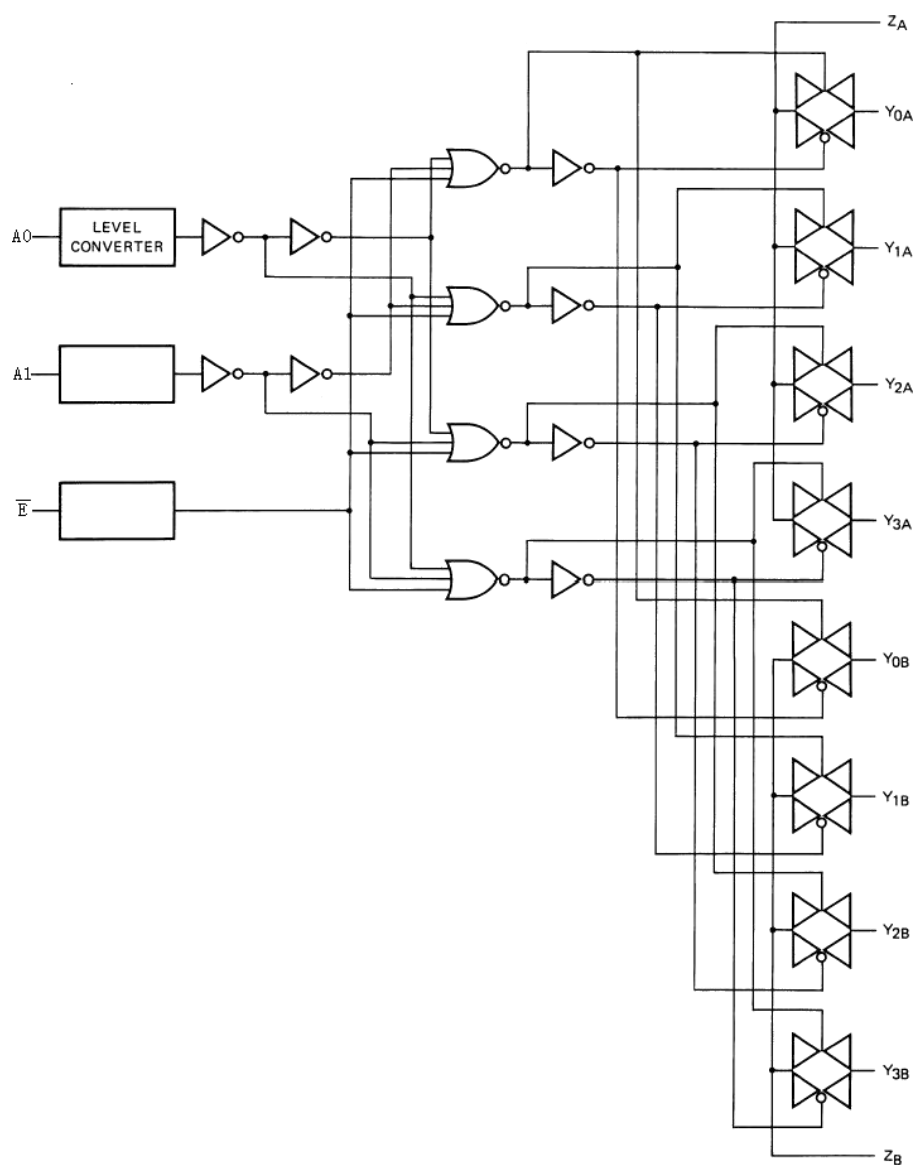
功能框



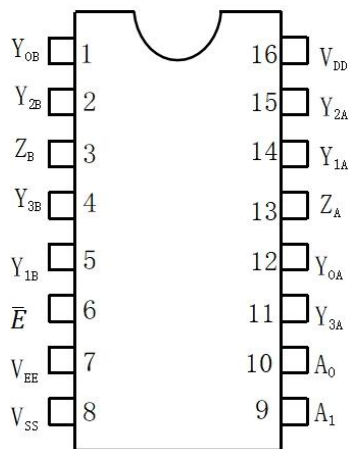
电路图（一个开关）



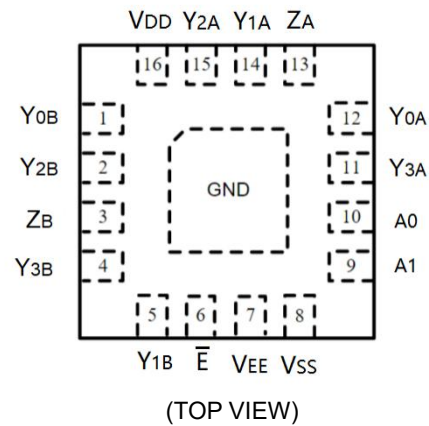
逻辑图



引脚排列图



DIP-16/SOP-16/TSSOP-16/QSOP-16



QFN-16 3*3

引脚说明

引脚	符 号	功 能	引脚	符 号	功 能
1	Y _{0B}	B 路独立输入/输出	9	A ₁	选择输入
2	Y _{2B}	B 路独立输入/输出	10	A ₀	选择输入
3	Z _B	A、B 路各自共用输入/输出	11	Y _{3A}	A 路独立输入/输出
4	Y _{3B}	B 路独立输入/输出	12	Y _{0A}	A 路独立输入/输出
5	Y _{1B}	B 路独立输入/输出	13	Z _A	A、B 路各自共用输入/输出
6	\bar{E}	使能输入（低电平有效）	14	Y _{1A}	A 路独立输入/输出
7	V _{EE}	负电源电压	15	Y _{2A}	A 路独立输入/输出
8	V _{SS}	接地	16	V _{DD}	正电源电压

功能说明（真值表、逻辑关系等）

输入			沟道导通
\bar{E}	A ₁	A ₀	
L	L	L	Y _{0A} -Z _A ; Y _{0B} -Z _B
L	L	H	Y _{1A} -Z _A ; Y _{1B} -Z _B
L	H	L	Y _{2A} -Z _A ; Y _{2B} -Z _B
L	H	H	Y _{3A} -Z _A ; Y _{3B} -Z _B
H	x	x	无

注：1. H 是高电平状态（较高的正电压）

2. L 是低电平状态（较低的正电压）

3. "x" 是任意状态

极限参数

符号	参数	条件	最小	最大	单位
V_{DD}	电源电压范围		-0.5	+12	V
$V_{DD} - V_{EE}$	电源电压范围		-0.5	+12	V
I_Q	静态电流	$V_{DD} - V_{EE} = 12V$		2	μA
V_I	输入电压范围		-0.5	$V_{DD} + 0.5$	V
$ I_{IH} $	高电平输入电流	$V_{DD} = 5V, V_I = V_{DD}$		1	μA
$ I_{IL} $	低电平输入电流	$V_{DD} = 5V, V_I = 0V$		1	μA
V_{IO}	输入输出电压范围		$V_{EE} - 0.5$	$V_{DD} + 0.5$	V
I_{IK}	输入钳位电流	$V_I < -0.5V$ 或 $V_I > V_{DD} + 0.5V$	-	± 20	mA
I_{IOK}	输入输出钳位电流	$V_{IO} < V_{EE} - 0.5V$ 或 $V_{IO} > V_{DD} + 0.5V$	-	± 20	mA
I_T	开关导通电流	$V_O = -0.5V \sim V_{DD} + 0.5V$	-	± 25	mA
I_{DD}, I_{GND}	V_{DD} 或 GND 电流		-	± 50	mA
P_D	功耗			500	mW
T_{STG}	贮存温度		-65	+150	$^{\circ}C$
T_{OP}	工作温度		-40	+85	$^{\circ}C$
T_L	焊接温度	10 秒	-	260	$^{\circ}C$

注：极限参数是指无论在任何条件下都不能超过的极限值。万一超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

推荐使用条件

符号	参数	条件	最小	典型	最大	单位
V_{DD}	电源电压		3.0	5.0	9.0	V
V_{EE}	电源电压		-6.0		0	V
$V_{DD} - V_{EE}$	电源电压		3.0		9.0	V
V_I	输入电压		0	-	V_{DD}	V
V_{IO}	输入输出电压		V_{EE}	-	V_{DD}	V
t_r, t_f	输入上升、下降时间	$V_{CC} = 3.0V$	-	-	1000	ns
		$V_{CC} = 5.0V$	-	-	500	ns
		$V_{CC} = 6.0V$	-	-	400	ns
T_{OP}	工作温度		-40	-	+85	$^{\circ}C$

直流特性

参数	$V_{DD} - V_{EE}$ (V)	符号	典型	最大	单位	条件
导通电阻	5 9	R_{ON}	350 80	2500 245	Ω	$V_{is}=0 \sim V_{DD} - V_{EE}$ 见图 1
导通电阻	5 9	R_{ON}	115 50	340 160	Ω	$V_{is}=0$ 见图 1
导通电阻	5 9	R_{ON}	120 65	365 200	Ω	$V_{is}=V_{DD} - V_{EE}$ 见图 1
任意两个通道导通电阻的差值	5 9	ΔR_{ON}	25 10	— —	Ω	$V_{is}=0 \sim V_{DD} - V_{EE}$ 见图 1
关断态漏电流 (所有通道关断)	5 9	I_{OZZ}	— —	— 1000	nA	\bar{E} 处于 V_{DD}
关断态漏电流 (任一通道)	5 9	I_{OZY}	— —	— 200	nA	\bar{E} 处于 V_{EE}

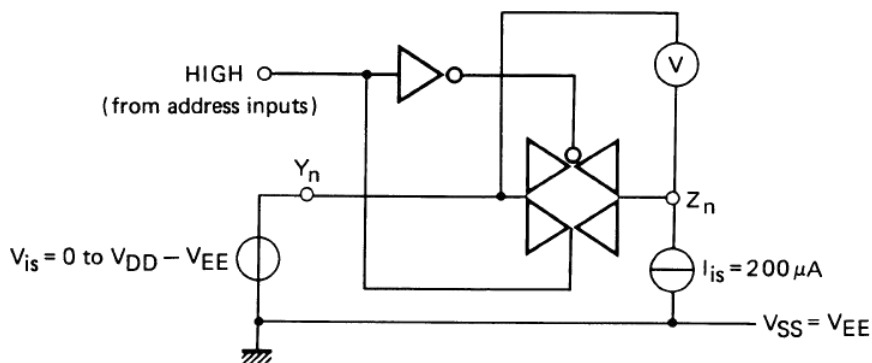


图 1 导通电阻的测试

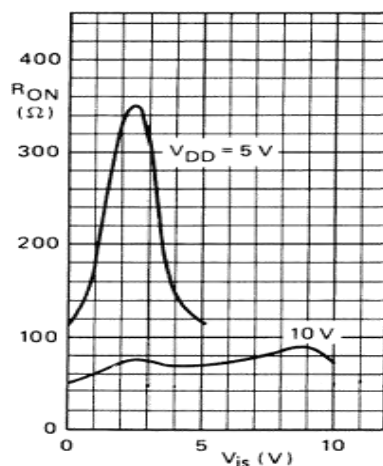


图 2 导通电阻是输入电压的函数 ($I_{is}=200\mu A$ $V_{SS}=V_{EE}=0V$)

交流特性 (V_{SS}=V_{EE}=0V; T_{amb}=25℃; 输入跃变时间≤20ns)

	V _{DD} (V)	功率计算公式 (μW)	f _i 是输入频率(MHz) f _o 是输出频率(MHz) C _L 是负载电容(pF) Σ(f _o C _L)是输出之和 V _{DD} 是电源电压(V)
一块电路的动态 功率耗散 (P)	5 9	1300f _i +Σ(f _o C _L)×V _{DD} ² 6100f _i +Σ(f _o C _L)×V _{DD} ²	

参数		V _{DD} (V)	符号	典型	最大	单 位	备注
传输延时 Vis → Vos	高到低	5 9	t _{PHL}	10 5	20 10	ns	注释 1
	低到高	5 9	t _{PLH}	10 5	20 10	ns	注释 1
传输延时 An → Vos	高到低	5 9	t _{PHL}	150 65	305 135	ns	注释 2
	低到高	5 9	t _{PLH}	150 75	300 150	ns	注释 2
输出 禁止 时间 E →Vos	高	5 9	t _{PHZ}	95 90	190 180	ns	注释 3
	低	5 9	t _{PLZ}	100 90	205 180	ns	注释 3
输出 使能 时间 E →Vos	高	5 9	t _{PZH}	130 55	260 115	ns	注释 3
	低	5 9	t _{PZL}	120 50	240 100	ns	注释 3
失真 (正弦波响应)		5 9		0.25 0.04		%	注释 4
任意两个通道 之间的干扰		5 9		— 1		MHz	注释 5
串扰, 使能端或 选择端到输出		5 9		— 50		mV	注释 6
关断态		5 9		— 1		MHz	注释 7
导通态频率响应		5 9		13 40		MHz	注释 8

注释: Vis 是 Y 或 Z 端的输入电压, Vos 是 Y 或 Z 端的输出电压

1. R_L=10KΩ到 V_{EE}; C_L=50pF 到 V_{EE}; E = V_{SS}; Vis=V_{DD} (方波); 如图 3 所示

2. R_L=10KΩ; C_L=50pF 到 V_{EE}; E = V_{SS}; An=V_{DD} (方波); 测量 t_{PLH} 时 Vis=V_{DD}, R_L 到 V_{EE}; 测量 t_{PHL} 时 Vis=V_{EE}, R_L 到 V_{DD}, 如图 3 所示

3. R_L=10KΩ; C_L=50pF 到 V_{EE}; E = V_{DD} (方波); 测量 t_{PHZ} 和 t_{PZH} 时, Vis=V_{DD}, R_L 到 V_{EE}; 测量 t_{PLZ} 和 t_{PZL} 时, Vis=V_{EE}, R_L 到 V_{DD}; 如图 3 所示

4. R_L=10KΩ; C_L=15pF; 通道开通; Vis=V_{DD} (P-P) /2(正弦波, 在 V_{DD}/2 处对称), fis=1KHz; 如图 4 所示

5. R_L=1KΩ; Vis=V_{DD} (P-P) /2(正弦波, 在 V_{DD}/2 处对称); 20lg(Vos/Vis)=-50dB; 如图 5 所示

6. R_L=10KΩ到 V_{EE}; C_L=15pF 到 V_{EE}; E 或 An=V_{DD} (方波); 干扰是|Vos|(峰值); 如图 3 所示

7. R_L=1KΩ; C_L=5pF; 通道关断; Vis=V_{DD} (P-P) /2(正弦波, 在 V_{DD}/2 处对称); 20lg(Vos/Vis)=-50dB; 如图 4 所示

8. R_L=1KΩ; C_L=5pF; 通道开; Vis=V_{DD} (P-P) /2(正弦波, 在 V_{DD}/2 处对称); 20lg(Vos/Vis)=-3dB; 如图 4 所示

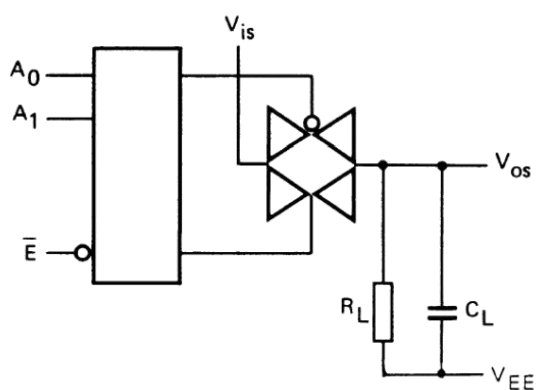


图 3

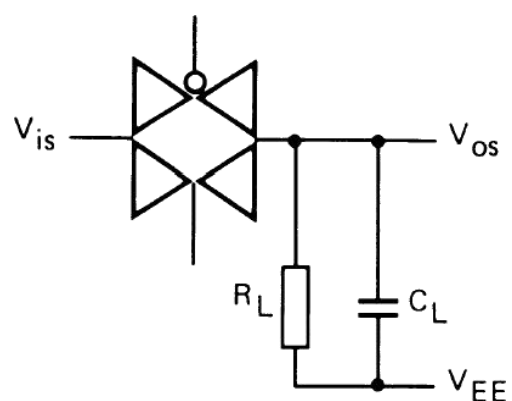
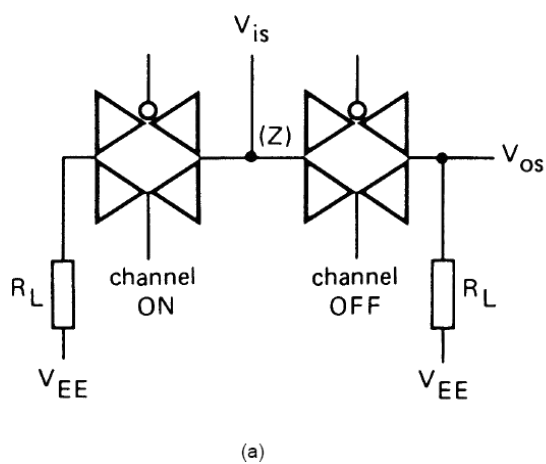
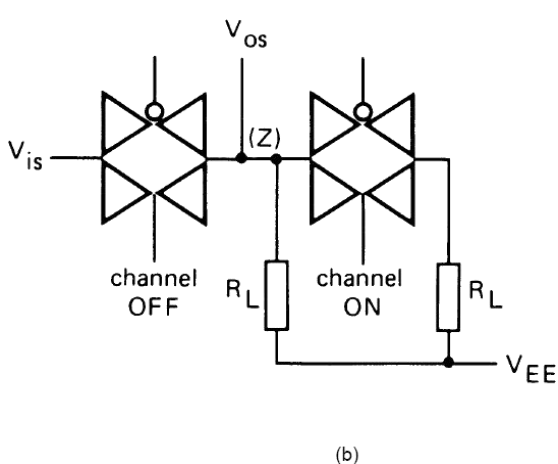


图 4



(a)

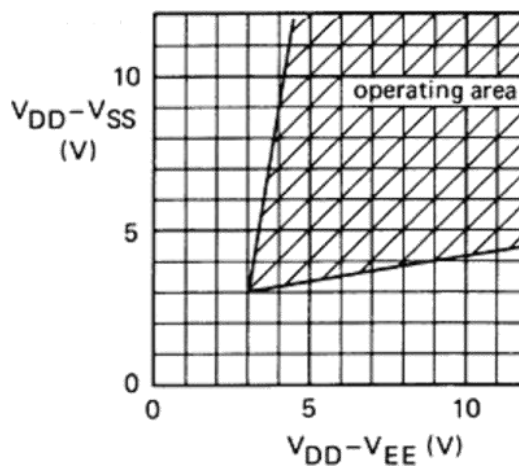


(b)

图 5

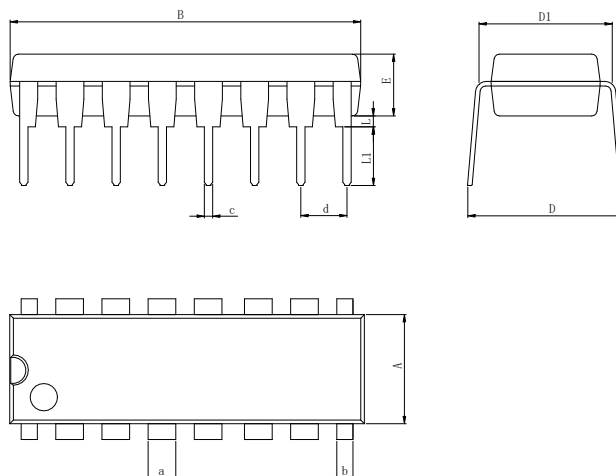
应用说明

电路工作区域



封装外形尺寸

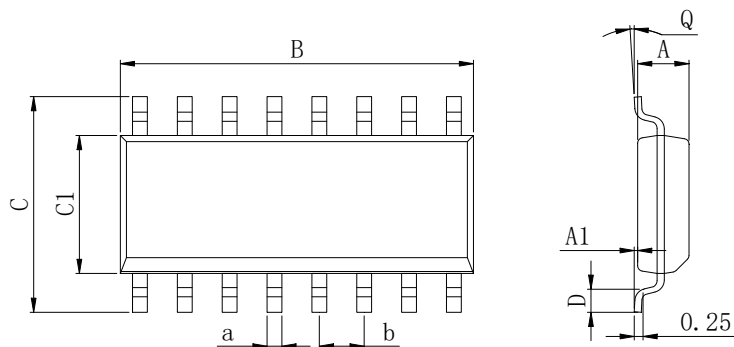
DIP-16



Dimensions In Millimeters(DIP-16)

Symbol:	A	B	D	D1	E	L	L1	a	b	c	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

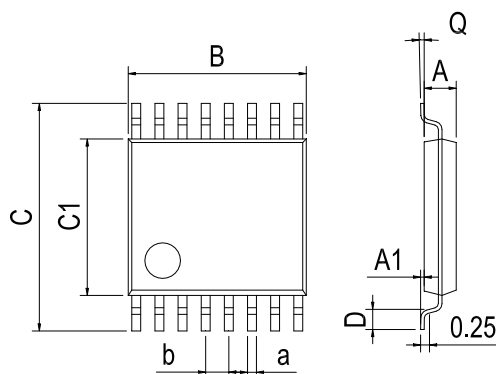
SOP-16



Dimensions In Millimeters(SOP-16)

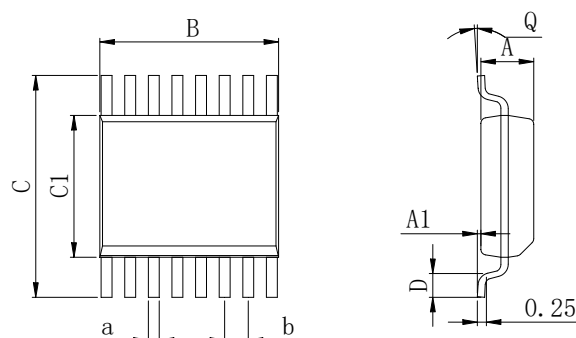
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	0.40	0°	0.35	1.27 BSC
Max:	1.55	0.20	10.0	6.20	4.00	0.80	8°	0.45	

TSSOP-16



Dimensions In Millimeters(TSSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

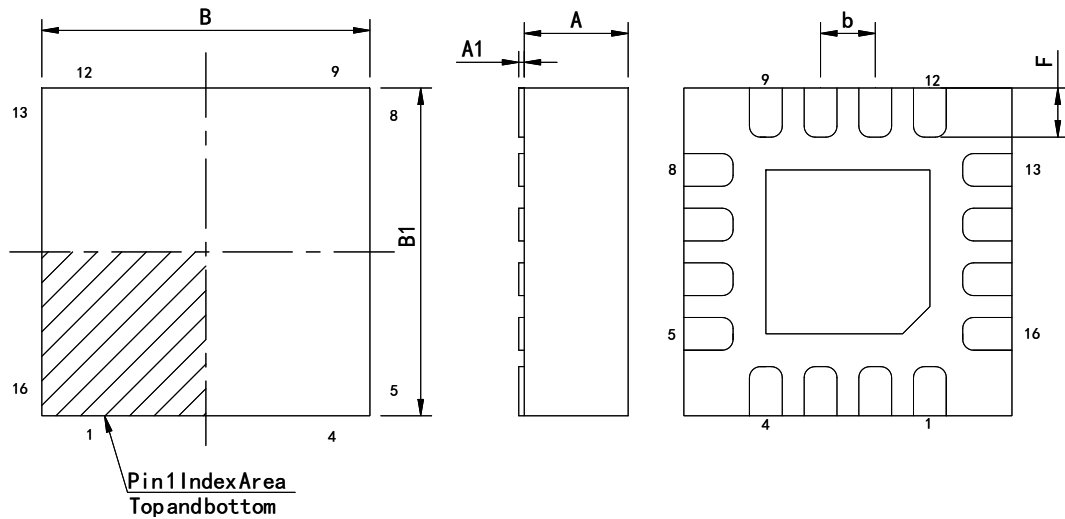
QSOP-16



Dimensions In Millimeters(QSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	4.90	5.80	3.80	0.40	0°	0.20	0.65 BSC
Max:	1.55	0.20	5.10	6.20	4.00	0.80	8°	0.25	

封装外型尺寸

QFN-16 3*3



Dimensions In Millimeters(QFN-16 3*3)								
Symbol:	A	A1	B	B1	E	F	a	b
Min:	0.85	0	2.90	2.90	0.15	0.25	0.18	0.50TYP
Max:	0.95	0.05	3.10	3.10	0.25	0.45	0.30	

修订历史

日期	修改内容	页码
2018-6-14	新修订	1-12
2023-12-13	修改封装尺寸图 TSSOP-16、更新封装、更新 DIP-16 尺寸、新增 QFN-16 3*3 封装、更新 SSOP-16 封装为 QSOP-16	1、9、10
2024-11-7	更新引脚焊接温度	5

重要声明:

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。