

特点

- 2 端口 EtherCAT 从站控制器
- 内部集成 2 个以太网 PHY 芯片
- I/O 电压 3.3V
- 内部集成 1.2V 稳压器
- 8/16 bit 异步并口
- SPI/QSPI 接口
- 16 个 Digital I/O
- 16 个 GPIO
- LGA-64 封装

功能特性

- 集成式高性能 100 Mbps 以太网收发器
 - 符合 IEEE 802.3/802.3u 标准
 - 自动极性检测与校正
 - 自动线序自适应(Auto-MDIX)
- EtherCAT 从站控制器
 - 3 个现场总线内存管理单元(FMMU)
 - 4 个同步管理器(SM)
 - 64-bit 分布式时钟(DC)
 - 8K Bytes SRAM
- 8/16 bit 异步并口模式
 - 索引寄存器访问模式(Index)
 - 地址数据复用访问模式(Multiplex)
- SPI 接口模式
 - 支持 SPI Mode0/Mode3
 - 最高 42MHz
 - 支持 SPI/DPI/QPI
 - 支持 16 个 GPIO
- Digital IO 模式
 - 支持 16 个 Digital I/O
 - EEPROM 配置 Digital IO 方向
 - EEPROM 配置输出/输入触发事件
 - 支持 Push-Pull 和 Open-Drain

应用场景

- 电机运动控制
- 过程/工厂自动化
- 通信模块
- 传感器接口卡
- 液压与气动阀门系统



订购信息

外形	产品型号	封装	字印	包装	数量
	ISN8221-GMIT	LGA-64pin	ISN8221 /YYWW (二维码)	盘装	260

1. 概述

ISN8221 是一款带有双集成以太网 PHY 的 2 端口 EtherCAT 从站控制器, 每个 PHY 包含一个全双工 100BASE-TX 收发器, 并支持 100Mbps 的通信速率。ISN8221 包括一个 8K Byte 双端口 RAM、4 个同步管理器 (SM) 和 3 个现场总线内存管理单元 (FMMU) 。

现场总线内存管理单元 (FMMU) 实现了逻辑地址到物理地址的映射功能, 从而 EtherCAT 主站可以通过逻辑地址访问不同 EtherCAT 从站的寄存器和过程数据。

同步管理器 (SM) 实现了 EtherCAT 主站和从站之间的数据交换功能, 并由 EtherCAT 主站控制数据交换的方向和操作模式。同步管理器 (SM) 支持的操作模式包括: 缓冲 (Buffered) 模式和邮箱 (Mailbox) 模式。

- **缓冲 (Buffered) 模式**

在缓冲 (Buffered) 模式下, 本地微控制器 (MCU) 和 EtherCAT 主站可以直接访问缓冲区的数据, 主要用于周期性过程数据的交换。

- **邮箱 (Mailbox) 模式**

在邮箱 (Mailbox) 模式下, 本地微控制器 (MCU) 和 EtherCAT 主站需要通过握手机制来访问缓冲区的数据, 确保不会丢失数据。

ISN8221 包含一个 64 位分布式时钟, 以实现高精度时间同步, 并为定时采集本地数据提供准确的计时信息。

ISN8221 实现了 8/16 bit 主机总线接口(HBI) 和 SPI 接口。本地微控制器 (MCU) 无法直接访问 EtherCAT 从站寄存器, 需通过以上控制接口操作 ISN8221 的系统控制寄存器和两个过程数据 FIFO 来间接访问 EtherCAT 从站寄存器。

主机总线接口(HBI) 支持以下模式:

- 索引寄存器访问模式(HBI Index): 该模式实现了 3 组索引/数据寄存器, 微控制器 (MCU) 需要先往索引寄存器写入目标寄存器的地址, 然后通过读写相应的数据寄存器来访问目标寄存器。

- 地址数据复用访问模式(HBI Multiplexed): 该模式支持接口的地址与数据复用, 微控制器 (MCU) 可直接访问目标寄存器。

SPI 接口支持一次性读写单个或多个寄存器。当一次性读写多个寄存器时, 寄存器的地址可配置为递增、递减或固定模式, 当寄存器的地址处于固定模式时, 将多次读写同一个寄存器。SPI 接口支持单线、双线和四线通信, 通信时钟频率高达 42 MHz。

图 1-1 详细说明了一个典型系统应用, 而图 1-2 提供了 ISN8221 的内部框图。

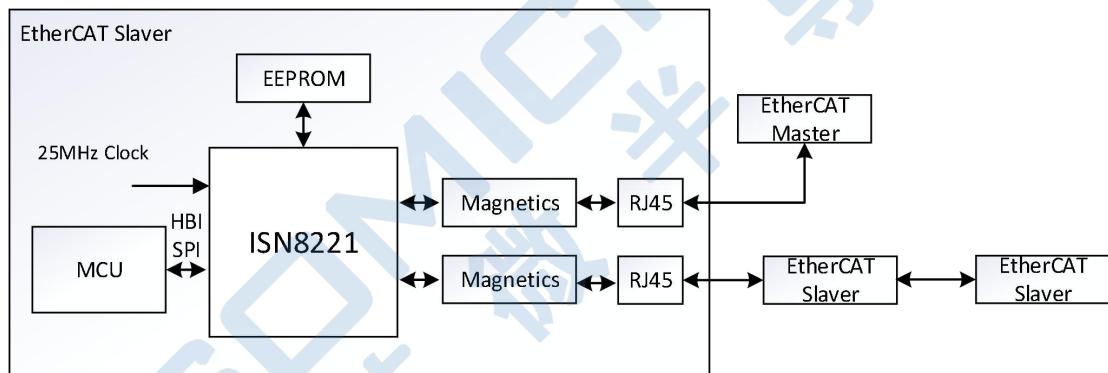


图 1-1 系统模块框图

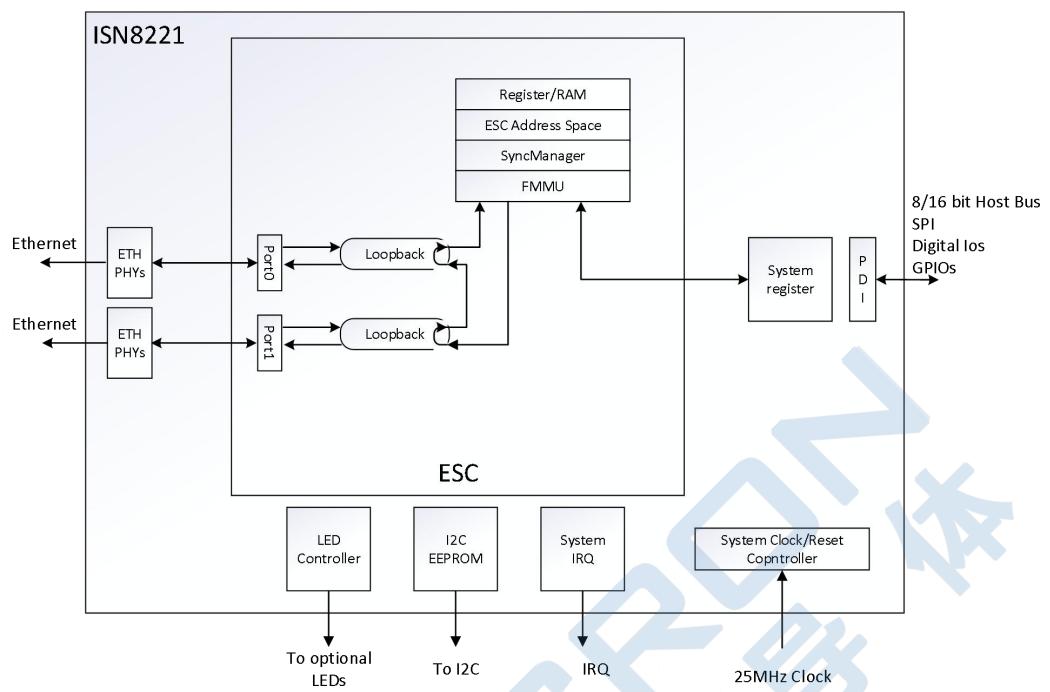


图 1-2 内部模块框图

ISN8221 包含 3 种工作模式：8/16 bit 主机总线接口(HBI)模式、SPI+GPIO 模式、Digital I/O 模式，其中 Digital I/O 模式无需额外的微控制器(MCU)，如图 1-3：

- 8/16 bit 主机总线接口(HBI)模式：该模式下，微控制器可通过 8/16 bit 主机总线接口(HBI) 访问 ISN8221 内部寄存器，该模式提供了并行的数据访问模式，提高了数据访问效率。
- SPI+GPIO 模式：该模式下，微控制器可通过单线/双线/四线 SPI 接口访问 ISN8221 内部寄存器，该模式适用于没有并行接口的微控制器(MCU)，节省了微控制器 MCU 的接口。
- Digital I/O 模式：该模式下，无需额外的微控制器(MCU)，可实现成简单的数字 I/O 模块，模块可包含 16 个 Digital IO，每个 Digital IO 都可以单独配置成输入/输出模式下运行；16 个 Digital IO 可由 EtherCAT 主站控制；ISN8221 还提供了 6 个 Digital IO 的控制信号。

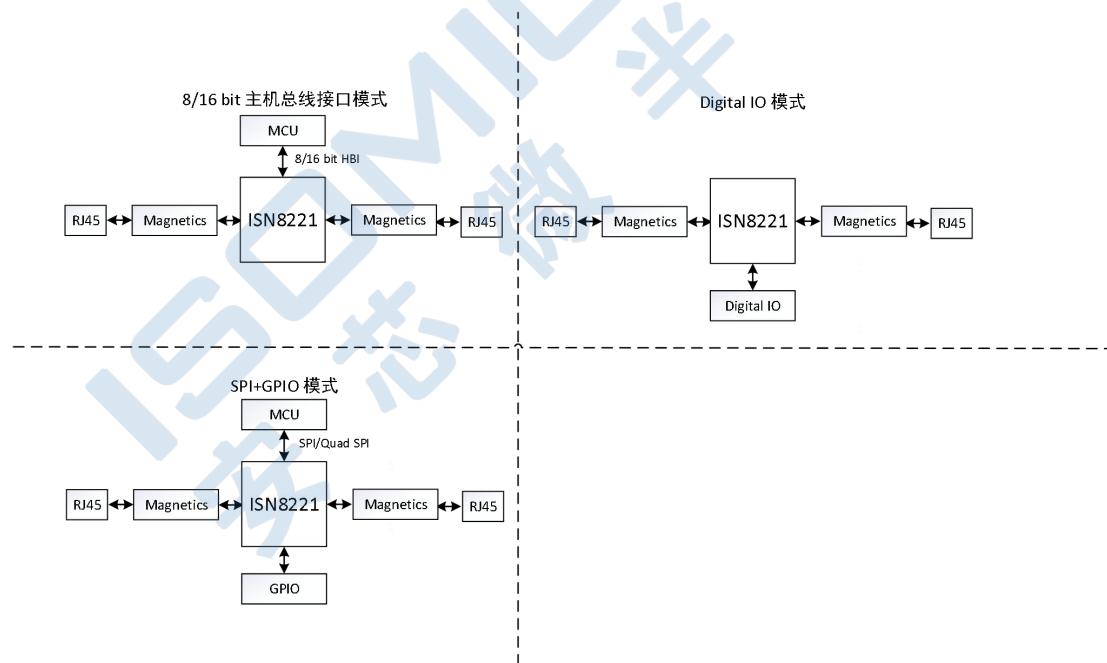


图 1-3 ISN8221 操作模式

2 管脚描述

2.1 LGA-64 封装管脚

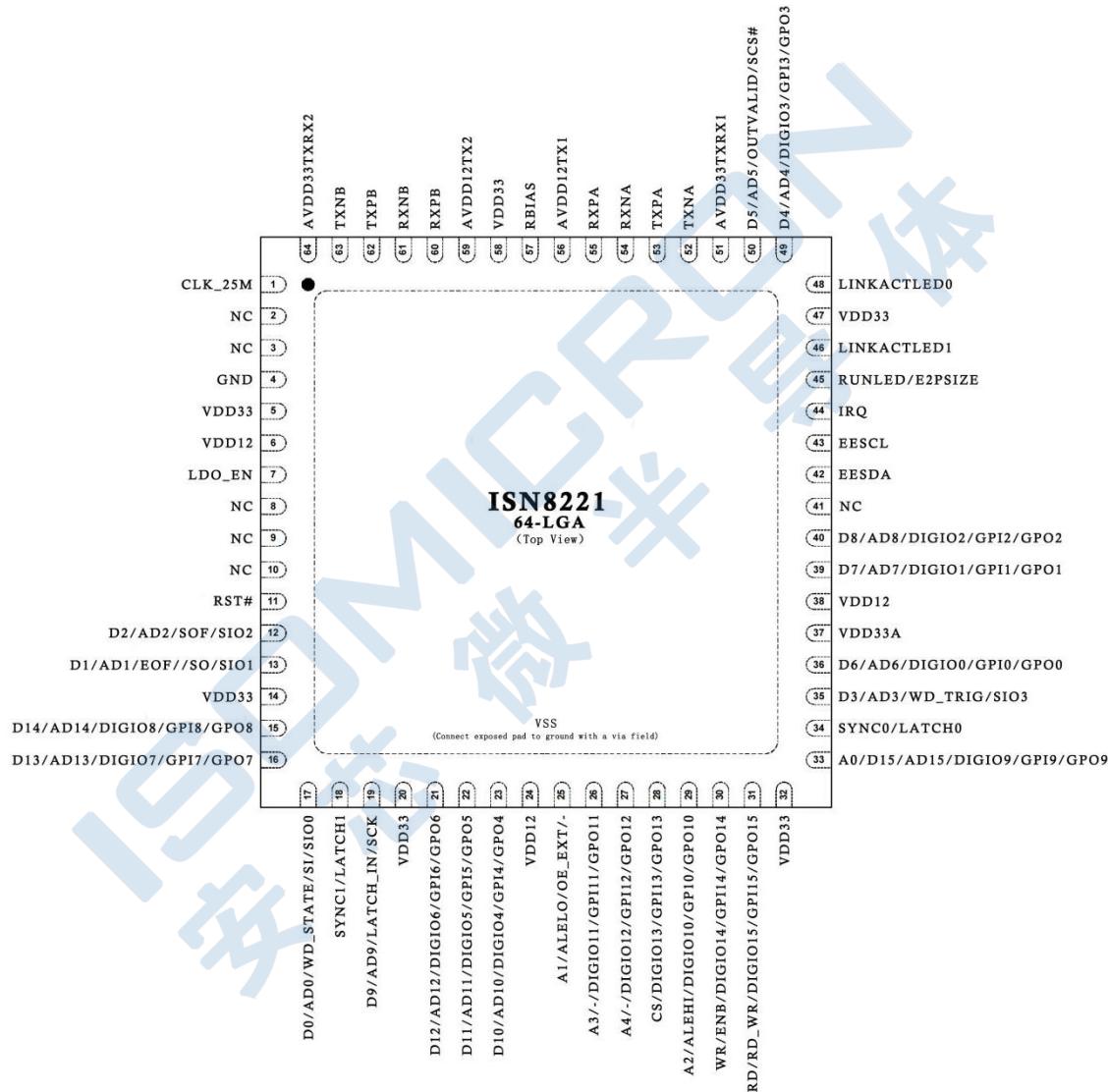


图 2-1 ISN8221 LGA-64 封装管脚

表 2-1 以表格形式详细列出了 ISN8221 64-LGA 封装的管脚分配。某些管脚的功能可能会根据芯片的运行模式而改变。对于某个特定管脚在某些模式下无功能的情况，表格单元格将标记为 “-”。

表 2-1 ISN8221 管脚分配

管脚号	寄存器索引	地址数据复用	Digital IO	SPI
1		CLK_25M		
2			-	
3			-	
4		GND		
5		VDD33		
6		VDD12		
7		LDO_EN		
8			-	
9			-	
10			-	
11		RST#		
12	D2	AD2	SOF	SIO2
13	D1	AD1	EOF	SO/SIO1
14		VDD33		
15	D14	AD14	DGPIO8	GPI8/GPO8
16	D13	AD13	DGPIO7	GPI7/GPO7
17	D0	AD0	WD_STATE	SI/SIO0
18			-	
19	D9	AD9	LATCH_IN	SCK
20		VDD33		
21	D12	AD12	DGPIO6	GPI6/GPO6
22	D11	AD11	DGPIO5	GPI5/GPO5
23	D10	AD10	DGPIO4	GPI4/GPO4
24		VDD12		
25	A1	ALELO	OE_EXT	-

26	A3	-	DIGIO11	GPI11/GPO11
27	A4	-	DIGIO12	GPI12/GPO12
28	CS		DIGIO13	GPI13/GPO13
29	A2	ALEHI	DIGIO10	GPI10/GPO10
30	WR/ENB		DIGIO14	GPI14/GPO14
31	RD/RD_WR		DIGIO15	GPI15/GPO15
32	VDD33			
33	A0/D15	AD15	DIGIO9	GPI9/GPO9
34	SYNC0			
35	D3	AD3	WD_TRIG	SIO3
36	D6	AD6	DIGIO0	GPI0/GPO0
37	VDD33A			
38	VDD12			
39	D7	AD7	DIGIO1	GPI1/GPO1
40	D8	AD8	DIGIO2	GPI2/GPO2
41	-			
42	EESDA			
43	EESCL			
44	IRQ			
45	RUNLED/E2PSIZE			
46	LINKACTLED1			
47	VDD33			
48	LINKACTLED0			
49	D4	AD4	DIGIO3	GPI3/GPO3
50	D5	AD5	OUTVALID	SCS#
51	AVDD33TXRX1			
52	TXNA			
53	TXPA			
54	RXNA			

55	RXPA
56	AVDD12TX1
57	RBIAS
58	VDD33
59	AVDD12TX2
60	RXPB
61	RXNB
62	TXPB
63	TXNB
64	AVDD33TXRX2
Exposed PAD	GND

2.2 管脚描述

本节包含对 ISN8221 各个管脚的描述。管脚描述已按功能组分类，如下所示：

- 网口 Port 0 管脚描述
- 网口 Port 1 管脚描述
- 网口 Port 0 和 Port 1 电源及公共管脚描述
- 主机总线接口(HBI)管脚描述
- SPI 管脚描述
- EtherCAT 分布式时钟管脚描述
- EtherCAT Digital I/O 和 GPIO 管脚描述
- EEPROM 管脚描述
- LED 和配置管脚描述
- 通用管脚描述
- 核心和 I/O 电源管脚描述

表 2.2 网口 Port 0 管脚描述

管脚数	管脚名	IO 类型	描述
1	TXPA	AIO	网口 Port 0 双绞线发送/接收差分对 通道 1 正极
1	TXNA	AIO	网口 Port 0 双绞线发送/接收差分对 通道 1 负极
1	RXPA	AIO	网口 Port 0 双绞线发送/接收差分对 通道 2 正极
1	RXNA	AIO	网口 Port 0 双绞线发送/接收差分对 通道 2 负极

表 2.3 网口 Port 1 管脚描述

管脚数	管脚名	IO 类型	描述
1	TXPB	AIO	网口 Port 1 双绞线发送/接收差分对 通道 1 正极
1	TXNB	AIO	网口 Port 1 双绞线发送/接收差分对 通道 1 负极
1	RXPB	AIO	网口 Port 1 双绞线发送/接收差分对 通道 2 正极
1	RXNB	AIO	网口 Port 1 双绞线发送/接收差分对 通道 2 负极

表 2.4 网口 Port 0 和 Port 1 电源及公共管脚描述

管脚数	管脚名	IO 类型	描述
1	RBIAS	AI	用于内部偏置电路。外部连接 $6.19\text{ k}\Omega\pm1\%$ 的电阻到地
1	AVDD33TXRX1	P	详细细节参考 第3章 电源连接
1	AVDD33TXRX2	P	详细细节参考 第3章 电源连接
1	AVDD12TX1	P	此管脚由外部 1.2V 电源或通过 PCB 从芯片的内部稳压器供电。 详细细节参考 第3章 电源连接
1	AVDD12TX2	P	此管脚由外部 1.2V 电源或通过 PCB 从芯片的内部稳压器供电。 详细细节参考 第3章 电源连接

表 2.5 主机总线接口(HBI)管脚描述

管脚数	管脚名	IO 类型	描述
1	RD	DI	该管脚是主机总线读取选通，通常为低电平有效；极性可以通过 EtherCAT 从站寄存器 PDI Configuration Register(HBI Modes) 的 HBI Read, Read/Write Polarity 位改变
	RD_WR	DI	该管脚为主机总线方向控制管脚。与 ENB 管脚配合使用时，可指示读或写操作。常规极性为：1 时表示读取，0 时表示写入 (R/nW)；极性可以通过 PDI Configuration Register(HBI Modes) 的 HBI Read, Read/Write Polarity 位改变
1	WR	DI	该管脚为主机总线写入选通。通常为低电平有效；极性可以通过 EtherCAT 从站寄存器 PDI Configuration Register(HBI Modes) 的 HBI Write, Enable Polarity 位改变
	ENB	DI	该管脚是主机总线数据使能选通。与 RD_WR 管脚配合使用时，它表示操作的数据阶段。通常为低电平有效 极性可以通过 EtherCAT 从站寄存器 PDI Configuration Register(HBI Modes) 的 HBI Write, Enable Polarity 位改变
1	CS	DI	该管脚是主机总线片选信号，表示芯片已被选中进行当前的数据传输，通常为低电平有效。极性可以通过 EtherCAT 从站寄存器 PDI Configuration Register(HBI Modes) 的 HBI Chip Select Polarity 位改变
5	A[4:0]	DI	这些管脚在索引寄存器模式下提供地址信号。在 16 位数据模式下，Bit 0 不被使用。
16	D[15:0]	DIO	这些管脚是在索引寄存器模式下的主机总线接口的数据信号。

			在 8 位数据模式下, 不使用 Bit 15-8
	AD[15:0]	DIO	这些管脚是用于地址数据复用模式的主机总线接口的地址/数据信号。在单相地址复用模式下, 位 15-8 提供地址的高字节。位 7-0 提供地址的低字节; 在双相地址复用模式下 位 7-0 提供地址的高字节和低字节; 在 8 位数据双相地址复用模式下, 不使用 Bit 15-8
1	ALEHI	DI	该管脚用于地址数据复用模式下的地址锁存。在双相复用地址模式中, 它用于加载高地址字节。通常为低电平有效 (地址在上升沿保存) 极性可以通过 EtherCAT 从站寄存器 PDI Configuration Register(HBI Modes) 的 HBI ALE Polarity 位改变
1	ALELO	DI	该管脚用于地址数据复用模式下的地址锁存。在单阶段复用地址模式下, 它用于加载两个地址字节; 在双阶段复用地址模式下, 它用于加载低地址字节。 通常为低电平有效 (地址在上升沿保存), 极性可以通过 EtherCAT 从站寄存器 PDI Configuration Register(HBI Modes) 的 HBI ALE Polarity 位改变

表 2.6 SPI 管脚描述

管脚数	管脚名	IO 类型	描述
1	SCS	DI(PU)	SPI 片选输入。当为低电平时，选择 SPI 进行 SPI 传输。当为高电平时，SPI 串行数据输出为三态。
1	SCK	DI(PU)	SPI 串行时钟输入
4	SIO[3:0]	DIO(PU)	多比特 I/O 的 SPI 数据输入和输出。
	SI	DI(PU)	SPI 串行数据输入，与 SIO[0] 管脚复用
	SO	DO(PU)	SPI 串行数据输出，与 SIO[1] 管脚复用

表 2.7 EtherCAT 分布式时钟管脚描述

管脚数	管脚名	IO 类型	描述
1	SYNC0	DO	分布式时钟同步信号输出(Sync0)

表 2.8 EtherCAT Digital I/O 和 GPIO 管脚描述

管脚数	管脚名	IO 类型	描述
16	GPI[15:0]	DI	这些管脚是通用输入管脚，直接映射到 EtherCAT 从站寄存器 General Purpose Inputs Register 中。GPI 的一致性无法保证。
16	GPO[15:0]	DO	这些管脚是通用输出管脚，由 EtherCAT 从站寄存器 General Purpose Outputs Register 驱动，且不带看门狗保护。
16	DIGIO[15:0]	DIO	这些管脚是输入/输出或者双向数据
1	OUTVALID	DO	此管脚表示输出数据有效，可以捕获到外部寄存器中。
1	LATCH_IN	DI	该管脚为外部数据锁存信号。每当识别到 LATCH_IN 的上升沿

			时, 将对输入数据进行采样。
1	WD_TRIGGER	DO	此管脚为同步管理器(SM)看门狗触发输出。
1	WD_STATE	DO	此管脚为同步管理器(SM)看门狗状态输出。0 表示看门狗已过期。
1	SOF	DO	此管脚为帧起始输出, 指示以太网/EtherCAT 帧的开始。
1	EOF	DO	此管脚为帧结束输出, 表示以太网/EtherCAT 帧的结束。
1	OE_EXT	DI	该管脚为输出使能输入管脚。当为低电平时, 它会清除输出数据。

表 2.9 EEPROM 管脚描述

管脚数	管脚名	IO 类型	描述
1	EESDA	DIO	当芯片访问外部 EEPROM 时, 此管脚为 I2C 串行数据输入输出。
1	EESCL	DO	当芯片访问外部 EEPROM 时, 此管脚为 I2C 串行时钟输出

表 2.10 LED 和配置管脚描述

管脚数	管脚名	IO 类型	描述
1	LINKACTL ED0	DO	此管脚是网口 Port 0 的链路/活动 LED 输出 (熄灭=无链路, 常亮=有链路但无活动, 闪烁=有链路且有活动)。
1	LINKACTL ED1	DO	此管脚是网口 Port 1 的链路/活动 LED 输出 (熄灭=无链路, 常亮=有链路但无活动, 闪烁=有链路且有活动)。

	RUNLED	DO	此管脚为运行 LED 输出,由 EtherCAT 从站寄存器 AL Status Register 控制。
1	E2PSIZE	DI	<p>该管脚用于配置 EEPROM 的容量大小, 在 POR 复位激活时锁定配置值。</p> <p>当管脚为低电平时, 选择 1K bit (128 x 8) 至 16K bit (2K x 8) 的容量。</p> <p>当管脚为高电平时, 选择 32K bit (4K x 8) 至 4M bit (512K x 8) 的容量。</p>

表 2.11 通用管脚描述

管脚数	管脚名	IO 类型	描述
1	IRQ	DO	中断请求输出。该信号的极性、来源和缓冲区类型可通过系统寄存器 IRQ_CFG 来配置调整。
1	RST#	DI	作为输入, 此管脚低电平复位芯片。
1	LDO_EN	AI	连接到 3.3V 时, 使能内部 1.2V 稳压器。连接到 GN 时 D, 禁用内部 1.2V 稳压器, 采用外部 1.2V 直接供电模式
1	CLK_25M	ICLK	外部 25 MHz 晶振时钟输入。该信号一般由外部有源晶振输出的单端时钟驱动。

表 2.12 核心和 I/O 电源管脚描述

管脚数	管脚名	IO 类型	描述
6	VDD33	P	3.3 V 电源输入管脚, 为内部 1.2V 稳压器提供 3.3V 输入电压, 以及芯片的 3.3V 电源供电
1	VDD33A	P	3.3V 电源输入管脚, 为片内 PLL 以及模拟电路提供 3.3V 电源供电

3	VDD12	P	当 REG_EN 接 3.3V 电源时, 使能片内 1.2V 稳压器, 此管脚应通过去耦电容接低; 当 REG_EN 接地时, 禁用片内 1.2V 稳压器, 此管脚应与外部 1.2V 电源相连, 为芯片的 1.2V 提供电源。
1	GND	P	公共接地。此裸露焊盘必须通过过孔阵列连接到地

3 电源连接

图 3-1 和图 3-2 分别显示了内部稳压器启用和禁用情况下的芯片电源连接关系。第 3.1 节提供了有关芯片内部稳压器的更多信息。

图 3-1 启用稳压器的电源连接

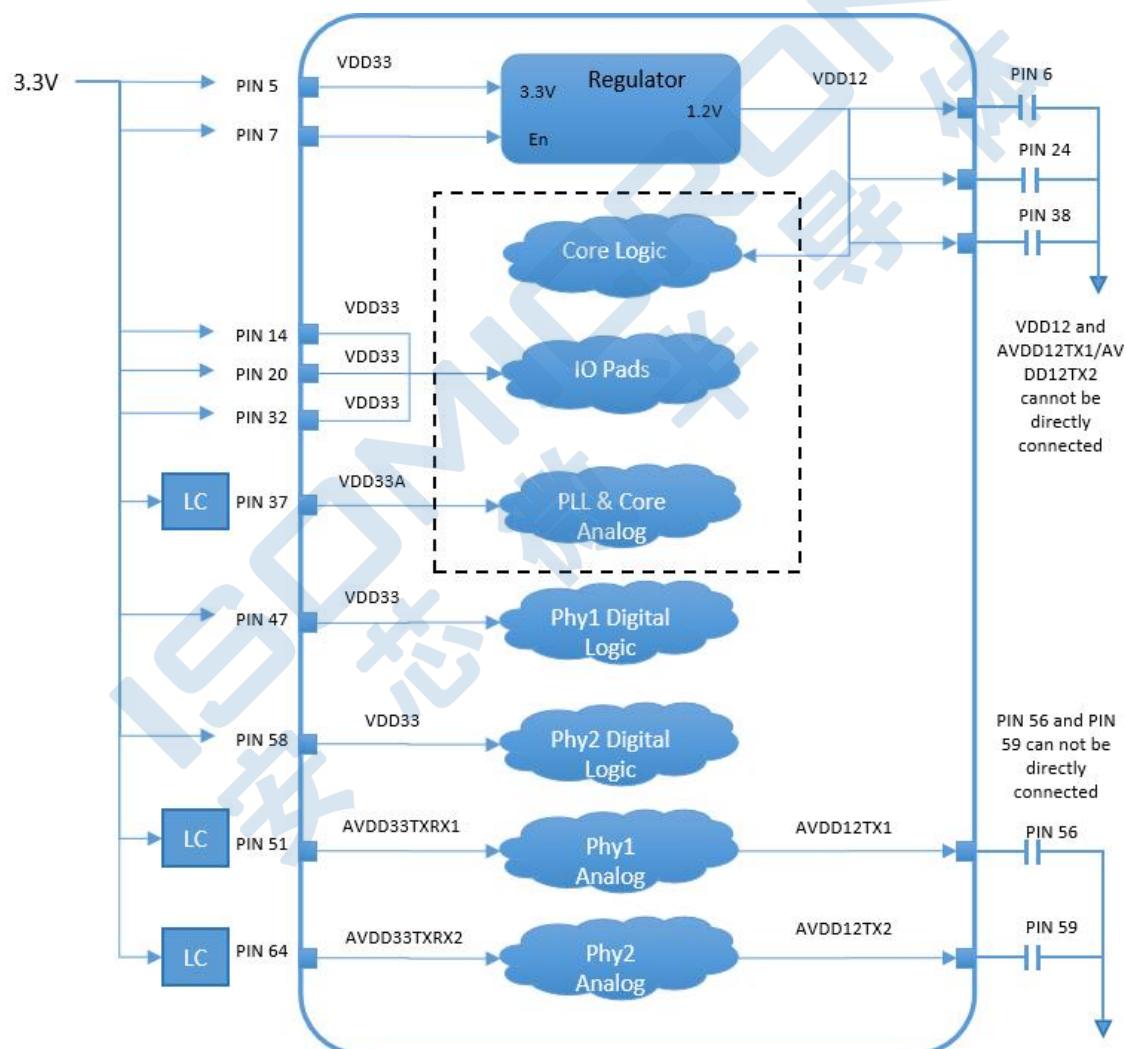
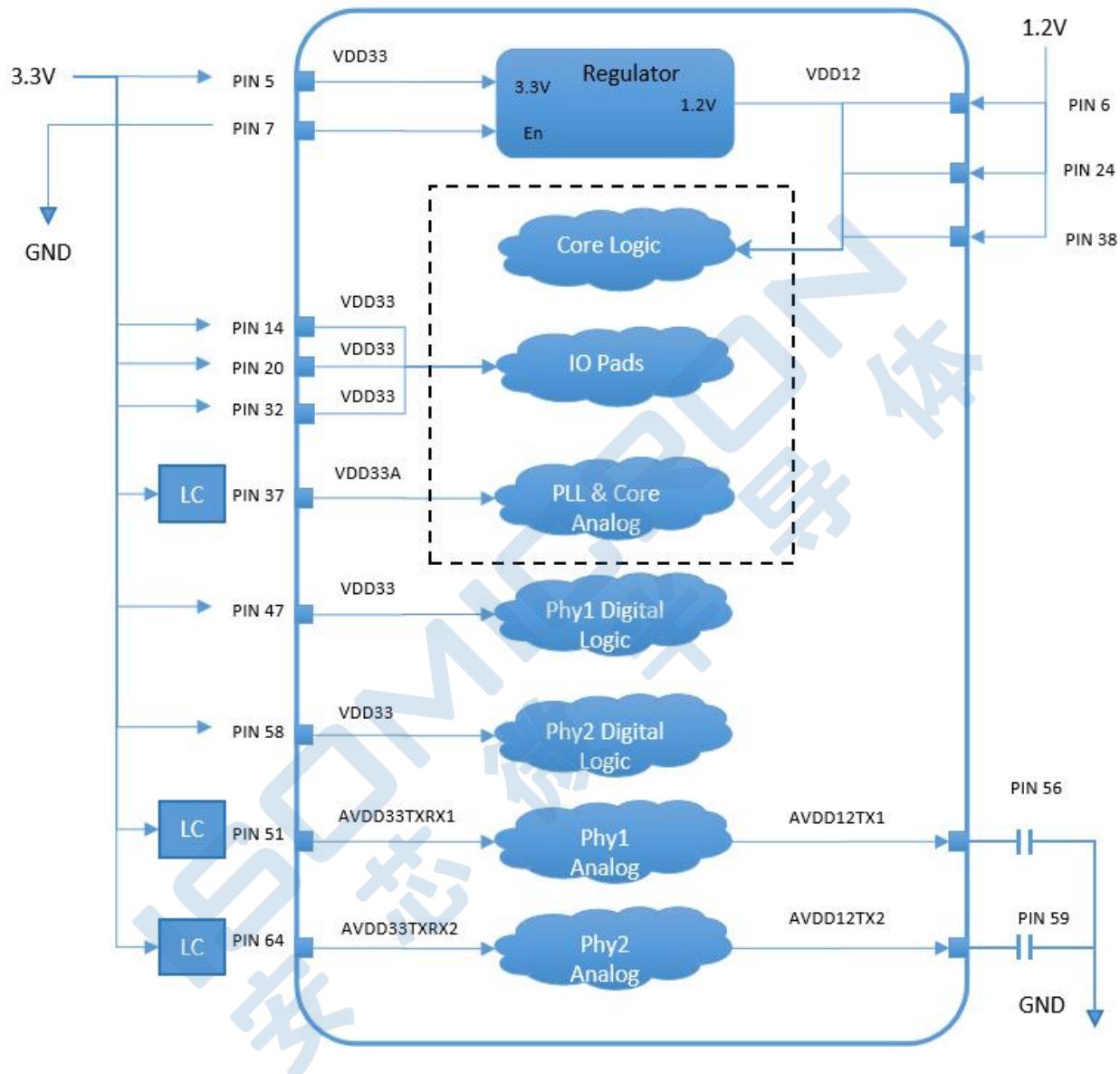


图 3-2 禁用稳压器的电源连接



3.1 内部稳压器

ISN8221 包含三个内部的 1.2V 稳压器：

- 1.2V 核心电压稳压器
- 1.2V PHY1 稳压器
- 1.2V PHY2 稳压器

3.1.1 1.2 V 核心稳压器

核心电压稳压器为芯片提供 1.2V 电压。

当 REG_EN 输入管脚连接到 3.3V 时, 开启片内 1.2V 核心电压稳压器, 并且在 VDD33 管脚上接收 3.3V 电压。

稳压器相关的 VDD12 管脚需对地并联 1 颗 0.1 μ F 的电容。

当 REG_EN 输入管脚连接到 VSS 时, 禁用片内 1.2V 核心电压稳压器。并且在 VDD33 管脚上接收 3.3V 电压。

此时, 芯片内部的 1.2V 核心电压必须由 VDD12 管脚接到板上的 1.2V 来供电。

3.1.2 1.2 V PHY1 稳压器

PHY1 稳压器为 PHY1 的模拟电路提供 1.2V 电压。

3.1.3 1.2 V PHY2 稳压器

PHY2 稳压器为 PHY2 的模拟电路提供 1.2V 电压。

4. 时钟复位

4.1 时钟

ISN8221 通过芯片管脚 CLK_25M 提供单端的系统时钟输入，通过 PLL 为系统提供 100MHz 的主时钟，以及内部 Phy 的时钟。

芯片的 CLK_25M 管脚需外接 1 个固定频率 25MHz 有源晶振，给芯片提供时钟输入。目前暂不支持外部无源晶振的时钟输入。

4.2 复位

ISN8221 提供多种硬件和软件复位源, 允许对芯片的不同层级进行复位。所有复位可以分为以下三个复位类型, 具体描述见以下章节:

- 芯片级复位
 - 上电复位 (POR)
 - RST# 管脚复位
- 多模块复位
 - 数字复位 (DIGITAL_RST)
- 单模块复位
 - 端口 A PHY 复位 (PHY_A_RST)
 - 端口 B PHY 复位 (PHY_B_RST)
 - EtherCAT 控制器复位 (ETHERCAT_RST)

表 4-1 总结了各种复位源对 ISN8221 各个模块的影响。有关这些复位类型的详细信息, 请参阅以下章节。

本章节主要介绍芯片级复位, 关于多模块和单模块复位控制, 可参考 **第 5.4 章节复位控制**

模块	POR	RST#	DIGITAL_RST	ETHERCAT_RST
EtherCAT 从站	√	√	√	√
PHYA	√	√		
PHYB	√	√		
SPI/SQI 接口	√	√	√	

HBI 接口	√	√	√	
GPT	√	√	√	
系统寄存器	√	√	√	

4.2.1 芯片级复位

芯片级复位会激活所有内部功能的复位，从而复位整个芯片。芯片级复位可以通过以下几种方式来触发：

- **上电复位 (POR)**

当芯片首次上电，或掉电后重新上电时，将发生上电复位。此操作将复位芯片内的所有电路。复位后，ISN8221 将重新执行 EEPROM 的加载。

- **RST# 管脚复位**

将 RST# 管脚拉低会触发芯片级复位。此事件会复位芯片内的所有电路。复位后，ISN8221 将重新执行 EEPROM 的加载。

RST# 管脚复位通常大约需要 760 us。

5. 系统寄存器

本章着重阐述了 ISN8221 的系统寄存器。系统寄存器主要具备芯片版本信息呈现、系统配置、中断控制以及间接访问 EtherCAT 从站寄存器等功能。微控制器（MCU）可借助主机总线接口（HBI）或 SPI 接口对系统寄存器进行直接访问。系统寄存器的地址映射详见表 5 - 1：

表 5-1 ISN8221 系统寄存器

地址	符号	寄存器名
000h-01Ch	ECAT_PRAM_RD_DATA	EtherCAT 过程 RAM 读取数据 FIFO
020h-03Ch	ECAT_PRAM_WR_DATA	EtherCAT 过程 RAM 写入数据 FIFO
050h	ID_REV	芯片 ID 和 版本
054h	IRQ_CFG	中断配置寄存器
058h	INT_STS	中断状态寄存器
05Ch	INT_EN	中断使能寄存器
064h	BYTE_TEST	字节顺序测试寄存器
074h	HW_CFG	硬件配置寄存器
08Ch	GTP_CFG	通用定时器配置寄存器
090h	GPT_CNT	通用定时器计数寄存器
复位寄存器		
1F8H	RESET_CTRL	复位控制寄存器
EtherCAT 寄存器		
300H	ECAT_CSR_DATA	EtherCAT CSR 接口数据寄存器

304H	ECAT_CSR_CMD	EtherCAT CSR 接口命令寄存器
308H	ECAT_PRAM_RD_ADDR_LEN	EtherCAT 过程 RAM 读取地址与长度寄存器
30CH	ECAT_PRAM_RD_CMD	EtherCAT 过程 RAM 读取命令寄存器
310H	ECAT_PRAM_WR_ADDR_LEN	EtherCAT 过程 RAM 写入地址与长度寄存器
314H	ECAT_PRAM_WR_CMD	EtherCAT 过程 RAM 写入命令寄存器

5.1 系统配置

本节将描述系统配置寄存器，如表 5-2 所示

表 5-2 ISN8221 系统配置寄存器

地址	符号	寄存器名
050h	ID_REV	芯片 ID 和版本
064h	BYTE_TEST	字节顺序测试寄存器
074h	HW_CFG	硬件配置寄存器

5.1.1 芯片 ID 和版本寄存器(ID_REV)

寄存器 ID_REV 是 32-bit 只读寄存器，包含芯片 ID 与芯片版本信息，地址偏移为 050h。寄存器格式如下：

Bits	描述	权限	默认值
31:16	芯片 ID	RO	8221h
15:0	芯片版本	RO	-

5.1.2 字节顺序测试寄存器(BYTE_ORDER)

寄存器 BYTE_ORDER 是 32-bit 只读寄存器，地址偏移为 064h，用于确定字节顺序。寄存器格式如下：

Bits	描述	权限	默认值
31:0	Byte Test	RO	87654321h

5.1.3 硬件配置寄存器(HW_CFG)

寄存器 HW_CFG 是 32-bit 只读寄存器，地址偏移为 074h，用于指示芯片是否就绪。寄存器格式如下：

Bits	描述	权限	默认值
31:28	保留	RO	-
27	芯片就绪 (READY) 1: 表明芯片已完成上电复位，并且 EtherCAT 从站从 EEPROM 加载完配置信息。 0: 表明芯片还未就绪，此时微控制器无法访问寄存器。	RO	0b
26:0	保留	RO	-

5.2 通用计时器

ISN8221 实现了一个可编程的 16-bit 通用计时器，计时器的计时单位时间为 100us，可用于产生周期性的定时中断。通用计时器寄存器如表 5-3 所示：

表 5-3 ISN8221 通用计时器寄存器

地址	符号	寄存器名
08Ch	GTP_CFG	通用计时器配置寄存器
090h	GPT_CNT	通用计时器计数寄存器

通用计时器采用 16-bit 的计数器进行计时，当通用计时器启用时，计数器开始每隔 100us 递减计数，当计数值达到 0000h 时，产生计时中断，计数器将回绕到 FFFFh 继续计数。

通用计时器的计数器初始值可由寄存器 **GPT_CFG** 的 **GPT_LOAD** 字段设置，并在寄存器 **GPT_CFG** 中的 **TIMER_EN** 位被置为 1 时，被加载到计数器中。而寄存器 **GPT_CNT** 的 **GPT_CNT** 字段则显示当前计数器的值。

如果 **TIMER_EN** 使能时，微控制器（MCU）每次往寄存器 **GPT_CFG** 的 **GPT_LOAD** 字段写新的数值，都会立刻更新到计数器中，计数器将基于更新值继续递减计数。

5.2.1 通用计时器配置寄存器(GPT_CFG)

寄存器 GPT_CFG 用于配置芯片的通用计时器 (GPT)。地址偏移为 08Ch, 寄存器格式如下：

Bits	描述	权限	默认值
31:30	保留	RO	-
29	TIMER_EN 0: 禁用通用计时器 1: 启用通用计时器	R/W	0b
28:16	保留	RO	-
15:0	GPT_LOAD 通用计时器预加载值, 在启用通用计时器时, 作为通用计时器的计数器初始值。 当 TIMER_EN 位从 1 到 0 转变时, 该字段将重置位 FFFFh	R/W	FFFFh

5.2.2 通用计时器计数寄存器(GPT_CNT)

寄存器 GPT_CNT 反映通用计时器的计数器值, 地址偏移位 090h, 寄存器格式如下:

Bits	描述	权限	默认值
31:16	保留	RO	-
15:0	GPT_CNT 通用计时器的当前计数值	RO	FFFFh

5.3 中断

ISN8221 实现了一种可编程中断管理单元，可通过寄存器配置实现对系统各子模块中断源的收集，并将中断信号输出至 IRQ 引脚。IRQ 引脚的有效极性支持可配置，并采用推挽输出结构。该中断管理单元具备全局中断屏蔽功能，可对所有内部中断源进行使能控制。内部中断源涵盖以下类型：通用定时器中断（GPT）、EtherCAT 中断、软件触发中断及芯片就绪中断。

所有中断都通过多层分支的结构，逐层进行访问和配置，如图 5-1 所示。芯片中断结构的顶层是中断状态（INT_STS）寄存器、中断使能（INT_EN）寄存器和中断配置（IRQ_CFG）寄存器。

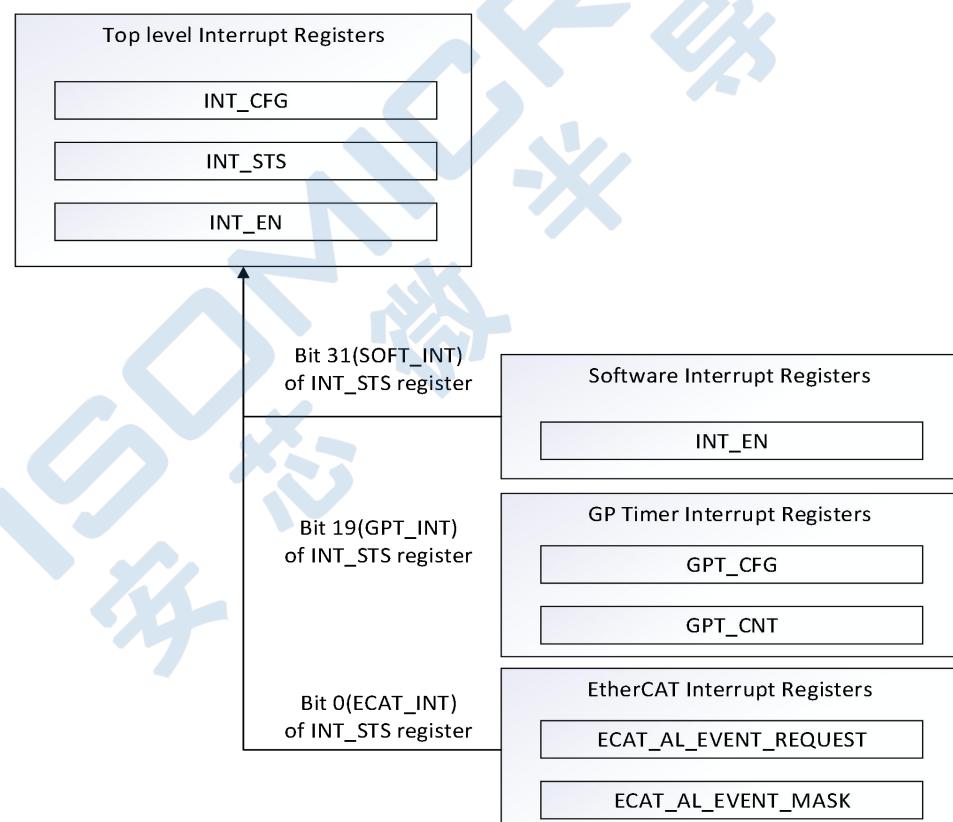


图 5-1 中断层次结构

ISN8221 中断管理单元相关的寄存器如表 5-4 所示：

表 5-4：中断控制寄存器

地址	符号	寄存器名
054h	IRQ_CFG	中断配置寄存器
058h	INT_STS	中断状态寄存器
05Ch	INT_EN	中断使能寄存器

ISN8221 的中断源包括软件中断、通用计时器中断和 EtherCAT 从站中断，其中：

- 软件中断：通过往中断使能 (INT_EN) 寄存器的 **SW_INT_EN** 位写 1 产生软件中断。
- 通用计时器中断：在启用通用计时器后，当通用计时器的计数器计数到 0 时产生通用计时器中断。
- EtherCAT 从站中断：表明在 EtherCAT 从站寄存器 **AL 事件请求寄存器(ECAT_AL_EVENT_REQUEST)** 中发生了 EtherCAT 中断事件。

中断管理单元实现了中断状态 (INT_STS) 寄存器用于显示软件、通用计时器以及 EtherCAT 从站等中断源的中断状态。而中断使能寄存器 (INT_EN) 用于控制这些中断源的中断能否输出到 IRQ 管脚上。中断配置 (IRQ_CFG) 寄存器则配置 IRQ 管脚的输出使能和有效极性，以及控制有效中断输出的间隔时间。

5.3.1 中断配置 (IRQ_CFG) 寄存器

中断配置 (IRQ_CFG) 寄存器主要配置中断管脚信息，以及中断间隔控制，地址偏移为 054h，寄存器格式如下：

Bits	描述	权限	默认值
31:24	INT_DEAS (中断时间间隔) 如果数值为 0，禁用中断间隔机制。当 IRQ 输出管脚信号从有效变为无效时，启用中断间隔机制，并开始计时，计数器每个 10us 递增计数，当计数器数值等于 INT_DEAS 时，退出中断间隔机制。处于中断间隔机制期间，IRQ 管脚不会输出有效电平，所有中断都被屏蔽。	R/W	00h
23-15	保留	RO	-
14	INT_DEAS_CLR 软件写 1 后将清除中断间隔机制的计数器，如果处于中断间隔机制期间，将计数器将重新计时。	R/W SC	0h
13	INT_DEAS_STS (中断间隔状态) 0: 不处于中断间隔机制期间 1: 处于中断间隔机制期间	RO	0b
12	IRQ_INT (IRQ 管脚中断) 0: 没有有效中断请求	RO	0b

	1: 存在一个或多个已使能的有效中断请求		
11-9	保留	RO	-
	IRQ_EN (中断使能)		
8	0: 禁止中断状态输出到 IRQ 管脚 1: 允许中断状态输出到 IRQ 管脚	R/W	0b
7:5	保留	RO	-
	IRQ_POL (IRQ 极性)		
4	0: IRQ 管脚的有效中断电平是低电平 1: IRQ 管脚的有效中断电平是高电平	R/W	0b
3:0	保留	RO	-

5.3.2 中断状态(INT_STS)寄存器

中断状态 (INT_STS) 寄存器的位反映了中断源的中断状态, 地址偏移为 058h, 寄存器格式如下:

Bits	描述	权限	默认值
31	SW_INT (软件中断状态) 1: 软件中断请求有效; 软件往该字段写 1, 清除软件中断请求	R/WC	0b
30:20	保留	RO	-
19	GPT_INT (通用计时器中断) 1: 通用计时器中断请求有效; 软件往该字段写 1, 清除通用计时器中断	R/WC	0b
18:1	保留	RO	-
0	ECAT_INT (EtherCAT 中断事件) 1: EtherCAT 从站中断请求有效	RO	0b

5.3.3 中断使能寄存器(INT_EN)

中断使能 (INT_EN) 寄存器用于控制中断源的中断请求是否允许通过 IRQ 管脚输出, 地址偏移为 05Ch, 寄存器格式如下:

Bits	描述	权限	默认值
31	SW_INT_EN (软件中断使能) 0: 禁止软件中断请求输出到 IRQ 管脚 1: 允许软件中断请求输出到 IRQ 管脚	R/W	0b
30:20	保留	RO	-
19	GPT_INT_EN (通用计时器中断使能) 0: 禁止通用计时器中断请求输出到 IRQ 管脚 1: 允许通用计时器中断请求输出到 IRQ 管脚	R/W	0b
18:1	保留	RO	-
0	ECAT_INT_EN (EtherCAT 中断事件使能) 0: 禁止 EtherCAT 中断请求输出到 IRQ 管脚 1: 允许 EtherCAT 中断请求输出到 IRQ 管脚	R/W	0b

5.4 复位控制

ISN8221 实现复位控制寄存器 (RESET_CTRL) 对系统子模块进行单独复位, 地址偏移为 1F8h, 寄存器格式如下:

Bits	描述	权限	默认值
31:7	保留	RO	-
6	ETHERCAT_RST (EtherCAT 复位) 写 1 将复位 EtherCAT 从站, 复位完成后, 硬件自动清除此位	R/W SC	0b
5:3	保留	RO	-
2	PHY_B_RST (网口 Port B PHY 复位) 写 1 将复位网口 Port B 的 PHY 芯片, 内部逻辑会自动保持 PHY 复位至少 20 ms, 复位完成后, 硬件自动清除此位	R/W SC	0b
1	PHY_A_RST (网口 Port A PHY 复位) 写 1 将复位网口 Port A 的 PHY 芯片, 内部逻辑会自动保持 PHY 复位至少 20 ms, 复位完成后, 硬件自动清除此位	R/W SC	0b
0	DIGITAL_RST (数字复位) 写 1 将执行全局复位, 除网口 Port B PHY 和网口 Port A PHY 除外, 所有的电路都将复位, 复位完成后, 硬件自动清除此位	R/W SC	0b

6. 访问 EtherCAT 从站寄存器

在 ISN8221 的实现中，微控制器（MCU）无法通过主机总线接口（HBI）或 SPI 接口直接访问 EtherCAT 从站寄存器，需要通过对应的**系统寄存器**来间接访问，间接访问 EtherCAT 从站寄存器相关的系统寄存器如表 6-1 所示：

表 6-1：间接访问 EtherCAT 从站寄存器的寄存器列表

地址	符号	寄存器名
000h-01Ch	ECAT_PRAM_RD_DATA	EtherCAT 过程 RAM 读取数据 FIFO
020h-03Ch	ECAT_PRAM_WR_DATA	EtherCAT 过程 RAM 写入数据 FIFO
300h	ECAT_CSR_DATA	EtherCAT CSR 接口数据寄存器
304h	ECAT_CSR_CMD	EtherCAT CSR 接口命令寄存器
308h	ECAT_PRAM_RD_ADDR_LEN	EtherCAT 过程 RAM 读取地址与长度寄存器
30Ch	ECAT_PRAM_RD_CMD	EtherCAT 过程 RAM 读取命令寄存器
310h	ECAT_PRAM_WR_ADDR_LEN	EtherCAT 过程 RAM 写入地址与长度寄存器
314h	ECAT_PRAM_WR_CMD	EtherCAT 过程 RAM 写入命令寄存器

ISN8221 支持以下访问方式来间接访问 EtherCAT 从站寄存器：

- 单次读写：支持字节(8-Bit)/字(16-Bit)/双字(32-Bit)读写
- 突发读：支持 1~65535 字节的连续读
- 突发写：支持 1~65535 字节的连续写

6.1 单次读写

微控制器 (MCU) 可通过配置 **EtherCAT CSR 接口数据 (ECAT_CSR_DATA)** 寄存器和 **EtherCAT CSR 接口命令 (ECAT_CSR_CMD)** 寄存器来实现对 EtherCAT 从站寄存器的单次读写。

微控制器 (MCU) 读 EtherCAT 从站寄存器的步骤如下：

1. 配置 **EtherCAT CSR 接口命令 (ECAT_CSR_CMD)** 寄存器， 其中：
 - (1) **CSR_ADDR** 字段设置为从站寄存器地址。
 - (2) **CSR_SIZE** 字段设置为所需的数据大小， 1: 字节 (8-Bit) , 2: 字 (16-Bit) , 4: 双字 (32-Bit)。
 - (3) **R_nW** 位设置为 1, 将操作设置为读操作。
 - (4) **CSR_BUSY** 位设置为 1, 启动读操作请求。
2. 等待 **EtherCAT CSR 接口命令 (ECAT_CSR_CMD)** 寄存器的 **CSR_BUSY** 位清零。
3. 从 **EtherCAT CSR 接口数据 (ECAT_CSR_DATA)** 寄存器中读取到有效数据。

微控制器 (MCU) 写 EtherCAT 从站寄存器的步骤如下：

1. 将数据写入 **EtherCAT CSR 接口数据 (ECAT_CSR_DATA)** 寄存器。
2. 配置 **EtherCAT CSR 接口命令 (ECAT_CSR_CMD)** 寄存器， 其中：
 - (1) **CSR_ADDR** 字段设置为从站寄存器地址。
 - (2) **CSR_SIZE** 字段设置为所需的数据大小， 1: 字节 (8-Bit) , 2: 字 (16-Bit) , 4: 双字 (32-Bit)。
 - (3) **R_nW** 位设置为 0, 将操作设置为写操作。
 - (4) **CSR_BUSY** 位设置为 1, 启动写操作请求。
3. 等待 **EtherCAT CSR 接口命令 (ECAT_CSR_CMD)** 寄存器的 **CSR_BUSY** 位清零。

注意： 读和写操作的有效数据始终对齐到 **EtherCAT CSR 接口数据 (ECAT_CSR_DATA)** 寄存器的最低位。

EtherCAT CSR 接口数据 (ECAT_CSR_DATA) 寄存器主要存放 EtherCAT 从站寄存器的读写数据，地址偏移为 300h，寄存器格式如下：

Bits	描述	权限	默认值
31:0	<p>EtherCAT CSR 数据 (CSR_DATA)</p> <p>此字段包含从 EtherCAT 从站寄存器读取或写入的值。</p> <p>通过 EtherCAT CSR 接口命令寄存器 (ECAT_CSR_CMD) 的 CSR 地址 (CSR_ADDR) 位选择 EtherCAT 从站寄存器地址。</p> <p>有效数据始终写入或读取自该字段的低位。芯片会处理任何所需的字节对齐。</p> <p>读取该寄存器时，返回的值取决于 EtherCAT CSR 接口命令寄存器 (ECAT_CSR_CMD) 中的读/写 (R_nW) 位。</p> <p>如果读/写 (R_nW) 被置位，则数据来自 EtherCAT 从站寄存器。</p> <p>如果读/写 (R_nW) 被清除，则数据是上次写入该寄存器的值。</p>	R/W	00000000h

EtherCAT CSR 接口命令 (ECAT_CSR_CMD) 寄存器 用于配置从站寄存器地址、字节数、读写命令以及启动读写请求，地址偏移为 304h，寄存器格式如下：

Bits	描述	权限	默认值
31	CSR_BUSY (CSR 繁忙) 软件写 1 时，启动 EtherCAT 从站寄存器的读写操作，读写操作完成后，硬件自动清零。	R/W SC	0b
30	R_nW (读/写) 0: 执行写 EtherCAT 从站寄存器操作。 1: 执行读 EtherCAT 从站寄存器操作。	R/W	0b
29:19	保留	RO	-
18:16	CSR_SIZE (CSR 大小) 该字段指定访问 EtherCAT 从站寄存器的大小，以字节为单位。 有效值为 1、2 和 4。 1: 字节 (8-Bit) 2: 字 (16-Bit) 4: 双字 (32-Bit)	R/W	0h
15:0	CSR_ADDR (CSR 地址) 访问的 EtherCAT 从站寄存器	R/W	00h

需要注意的是：字 (16Bit) 和双字 (32Bit) 访问必须根据以下表格对齐到正确的地址边界。

CSR_SIZE[2:0]	CSR_ADDR[1:0]
1	00b,01b,10b,11b
2	00b,10b
4	00b

6.2 突发读

微控制器 (MCU) 可以通过配置 **EtherCAT 过程 RAM 读地址和长度 (ECAT_PRAM_RD_ADDR_LEN)** 寄存器和 **EtherCAT 过程 RAM 读命令 (ECAT_PRAM_RD_CMD)** 寄存器实现对 EtherCAT 从站寄存器的突发读访问。ISN8221 实现了一个深度为 16、位宽位 32-bit 的 FIFO，用于暂存突发读访问过程中，从 EtherCAT 从站寄存器读的数据，FIFO 的基地址为 00h。

微控制器 (MCU) 突发读 EtherCAT 从站寄存器的步骤如下：

1. 往 **EtherCAT 过程 RAM 读命令 (ECAT_PRAM_RD_CMD)** 寄存器的 **PRAM_READ_ABORT** 位写 1，重置突发读操作。
2. 往 **EtherCAT 过程 RAM 读地址和长度 (ECAT_PRAM_RD_ADDR_LEN)** 寄存器写入寄存器的地址和读取长度 (以字节为单位)。
3. 往 **EtherCAT 过程 RAM 读命令 (ECAT_PRAM_RD_CMD)** 寄存器的 **PRAM_READ_BUSY** 位来启动突发读操作。
4. 读取 **EtherCAT 过程 RAM 读命令 (ECAT_PRAM_RD_CMD)** 寄存器，根据 **PRAM_READ_AVAIL** 位确认 FIFO 中，是否存放有效的 EtherCAT 从站寄存器数据，如果 **PRAM_READ_AVAIL** 位为 1，执行第 5 步。
5. **EtherCAT 过程 RAM 读命令 (ECAT_PRAM_RD_CMD)** 寄存器 **PRAM_READ_AVAIL_CNT** 字段表示允许微控制器 (MCU) 以双字 (32-Bit) 为单位，读取 FIFO 的次数，微控制器 (MCU) 根据读取长度，读取 FIFO 内的数据。
6. 如需继续读取数据，继续执行第 4 步。

基于起始地址，第一次 FIFO 读取中的有效字节数如下：

起始地址 ADDR[1:0]	
00b	Bytes 3, 2, 1, 0
01b	Bytes 3, 2, 1
10b	Bytes 3, 2
11b	Bytes 3

根据起始地址和长度，最后一次 FIFO 读取中的有效字节如下：

起始地址 Addr[1:0]	起始长度 Len[1:0]				
	01b	10b	11b	00b	
00b	Byte 0	Byte 1, 0	Byte 2, 1, 0	Byte 3, 2, 1, 0	
01b	Byte 1, 0	Byte 2, 1, 0	Byte 3, 2, 1, 0	Byte 0	
10b	Byte 2, 1, 0	Byte 3, 2, 1, 0	Byte 0	Byte 1, 0	
11b	Byte 3, 2, 1, 0	Byte 0	Byte 1, 0	Byte 2, 1, 0	

EtherCAT 过程 RAM 读地址和长度 (ECAT_PRAM_RD_ADDR_LEN) 寄存器存放初始地址和读取长度, 地址偏移为 305h, 寄存器格式如下:

Bits	描述	权限	默认值
31:16	PRAM_READ_LEN (PRAM 读长度) 该字段存放要读取的 EtherCAT 从站寄存器的字节数。当数据从 EtherCAT 从站读取并放入 FIFO 时, 该字段的值会递减。	R/W	0000h
15:0	PRAM_READ_ADDR (PRAM 读地址) 该字段存放要读取的 EtherCAT 从站寄存器的起始地址。当数据从 EtherCAT 从站读取并放入 FIFO 时, 该地址会自动递增。	R/W	0000h

EtherCAT 过程 RAM 读命令 (ECAT_PRAM_RD_CMD) 寄存器控制突发读操作的进度, 地址偏移为 30Ch,

寄存器格式如下:

Bits	描述	权限	默认值
31	PRAM_READ_BUSY (PRAM 读繁忙) 写 1 将启动突发读 EtherCAT 从站寄存器的操作, 执行完突发读操作后, 硬件会自动清零	R/W SC	0b
30	PRAM_READ_ABORT (PRAM 读中止) 写 1 将结束正在进行的读取操作, 并将 FIFO 清空, 执行完成后, 硬件自动清零。	R/W SC	0b
29:13	保留	RO	-
12:8	PRAM_READ_AVAIL_CNT (PRAM 读数据可用计数) 该字段表示在无需进一步检查状态的情况下, 可以读取 EtherCAT 过程 RAM 读取数据 FIFO (ECAT_PRAM_RD_DATA) 的次数。 当数据从 EtherCAT 从站寄存器读取并放入 FIFO 时, 该字段会递增。当从 RAM 读取数据 FIFO (ECAT_PRAM_RD_DATA) 中读取完整的一个 DWORD 数据时, 该字段会递减。	RO	00000b
7:1	保留	RO	-
0	PRAM_READ_AVAIL (PRAM 读数据可用) 1: 表明 FIFO 存放有有效的 EtherCAT 从站寄存器数据。	RO	0b

EtherCAT 过程 RAM 读数据 FIFO (ECAT_PRAM_RD_DATA) 寄存器存放突发读操作的数据，地址偏移

为 000h-01Ch，寄存器格式如下：

Bits	描述	权限	默认值
31:0	EtherCAT 过程 RAM 读数据 (PRAM_RD_DATA) 此字段包含从 EtherCAT 从站寄存器中读的数据。 注意：根据起始地址和传输长度，某些字节可能无效。	RO	-

注:000h-003h、004h-007h、008h-00Bh、00Ch-00Fh、010h-013h、014h-017h、018h-01Bh 和 01Ch-01Fh

均为 **EtherCAT 过程 RAM 读数据 FIFO (ECAT_PRAM_RD_DATA)** 寄存器的地址别名，微控制器 (MCU)

从这些地址读取数据的操作等价。

6.3 突发写

微控制器 (MCU) 可以通过配置 **EtherCAT 过程 RAM 写地址和长度 (ECAT_PRAM_WR_ADDR_LEN)** 寄存器和 **EtherCAT 过程 RAM 写命令 (ECAT_PRAM_WR_CMD)** 寄存器实现对 EtherCAT 从站寄存器的突发写访问。ISN8221 实现了一个深度为 16、位宽位 32-bit 的 FIFO，用于暂存突发写访问过程中，往 EtherCAT 从站寄存器写入的数据，FIFO 的基地址为 20h。

微控制器 (MCU) 突发读 EtherCAT 从站寄存器的步骤如下：

1. 往 **EtherCAT 过程 RAM 写命令 (ECAT_PRAM_WR_CMD)** 寄存器的 **PRAM_WRITE_ABORT** 位写 1，重置突发写操作。
2. 往 **EtherCAT 过程 RAM 写地址和长度 (ECAT_PRAM_WR_ADDR_LEN)** 寄存器写入寄存器的地址和写长度 (以字节为单位)。
3. 往 **EtherCAT 过程 RAM 写命令 (ECAT_PRAM_WR_CMD)** 寄存器的 **PRAM_WRITE_BUSY** 位来启动突发写操作。
4. 读取 **EtherCAT 过程 RAM 写命令 (ECAT_PRAM_WR_CMD)** 寄存器，根据 **PRAM_WRITE_AVAIL** 位确认 FIFO 中，是否有空间用于存放写 EtherCAT 从站寄存器的数据，如果 **PRAM_WRITE_AVAIL** 位为 1，执行第 5 步。
5. **EtherCAT 过程 RAM 写命令 (ECAT_PRAM_WR_CMD)** 寄存器 **PRAM_WRITE_AVAIL_CNT** 字段表示允许微控制器 (MCU) 以双字 (32-Bit) 为单位，写 FIFO 的次数，微控制器 (MCU) 根据写长度，将数据写入到 FIFO 内。
6. 如需要继续写入数据，继续执行第 4 步。

基于起始地址，第一次 FIFO 写的有效字节数如下：

起始地址 ADDR[1:0]	
00b	Bytes 3, 2, 1, 0
01b	Bytes 3, 2, 1
10b	Bytes 3, 2
11b	Bytes 3

根据起始地址和长度，最后一次 FIFO 写的有效字节如下：

起始地址 Addr[1:0]	起始长度 Len[1:0]				
	01b	10b	11b	00b	
00b	Byte 0	Byte 1, 0	Byte 2, 1, 0	Byte 3, 2, 1, 0	
01b	Byte 1, 0	Byte 2, 1, 0	Byte 3, 2, 1, 0	Byte 0	
10b	Byte 2, 1, 0	Byte 3, 2, 1, 0	Byte 0	Byte 1, 0	
11b	Byte 3, 2, 1, 0	Byte 0	Byte 1, 0	Byte 2, 1, 0	

EtherCAT 过程 RAM 写地址和长度 (ECAT_PRAM_WR_ADDR_LEN) 寄存器存放初始地址和写长度，地址偏移为 310h，寄存器格式如下：

Bits	描述	权限	默认值
31:16	PRAM 写入长度 (PRAM_WRITE_LEN) 该字段存放写 EtherCAT 从站寄存器的字节数。当数据从 FIFO 传输到 EtherCAT 从站时，该字段的值会递减。	R/W	0000h
15:0	PRAM 写入地址 (PRAM_READ_ADDR) 该字段存放写 EtherCAT 从站寄存器的起始地址。当数据从 FIFO 传输到 EtherCAT 从站时，该地址会自动递增。	R/W	0000h

EtherCAT 过程 RAM 写命令 (ECAT_PRAM_WR_CMD) 寄存器控制突发写操作的进度, 地址偏移为 314h,

寄存器格式如下:

Bits	描述	权限	默认值
31	PRAM_WRITE_BUSY (PRAM 写入繁忙) 写 1 将启动突发写 EtherCAT 从站寄存器的操作, 执行完突发写操作后, 硬件自动清零	R/W SC	0b
30	PRAM_WRITE_ABORT (PRAM 写入中止) 写 1 将重置正在进行的突发写操作, 并将 FIFO 清空, 执行完操作后, 硬件自动清零。	R/W SC	0b
29:13	保留	RO	-
12:8	PRAM_WRITE_AVAIL_CNT (PRAM 可写数据计数) 该字段表示无需进一步检查状态即可写入 EtherCAT 过程 RAM 写数据 FIFO (ECAT_PRAM_WR_DATA) 的次数。 当一个完整的双字 (DWORD) 数据写入 EtherCAT 过程 RAM 写数据 FIFO (ECAT_PRAM_WR_DATA) 时, 该字段会递减。当数据从 FIFO 读取并放入 EtherCAT 核心时, 该字段会递增。	RO	00000b
7:1	保留	RO	-
0	PRAM 可写数据 (PRAM_WRITE_AVAIL) 1: 表示 FIFO 中有可用的空间供微控制器 (MCU) 写入数据。	RO	10000b

EtherCAT 过程 RAM 写数据 FIFO (ECAT_PRAM_WR_DATA) 寄存器存放突发写 EtherCAT 从站寄存器的写数据，地址偏移为 020h-03Fh，寄存器格式如下：

Bits	描述	权限	默认值
31:0	EtherCAT 过程 RAM 写数据 (PRAM_WR_DATA) 此字段包往 EtherCAT 从站中传输的值。 注意：根据起始地址和传输长度，某些字节可能无效。	WO	-

注:020h-023h、024h-027h、028h-02Bh、02Ch-02Fh、030h-033h、034h-037h、038h-03Bh 和 03Ch-03Fh

均为的 **EtherCAT 过程 RAM 写数据 FIFO (ECAT_PRAM_WR_DATA)** 寄存的地址别名，微控制器 (MCU) 往这些地址写入数据的操作等价。

7. PDI 接口配置

ISN8221 实现了 8/16 Bit 主机总线接 (HBI) 和 SPI 接口作为与微控制器 (MCU) 通信的 PDI 接口，也实现了 Digital IO 模式来获取简单的数字量。这些 PDI 接口的选择，由 EtherCAT 从站寄存器 **PDI Control** 来控制，寄存器 **PDI Control** 的寄存器格式如下：

地址偏移：0140h-0141h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:0	编程数据接口： 04h: Digital I/O 80h: SPI 88h: 8Bit 单相地址/数据复用主机总线接口 (HBI Mul) 89h: 16Bit 单相地址/数据复用主机总线接口 (HBI Mul) 8Ah: 8Bit 双相地址/数据复用主机总线接口 (HBI Mul) 8Bh: 16Bit 双相地址/数据复用主机总线接口 (HBI Mul) 8Ch: 8Bit 寄存器索引主机总线接口 (HBI Index) 8Dh: 16Bit 寄存器索引主机总线接口 (HBI Index)	RO	RO	00h

此外，在不同的 PDI 接口模式下，EtherCAT 从站寄存器 **PDI Configuration** 和 **Extended PDI Configuration** 提供了编程接口相关的配置。

EtherCAT 从站寄存器 PDI Control、PDI Configuration 和 Extended PDI Configuration 的初始值均可以通过 EEPROM 配置；更多信息请参阅第 10.6 节“EEPROM 可配置寄存器”。

ISOMICRON 安芯微半导体

7.1 Digital IO 接口配置

当 EtherCAT 从站寄存器 **PDI Control** 配置为 Digital I/O 接口时, EtherCAT 从站寄存器 **PDI Configuration** 和 **Extended PDI Configuration** 为 Digital IO 提供了相关的配置。

Digital IO 接口模式下的寄存器 **PDI Configuration** 的寄存器格式如下:

地址偏移: 0150h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:6	Output Data Sample Selection (输出数据采样选择) 00: 帧结束 01: 保留 10: DC SYNC0 事件 11: 保留 注意: 如果 OUTVALID 模式 = 1, 输出数据将在过程数据看门狗触发事件时更新 (输出数据采样选择位被忽略)	RO	RO	00b
5:4	Input Data Sample Selection (输入数据采样选择) 00: 帧起始 01: LATCH_IN 上升沿 10: DC SYNC0 事件 11: 保留	RO	RO	00b
3	Watchdog Behavior (看门狗行为)	RO	RO	0b

	0: 看门狗超时后, 输出立即复位 1: 看门狗超时后, 输出在下一个输出事件中复位			
2	Unidirectional/Bidirectional Mode (单向/双向模式) 0: 单向模式: 管脚的输入/输出方向单独配置 1: 双向模式: 所有 I/O 管脚均为双向 注意: 双向模式下, 方向控制必须设置为输入	RO	RO	0b
1	OUTVALID Mode (OUTVALID 模式) 0: 输出事件信号 1: 在 OUTVALID 上触发过程数据看门狗 (WD_TRIGGER) 信号。 如果触发看门狗, 输出数据将更新。覆盖输出数据样本选择位。	RO	RO	0b
0	OUTVALID Polarity (OUTVALID 电平极性) 0: 高电平有效 1: 低电平有效	RO	RO	0b

Digital I/O 接口模式下寄存器的 **Extended PDI Configuration** 的寄存器格式如下:

地址偏移: 0152h-0153h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:8	保留	RO	RO	0000h
7	I/O[15:14] Direction (I/O[15:14] 方向) 0: 输入 1: 输出 注意: 在双向模式下必须清零为 0。	RO	RO	0b
6	I/O[13:12] Direction (I/O[13:12] 方向) 0: 输入 1: 输出 注意: 在双向模式下必须清零为 0。	RO	RO	0b
5	I/O[11:10] Direction (I/O[11:10] 方向) 0: 输入 1: 输出 注意: 在双向模式下必须清零为 0。	RO	RO	0b
4	I/O[9:8] Direction (I/O[9:8] 方向) 0: 输入 1: 输出	RO	RO	0b

	注意：在双向模式下必须清零为 0。			
3	I/O[7:6] Direction (I/O[7:6] 方向) 0: 输入 1: 输出 注意：在双向模式下必须清零为 0。	RO	RO	0b
2	I/O[5:4] Direction (I/O[5:4] 方向) 0: 输入 1: 输出 注意：在双向模式下必须清零为 0。	RO	RO	0b
1	I/O[3:2] Direction (I/O[3:2] 方向) 0: 输入 1: 输出 注意：在双向模式下必须清零为 0。	RO	RO	0b
0	I/O[1:0] Direction (I/O[1:0] 方向) 0: 输入 1: 输出 注意：在双向模式下必须清零为 0。	RO	RO	0b

7.2 HBI 接口配置

当 EtherCAT 从站寄存器 **PDI Control** 配置为主机总线 (HBI) 接口时, EtherCAT 从站寄存器 **PDI Configuration** 为 HBI 接口提供了相关的配置。

HBI 接口模式下的 EtherCAT 从站寄存器 **PDI Configuration** 的寄存器格式如下:

地址偏移: 0150h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7	HBI ALE Qualification (HBI 地址锁存信号的限制) 0: 地址输入使用 ALEHI 和 ALELO 锁存 1: 地址输入仅在 CS 有效时, 使用 ALEHI 和 ALELO 锁存	RO	RO	0b
6	HBI Read/Write Mode (HBI 读写模式) 0: 读和写模式 1: 方向和使能模式	RO	RO	0b
5	HBI Chip Select Polarity (HBI 片选信号极性) 配置 HBI 接口片选信号 CS 的极性。 0: 低电平有效 1: 高电平有效	RO	RO	0b
4	HBI Read, Read/Write Polarity (HBI 读、读/写信号极性) 读和写模式 0: 低电平有效读取	RO	RO	0b

	1: 高电平有效读取 方向和使能模式 0: 为 1 时读取, 为 0 时写入 (R/nW) 1: 为 1 时写入, 为 0 时读取 (W/nR)			
3	HBI Write, Enable Polarity (HBI 写、使能信号极性) 读和写模式 0: 低电平有效写入 1: 高电平有效写入 方向和使能模式 0: 低电平有效使能 1: 高电平有效使能	RO	RO	0b
2	HBI ALE Polarity (HBI 地址锁存信号极性) 0: 低电平有效选通 (地址在上升沿锁存) 1: 高电平有效选通 (地址在下降沿锁存)	RO	RO	0b
1:0	保留	RO	RO	-

7.3 SPI 接口配置

当 EtherCAT 从站寄存器 **PDI Control** 配置为 SPI 接口时，EtherCAT 从站寄存器 **Extended PDI Configuration** 为 GPI/GPO 提供了相关的配置。

SPI 接口模式下的 EtherCAT 从站寄存器 **Extended PDI Configuration** 的寄存器格式如下：

地址偏移：0152h-0153h

Bits	描述	ECAT 权限	PDI 权限	默认 值
15	I/O[15:14] Buffer Type (I/O[15:14] Buffer 类型) 0: 推挽 (Push-Pull) 1: 开漏 (Open Drain)	RO	RO	0b
14	I/O[13:12] Buffer Type (I/O[13:12] Buffer 类型) 0: 推挽 (Push-Pull) 1: 开漏 (Open Drain)	RO	RO	0b
13	I/O[11:10] Buffer Type (I/O[11:10] Buffer 类型) 0: 推挽 (Push-Pull) 1: 开漏 (Open Drain)	RO	RO	0b
12	I/O[9:8] Buffer Type (I/O[9:8] Buffer 类型) 0: 推挽 (Push-Pull) 1: 开漏 (Open Drain)	RO	RO	0b
11	I/O[7:6] Buffer Type (I/O[7:6] Buffer 类型)	RO	RO	0b

	0: 推挽 (Push-Pull) 1: 开漏 (Open Drain)			
10	I/O[5:4] Buffer Type (I/O[5:4] Buffer 类型) 0: 推挽 (Push-Pull) 1: 开漏 (Open Drain)	RO	RO	0b
9	I/O[3:2] Buffer Type (I/O[3:2] Buffer 类型) 0: 推挽 (Push-Pull) 1: 开漏 (Open Drain)	RO	RO	0b
8	I/O[1:0] Buffer Type (I/O[1:0] Buffer 类型) 0: 推挽 (Push-Pull) 1: 开漏 (Open Drain)	RO	RO	0b
7	I/O[15:14] Direction (I/O[15:14] 方向) 0: 输入 1: 输出	RO	RO	0b
6	I/O[13:12] Direction (I/O[13:12] 方向) 0: 输入 1: 输出	RO	RO	0b
5	I/O[11:10] Direction (I/O[11:10] 方向) 0: 输入 1: 输出	RO	RO	0b

4	I/O[9:8] Direction (I/O[9:8] 方向) 0: 输入 1: 输出。	RO	RO	0b
3	I/O[7:6] Direction (I/O[7:6] 方向) 0: 输入 1: 输出	RO	RO	0b
2	I/O[5:4] Direction (I/O[5:4] 方向) 0: 输入 1: 输出	RO	RO	0b
1	I/O[3:2]Direction (I/O[3:2] 方向) 0: 输入 1: 输出	RO	RO	0b
0	I/O[1:0] Direction (I/O[1:0] 方向) 0: 输入 1: 输出	RO	RO	0b

8. 主机总线接口 (HBI)

8.1 功能概述

主机总线接口 (HBI) 模块提供了一个高速异步并行接口，可用于 ISN8221 与微控制器(MCU)之间的通信。主机总线接口 (HBI) 基于小端字节序来访问系统寄存器，并通过系统寄存器间接访问 EtherCAT 从站寄存器。关于主机总线接口 (HBI) 的配置可参考 **7.2 HBI 接口配置**。以下是主机总线接口 (HBI) 的功能概述

- 支持两种寻址模式：复用地址/数据模式、以及寄存器索引模式。
- 可选数据总线宽度：支持 16 Bit 和 8 Bit 数据模式。在 16Bit 模式下，不支持字节 (8Bit) 访问。
- 支持两种读/写控制模式：读写独立使能、以及使能/方向控制。
- 控制信号的极性可配：可配置片选、读/写和地址锁存等信号的极性。
- 复用地址/数据模式下，支持直接 FIFO 访问，通过 FIFO 直接选择输入信号，将写操作定向到写 **EtherCAT 过程 RAM 写数据 FIFO**，并将所有读操作定向到读 **EtherCAT 过程 RAM 读数据 FIFO 读取**。
- 复用地址/数据模式下，支持单相/双相地址锁存。

8.2 控制逻辑

8.2.1 读/写控制信号

芯片支持两种不同的读/写模式：

- 读写使能：RD_WR 管脚(RD)控制读操作，WR_ENB 管脚 (ENB) 控制写操作。
- 使能/方向控制： RD_WR 管脚 (RD_WR) 控制读和写方向，WR_ENB 管脚 (ENB) 控制读写使能。

8.2.2 控制信号极性

芯片支持以下信号的极性控制：

- CS: 片选输入
- RD_WR: 读/方向
- WR_ENB: 写/使能
- ALELO/ALEHI: 地址锁存

8.3 地址/数据复用模式

在地址/数据复用模式下，地址、FIFO 直接选择与数据总线复用。地址锁存支持两种方式：

- 单相地址锁存：使用 16 Bit 地址/数据管脚
- 双相地址锁存：仅使用低 8 Bit 地址/数据管脚

8.3.1 地址锁存周期

8.3.1.1 单相地址锁存

在单相地址锁存模式下，所有地址位和 FIFO 直接选择信号都在 **ALELO** 信号的无效边沿时被锁存到芯片中。

地址通过所有 16 个地址/数据管脚进行锁存。在 8 位数据模式下，管脚 AD[15:8]专门用于地址锁存，读写数据值使用 AD[7:0]。可以通过配置选择限定 **ALELO** 信号仅在 CS 信号有效时才能锁存地址，或者仅使用 **ALELO** 信号就能锁存地址。地址锁存后，将用于所有后续的读写操作，锁存的地址将一直保持，直到复位或者下一次地址锁存。这允许多次针对相同地址进行读写请求，而无需多次执行地址锁存操作。

8.3.1.2 双相地址锁存

在双相地址锁存模式下，地址的低 8 Bit 在 **ALELO** 信号的无效边沿时被锁存到芯片中，而地址的高位与 FIFO 直接选择信号则在 **ALEHI** 信号的无效边沿时被锁存到芯片中；两者的锁存顺序可以任意。在 8 位数据模式下，不使用管脚 AD[15:8]。在 16 位数据模式下，管脚 D[15:8]仅用于读写数据。可以通过配置选择限定 **ALELO** 和 **ALEHI** 信号仅在 CS 信号有效时才能锁存地址，或者仅使用 **ALELO** 和 **ALEHI** 信号就能锁存地址。地址锁存后，将用于所有后续的读写操作，锁存的地址将一直保持，直到复位或者下一次地址锁存。这允许多次针对相同地址进行读写请求，而无需多次执行地址锁存操作。

8.3.1.3 地址位到地址/数据管脚映射

在 8 Bit 数据模式下，地址 Bit 0 复用到 AD[0]管脚，地址 Bit 1 复用到 AD[1]管脚，依此类推。地址的最高位为第 9 位，在单相地址锁存模式下，复用到 AD[9]；在双相地址锁存模式下，复用到 AD[1]。锁存的地址被视为字节地址，覆盖范围为 1K Byte (0~3FFh)。

在 16Bit 数据模式下，地址 Bit 1 复用到 AD[0]管脚，地址 Bit 2 复用到 AD[1]管脚，依此类推。地址的最高位为第 9 位，在单相地址锁存模式下，复用到 AD[8]；在双相地址锁存模式下，复用到 AD[0]。锁存的地址被视为字 (16 Bit) 地址，覆盖范围为 512 字 (0 至 1FFh)。在内部访问中会将字 (16 Bit) 地址转换为字节 (8 Bit) 地址。

8.3.1.4 FIFO 直接选择到地址/数据管脚映射

FIFO 直接选择信号与地址一起被锁存，以允许微控制器(MCU)直接访问 **EtherCAT 过程 RAM 数据 FIFO**。FIFO 直接选择信号被复用到地址/数据管脚上，如表 8-1 所示。

表 8-1：FIFO 直接选择到地址/数据管脚映射

数据模式	单相地址锁存模式	双相地址锁存模式
8 Bit	AD11	AD3
16 Bit	AD10	AD2

8.3.2 数据访问周期

主机总线接口 (HBI) 的数据总线可以是 16 Bit 或 8 Bit, 而所有系统寄存器都是 32 Bit; 因此, 主机总线接口 (HBI) 在 8 Bit 或 16 Bit 数据模式下执行从字节 (8 Bit) 或字 (16 Bit) 到双字 (32 Bit) 的转换过程中, 分别需要在同一双字 (32 Bit) 内进行 4 次或 2 次连续访问才能完成一次读或写系统寄存器操作。

8.3.2.1 写周期

当片选信号 CS 和写信号 WR 有效时 (或者当使能信号 ENB 有效且 RD_WR 指示为写时), 发生写周期。在写周期的后沿 (WR、CS 或 ENB 变为无效时), 根据数据总线宽度, 8Bit 或 16 Bit 的写数据被锁存, 并根据锁存的地址, 将数据写入到系统寄存器。在 8 Bit 或 16 Bit 数据模式下, 微控制器 (MCU) 需要进行 4 次 8 Bit 或 2 次 16 Bit 的写操作才能完成一次双字 (32 Bit) 传输。

注意: 写入双字 (32 Bit) 内的最高位字 (16 Bit) 或字节 (8 Bit) 会改变系统寄存器的状态, 例如 FIFO 的写指针。

8.3.2.2 读周期

当片选信号 CS 和读信号 RD 有效时 (或者当使能信号 ENB 有效且 RD_WR 指示为读时), 发生读周期。在读周期开始时, 内部电路在锁存的地址译码下, 读取对应的寄存器并将其数值驱动到数据管脚上。根据总线宽度, 读取一个字 (16 Bit) 或一个字节 (8 Bit)。在 8 Bit 或 16 Bit 数据模式下, 微控制器 (MCU) 需要进行 4 次 8 Bit 或 2 次 16 Bit 的读操作才能完成一次双字 (32 Bit) 传输。

注意: 读取双字 (32 Bit) 内的最高位字 (16 Bit) 或字节 (8 Bit) 会改变系统寄存器的状态, 例如 FIFO 的读指针。

8.3.3 ETHERCAT 进程 RAM 数据 FIFO 访问

8.3.3.1 FIFO 直接选择访问

主机总线接口(HBI) 地址/数据复用模式在地址信号中提供了一个 FIFO 直接选择信号，允许微控制器 (MCU) 直接访问 **EtherCAT 进程 RAM 数据 FIFO**。当在地址锁存周期期间锁存的 FIFO 直接选择信号处于活动状态时，所有写操作都指向 **EtherCAT 进程 RAM 写数据 FIFO**，所有读操作都来自 **EtherCAT 进程 RAM 读数据 FIFO**。并通过锁存的地址低位来选择正确的字节 (8 Bit) 或字 (16 Byte)。而其他的地址被忽略。

8.3.4 复用地址/数据模式功能时序图

以下时序图展示了复用地址/数据模式下，基于不同总线位宽的地址锁存、读和写周期的示例。对于本节中的时序图，应注意以下几点：

- 本节中的时序图中，ALEHI/ALELO、CS、RD 和 WR 信号的有效电平是高电平。这些信号的极性可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI ALE Polarity**、**HBI Chip Select Polarity**、**HBI Read Read/Write Polarity** 和 **HBI Write Enable Polarity** 位分别进行选择。
- 第 8.3.4.1 节 “双相地址锁存” 和第 8.3.4.2 节 “单相地址锁存” 中的时序图利用了 RD 和 WR 信号。还支持替代的 RD_WR 和 ENB 信号，如第 8.3.4.3 节 “RD_WR/ENB 控制模式示例” 所示。HBI 读/写模式可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Read/Write Mode** 位进行选择。RD_WR 和 ENB 信号的极性可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Read Read/Write Polarity** 和 **HBI Write Enable Polarity** 位进行选择。
- ALELO/ALEHI 是否限定在 CS 信号使能时有效可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI ALE Qualification** 位进行选择。
- 在双相地址锁存模式下，ALEHI 和 ALELO 之间的锁存可以是任何顺序。
- 在单相地址锁存模式下，可以跳过 ALELO 周期，并且芯片保留最后锁存的地址。
- 对于 16 Bit 和 8Bit 模式，连续的地址周期必须在同一个双字 (32 Bit) 内，直到完全访问该双字 (32 Bit)。并且首先访问较低地址的字节 (8 Bit) 或字 (16 Bit)。

注意：在 8 Bit 和 16 Bit 模式下，通常不会跳过 ALELO 周期，因为为了满足完整的双字周期，会按顺序访问连续的字节或字。

8.3.4.1 双相地址锁存

本节的时序图详细说明了在双相地址锁存的地址/数据复用模式下，16 Bit 和 8 Bit 模式的读写操作。

ISOMICRON 安芯微半导体

16 Bit 读取

地址的高低字节依次从管脚 AD[7:0]中锁存, 在地址锁存阶段, 不使用或驱动 AD[15:8]。随后在 AD[15:0]上进行读取操作。随后锁存下一个字 (16 Bit) 地址, 读取下一个字 (16 Bit) 数据, 完成双字 (32 Bit) 的读取。

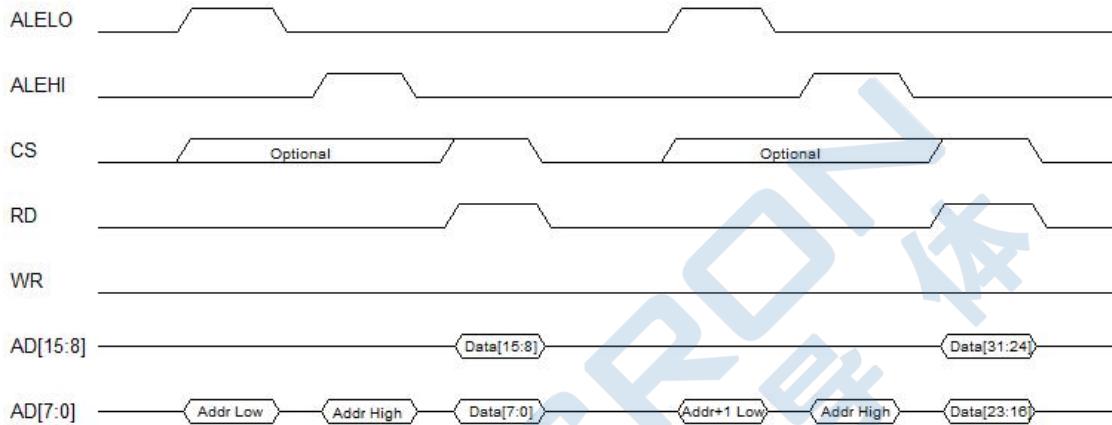


图 8 - 1: 采用双相锁存的复用寻址 - 16 Bit 读取

16 Bit 读取并抑制 ALEHI

地址的高低字节依次从管脚 AD[7:0]中依次锁存, 在地址锁存阶段, 不使用或驱动 AD[15:8]。随后在 AD[15:0]上进行读取操作。随后仅锁存下一个字 (16 Bit) 地址的低位, 读取下一个字 (16 Bit) 数据, 完成双字 (32 Bit) 的读取。

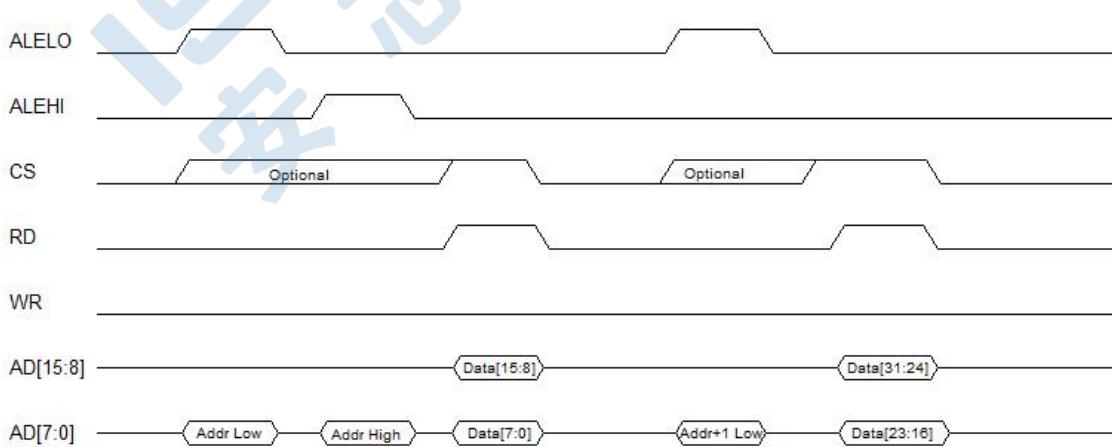


图 8-2: 采用双相锁存的复用寻址 - 无 ALEHI 的 16 Bit 读取

16 Bit 写操作

地址的高低字节依次从管脚 AD[7:0]中锁存，在地址锁存阶段，不使用或驱动 AD[15:8]。随后在 AD[15:0]上进行写操作。随后锁存下一个字（16 Bit）地址，写下下一个字（16 Bit）数据，完成双字（32 Bit）的写操作。

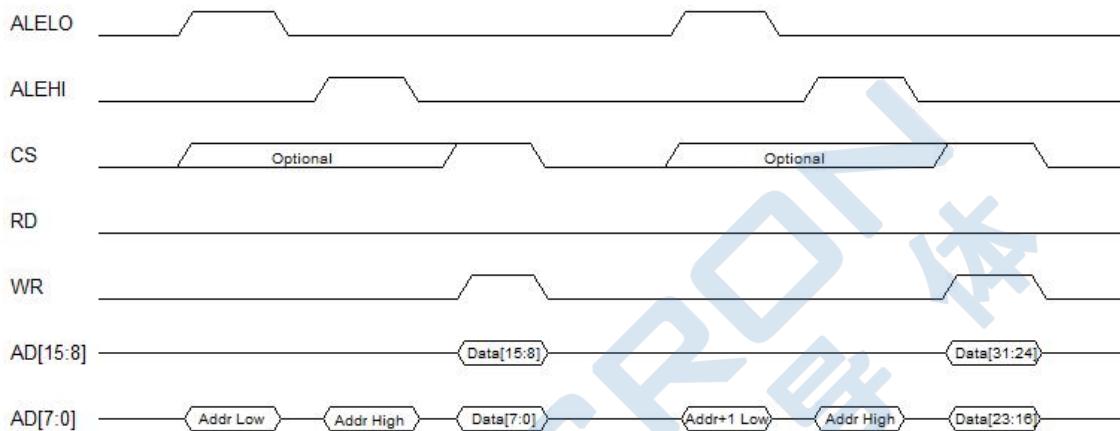


图 8-3: 采用双相锁存的复用寻址 - 16 Bit 写操作

16 Bit 写并抑制 ALEHI

地址的高低字节依次从管脚 AD[7:0]中锁存，在地址锁存阶段，不使用或驱动 AD[15:8]。随后在 AD[15:0]上进行写操作。随后仅锁存下一个字（16 Bit）地址的低位，写下下一个字（16 Bit）数据，完成双字（32 Bit）的写操作。

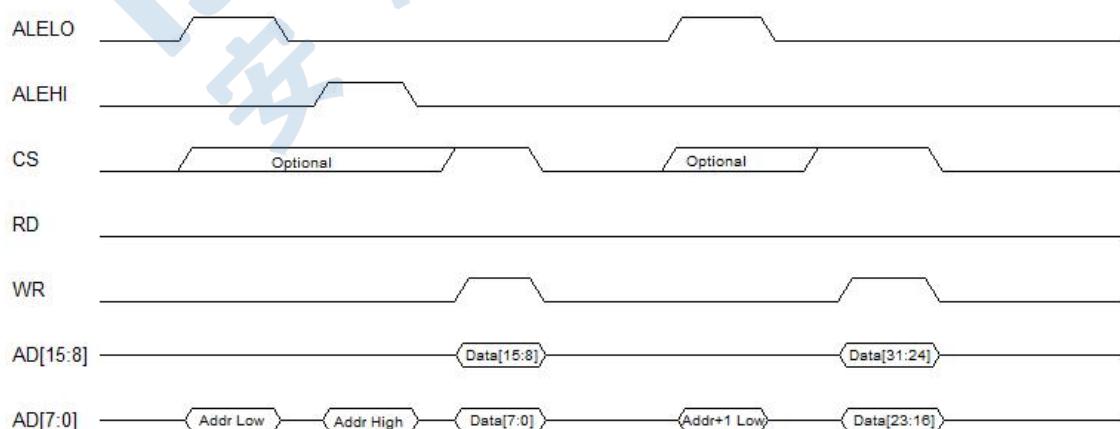


图 8-4: 采用双相锁存的复用寻址 - 无 ALEHI 的 16 Bit 写

8 Bit 读取

地址的高低字节依次从管脚 AD[7:0]中锁存，在地址锁存阶段，不使用或驱动 AD[15:8]。随后在 AD[7:0]上进行读取操作。随后锁存下一个字节（8 Bit）地址，读取下个字节数据，连续 4 次，完成双字（32 Bit）的读取操作。

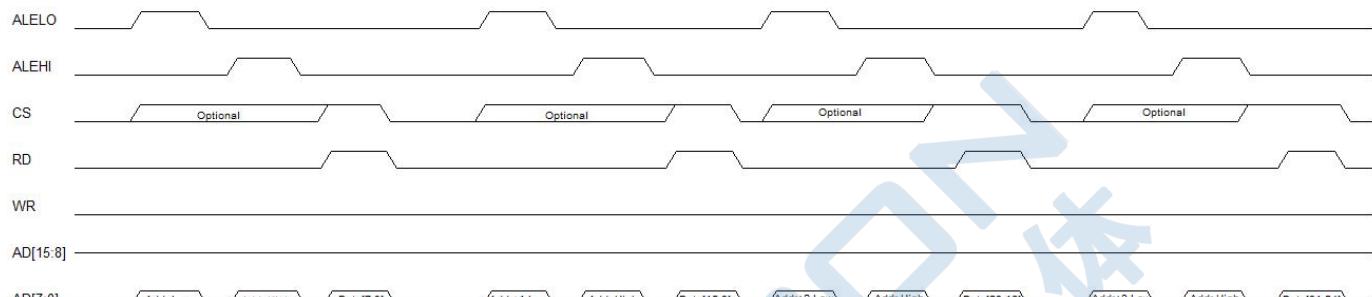


图 8-5：采用双相锁存的复用寻址 - 8 Bit 读取

8 Bit 读取并抑制 ALEHI 信号

地址的高低字节依次从管脚 AD[7:0]中锁存，在地址锁存阶段，不使用或驱动 AD[15:8]。随后在 AD[7:0]上进行读取操作。随后仅使用 ALELO 锁存下一个字节（8 Bit）地址低位，读取下个字节数据，连续 4 次，完成双字（32 Bit）的读取操作。

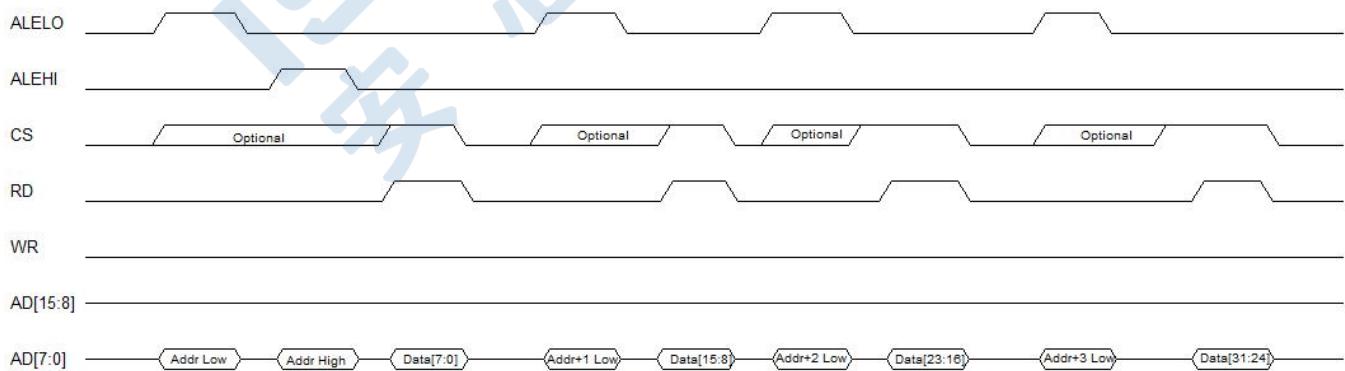


图 8-6：采用双相锁存的复用寻址 - 无 ALEHI 信号的 8 Bit 读取操作

8 Bit 写

地址的高低字节依次从管脚 AD[7:0]中锁存，在地址锁存阶段，不使用或驱动 AD[15:8]。随后在 AD[7:0]上进行写操作。随后锁存下一个字节 (8 Bit) 地址，写下个字节数据，连续 4 次，完成双字 (32 Bit) 的写操作。

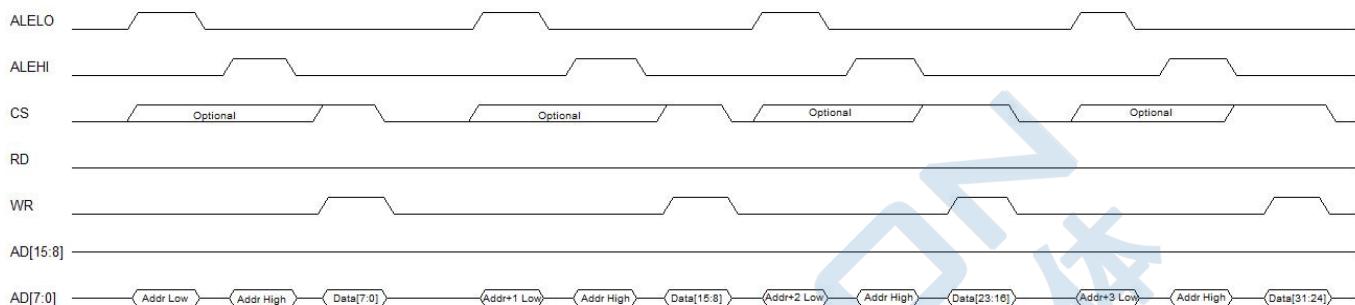


图 8-7：采用双相锁存的复用寻址-8 Bit 写

8 Bit 写并抑制 ALEHI 信号

地址的高低字节依次从管脚 AD[7:0]中锁存。在地址锁存阶段，不使用或驱动 AD[15:8]。随后在 AD[7:0]上进行写操作。随后仅使用 ALELO 锁存下一个字节 (8 Bit) 地址低位，写下个字节数据，连续 4 次，完成双字 (32 Bit) 的写操作。

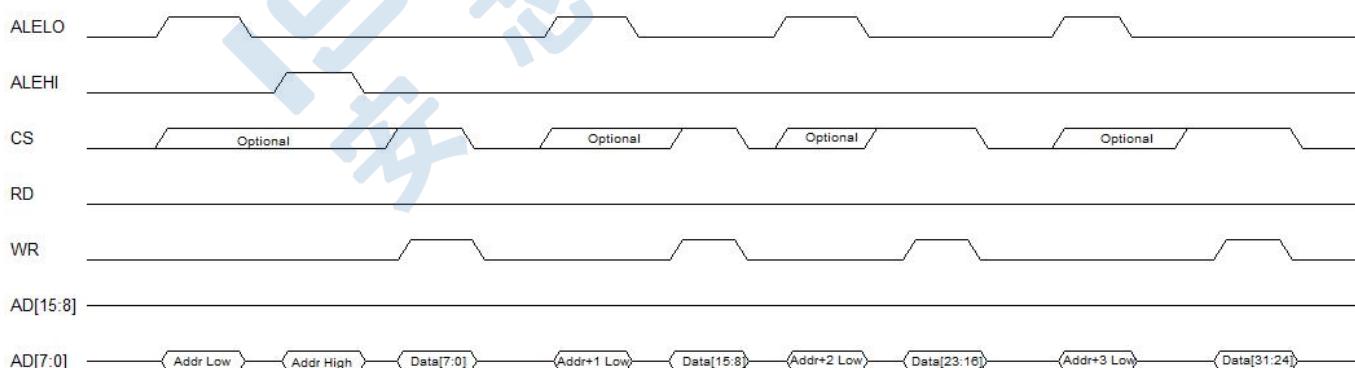


图 8-8：采用双相锁存的复用寻址 - 不带 ALEHI 的 8 Bit 写操作

8.3.4.2 单相地址锁存

本节的时序图详细说明了在 16 位和 8 位操作模式下使用单相地址锁存的地址/数据复用模式。

16 Bit 读取

地址同时从 AD[7:0]和 AD[15:8]锁存。随后在 AD[15:0]上进行读取。随后锁存下一个字 (16 Bit) 地址，读取下一个字 (16 Bit) 数据，完成双字 (32 Bit) 的读取操作。

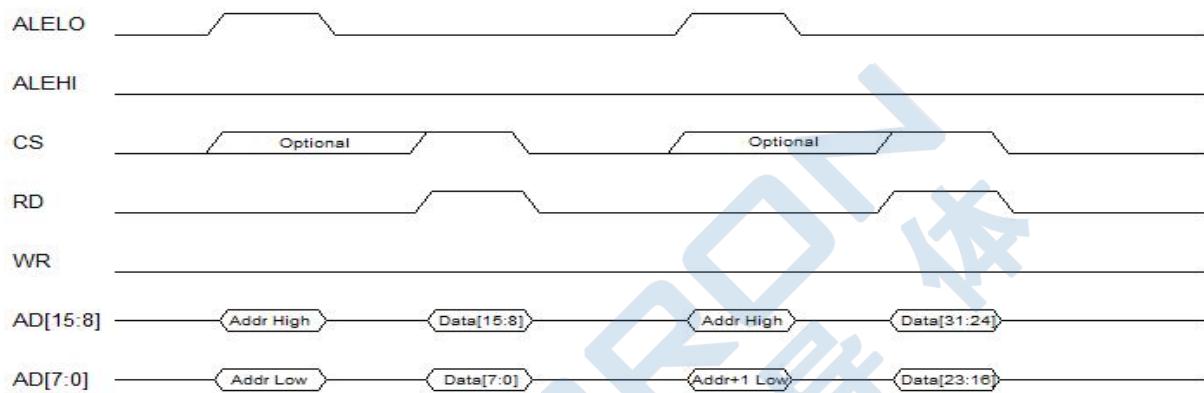


图 8-9: 使用单相锁存的复用寻址 - 16 Bit 读取

16 Bit 写

地址同时从 AD[7:0]和 AD[15:8]锁存。随后在 AD[15:0]上进行写。随后锁存下一个字 (16 Bit) 地址，写下一个字 (16 Bit) 数据，完成双字 (32 Bit) 的写操作。



图 8-10: 使用单相锁存的复用寻址 - 16 Bit 写入操作

8 Bit 读操作

地址同时从 AD[7:0]和 AD[15:8]锁存。随后在 AD[7:0]上进行读取操作。在数据阶段不使用或驱动 AD[15:8]管脚，随后锁存下一个字节 (8 Bit) 地址，读取下一个字节 (8 Bit) 数据，连续重复 4 次，完成双字 (32 Bit) 的读取操作。

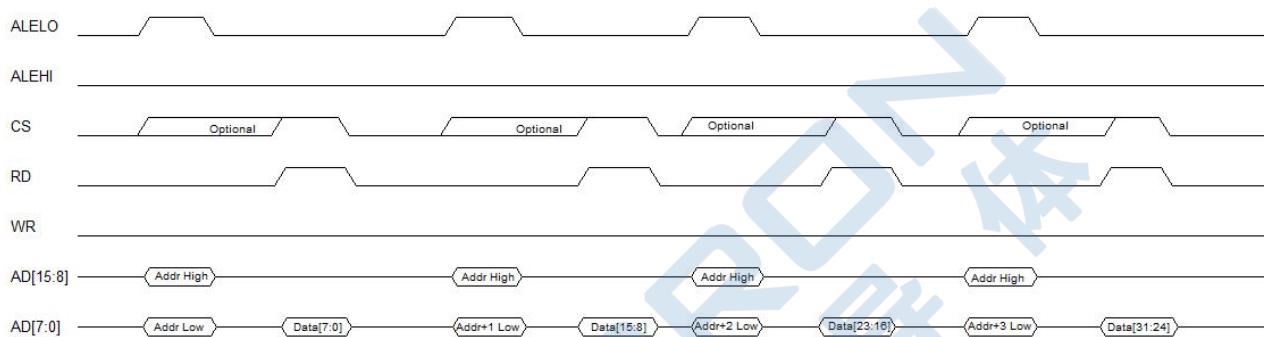


图 8-11：使用单相锁存的复用寻址 - 8 Bit 读操作

8 Bit 写操作

地址同时从 AD[7:0]和 AD[15:8]锁存。随后在 AD[7:0]上进行写操作。在数据阶段不使用或驱动 AD[15:8]管脚，随后锁存下一个字节 (8 Bit) 地址，写下下一个字节 (8 Bit) 数据，连续重复 4 次，完成双字 (32 Bit) 的写操作。

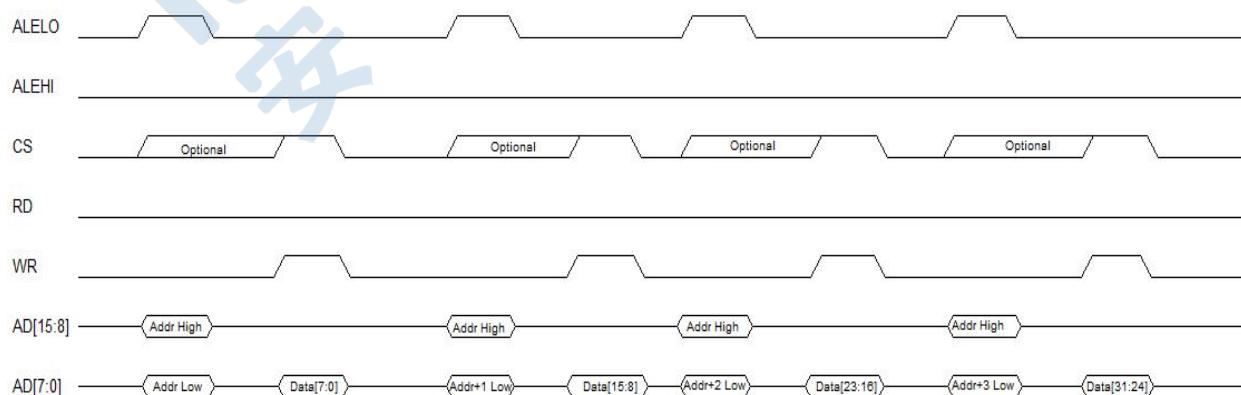


图 8-12：使用单相锁存的复用寻址 - 8 Bit 写操作

8.3.4.3 使能/方向控制模式示例

本节的时序图详细展示了使用使能/方向控制模式的 RD_WR 和 ENB 信号进行读写操作。HBI 读/写模式可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Read/Write Mode** 位选择。

本节的时序图中，ENB 信号为高电平有效，RD_WR 信号在读取时为低电平，在写入时为高电平。RD_WR 和 ENB 信号的极性可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Read、Read/Write Polarity** 和 **HBI Write Enable Polarity** 位选择。

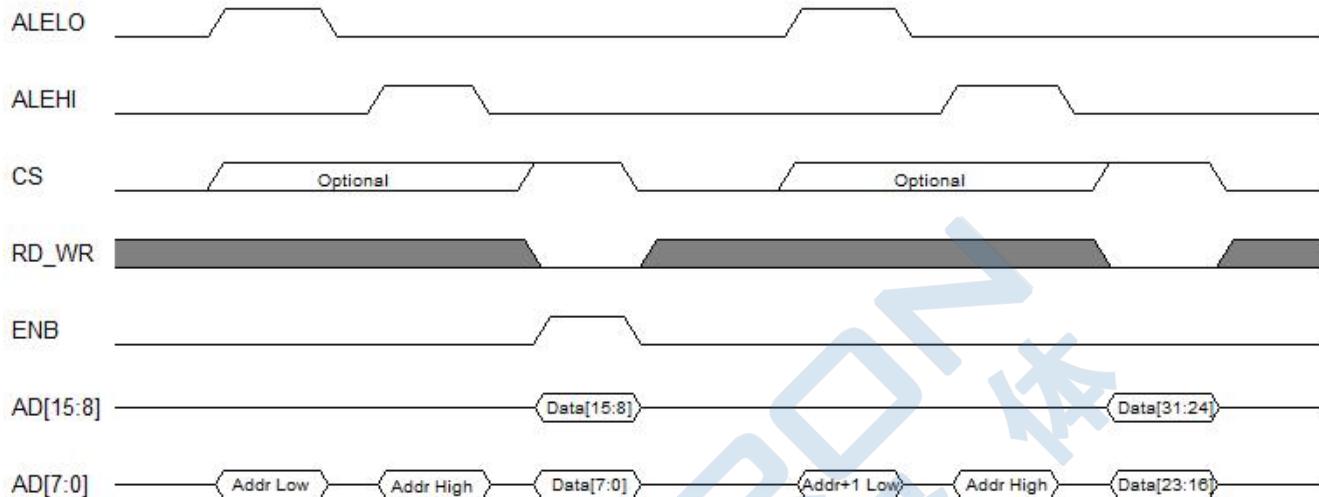
使能/方向控制模式 16 Bit 读取：

图 8-13: RD_WR / ENB 控制模式示例 - 16 Bit 读取

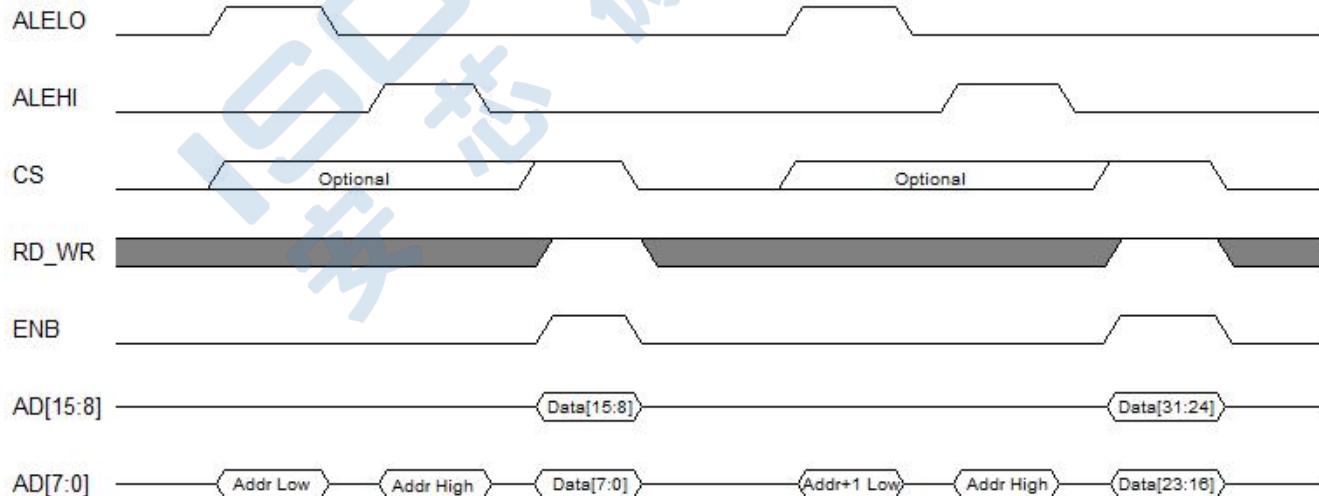
使能/方向控制模式 16 Bit 写：

图 8-14: RD_WR / ENB 控制模式示例 - 16 Bit 写入

8.3.5 复用寻址模式时序要求

以下图表和表格描述在地址/数据复用模式下的时序规范。对于本节中的时序规范，应注意以下几点：

- 本节中的图表描绘了高电平有效的 ALEHI、ALELO、CS、RD、WR、RD_WR 和 ENB 信号。这些信号的极性可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI ALE Polarity**、**HBI Chip Select Polarity**、**HBI Read Read/Write Polarity** 和 **HBI Write Enable Polarity** 位分别选择。
- ALELO 和/或 ALEHI 与 CS 信号的限定可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI ALE Qualification** 位选择。这在图中以虚线表示。仅当此模式处于活动状态时，ALELO/ALEHI 与 CS 之间的时序要求才适用。
- 在双相地址锁存模式下，ALEHI 和 ALELO 周期可以是任意顺序。图中实线表示先 ALEHI，虚线表示先 ALELO。
- 一个读取周期之后可能跟随一个地址周期、一个写入周期或者另一个读取周期。一个写入周期之后可能跟随一个读取周期或者另一个写入周期。这些在图中以虚线表示。

8.3.5.1 读取时序要求

有效极性为高电平时：

- 如果使用 RD 和 WR 信号，当 RD 在 CS 为 1 时被置 1，主机读取周期开始，读周期在 RD 被置 0 时结束。CS 可以与 RD 同时被置 1 和置 0。
- 如果使用 RD_WR 和 ENB 信号，当 ENB 为 1、CS 为 1 且 RD_WR 指示读取时，主机读取周期开始。该周期在 ENB 被置 0 时结束。CS 可以与 ENB 同时设置

有效极性为低电平时：

- 如果使用 RD 和 WR 信号，当 RD 在 CS 为 0 时被置 0，主机读取周期开始，读周期在 RD 被置 1 时结束。CS 可以与 RD 同时被置 0 和置 1。
- 如果使用 RD_WR 和 ENB 信号，当 ENB 为 0、CS 为 0 且 RD_WR 指示读取时，主机读取周期开始。该周期在 ENB 被置 1 时结束。CS 可以与 ENB 同时设置

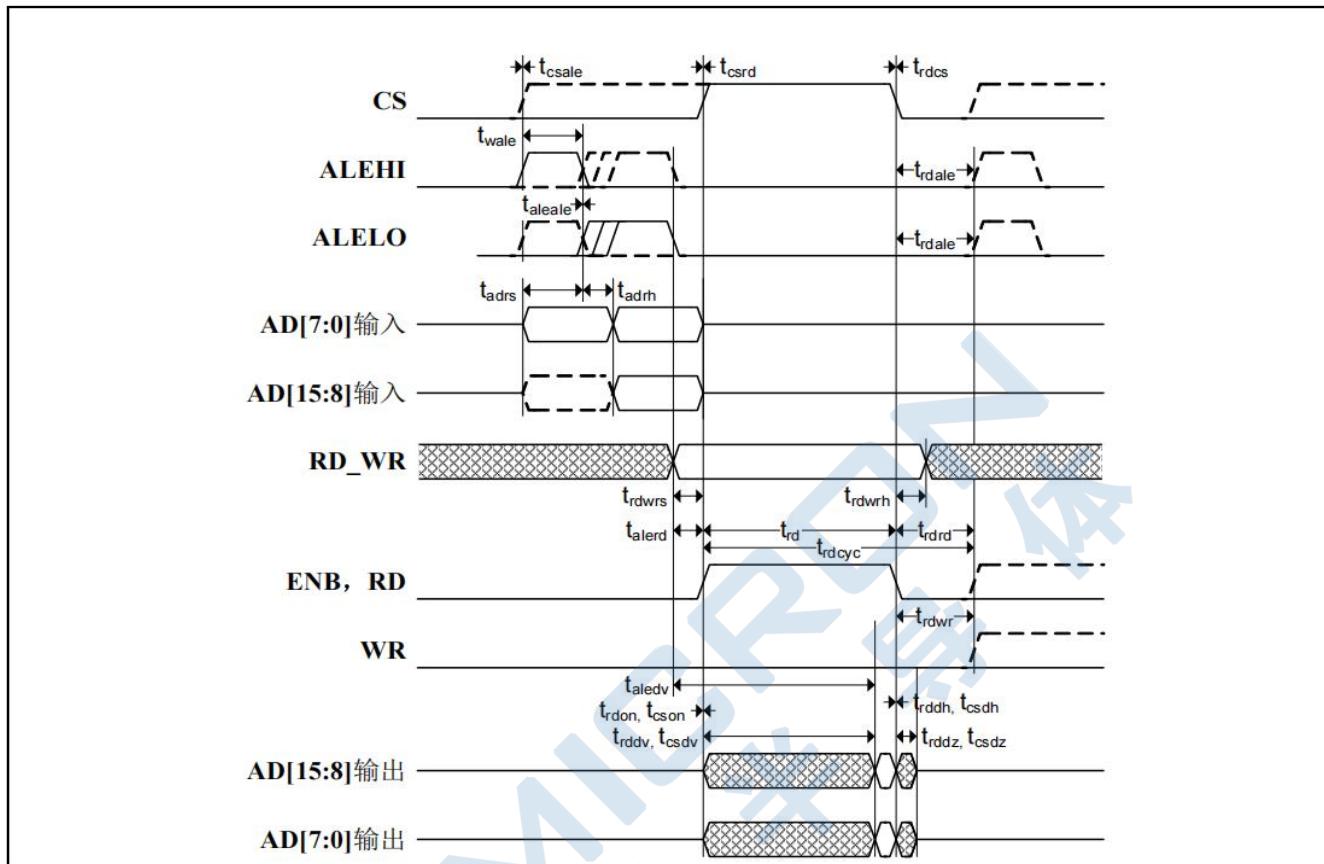


图 8-15: 复用寻址读周期时序

表 8-2: 复用寻址读周期时序值

符号	描述	Min	Typ	Max	units
t_{csale}	ALELO/ALEHI 有效前 CS 有效的建立时间	0			ns
t_{csrd}	RD/ENB 有效前 CS 有效的建立时间	0			ns
t_{rdcs}	RD/ENB 无效后 CS 有效的保持时间	0			ns
t_{wale}	ALELO/ALEHI 有效脉冲宽度时间	10			ns
t_{adrs}	ALELO/ALEHI 无效前 Address 有效的建立时间	10			ns
t_{adrh}	ALELO/ALEHI 无效后 Address 有效的保持时间	5			ns
t_{alerd}	ALELO/ALEHI 无效后到 RD/ENB 有效的时间	10			ns
t_{rdwrs}	ENB 有效前 RD_WR 有效的建立时间	5			ns
t_{rdwrh}	ENB 无效后 RD_WR 有效的保持时间	5			ns
t_{rdon}	RD/ENB 有效后, 到数据缓存输出开启的时间	0			ns
t_{rddv}	RD/ENB 有效后, 到数据输出有效的时间			65	ns
t_{rddh}	RD/ENB 无效后, 数据输出有效的保持时间	0			ns
t_{rddz}	RD/ENB 无效后, 到数据缓存输出关闭的时间			30	ns
t_{cs0n}	CS 有效后, 到数据输出有效的时间	0			ns
t_{csdv}	CS 有效后, 到数据输出有效的时间			65	ns
t_{csdh}	CS 无效后, 数据输出有效的保持时间	0			ns
t_{csdz}	CS 无效后, 到数据缓存输出关闭的时间			30	ns
t_{aledv}	ALELO/ALEHI 无效后, 到数据输出有效的时间			75	ns
t_{rd}	RD/ENB 的有效时间	65			ns
t_{rdcyc}	RD/ENB 的周期时间	95			ns
t_{rdale}	下次地址锁存之前, RD/ENB 保持无效的时间	30			ns

符号	描述	Min	Typ	Max	units
t_{rdrd}	下次读周期前, RD/ENB 保持无效的时间	30			ns
t_{rdwr}	下次写周期前, RD 保持无效的时间	30			ns

8.3.5.2 写入时序要求

有效极性为高电平时：

- 如果使用 RD 和 WR 信号，主机写入周期在 WR 置 1 且 CS 置 1 时开始。写周期在 WR 被置 0 时结束。CS 可以与 WR 同时设置。
- 如果使用 RD_WR 和 ENB 信号，主机写入周期在 ENB 为 1、CS 为 1 且 RD_WR 指示写入时开始。该周期在 ENB 置 0 时结束。CS 可以与 ENB 同时设置。

有效极性为低电平时：

- 如果使用 RD 和 WR 信号，主机写入周期在 WR 置 0 且 CS 置 0 时开始。写周期在 WR 被置 1 时结束。CS 可以与 WR 同时设置。
- 如果使用 RD_WR 和 ENB 信号，主机写入周期在 ENB 为 0、CS 为 0 且 RD_WR 指示写入时开始。该周期在 ENB 置 1 时结束。CS 可以与 ENB 同时设置。

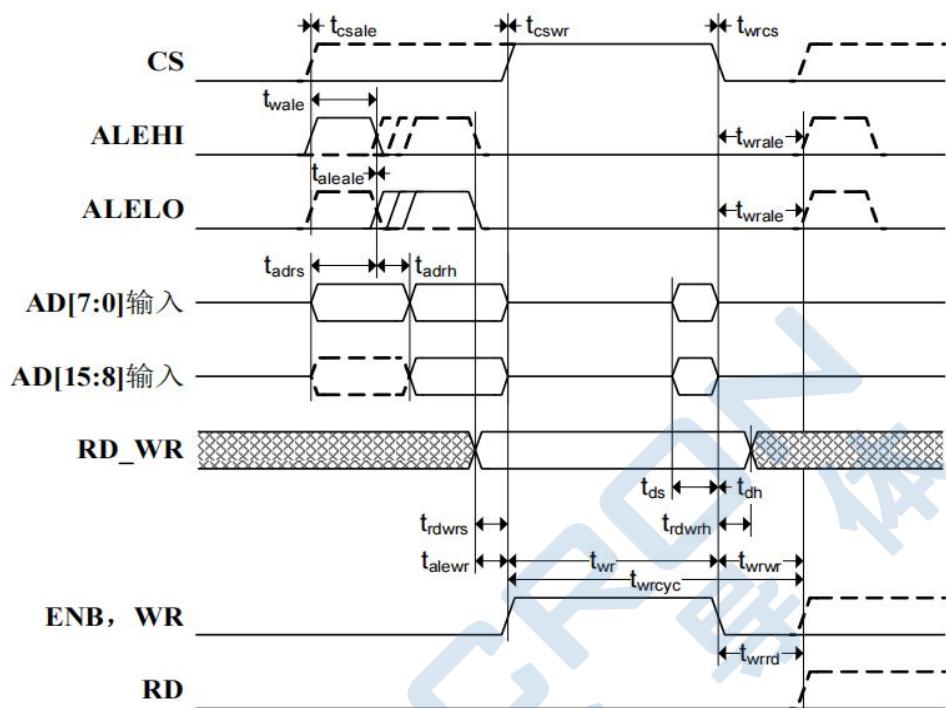


图 8 - 16: 复用寻址写周期时序

表 8-2: 复用寻址写周期时序值

符号	描述	Min	Typ	Max	Units
t_{csale}	ALELO/ALEHI 有效前CS有效的建立时间	0			ns
t_{cswr}	WR/ENB 有效前CS有效的建立时间	0			ns
t_{wrCS}	WR/ENV 无效后CS有效的保持时间	0			ns
t_{wale}	ALELO/ALEHI有效的脉冲宽度时间	10			ns
t_{adrs}	ALELO/ALEHI 无效前Address有效的建立时间	10			ns
t_{adrh}	ALELO/ALEHI 无效后Address有效的保持时间	5			ns
t_{aleale}	从ALELO无效到ALEHI有效的时间 从ALEHI无效到ALELO有效的时间	0			ns
t_{alewr}	从ALELO/ALEHI无效到WR/ENB有效的时间	10			ns
t_{rdwrs}	ENB有效前RD_WR有效的建立时间	5			ns
t_{rdwrh}	ENB无效后, RD_WR有效的保持时间	5			ns
t_{ds}	WR/ENB 无效前Data有效的建立时间	7			ns
t_{dh}	WR/ENB 无效后Data有效的保持时间	0			ns
t_{wr}	WR/ENB的有效时间	65			ns
t_{wrcyc}	WR/ENB的周期时间	95			ns
t_{wrale}	下次地址锁存之前, WR/ENB保持无效的时间	30			ns
t_{wrwr}	下次写周期前, WR/ENB保持无效的时间	30			ns
t_{wrrd}	下次读周期前, WR保持无效的时间	30			ns

8.4 寄存器索引模式

在寄存器索引模式下，通过索引寄存器和数据寄存器的间接映射来访问系统寄存器。系统寄存器的地址写入到索引寄存器中，然后访问相关联的数据寄存器等价于访问索引寄存器所指向的系统寄存器。寄存器索引模式实现了3组索引/数据寄存器，允许在多线程操作中避免一个线程覆盖另一个线程设置的索引值。此外，还实现了一个额外的数据寄存器用于直接访问 FIFO。主机总线接口的地址信号映射如下：

- 在8位数据模式下，主机地址输入(ADDR[4:0])为字节地址。
- 在16位数据模式下，ADDR0未提供，主机地址输入(ADDR[4:1])为字地址。

如第8.4.4.1节“索引寄存器直接访问 FIFO”所述，当在地址18h-1Bh进行读写操作时，将访问EtherCAT过程RAM数据FIFO。

表8-3：主机总线接口寄存器索模式的寄存器映射

字节地址	符号	寄存器名称
00h - 03h	HBI_IDX_0	主机总线接口索引寄存器0
04h - 07h	HBI_DATA_0	主机总线接口数据寄存器0
08h - 0Bh	HBI_IDX_1	主机总线接口索引寄存器1
0Ch - 0Fh	HBI_DATA_1	主机总线接口数据寄存器1
10h - 13h	HBI_IDX_2	主机总线接口索引寄存器2
14h - 17h	HBI_DATA_2	主机总线接口数据寄存器2
18h - 1Bh	PROCESS_RAM_FIFO	EtherCAT 过程 RAM 写数据 FIFO EtherCAT 过程 RAM 读数据 FIFO

8.4.1 主机总线接口索引寄存器

索引寄存器可按字 (16 Bit) 或字节 (8 Bit) 进行写入, 具体取决于数据位宽模式。索引寄存器的格式如下:

Bits	描述	权限	默认值
31:16	保留	RO	-
15:0	<p>内部地址</p> <p>访问相应数据寄存器时使用的地址。</p> <p>注意: 每个索引寄存器提供的内部地址始终被视为字节地址。</p> <p>在 16 Bit 数据位宽下, 在访问对应的数据寄存器时, 通过索引寄存器存放的地址加地址信号的 A[1]访问寄存器的字 (16 Bit) 偏移</p> <p>在 8 Bit 数据位宽下, 在访问对应的数据寄存器时, 通过索引寄存器存放的地址加地址信号的 A[1:0]来访问寄存器的字节 (8 Bit) 偏移</p>	R/W	1234h

8.4.2 索引寄存器访问

主机总线接口 (HBI) 的数据信号可以是 16 Bit 或 8 Bit 宽。HBI 索引寄存器为 32 位宽，可根据数据位宽模式以字 (16 Bit) 或字节 (8 Bit) 的形式写入。

8.4.2.1 写周期

当片选信号 CS 和写信号 WR 同时有效时 (或当使能信号 ENB 有效且 RD_WR 指示为写操作时)，启动写周期。在写周期的无效沿 (即 WR、CS 或 ENB 变为无效时)，根据地址信号的译码，将数据信号锁存，并写入到对应的索引寄存器中。根据数据总线位宽，写入内容可以是一个字 (16 Bit) 或一个字节 (8 Bit)。在 16 Bit 数据模式下，不支持单独的字节 (8 Bit) 访问。

8.4.2.2 读周期

当片选信号 CS 和读信号 RD 同时有效时 (或当使能信号 ENB 有效且 RD_WR 指示为读操作时)，发生读周期。在读周期开始时，根据地址信号的译码，从对应的索引寄存器读取数据，并将通过数据管脚将数据输出。根据总线宽度，读取内容可以是一个字 (16 Bit) 或一个字节 (8 Bit)。

8.4.3 系统寄存器访问

主机总线接口可以通过访问与索引寄存器相关联的数据寄存器访问内部的系统寄存器，索引寄存器提供了内部系统寄存器的字节(8 Bit)地址，并通过地址信号 A[1:0] 或者 A[1] 选择寄存器对应的字节 (8 Bit) 或字 (16 Bit)。主机总线接口 (HBI) 的数据总线位宽可以是 16Bit 或 8 Bit，而所有的系统寄存器均为 32 Bit。如果要完成系统寄存器的双字(32 Bit)访问，需要在 8 Bit 或 16 Bit 数据位宽模式下，进行 4 次或 2 次访问才能完成。

注意：访问数据寄存器或 FIFO 直接地址访问寄存器的高位字 (16 Bit) 或字节 (8 Bit) 会改变内部系统寄存器的状态，例如 FIFO 的写指针、FIFO 的读指针。

8.4.3.1 写周期

当 CS 和 WR 有效时（或者当 ENB 有效且 RD_WR 指示写操作时），发生一个写周期。主机总线接口上的地址信号选择一个索引寄存器相关联的数据寄存器。在写周期的后沿（WR、CS 或 ENB 变为无效），数据信号被锁存，并根据数据总线位宽、索引寄存器存放的地址、以及地址信号的译码，将数据写入到索引寄存器指向的系统寄存器中。

8.4.3.2 读取周期

当 CS 和 RD 有效时（或者当 ENB 有效且 RD_WR 指示读取时），发生读取周期。主机总线接口上的地址信号选择一个索引寄存器相关联的数据寄存器。在读周期的前沿，根据数据总线位宽、索引寄存器存放的地址、以及地址信号的译码，读取索引寄存器指向的系统寄存器，并将通过数据管脚将数据输出。

8.4.4 直接访问 FIFO

除了通过索引寄存器访问系统寄存器之外，还可以绕过索引寄存器，并在地址 18h-1Bh 处直接访问 FIFO。在此地址上，主机写操作将写入 **EtherCAT 过程 RAM 写数据 FIFO**，而主机读操作则从 **EtherCAT 过程 RAM 读数据 FIFO** 中读取数据。此访问方式不涉及相关的索引寄存器。可以通过地址信号 A[1:0] 或者 A[1] 选择 FIFO 对应的字节 (8 Bit) 或字 (16 Bit)。

8.4.5 寄存器索引模式功能时序图

本节的时序图展示了在各种配置和总线位宽下，寄存器索引模式读取和写入操作的示例。对于本节中的时序图，需要注意以下几点：

- 本节中的图表的片选 (CS)、读取 (RD) 和写入 (WR) 信号是高电平有效的。这些信号的极性可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Chip Select Polarity**、**HBI Read Read/Write Polarity** 和 **HBI Write Enable Polarity** 位分别进行选择。
- 本节中的图表使用了 RD 和 WR 信号。也支持替代的 RD_WR 和 ENB 信号，类似于第 8.4.5.3 节“**RD_WR / ENB 控制模式示例**”中的复用示例。HBI 读/写模式可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Read/Write Mode** 位进行选择。RD_WR 和 ENB 信号的极性可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Read Read/Write Polarity** 和 **HBI Write Enable Polarity** 位进行选择。

8.4.5.1 索引寄存器访问

本节的时序图表详细说明了在寄存器索引模式下，基于 16 Bit 和 8 Bit 数据位宽的索引寄存器读写操作。

16 Bit 读写操作

对于写操作，地址 A[4:2] 选择某个索引寄存器，地址 A[1]设置为 0b 时，写索引寄存器的低 16 Bit。数据在 WR 信号下降沿通过 D[15:0]写入。将地址 A[1]设置为 1b 时，写索引寄存器的高 16 Bit。

对于读操作，地址 A[4:2] 选择某个索引寄存器，地址 A[1]设置为 0b 时，读索引寄存器的低 16 Bit。在 RD 信号有效期间，读取的数据通过 D[15:0]输出。地址 A[1]设置为 1b 时，读索引寄存器的高 16 Bit。

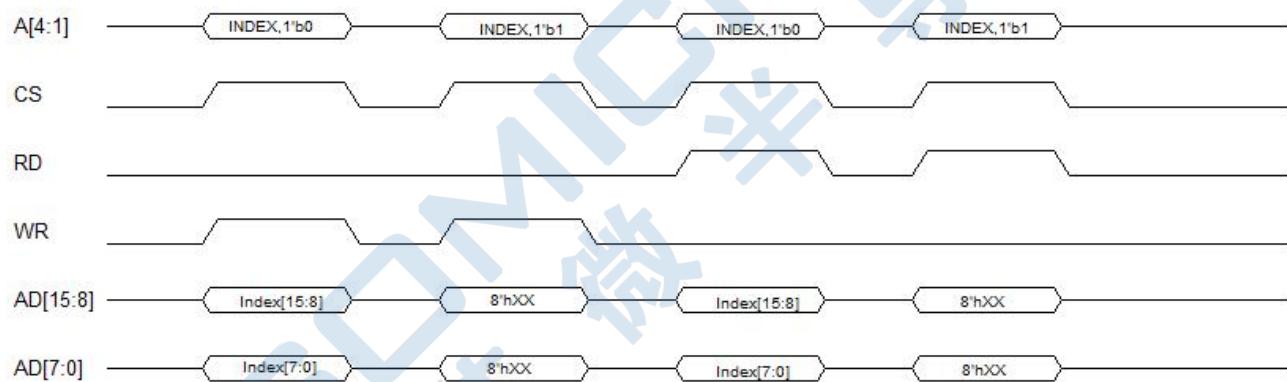


图8-17: 访问索引寄存器 - 16 Bit 写/读

8 Bit 读写操作

对于写操作，地址 A[4:2] 选择某个索引寄存器，地址 A[1:0] 设置为 00b 时，写索引寄存器的低 8 Bit，在 WR 信号的下降沿将数据通过 D[7:0] 写入。D[15:8] 管脚不使用或驱动。将地址 A[1:0] 设置为 01b, 10b, 11b 时，写索引寄存器的其余字节。

对于读操作，地址 A[4:2] 选择某个索引寄存器，地址 A[1:0] 设置为 00b 时，读索引寄存器的低 8 Bit，在 RD 信号有效期间，读取的数据会通过 D[7:0] 输出。D[15:8] 管脚不使用或驱动。将地址 A[1:0] 设置为 01b, 10b, 11b 时，读索引寄存器的其余字节。

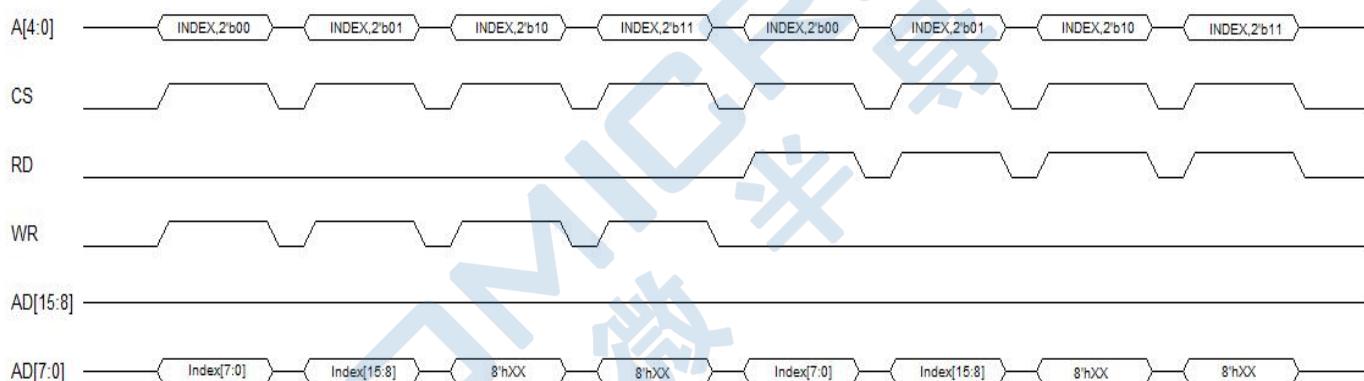


图 8-18：访问索引寄存器 - 8 Bit 写/读

8.4.5.2 系统寄存器访问

本节的时序图表详细说明了在寄存器索引模式下，基于 16 Bit 和 8 Bit 数据位宽的系统寄存器读写周期。这包括一个索引寄存器写入，随后是数据寄存器的读取或写入。

16 Bit 读取

根据 8.4.5.1 描述的方法将系统寄存器的地址写入到其中一个索引寄存器中。然后地址 A[4:2] 选择对应的数据寄存器，设置地址 A[1] 为 0b 时，读相应系统寄存器的低 16 Bit。在 RD 有效期间，读取的数据会在 D[15:0] 上输出。将地址 A[1] 设置为 1b 时，读相应系统寄存器的高 16 Bit。

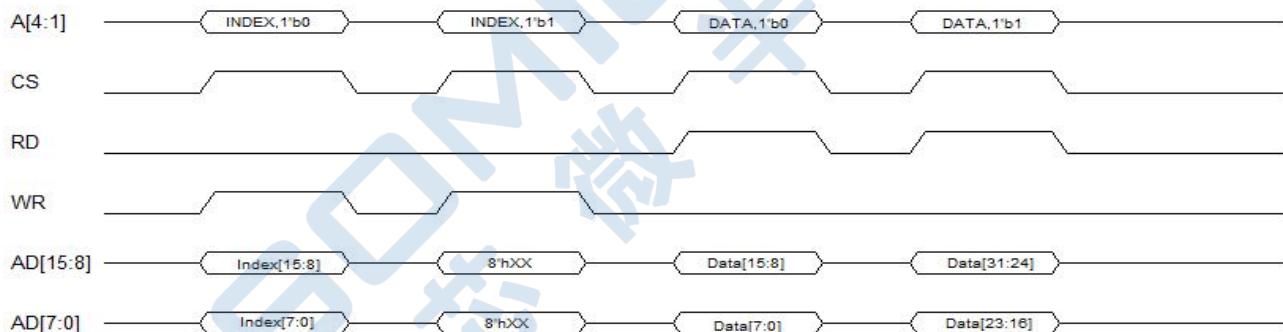


图 8-19：访问系统寄存器 - 16 位读取

16 Bit 写入

根据 8.4.5.1 描述的方法将系统寄存器的地址写入到其中一个索引寄存器中。然后地址 A[4:2] 选择对应的数据寄存器，地址 A[1] 设置为 0b 时，写相应系统寄存器的低 16 Bit。在 WR 的后沿，D[15:0] 上的数据被写入。地址 A[1] 设置为 1b 时，写相应系统寄存器的高 16 Bit。

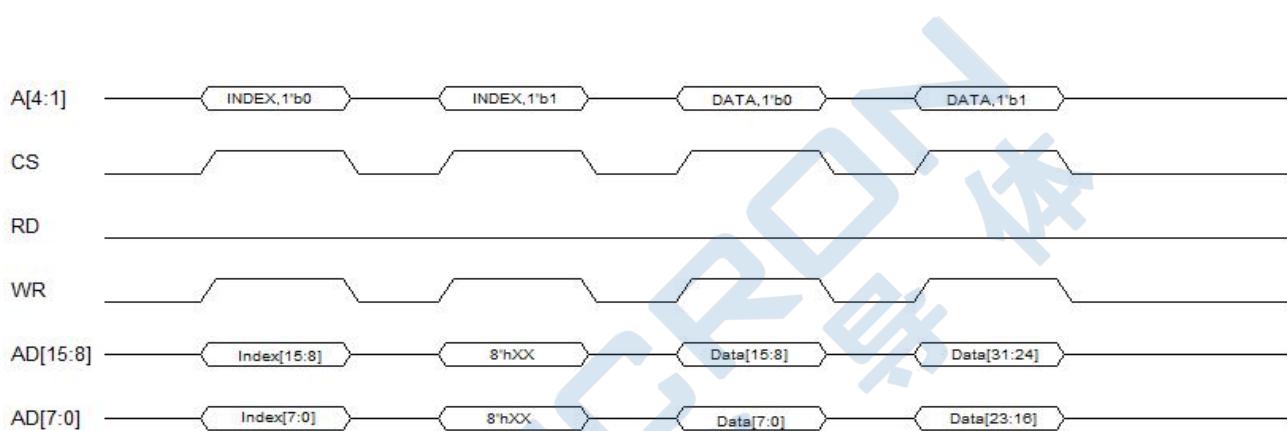


图 8 - 20: 访问系统寄存器 - 16 位写入

8 Bit 读操作

根据 8.4.5.1 描述的方法将系统寄存器的地址写入到其中一个索引寄存器中。然后地址 A[4:2] 选择对应的数据寄存器，地址 A[1:0] 设置为 00b 时，读取系统寄存器的低 8 Bit。在读取 (RD) 有效期间，读取的数据会在 D[7:0] 上输出。D[15:8] 管脚未被使用或驱动。地址 A[1:0] 设置为 01b, 10b, 11b 时，读取系统寄存器的其余字节。

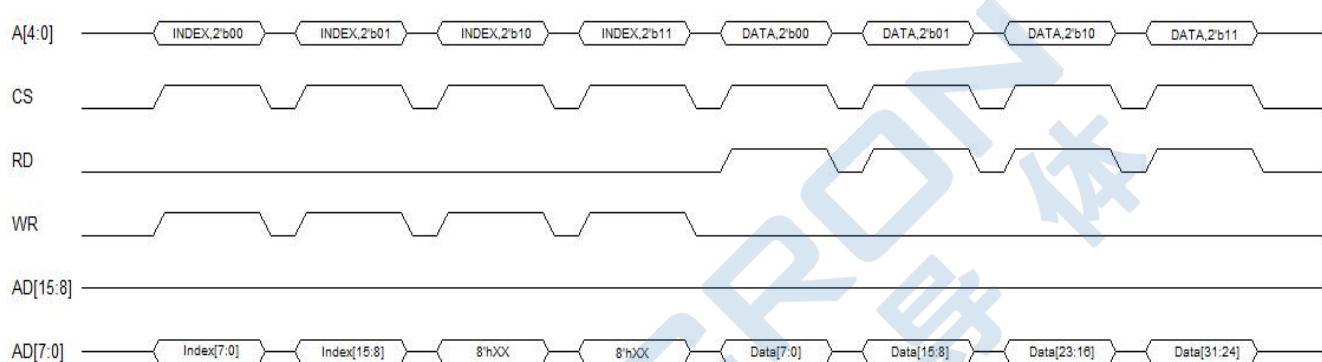


图 8 - 21: 访问系统寄存器 - 8 位读操作

8 位写操作

根据 8.4.5.1 描述的方法将系统寄存器的地址写入到其中一个索引寄存器中。然后地址 A[4:2] 选择数据寄存器，地址 A[1:0] 设置为 00b 时，写系统寄存器的低 8 Bit。在写入 (WR) 信号的后沿，D[7:0] 上的数据被写入。D[15:8] 管脚未被使用或驱动。地址 A[1:0] 设置为 01b, 10b, 11b 时，写入系统寄存器的其余字节。

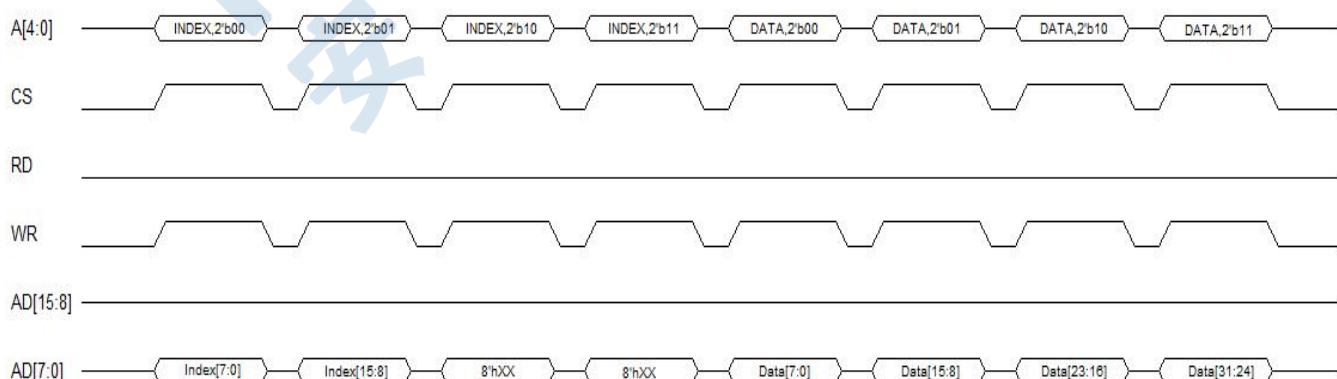


图 8 - 22: 访问系统寄存器 - 8 位写操作

8.5.5.3 使能/方向控制模式示例

本节中的时序图详细说明了使用替代的 RD_WR 和 ENB 信号进行的读写操作。HBI 读/写模式可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Read/Write Mode** 位进行选择。

本节中的 ENB 信号为高电平有效，RD_WR 信号在读取时为低电平，在写入时为高电平。RD_WR 和 ENB 信号的极性可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Read Read/Write Polarity** 和 **HBI Write Enable Polarity** 位进行选择。

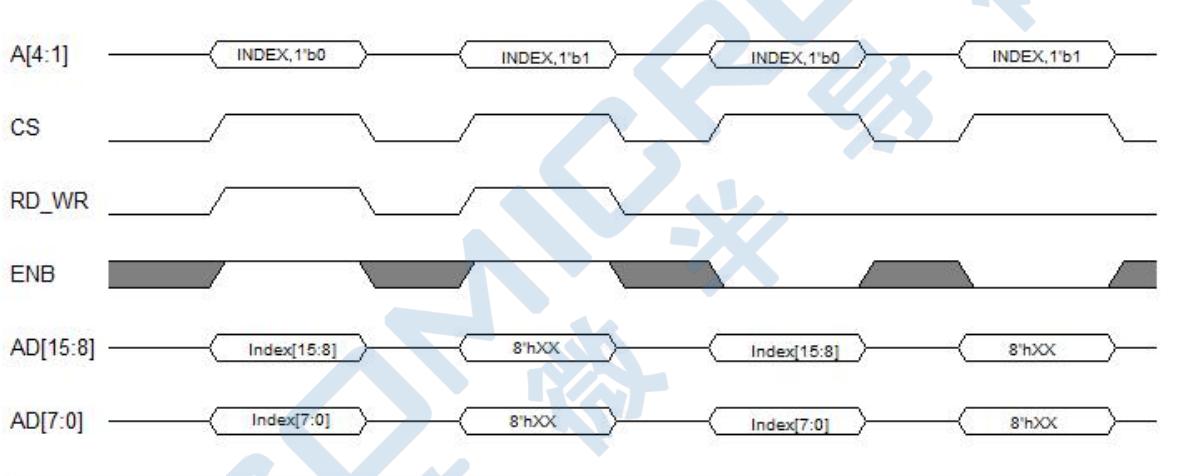


图 8-23：读写/使能控制模式示例 - 16 位写/读操作

8.4.6 寄存器索引模式时序要求

以下图表和表格描述在寄存器索引模式下的时序规范。对于本节中的时序规范，应注意以下几点：

- 本节中的图表描绘了高电平有效的片选 (CS)、读 (RD)、写 (WR)、读/写 (RD_WR) 和使能 (ENB) 信号。这些信号的极性可通过 **PDI 配置寄存器 (HBI 模式)** 中的 **HBI Chip Select Polarity**、**HBI Read Read/Write Polarity** 和 **HBI Write Enable Polarity** 位分别选择。
- 一个读周期可能后面跟着一个写周期或者另一个读周期。一个写周期可能后面跟着一个读周期或者另一个写周期。这些情况以虚线表示。

8.4.6.1 读时序要求

有效极性为高电平时：

- 如果使用 RD 和 WR 信号，当 RD 在 CS 为 1 时被置 1，主机读取周期开始，读周期在 RD 被置 0 时结束。CS 可以与 RD 同时被置 1 和置 0。
- 如果使用 RD_WR 和 ENB 信号，当 ENB 为 1、CS 为 1 且 RD_WR 指示读取时，主机读取周期开始。该周期在 ENB 被置 0 时结束。CS 可以与 ENB 同时设置

有效极性为低电平时：

- 如果使用 RD 和 WR 信号，当 RD 在 CS 为 0 时被置 0，主机读取周期开始，读周期在 RD 被置 1 时结束。CS 可以与 RD 同时被置 0 和置 1。
- 如果使用 RD_WR 和 ENB 信号，当 ENB 为 0、CS 为 0 且 RD_WR 指示读取时，主机读取周期开始。该周期在 ENB 被置 1 时结束。CS 可以与 ENB 同时设置

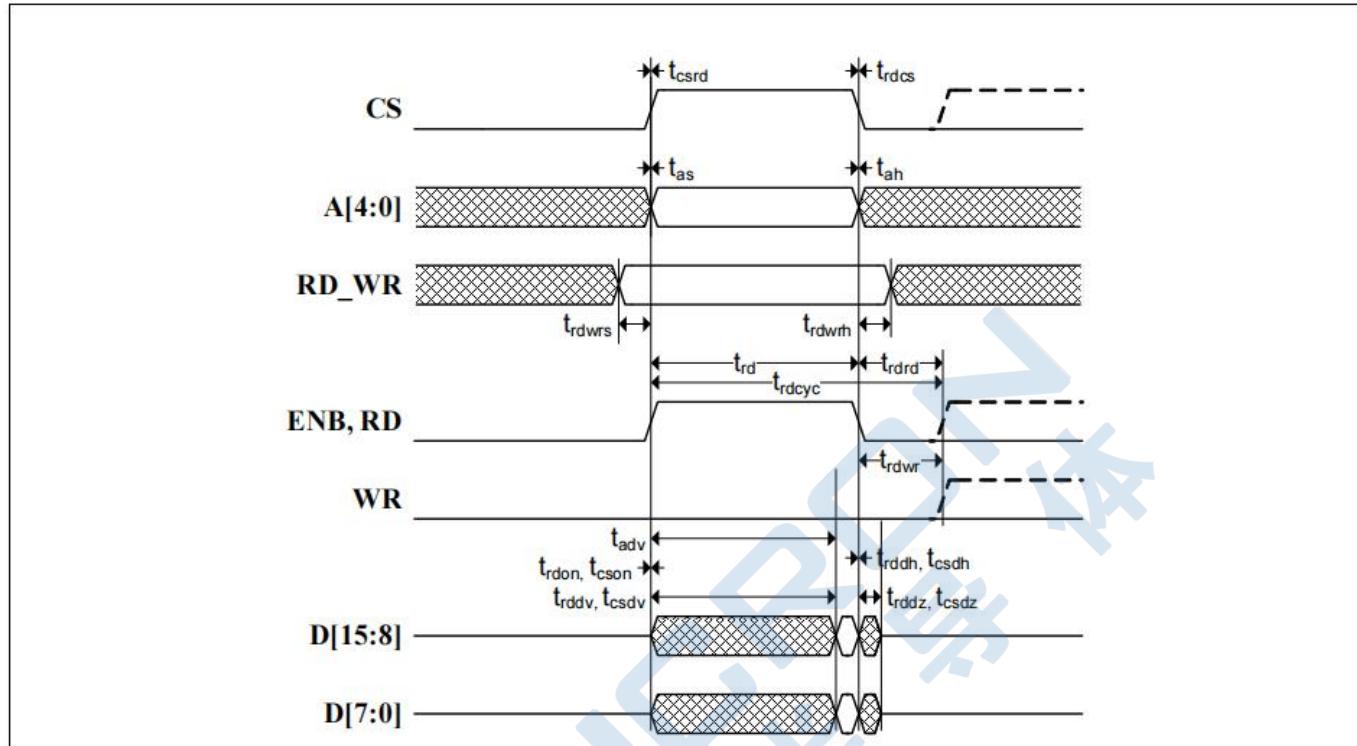


图 8-24: 索引寻址读周期时序图

表 8-3: 索引寻址读取周期时序值

符号	描述	Min	Typ	Max	units
t_{csrd}	RD/ENB 有效前 CS 有效的建立时间	0			ns
t_{rdcs}	RD/ENB 无效后 CS 有效的保持时间	0			ns
t_{as}	RD/ENB 有效前 Address 有效的建立时间	0			ns
t_{ah}	RD/ENB 无效后 Address 有效的保持时间	0			ns
t_{rdwrs}	ENB 有效前, RD_WR 有效的建立时间	5			ns
t_{rdwrh}	ENB 无效后, RD_WR 有效的保持时间	5			ns
t_{rdon}	RD/ENB 有效后, 到数据缓存输出开启的时间	0			ns
t_{rddv}	RD/ENB 有效后, 到数据有效的时间			65	ns
t_{rddh}	RD/ENB 无效后, 数据输出有效的保持时间	0			ns
t_{rddz}	RD/ENB 无效后, 到数据缓存输出关闭的时间			30	ns
t_{cs0n}	CS 有效后, 到数据缓存输出开启的时间	0			ns
t_{csdv}	CS 有效后, 到数据有效的时间			65	ns
t_{csdh}	CS 无效后, 数据输出有效的保持时间	0			ns
t_{csdz}	CS 无效后, 到数据缓存输出关闭的时间			30	ns
t_{adv}	Address 有效到数据有效的时间			65	ns
t_{rd}	RD/ENB 的有效时间	65			ns
t_{rdcyc}	RD/ENB 的周期时间	95			ns
t_{rdrd}	下个读周期前, RD/ENB 保持无效的时间	30			ns
t_{rdwr}	下个写周期前, RD/ENB 保持无效的时间	30			ns

8.4.6.2 写入时序要求

有效极性为高电平时：

- 如果使用 RD 和 WR 信号，主机写入周期在 WR 置 1 且 CS 置 1 时开始。写周期在 WR 被置 0 时结束。CS 可以与 WR 同时设置。
- 如果使用 RD_WR 和 ENB 信号，主机写入周期在 ENB 为 1、CS 为 1 且 RD_WR 指示写入时开始。该周期在 ENB 置 0 时结束。CS 可以与 ENB 同时设置。

有效极性为低电平时：

- 如果使用 RD 和 WR 信号，主机写入周期在 WR 置 0 且 CS 置 0 时开始。写周期在 WR 被置 1 时结束。CS 可以与 WR 同时设置。
- 如果使用 RD_WR 和 ENB 信号，主机写入周期在 ENB 为 0、CS 为 0 且 RD_WR 指示写入时开始。该周期在 ENB 置 1 时结束。CS 可以与 ENB 同时设置。

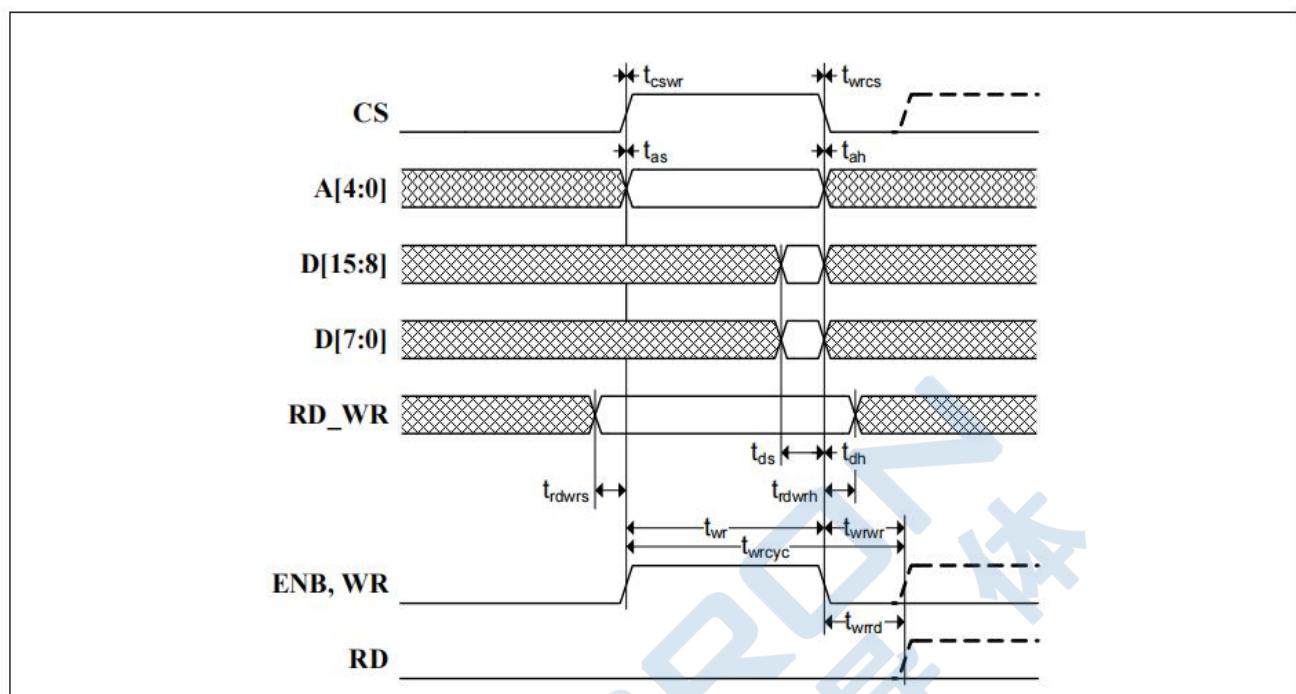


图 8-25: 索引寻址写入周期时序

表 8-4: 索引寻址写入周期时序值

符号	描述	Min	Typ	Max	Units
t_{cswr}	WR/ENB 有效前, CS 有效的建立时间	0			ns
t_{wrcs}	WR/ENB 无效后, CS 有效的保持时间	0			ns
t_{as}	WR/ENB 有效前, Address 有效的建立时间	0			ns
t_{ah}	WR/ENB 无效后, Address 有效的保持时间	0			ns
t_{rdwrs}	ENB 有效前, RD_WR 有效的建立时间	5			ns
t_{rdwrh}	ENB 无效前, RD_WR 有效的保持时间	5			ns
t_{ds}	WR/ENB 无效前, 数据有效的建立时间	7			ns
t_{dh}	WR/ENB 无效后, 数据有效的保持时间	0			ns
t_{wr}	WR/ENB 的有效时间	65			ns
t_{wrcyc}	WR/ENB 的周期时间	95			ns
t_{wrwr}	下次写周期前, WR/ENB 保持无效的时间	30			ns
t_{wrrd}	下次读周期前, WR 保持无效的时间	30			ns

9. SPI 接口

9.1 功能概述

SPI 接口提供了一个管脚数较少的同步通信接口，可促进 ISN8221 与微控制器（MCU）之间的通信。SPI 接口允许访问内部系统寄存器，支持单个和多个寄存器的读写命令，并具有递增、递减和静态寻址功能。SPI 接口支持 SPI 模式与 QPI 模式，SPI 模式可使用单线、双线和四线传输，时钟频率最高可达 42MHz，而 QPI 模式始终使用四线传输，时钟频率最高可达 42MHz。以下是 SPI 接口提供的操作命令概述：

- **Read**: 4 线（时钟、片选、数据输入和数据输出）读取，最高 30MHz。串行命令、地址和数据。支持单个和多个寄存器读取，具有递增、递减或静态寻址功能。
- **Fast Read**: 4 线（时钟、片选、数据输入和数据输出）读取，最高 42MHz。串行命令、地址和数据。访问数据前需要 Dummy 字节。支持单个和多个寄存器读取，具有递增、递减或静态寻址功能。
- **Dual/Quad Output Read**: 4 或 6 线（时钟、片选、数据输入/输出）读取，最高 42MHz。串行命令和地址，并行数据。访问数据前需要 Dummy 字节。支持单个和多个寄存器读取，具有递增、递减或静态寻址功能。
- **Dual/Quad I/O Read**: 4 或 6 线（时钟、片选、数据输入/输出）读取，最高 42MHz。串行命令，并行地址和数据。访问数据前需要 Dummy 字节。支持单个和多个寄存器读取，具有递增、递减或静态寻址功能。
- **Quad Fast Read**: 6 线（时钟、片选、数据输入/输出）读取，最高 42MHz。并行命令、地址和数据。访问数据前需要 Dummy 字节。支持单个和多个寄存器读取，具有递增、递减或静态寻址功能。
- **Write**: 4 线（时钟、片选、数据输入和数据输出）写入，最高 42MHz。串行命令、地址和数据。支持单个和多个寄存器写入，具有递增、递减或静态寻址功能。

- **Dual/Quad Data Write**: 4 或 6 线 (时钟、片选、数据输入/输出) 写入, 最高 42MHz。串行命令和地址, 并行数据。支持单个和多个寄存器写入, 具有递增、递减或静态寻址功能。
- **Dual/Quad Address/Data Write**: 4 或 6 线 (时钟、片选、数据输入/输出) 写入, 最高 42MHz。串行命令, 并行地址和数据。支持单个和多个寄存器写入, 具有递增、递减或静态寻址功能。
- **Quad Write**: 6 线 (时钟、片选、数据输入/输出) 写入, 最高 42MHz。并行命令、地址和数据。支持单个和多个寄存器写入, 具有递增、递减或静态寻址功能。

9.2 SPI 操作

在 SPI 接口通信过程中，SIO[3:0]管脚上的输入数据在时钟 SCK 的上升沿采样。输出数据在时钟 SCK 下降沿通过 SIO[3:0]管脚输出。当 SCS#片选信号为高电平时，时钟可以是高电平或低电平，且 SIO[3:0]输出处于高阻态。

在 SPI 模式下，在 SCS# 拉低后，在第 1 个时钟 SCK 上升沿开始输入 8 Bit 的指令。指令始终在 SI/SIO0 管脚上串行输入。对于读和写指令，指令字节后跟随两个地址字节。根据指令不同，地址字节以每周期单线，双线或四线输入。地址为字节地址，其中，地址的低 14 Bit，地址的第 15:14 Bit 用于控制在连续访问时自动递减 (10b) 或自动递增 (01b)。对于某些读指令，在地址字节之后跟随有 Dummy 字节周期。在 Dummy 字节周期内，芯片不驱动输出。Dummy 字节以每周期单线，双线或四线传输。对于读和写指令，在 Dummy 字节 (如果有，否则在地址字节之后) 之后跟随有一个或多个 32 位数据字段。数据以每周期单线，双线或四线传输。

QPI 模式需要通过指令 EQIO 从 SPI 模式进入。一旦进入 QPI 模式，所有后续命令、地址、虚拟字节和数据字节均以每周期四线传输。使用指令 RSTQIO 退出 QPI 模式。

所有指令、地址和数据均以最高有效位 (msb) 优先传输。地址以最高有效字节 (MSB) 优先传输。数据以最低有效字节 (LSB) 优先传输 (小端)。

SPI 接口支持最高 42MHz 的输入时钟。正常 (非高速) 读指令限制为 30MHz。SPI 接口支持连续命令之间的最短时间为 50ns (SCS#非活动时间最短为 50ns)。SPI 模式下支持的指令列于表 9-1 中。QPI 模式支持的指令列于表 9-2 中。不支持的指令不得使用。

表 9-1 SPI 模式指令

Instruction	Description	Bit width	Inst. code	Addr Bytes	Dummy Bytes	Data bytes	Max Freq
Configuration							
EQIO	进入 QPI 模式	1-0-0	38h	0	0	0	42MHz
RSTQIO	退出 QPI 模式	1-0-0	FFh	0	0	0	42 MHz
Read							
READ	Read	1-1-1	03h	2	0	4 to ∞	30 MHz
FASTREAD	Fast Read	1-1-1	0Bh	2	1	4 to ∞	42 MHz
SDOR	SPI Dual Output Read	1-1-2	3Bh	2	1	4 to ∞	42 MHz
SDIOR	SPI Dual I/O Read	1-2-2	BBh	2	2	4 to ∞	42 MHz
SQOR	SPI Quad Output Read	1-1-4	6Bh	2	1	4 to ∞	42 MHz
SQIOR	SPI Quad I/O Read	1-4-4	EBh	2	4	4 to ∞	42 MHz
Write							
WRITE	Write	1-1-1	02h	2	0	4 to ∞	42 MHz
SDDW	SPI Dual Data Write	1-1-2	32h	2	0	4 to ∞	42 MHz
SDADW	SPI Dual Address / Data Write	1-2-2	B2h	2	0	4 to ∞	42 MHz
SQDW	SPI Quad Data Write	1-1-4	62h	2	0	4 to ∞	42 MHz
SQADW	SPI Quad Address / Data Write	1-4-4	E2h	2	0	4 to ∞	42 MHz

表 9-2 QPI 模式指令

Instruction	Description	Bit width	Inst. code	Addr Bytes	Dummy Bytes	Data bytes	Max Freq
Configuration							
RSTQIO	退出 QPI 模式	4-4-4	FFh	0	0	0	42 MHz
Read							
FAST READ	Read	4-4-4	0Bh	2	3	4 to ∞	42 MHz
Write							
WRITE	Write	4-4-4	02h	2	0	4 to ∞	42 MHz

注意：两个表格的第三列 Bit Width 的格式为：命令位宽、地址/虚拟位宽、数据位宽。

9.2.1 SPI 配置命令

9.2.1.1 进入 QPI 模式

进入 QPI 模式的指令将 SPI 接口的操作模式从 SPI 模式更改为 QPI 模式。时钟频率最高为 42 MHz。

首先，通过拉低 SCS#开始 SPI 通信，随后 8 Bit 的 EQIO 指令 (38h) 会在每个时钟周期通过管脚 SI/SIO[0] 管脚单线输入。最后，拉高 SCS# 结束 SPI 通信。

图 9 - 1 为指令 EQIO 的时序。

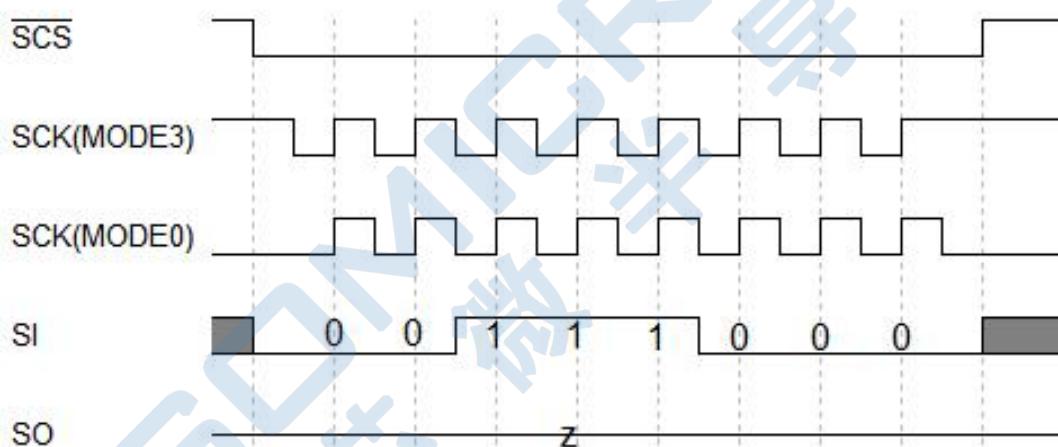


图 9 - 1: EQIO 指令

9.2.1.2 退出 QPI 模式

退出 QPI 模式的指令将 SPI 接口的操作模式更改为 SPI 模式。时钟频率最高为 42 MHz。

在 SPI 模式下，首先，通过拉低 SCS#开始 SPI 通信；随后 8 Bit 的 RSTQIO 指令（FFh）会在每个时钟周期通过管脚 SI/SIO[0]单线输入。最后，拉高 SCS# 结束 SPI 通信。

在 QPI 模式下，首先，通过拉低 SCS#开始 SPI 通信；随后 8 Bit 的 RSTQIO 指令（FFh）会在每个时钟周期通过管脚 SIO[3:0]四线输入。最后，拉高 SCS# 结束 SPI 通信。

图 9-2、9-3 分别为 SPI 模式下与 QPI 模式下的退出 QPI 模式指令时序。

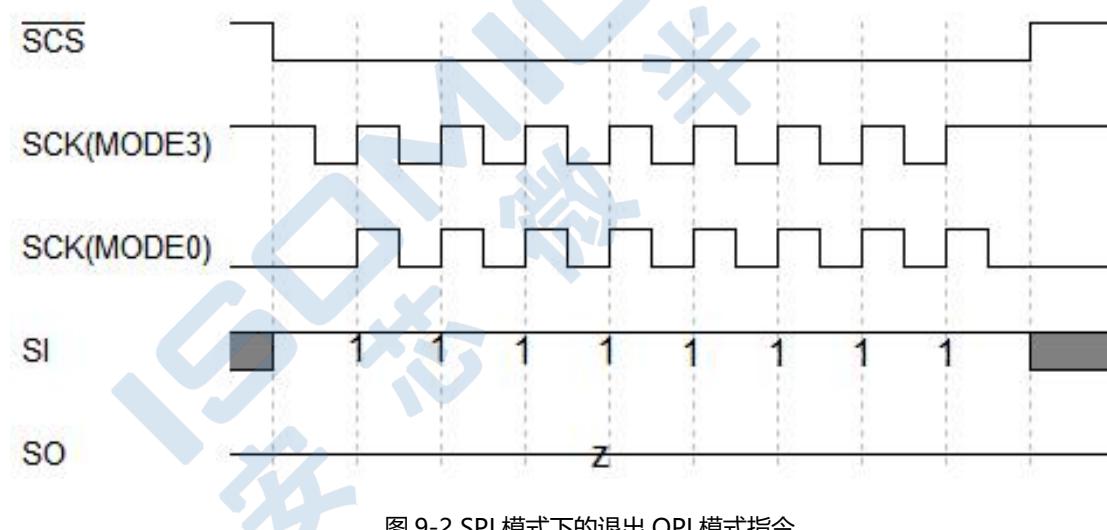


图 9-2 SPI 模式下的退出 QPI 模式指令

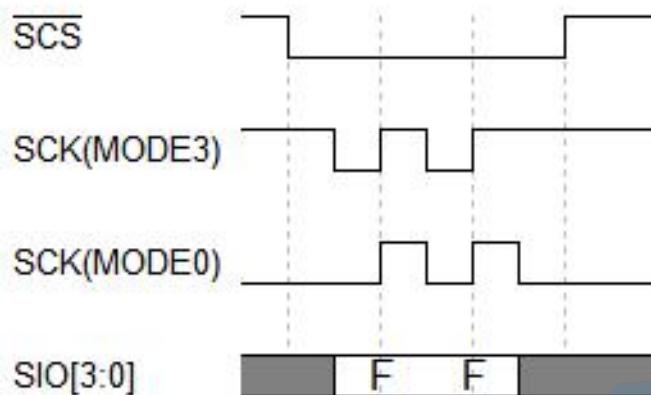


图 9-3 QPI 模式下的 QPI 模式指令

9.2.2 SPI 读命令

SPI 接口支持多种读命令。以下内容适用于所有读命令。

- SPI 接口支持多个字节的读取，在读取完第一个字节后，其他字节的读取是在保持 SCS#为低电平时，通过持续的时钟脉冲来执行的。
- 在同一个双字 (32 Bit) 内读取时，字节地址的低 2 Bit 随着字节的读取而累加
- 在完成双字 (32 Bit) 的读取后，地址的高两位指定了下一个双字 (32 Bit) 是自动递增 (addr[15:14] = 01b) 或自动递减 (addr[15:14] = 10b)，内部的 双字 (32-bit) 地址会根据这些位进行递增、递减或保持不变。双字地址保持不变，有利于持续读取 EtherCAT 过程 RAM 读取数据 FIFO。

9.2.2.1 Read

指令 Read 的数据格式包括：指令代码、地址字节和读取数据。在 SPI 模式下，指令代码、和地址字节每周期 1Bit 输入，读取数据每周期 1Bit 输出，时钟频率最高可达 30 MHz；QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后 8 Bit 的指令 03h 通过 SI/SIO[0] 管脚输入，紧接着是 2 个地址字节。地址字节指定了读取寄存器的起始字节地址，在最后一个地址位的上升沿之后的下降沿时，将读取的寄存器数据的最高有效位开始通过 SO/SIO[1] 管脚输出。其余的寄存器位在后续的下降沿时被移出。最后，拉高 SCS# 结束 SPI 通信。

图 9 - 4 为 Read (03h) 指令时序。

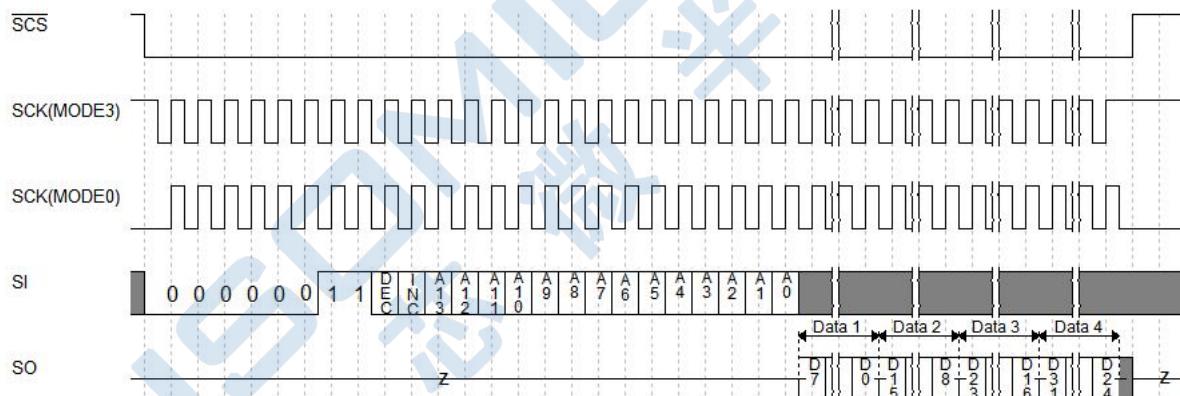


图 9 - 4: SPI 读取

9.2.2.2 Fast Read

指令 Fast Read 的数据格式包括：指令代码、地址字节、1 个 Dummy 字节和读取数据。在 SPI 模式下，指令代码、地址字节和 Dummy 字节每周期 1Bit 输入，读取数据每周期 1Bit 输出；在 QPI 模式下，指令代码、地址字节和 Dummy 字节每周期 4 Bit 输入，读取数据每周期 4 Bit 输出。时钟频率最高可达 42 MHz。

首先，通过拉低 SCS# 开始 SPI 通信；在 SPI 模式下，将 8 位 FASTREAD 指令 0Bh 通过 SI/SIO[0]管脚输入，随后是 2 个地址字节和 1 个 Dummy 字节，在最后一个 Dummy 位上升沿之后的下降时钟沿上，SO/SIO[1]管脚开始驱动读取寄存器数据的最高有效位，其余的寄存器位在后续的下降时钟沿上移出；在 QPI 模式，将 8 位 FASTREAD 指令通过 SIO[3:0]管脚输入，随后是 2 个地址字节和 3 个 Dummy 字节。地址字节为读取寄存器的起始字节地址，在最后一个 Dummy 半字节上升沿之后的下降时钟沿上，SIO[3:0]管脚开始驱动读取寄存器数据的最高有效半字节。其余的寄存器位在后续的下降时钟沿上移出。最后拉高 SCS# 结束 SPI 通信。

图 9 - 5、9-6 分别展示了 SPI 模式与 QPI 模式下的 Fast Read 指令 (0Bh) 时序。

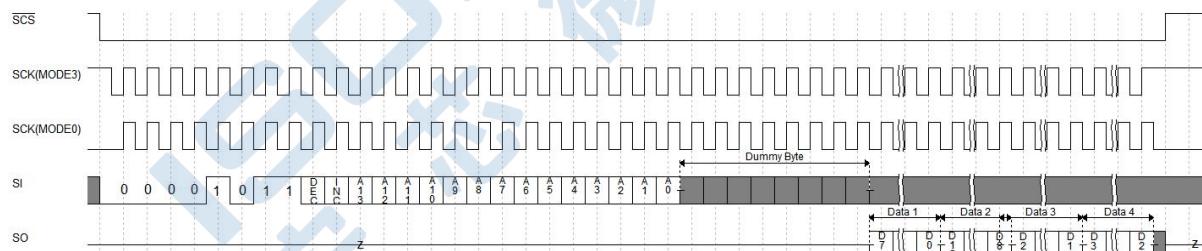


图 9 - 5: SPI Fast Read

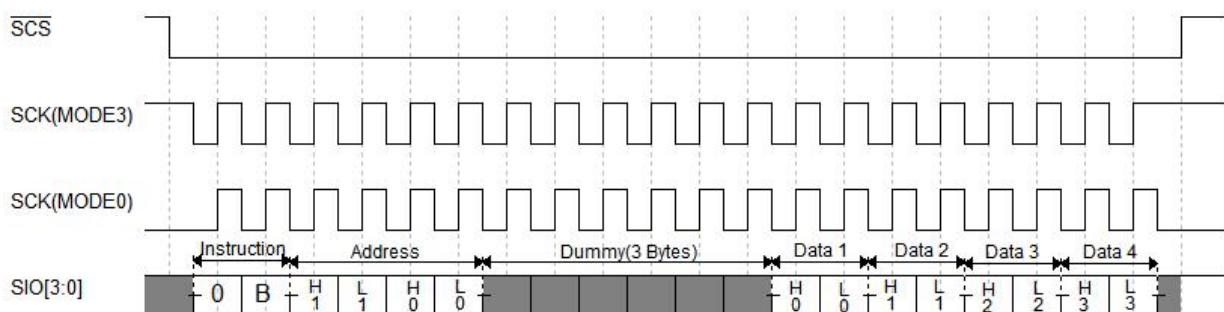


图 9 - 6: QPI Fast Read

9.2.2.3 Dual Output Read

指令 Dual Output Read 的数据格式包括：指令代码、地址字节、1 个 Dummy 字节和读取数据。在 SPI 模式下，指令代码、地址字节和 Dummy 字节每周期 1Bit 输入，读取数据每周期 2Bit 输出；此指令仅在 SPI 模式支持，时钟频率最高可达 42 MHz；QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后 8 Bit 的指令 3Bh 通过 SI/SIO[0] 管脚输入，紧接着是 2 个地址字节。地址字节指定了读取寄存器的起始字节地址，在最后一个 Dummy 位的上升沿之后的下降沿时，将读取的寄存器数据的最高有效双位开始通过 SIO[1:0] 管脚输出。其余的寄存器位在后续的下降沿时被移出；最后，拉高 SCS# 结束 SPI 通信。

图 9 - 7 展示了 Dual Output Read (3Bh) 指令时序。

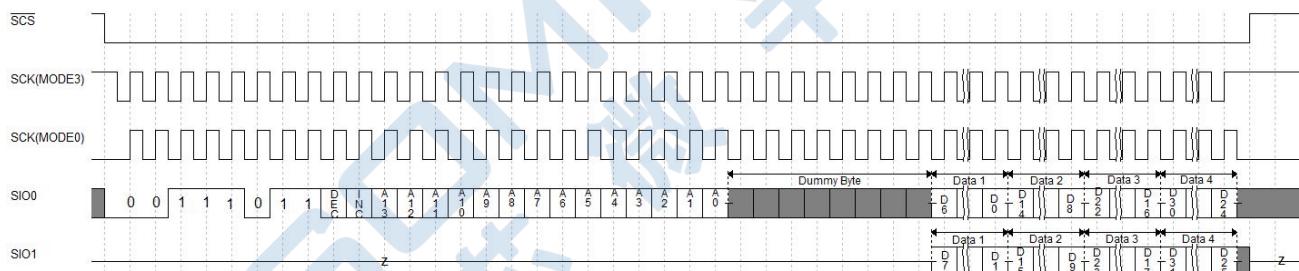


图 9 - 7: SPI Dual Output Read

9.2.2.4 Quad Output Read

指令 Dual Output Read 的数据格式包括：指令代码、地址字节、1 个 Dummy 字节和读取数据。在 SPI 模式下，指令代码、地址字节和 Dummy 字节每周期 1Bit 输入，读取数据每周期 4 Bit 输出；时钟频率最高可达 42 MHz。QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后，8 Bit 的指令 6Bh 通过 SI/SIO[0] 管脚输入，紧接着是 2 个地址字节。地址字节指定了读取寄存器的起始字节地址，在最后一个 Dummy 位的上升沿之后的下降沿时，将读取的寄存器数据的最高有效半字节开始通过 SIO[3:0] 管脚输出。其余的寄存器位在后续的下降沿时被移出。最后，拉高 SCS# 结束 SPI 通信。

图 9 - 8 展示了 Quad Output Read (6Bh) 指令时序。

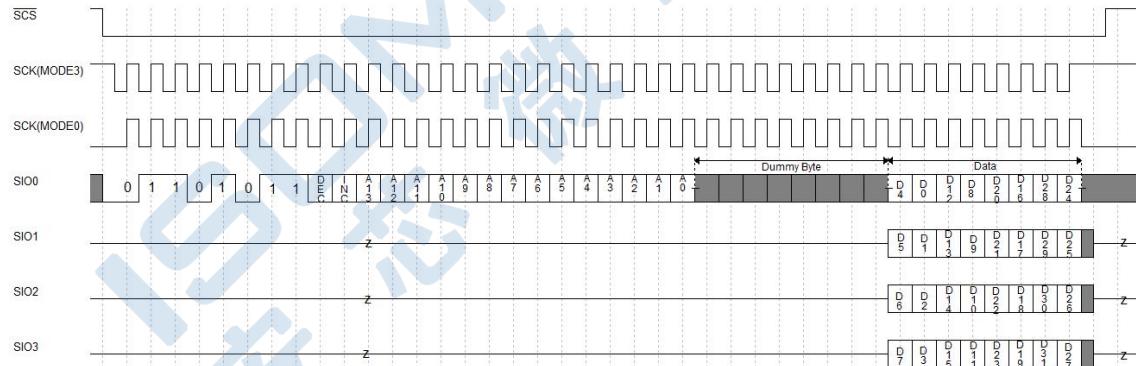


图 9 - 8: SPI Quad Output Read

9.2.2.3 Dual I/O Read

指令 Dual I/O Read 的数据格式包括：指令代码、地址字节、2 个 Dummy 字节和读取数据。在 SPI 模式下，指令代码每周期 1 Bit 输入，地址字节和 Dummy 字节每周期 2 Bit 输入，读取数据每周期 2 Bit 输出；时钟频率最高可达 42 MHz。QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后，8 Bit 的指令 BBh 通过 SI/SIO[0] 管脚输入，紧接着是 2 个地址字节通过 SIO[1:0] 管脚输入。地址字节指定了读取寄存器的起始字节地址，在最后一个 Dummy 双位的上升沿之后的下降沿时，将读取的寄存器数据的最高有效双位开始通过 SIO[1:0] 管脚输出。其余的寄存器位在后续的下降沿时被移出。最后，拉高 SCS# 结束 SPI 通信。

图 9 - 9 展示了 Quad I/O Read (BBh) 指令时序。

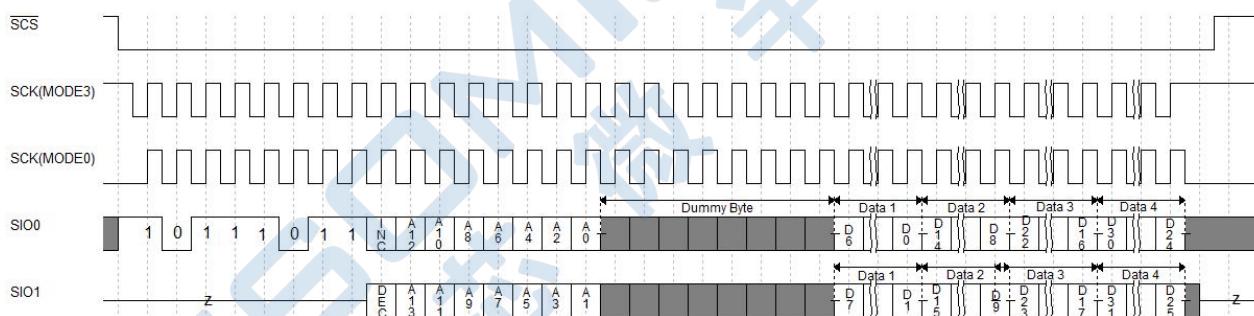


图 9 - 9: SPI Dual I/O Read

9.2.2.4 Quad I/O Read

指令 Quad I/O Read 的数据格式包括：指令代码、地址字节、4 个 Dummy 字节和读取数据。在 SPI 模式下，指令代码每周期 1Bit 输入，地址字节和 Dummy 字节每周期 4 Bit 输入，读取数据每周期 4 Bit 输出；时钟频率最高可达 42 MHz。QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后，8 Bit 的指令 EBh 通过 SI/SIO[0] 管脚输入，紧接着是 2 个地址字节通过 SIO[3:0] 管脚输入。地址字节指定了读取寄存器的起始字节地址，在最后一个 Dummy 半字节的上升沿之后的下降沿时，将读取的寄存器数据的最高有效半字节开始通过 SIO[3:0] 管脚输出。其余的寄存器位在后续的下降沿时被移出。最后，拉高 SCS# 结束 SPI 通信。

图 9 - 10 展示了 Quad I/O Read (EBh) 指令时序。

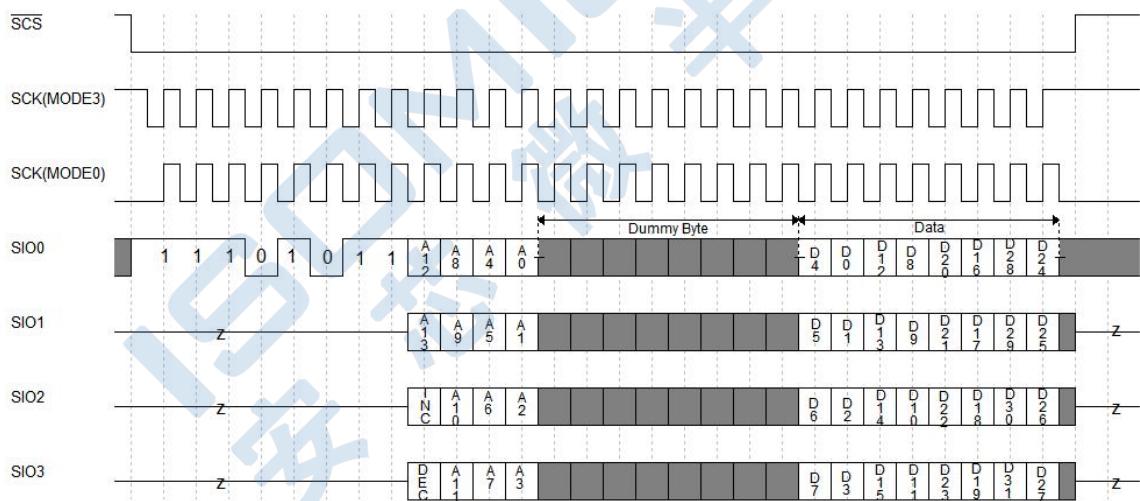


图 9 - 10: SPI Quad I/O Read

9.2.3 SPI 写命令

SPI 接口支持多种写命令。以下内容适用于所有读命令。

- SPI 接口支持多个字节的写入，在写完第一个字节后，其他字节的写是在保持 SCS# 为低电平时，通过持续的时钟脉冲来执行的。
- 在同一个双字 (32 Bit) 内写入时，字节地址的低 2 位随着字节的写入而累加。
- 在完成双字 (32 Bit) 的写入后，地址的高两位指定了下一个双字 (32 Bit) 是自动递增 (addr[15:14] = 01b) 或自动递减 (addr[15:14] = 10b)，内部的 双字 (32-bit) 地址会根据这些位进行递增、递减或保持不变。双字地址保持不变，有利于持续写 EtherCAT 过程 RAM 写入数据 FIFO。

9.2.3.1 Write

指令 Write 的数据格式包括：指令代码、地址字节和读取数据。在 SPI 模式下，指令代码、地址字节和写入数据每周期 1Bit 输入；在 QPI 模式下，指令代码、地址字节和写入数据每周期 4 Bit 输入。时钟频率最高可达 42 MHz。

首先，通过拉低 SCS# 开始 SPI 通信；在 SPI 模式下，将 8 位 Write 指令 02h 通过 SI/SIO[0]管脚输入，随后是 2 个地址字节；在最后一个地址位上升沿之后的上升时钟沿上，写寄存器数据的最高有效位开始通过 SI/SIO[0]管脚开始输入，其余的写寄存器数据在后续的上升时钟沿上输入；在 QPI 模式，将 8 位 FASTREAD 指令通过 SIO[3:0]管脚输入，随后是 2 个地址字节。地址字节为写寄存器的起始字节地址。在最后一个地址半字节上升沿之后的上升时钟沿上，写寄存器数据的最高有效半字节开始通过 SIO[3:0]管脚开始输入，其余的写寄存器数据在后续的上升时钟沿上输入。最后拉高 SCS# 结束 SPI 通信，如果当 SCS# 拉高时未写入完整的 32 位，则认为写入无效，寄存器不受影响。图 9-11、9-12 分别为 SPI 模式下与 QPI 模式下的 Write 指令 (02h) 时序。

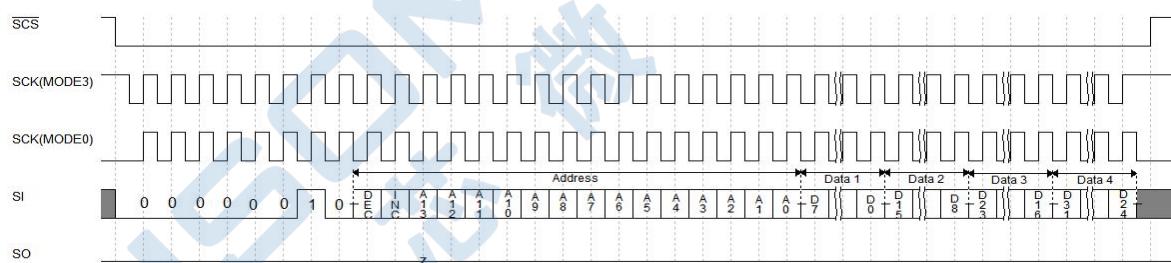


图 9-11 SPI Write

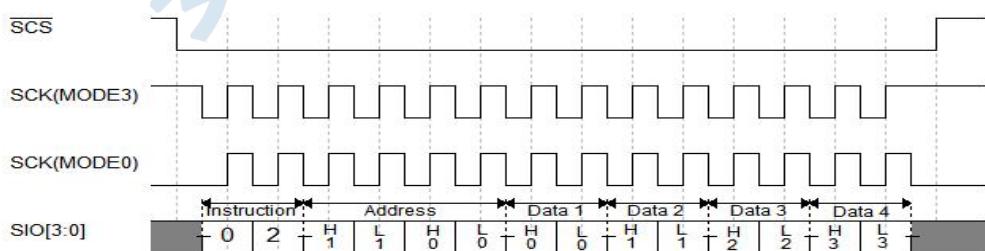


图 9-12 QPI Write

9.2.3.2 Dual Data Write

指令 Dual Data Write 的数据格式包括：指令代码、地址字节和读取数据。在 SPI 模式下，指令代码、地址字节每周期 1Bit 输入，写入数据每周期 2 Bit 输入；时钟频率最高可达 42 MHz。QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后，将 8 位 Write 指令 32h 通过 SI/SIO[0]管脚输入，紧接着是 2 个地址字节；地址字节为写寄存器的起始字节地址。在最后一个地址位上升沿之后的上升时钟沿上，写寄存器数据的最高有效双位开始通过 SIO[1:0]管脚开始输入。其余的写寄存器数据在后续的上升时钟沿上输入。最后，拉高 SCS# 结束 SPI 通信。如果当 SCS# 拉高时未写入完整的 32 位，则认为写入无效，寄存器不受影响。

图 9 - 13 为 SPI 模式下的 Dual Data Write 指令 (32h) 时序。

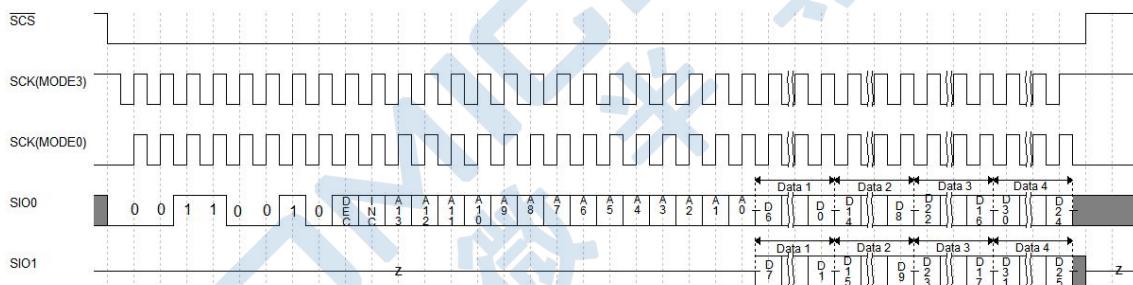


图 9-13 SPI Dual Data Write

9.2.3.3 Quad Data Write

指令 Quad Data Write 的数据格式包括：指令代码、地址字节和读取数据。在 SPI 模式下，指令代码、地址字节每周期 1Bit 输入，写入数据每周期 4 Bit 输入；时钟频率最高可达 42 MHz。QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后将 8 位 Write 指令 62h 通过 SI/SIO[0]管脚输入，紧接着是 2 个地址字节；地址字节为写寄存器的起始字节地址。在最后一个地址位上升沿之后的上升时钟沿上，写寄存器数据的最高有效半字节开始通过 SIO[3:0]管脚开始输入。其余的写寄存器数据在后续的上升时钟沿上输入。最后，拉高 SCS# 结束 SPI 通信，如果当 SCS# 拉高时未写入完整的 32 位，则认为写入无效，寄存器不受影响。

图 9-14 为 SPI 模式下的 Quad Data Write 指令 (62h) 时序。

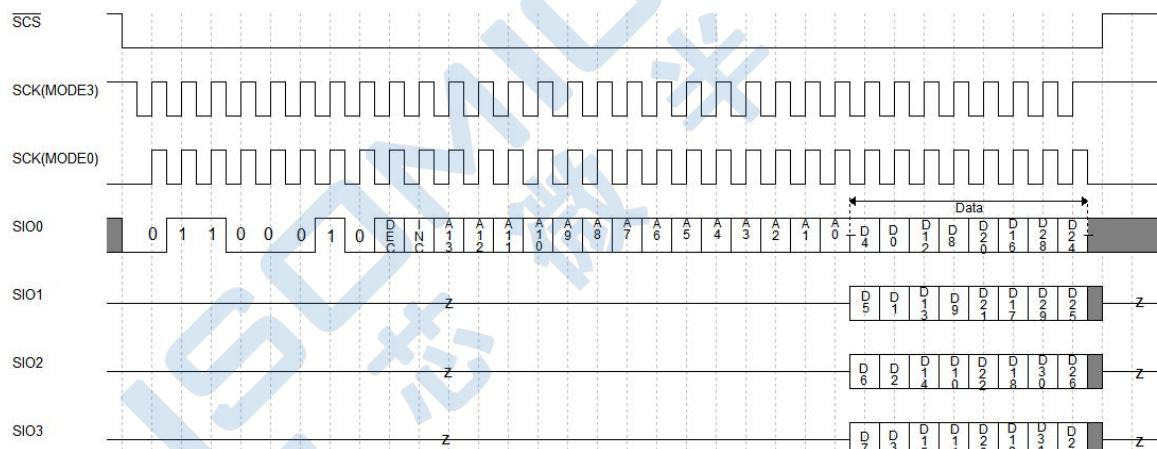


图 9-14 SPI Quad Data Write

9.2.3.4 Dual Address/Data Write

指令 Dual Address/Data Write 的数据格式包括：指令代码、地址字节和读取数据。在 SPI 模式下，指令代码每周期 1Bit 输入，地址字节和写入数据每周期 2 Bit 输入；时钟频率最高可达 42 MHz。QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后将 8 位 Write 指令 B2h 通过 SI/SIO[0]管脚输入，紧接着是 2 个地址字节通过 SIO[1:0]管脚输入；地址字节为写寄存器的起始字节地址。在最后一个地址双位上升沿之后的上升时钟沿上，写寄存器数据的最高有效双位开始通过 SIO[1:0]管脚开始输入。其余的写寄存器数据在后续的上升时钟沿上输入。最后，拉高 SCS# 结束 SPI 通信。如果当 SCS# 拉高时未写入完整的 32 位，则认为写入无效，寄存器不受影响。

图 9 - 15 展示了 SPI 模式下的 Dual Address/Data Write 指令 (B2h) 时序。

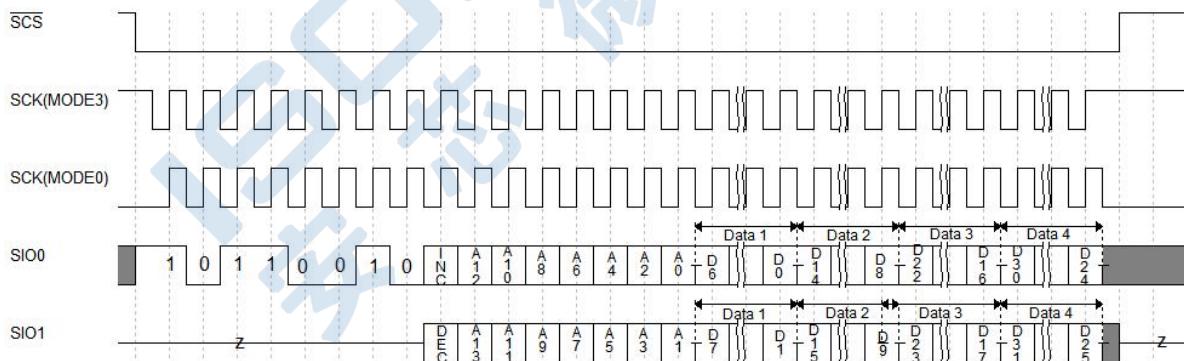


图 9-15 SPI Dual Address/Data Write

9.2.3.5 Quad Address/Data Write

指令 Quad Address/Data Write 的数据格式包括：指令代码、地址字节和读取数据。在 SPI 模式下，指令代码每周期 1Bit 输入，地址字节和写入数据每周期 4 Bit 输入；时钟频率最高可达 42 MHz。QPI 模式下不支持该指令。

首先，通过拉低 SCS# 开始 SPI 通信；随后，将 8 位 Write 指令 E2h 通过 SI/SIO[0]管脚输入，紧接着是 2 个地址字节通过 SIO[3:0]管脚输入；地址字节为写寄存器的起始字节地址。在最后一个地址半字节上升沿之后的上升时钟沿上，写寄存器数据的最高有效半字节开始通过 SIO[3:0]管脚开始输入。其余的写寄存器数据在后续的上升时钟沿上输入。最后，拉高 SCS# 结束 SPI 通信。如果当 SCS# 拉高时未写入完整的 32 位，则认为写入无效，寄存器不受影响。

图 9 - 16 展示了 SPI 模式下的 Quad Address/Data Write 指令 (E2h) 时序。

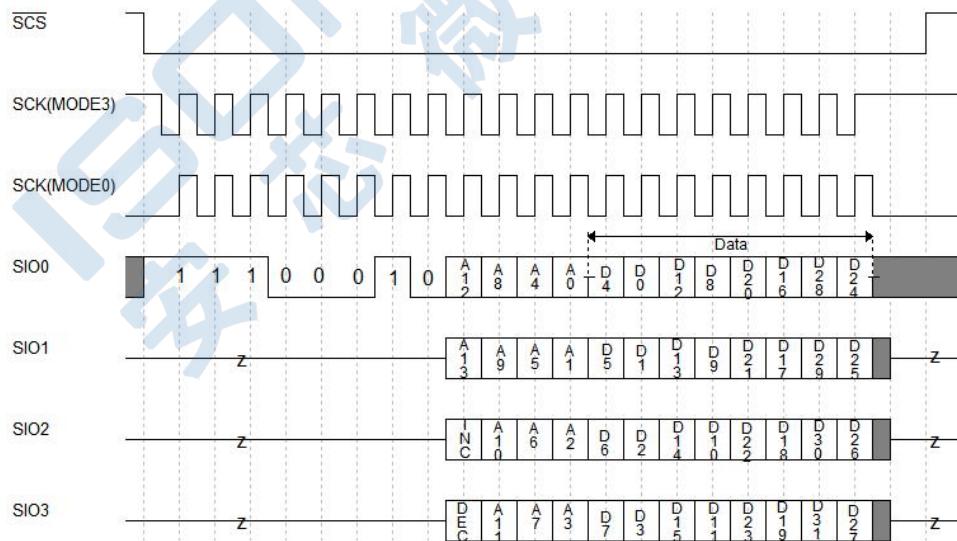


图 9-16 SPI Quad Address/Data Write

9.3 SPI 时序要求

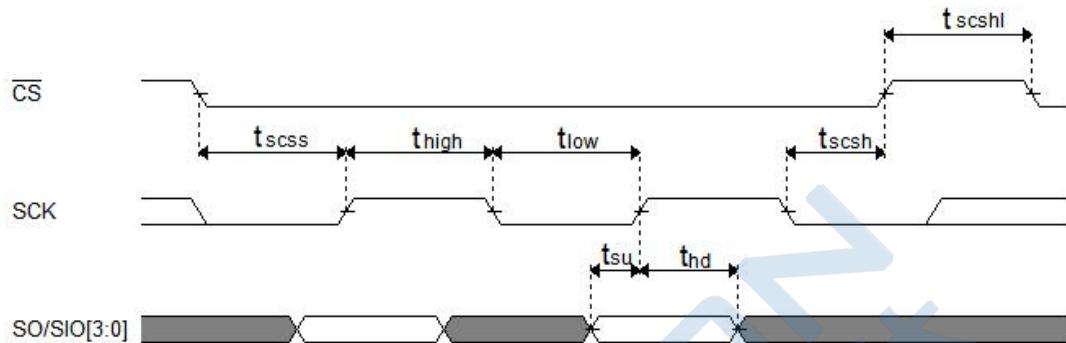


图 9-17: SPI 输入时序

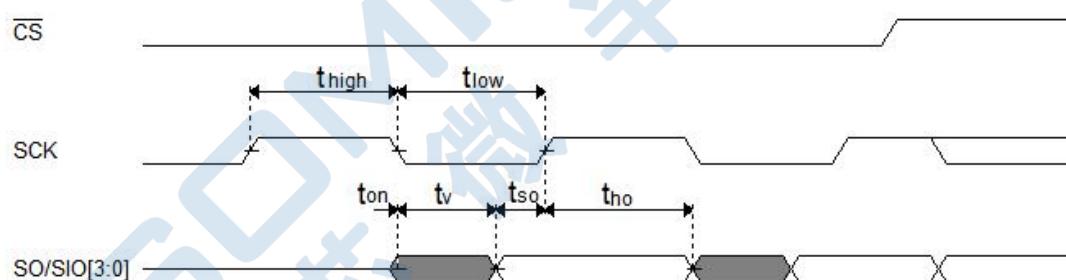


图 9-18: SPI 输出时序

表 9-3: SPI 时序值

符号	描述	Min	Typ	Max	units
f_{sck}	SCK 时钟频率			30 / 42	MHz
t_{high}	SCK 高电平时间	11.9			ns
t_{low}	SCK 低电平时间	11.9			ns
t_{scss}	SCK 第一个时钟沿到来前, SCS#有效的建立时间	10			ns
t_{scsh}	SCK 最后一个时钟沿到来后, SCS#有效的保持时间	10			ns
t_{scshl}	SCS# 的无效时间	50			ns
t_{su}	SCK 上升沿到来前, 数据输入有效的建立时间	3			ns
t_{hd}	SCK 上升沿到来后, 数据输入有效的保持时间	4			ns
t_{on}	SCK 下降沿后, 到数据输出开启的时间	0			ns
t_v	SCK 下降沿后, 到数据输出有效的时间			9	ns
T_{ho}	SCK 上升沿后, 数据输出的保持时间	0			ns
t_{dis}	SCS#无效后, 到数据输出禁止的时间			20	ns

10. EtherCAT 从站

10.1 EtherCAT 功能概述

ISN8221 实现了一个 2 端口 EtherCAT 从站控制器，具备 8K 字节双端口内存 (DPRAM)、4 个同步管理器 (Sync Manager)、3 个现场总线内存管理单元 (FMMU) 和一个 64 位分布式时钟。

EtherCAT 数据报文以下顺序转发：

- 端口 0 -> EtherCAT 处理单元->端口 1
- 端口 1 ->端口 0

在报文转发过程中，如果端口无连接、端口不可用或者端口的环路关闭，则数据报文将会转发到下一个逻辑端口，例如，如果端口 1 无连接，报文的转发顺序为：

- 端口 0 -> EtherCAT 处理单元->端口 0

EtherCAT 主站可以设置 EtherCAT 从站的环路控制。

在 EtherCAT 从站中，EtherCAT 处理单元 (EPU) 会接收、解析和处理 EtherCAT 数据报文，其主要目的是：

- 处理报文中的写命令：将数据写入到 EtherCAT 从站内部寄存器和存储空间
- 处理报文中的读命令：将从 EtherCAT 从站内部寄存器和存储空间读取的数据替换掉报文内容
- 根据读写情况累加 Work Counter
- 其他报文所需的处理

每个现场总线内存管理单元 (FMMU) 负责将逻辑地址逐位映射到 EtherCAT 从站的物理地址。

同步管理器 (Sync Manager) 主要负责 EtherCAT 主站与 EtherCAT 从站之间的过程数据交换和邮箱通信。

每个同步管理器的方向和操作模式由 EtherCAT 主站配置。同步管理器包含两种操作模式：

- 缓冲模式 (Buffered Mode)：采用 3 个缓冲区，本地微控制器和 EtherCAT 主站可以同时访问缓冲区，

© ISOMICRON. 2023. All rights reserved

缓冲区始终包含最新数据。如果新数据在旧数据被读取之前到达，旧数据将被丢弃。

- 邮箱模式 (Mailbox Mode)：采用 1 个缓冲区，本地微控制器和 EtherCAT 主站通过握手方式访问缓冲区，确保不会丢失数据。

分布式时钟 (DC) 的功能是与 EtherCAT 主站和其他从站同步，并生成精确的同步输出信号。

本章节包括以下主要部分，本章节所提到的寄存器均为 EtherCAT 从站寄存器：

- 第 10.2 节，“分布式时钟”
- 第 10.3 节，“PDI 选择和配置”
- 第 10.4 节，“Digital I/O PDI”
- 第 10.5 节，“GPIO”
- 第 10.6 节，“EEPROM 可配置寄存器”
- 第 10.7 节，“LED”
- 第 10.8 节，“EtherCAT 从站寄存器”

10.2 分布式时钟

ISN8221 支持 64 位分布式时钟，详见以下小节。

10.2.1 SYNC 管脚

EtherCAT 从站提供 1 个输出管脚 SYNC0，用于指示同步时间发生。

10.2.2 SYNC 中断映射

SYNC0 的状态可以映射到寄存器 **AL Event Request** 的 DC SYNC0 状态位。

10.2.3 SYNC 脉冲长度

SYNC0 的脉冲长度通过寄存器 **Pulse Length of SyncSignal** 控制。寄存器 **Pulse Length of SyncSignal** 的初始值从 EEPROM 中加载。更多信息请参阅第 10.6 节“**EEPROM 可配置寄存器**”。

10.3 PDI 选择与配置

ISN8221 使用的 PDI 通信接口通过寄存器 **PDI Control** 控制。可用的 PDI 包括：

- 04h: 数字 I/O PDI
- 80h-8Dh: 通信接口 PDI (SPI、HBI 多路复用/索引 1/2 相位 8/16 位)

注意：寄存器 **PDI Control** 的值可通过 EEPROM 配置。更多详细信息，请参阅第 10.6 节 “EEPROM 可配置寄存器”。

通信接口 PDI 用于支持主机总线接口 (HBI) 和 SPI 模式，相关配置可参考第 7 章 PDI 接口配置。

10.4 Digital I/O PDI

Digital I/O PDI 提供 16 个可配置的 Digital I/O (DIGIO[15:0])，用于没有微控制器 (MCU) 的简单系统。

寄存器 **Digital I/O Output Data** 用于控制 Digital IO 的输出值，而寄存器 **Digital I/O Input Data** 用于读取输入值。

每 2 位 Digital I/O 可同时配置为输入或输出，方向由寄存器 **Extended PDI Configuration** 配置，该寄存器可通过 EEPROM 配置（更多详细信息，请参阅第 10.6 节“EEPROM 可配置寄存器”）。Digital I/O 也可以配置为双向模式，其中输出被驱动并外部锁存，然后释放以便可以采样输入数据。双向操作通过寄存器 **PDI Configuration** 的 **Unidirectional/Bidirectional Mode** 位选择。寄存器 **PDI Configuration** 的初始值可从 EEPROM 中加载。

10.4.1 看门狗行为

Digital IO 输出数据会因为看门狗过期行为而复位，寄存器可以 **PDI Configuration** 的 **Watchdog Behavior** 位可控制过程数据看门狗过期后输出立即复位还是在下一个输出事件后复位）。

10.4.2 OE_EXT 输出看门狗行为

可以使用 WD_TRIGGER (看门狗触发) 管脚实现外部看门狗。如果触发了过程数据看门狗，WD_TRIGGER 会生成一个脉冲实现对外部看门狗的喂狗操作。在这种情况下，应禁用内部的过程数据看门狗，并且如果看门狗过期，外部看门狗可以使用 OE_EXT 管脚复位 I/O 信号。

寄存器 **PDI Configuration** 的 **OUTVALID Mode** 位控制 WD_TRIGGER 是否映射到 OUTVALID 管脚上。

10.4.3 输入数据采样

可以将 Digital IO 输入配置为 3 种方式采样，在每个以太网帧开始时、LATCH_IN 管脚的上升沿和分布式时钟 SYNC0 事件。采样模式的选择由寄存器 **PDI Configuration** 的 **Input Data Sample Selection** 位确定。

10.4.4 输出数据更新

可以将 Digital IO 输出配置为 3 种方式更新，在每个以太网帧结束时、分布式时钟 SYNC0 事件、或触发进程数据看门狗的 EtherCAT 帧结束时。采样模式的选择由寄存器 **PDI Configuration** 的 **Output Data Sample Selection** 位确定。

10.4.5 OUTVALID 极性

OUTVALID 管脚的输出极性由 **PDI Configuration** 的 OUTVALID 极性位确定。

10.4.6 Digital I/O 时序要求

本节规定了 DIGIO[15:0]、LATCH_IN 和 SOF 输入输出的时序要求。

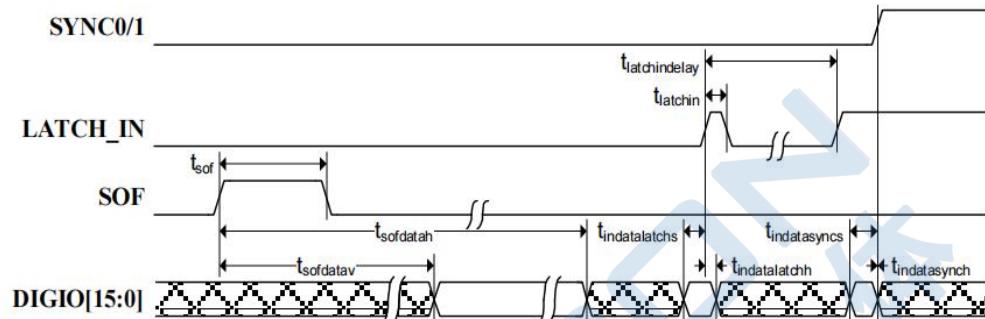


图 12-1: EtherCAT Digital I/O 输入时序图

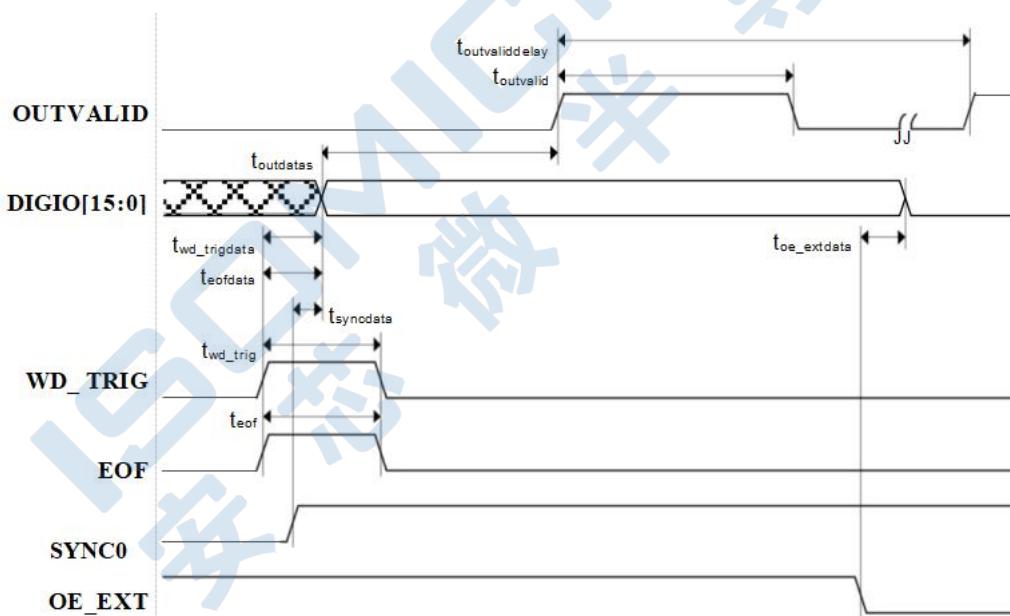


图 12-2: EtherCAT Digital I/O 输出时序图

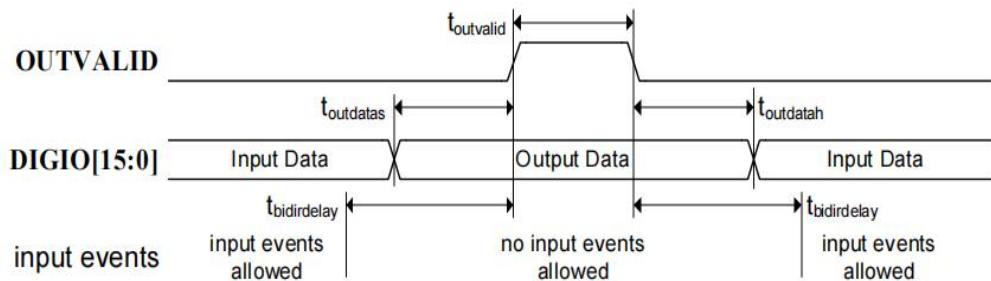


图 12-3: EtherCAT Digital I/O 双向时序图

表 10-1: EtherCA Digital I/O 时序值

Symbol	Description	Min	Typ	Max	Units
$t_{indatasyncs}$	SYNC0 信号上升沿到来前, 输入数据的建立时间	10	-	-	ns
$t_{indatasynch}$	SYNC0 信号上升沿到来后, 输入数据的保持时间	0	-	-	ns
$t_{indatalatchs}$	LATCH_IN 信号上升沿到来前, 输入数据的建立时间	8	-	-	ns
$t_{indatalatchh}$	LATCH_IN 信号上升沿到来后, 输入数据的保持时间	4	-	-	ns
$t_{latchin}$	LATCH_IN 信号保持高电平的时间	8	-	-	ns
$t_{latchindelay}$	连续输入事件的间隔时间	440	-	-	ns
t_{sof}	SOF 信号高电平时间	35	-	45	ns
$t_{sofdatav}$	SOF 有效后, 输入数据有效的时间	-	-	1.2	μs
$t_{sofdatah}$	SOF 有效后, 输入数据的保持时间	1.6	-	-	μs
$t_{outdatas}$	OutpOUTVALID 信号上升沿到来前, 输出数据的建立时间	65	-	-	ns
$t_{outdatah}$	OUTVALID 信号下降沿到来后, 输出数据的保持时间	65	-	-	ns
$t_{outvalid}$	OUTVALID 信号高电平时间	75	-	85	ns
$t_{outvaliddelay}$	连续输出事件的间隔时间	320	-	-	ns
t_{eof}	EOF 信号高电平时间	35	-	45	ns
$t_{eofdata}$	EOF 有效后, 输出数据的有效时间	-	-	35	ns
t_{wd_trig}	WD_TRIG 信号高电平时间	35	-	45	ns
$t_{wd_trigdata}$	WD_TRIG 有效后, 输出数据的有效时间	-	-	35	ns
$t_{syncdata}$	SYNC0 有效后, 输出数据的有效时间	-	-	25	ns

$t_{oe_extdata}$	OE_EXT 有效后, 到数据为低电平的时间	0	-	15	ns
$t_{bidirdelay}$	连续输入或输出事件的间隔时间	440	-	-	ns

ISOMICRON 安芯微半导体

10.5 GPI/GPO

EtherCAT 从站控制器提供 16 个通用输入端口 (GPI[15:0]) 和 16 个通用输出端口 (GPO[15:0])。寄存器 **General Purpose Outputs** 用于控制输出值，寄存器 **General Purpose Input** 用于读取输入值。每 2 位 GPI/GPO 可配置为输入、推挽 (Push-Pull) 输出或开漏 (Open Drain) 输出。方向和缓冲类型由寄存器 **Extended PDI Configuration** 决定，其中：

- Bit 7:0 控制 IO 的方向 (Bit 0 对应 GPIO[1:0], Bit 1 对应 GPIO[3:2], ...)。值为 1 时选择输出方向。
- Bit 15:8 控制输出类型 (Bit 8 对应 GPIO[1:0], Bit 9 对应 GPIO[3:2], ...)。值为 1 时选择开漏输出。

10.6 EEPROM 可配置寄存器

表 10-2 罗列了可通过 EEPROM 进行配置配置的 EtherCAT 从站控制器。有关每个 Bits 功能的详细信息, 请参阅相应的寄存器定义。

表 10-2: EEPROM 可配置的 EtherCAT 从站寄存器

寄存器	地址偏移	Bits	EEPROM 字 /[Bits]
PDI Control	0140h-0140h	[7:0] Process Data Interface	0/[7:0]
ESC Configuration	0141h-0141h	[5] Enhanced Link Port 1	0/[13]
		[4] Enhanced Link Port 0	0/[12]
		Distributed Clocks SYNC Out Unit	0/[10]
		[1] Enhanced Link Detection ALL Ports	0/[9]
		Device Emulation (control of AL Status Register)	0/[8]
PDI Configuration Digital I/O 模式	0150h-0150h	[7:6] Output Data Sample Selection	1/[7:6]
		[5:4] Input Data Sample Selection	1/[5:4]
		[3] Watchdog Behavior	1/[3]
		[2] Unidirectional/Bidirectional Mode	1/[2]
		[1] OUTVALID Mode	1/[1]
		[0] OUTVALID Polarity	1/[0]
PDI Configuration	0150h-0150h	[7] HBI ALE Qualification	1/[7]
		[6] HBI Read/Write Mode	1/[6]

HBI 模式		[5] HBI Chip Selection Polarity	1/[5]
		[4] HBI Read Read/Write Polarity	1/[4]
		[3] HBI Write Enable Polarity	1/[3]
		[2] HBI ALE Polarity	1/[2]
SYNC PDI Configuration	0151h-0151h	[3] SYNC0 Map	1/[11]
		[2] SYNC0 Configuration	1/[10]
		[1:0] Sync0 Output Driver/Polarity	1/[9:8]
Pulse Length of SyncSignals	0982h-0983h	[15:0] Pulse length of SyncSignal	2[15:0]
Extended PDI Configuration	0152h-0153h	[7:0] I/O 15-0 Direction	3[7:0]
Digital I/O 模式		[15:8] I/O 15-0 Buffer Type	3[15:8]
		[7:0] I/O 15-0 Direction	3[7:0]
Configured Station Alias	0012h-0013h	[15:0] Configured Station Alias Address	4/[15:0]

10.7 LEDs

ISN8221 包含一个 RUN LED 以及每个网口对应的一个链接/活动 LED (LINKACTLED[0:1])。EtherCAT 从站寄存器 **RUN LED Override** 提供了直接控制 RUN LED 的功能。

ISOMICRON 安芯微半导体

10.8 EtherCAT 从站寄存器

本节详细介绍了间接寻址的 EtherCAT 从站寄存器，这些寄存器通过直接可寻址的 EtherCAT CSR 接口数据寄存器(ECAT_CSR_DATA)和 EtherCAT CSR 接口命令寄存器(ECAT_CSR_CMD)进行访问。有关如何访问 EtherCAT 寄存器的信息，请参阅第 6 章“访问 EtherCAT 从站寄存器”

表 10-3: EtherCAT 从站寄存器

地址	寄存器名 (符号)
从站信息	
0000h	Type
0001h	Revision
0002h-0003h	Build
0004h	FMMU Supported
0005h	Sync Manager Supported
0006h	RAM Size
0007h	Port Descriptor
0008h-0009h	ESC Feature Supported
站点地址	
0010h-0011h	Configured Station Address
0012h-0013h	Configured Station Alias
写保护	

0020h	Write Register Enable
0021h	Write Register Protection
0030h	ESC Write Register Enable
0031h	ESC Write Register Protection
数据链路层	
0040h	ESC Reset ECAT
0041h	ESC Reset PDI
0100h-0103h	DL Control
0110h-0111h	DL Status
应用层	
0120h-0121h	AL Control
0130h-0131h	AL Status
0134h-0135h	AL Status Code
0138h	Run LED Override

表 10-3: EtherCAT 从站寄存器 (续)

地址	寄存器名 (符号)
PDI	
0140h	PDI Control, 详细参考第 7 章
0141h	ESC Configuration
0150h	PDI Configuration, 详细参考第 7 章
0151h	SYNC PDI Configuration, 详细参考第 7 章
0152h-0153h	Extended PDI Configurations, 详细参考第 7 章
中断	
0200h-0201h	ECAT Event Mask
0204h-0207h	AL Event Mask
0210h-0211h	ECAT Event Request
0220h-0223h	AL Event Request
错误计数器	
0300h-0307h	RX Error Counter
0308h-030Bh	Forwarded RX Error Counter
030Ch	ECAT Processing Unit Error Counter
030Dh	PDI Error Counter
0310h-0313h	Lost Link Counter
看门狗	
0400h-0401h	Watchdog Divider

0410h-0411h	Watchdog Time PDI
0420h-0421h	Watchdog Time Process Data
0440h-0441h	Watchdog Status Process Data
0442h	Watchdog Counter Process Data
0443h	Watchdog Counter PDI
EEPROM	
0500h	EEPROM Configuration
0501h	EEPROM PDI Access State
0502h-0503h	EEPROM Control/Status
0504h-0507h	EEPROM Address
0508h-050Bh	EEPROM Data
MII 管理接口	
0510h-0511h	MII Management Control/Status
0512h	PHY Address
0513h	PHY Register Address
0514h-0515h	PHY Data
0516h	MII Management ECAT Access State
0517h	MII Management PDI Access State

表 10-3: EtherCAT 从站寄存器 (续)

地址	寄存器名 (符号)
现场总线内存管理单元 (FMMU) 寄存器 (0600h-060Fh, 0610h-061Fh, 0620h-062Fh)	
+0h-3h	FMMU x Logical Start Address
+4h-5h	FMMU x Length
+6h	FMMU x Logical Start bit
+7h	FMMU x Logical Stop bit
+8h-9h	FMMU x Physical Start Address
+Ah	FMMU x Physical Start bit
+Bh	FMMU x Type
+Ch	FMMU x Activate
同步管理器 (SM) 寄存器 (0800h-0807h, 0808h-080Fh, 0810h-0817h, 0818h-081Fh)	
+0h-1h	SM x Physical Start Address
+2h-3h	SM x Length
+4h	SM x Control
+5h	SM x Status
+6h	SM x Activate
+7h	SM x PDI Control
分布式时钟	
0900h-0903h	Register Receive Time Port0
0904h-0907h	Register Receive Time Port1

0910h-0917h	System Time
0918h-091Fh	Receive Time ECAT Processing Unit
0920h-0927h	System Time Offset
0928h-092Bh	System Time Delay
092Ch-092Fh	System Time Difference
0930h-0931h	Speed Counter Start
0932h-0933h	Speed Counter Difference
0935h	Speed Counter Filter Depth
0980h	Cyclic Unit Control
0981h	Sync Out Activation
0982h-0983h	Pulse Length of SyncSignals
0984h	SYNC Activation Status
098Eh	SYNC0 Status
0990h-0997h	Start Time Cyclic Operation/Next SYNC0 Pulse
09A0h-09A3h	SYNC0 Cycle Time

表 10-3: EtherCAT 从站寄存器 (续)

地址	寄存器名 (符号)
I/O	
0F00h-0F01h	Digital I/O Output Data
0F10h-0F11h	General Purpose Outputs
0F18h-0F19h	General Purpose Inputs
过程数据 RAM	
1000h-1003h	Digital I/O Input Data
1000h-2FFFh	Process Data RAM

10.8.1 Type

地址偏移: 0000h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:0	EtherCAT 从站控制器类型 B0h	RO	RO	B0h

10.8.2 Revision

地址偏移: 0001h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:4	EtherCAT 从站控制器版本 X, 实际版本为 X.Y	RO	RO	0h
3:0	EtherCAT 从站控制器版本 Y, 实际版本为 X.Y	RO	RO	1h

10.8.3 Build

地址偏移: 0002h-0003h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	EtherCAT 从站控制器构建版本: 8221h	RO	RO	8221h

10.8.4 FMMU Supported

地址偏移: 0004h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:0	支持的现场总线内存管理单元 (FMMU) 数量	RO	RO	03h

10.8.5 Sync Manager Supported

地址偏移: 0005h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:0	支持的同步管理器 (SM) 数量	RO	RO	04h

10.8.6 RAM Size

地址偏移: 0006h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:0	支持的过程数据 SRAM 大小, 8KByte	RO	RO	08h

10.8.7 Port Description

地址偏移: 0007h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:6	网口 Port 3 配置 00: 未实现 01: 未配置 10: 保留 11: MII/RMII	RO	RO	00b
5:4	网口 Port 2 配置 00: 未实现 01: 未配置 10: 保留 11: MII/RMII	RO	RO	00b
3:2	网口 Port 1 配置 00: 未实现 01: 未配置 10: 保留 11: MII/RMII	RO	RO	11b
1:0	网口 Port 0 配置	RO	RO	11b

	00: 未实现				
	01: 未配置				
	10: 保留				
	11: MII/RMII				

ISOMICRON 安芯微半导体

10.8.8 ESC Feature Supported

地址偏移： 0008h-0009h

Bits	描述	ECAT 权限	PDI 权限	默认 值
15:12	保留	RO	RO	0h
11	FMMU/SM 配置是否固定 0: 变量配置 1: 固定配置	RO	RO	0b
10	是否支持 EtherCAT 读/写命令 0: 支持 1: 不支持	RO	RO	0b
9	是否支持 EtherCAT LRW 命令 0: 支持 1: 不支持	RO	RO	0b
8	增强型 DC 同步激活 0: 不可用 1: 可用	RO	RO	0b
7	FCS 错误的单独处理 0: 不支持	RO	RO	1b

	1: 支持, 带有错误 FCS 和额外半字节的帧将单独计入转发接收 计数器中			
6	增强型链接检测 MII 0: 不可用 1: 可用	RO	RO	1b
5	增强型链接检测 EBUS 0: 不可用 1: 可用	RO	RO	0b
4	低抖动 EBUS 0: 不可用, 标准抖动 1: 可用, 抖动最小化	RO	RO	0b
3	分布式时钟位宽 0: 32 位 1: 64 位	RO	RO	1b
2	分布式时钟 0: 不可用 1: 可用	RO	RO	1b
1	保留	RO	RO	0b
0	FMMU 操作 0: 位映射 1: 字节映射	RO	RO	0b

10.8.9 Configured Station Address

地址偏移: 0010h-0011h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	配置站点地址 此字段包含用于站点寻址的地址 (FPxx 命令)。	R/W	RO	0000h

10.8.10 Configured Station Alias

地址偏移: 0012h-0013h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	配置站点别名地址 此字段包含用于站点寻址的别名地址 (FPxx 命令)。该别名的使用由 ESC DL 控制寄存器的站点别名位激活。 注意: EEPROM 值仅在上电复位后的 EEPROM 加载时被采用。	RO	R/W	0000h

10.8.11 Write Register Enable

地址偏移: 0020h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:1	保留	RO	RO	00h
0	写寄存器使能 如果启用了写寄存器保护，则必须在同一以太网帧中写入此寄存器（值无关紧要），然后才允许对本站点其他寄存器进行写入。如果没有更改写寄存器保护寄存器，在此帧之后写寄存器保护仍然有效	R/W	RO	0b

10.8.12 Write Register Protection

地址偏移: 0021h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:1	保留	RO	RO	00h
0	写寄存器保护 0: 保护禁用 1: 保护启用 注意: 寄存器 0000h-0F0Fh 受写保护, 但寄存器 0030h 除外。	R/W	RO	0b

10.8.13 ESC Write Enable

地址偏移: 0030h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:1	保留	RO	RO	00h
0	ESC 写寄存器使能 如果启用了 ESC 写寄存器保护，则必须在同一以太网帧中写入此寄存器（值无关紧要），然后才允许对本站点其他寄存器进行写入操作。 如果未更改 ESC 写寄存器保护寄存器，在此帧之后 ESC 写保护仍然有效。	R/W	RO	0b

10.8.14 ESC Write Protection

地址偏移: 0031h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:1	保留	RO	RO	00h
0	ESC 写入寄存器保护 0: 保护关闭 1: 保护开启 注意：所有寄存器和 RAM 均受到写保护，但地址 0030h 除外。	R/W	RO	0b

10.8.15 ESC Reset ECAT

地址偏移: 0040h

Bits	描述	ECA T 权限	PDI 权限	默认值
写				
7:0	ECAT 复位 ESC 在该寄存器中连续写入 52h ("R")、45h ("E") 和 53h ("S") 三个连续命令后, 将触发复位。	R/ W	RO	00h
读				
7:2	保留		RO	00h
1:0	复位进度 01: 已写入 52h 10: 已写入 52h、45h 00: 其他情况	R/ W	RO	00b

10.8.16 ESC Reset PDI

地址偏移: 0041h

Bits	描述	ECAT 权限	PDI 权限	默认值
写				
7:0	PDI 复位 ESC 在该寄存器中连续写入 52h ("R")、45h ("E") 和 53h ("S") 三个连续命令后, 将触发复位。	RO	R/W	00h
读				
7:2	保留	RO	RO	00h
1:0	复位进度 01: 已写入 52h 10: 已写入 52h、45h 00: 其他情况	RO	R/W	00b

10.8.17 DL Control

地址偏移: 0100h-0103h

Bits	描述	ECAT 权限	PDI 权限	默认值
31:25	保留	RO	RO	00h
24	站点别名 0: 忽略站点别名 1: 别名可用于所有配置的地址命令类型 (如 FPRD、FPWR 等)	R/W	RO	0b
23:20	保留	RO	RO	00b
19	EBUS 低抖动 0: 正常抖动 1: 降低抖动	R/W	RO	0b
18:16	MII RX 延迟减少(ESC 在 FIFO 至少半满时才开始转发) 000: -40 ns 001: -40 ns 010: -40 ns 011: -40 ns 100: 无变化 101: 无变化 110: 无变化 111: 默认	R/W	RO	111b
15:12	保留	RO	RO	00b

	网口 Port1 环网状态 00: Auto 01: Auto Close 10: Open 11: Closed		R/W	RO	00b
9:8	网口 Port0 环网状态 00: Auto 01: Auto Close 10: Open 11: Closed		R/W	RO	00b
7:2	保留		RO	RO	00b
1	寄存器 0101h 设置的临时使用 0: 永久使用 1: 临时使用约 1 秒, 然后恢复为之前的设置。		R/W	RO	0b
0	转发规则 0: 处理 EtherCAT 帧, 非 EtherCAT 帧不进行处理, 直接转发 1: 处理 EtherCAT 帧, 销毁非 EtherCAT 帧。无论转发规则如何, 每个帧的源 MAC 地址都会更改 (SOURCE_MAC[1]设置为 1)。		R/W	RO	1b

10.8.18 DL Status

地址偏移: 0110h-0111h

Bits	描述	ECAT 权限	PDI 权限	默认 值
15:12	保留	RO	RO	0000 b
11	网口 Port 1 通信状态 0: 无稳定通信 1: 通信已建立	RO	RO	0b
10	网口 Port 1 环网状态 0: 开启。 1: 关闭。	RO	RO	0b
9	网口 Port 0 通信状态 0: 无稳定通信 1: 通信已建立	RO	RO	0b
8	网口 Port 0 环网状态 0: 开启。 1: 关闭。	RO	RO	0b
7:6	保留	RO	RO	00b

5	网口 Port1 上 PHY 连接状态如下： 0: 无连接 1: 已检测到连接	RO	RO	0b
4	网口 Port0 上 PHY 连接状态如下： 0: 无连接 1: 已检测到连接	RO	RO	0b
3	保留	RO	RO	0b
2	增强型链路检测 0: 所有端口均未激活 1: 至少一个端口已激活 注意: EEPROM 值仅在上电复位后首次加载 EEPROM 时被采用。	RO	RO	0b
1	PDI 看门狗状态 0: 看门狗超时 1: 看门狗已重载	RO	RO	0b
0	PDI 操作/EEPROM 加载正确 0: EEPROM 未加载, PDI 不工作 (无法访问过程数据 RAM) 1: EEPROM 正确加载, PDI 工作 (可访问过程数据 RAM)	RO	RO	0b

10.8.19 AL Control

地址偏移: 0120h-0121h

Bits	描述	ECAT 权限	PDI 权限	默认 值
15:5	保留	RO	RO	000h
4	错误指示确认 0: AL 状态寄存器中无错误指示确认 1: AL 状态寄存器中有错误指示确认	R/W 注	R/W C	0b
3:0	启动从站状态机的状态转换 1h: 请求初始状态 (Init) 2h: 请求预操作状态 (PreOP) 3h: 请求引导状态 (Bootstrap) 4h: 请求安全操作状态 (SafeOP) 8h: 请求操作状态 (OP)	R/W 注	R/W C	1h

注: 如果从站设备仿真关闭 (寄存器 **ESC Configuration** 的 **Device Emulation** 位为 0) , 此寄存器的行为类似于邮箱。ECAT 写入后, PDI 必须读取此寄存器, 否则 ECAT 无法再次写入该寄存器。复位后, ECAT 可以写入此寄存器。关于邮箱功能, 寄存器 0120h 和 0121h 是等效的, 例如, 读取 0121h 就足以使该寄存器再次可写。如果从站设备仿真开启, 此寄存器始终可写, 并且其内容会被复制到 AL 状态寄存器。从 PDI 读取此寄存器会清除 AL 状态事件请求 (寄存器 0220h 的第 0 位) 。

10.8.20 AL Status

地址偏移: 0130h-0131h

Bits	描述	ECAT 权限	PDI 权限	默认 值
15:5	保留	RO	RO	000h
4	错误指示 0: 从站处于请求的状态, 或标志已被命令清除 1: 从站未进入请求的状态, 或因本地操作而改变了状态	RO	R/W 注	0b
3:0	从站状态机的实际状态 1h: 初始化状态 (Init) 2h: 预运行状态 (PreOP) 3h: 引导状态 (Bootstrap) 4h: 安全运行状态 (SafeOP) 8h: 运行状态 (OP)	RO	R/W 注	1h

注: 只有当从站设备仿真关闭时 (寄存器 **ESC Configuration** 的 **Device Emulation** 位为 0) , 此寄存器才可写入。否则, 此寄存器将反映寄存器 **AL Control** 的值。从 ECAT 读取此寄存器会清除寄存器 **ECAT Event Request** 中的 **AL 状态事件**位。

10.8.21 AL Status Code

地址偏移: 0134h-0135h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	AL 状态码	RO	R/W	0000h

10.8.22 RUN LED Override

地址偏移: 0138h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:5	保留	R/W	R/W	000b
4	运行 LED 覆盖 0: 覆盖禁用 1: 覆盖启用	R/W	R/W	0b
3:0	RUN LED 代码 代码 FSM 状态 0h: 关闭 1 - 初始化 1h-Ch: 闪烁 1x-12x 4 - 安全操作 1x Dh: 慢闪 2 - 预操作 Eh: 快速闪烁 3 - 引导加载 Fh: 打开 8 - 操作中	R/W	R/W	0h

10.8.23 ESC Configuration

地址偏移: 0141h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:6	保留	RO	RO	00b
5	Enhanced Link Port 1 (网口 Port 1 增强型链路) 0: 禁用 (如果 Bit 1 = 0) 1: 启用	RO	RO	0b
4	Enhanced Link Port 0 (网口 Port 0 增强型链路) 0: 禁用 (如果 Bit 1 = 0) 1: 启用	RO	RO	0b
3	保留	RO	RO	0b
2	Distributed Clocks SYNC Out Unit (分布式时钟同步输出单元) 0: 禁用 (节能) 1: 启用	RO	RO	0b
1	Enhanced Link Detection ALL Ports (所有网口增强型链路) 0: 禁用 (如果 Bit 7:4 = 0) 1: 启用	RO	RO	0b
0	Device Emulation (从站设备仿真)	RO	RO	0b

0: AL 状态寄存器必须由 PDI 设置 1: AL 状态寄存器设置为写入 AL 控制寄存器的值 注意: 对于数字 I/O 模式, 编程的值应为 1; 对于带主机控制器 的应用, 编程的值应为 0。			
---	--	--	--

注: 此字段的默认值可以通过 EEPROM 进行配置。有关更多信息, 请参阅第 10.6 节 “EEPROM 可配置寄存器”。

10.8.24 ECAT Event Mask

地址偏移: 0200h-0201h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	ECAT Event Mask (ECAT 事件掩码) 用于将 ECAT 事件请求寄存器中的事件映射到 EtherCAT 帧的 ECAT 事件字段。 0: 对应的 ECAT 事件请求寄存器位未被映射 1: 对应的 ECAT 事件请求寄存器位已被映射	R/W	RO	0000h

10.8.25 AL Event Mask

地址偏移: 0204h-0207h

Bits	描述	ECAT 权限	PDI 权限	默认 值
31:0	AL Event Mask (AL 事件掩码), AL 事件请求寄存器事件的 AL 事件掩码, 用于映射到 PDI IRQ 信号。 0: 对应的 AL 事件请求寄存器位未被映射 1: 对应的 AL 事件请求寄存器位已被映射	RO	R/W	F0Fh

10.8.26 ECAT Event Request

地址偏移: 0210h-0211h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:8	保留	RO	RO	00h
7	SM 3 Status Mirror (同步管理器 3 状态镜像) 此位反映了同步管理器通道 3 状态的值。 0: 无同步通道 3 事件 1: 同步通道 3 事件待处理	RO	RO	0b
6	SM 2 Status Mirror (同步管理器 2 状态镜像) 此位反映了同步管理器通道 2 状态的值。 0: 无同步通道 2 事件 1: 同步通道 2 事件待处理	RO	RO	0b
5	SM 1 Status Mirror (同步管理器 1 状态镜像) 此位反映了同步管理器通道 1 状态的值。 0: 无同步通道 1 事件 1: 同步通道 1 事件待处理	RO	RO	0b
4	SM 0 Status Mirror (同步管理器 0 状态镜像) 此位反映了同步管理器通道 0 状态的值。 0: 无同步通道 0 事件	RO	RO	0b

	1: 同步通道 0 事件待处理			
3	AL Status Event (AL 状态事件) 0: 寄存器 AL Status 无变化 1: 寄存器 AL Status 已写入 注意: 此位通过从 ECAT 读取寄存器 AL Status 来清除。	RO	RO	0b
2	DL Status Event (DL 状态事件) 0: 寄存器 DL Status 无变化 1: 寄存器 DL Status 已写入 注意: 此位通过从 ECAT 读取寄存器 DL Status 来清除。	RO	RO	0b
1:0	保留	RO	RO	0b

10.8.27 AL Event Request

地址偏移: 0220h-0223h

Bits	描述	ECAT 权限	PDI 权限	默认值
31:12	保留	RO	RO	000h
11	SM 3 Interrupts (同步管理器 3 中断) 0: 无同步管理器 3 中断 1: 同步管理器 3 中断待处理	RO	RO	0b
10	SM 2 Interrupts (同步管理器 2 中断) 0: 无同步管理器 2 中断 1: 同步管理器 2 中断待处理	RO	RO	0b
9	SM 1 Interrupts (同步管理器 1 中断) 0: 无同步管理器 1 中断 1: 同步管理器 1 中断待处理	RO	RO	0b
8	SM 0 Interrupts (同步管理器 0 中断) 0: 无同步管理器 0 中断 1: 同步管理器 0 中断待处理	RO	RO	0b
7	保留	RO	RO	0b
6	Watchdog Process Data (进程数据看门狗) 0: 未过期	RO	RO	0b

	1: 已过期 注意: 此位通过读取寄存器 Watchdog Status Process Data 清除			
5	EEPROM Emulation (EEPROM 仿真) 0: 无待处理命令 1: 有待处理的 EEPROM 命令 注意: 此位通过 PDI 写寄存器 EEPROM Control/Status 中的命令来清除。	RO	RO	0b
4	SM x Activation Register Changed (同步管理器 x 激活寄存器变化) 0: 任何同步管理器均无变化 1: 至少一个同步管理器已变化 注意: 此位通过 PDI 读取相应的寄存器 SM x Activate 来清除。	RO	RO	0b
3	保留	RO	RO	0b
2	State of SYNC0 (SYNC0 状态) 注意: 通过读取寄存器 SYNC0 Status 可以清除该位。	RO	RO	0b
1	保留	RO	RO	0b
0	AL Control Event (AL 控制事件) 0: 寄存器 AL Control 没有变化	RO	RO	0b

	1: 寄存器 AL Control 已被写入			
	注意: 此位通过从 PDI 读取 寄存器 AL Control 来清除。			

ISOMICRON 安芯微半导体

10.8.28 Rx Error Counter

地址偏移: 0300h-0307h

Port0: 0300h-0301h

Port1: 0302h-0303h

Port2: 0304h-0305h(保留)

Port3: 0306h-0307h(保留)

Bits	描述	ECAT 权限	PDI 权限	默认值
15:8	Port x RX Error Counter (网口 Port x 接收错误计数器) 当达到 FFh 时停止计数。此计数器直接与 MII/EBUS 接口的 RX ERR 相关联。	R/WC	RO	00h
7:0	Port x Invalid Frame Counter (网口 Port x 无效帧计数器) 当达到 FFh 时停止计数。	R/WC	RO	00h

10.8.29 Fowarded RX Error Counter

地址偏移: 0308h-030Bh

Port0: 0308h

Port1: 0309h

Port2: 030Ah(保留)

Port3: 030Bh(保留)

Bits	描述	ECAT 权限	PDI 权限	默认值
7:0	Port x Forwarded RX Error Counter (网口 Port x 转发接收 错误计数器) 当计数值达到 FFh (255) 时停止计数。该计数器直接与 MII/EBUS 接口的 RX ERR (接收错误) 信号关联。	R/WC	RO	00h

10.8.30 ECAT Processing Unit Error Counter

地址偏移: 030Ch

Bits	描述	ECAT 权限	PDI 权限	默认值
7:0	ECAT Processing Unit Error Counter (ECAT 处理单元错误计数器) 当达到 FFh 时, 计数停止。此字段对通过处理单元 EPU 的帧错误进行计数 (例如, FCS 错误或数据报结构错误)。	R/WC	RO	00h

10.8.31 PDI Error Counter

地址偏移: 030Dh

Bits	描述	ECAT 权限	PDI 权限	默认值
7:0	PDI Error Counter (PDI 错误计数器) 当达到 FFh 时, 计数停止。此字段会在 PDI 访问发生接口错误时进行计数。	R/WC	RO	00h

10.8.32 Lost Link Counter

地址偏移: 0310h-0313h

Port 0: 0310h

Port 1: 0311h

Port 2: 0312h (保留)

Port 3: 0313h (保留)

Bits	描述	ECAT 权限	PDI 权限	默认值
7:0	Port x Lost Link Counter (端口 x 丢失连接计数器) 当计数值达到 FFh (255) 时, 计数将停止。此计数器仅在端口环网模式为“Auto”或“Auto Close”时进行计数。	R/WC	RO	00h

10.8.32 Watchdog Divider

地址偏移: 0400h-0401h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Watchdog Divider (看门狗分频器) 表示基本看门狗增量的 25MHz 时钟周期数 (减去 2)。 (默认值为 100 us = 2498)	R/W	RO	09C2h

10.8.33 Watchdog Time PDI

地址偏移: 0410h-0411h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Watchdog Time PDI (PDI 看门狗时间) PDI 看门狗过期的计数值。 如果看门狗分频器的默认值为 100us, 则默认情况下, PDI 看门狗的过期时间为 100ms 如果数值为 0, PDI 看门狗被禁用, 每次 PDI 访问会使 PDI 看门狗重新计数	R/W	RO	03E8h

10.8.34 Watchdog Time Process Data

地址偏移: 0420h-0421h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Watchdog Time Process Data (过程数据看门狗时间) 过程数据看门狗过期的计数值 如果看门狗分频器的默认值为 100us, 则默认情况下, 过程数据看门狗的过期时间为 100ms 如果数值为 0, 过程数据看门狗被禁用, 每当对设置了 Watchdog Trigger Enable 位的同步管理器进行写访问时, 看门狗都会重新计数。	R/W	RO	03E8h

10.8.35 Watchdog Status Process Data

地址偏移: 0440h-0441h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:1	保留	RO	RO	0000h
0	Watchdog Status of Process Data (过程数据看门狗状态) 0: 过程数据看门狗已过期 1: 过程数据看门狗处于活动状态或已禁用 读取此寄存器将清除寄存器 AL Event Request 的 Watchdog Process Data 位。	RO	RO	0b

10.8.36 Watchdog Counter Process Data

地址偏移： 0442h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:0	Watchdog Counter Process Data (过程数据看门狗过期计数器) 当达到 FFh 时, 计数停止。如果过程数据看门狗过期, 则进行计数。如果写入 0442h - 0443h 中任意一个字节, 则此字段会被清除。	R/WC	RO	00h

10.8.37 Watchdog Counter PDI

地址偏移： 0443h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:0	Watchdog Counter PDI (PDI 看门狗过期计数器) 当达到 FFh 时, 计数停止。如果 PDI 看门狗过期, 则进行计数。 如果写入 0442h - 0443h 中任意一个字节, 则此字段会被清除。	R/WC	RO	00h

10.8.38 EEPROM Configuration

地址偏移： 0500h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:2	保留	RO	RO	00h
1	Force ECAT Access (强制 ECAT 访问) 0: 不改变 1: 强制 ECAT 访问 EEPROM, 复位 EEPROM 配置寄存器的 PDI EEPROM Control 位 和 EEPROM PDI 访问状态寄存器的 Access to EEPROM 位	R/W	RO	0b
0	PDI EEPROM Control (PDI EEPROM 控制) 0: 无 1: 有 (PDI 允许访问 EEPROM)	R/W	RO	0b

注：当寄存器 **EEPROM Configuration** 的 **PDI EEPROM Control** 位为 0，且寄存器 **EEPROM PDI Access State** 的 **Access to EEPROM** 位为 0 时，EtherCAT 控制 SII EEPROM 接口。否则，PDI 控制 EEPROM 接口。

10.8.39 EEPROM PDI Access State

地址偏移： 0501h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:1	保留	RO	RO	00h
0	Access to EEPROM (PDI 访问 EEPROM) 0: PDI 释放 EEPROM 访问权限 1: PDI 获取 EEPROM 访问权限 (PDI 拥有 EEPROM 控制权)	RO	R/W	0b

注：仅当寄存器 **EEPROM Configuration** 的 **PDI EEPROM Control** 位为 1 且 **Force ECAT Access** 位为 0 时，才允许写访问。

10.8.40 EEPROM Control/Status

地址偏移: 0502h-0503h

Bits	描述	ECAT 权限	PDI 权限	默认值
15	Busy (EEPROM 繁忙) 0: EEPROM 接口空闲 1: EEPROM 接口繁忙	RO	RO	0b
14	Error Write Enable (写使能错误) 0: 无错误 1: 发出写入命令但未启用写入功能 往 Command Register 位写 000b 或者有效命令后清零。	RO	RO	0b
13	Error Acknowledge/Command (响应/命令错误) 0: 无错误 1: 缺少 EEPROM 响应或无效命令 往 Command Register 位写 000b 或者有效命令后清零。	RO	R/[W]	0b
12	EEPROM Loading Status (EEPROM 加载状态) 0: EEPROM 已加载, 从站信息正常 1: EEPROM 未加载/加载失败, 从站信息不可用	RO	RO	0b
11	Checksum Error in ESC Configuration Area (ESC 配置区校验和错误) 0: 校验和正常 1: 校验和错误	RO	R/[W]	0b
10:8	Command Register (命令寄存器) 写入: 启动命令 读取: 当前执行的命令 000: 无命令/EEPROM 空闲 (清除错误位) 001: 读取	R/W	R[W]	000b

	010: 写入 100: 重新加载 其他: 保留/无效命令 (无需处理) 此字段在命令执行完毕后 (EEPROM 繁忙结束) 会自动清零。			
7	Select EEPROM Algorithm (选择的 EEPROM 访问算法) 0: 1 个地址字节 (1Kbit - 16Kbit EEPROM) 1: 2 个地址字节 (32Kbit - 4Mbit EEPROM) 由管脚 E2PSIZE 配置	RO	RO	-
6	Supported Number of EEPROM Bytes (支持的 EEPROM 字节数) 0: 4 字节 1: 8 字节	RO	RO	0b
5	EEPROM Emulation (EEPROM 仿真) 0: 正常操作 (使用 I2C 接口) 1: PDI 仿真 EEPROM (不使用 I2C)	RO	R/[w]	0b
4:1	保留	RO	RO	00b
0	ECAT Write Enable (ECAT 写使能) 0: 禁止写该寄存器 1: 允许写该寄存器	R/W	RO	0b

注意: R/[W] 表示只在 EEPROM 仿真模式下, 如果 EEPROM 接口处于繁忙状态下 (Bit 15 为 1) 才允许写操作。

10.8.41 EEPROM Address

地址偏移: 0504h-0507h

Bits	描述	ECAT 权限	PDI 权限	默认值
31:0	EEPROM Address (EEPROM 地址) 位 0: 第一个字 (16 位) 位 1: 第二个字 注意: 实际使用的 EEPROM 地址位: [9:0]: EEPROM 容量最高至 16Kbit [17:0]: EEPROM 容量为 32Kbit - 4Mbit [31:0]: EEPROM 模拟	R/W	R/W	0h

10.8.42 EEPROM Data

地址偏移: 0508h-050Bh

Bits	描述	ECAT 权限	PDI 权限	默认值
31:1	EEPROM Read Data (EEPROM 读数据)	RO	RO	0000h
6	从 EEPROM 读取的数据的高字节			
15:0	EEPROM Read/Write Data (EEPROM 读/写数据) 往 EEPROM 写入的数据或者从 EEPROM 读取的数据	R/W	R/W	0000h

10.8.43 MII Management Control/Status

地址偏移: 0510h-0511h

Bits	描述	ECAT 权限	PDI 权限	默认值
15	Busy (繁忙状态) 0: MI 控制状态机处于空闲状态 1: MI 控制状态机处于繁忙状态	RO	RO	0b
14	Command Error (命令错误) 0: 上次命令执行成功 1: 无效命令或在未启用写入的情况下发出写命令 注: 可通过有效命令清除, 或通过向 Command Register 位 写入 “00” 来清除。	RO	RO	0b
13	Read Error (读取错误) 0: 无读取错误 1: 发生读取错误 (PHY 或寄存器不可用) 注: 通过写入此寄存器清除。	R/W	R/W	0b
12:10	保留	RO	RO	0b
9:8	Command Register (命令寄存器) 写入: 启动命令 读取: 当前执行的命令 00: 无命令 / MI 空闲 (清除错误位)	R/W	R/W	0b

	01: 读取 10: 写入 11: 保留 (请勿发出)			
7:3	保留	RO	RO	-
2	MI LINK Detection (MI 链路检测) 链路配置、链路检测、寄存器 PHY 端口状态寄存器 0: 不可用 1: MI 链路检测激活	RO	RO	0b
1	Management Interface Control (管理接口控制) 0: 仅 ECAT 控制 1: 允许 PDI 控制 (MII 管理 ECAT 访问状态寄存器和 MII 管理 PDI 访问状态寄存器)	RO	RO	1b
0	Write Enable (写使能) 0: 写禁用 1: 写启用 注: 如果 PDI 具有 MI 控制, 则该位始终为 1。	R/W	RO	0b

10.8.44 PHY Address

地址偏移: 0512h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:5	保留	RO	RO	000b
4:0	PHY Address (PHY 地址) MII 管理接口进行读写访问时的 PHY 地址	R/W	R/W	00000b

10.8.45 PHY Register Address

地址偏移: 0513h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:5	保留	RO	RO	000b
4:0	Address of PHY Register to be Read/Written (读写的 PHY 寄存器地址) MII 管理接口进行读写访问时的 PHY 寄存器地址	R/W	R/W	00000b

10.8.46 PHY Data

地址偏移: 0514h-0515h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	PHY Read/Write Data (PHY 读写数据) MII 管理接口进行读写访问时的读写数据	R/W	R/W	0000h

10.8.47 MII Management ECAT Access State

地址偏移: 0516h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:1	保留	RO	RO	00h
0	ECAT Access to MII Management (ECAT 访问 MII 管理) 0: ECAT 允许 PDI 接管 MII 管理控制 1: ECAT 对 MII 管理具有独占访问权	R/W	RO	0b

注: 仅当寄存器 **MIIManagement PDI Access State** 中的 **Access to MII Management(PDI)**位为 0 时, 才可能进行写访问。

10.8.48 MII Management PDI Access State

地址偏移: 0517h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:2	保留	RO	RO	00h
1	Force PDI Access State 强制 PDI 访问状态 0: 不更改 Access to MII Management(PDI)位的值 1: 复位 Access to MII Management(PDI)位	R/W	RO	0b

0	Access to MII Management(PDI) 访问 MII 管理 (PDI) 0: ECAT 可以访问 MII 管理 1: PDI 可以访问 MII 管理	RO	R/W	0b
---	---	----	-----	----

注: 只有当此寄存器的 **Force PDI Access State** 位为 0, 并且寄存器 **MII Management ECAT Access State** 中的 **Access to MII Management(ECAT)** 位也为 0 时, 才能对此寄存器的 **Access to MII Management(PDI)** 位进行写访问。

10.8.49 FMMU[2:0] 寄存器

ISN8221 包含 3 个现场总线内存管理单元 (FMMU)。每个现场总线内存管理单元 (FMMU) 包含 16 个字节寄存器，起始于地址 0600h。下表列出了每个 FMMU 的基地址。后续的现场总线内存管理单元 (FMMU) 寄存器描述将通过这些基地址的偏移量进行引用。在以下描述中，变量 “x” 用于表示 FMMU 0-2。

FMMU	基地址
0	0600h
1	0610h
2	0620h

10.8.49.1 FMMU x Logical Start Address

地址偏移: +0h-3h

Bits	描述	ECAT 权限	PDI 权限	默认值
31:0	Logical Start Address (逻辑起始地址) 在 EtherCAT 地址空间内映射的逻辑起始地址。	R/W	RO	0h

10.8.49.2 FMMU x Length

地址偏移: +4h-5h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Length (长度) 从第一个 FMMU 逻辑字节到最后一个 FMMU 逻辑字节的偏移量 + 1 (例如, 如果使用两个字节, 则此寄存器值为 2)。	R/W	RO	0000h

10.8.49.3 FMMU x Logical Start Bit

地址偏移: +6h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:3	保留	RO	RO	00h
2:0	Logical Start Bit (逻辑起始位) 应映射的逻辑起始位 (位从最低有效位 (0) 计数到最高有效位 (7))	R/W	RO	000b

10.8.49.4 FMMU x Logical Stop Bit

地址偏移: +7h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:3	保留	RO	RO	00h
2:0	Logical Stop Bit (逻辑停止位) 将要映射的最后一个逻辑位 (位从最低有效位 (0) 计数到最高有效位 (7))。	R/W	RO	000b

10.8.49.5 FMMU x Physical Start Address

地址偏移: +8h-9h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Physical Start Address (物理起始地址) (映射到逻辑起始地址)	R/W	RO	0000h

10.8.49.6 FMMU x Physical Start Bit

地址偏移: +Ah

Bits	描述	ECAT 权限	PDI 权限	默认值
7:3	保留	RO	RO	00h
2:0	Physical Start Bit (物理起始位) 作为逻辑起始位映射目标的物理起始位 (位从最低有效位 (0) 计数到最高有效位 (7))。	R/W	RO	000b

10.8.49.7 FMMU x Type

地址偏移: +Bh

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:2	保留	RO	RO	00h
1	Write Access Mapping (写访问映射) 0: 忽略写访问的映射 1: 使用写访问的映射	R/W	RO	0b
0	Read Access Mapping (读访问映射) 0: 忽略读访问的映射 1: 使用读访问的映射	R/W	RO	0b

10.8.49.8 FMMU x Activate

地址偏移: +Ch

Bits	描述	ECAT 权限	PDI 权限	默认 值
7:1	保留	RO	RO	00h
0	FMMU Activation (FMMU 激活状态) 0: FMMUx 未激活 1: FMMUx 已激活。FMMUx 根据配置的映射规则, 检查逻辑地址块是否需要进行映射。	R/W	RO	0b

10.8.50 SM[2:0] 寄存器

ISN8221 包含 4 个同步管理器 (Sync Managers)。每个同步管理器 (Sync Managers) 包含 8 个字节的寄存器，起始地址为 0800h。下表详细列出了每个同步管理器的基地址。后续的同步管理器寄存器将通过这些地址的偏移量进行引用。在以下描述中，变量 “x” 用于表示同步管理器 0-3。

SM	基地址
0	0800h
1	0808h
2	0810h
3	0818h

10.8.50.1 SM x Physical Start Address

地址偏移: +0h-1h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Physical Start Address (物理起始地址) 指定将由同步管理器 x 处理的第一个字节。	R/W	RO	0000h

注: 此寄存器仅在同步管理器 x 未激活时可写, 即寄存器 **SM x Activate** 的 **SyncManager Enable/Disable** 位为 0.

10.8.50.2 SM x Length

地址偏移: +2h-3h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Length (长度) 分配给同步管理器 x 的字节数。 (该字段应大于 1, 否则同步管理器不会被激活。如果设置为 1, 则仅在配置时生成看门狗触发信号。)	R/W	RO	0000h

注: 此寄存器仅在同步管理器 x 未激活时可写, 即寄存器 **SM x Activate** 的 **SyncManager Enable/Disable** 位为 0.

10.8.50.3 SM x Control

地址偏移: +4h

Bits	描述	ECAT 权限	PDI 权限	默认 值
7	保留	RO	RO	0b
6	Watchdog Trigger Enable (看门狗触发启用) 0: 禁用 1: 启用	R/W	RO	0b
5	Interrupt in PDI Event Request Register (PDI 事件请求寄存器中断) 0: 禁用 1: 启用	R/W	RO	0b
4	Interrupt in ECAT Event Request Register (ECAT 事件请求寄存器中断) 0: 禁用 1: 启用	R/W	RO	0b
3:2	Direction (方向) 00: 读取: ECAT 读访问, PDI 写访问 01: 写入: ECAT 写访问, PDI 读访问 10: 保留	R/W	RO	00b

	11: 保留			
1:0	Operation Mode (操作模式) 00: 缓冲模式 (3 缓冲区模式) 01: 保留 10: 邮箱模式 (单缓冲区模式) 11: 保留	R/W	RO	00b

注: 此寄存器仅在同步管理器 x 未激活时可写, 即寄存器 SM x Activate 的 SyncManager Enable/Disable 位为 0.

10.8.50.4 SM x Status

地址偏移: +5h

Bits	描述	ECAT 权限	PDI 权限	默认值
7	Write Buffer in Used(Opened) 写缓冲区使用中	RO	RO	0b
6	Write Buffer in Used(Opened) 读缓冲区使用中	RO	RO	0b
5:4	Buffer Status(Last Write Buffer) 缓冲区状态 (最后写入的缓冲区) 缓冲模式: 00: 1. 缓冲区 01: 2. 缓冲区 10: 3. 缓冲区 11: 无缓冲区写入 邮箱模式: 保留	RO	RO	00b
3	Mailbox Status (邮箱状态) 邮箱模式: 0: 邮箱为空 1: 邮箱已满	RO	RO	0b

	缓冲模式: 保留 (RESERVED)			
2	保留	RO	RO	0b
1	Interrupt Read (读取中断) 0: 在缓冲区的第一个字节被写入后清除中断 1: 在缓冲区被完全且成功读取后中断	RO	RO	0b
0	Interrupt Write (写入中断) 0: 在缓冲区的第一个字节被读取后清除中断 1: 在缓冲区被完全且成功写入后中断	RO	RO	0b

10.8.50.5 SM x Activate

地址偏移: +6h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:2	保留	RO	RO	00h
1	Repeat Request (重复请求) 重复请求的切换标志表示需要进行邮箱重试 (主要用于与 ECAT 读取邮箱结合使用)	R/W	RO	0b
0	SyncManager Enable/Disable (同步管理器启用/禁用) 0: 禁用: 访问内存时不受同步管理器控制 1: 启用: 同步管理器处于活动状态, 并控制配置中设置的内存区域	R/W	RO	0b

10.8.50.6 SM x PDI Control

地址偏移: +7h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:2	保留	RO	RO	00h
1	Repeat Ack (重复响应) 如果与重复请求的值相同, 则 PDI 确认执行了先前设置的重复请求。	RO	R/W	0b
0	Deactivate SyncManager x 0: 激活同步管理器 1: 请求同步管理器停用	RO	R/W	0b

10.8.51 Receive Time Port 0

地址偏移: 0900h-0903h

Bits	描述	ECAT 权限	PDI 权限	默认值
31:0	<p>写入:</p> <p>通过 BWR 或 FPWR (配置地址) 对寄存器 0900h 进行写操作, 会在每个端口锁存接收帧起始时间 (前导码的第一位开始时的本地时间)。</p> <p>读取:</p> <p>上一个包含对该寄存器进行写操作的接收帧起始时间的本地时间。</p> <p>注意: 不能在写入该寄存器的同一帧中读取时间戳。</p>	R/W	RO	-

10.8.52 Receive Time Port 1

地址偏移: 0904h-0907h

Bits	描述	ECAT 权限	PDI 权限	默认值
31:0	网口 Port 1 接收到的帧 (包含 BWR 或 FPWR 0900h) 起始时间 (前导码第一位) 的本地时间	R/W	RO	-

10.8.53 System Time

地址偏移: 0910h-0917h

Bits	描述	ECAT 权限	PDI 权限	默认 值
63:0	ECAT 读访问: 帧通过参考时钟时的系统时间的本地副本（即包括系统时间延迟）。时间在帧开始时锁定（以太网 SOF 分隔符）。 PDI 读访问: 系统时间的本地副本。时间在读取第一个字节 (0910h) 时锁定。	RO	RO	0h
31:0	写入访问: 写入的值将与系统时间的本地副本进行比较。比较结果作为时间控制环路的输入。 注意: 如果至少第一个字节 (0910h) 被写入, 写入的值将在帧结束时与锁存的 (SOF) 系统时间本地副本进行比较。	W	RO	0h

10.8.54 Receive Time ECAT Processing Unit

地址偏移: 0918h-091Fh

Bits	描述	ECAT 权限	PDI 权限	默认值
63:0	帧起始时间（前导码的第一个比特开始时）的本地时间，在包含对接收时间端口 0 寄存器 (0900h) 进行写访问的情况下，该时间被 ECAT 处理单元接收。 注意: 如果端口 0 打开, 此寄存器将反映接收时间端口 0 寄存器的 64 位值。	RO	RO	0h

10.8.55 System Time Offset

地址偏移: 0920h-0927h

Bits	描述	ECAT 权限	PDI 权限	默认值
63:0	本地时间与系统时间的差异。偏移量被加到本地时间上。在 ECAT 处理单元接收到的一个帧起始 (前导码的第一个比特开始) 的本地时间, 其中包含对接收时间端口 0 寄存器 (0900h) 的写访问。 注意: 如果端口 0 处于开启状态, 此寄存器将接收时间端口 0 寄存器反映为一个 64 位值。	R/W	RO	0h

10.8.56 System Time Delay

地址偏移: 0928h-092Bh

Bits	描述	ECAT 权限	PDI 权限	默认值
31:0	参考时钟与 ESC 之间的延迟。	R/W	RO	0h

10.8.57 System Time Difference

地址偏移: 092Ch-092Fh

Bits	描述	ECAT 权限	PDI 权限	默认值
31	0: 本地系统时间副本大于或等于接收到的系统时间 1: 本地系统时间副本小于接收到的系统时间	RO	RO	0b
30:0	本地系统时间副本与接收到的系统时间值之间的平均差异。	RO	RO	0h

10.8.58 Speed Counter Start

地址偏移: 0930h-0931h

Bits	描述	ECAT 权限	PDI 权限	默认值
15	保留	RO	RO	0b
14:0	用于调整系统时间本地副本的带宽 (较大值 -> 较小带宽且调整更平滑)。写入操作将重置系统时间差寄存器和速度计数器差寄存器。有效范围: 0080h-3FFFh。	R/W	RO	1000h

10.8.59 Speed Counter Difference

地址偏移: 0932h-0933h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	本地时钟周期与参考时钟周期之间偏差的表示 (表示方式: 二进制补码)。 有效范围: +/- (速度计数器起始寄存器-7Fh)。	RO	RO	0000h

10.8.60 Speed Counter Filter Depth

地址偏移: 0935h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:4	保留	RO	RO	0h
3:0	用于平均时钟周期偏差的滤波深度。 注意: 写入访问会重置内部速度计数器滤波器。	R/W	RO	Ch

10.8.61 Cyclic Unit Control

地址偏移: 0980h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:1	保留	RO	RO	00h
0	Sync Out Unit Control (同步输出单元控制) 0: ECAT 控制 1: PDI 控制	R/W	RO	0b

10.8.62 Sync Out Activate

地址偏移: 0981h

Bits	描述	ECAT 权限	PDI 权限	默认值
7	SyncSignal Debug Pulse(Vasili Bit) (同步信号调试脉冲) 0: 未激活 1: 根据此寄存器的第 1 位, 立即在 SYNC0 上生成单个调试脉冲。	R/W	R/W	0b
6	Near Future Configuration(approx.) (近未来配置 (约)) 0: 1/2 DC 宽度未来 (231 纳秒或 263 纳秒) 1: 2.1 秒未来 (231 纳秒)	R/W	R/W	0b
5	Start Time Plausibility Check (启动时间合理性检查) 0: 禁用。当达到启动时间时生成同步信号。 1: 如果启动时间超出 Near Future Configuration(approx.), 则立即生成同步信号。	R/W	R/W	0b
4	Extension of Start Time Cyclic Operation (循环操作启动时间的扩展) 0: 无扩展 1: 将写入的 32 位启动时间扩展为 64 位	R/W	R/W	0b
3	Auto-activation (自动激活)	R/W	R/W	0b

	0: 禁用 1: 启用自动激活。在写入开始时间后，同步输出单元激活会自动设置。			
2	保留	RO	RO	0b
1	SYNC0 Generation (SYNC0 生成) 0: 未激活 1: 生成 SYNC0 脉冲	R/W	R/W	0b
0	Sync Out Unit Activation (同步输出单元激活状态) 0: 未激活 1: 已激活 注意：在写入开始时间后，将值设为 1	R/W	R/W	0b

10.8.63 Pulse Length of SyncSignal

地址偏移: 0982h-0983h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Pulse length of SyncSignal 同步信号的脉冲长度 (以 10 纳秒为单位) 在响应模式下, 该值为 0: 同步信号将在读取 SYNC0 状态寄存器时被清除。	RO	RO	0000h

10.8.64 SYNC Activation Status

地址偏移: 0984h

Bits	描述	ECAT 权限	PDI 权限	默认值
7:3	保留	RO	RO	00000b
2	同步输出单元激活时, 启动时间循环操作 (启动时间循环操作寄存器) 的合理性检查结果。 0: 启动时间在 Near Future Configuration(approx.)设置范围内 1: 启动时间超出 Near Future Configuration(approx.)设置的范围	RO	RO	0b

1	保留	RO	RO	0b
0	SYNC0 Activation State (SYNC0 激活状态)			
	0: 第一个 SYNC0 脉冲未挂起 1: 第一个 SYNC0 脉冲已挂起	RO	RO	0b

10.8.65 SYNC0 Status

地址偏移: 098Eh

Bits	描述	ECAT 权限	PDI 权限	默认值
7:1	保留	RO	RO	00h
0	SYNC0 State for Acknowledge Mode(响应模式下的 SYNC0 状态) 在响应模式下, 通过从 PDI 读取此寄存器来清除 SYNC0。仅 在响应模式下使用。	RO	RO	0b

10.8.66 Start Time Cyclic Operation/Next SYNC0 Pulse

地址偏移: 0990h-0997h

Bits	描述	ECAT 权限	PDI 权限	默认值
63:0	写入: 循环操作的开始时间（系统时间），单位为纳秒。 读取: 下一个 SYNC0 脉冲的系统时间，单位为纳秒。	RO	RO	0h

10.8.67 SYNC0 Cycle Time

地址偏移: 09A0h-09A3h

Bits	描述	ECAT 权限	PDI 权限	默认值
31:0	两个连续 SYNC0 脉冲之间的时间（以纳秒为单位）。 值为 0 表示单次模式 - 仅生成一个 SYNC0 脉冲。	R/W	R/W	0h

10.8.68 Digital I/O 输出数据寄存器 (DIGITAL I/O OUTPUT DATA)

地址偏移: 0F00h-0F01h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Output Data (输出数据) Digital I/O 输出数据	R/W	RO	0000h

10.8.69 General Purpose Output

地址偏移: 0F10h-0F11h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	General Purpose Output Data 通用输出数据	R/W	R/W	0000h

10.8.70 General Purpose Input

地址偏移: 0F18h-0F19h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	General Purpose Input Data 通用输入数据	RO	RO	0000h

10.8.71 Digital I/O Input Data

地址偏移: 1000h-1001h

Bits	描述	ECAT 权限	PDI 权限	默认值
15:0	Input Data 输入数据, 仅在 Digital IO 模式有效	R/W	R/W	0000h

10.8.72 Process Data RAM

地址偏移: 1000h-2FFFh

Bits	描述	ECAT 权限	PDI 权限	默认值
-	8 KByte 过程数据 RAM	R/W	R/W	0000h

11. 电气特性

11.1 绝对最大额定值

电源电压(VDD12TX1, VDD12TX2, OSCVDD12, VDDCR) (注 1)	-0.16 V 至 +1.32 V
电源电压(VDD33TXRX1, VDD33TXRX2, VDD33BIAS, VDD33,	-0.16 V 至 +3.63 V
以太网磁性元件电源电压	-0.3 V 至 +3.63 V
输入信号管脚相对于地的正电压	+3.63 V
输入信号管脚相对于地的负电压	-0.16 V
OSCI 相对于地的正电压	+3.63 V
存储温度	-55°C 至 +150°C
最大存储结温	+150°C
引线温度范围	参考 JEDEC 规范 J-STD-020
HBM ESD 性能	±2000V
CDM ESD 性能	±2000V

注 1: 当使用实验室或系统电源为此芯片供电时, 必须确保不超过绝对最大额定值。超出本节列出的压力可能导致芯片永久损坏。这仅是压力评级。长时间暴露于绝对最大额定条件可能影响芯片可靠性。在超过第 11.2 节“工作条件”、第 11.4 节“直流规格”或其他相关章节中规定的条件下, 不保证芯片的功能操作。注意, 设备信号并非 5V 容忍。

11.2 工作条件

电源电压 (VDD12TX1, VDD12TX2, OSCVDD12, VDDCR)	+1.14 V 至 +1.26 V
模拟端口电源电压 (VDD33TXRX1, VDD33TXRX2, VDD33BIAS,	+3.135 V 至 +3.465 V
I/O 电源电压 (VDDIO) (注 2)	+3.135 V 至 +3.465 V
以太网磁性元件电源电压	+3.135 V 至 +3.465 V
静止空气中的环境工作温度 (TA)	-40°C 至 +85°C

注 2: 在未为芯片供电的情况下, 请勿驱动输入信号。

说明: 只有在此节指定的范围内, 才能保证芯片的正常运行。芯片完成上电后, VDDIO 和磁性元件电源电压必须保持在 $\pm 10\%$ 的范围内。如果在芯片完成上电后电压变化超过 $\pm 10\%$, 可能会导致芯片运行错误。

11.3 功耗

模式	最大功耗 (W)
100BASE-TX, 内部稳压器启用, 3.3V 以太网磁性元件, 工作温度 $T_a=85^\circ\text{C}$	1

11.4 直流 (DC) 规格

I/O 直流电气特性

IO	VIL(V)		VIH(V)		VOL(V)	VOH(V)
	Min	Max	Min	Max	Max	Min
LVCMS33	-0.16	0.8	2	3.465	0.4	VDDIO-0.4

PHY 数字 I/O 电气特性

VIL(V)		VIH(V)		VOL(V)	VOH(V)
Min	Max	Min	Max	Max	Min
-0.5	0.2*VDDIO	0.8*VDDIO	3.3V+0.5V	0.1*VDDIO	0.9*VDDIO

100BASE-TX 收发器特性

Parameter	Symbol	Min	Typ	Max	Units	Notes
Peak Differential Output Voltage High	VPPH	950	-	1050	mVpk	注 3
Peak Differential Output Voltage Low	VPPL	-950	-	-1050	mVpk	注 3
Signal Amplitude Symmetry	VSS	98	-	102	%	注 3
Signal Rise and Fall Time	tRF	3.0	-	5.0	ns	注 3
Rise and Fall Symmetry	tRFS	-	-	0.5	ns	注 3
Duty Cycle Distortion	tCD	-0.25	-	0.25	ns	注 4
Overshoot and Undershoot	VOS	-	-	5	%	
Jitter	-	-	-	1.4	ns	注 5

注 3：在变压器的线路侧测量，线路已替换为 100Ω ($+/- 1\%$) 电阻。

注 4：从 16 纳秒脉冲宽度偏离，测量点位于脉冲峰值的 50% 处。

注 5：以差分方式测量。

11.5 交流 (AC) 规格

本节详细介绍了芯片的各种交流时序规格。

注 6: I2C 时序遵循 NXP I2C 总线规范。有关详细的 I2C 时序信息, 请参阅 NXP I2C 总线规范。

11.5.1 上电时序

图 11-1 和 图 11-2 说明了 ISN8221 芯片上电顺序的要求。VDD33、VDD33TXRX1、VDD33TXRX2、VDD33BIAS 和磁性电源必须全部在规定的时间段 t_{pon} 内达到工作水平。当内部稳压器被禁用时, VDD12、VDD12TX1 和 VDD12TX2 也包含在此要求中。

芯片电源可以按任意顺序关闭, 只要它们都在规定的时间段 t_{poff} 内达到 0 V 即可。

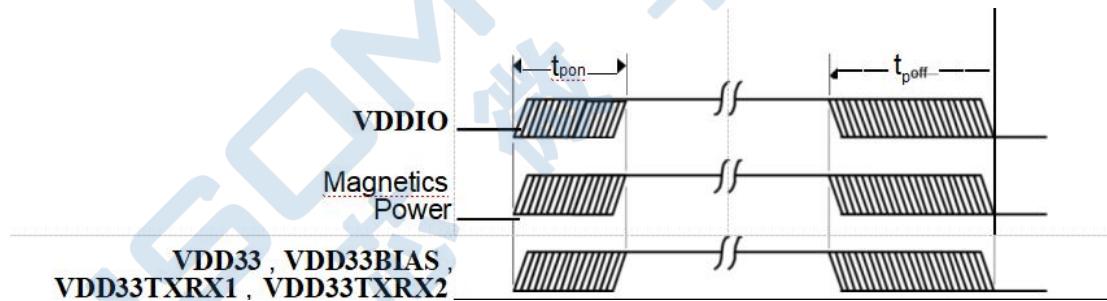


图 11-1: 上电时序 - 内部稳压器

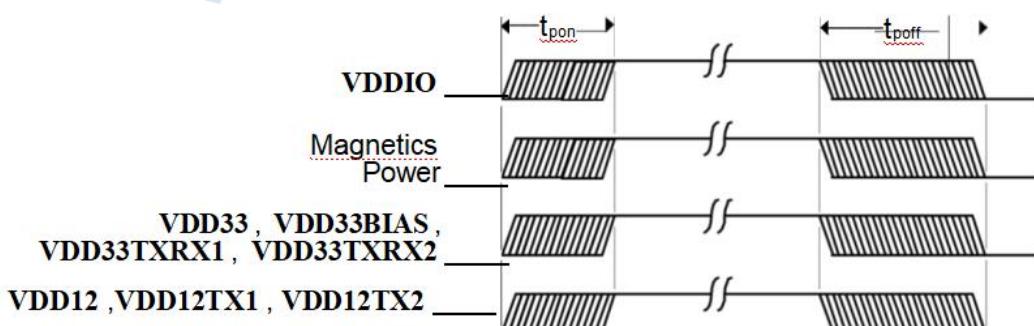


图 11-1: 上电时序 - 外部稳压器

电源时序定时值

Symbol	Description	Min	Typ	Max	Units
t_{pon}	Power supply turn on time	-	-	100	ms
t_{poff}	Power supply turn off time	-	-	600	ms

11.5.2 主机总线接口 I/O 时序

主机总线接口的时序规范在第 8.3.5 节“复用寻址模式时序要求”和第 8.4.6 节“寄存器索引模式时序要求”中给出。

11.5.3 SPI 接口 I/O 时序

SPI/SQI 客户端总线接口的时序规范在第 9.3 节“SPI 时序要求”中给出。

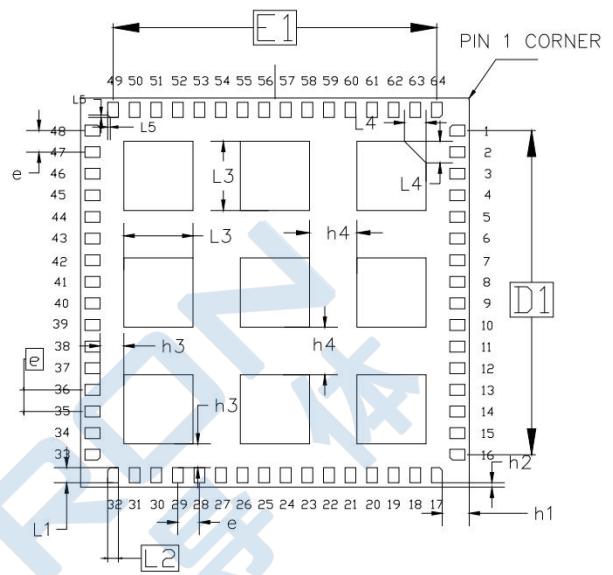
11.6 时钟电路

ISN8221 接受一个 25 MHz 单端时钟振荡器 (± 50 ppm) 输入。推荐的晶振规格（有源晶振）如下表所示：

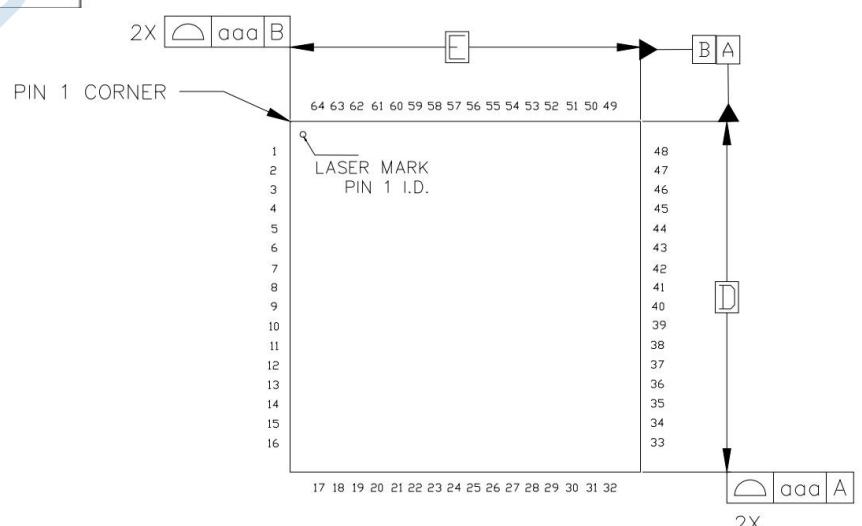
Symbol	Description	Min	Typ	Max	Units
freq	frequency		25		MHz
t_{IPJIT_cyc}	Input clock cycle-to-cycle jitter ($f_{PFD} \geq 100$ MHz)			0.15	UIPP
	Input clock cycle-to-cycle jitter ($f_{PFD} < 100$ MHz)			750	ps p-p
IN DUTY CYCLE	Input clock duty	40%	60%		-

12. 封装

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.80	1.86	1.92
A1	1.50 BASIC		
c	0.32	0.36	0.40
E	8.90	9.00	9.10
D	8.90	9.00	9.10
E1	7.50 BASIC		
D1	7.50 BASIC		
e	0.50 BASIC		
L1	0.30	0.35	0.40
L2	0.20	0.25	0.30
L3	1.55	1.60	1.65
L4	0.45	0.50	0.55
L5	0.05	0.06	0.07
h1	0.625 REF		
h2	0.100 REF		
h3	0.550 REF		
h4	1.100 REF		
aaa	0.10		
ccc	0.10		



SIDE VIEW



免责声明

- ISOMICRON 保留在任何时候在不另行通知的情况下对 ISOMICRON 产品和/或本文件进行更改、更正、增强、修改和改进的权利。买方在下单前应获取有关 ISOMICRON 产品的最新相关信息。ISOMICRON 产品根据订单确认时的销售条款进行销售。
- 买方全权负责 ISOMICRON 产品的选择和使用, ISOMICRON 不承担应用协助或买方产品设计的责任。
- ISOMICRON 在此不授予任何知识产权的明示或暗示许可。
- ISOMICRON 对产品是否适用于任何特定用途或任何产品的持续生产, 不作任何保证。在法律允许的最大范围内, ISOMICRON 不承担:
 - a. 包括但不限于特殊性、间接性或附带性损害或预期收益或商业利益的赔偿责任;
 - b. 任何隐含保证, 如特定应用适用性的保证。
- 您可能从未经授权第三方获得及享用服务, 本公司对其合法性概不负责, 亦不承担法律责任。
- 本产品不适用于军工、航天、汽车、医疗、生命维持或救生应用, 或任何其他可能导致人员伤害或死亡的应用, 不得用于非法用途。
- 未尽事项请参考公司官网相关声明。