

USB 转串口芯片 CH9102

手册

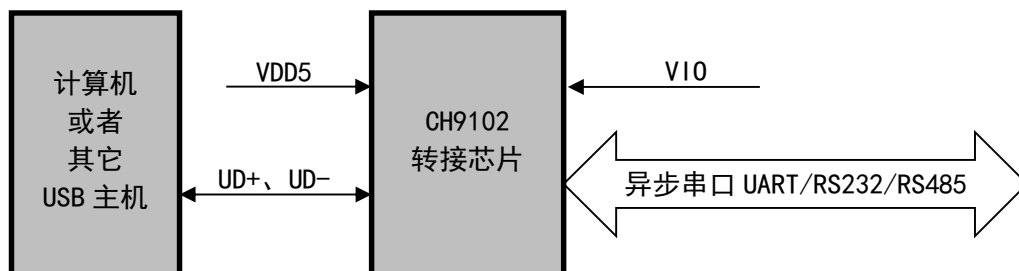
版本: 1.4

<https://wch.cn>

1、概述

CH9102 是一个 USB 总线的转接芯片，实现 USB 转异步串口。提供了常用的 MODEM 联络信号，用于为计算机扩展异步串口，或者将普通的串口设备或者 MCU 直接升级到 USB 总线。

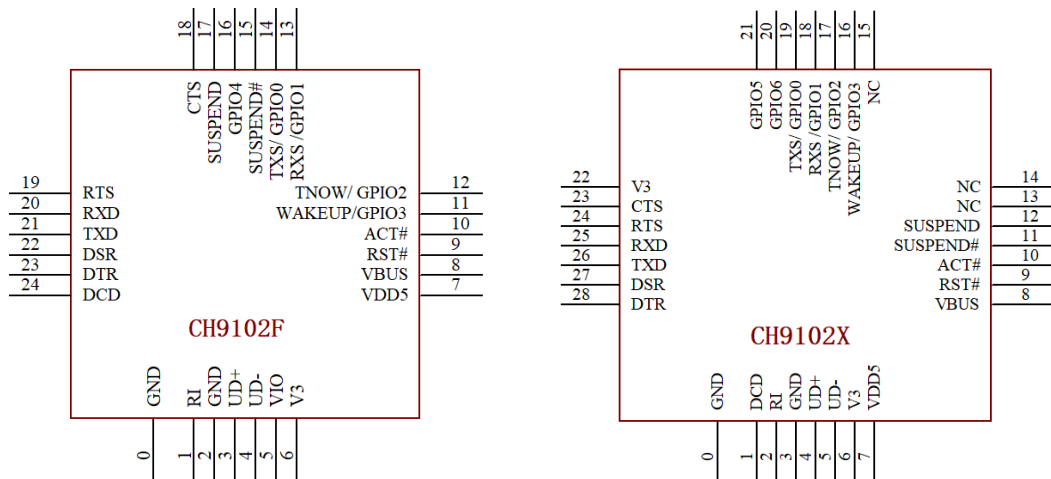
图 1-1 系统框图



2、特点

- 全速 USB 设备接口，兼容 USB V2.0
- 内置固件，仿真标准串口，用于升级原串口外围设备，或者通过 USB 增加额外串口
- 计算机端 Windows 操作系统下的串口应用程序完全兼容，无需修改
- 支持免安装的操作系统内置 CDC 类驱动程序或者多功能高速率的 VCP 厂商驱动程序
- 硬件全双工串口，内置独立的收发缓冲区，支持通讯波特率 50bps~4Mbps
- 串口支持 5、6、7 或者 8 个数据位，支持奇校验、偶校验、空白、标志以及无校验
- 支持常用的 MODEM 联络信号 RTS、DTR、DCD、RI、DSR、CTS
- 支持 CTS 和 RTS 硬件自动流控
- 支持半双工，提供正在发送状态 TNOW 支持 RS485 切换
- 通过外加电平转换器件，支持 RS232 接口
- USB 端支持 5V 电源电压和 3.3V 电源电压
- CH9102F 串口 I/O 独立供电，支持 5V、3.3V、2.5V、1.8V 电源电压，支持防倒灌
- CH9102X 串口 I/O 支持 3.3V 信号，支持防倒灌
- 内置上电复位，内置时钟，无需外部晶振
- CH9102F 内置 EEPROM，可配置芯片 VID、PID、最大电流值、厂商和产品信息字符串等参数
- 芯片内置 Unique ID(USB Serial Number)
- 提供 QFN24 和 QFN28 无铅封装，兼容 RoHS

3、引脚排列



封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN24	4*4mm	0.5mm	19.7mil	四边无引线 24 脚	CH9102F
QFN28X5	5*5mm	0.5mm	19.7mil	四边无引线 28 脚	CH9102X

注：CH9102F 和 CH9102X 的底板是 0#引脚 GND，是可选但建议的连接；其它 GND 是必要连接。

CH9102X 的 VIO 引脚与 V3 引脚已在内部短接。

CH9102 的 USB 收发器按 USB2.0 全内置设计，UD+和 UD-引脚不能串接电阻，否则影响信号质量。

4、引脚定义

QFN24 引脚号	QFN28 引脚号	引脚 名称	类型	引脚说明
7	7	VDD5	P	电源调节器正电源输入端，需要外接退耦电容。
5	内接 V3	VIO	P	I/O 端口电源输入端，需要外接退耦电容。
2, 0	3, 0	GND	P	公共接地端，需要连接 USB 总线的地线。
6	6, 22	V3	P	内部电源调节器输出和内核及 USB 电源输入，当 VDD5 电压小于 3.6V 时连接 VDD5 输入外部电源，当 VDD5 电压大于 3.6V 时外接退耦电容。
9	9	RST	I	外部复位输入端，低电平有效，内置上拉电阻。
3	4	UD+	USB	直接连到 USB 总线的 D+数据线，不能额外串接电阻。
4	5	UD-	USB	直接连到 USB 总线的 D-数据线，不能额外串接电阻。
8	8	VBUS	I	USB 总线的 VBUS 状态检测输入，内置下拉电阻。
21	26	TXD	O	串口的串行数据输出，空闲态为高电平。
20	25	RXD	I	串口的串行数据输入，内置上拉电阻。
18	23	CTS	I	MODEM 联络输入信号，清除发送，低有效。
22	27	DSR	I	MODEM 联络输入信号，数据装置就绪，低有效。
1	2	RI	I	MODEM 联络输入信号，振铃指示，低有效。
24	1	DCD	I	MODEM 联络输入信号，载波检测，低有效。
23	28	DTR	O	MODEM 联络输出信号，数据终端就绪，低有效。
19	24	RTS	O	MODEM 联络输出信号，请求发送，低有效。 上电期间如果RTS引脚检测到外接了下拉电阻则禁用内部EEPROM中配置参数，启用芯片自带默认参数。
15	11	SUSPEND#	O	USB 挂起状态输出，低电平有效，正常工作状态输出

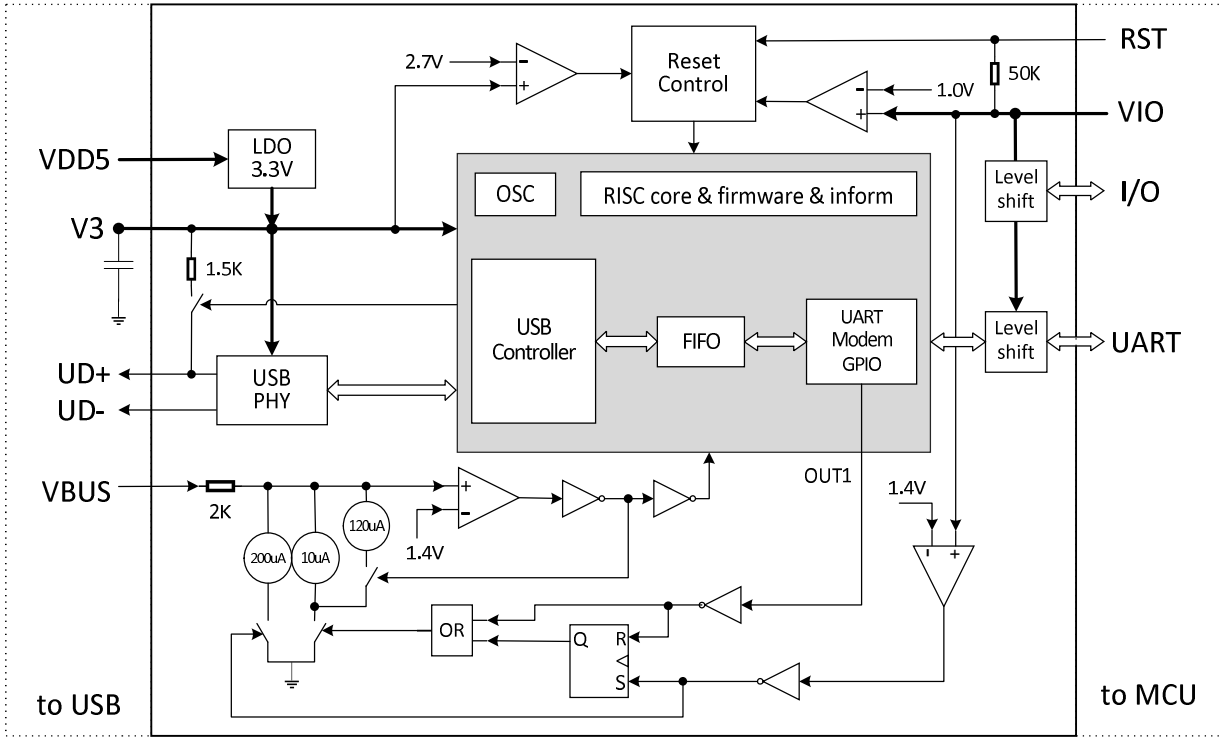
				高电平，挂起后输出低电平。
17	12	SUSPEND	0	USB 挂起状态输出，高电平有效，正常工作状态输出低电平，挂起后输出高电平。
11	16	WAKEUP/ GPIO3	I/O	USB 唤醒事件检测输入，低电平有效，内置上拉电阻通用 GPIO3，可由驱动控制输入或输出。
12	17	TNOW/ GPIO2	I/O	串口发送正在进行的状态指示，高电平有效通用 GPIO2，可由驱动控制输入或输出。
13	18	RXS/ GPIO1	I/O	RXD 引脚接收状态输出。 通用 GPIO1，可由驱动控制输入或输出。
14	19	TXS/ GPIO0	I/O	TXD 引脚发送状态输出。 通用 GPIO0，可由驱动控制输入或输出。
无	20	GPIO6	I/O	通用 GPIO6，可由驱动控制输入或输出。
无	21	GPIO5	I/O	通用 GPIO5，可由驱动控制输入或输出。
16	无	GPIO4	I/O	通用 GPIO4，可由驱动控制输入或输出。
10	10	ACT#	0	USB 配置完成状态输出，低电平有效，挂起时无效。
无	13, 14, 15	NC	NC	禁止连接，必须悬空。

注 2：引脚类型缩写解释：
USB = USB 信号引脚；
I = 信号输入；
O = 信号输出；
P = 电源或地；
NC = 空脚；
FT = 耐受 5V 电压。

5、功能说明

5.1 内部结构

图 5-1 内部结构



5.2 电源与功耗

CH9102 芯片有 3 个电源端，内置了产生 3.3V 的电源调节器。VDD5 是电源调节器的输入端，V3 是电源调节器的输出端和 USB 收发器及内核电源输入，VIO 是 I/O 引脚电源。

CH9102 芯片支持 5V 或者 3.3V 电源电压，V3 引脚应该外接容量为 0.1 μ F 左右的电源退耦电容。当使用 5V 工作电压（大于 3.8V）时，VDD5 引脚输入外部 5V 电源（例如 USB 总线电源），由内部电源调节器于 V3 引脚产生 3.3V 电源，用于 USB 收发器。当使用 3.3V 或更低工作电压（小于 3.6V）时，V3 引脚应该与 VDD5 引脚相连接，同时输入外部的 3.3V 电源，V3 引脚仍需外接电源退耦电容。

CH9102 芯片的 VIO 引脚用于为串口 I/O 和 RST 引脚提供 I/O 电源，支持 1.8V~5V 电源电压，VIO 应该与 MCU 等外设使用同一电源。UD+和 UD-及 VBUS 引脚使用 V3 电源，不使用 VIO 电源。

CH9102 芯片自动支持 USB 设备挂起以节约功耗。在 USB 挂起状态下，如果 I/O 输出引脚没有外部负载，I/O 输入引脚处于悬空（内部上拉）或者高电平状态，那么 VIO 电源将不消耗电流。另外，当 V3 和 VDD5 失去供电处于 0V 电压时，VIO 消耗电流情况同上，VIO 不会向 VDD5 或者 V3 倒灌电流。

VBUS 引脚应该连接到 USB 总线的电源，当检测到失去 USB 电源时，CH9102 芯片将关闭 USB 并睡眠（挂起）。VBUS 引脚内置的下拉电阻可以由计算机端软件通过设置串口 MCR 寄存器中的 OUT1 信号控制（SERIAL_IOC_MCR_OUT1），OUT1 无效时开启下拉电阻（默认状态），OUT1 有效时关闭下拉电阻。

当 VBUS 引脚串接电阻后用于通过 PMOS 控制 VIO 电源时，CH9102 提供了 VIO 低压保护机制。在关闭 VBUS 下拉电阻期间，如果检测到 VIO 电压低于约 1.4V，那么 CH9102 将自动在 VBUS 引脚吸收约 300 μ A 放电电流，直到 VIO 电压升高后结束该放电电流，并自动开启下拉电阻。

以下为几种电源连接方案，供参考。

供电方案	串口信号电压 MCU 工作电压	VDD5 引脚	V3 引脚	VIO 引脚	MCU 或外设电源
		不低于 V3 电压	额定 3.3V 左右	两者用同一电源，1.8V~5V	
全部 USB 供电	5V	USB 供电 5V	仅外接电容	USB 供电 5V	
	3.3V	USB 供电 5V	外接电容	由 V3 供电 3.3V，最多 10mA	
	3.3V	USB 供电 5V 经外置 LD0 电源调节器降压到 3.3V，V3 外接电容			
	1.8V~4V	USB 供电 5V	仅外接电容	USB 供电经外置 LD0 调节器降压	
USB+自供 双供电	1.8V~5V	USB 供电 5V	仅外接电容	自供电 1.8V~5V (1.8V, 2.5V, 3.3V, 5V)	
全部自行 供电	4V~5V	自供电 4V~5V	仅外接电容	自供电 4V~5V	
	1.8V~5V	自供电，额定 3.3V，外接电容		自供电 1.8V~5V	

推荐双供电方案，仅 VIO 与 MCU 共用电源，消耗电流极小，USB 挂起/睡眠时 VIO 电流仅 2 μ A。

CH9102X 的 VIO 引脚与 V3 引脚已在内部短接，VIO 使用内部电源调节器 LDO 输出的 3.3V 电源，支持 3.3V 串口信号。

5.3 串口

异步串口方式下 CH9102 芯片的引脚包括：数据传输引脚、MODEM 联络信号引脚、辅助引脚。

数据传输引脚包括：TXD 引脚和 RXD 引脚。串口输入空闲时，RXD 应为高电平。串口输出空闲时，TXD 为高电平。

MODEM 联络信号引脚包括：CTS 引脚、DSR 引脚、RI 引脚、DCD 引脚、DTR 引脚、RTS 引脚。所有这些 MODEM 联络信号都是由计算机应用程序控制并定义其用途。

辅助引脚包括：TNOW、SUSPEND#、SUSPEND、WAKEUP、RXS、TXS 和 ACT#引脚等。

TNOW 为串口正在发送的状态指示引脚，可用于控制 RS485 的收发切换。TNOW 输出低电平或高电平时，串口发送和接收均可同时进行。

SUSPEND#和 SUSPEND 为芯片挂起状态输出引脚，当芯片处于正常工作状态时，SUSPEND#引脚输出高电平，SUSPEND 引脚输出低电平；当芯片处于挂起状态时，SUSPEND#引脚输出低电平，SUSPEND 引脚输出高电平。

WAKEUP 为 USB 唤醒事件检测输入引脚，低电平有效，内置上拉电阻。

RXS 为芯片串口接收数据状态输出引脚，TXS 为芯片串口发送数据状态输出引脚。

ACT#为 USB 设备配置完成状态输出引脚，可以用于通知 MCU 或者驱动串接了限流电阻后接到 VIO 的发光二极管。

CH9102 的异步串口支持 CTS 和 RTS 硬件自动流控制，可以通过软件启用。如果启用，那么仅在检测到 CTS 引脚输入有效（低电平有效）时串口才继续发送下一个数据，否则暂停串口发送；当接收缓冲区空时，串口会自动有效 RTS 引脚（低电平有效），直到接收缓冲区的数据较满时，串口才自动无效 RTS 引脚，并在缓冲区空时再次有效 RTS 引脚。使用硬件自动速率控制，可以将己方的 CTS 引脚接到对方的 RTS 引脚，并将己方的 RTS 引脚送到对方的 CTS 引脚。

CH9102 内置了独立的收发缓冲区，支持单工、半双工或者全双工异步串行通讯。串行数据包括 1 个低电平起始位、5、6、7 或 8 个数据位、1 个或 2 个高电平停止位，支持奇校验/偶校验/标志校验/空白校验。CH9102 支持常用通讯波特率：50、75、100、110、134.5、150、300、600、900、1200、1800、2400、3600、4800、9600、14400、19200、28800、33600、38400、56000、57600、76800、115200、128000、153600、230400、256000、307200、460800、921600、1M、1.5M、2M、3M、4M 等。超过 2Mbps 的应用建议优选 CH346、CH347、CH9111 等 480Mbps 高速 USB 芯片。

在通讯波特率较高的应用中，建议启用硬件自动流控。全速 USB 仅 12Mbps，考虑到协议开销等因素，实际应用中应该避免串口处于连续或者全双工的 3Mbps 及以上的高速通讯状态。

CH9102 串口接收信号的允许波特率误差不大于 4%，串口发送信号的波特率误差小于 1.6%。

在计算机端的 Windows 操作系统下，CH9102 支持系统自带的 CDC 类驱动程序，也可安装高速率的 VCP 厂商驱动程序，能够仿真标准串口，所以绝大部分串口应用程序完全兼容，通常无需任何修改。

CH9102 可以用于升级原串口外围设备，或者通过 USB 总线为计算机增加额外串口。通过外加电平转换器件，可以进一步提供 RS232、RS485、RS422 等接口。

5.4 时钟和复位及其它

CH9102 芯片内置了 USB 上拉电阻，UD+和 UD-引脚应该直接连接到 USB 总线上。

CH9102 芯片内置了电源上电复位电路，还提供了低电平有效的外部复位输入引脚，当 RST 引脚为低电平时，CH9102 芯片被复位；当 RST 引脚恢复为高电平后，CH9102 内部会继续延时复位 15ms 左右，然后进入正常工作状态。

CH9102 芯片内置了低压复位电路，同时监测 V3 引脚和 VIO 引脚的电压，当 V3 电压低于 VRV3 或者 VIO 电压低于 VRVIO 时，芯片自动硬件复位。

CH9102 芯片内置了时钟发生器，无需外部晶体及振荡电容。

5.5 芯片参数配置

在较大批量应用时，CH9102 的厂商识别码 VID 和产品识别码 PID 以及产品信息可以定制。

在少量应用时，可以使用内置了 EEPROM 的 CH9102F 芯片（批号倒数第 4 位是字母则内置 EEPROM）。用户安装 VCP 厂商驱动程序后，可以通过芯片厂家提供的配置软件 CH34xSerCfg.exe，灵活配置芯片的厂商识别码 VID、产品识别码 PID、最大电流值、BCD 版本号、厂商信息和产品信息字符串描述符等参数。

6、参数

6.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	°C
TS	储存时的环境温度	-55	125	°C
VDD5	USB 端电源电压（VDD5 引脚供电，GND 引脚接地）	-0.5	6.0	V
VIO	串口 I/O 电源电压（VIO 引脚供电，GND 引脚接地）	-0.5	6.0	V
VVBUS	VBUS 引脚上的电压	-0.5	6.5	V

VUSB	USB 信号引脚上的电压	-0.5	V3+0.5	V
VUART	串口及其它引脚上的电压	-0.5	VIO+0.5	V

6.2 电气参数（测试条件：TA=25℃，VDD5=5V 或 VDD5=V3=3.3V，VIO=1.8V~5V，不含 USB 引脚）

名称	参数说明		最小值	典型值	最大值	单位
VDD5	USB 端 电源电压	V3 引脚不连 VDD5，V3 接电容	4.0	5	5.5	V
		V3 引脚连接 VDD5，VDD5=V3	3.0	3.3	3.6	
VIO	串口及其它 I/O 的 VIO 电源电压		1.7	5	5.5	V
IVDD	工作时 VDD5 或 V3 电源电流			3	15	mA
IVIO	工作时的 VIO 电源电流(取决于 I/O 负载)			0	(10)	mA
ISLP	USB 挂起时的 电源电流	VDD5 供电端=5V		0.09	0.16	mA
		VDD5=V3 供电端=3.3V		0.085	0.15	mA
		VIO 供电端, 无 I/O 负载/上拉		0.002	0.05	mA
ILD0	内部电源调节器对外负载能力				10	mA
VIL	低电平输入电压	VIO=5V	0		1.5	V
		VIO=3.3V	0		0.9	V
		VIO=1.8V	0		0.5	V
VIH	高电平输入电压	VIO=5V	2.5		VIO	V
		VIO=3.3V	1.9		VIO	V
		VIO=1.8V	1.3		VIO	V
VIHVBS	VBUS 引脚高电平电压	VIO=1.8V~5V	1.7		5.8	V
VOL	低电平 输出电压	VIO=5V, 吸入 15mA 电流		0.4	0.5	V
		VIO=3.3V, 吸入 8mA 电流		0.3	0.4	V
		VIO=1.8V, 吸入 3mA 电流		0.3	0.4	V
VOH	高电平 输出电压 非复位态	VIO=5V, 输出 10mA 电流	VIO-0.5	VIO-0.4		V
		VIO=3.3V, 输出 5mA 电流	VIO-0.4	VIO-0.3		V
		VIO=1.8V, 输出 2mA 电流	VIO-0.4	VIO-0.3		V
IPUP	串口和 RST 引脚 的上拉电流 (上拉到 VIO 电压)	VIO=5V	35	150	220	uA
		VIO=3.3V	15	60	90	uA
		VIO=1.8V	3	14	21	uA
IPDN	VBUS 引脚的下拉电流	VBUS>1.6V	6	10	16	uA
		VBUS<1.3V	50	140	200	uA
VRV3	V3 电源上电复位/低压复位的电压门限		2.5	2.7	2.9	V
VRVIO	VIO 电源低压复位的电压门限		0.8	1.0	1.15	V
VESD	USB 或 I/O 引脚上的 HBM ESD 耐压		5	6		KV

6.3 时序参数（测试条件：TA=25℃，VDD5=5V 或 VDD5=V3=3.3V，VIO=1.8V~5V）

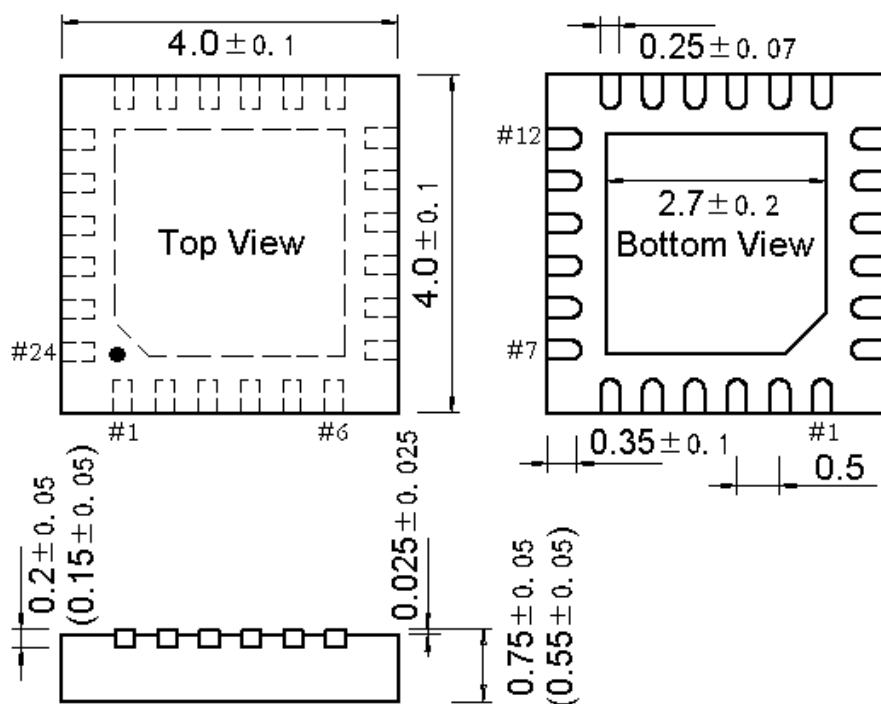
名称	参数说明		最小值	典型值	最大值	单位
FD	内部时钟的误差 (同比影响波特率)	TA=-15℃~60℃	-1.0	±0.5	+1.0	%
		TA=-40℃~85℃	-1.6	±0.8	+1.6	%
TRSTD	电源上电或外部复位输入后的复位延时		9	15	25	mS
TRI	RST 外部复位输入的有效信号宽度		100			nS
TSUSP	检测 USB 自动挂起时间		3	5	9	mS
TWAKE	芯片睡眠后唤醒完成时间		1.2	1.5	5	uS

7、封装信息

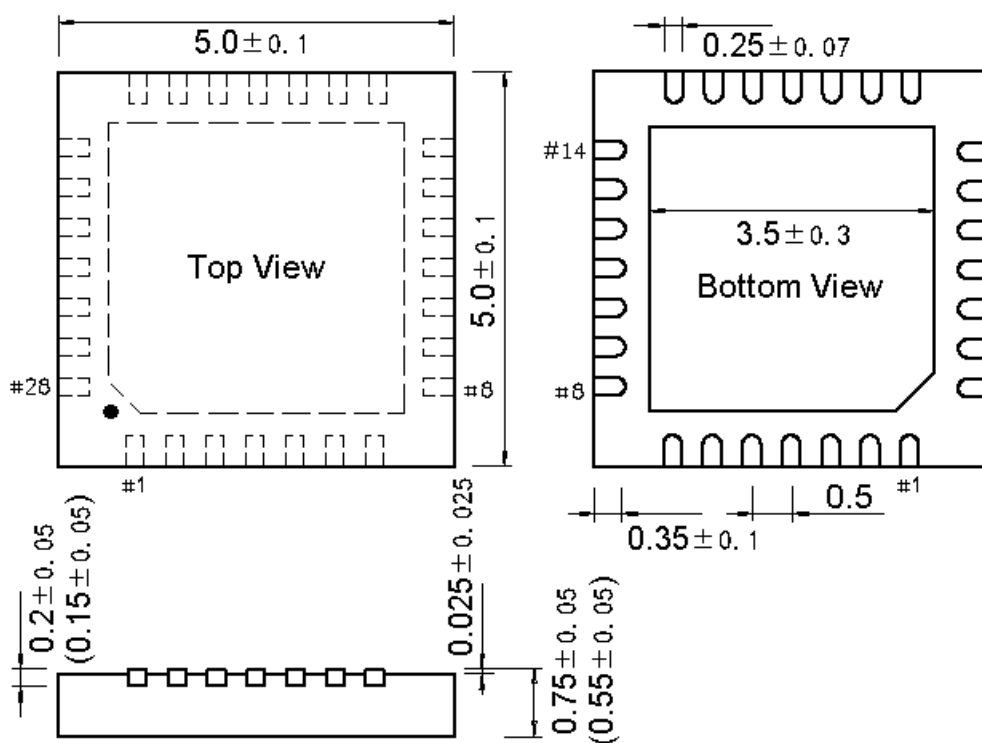
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 。

7.1 QFN24



7.2 QFN28X5



8、应用

8.1 USB 转 9 线 TTL 串口

下图是由 CH9102F 实现的 USB 转 TTL 串口。图中的信号线可以只连接 RXD、TXD 以及公共地线，其它信号线根据需要选用，不需要时都可以悬空。

P4 是 USB 端口，USB 总线包括一对 5V 电源线和一对数据信号线，通常，+5V 电源线是红色，接地线是黑色，D+ 信号线是绿色，D- 信号线是白色。USB 总线提供的电源电流可以达到 500mA，VBUS 引脚在此检测 USB 供电状态。

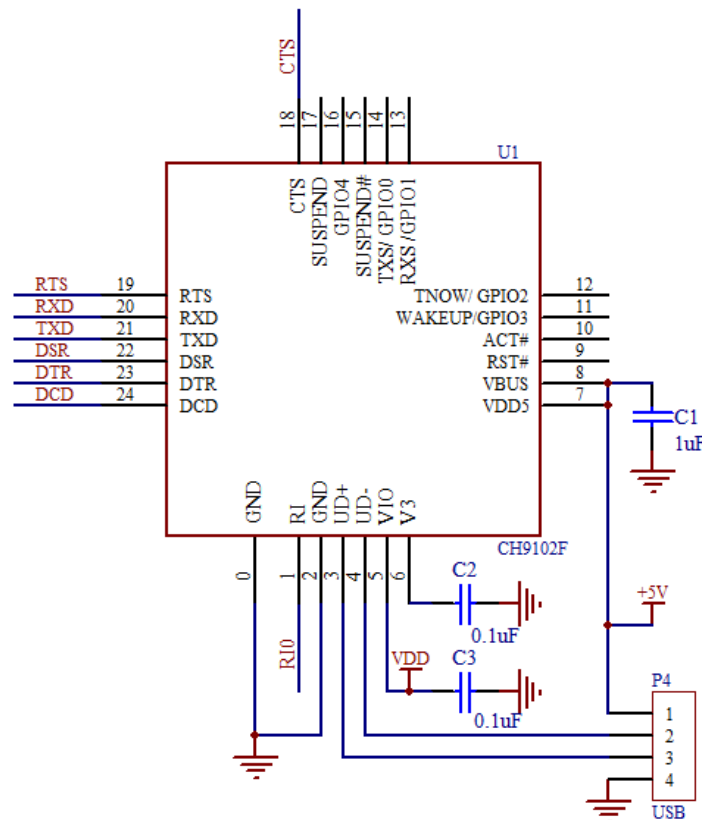
V3 引脚的电容 C2 为 0.1 μ F，用于 CH9102 内部 3.3V 电源节点退耦，C1 和 C3 用于外部电源退耦。

对于 CH9102F，如果应用中 VIO 已经与 V3 短接，那么电容 C3 可以省掉；在 VIO=V3=VDD5 这种全部自供电 3.3V 的情况下，电容 C2 和 C3 可以省掉。

三种供电方案：一是全部 USB 供电，CH9102 芯片和 USB 产品直接使用 USB 总线提供的 5V 电源，即 VDD5=VBUS=USB 的 5V 电源，VIO=VMCU=USB 的 5V 或者将其降压后的 1.8V~4V；二是分开独立供电，CH9102 的 VIO 与产品的 MCU 一起使用自供常备电源 VDD，而 CH9102 使用 USB 电源，其 VDD5 连接 USB 电源 VBUS，即 VDD5=VBUS=USB 的 5V 电源，VIO=VMCU=VDD=自供 1.8V~5V；三是全部自己供电，只检测但不使用 USB 电源，USB 产品通过自供电方式提供常备电源 VDD，主要有 VDD5=VIO=VMCU=VDD=自供 5V 或者 VDD5=V3=VIO=VMCU=VDD=自供 3.3V 两种。

在设计印刷电路板 PCB 时，需要注意：退耦电容 C1、C2 和 C3 尽量靠近 CH9102 的相连引脚；使 D+ 和 D- 信号线贴近平行布线，尽量在两侧提供地线或者覆铜，减少来自外界的信号干扰。

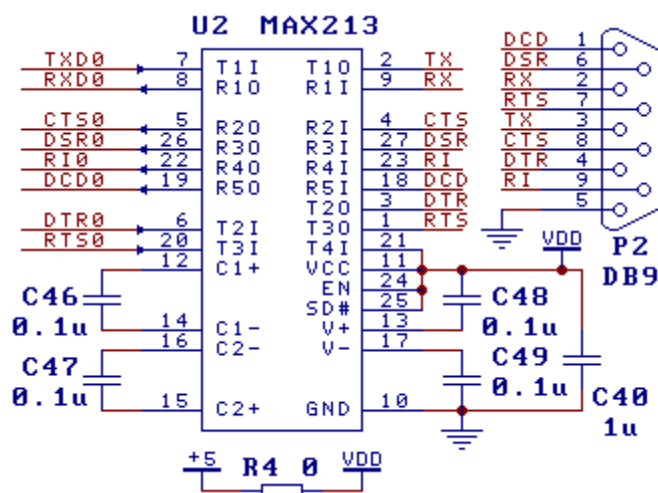
图 8-1 由 CH9102F 实现的 USB 转 TTL 串口的参考电路图



8.2 USB 转 9 线 RS232 串口

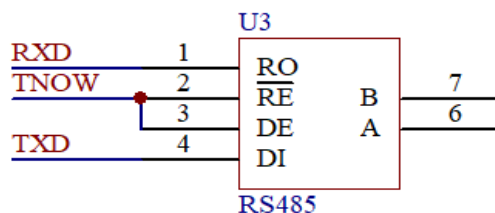
CH9102 提供了常用的串口信号及 MODEM 信号, 图中通过外部电平转换电路 U2 将 TTL 串口转换为 RS232 串口, 端口 P2 是 DB9 插针, 其引脚及功能与计算机的普通 9 针串口相同, U2 的类似型号有 MAX213/ADM213/SP213/MAX211 等。图中 U2 通过 R4 由 USB 总线统一供电。

图 8-2 USB 转 9 线 RS232 串口的参考电路图



8.3 USB 转 RS485

图 8-3 USB 转 RS485 的参考电路图



图中 TNOW 为切换引脚，用于控制 RS485 收发器的 DE（高有效发送使能）和 RE#（低有效接收使能）引脚。RS485 收发器应该与 VIO 使用同一供电电源。