

## 概述

CH641 系列是基于青稞 RISC-V2A 内核设计的 PD 无线充电专用微控制器。该系列具有宽压、单线调试、低功耗、外围精简等特点。CH641 内置 PD PHY、BC 接口、差分输入电流采样和交流小信号放大解码器，支持 USB PD 及 Type C 快充功能、BC1.2 及 DCP 等多种高压充电协议，提供了 DMA 控制器、10 位模数转换 ADC、多组定时器、USART 串口、I2C 等丰富的外设资源，提供过压保护和过温保护。

## 产品特性

### ● 内核 Core

- 青稞 32 位 RISC-V 内核，RV32EC 指令集
- 快速可编程中断控制器+硬件中断堆栈
- 支持 2 级中断嵌套
- 支持系统主频 48MHz

### ● 存储器

- 2KB 易失数据存储区 SRAM
- 16KB 程序存储区 CodeFlash
- 1920B 系统引导程序存储区 BootLoader
- 64B 系统非易失配置信息存储区
- 64B 用户自定义信息存储区

### ● 电源管理和低功耗

- 系统供电  $V_{HV}$  额定电压：5V~12V
- 内部产生  $V_{DD}$  电压用于 I/O 和模拟：4.8V
- 低功耗模式：睡眠、待机

### ● 系统时钟、复位

- 内置出厂调校的 24MHz 的 RC 振荡器
- 内置低频 RC 振荡器
- 上电复位、可编程电压监测器

### ● 7 路通用 DMA 控制器

- 7 个通道，支持环形缓冲区管理
- 支持 TIM1/ADC/USART/I2C

### ● 1 组 10 位模数转换 ADC

- 模拟输入范围：GND~3.3V
- 15 路外部信号通道+1 路内部信号通道
- 支持外部延迟触发

### ● 多组定时器

- 1 个 16 位高级定时器，提供死区控制和紧急刹车，提供用于电机控制的 PWM 互补输出
- 1 个 16 位的精简通用定时器
- 1 个看门狗定时器（窗口型）
- 系统时基定时器：32 位计数器

### ● 一组多引脚映射的 USART 串口

### ● 1 个 I2C 从机接口

### ● USB PD 和 Type C 控制器及 PHY

- 支持 DRP、Sink 和 Source 应用
- 3 个 CC 引脚，部分 CC 引脚内置 Rd

### ● 1 组 BC 接口

- 支持 BC1.2 及多种 HV DCP 充电协议
- 内置 6 位 DAC，支持多种电压输出及上下拉

### ● 差分输入电流采样 ISP/ISN

### ● 交流小信号放大解码器 QII

### ● GPIO 端口

- 2 组 GPIO 端口，25 个 I/O 口
- 外部中断
- 4 个高压驱动引脚，5 个低压强驱动引脚

### ● OVP 过压保护和 OTP 过温保护

### ● 安全特性：64 位芯片唯一 ID

### ● 调试模式：串行单线调试接口

### ● 封装形式：QFN

型号	闪存	SRAM	通用 I/O	高级定时器	通用定时器	串口	I2C	系统时钟源	ADC 通道数	高压驱动 I/O	BC 接口 DAC	USB PD Type-C	电流采样 ISP	信号解码 QII	封装形式
CH641F	16K	2K	25	1	1	1	1	2	15+1	4	√	3 个 CC	差分	√	QFN28
CH641D	16K	2K	17	1	1	1	1	2	10+1	4	√	3 个 CC	差分	√	QFN20
CH641X	16K	2K	17	1	1	1	1	2	12+1	2	√	3 个 CC	差分	√	QFN20
CH641P	16K	2K	13	1	1	1	-	2	10+1	2	√	3 个 CC	差分	√	QFN16

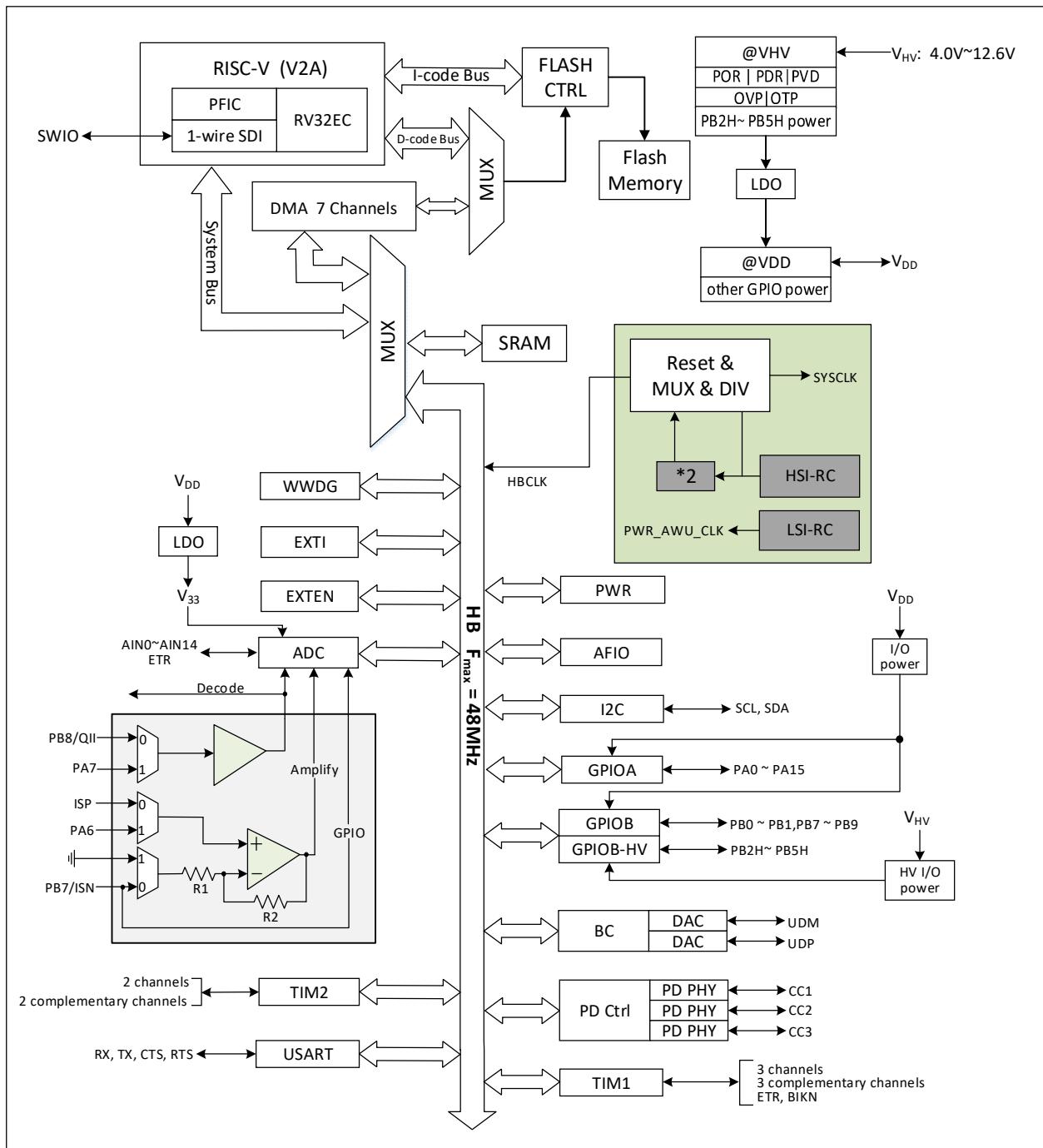
注: CH641X 和 CH641P 针对无线充电应用只提供 2 个高压 I/O, 但驱动能力更强。

# 第1章 规格信息

## 1.1 系统架构

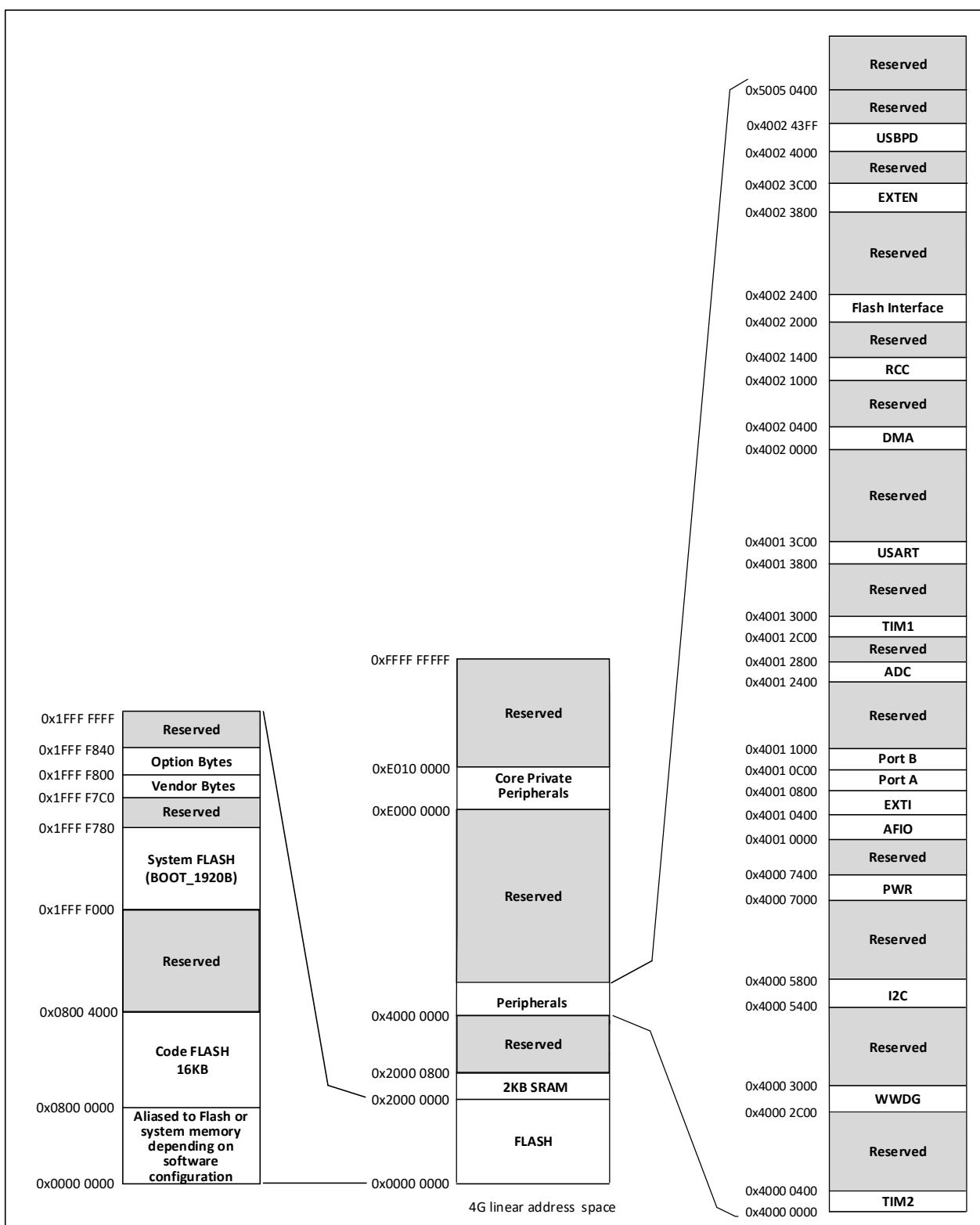
微控制器基于 RISC-V 指令集的青稞 V2A 设计，其架构中将内核、仲裁单元、DMA 模块、SRAM 存储等部分通过多组总线实现交互。设计中集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是 CH641 内部总体架构框图。

图 1-1 MCU 系统框图



## 1.2 存储器映射表

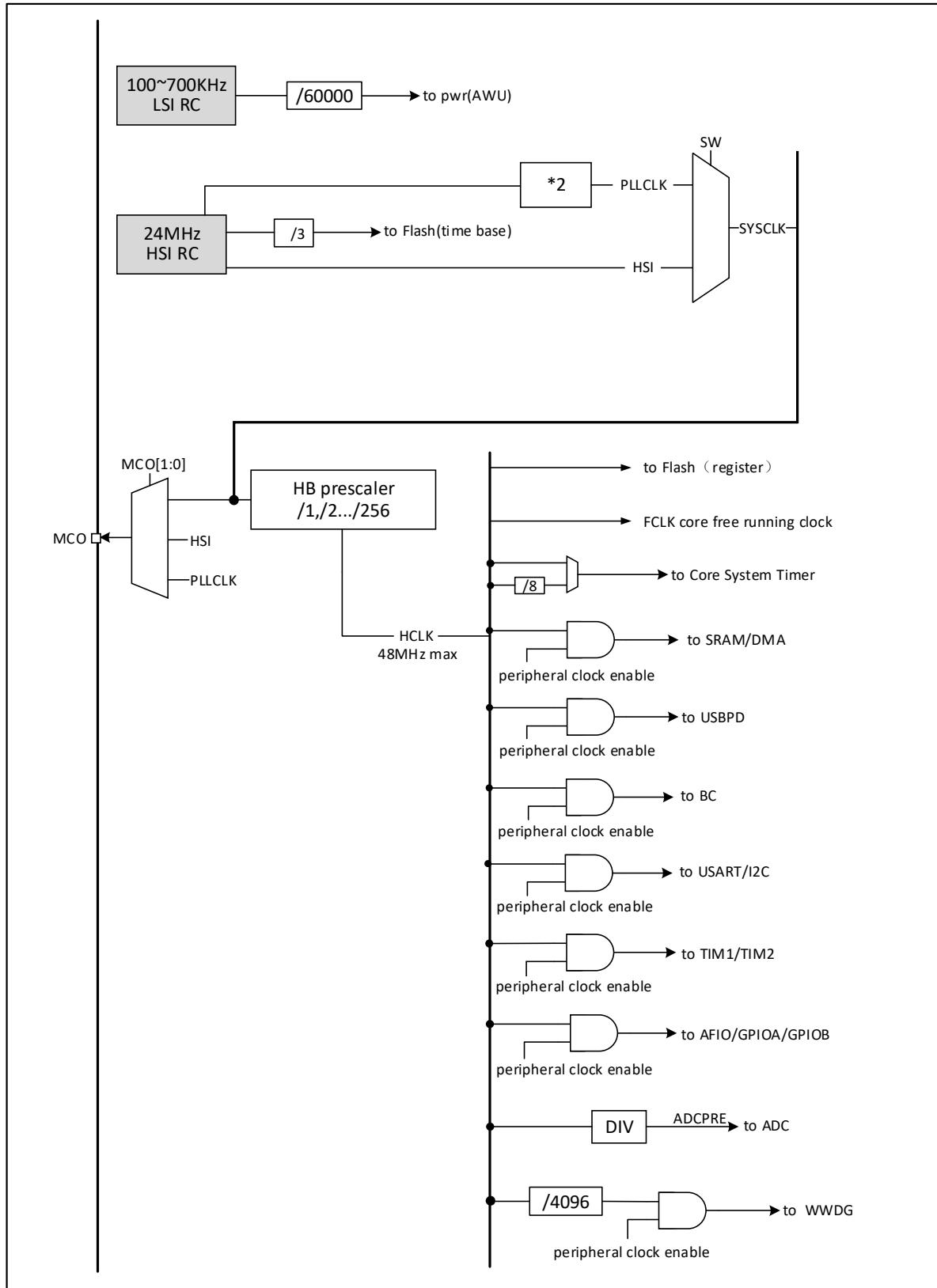
图 1-2 存储器地址映射



### 1.3 时钟树

系统中引入 2 组时钟源：内部高频 RC 振荡器（HSI）和内部低频 RC 振荡器（LSI）。其中，低频时钟源为自动唤醒单元提供了时钟基准，高频时钟源直接或者间接通过 2 倍频后输出为系统总线时钟（SYSCLK），系统时钟再由各预分频器提供了 HB 域外设控制时钟及采样或接口输出时钟。

图 1-3 时钟树框图



## 1.4 功能概述

### 1.4.1 青稞 RISC-V2A 处理器

RISC-V2A 支持 RISC-V 指令集 EC 子集。处理器内部以模块化管理，包含快速可编程中断控制器 (PFIC)、扩展指令支持等单元。总线与外部单元模块相连，实现外部功能模块和内核的交互。

青稞处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景 MCU 设计，例如小面积低功耗嵌入式场景。

- 支持机器模式
- 快速可编程中断控制器 (PFIC)
- 2 级硬件中断堆栈
- 串行单线调试接口
- 自定义扩展指令

### 1.4.2 片上存储器

内置 2K 字节 SRAM 区，用于存放数据，掉电后数据丢失。

内置 16K 字节程序闪存存储区 (Code FLASH)，即用户区，用于用户的应用程序和常量数据存储。

内置 1920 字节系统存储区 (System FLASH)，即 BOOT 区，用于系统引导程序存储 (厂家固化自举加载程序)，在设置用户配置字 START\_MODE 位为 0 关闭 BOOT 后，也可用于用户的应用程序和常量数据存储 (需使用 Id 分段链接文件)。

内置 64 字节系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

内置 64 字节用户自定义信息存储区，用于用户选择字存储。

支持 Boot 和用户代码互相跳转。

### 1.4.3 供电方案

方案一 ( $V_{DD}$  由内部调压器 LDO 供电)：外部向  $V_{HV}$  供电 4.0~12.6V， $V_{HV}$  向 LDO 供电并在  $V_{DD}$  引脚上输出相应电压，当  $5.0V \leq V_{HV} \leq 12.6V$  时， $V_{DD}$  引脚上输出额定 4.8V；当  $4.0V \leq V_{HV} < 5.0V$  时， $V_{DD}$  引脚上输出电压随之降低。

方案二 ( $V_{DD}$  可选由外部直接供电)：外部可直接向  $V_{DD}$  供电 3.5~5.5V，此时要求  $V_{HV} \geq V_{DD}$ 。其中，当  $3.5V \leq V_{DD} \leq 4.8V$  时， $V_{HV}$  与  $V_{DD}$  需短接。

$V_{HV}$ ：为内部调压器和 4 个 HV 高压 I/O 引脚供电，9V 以上应用建议  $V_{HV}$  上累计电容量不小于 10uF。

$V_{DD}$ ：为大部分 I/O 引脚和模拟模块供电，通常需外接 1uF 或 2.2uF 容量的高频退耦电容。

$V_{33}$ ：内部调压器产生 3.3V，在芯片内部为 ADC 提供参考电压。

### 1.4.4 供电监控器

CH641 内部集成了上电复位 (POR) / 掉电复位 (PDR) 电路，当  $V_{HV}$  低于设定的阈值 ( $V_{POR/PDR}$ ) 时，置器件于复位状态，而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器 (PWD)，需要通过软件开启，用于比较  $V_{HV}$  供电与设定的阈值  $V_{PWD}$  的电压大小。打开 PWD 相应边沿中断，可在  $V_{HV}$  下降到 PWD 阈值或上升到 PWD 阈值时，产生中断通知。关于  $V_{POR/PDR}$  和  $V_{PWD}$  的值参考第 3 章。

CH641 还内置了 OVP 过压保护和 OTP 过温保护等异常保护模块，在  $V_{HV}$  电压过高时、或者芯片温度过高时将强行复位 MCU。

### 1.4.5 系统电压调节器 LDO

复位后，调节器自动开启，根据应用方式有两种操作模式

- 开启模式：正常的运行操作，提供稳定的内核电源

- 低功耗模式：CPU 停止，系统自动进入待机模式

#### 1.4.6 低功耗模式

系统支持两种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式（SLEEP）

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 待机模式（STANDBY）

置位 PDDS、SLEEPDEEP 位，执行 WFI/WFE 指令进入。此模式下，高频时钟（HSI/PLL）域被关闭，SRAM 和寄存器内容保持，I/O 引脚状态保持，可以达到最低的电能消耗。该模式唤醒后系统可以继续运行，此时 HSI 作为默认系统时钟源。

退出条件：任意外部中断/事件（EXTI 信号）、RST 上的外部复位信号、USB PD 唤醒信号、PVD 的输出、AWU 自动唤醒，其中 EXTI 信号包括 25 个外部 I/O 口之一。

#### 1.4.7 快速可编程中断控制器（PFIC）

青稞内核 MCU 内置快速可编程中断控制器（PFIC），最多支持 255 个中断向量，以最小的中断延迟提供了灵活的中断管理功能。CH641 管理了 4 个内核私有中断和 25 个外设中断管理，其他中断源保留。PFIC 的寄存器均可以在机器特权模式下访问。

- 2 个可单独屏蔽中断
- 支持硬件中断堆栈（HPE），无需指令开销
- 提供 2 路免表中断（VTF）
- 向量表支持地址或指令模式
- 支持 2 级中断嵌套
- 支持中断尾部链接功能

#### 1.4.8 外部中断/事件控制器（EXTI）

外部中断/事件控制器总共包含 16 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。EXTI 可以检测到脉冲宽度小于内部 HB 的时钟周期。25 个通用 I/O 口都可选择连接到同一个外部中断源。

#### 1.4.9 通用 DMA 控制器

系统内置了 1 组通用 DMA 控制器，管理 7 个通道，灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输，支持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑，支持一个或多个外设对存储器的访问请求，可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括：高级定时器 TIM1、ADC、USART、I2C。

注：DMA 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

#### 1.4.10 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 24MHz 时钟的 3 分频作为默认的 CPU 时钟，随后可以另外选择 PLL 时钟。对于关闭时钟的低功耗模式，唤醒后系统也将使用内部的 RC 振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

#### 1.4.11 ADC（模拟/数字转换器）

CH641 内置 1 个 10 位的模拟/数字转换器(ADC)，支持多达 15 个外部通道和 1 个内部通道采样，可编程的通道采样时间，可以实现单次、连续、扫描或间断转换。提供模拟看门狗功能允许非常精准地监控一路或多路选中的通道，用于监测通道信号电压。支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。支持外部触发延迟功能，使能该功能后，当外部触发沿产生时，控制器根据配置的延迟时间将触发信号进行延迟，延迟时间到即刻触发 ADC 转换。

#### 1.4.12 定时器及看门狗

系统中的定时器包括 1 个高级定时器、1 个通用定时器、1 个看门狗定时器以及系统时基定时器。

- 高级定时器

高级定时器是一个 16 位的自动装载递加/递减计数器，具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级定时器可以通过定时器链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

- 通用定时器

通用定时器是一个 16 位的自动装载递加计数器，具有一个可编程的 16 位预分频器以及 2 个独立的通道及其对应的互补输出通道，每个独立通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出，同时还带有简单的死区控制，不支持 DMA。

- 窗口看门狗

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生问题时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器 (SysTick)

青稞微处理器内核自带一个 32 位递增的计数器，用于产生 SYSTICK 异常（异常号：15），可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 32 位计数器。具有自动重加载功能及可编程的时钟源。

#### 1.4.13 通用异步收发器 (USART)

CH641 提供了 1 组通用异步收发器 (USART)。支持全双工异步通信以及半双工单线通信，也支持 LIN(局部互连网)，兼容 IrDA SIR ENDEC 传输编解码规范和调制解调器 (CTS/RTS 硬件流控) 操作，还允许多处理器通信。其采用分数波特率发生器系统，并支持 DMA 操作连续通讯。

#### 1.4.14 I<sub>2</sub>C 总线

1 个 I<sub>2</sub>C 总线接口，工作于从机模式，完成所有 I<sub>2</sub>C 总线特定的时序、协议、仲裁等，支持标准和快速两种通讯速度，不支持主机模式。

I<sub>2</sub>C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。

#### 1.4.15 USB PD 及 Type C 控制器

内置 1 个 USB Power Delivery 控制器和 3 个 PD 收发器 PHY。提供 3 个 CC 引脚，其中 PB0/CC1R 和 PB9/CC3R 引脚内置 type-C 规范定义的可控 Rd 下拉电阻，PB1/CC2 引脚默认不提供 Rd，可支持定制。

支持 USB type-C 主从检测，自动 BMC 编解码和 CRC，硬件边沿控制，支持 USB PD2.0 和 PD3.0 电

力传输控制，支持快充，支持 UFP/PD 受电端 Sink 和 DFP/PD 供电端 Source 应用、DRP 应用以及动态切换。

#### 1.4.16 BC 接口

CH641 提供了 1 组 BC 接口，引脚为 PA0/UDP 和 PA1/UDM，均内置 6 位 DAC 及输出缓冲器，支持多种电压输出、输入比较，支持多级上拉和下拉电阻，支持 BC1.2 及 DCP 等多种高压充电协议。

#### 1.4.17 差分输入电流采样 (ISP)

CH641 支持差分输入的电流采样，外加毫欧级采样电阻，可实现低侧电流的采样与差分放大。差分输入的正端支持两个引脚选择，默认 ISP 引脚为差分输入正端，可选择 PA6 引脚作为差分输入正端，PB7/ISN 引脚为差分输入的负端。差分放大的结果通过 ADC\_IN8 通道送入 ADC 采样。支持单端输入模式，无需 ISN，省下 PB7 可用于 ADC 或者 GPIO。

#### 1.4.18 交流小信号放大解码器 (QII)

内置多级放大倍数和滤波器，支持数字滤波，主要用于 FSK/ASK 解码，可实现传输过程中的高质量与低误码率。信号输入支持两个引脚选择，默认为 PB8/QII 引脚，可选择 PA7 引脚作为输入。解码的结果通过 ADC\_IN9 通道送入 ADC 采样。

#### 1.4.19 通用输入输出接口 (GPIO)

系统提供了 2 组 GPIO 端口，共 25 个 GPIO 引脚。大多数 GPIO 引脚可以由软件配置成推挽输出、输入(带或不带上拉，部分带下拉)或复用的外设功能端口。

多数 GPIO 引脚都与数字或模拟的复用外设共用，提供锁定机制冻结 I/O 配置，以避免意外的写入 I/O 寄存器。

PB8 作为 GPIO 时，只支持输入或开漏输出，不支持推挽输出。

PB2H、PB3H、PB4H、PB5H 为  $V_{HV}$  供电的高压 I/O 引脚，其余为  $V_{DD}$  供电的低压 I/O 引脚。

PA2、PA3、PA4、PA5、PA9 均具有较强的电流驱动能力，约为其它普通 I/O 引脚的两倍。

PB3H 和 PB4H 内置不可关闭的上拉电阻；PB2H 和 PB5H 未内置上拉电阻；ISP 和 PB8/QII 未内置上拉电阻；PA0 和 PA1 内置默认关闭、可以调节的上拉电阻，由 EXTEN\_CTRL1 中的两组 PUE 和 DAC 进行调节和控制，并可提供上拉电流；提供 3 个 CC 引脚，其中 PB0/CC1/CC1R 和 PB1/CC2/CC2R 及 PB9/CC3/CC3R 引脚内置 type-C 规范定义的上拉电流，由对应引脚的 R8\_PORT\_CC 中的 CC\_PU 控制；除此之外的 GPIO 引脚均内置默认关闭、可以开启的上拉电阻。

PA4 和 PA5 内置默认开启、可以关闭的下拉电阻；PA0 和 PA1 内置默认开启、可以调节、可以关闭的下拉电阻，由 EXTEN\_CTRL1 中的两组 PDE 和 DAC 进行调节和控制，并可提供下拉电流；CC1/CC2/CC3 如果有后缀 R 则表示内置 type-C 规范定义的可控 Rd 下拉电阻，默认开启；PB0/CC1R 和 PB9/CC3R 引脚内置可控 Rd 下拉电阻，作为 GPIO 推挽输出时建议关闭下拉，PB1/CC2 引脚默认不提供 Rd，可支持定制，由对应引脚的 R8\_PORT\_CC 中的 CC\_PD 控制；除此之外的 GPIO 引脚均未内置下拉电阻。

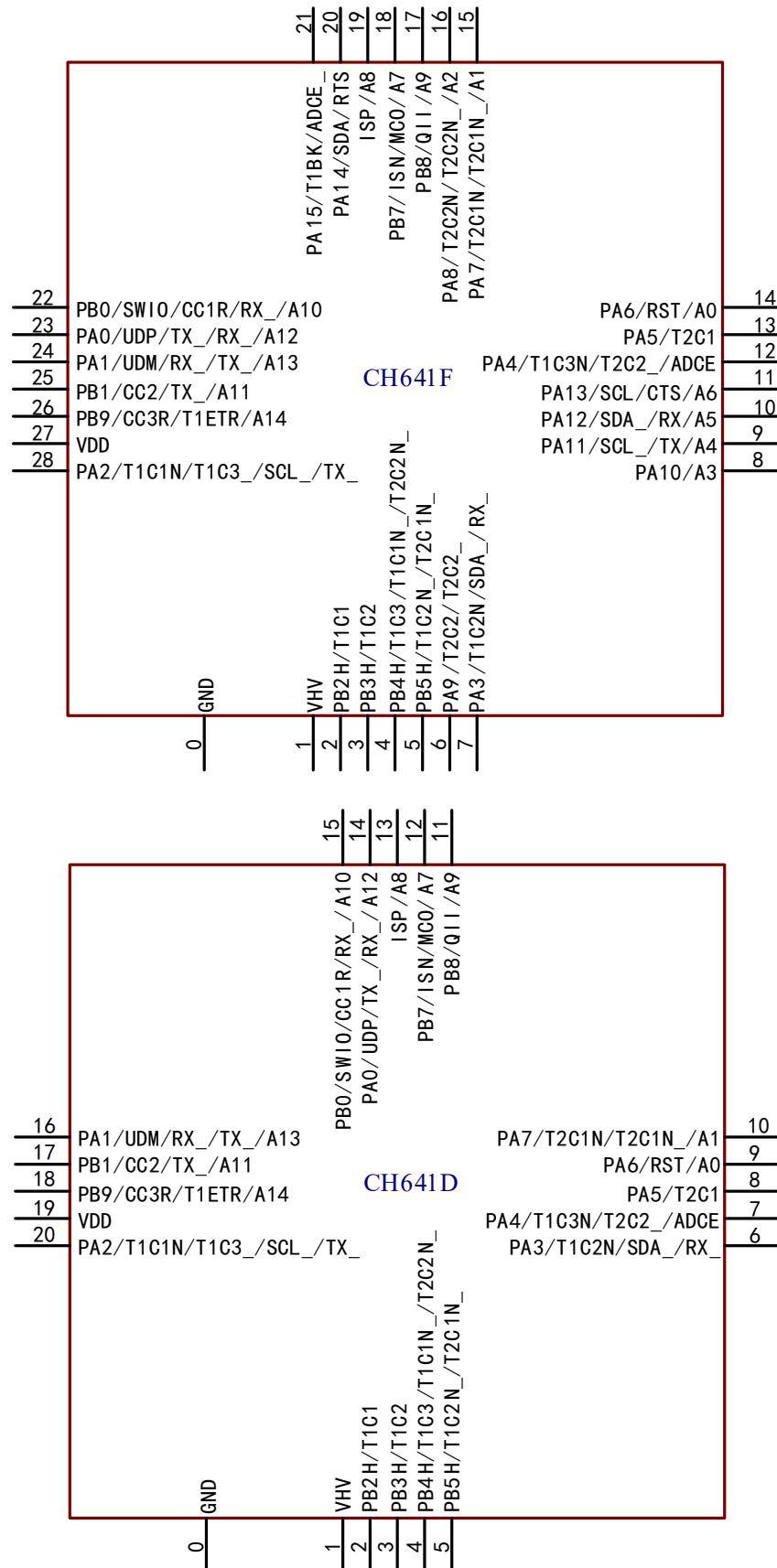
高压 I/O 引脚由  $V_{HV}$  提供电源，通过改变  $V_{HV}$  供电将改变高压 I/O 引脚输出电平高值来适配外部接口电平。低压 I/O 引脚由  $V_{DD}$  提供电源，通过改变  $V_{DD}$  供电将改变 I/O 引脚输出电平高值来适配外部接口电平。具体引脚请参考第二章引脚描述。

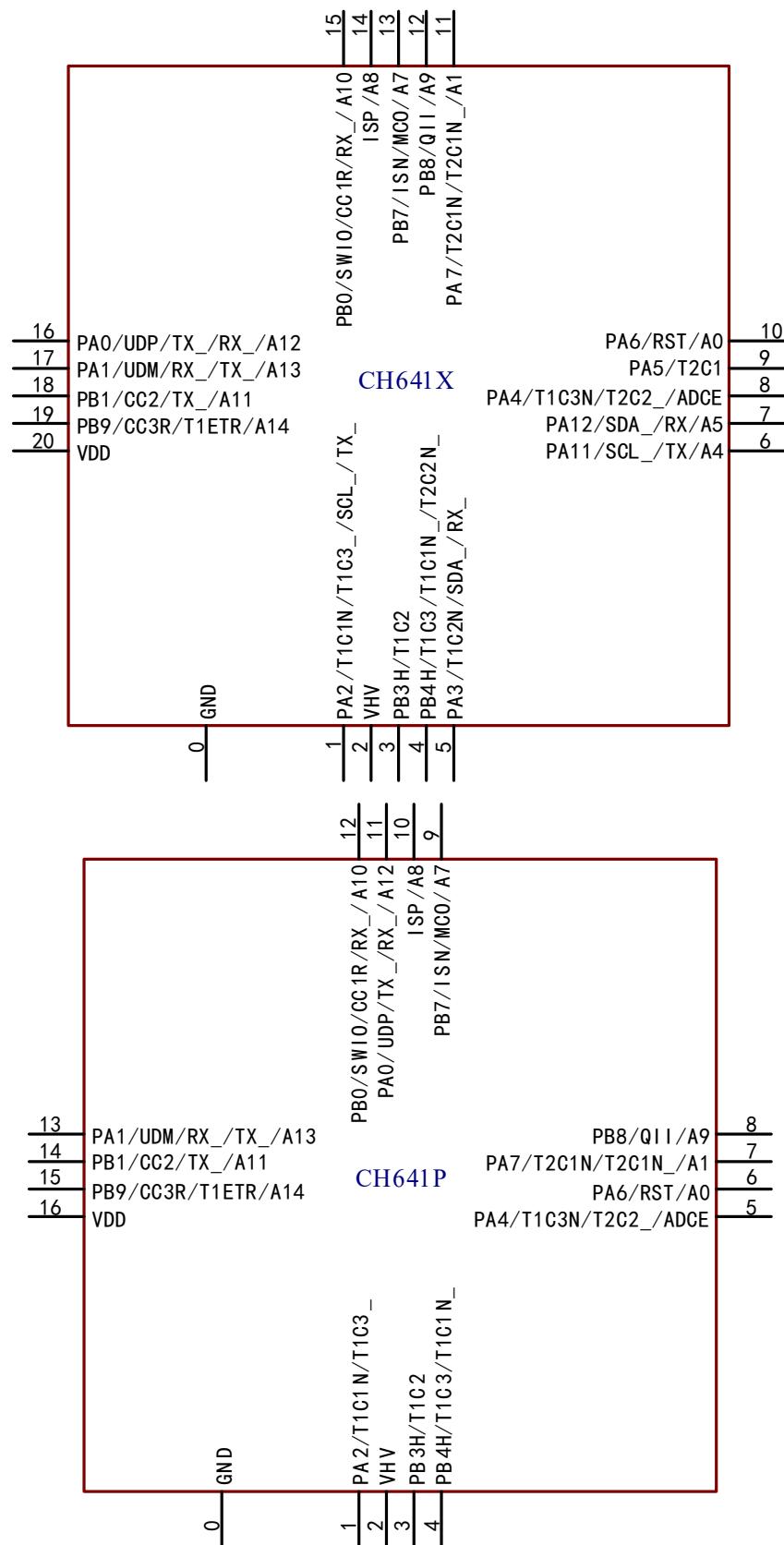
#### 1.4.20 串行单线调试接口 (1-wire SDI Serial Debug Interface)

内核自带一个串行单线调试的接口 PB0/SWIO 引脚 (Single Wire Input Output)。系统上电或复位后默认调试接口引脚功能开启，程序运行后可以选择关闭。

## 第 2 章 引脚信息

### 2.1 引脚排列





注：引脚图中复用功能均为缩写。

示例：A:ADC\_(A10:ADC\_IN10)

T:TIME\_(T1C3:TIM1\_CH3、T1C1N:TIM1\_CH1N、T1ETR:TIM1\_ETR、T1BK:TIM1\_BKIN)

TX (USART\_TX)  
RX (USART\_RX)  
CTS (USART\_CTS)  
RTS (USART\_RTS)  
SDA (I2C\_SDA)  
SCL (I2C\_SCL)  
ADCE (ADC\_ETR)

## 2.2 引脚描述

表 2-1 引脚定义

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号芯片。不同型号之间外设资源有差异，查看前请先根据芯片型号资源表确认是否有此功能。

引脚排列				引脚名称	引脚类型 <sup>(1)</sup>	I/O特性 <sup>(1) (3)</sup>	主功能 (复位后)	默认复用功能	重映射功能 <sup>(2)</sup>
QFN16	QFN20(CH641X)	QFN20(CH641D)	QFN28						
0	0	0	0	GND	P	-	GND	-	-
2	2	1	1	V <sub>HV</sub>	P	-	V <sub>HV</sub>	-	-
-	-	2	2	PB2H	I/O	HV	PB2H	TIM1_CH1	-
3	3	3	3	PB3H	I/O	HV/PU	PB3H	TIM1_CH2	-
4	4	4	4	PB4H	I/O	HV/PU	PB4H	TIM1_CH3	TIM1_CH1N_1/TIM2_CH2N_2/ TIM1_CH2N_3
-	-	5	5	PB5H	I/O	HV	PB5H	-	TIM1_CH2N_1/ TIM2_CH1N_2/TIM2_CH1N_3
-	-	-	6	PA9	I/O	LV	PA9	TIM2_CH2	TIM2_CH2_2
-	5	6	7	PA3	I/O	LV	PA3	TIM1_CH2N	I2C_SDA_1/USART_RX_4
-	-	-	8	PA10	I/O/A	-	PA10	ADC_IN3	-
-	6	-	9	PA11	I/O/A	-	PA11	ADC_IN4/USART_TX	I2C_SCL_2
-	7	-	10	PA12	I/O/A	-	PA12	ADC_IN5/USART_RX	I2C_SDA_2
-	-	-	11	PA13	I/O/A	-	PA13	ADC_IN6/I2C_SCL/ USART_CTS	
5	8	7	12	PA4	I/O	LV/PD	PA4	ADC_ETR/TIM1_CH3N	TIM2_CH2_1/TIM2_CH2_3
-	9	8	13	PA5	I/O	LV/PD	PA5	TIM2_CH1	-
6	10	9	14	PA6	I/O/A	-	PA6	ADC_IN0/RST	ISP_1
7	11	10	15	PA7	I/O/A	-	PA7	ADC_IN1/TIM2_CH1N	TIM2_CH1N_1/QII_1
-	-	-	16	PA8	I/O/A	-	PA8	ADC_IN2/TIM2_CH2N	TIM2_CH2N_1
8	12	11	17	PB8	I/O/A	-	PB8	ADC_IN9 <sup>(6)</sup> /QII	-
9	13	12	18	PB7	I/O/A	-	PB7	ADC_IN7/ISN/MCO	-
10	14	13	19	ISP <sup>(5)</sup>	A	-	ISP	ADC_IN8	-
-	-	-	20	PA14	I/O	-	PA14	USART_RTS/I2C_SDA	-
-	-	-	21	PA15	I/O	-	PA15	TIM1_BKIN	ADC_ETR_1
12	15	15	22	PB0 <sup>(4)</sup>	I/O/A	Rd	PB0	ADC_IN10/SWIO/CC1R	USART_RX_1
11	16	14	23	PA0	I/O/A	-	PA0	ADC_IN12/UDP	USART_TX_2/USART_RX_3
13	17	16	24	PA1	I/O/A	-	PA1	ADC_IN13/UDM	USART_TX_3/USART_RX_2
14	18	17	25	PB1 <sup>(4)</sup>	I/O/A	-	PB1	ADC_IN11/CC2	USART_TX_1
15	19	18	26	PB9 <sup>(4)</sup>	I/O/A	Rd	PB9	ADC_IN14/CC3R/ TIM1_ETR	-
16	20	19	27	V <sub>DD</sub>	P	-	V <sub>DD</sub>	-	-

1	1	20	28	PA2	I/O	LV	PA2	TIM1_CH1N	TIM1_CH3_1/I2C_SCL_1/ USART_TX_4
---	---	----	----	-----	-----	----	-----	-----------	-------------------------------------

注 1：表格缩写解释：

*I* = TTL/CMOS 电平斯密特输入，支持 $V_{DD}$ 电压范围的输入；

*O* = CMOS 电平三态输出，支持 $V_{DD}$ 电压范围的输出；

*P* = 电源；

*LV* = 低压强驱动引脚，支持 $V_{DD}$ 电压范围的输入和输出；

*HV* = 高压驱动引脚，支持 $V_{HV}$ 电压范围的输入和输出；

*PU* = 内置不可关闭的上拉电阻，上拉到 $V_{HV}$ 电压，可用于驱动P-MOSFET的栅极；

*PD* = 内置可以关闭的下拉电阻，默认为开启下拉，可用于驱动N-MOSFET的栅极；

*Rd* = 内置type-C规范定义的可控*Rd*下拉电阻，可用于*PD*受电端；

*A* = 模拟信号输入或输出，支持 $V_{DD}$ 电压范围。

注 2：重映射功能下划线后的数值表示 AFIO 寄存器中相对应位的配置值。例如：TIM2\_CH1N\_3 表示 AFIO 寄存器相应位配置为 11b。

注 3：PB3H 和 PB4H 内置不可关闭的上拉电阻；PB2H 和 PB5H 未内置上拉电阻；ISP 和 PB8/Q1I 未内置上拉电阻；PA0 和 PA1 内置默认关闭、可以调节的上拉电阻；PB0/CC1/CC1R 和 PB1/CC2/CC2R 及 PB9/CC3/CC3R 内置 type-C 规范定义的上拉电流；除此之外的 GPIO 引脚均内置默认关闭、可以开启的上拉电阻。PA4 和 PA5 内置默认开启、可以关闭的下拉电阻；PA0 和 PA1 内置默认开启、可以调节、可以关闭的下拉电阻，并可提供下拉电流；PB0/CC1R 和 PB9/CC3R 引脚内置 type-C 规范定义的 *Rd* 下拉电阻，默认开启，PB1/CC2 引脚默认不提供 *Rd*，可支持定制；除此之外的 GPIO 引脚均未内置下拉电阻。更多详细信息请参考 CH641RM 手册的 GPIO 及其复用功能章节。

注 4：当 PB0、PB1 和 PB9 作为 ADC 输入通道或 GPIO 推挽输出时，电压范围约为 0V~( $V_{DD}$ -1.7V)。

注 5：ISP 引脚将经过运放 OPA 放大后的结果送入 ADC\_IN8。

注 6：ADC\_IN9 连接到可调增益放大器 Q1I\_OP 的是输出端。

## 2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号芯片。不同型号之间外设资源有差异，查看前请先根据芯片型号资源表确认是否有此功能。

表 2-2 引脚复用和重映射功能

复用 引脚	ADC	TIM1	TIM2	USART	SYS	I2C	SWIO	ANA	USB PD
PA0	ADC_IN12			USART_TX_2/USART_RX_3				UDP	
PA1	ADC_IN13			USART_RX_2/USART_TX_3				UDM	
PA2		TIM1_CH1N/TIM1_CH3_1		USART_TX_4		I2C_SCL_1			
PA3		TIM1_CH2N		USART_RX_4		I2C_SDA_1			
PA4	ADC_ETR	TIM1_CH3N	TIM2_CH2_1/TIM2_CH2_3						
PA5			TIM2_CH1						
PA6	ADC_IN0				RST			ISP_1	
PA7	ADC_IN1		TIM2_CH1N/TIM2_CH1N_1					QII_1	
PA8	ADC_IN2		TIM2_CH2N/TIM2_CH2N_1						
PA9			TIM2_CH2/TIM2_CH2_2						
PA10	ADC_IN3								
PA11	ADC_IN4			USART_TX		I2C_SCL_2			
PA12	ADC_IN5			USART_RX		I2C_SDA_2			
PA13	ADC_IN6			USART_CTS		I2C_SCL			
PA14				USART_RTS		I2C_SDA			
PA15	ADC_ETR_1	TIM1_BKIN							
PB0	ADC_IN10			USART_RX_1			SWIO		CC1R
PB1	ADC_IN11			USART_TX_1					CC2
PB2H		TIM1_CH1							
PB3H		TIM1_CH2							
PB4H		TIM1_CH3/TIM1_CH1N_1	TIM2_CH2N_2/TIM2_CH2N_3						
PB5H		TIM1_CH2N_1	TIM2_CH1N_2/TIM2_CH1N_3						
ISP	ADC_IN8							ISP	
PB7	ADC_IN7				MCO			ISN	
PB8	ADC_IN9							QII	
PB9	ADC_IN14	TIM1_ETR							CC3R

## 第3章 电气特性

### 3.1 测试条件

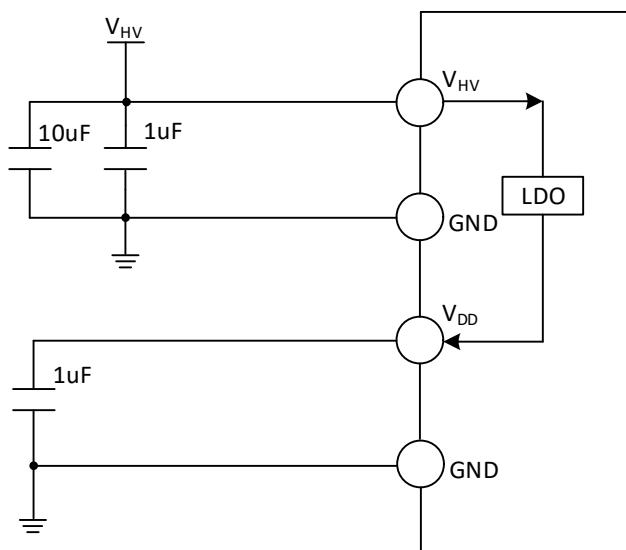
除非特殊说明和标注，所有电压都以 GND 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。典型数值是基于常温 25°C，供电  $V_{HV} = 9V$  的环境下进行设计指导的：

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图 3-1 常规供电典型电路



注：图中  $V_{DD}$  默认接 1uF 电容使用内部调压器。可选  $V_{DD}$  由外部直接供电，详细信息可参考 1.4.3 节供电方案。

### 3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述		最小值	最大值	单位	
$T_A$	工作时的环境温度	额定 5V 或 9V, $V_{HV} < 10V$	-40	85	°C	
		额定 12V, $V_{HV} \geq 10V$	-20	70		
$T_J$	结温度范围		-40	105	°C	
$T_S$	存储时的环境温度		-40	125	°C	
$V_{HV}-GND$	外部主供电电压 ( $V_{HV}$ )		-0.3	14	V	
$V_{IN}$	$V_{IN}$ 高压引脚 (PB2H、PB3H、PB4H、PB5H) 上的输入电压		-0.3	$V_{HV}+0.3$	V	
	其他引脚上的输入电压		-0.3	$V_{DD}+0.3$	V	
$V_{ESD(HBM)}$	ESD 静电放电电压 (人体模型，非接触式)		2K		V	
$I_{VHV}$	经过 $V_{DD}$ 电源线的总电流 (供应电流)		200		mA	
$I_{GND}$	经过 GND 地线的总电流 (流出电流)		200			
$I_{IO}$	$HV$ 驱动和 LV 强驱动 I/O 引脚上的灌电流或源电流		+/-70			
	其它普通 I/O 引脚上的 sink 灌电流或 source 源电流		+/-30			

$I_{INJ(PIN)}$	RST 引脚注入电流		+/-4	
	其它引脚的注入电流		+/-4	
$\Sigma I_{INJ(PIN)}$	所有 IO 和控制引脚的总注入电流		+/-20	

### 3.3 电气参数

#### 3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
$F_{HCLK}$	内部 HB 时钟频率				48	MHz
$V_{HV}$	工作电源电压	$V_{DD}$ 由内部调压器供电	4.0		12.6	V
		$V_{DD}$ 由外部直接供电, $3.5V \leq V_{DD} \leq 4.8V$ , $V_{HV}$ 与 $V_{DD}$ 短接	3.5 <sup>(1)</sup>		4.8	V
		$V_{DD}$ 由外部直接供电, $4.8V < V_{DD} \leq 5.5V$	$V_{DD}$		12.6	V
$V_{DD}$	内部工作电压	$V_{DD}$ 由外部直接供电	3.5	5.0	5.5	V
		$V_{DD}$ 由内部调压器供电, $4.0V \leq V_{HV} < 5.0V$	$V_{HV}-0.3$		$V_{HV}$	V
		$V_{DD}$ 由内部调压器供电, $5.0V \leq V_{HV} \leq 12.6V$		4.8		V

注：1. 实测此时若  $V_{DD} = 3.2V$ , 芯片仍可以简单工作, 但是模拟功能会随  $V_{DD}$  降低而逐渐变差。

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
$t_{VDD}$	$V_{DD}$ 上升速率		3	$\infty$	us/V
	$V_{DD}$ 下降速率		3	$\infty$	
$t_{VHV}$	$V_{HV}$ 上升速率		3	$\infty$	us/V
	$V_{HV}$ 下降速率		3	$\infty$	

#### 3.3.2 内置复位和电源模块特性

表 3-4 复位及电压监测 (PDR 选择高阈值档位)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}$	内部调压器输出, I/O 电压	$V_{HV} > 5V$ , 负载 $< 20mA$	4.7	4.8	4.9	V
$I_{DD}$	$V_{DD}$ 对外负载能力	$V_{HV} > 5V$			15	mA
$V_{33}$	内部调压器输出, ADC 参考	$V_{HV} > 3.8V$ , $V_{DD} > 3.6V$	3.24	3.3	3.36	V
$V_{PVD}^{(1)}$	可编程电压检测器的电平选择	PLS[2:0] = 000 (上升沿)		3.16		V
		PLS[2:0] = 000 (下降沿)		2.94		V
		PLS[2:0] = 001 (上升沿)		3.38		V
		PLS[2:0] = 001 (下降沿)		3.12		V
		PLS[2:0] = 010 (上升沿)		3.61		V
		PLS[2:0] = 010 (下降沿)		3.32		V
		PLS[2:0] = 011 (上升沿)		3.85		V
		PLS[2:0] = 011 (下降沿)		3.51		V

	PLS[2:0] = 100 (上升沿)	4.06		V		
	PLS[2:0] = 100 (下降沿)	3.7		V		
	PLS[2:0] = 101 (上升沿)	4.28		V		
	PLS[2:0] = 101 (下降沿)	3.92		V		
	PLS[2:0] = 110 (上升沿)	4.45		V		
	PLS[2:0] = 110 (下降沿)	4.09		V		
	PLS[2:0] = 111 (上升沿)	4.63		V		
	PLS[2:0] = 111 (下降沿)	4.28		V		
$V_{PV\text{D}hyst}$	PVD 迟滞	0.18	0.25	0.36	V	
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿	2.85	3.00	3.15	V
	$V_{HV}$ 欠压复位阈值	下降沿	2.82	2.98	3.12	V
$V_{PDR\text{hyst}}$	PDR 迟滞		15	25	mV	
$V_{OVP}$	OVP 过压复位的 $V_{HV}$ 阈值		13.6	14.3	15	V
$T_{OTP}$	OTP 过温保护的温度点	升温过程	110	130	150	°C
	解除过温保护的温度点	降温过程	65	85	110	°C
$t_{RST}$	上电复位延时		1	1.5 <sup>(2)</sup>	4	ms
	其他复位延时			300		us

注：1. 常温测试值。

2. 用户配置位  $RST\_MODE$  可以增加上电复位延时。

### 3.3.3 内置的参考电压

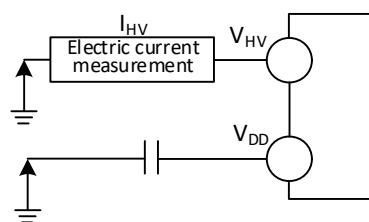
表 3-5 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REFINT}$	内置参考电压	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	1.18	1.2	1.22	V
$T_{S\_vrefint}$	当读出内部参考电压时，ADC 的采样时间		3		500	$1/f_{\text{ADC}}$

### 3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图 3-2 电流消耗测量



微控制器处于下列条件：

常温  $V_{HV} = 9\text{V}$  ( $V_{DD} = 4.8\text{V}$ ) 情况下，测试时：支持上拉输入的 I/O 口配置成上拉输入模式，其他配置为模拟输入模式。HSI = 24M (已校准)；当  $F_{HCLK} > 24\text{M}$  时，系统时钟来源为 PLL。使能或关闭所有外设时钟的功耗。

表 3-6 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	典型值		单位
			使能所有外设	关闭所有外设	
$I_{HV}$	运行模式下的供应电流	运行于高速内部RC振荡器(HSI)，使用HB预分频以减低频率	$F_{HCLK} = 48MHz$	6.7	4.6
			$F_{HCLK} = 24MHz$	5.1	4.1
			$F_{HCLK} = 8MHz$	3.0	2.7
			$F_{HCLK} = 4MHz$	2.2	2.0

注：以上为实测参数。

表 3-7 睡眠模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	典型值		单位
			使能所有外设	关闭所有外设	
$I_{HV}$	SLEEP 睡眠模式下的供应电流 (此时外设供电和时钟保持)	运行于高速内部RC振荡器(HSI)，使用HB预分频以减低频率	$F_{HCLK} = 48MHz$	3.7	1.6
			$F_{HCLK} = 24MHz$	2.1	1.1
			$F_{HCLK} = 8MHz$	1.0	0.7
			$F_{HCLK} = 4MHz$	0.8	0.6

注：以上为实测参数。

表 3-8 待机模式下典型的电流消耗

符号	参数	条件	典型值	单位
$I_{HV}$	STANDBY 待机模式下的供应电流	LSI 打开	64	uA
		LSI 关闭	62	

注：以上为实测参数。

### 3.3.5 内部时钟源特性

表 3-9 内部高速(HSI)RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$F_{HSI}$	频率(校准后)			24		MHz
$DuCy_{HSI}$	占空比		45	50	55	%
$ACC_{HSI}$	HSI 振荡器的精度(校准后)	$T_A = 0^{\circ}C \sim 70^{\circ}C$	-1.5		1.8	%
		$T_A = -40^{\circ}C \sim 85^{\circ}C$	-2.3		2.3	%
$t_{SU(HSI)}$	HSI 振荡器启动稳定时间			10		us
$I_{DD(HSI)}$	HSI 振荡器功耗		120	180	270	uA

表 3-10 内部低速(LSI)RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$F_{LSI}$	频率		100	400	700	KHz
$DuTy_{LSI}$	占空比		45	50	55	%
$t_{SU(LSI)}$	LSI 振荡器启动稳定时间			80		us
$I_{DD(LSI)}$	LSI 振荡器功耗			2		uA

### 3.3.6 从低功耗模式唤醒的时间

表 3-11 低功耗模式唤醒的时间<sup>(1)</sup>

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	22	μs
$t_{WUSTDBY}$	从待机模式唤醒	LDO 稳定时间 + HSI RC 时钟唤醒	250	μs

注：以上为实测参数。

### 3.3.7 存储器特性

表 3-12 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{ERASE\_64}$	页（64 字节）编程时间	$T_A = -20^\circ\text{C} \sim 85^\circ\text{C}$	2.4		3.2	ms
$t_{ERASE}$	页（64 字节）擦除时间	$T_A = -20^\circ\text{C} \sim 85^\circ\text{C}$	2.4		3.2	ms
$t_{prog}$	16 位的编程时间	$T_A = -20^\circ\text{C} \sim 85^\circ\text{C}$	2.4		3.2	ms
$t_{ME}$	整片擦除时间	$T_A = -20^\circ\text{C} \sim 85^\circ\text{C}$	2.4		3.2	ms
$V_{prog}$	编程电压		3.0		5.3	V

表 3-13 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
$N_{END}$	擦写次数	$T_A = 25^\circ\text{C}$	10K	80K <sup>(1)</sup>		次
$t_{RET}$	数据保存期限		10			年

注：1. 实测操作擦写次数，非担保。

### 3.3.8 普通 I/O 引脚特性

表 3-14 普通 I/O 引脚和 LV 强驱动 I/O 引脚静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}$	供电电压		3.5	4.8	5.5	V
$V_{IH}$	I/O 引脚输入高电平电压	$V_{DD} = 3.5V$	1.8		$V_{DD}$	V
		$V_{DD} = 4.8V$	2.3		$V_{DD}$	
$V_{IL}$	I/O 引脚输入低电平电压	$V_{DD} = 3.5V$	0		0.8	V
		$V_{DD} = 4.8V$	0		1.1	
$V_{hys}$	施密特触发器迟滞电压	$V_{DD} = 3.5V$		220		mV
		$V_{DD} = 4.8V$		380		
$I_{Ikg}$	I/O 引脚输入漏电流			0	$+/-3$	uA
$R_{PU}$	上拉等效电阻		30	45	60	kΩ
$R_{PD}$	下拉等效电阻		30	45	60	kΩ
$C_{IO}$	I/O 引脚电容			5		pF

表 3-15 普通 I/O 引脚输出驱动电流特性

符号	参数	条件	最小值	典型值	最大值	单位
$I_{SINK}$	引脚输出低电平的灌电流	$V_{DD} = 4.8V$ , 引脚电压=0.4V	12	18	25	mA
$I_{SOURCE}$	引脚输出高电平的源电流	$V_{DD} = 4.8V$ , 引脚电压= $V_{DD}-0.4V$	11	16	22	mA

表 3-16 普通 I/O 引脚输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}$	输出低电平, 单个引脚吸收 8mA 电流	$3.5V \leq V_{DD} \leq 5V$		0.5	V
$V_{OH}$	输出高电平, 单个引脚输出 8mA 电流	$3.5V \leq V_{DD} \leq 5V$	$V_{DD}-0.5$		V

注: 1. 当 PBO、PB1 和 PB9 输出高电平时, 电压达不到  $V_{DD}$  满幅, 约为  $V_{DD}-1.7V$ 。

2. 以上条件中如果多个 I/O 引脚同时驱动, 电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时, 电源/地线引脚上的电流较大, 会产生压降使内部 I/O 的电压达不到表中电源电压, 从而导致驱动电流小于标称值。

表 3-17 普通 I/O 引脚输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$F_{max(I/O)}$	I/O 引脚输出最高频率	$CL = 50pF$ , $3.5V \leq V_{DD} \leq 5V$		30	MHz
$t_{f(I/O)out}$	输出高至低电平的下降时间	$CL = 50pF$ ,		12	ns
$t_{r(I/O)out}$	输出低至高电平的上升时间	$3.5V \leq V_{DD} \leq 5V$		12	ns
$t_{EXTIpw}$	EXTI 控制器检测到外部信号的脉冲宽度		12		ns

### 3.3.9 LV 强驱动 I/O 引脚特性

表 3-18 LV 强驱动 I/O 引脚静态特性, 参考表 3-14

表 3-19 LV 强驱动 I/O 引脚输出驱动电流特性

符号	参数	条件	最小值	典型值	最大值	单位
$I_{LSINK}$	引脚输出低电平的灌电流	$V_{DD} = 4.8V$ , 引脚电压=0.5V	50	65	85	mA
	引脚输出低电平的短路电流	$V_{DD} = 4.8V$ , 引脚电压= $V_{DD}$		120		mA
$I_{LSOURCE}$	引脚输出高电平的源电流	$V_{DD} = 4.8V$ , 引脚电压= $V_{DD}-0.5V$	30	45	65	mA
	引脚输出高电平的短路电流	$V_{DD} = 4.8V$ , 引脚电压=0		115		mA

表 3-20 LV 强驱动 I/O 引脚输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{LOL}$	输出低电平, 单个引脚吸收 30mA 电流	$4V \leq V_{DD} \leq 5V$		0.5	V
$V_{LOH}$	输出高电平, 单个引脚输出 25mA 电流	$4V \leq V_{DD} \leq 5V$	$V_{DD}-0.5$		V

注: 以上条件中如果多个 I/O 引脚同时驱动, 电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时, 电源/地线引脚上的电流较大, 会产生压降使内部 I/O 的电压达不到表中电源电压, 从而导致驱动电流小于标称值。

表 3-21 LV 强驱动 I/O 引脚输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$F_{max(I/O)}$	I/O 引脚输出最高频率	$CL = 1000pF$ , $3.5V \leq V_{DD} \leq 5V$		1	MHz
$t_{Lf(I/O)out}$	输出高至低电平的下降时间	$CL = 1000pF$ ,		90	ns
$t_{Lr(I/O)out}$	输出低至高电平的上升时间	$3.5V \leq V_{DD} \leq 5V$		90	ns
$t_{EXTIpw}$	EXTI 控制器检测到外部信号的脉冲宽度		12		ns

## 3.3.10 HV 驱动 I/O 引脚特性

表 3-22 HV 驱动 I/O 引脚静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{HV}$	HV 供电电压		4.0	9.0	12.6	V
$V_{H1H}$	I/O 引脚输入高电平电压	$V_{DD} = 4.8V$	2.6		$V_{HV}$	V
$V_{H1L}$	I/O 引脚输入低电平电压	$V_{DD} = 4.8V$	0		1.2	V
$V_{Hhys}$	施密特触发器迟滞电压	$V_{DD} = 4.8V$		550		mV
$I_{HIkg}$	I/O 引脚输入漏电流			0	+/-10	uA
$R_{HPU}$	上拉等效电阻		80	120	170	kΩ
$C_{HIO}$	I/O 引脚电容			10		pF

表 3-23-1 CH641F/D 芯片 HV 驱动 I/O 引脚输出驱动电流特性

符号	参数	条件	最小值	典型值	最大值	单位
$I_{HSINK}$	引脚输出低电平的灌电流	$V_{HV} = 5V$ , 引脚电压= 0.5V	25	35	50	mA
	引脚输出低电平的短路电流	$V_{HV} = 5V$ , 引脚电压= $V_{HV}$		110	150	mA
	引脚输出低电平的灌电流	$V_{HV} = 12V$ , 引脚电压= 0.5V	25	35	50	mA
	引脚输出低电平的短路电流	$V_{HV} = 12V$ , 引脚电压= $V_{HV}$		130	180	mA
$I_{HSOURCE}$	引脚输出高电平的源电流	$V_{HV} = 5V$ , 引脚电压= $V_{HV}-0.5V$	15	21	30	mA
	引脚输出高电平的短路电流	$V_{HV} = 5V$ , 引脚电压= 0		80	110	mA
	引脚输出高电平的源电流	$V_{HV} = 12V$ , 引脚电压= $V_{HV}-0.5V$	22	31	44	mA
	引脚输出高电平的短路电流	$V_{HV} = 12V$ , 引脚电压= 0		180	250	mA

表 3-23-2 CH641X/P 芯片 HV 驱动 I/O 引脚输出驱动电流特性

符号	参数	条件	最小值	典型值	最大值	单位
$I_{HSINK}$	引脚输出低电平的灌电流	$V_{HV} = 5V$ , 引脚电压= 0.5V	29	70	95	mA
	引脚输出低电平的短路电流	$V_{HV} = 5V$ , 引脚电压= $V_{HV}$		220	290	mA
	引脚输出低电平的灌电流	$V_{HV} = 12V$ , 引脚电压= 0.5V	29	70	95	mA
	引脚输出低电平的短路电流	$V_{HV} = 12V$ , 引脚电压= $V_{HV}$		256	340	mA
$I_{HSOURCE}$	引脚输出高电平的源电流	$V_{HV} = 5V$ , 引脚电压= $V_{HV}-0.5V$	17	42	57	mA
	引脚输出高电平的短路电流	$V_{HV} = 5V$ , 引脚电压= 0		156	210	mA
	引脚输出高电平的源电流	$V_{HV} = 12V$ , 引脚电压= $V_{HV}-0.5V$	25	62	84	mA
	引脚输出高电平的短路电流	$V_{HV} = 12V$ , 引脚电压= 0		340	460	mA

表 3-24 HV 驱动 I/O 引脚输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{HOL}$	输出低电平, 单个引脚吸收 25mA 电流	$5V \leq V_{HV} \leq 12V$		0.5	V
$V_{HOH}$	输出高电平, 单个引脚输出 15mA 电流	$5V \leq V_{HV} \leq 12V$	$V_{HV}-0.5$		V

注：以上条件下如果多个 I/O 引脚同时驱动，电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时，电源/地线引脚上的电流较大，会产生压降使内部 I/O 的电压达不到表中电源电压，从而导致驱动电流小于标称值。

表 3-25 HV 驱动 I/O 引脚输入输出交流特性

符号	参数	条件	最小值	最大值	单位

$F_{Hmax(10)}$	I/O 引脚输出最高频率	$CL = 1000pF$ , $5V \leq V_{HV} \leq 12V$		0.5	MHz
$C_{H10max}$	I/O 引脚最大负载电容			2000	pF
$t_{Hf(10)out}$	CH641F/D 输出高至低电平的下降时间	$CL = 1000pF$ , $5V \leq V_{HV} \leq 12V$		150	ns
	CH641X/P 输出高至低电平的下降时间			90	ns
$t_{Hr(10)out}$	CH641F/D 输出低至高电平的上升时间			150	ns
	CH641X/P 输出低至高电平的上升时间			90	ns
$t_{HEXTIpw}$	EXTI 控制器检测到外部信号的脉冲宽度		12		ns

### 3.3.11 BC 接口 UDP/UDM 特性

表 3-26 BC 接口 I/O 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$R_{PU}$	BC 引脚上拉等效电阻	$DAC = 100000$	20	31	45	kΩ
$R_{PD}$	BC 引脚下拉等效电阻	$DAC = 100000$	20	31	45	kΩ
$I_{PU2}$	BC 引脚弱上拉电流	$PCS = 10$ , BC 输出电压为 0.6V	7	10	14	uA
$I_{PD1}$	BC 引脚弱下拉电流	$PCS = 01$ , BC 输出电压为 0.6V	1	2	3	uA
$I_{PD3}$	BC 引脚下拉电流	$PCS = 11$ , BC 输出电压为 0.6V	55	80	110	uA
$ET$	DAC 总偏差	$V_{DD} = 4.8V$		0.2	0.8	LSB
$V_{DACmax}$	DAC 最高输出电压	$V_{DD} = 4.8V$ , 无阻性负载	4.7	4.725		V
$V_{DACmin}$	DAC 最低输出电压	$V_{DD} = 4.8V$ , 无阻性负载		0	0.02	V
$R_{DAC}$	DAC 输出阻抗	$V_{DD} = 4.8V$ , 关闭 DAC 缓冲器	12	15.5	20	kΩ
$R_{LOAD}$	电阻性负载	开启 DAC 缓冲器	10			kΩ
$I_{DDDAC}$	DAC 缓冲器供电电流			135		uA
$V_{DACPmax}$	带缓冲器 DAC 最高输出电压	$V_{DD} = 4.8V$ , 负载 10kΩ 下拉	4.6	4.72		V
$V_{DACPmin}$	带缓冲器 DAC 最低输出电压	$V_{DD} = 4.8V$ , 负载 10kΩ 下拉		0.005	0.02	V
		$V_{DD} = 4.8V$ , 负载 10kΩ 上拉		0.08	0.15	V
$t_{Buf}$	DAC 缓冲器作为比较器用的输出延时			400	800	ns

### 3.3.12 USB PD 接口 CC1/CC2/CC3 特性

表 3-27-1 PD 接口 I/O 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{Rise}$	上升时间	幅度 10% 到 90% 之间的时间, 无负载	300	430	600	ns
$t_{Fall}$	下降时间	幅度 10% 到 90% 之间的时间, 无负载	300	430	600	ns
$v_{Swing}$	输出电压摆幅 (峰-峰值)		1.00	1.12	1.20	V
$z_{Driver}$	输出阻抗	$V_{DD} = 4.8V$ , PD 接口输出 1.12V	26		90	Ω

表 3-27-2 Type-C 接口 I/O 引脚特性 (HVT=0 时电压值参考普通 I/O 引脚)

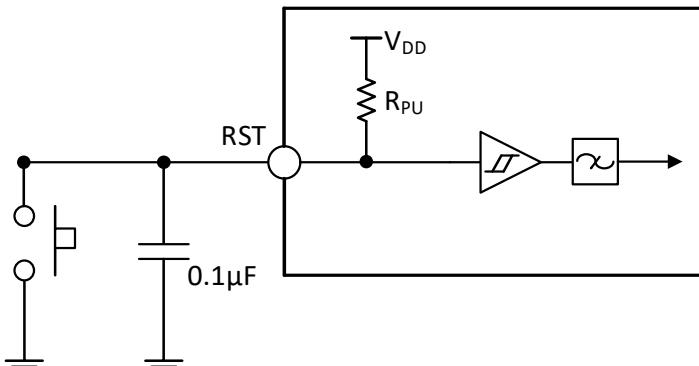
符号	参数	条件	最小值	典型值	最大值	单位
$V_{CCIH}$	CC 引脚输入高电平电压	$V_{DD} = 3.5V$ , HVT = 1	2.1		$V_{DD}$	V
		$V_{DD} = 4.8V$ , HVT = 1	3.1		$V_{DD}$	
$V_{CCIL}$	CC 引脚输入低电平电压	$V_{DD} = 3.5V$ , HVT = 1	0		1.2	V
		$V_{DD} = 4.8V$ , HVT = 1	0		2.0	
$V_{CChys}$	施密特触发器迟滞电压	$V_{DD} = 3.5V$ , HVT = 1	60		450	mV

		$V_{DD} = 4.8V, HVT = 1$	70		480	
$I_{PUCC}$	CC 引脚上拉电流	CC_PU = 11		$80 \pm 15\%$		uA
		CC_PU = 10		$180 \pm 15\%$		uA
		CC_PU = 01		$330 \pm 15\%$		uA
$R_{RD}$	CC 引脚内置的 $R_d$ 下拉电阻 (适用于 CC1R/CC2R/CC3R)	CC_PD = 1, $V_{DD} \geq 2.8V$ 或外部上拉 $330\mu A$	4.08	5.1	6.12	kΩ
		CC_PD = 0	250	600		kΩ
$V_{AINCC}$	CC 引脚 ADC 转换电压范围		GND		$V_{DD} - 1.7$	V

### 3.3.13 RST 引脚特性

电路参考设计及要求：

图 3-3 外部复位引脚典型电路



注：图中的电容是可选的，可以用于滤除按键抖动。

表 3-28 外部复位引脚特性

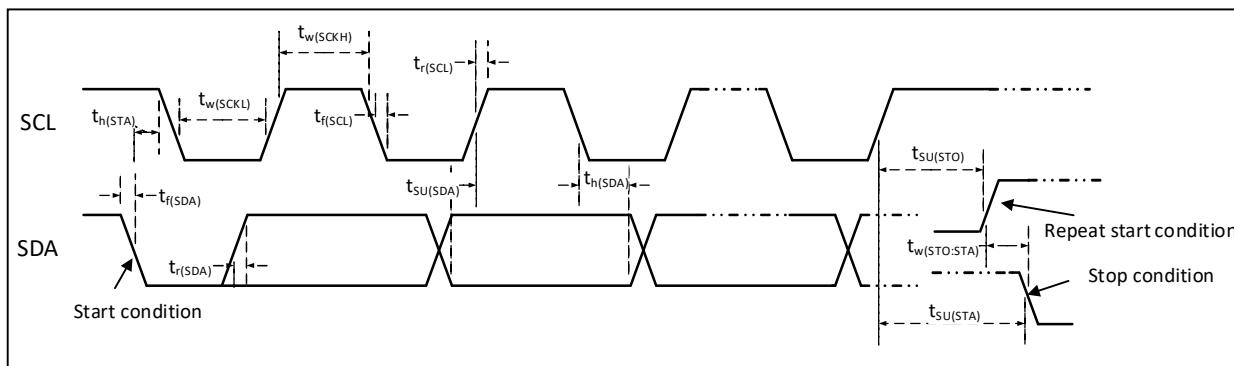
符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(RST)}$	RST 输入低电平电压	$V_{DD} = 4.8V$	0		1.1	V
$V_{IH(RST)}$	RST 输入高电平电压	$V_{DD} = 4.8V$	2.3		$V_{DD}$	V
$V_{HYS(RST)}$	RST 施密特触发器迟滞电压		150			mV
$R_{PU}$	上拉等效电阻		30	45	60	kΩ
$V_{F(RST)}$	RST 输入可被滤波脉宽				60	ns
$V_{NF(RST)}$	RST 输入无法滤波脉宽		230			ns

### 3.3.14 TIM 定时器特性

表 3-29 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	20.8		ns
$F_{EXT}$	CH1 至 CH3 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 48MHz$	0	24	MHz
$R_{esTIM}$	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	0.0208	1363	us
$t_{MAX_COUNT}$	最大可能的计数			65535	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$		1363	us

### 3.3.15 I<sub>C</sub> 接口特性

图 3-4 I<sub>C</sub> 总线时序图表 3-30 I<sub>C</sub> 接口特性

符号	参数	标准 I <sub>C</sub>		快速 I <sub>C</sub>		单位
		最小值	最大值	最小值	最大值	
$t_w(SCKL)$	SCL 时钟低电平时间	4.7		1.2		us
$t_w(SCKH)$	SCL 时钟高电平时间	4.0		0.6		us
$t_{SU(SDA)}$	SDA 数据建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	ns
$t_{r(SDA)}/t_{r(SCL)}$	SDA 和 SCL 上升时间		1000	20		ns
$t_{f(SDA)}/t_{f(SCL)}$	SDA 和 SCL 下降时间		300			ns
$t_h(STA)$	开始条件保持时间	4.0		0.6		us
$t_{SU(STA)}$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU(STO)}$	停止条件建立时间	4.0		0.6		us
$t_w(STO:STA)$	停止条件至开始条件的时间(总线空闲)	4.7		1.2		us
$C_b$	每条总线的容性负载		400		400	pF

### 3.3.16 模拟/数字转换器 ADC 特性

表 3-31 10 位 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}$	供电电压		3.5	4.8	5.5	V
$I_{DDADC}$	供电电流			310		uA
$f_{ADC}$	ADC 时钟频率		2	6	12	MHz
$V_{AIN}$	转换电压范围		GND		$V_{33}$	V
$C_{ADC}$	内部采样和保持电容			3		pF
$f_s$	采样速率	$f_{ADC} = 2\text{MHz}$	33		285	kHz
		$f_{ADC} = 6\text{MHz}$	100		430	
		$f_{ADC} = 12\text{MHz}$	200		857	
			1/60		1/14	
$t_s$	采样时间	$f_{ADC} = 2\text{MHz}$	24.5		1.50	us
		$f_{ADC} = 6\text{MHz}$	8.17		0.50	

		$f_{ADC} = 12MHz$	4.08		0.25	
			49		3	$1/f_{ADC}$
$t_{STAB}$	上电时间			7		us
		$f_{ADC} = 2MHz$	7		30	us
$t_{CONV}$	总的转换时间 (包括采样时间)	$f_{ADC} = 6MHz$	2.33		10	us
		$f_{ADC} = 12MHz$	1.17		5	us
			14		60	$1/f_{ADC}$

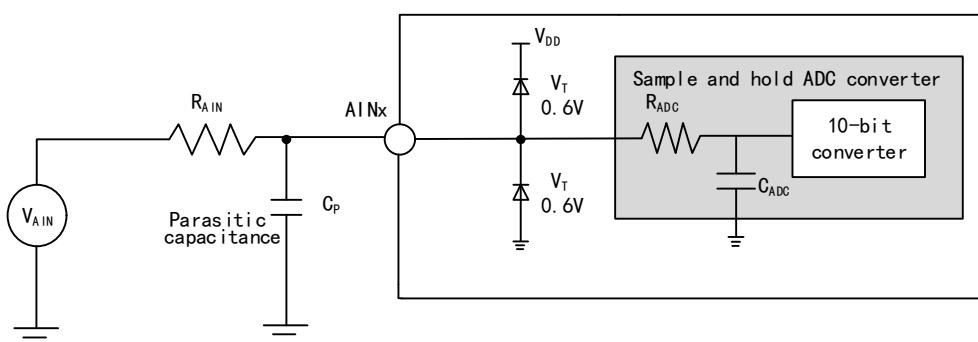
注：以上均为设计参数保证。

表 3-32 ADC 误差

符号	参数	条件	最小值	典型值	最大值	单位
ET	数据总偏差	$f_{ADC} = 12MHz$		2	6	LSB
E0	失调误差	$f_{ADC} = 12MHz$		1	4	
EG	增益误差	$f_{ADC} = 12MHz$		1	3	
ED	微分非线性误差	$f_{ADC} = 12MHz$		0.5	2.5	
EL	积分非线性误差	$f_{ADC} = 12MHz$		0.6	4	

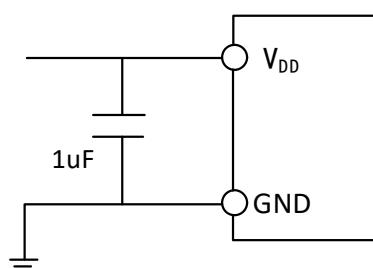
注：以上表格中的数据是实测值。

图 3-5 ADC 典型连接图



$C_p$  表示 PCB 上的寄生电容（大约  $5pF$ ），可能与焊盘和 PCB 布局质量有关。较大的  $C_p$  数值将降低转换精度，解决办法是降低  $f_{ADC}$  值。

图 3-6 模拟电源及退耦电路参考



### 3.3.17 差分输入电流采样 ISP/ISN 特性

表 3-33 ISP/ISN 差分输入电流采样特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}$	供电电压		3.5	4.8	5.5	V
$I_{DDISP}$	供电电流			130		$\mu A$

$V_{BIAS0}$	ISP 引脚的直流偏置电压 (建议外加偏置)	ISP 不串电阻	0.27	0.9	1.55	V
$V_{BIAS200}$		ISP 外部串接 $200\Omega$	0.36	1.05	1.76	V
$V_{BIAS500}$		ISP 外部串接 $500\Omega$	0.45	1.3	2.2	V
$A_{DC}$	直流放大增益 (倍数)	单端 ISP 输入	70	75	79	V/V
		差分 ISP/ISN 输入	70	75	79	
$K_{V/A}$	输出电压与采样电流的比值	$10m\Omega$ 采样差分输入	0.70	0.75	0.79	V/A

注：实测值。

### 3.3.18 交流小信号放大解码器 QII 特性

表 3-34 QII 交流小信号放大解码器特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}$	供电电压		3.5	4.8	5.5	V
$I_{DDQII}$	供电电流			220		uA
$A_{AC}$	交流放大的较高增益档	$QII\_AV = 1, 2KHz$		23		V/V
	交流放大的较低增益档	$QII\_AV = 0, 2Khz$		15		
$V_{hys}$	比较器迟滞电压默认值	$QII\_HYP = 0$	150	200	250	mV
	比较器迟滞电压选项 2	$QII\_HYP = 1$	60		450	mV
$V_{QIIREF}$	参考电压		1.2	1.5	1.8	V
$R_{BIAS}$	连接到参考电压的偏置电阻			185		k $\Omega$

注：实测值。

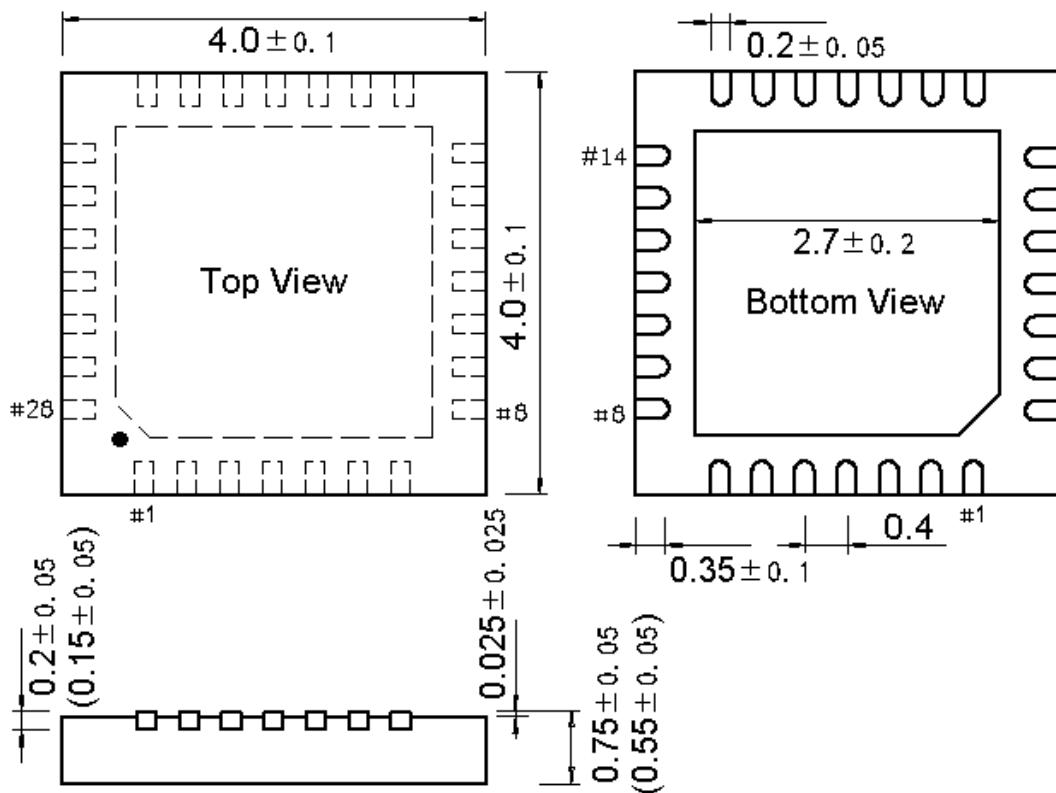
## 第 4 章 封装及订货信息

### 芯片封装

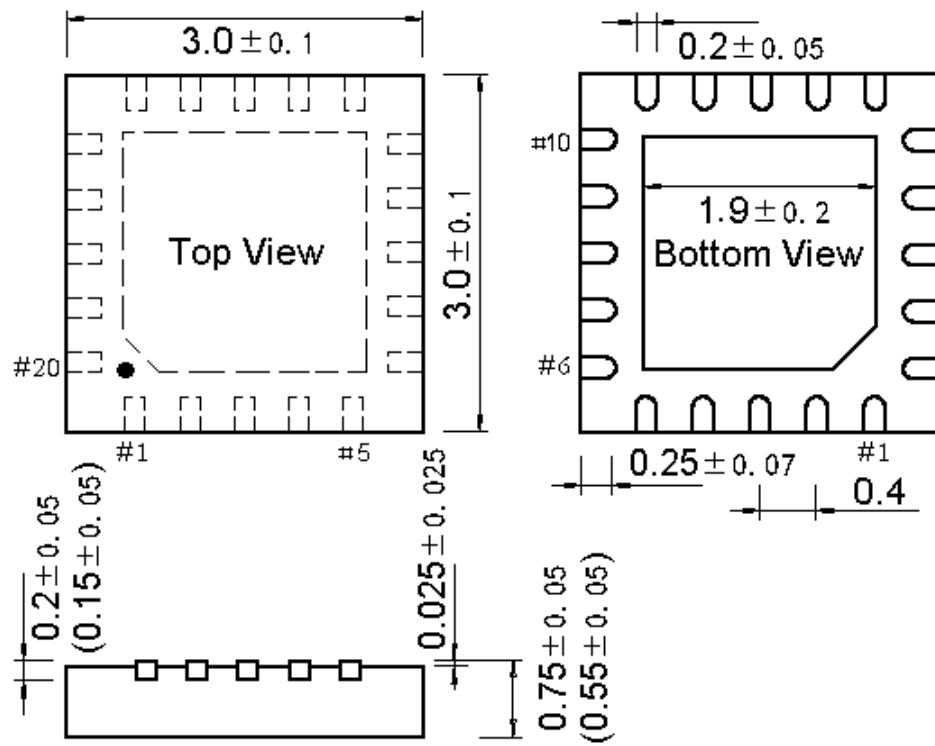
封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN28	4*4mm	0.4mm	15.7mil	四边无引线 28 脚	CH641F
QFN20	3*3mm	0.4mm	15.7mil	四边无引线 20 脚	CH641D
QFN20	3*3mm	0.4mm	15.7mil	四边无引线 20 脚	CH641X
QFN16	3*3mm	0.5mm	19.7mil	四边无引线 16 脚	CH641P

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 或者 $\pm 10\%$ 两者中的较大值。

#### 4.1 QFN28 封装



#### 4.2 QFN20 封装



## 4.3 QFN16 封装

