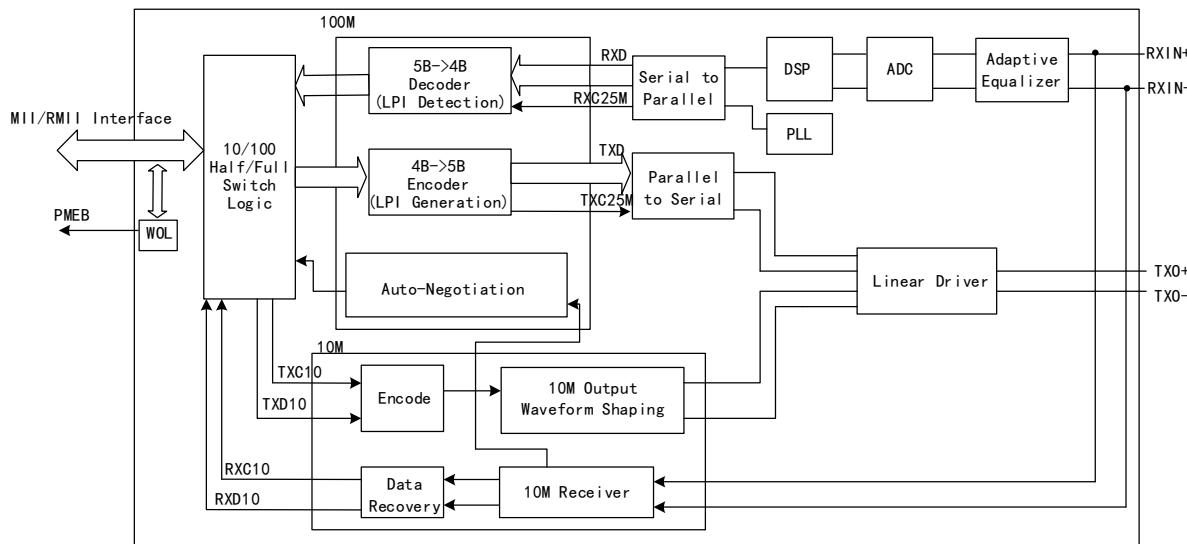


1、概述

CH182 是一款支持 Auto-MDIX 的工业级 10/100M 以太网 PHY 收发器。CH182 内部包括物理编码子层（PCS）、物理介质接入层（PMA）、双绞线物理介质相关子层（TP-PMD）、10BASE-T 编码器/解码器、双绞线介质连接单元（TPMAU）、MII 和 RMII 接口等以太网 Transceiver 功能所需的模块。

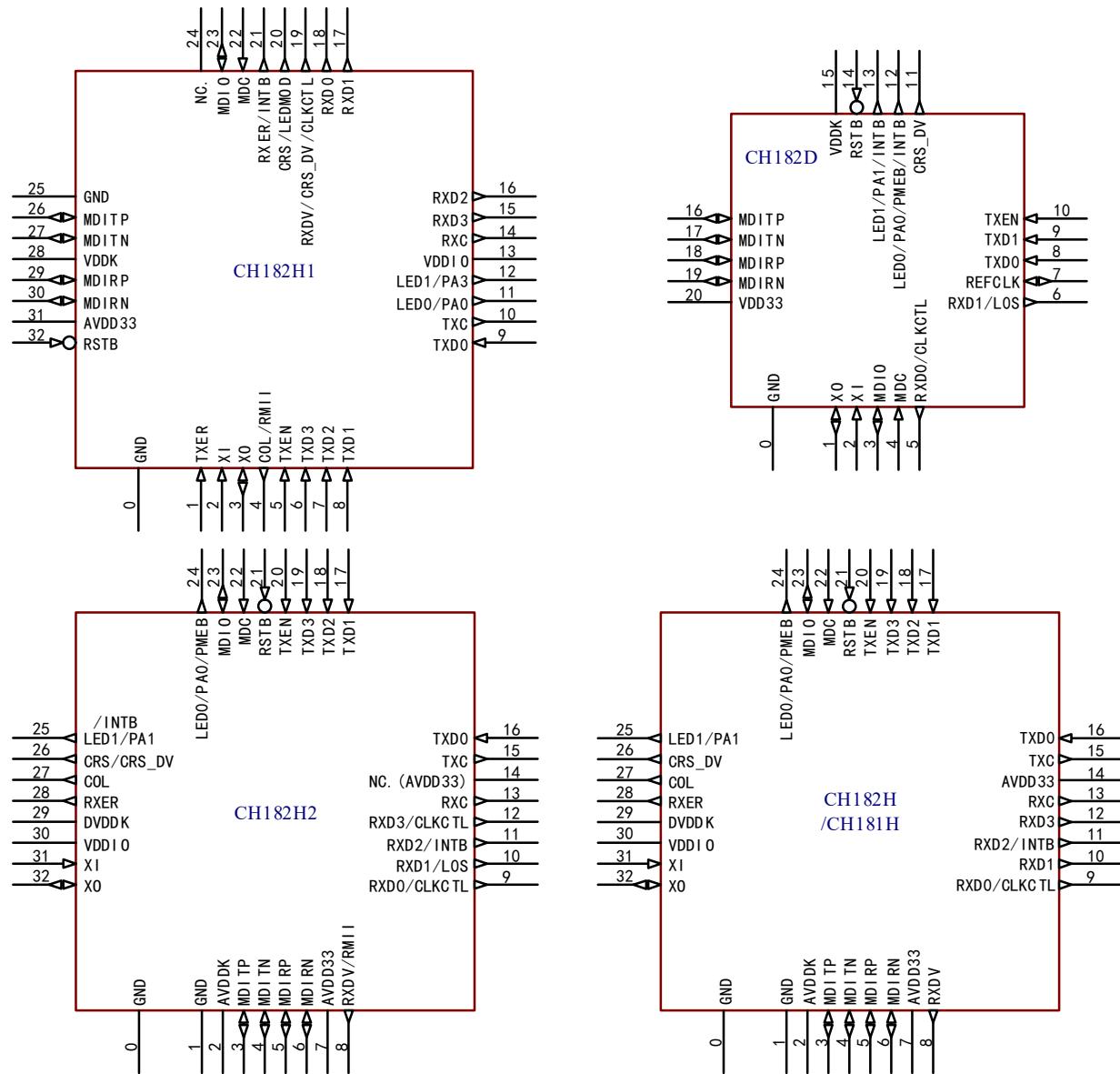
下图为 CH182 的框图。



2、特点

- 基于 DSP 算法实现的低功耗以太网物理层收发器 PHYceiver。
- 支持停机模式。
- 支持 Auto-MDIX 交换 TX/RX，自动识别正负信号线。
- 支持 10BASE-T 和 100BASE-TX 及自动协商。
- 支持 MII 和 RMII 两种接口模式。
- 支持全双工和半双工操作。
- 支持 UTP CAT5、CAT6 双绞线，支持 120 米传输距离。
- 内置 LDO 降压器，单一 3.3V 电源供电。
- 独立的 I/O 接口电源，支持 3.3V、2.5V 或 1.8V，以适配不同电压的处理器或 MCU。
- 内置 50Ω 阻抗匹配电阻，内置 25MHz 晶体振荡器所需电容，外围电路精简。
- 可选支持外部 50MHz 时钟输入。
- 支持 WOL 网络唤醒。
- 支持中断功能。
- 支持两种网络状态 LED。
- CH182D 芯片内置唯一的以太网 MAC 地址，无需另外购买或分配。
- 提供 QFN32X5、QFN32、QFN20 封装。

3、引脚排列



封装形式	塑体尺寸	引脚节距	封装说明	订货型号
QFN32	4.0*4.0mm	0.40mm	四边无引线 32 脚	CH182H1
QFN20	3.0*3.0mm	0.40mm	四边无引线 20 脚	CH182D
QFN32X5	5.0*5.0mm	0.50mm	四边无引线 32 脚	CH182H2
QFN32X5	5.0*5.0mm	0.50mm	四边无引线 32 脚	CH182H
QFN32X5	5.0*5.0mm	0.50mm	四边无引线 32 脚	CH181H

注：1、CH182H2 是 CH182H 的升级版本，引脚兼容。

2、新设计可用 CH182D/CH182H1/CH182H2，建议优选小体积的 CH182D 或 CH182H1。

3、客制引脚 CH182H3、CH182H6、CH182H7、CH182H8、CH182F2、CH182F7、CH182F8，仅批量预定，引脚排列和引脚定义请参考《CH182DS3》手册。

4、引脚定义

表 4-1 CH182H1 引脚定义

引脚号	引脚名称	类型	引脚说明										
0	GND	P	公共接地端。										
1	TXER	I, PD	发送错误指示。										
2	XI	I	晶振输入，需外接 25MHz 晶体一端，可选外部 25MHz 或 50MHz 时钟输入。 RMII 从模式下 XI 接 GND, TXC/REFCLKI 接 50MHz 时钟。										
3	XO	I/O	晶振反相输出，需外接25MHz晶体另一端。 或XI接GND时，XO用于输入外部25MHz或50MHz时钟。										
4	COL/RMII	LI, 0, PD	碰撞监测 (COL)： 当检测到碰撞时，COL 输出高电平。 RMII 模式选择 (RMII)： 上电复位期间， 默认由内部下拉电阻置低电平 = MII 接口模式； 可选外部 4. 7KΩ 上拉电阻置高电平 = RMII 接口模式。										
5	TXEN	I	发送使能 (TXEN)。										
6	TXD3	I	发送数据位 TXD[3:0]：										
7	TXD2	I	由 MAC 驱动，向 PHY 提供并行的发送数据。 当 TXEN 使能时：										
8	TXD1	I	MII 模式下，TXD[3:0] 数据有效；										
9	TXD0	I	RMII 模式下，TXD[1:0] 数据有效。										
10	TXC /REFCLKI	I/O	MII 模式发送时钟 (TXC)： 在 MII 模式下，该引脚为 TXD[3:0] 和 TXEN 信号提供参考时钟。 TXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2. 5MHz。 RMII 模式 50MHz 时钟输入 (REFCLKI)： 在 RMII 模式下，该模式用于 50MHz 时钟输入。										
11	LED0/PA0	LI, 0 PD	LED0： 传统 LED 功能选择， 默认 LED_SEL 为 01： <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> <tr> <th>LED0</th> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀ /ACT₁₀</td> </tr> </table> PHY 地址 [0] (PA0)： 上电锁存 PHY 地址 [0] 的值， 默认由内部下拉电阻置低电平 = 0； 可选外部 4. 7KΩ 上拉电阻置高电平 = 1。	LED_SEL	00	01	10	11	LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀
LED_SEL	00	01	10	11									
LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀									
12	LED1/PA3	LI, 0 PD	LED1： 传统 LED 功能选择， 默认 LED_SEL 为 01： <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> <tr> <th>LED1</th> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> </table>	LED_SEL	00	01	10	11	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀
LED_SEL	00	01	10	11									
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀									

引脚号	引脚名称	类型	引脚说明
CH182H1			
			PHY 地址[3] (PA3) : 上电锁存 PHY 地址[3]的值， 默认由内部下拉电阻置低电平 = 0； 可选外部 4. 7KΩ 上拉电阻置高电平 = 1。
13	VDDIO	P	I/O 接口的电源输入，外接 0. 1uF 对地电容。
14	RXC /REFCLK0	0	输出接收时钟 (RXC) : 该引脚提供用于 RXD[3:0] 和 RXDV 信号的连续工作时钟。 RXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2. 5MHz。 RMII 模式 50MHz 时钟输出 (REFCLK0) : 在 RMII 模式下，50MHz 时钟输出。
15	RXD3	0	接收数据位 RXD[3:0] : 由 PHY 驱动，向 MAC 提供并行的接收数据。
16	RXD2	0	
17	RXD1	0	
18	RXD0	0	
19	RXDV /CRS_DV /CLKCTL	LI, 0, PD	接收数据有效 (RXDV) : MII 模式下，当 RXD[3:0] 接收数据时，该引脚输出高电平；当接收完成时被拉低；在 RXC 的上升沿有效。 载波检测/接收数据有效 (CRS_DV) : RMII 模式下，如果接收媒介不处于空闲状态，则输出高电平。 时钟方向选择 (CLKCTL) : RMII 模式下，上电期间根据该引脚的锁存值，用于配置参考时钟的方向： 内部下拉电阻置低电平 = RXC 输出时钟； 可选外部 4. 7KΩ 上拉电阻 = TXC 输入时钟。
20	CRS /LEDMOD	LI, 0, PD	载波监测 (CRS) : MII 模式下，该引脚输出高电平信号表明正在进行发送或者接收，输出低电平信号则表示正处于空闲状态。 而在 RMII 模式下，该引脚输出低电平。 LED 模式选择 (LEDMOD) : 上电复位期间，该引脚的锁存值用来确定 LED_SEL[1] 的值，请参考 LED 引脚的相关描述。
21	RXER /INTB	LI, 0/OD	接收错误指示 (RXER) 。 INTB：中断输出，开漏输出。 注：该引脚功能由页 1 寄存器 28 决定。
22	MDC	I, PU	SMI 管理接口的时钟输入 (MDC) : 该引脚输入与 MDIO 同步的串行时钟，内置上拉电阻防止引脚浮空。
23	MDIO	I/O, PU	SMI 管理接口的数据输入和输出 (MDIO) : 该引脚用于输入或输出管理信息的双向串行数据。
24	NC.	NC.	保留引脚，内部未连接。
25	GND	P	可选的公共接地端，建议连接。

引脚号	引脚名称	类型	引脚说明
CH182H1 26	MDITP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输出；
27	MDITN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输入。
28	VDDK	P	外接 1uF 对地电容贴近芯片放置。
29	MDIRP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输入；
30	MDIRN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输出。
31	AVDD33	P	3.3V 主电源输入，建议 0.1uF 并联 10uF 对地电容贴近芯片放置，或单个 1uF~4.7uF。
32	RSTB	I, PU	复位输入，低电平有效。

注： I = 输入； O = 输出； I/O = 输入/输出； P = 电源；
 OD = 开漏输出； PD = 上电复位内部拉低； PU = 上电复位内部拉高；
 LI = 上电期间检测引脚状态并锁存输入用于功能配置； NC. = 保留引脚。

表 4-2 CH182H2/CH182D 引脚定义

引脚号	引脚名称	类型	引脚说明
CH182D 0	GND	P	公共接地端。
-	1	P	可选的公共接地端，建议连接。
-	2	AVDDK	外接 1uF 对地电容贴近芯片放置。
15	-	VDDK	外接 1uF 对地电容贴近芯片放置。
16	3	MDITP	I/O 10BASE-T/100BASE-TX MDI 模式下的差分输出；
17	4	MDITN	I/O 10BASE-T/100BASE-TX MDIX 模式下的差分输入。
18	5	MDIRP	I/O 10BASE-T/100BASE-TX MDI 模式下的差分输入；
19	6	MDIRN	I/O 10BASE-T/100BASE-TX MDIX 模式下的差分输出。
-	7	AVDD33	P 3.3V 主电源输入，建议 0.1uF 并联 10uF 对地电容贴近芯片放置，或单个 1uF~4.7uF。
20	-	VDD33	P 建议 0.1uF 并联 10uF 对地电容贴近芯片放置，或单个 1uF~4.7uF。
-	8	RXDV /RMII	接收数据有效 (RXDV)： MII 模式下，当 RXD[3:0] 接收数据时，该引脚输出高电平； 当接收完成时被拉低；在 RXC 的上升沿有效。 RMII 模式选择 (RMII)： 上电复位期间， 默认由内部下拉电阻置低电平 = MII 接口模式 可选外部 4.7KΩ 上拉电阻置高电平 = RMII 接口模式
5	9	RXD0 /CLKCTL	接收数据位 [0] (RXD0)。 时钟方向选择 (CLKCTL)： 在 RMII 模式下，上电期间根据该引脚的锁存值，用于配置参考时钟的方向： 默认由内部下拉电阻置低电平 = TXC 输出时钟； 可选外部 4.7KΩ 上拉电阻置高电平 = TXC 输入时钟。

引脚号		引脚名称	类型	引脚说明
CH182D	CH182H2			
6	10	RXD1 /LOS	O, PD	接收数据位[1] (RXD1)。 LED0 功能选择 (LOS)： 默认内部由下拉电阻置低电平 = LED0 功能； 可选外部 4.7KΩ 上拉电阻置高电平 = WOL 功能。
-	11	RXD2 /INTB	LI, O/OD , PD	接收数据位[2] (RXD2)。 INTB：在 RMII 模式下，中断输出，开漏输出。
-	12	RXD3 /CLKCTL	LI, O, PD	接收数据位[3] (RXD3)。 时钟方向选择 (CLKCTL)： 在 RMII 模式下，上电期间根据该引脚的锁存值，用于配置参考时钟的方向： 默认由内部下拉电阻置低电平 = TXC 输出时钟； 可选外部 4.7KΩ 上拉电阻置高电平 = TXC 输入时钟。
-	13	RXC	O, PD	输出接收时钟 (RXC)： 该引脚提供用于 RXD[3:0] 和 RXDV 信号的连续工作时钟。 RXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。
-	14	NC. (AVDD33)	NC. (P)	保留引脚，内部未连接。 为了兼容 CH182H 的引脚，外部也可以连接到 3.3V 电源。
-	15	TXC /REFCLK	I/O, PD	MII 模式发送时钟 (TXC)： 在 MII 模式下，该引脚为 TXD[3:0] 和 TXEN 信号提供参考时钟。TXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。 50MHz 参考时钟 (REFCLK)： 在 RMII 模式下，50MHz 时钟输入或输出，默认为输出。当 RXD0/CLKCTL 引脚、RXD3/CLKCTL 引脚、页 7 寄存器 16 其中之一配置为输入模式时，REFCLK 切换为输入模式。
7	-	REFCLK	I/O, PD	50MHz 参考时钟 (REFCLK)： 在 RMII 模式下，该引脚用于输出或者输入 50MHz 参考时钟 REFCLK。方向由 RXD0/CLKCTL 引脚或页 7 寄存器 16 决定。
8	16	TXD0	I, PD	发送数据位 TXD[3:0]： 由 MAC 驱动，向 PHY 提供并行的发送数据。
9	17	TXD1	I, PD	当 TXEN 使能时：
-	18	TXD2	I, PD	MII 模式下，TXD[3:0] 数据有效；
-	19	TXD3	I, PD	RMII 模式下，TXD[1:0] 数据有效。
10	20	TXEN	I, PD	发送使能 (TXEN)。
14	21	RSTB	I, PU	复位输入，低电平有效。
4	22	MDC	I, PU	SMI 管理接口的时钟输入 (MDC)： 该引脚输入与 MDIO 同步的串行时钟， 内置上拉电阻防止引脚浮空。
3	23	MDIO	I/O, PU	SMI 管理接口的数据输入和输出 (MDIO)： 该引脚用于输入或输出管理信息的双向串行数据。

引脚号		引脚名称	类型	引脚说明																
CH182D	CH182H2																			
-	24	LEDO /PA0 /PMEB	LI, 0/OD , PU	<p>LED0:</p> <p>传统 LED 功能选择， 默认 LED_SEL 为 11:</p> <table border="1"> <tr> <td>LED_SEL</td> <td>00</td> <td>01</td> <td>10</td> <td>11</td> </tr> <tr> <td>LEDO</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀ /ACT₁₀</td> </tr> </table> <p>PHY 地址[0] (PA0) :</p> <p>上电锁存 PHY 地址[0]的值， 默认由内部上拉电阻置高电平 = 1； 可选外部接下拉电阻置低电平 = 0。</p> <p>电源管理事件输出 (PMEB) :</p> <p>WOL 电源管理事件输出，低电平有效。 如果接收到魔法包或唤醒帧，则输出低电平。 注：该引脚功能由页 1 寄存器 28 决定。</p>	LED_SEL	00	01	10	11	LEDO	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀						
LED_SEL	00	01	10	11																
LEDO	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀																
12	-	LEDO/PA0 /PMEB /INTB	LI, 0/OD , PU	<p>LED0:</p> <p>传统 LED 功能选择， 默认 LED_SEL 为 01:</p> <table border="1"> <tr> <td>LED_SEL</td> <td>00</td> <td>01</td> </tr> <tr> <td>LEDO</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> </tr> </table> <p>PHY 地址[0] (PA0) :</p> <p>上电锁存 PHY 地址[0]的值， 默认由内部上拉电阻置高电平 = 1； 可选外部接下拉电阻置低电平 = 0。</p> <p>电源管理事件输出 (PMEB) :</p> <p>WOL 电源管理事件输出，低电平有效。 如果接收到魔法包或唤醒帧，则输出低电平。</p> <p>INTB: 中断输出，开漏输出。 注：该引脚功能由页 1 寄存器 28 决定。</p>	LED_SEL	00	01	LEDO	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}										
LED_SEL	00	01																		
LEDO	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}																		
13	25	LED1 /PA1 /INTB	LI, 0/OD , PD	<p>LED1:</p> <p>对于 CH182D 芯片， 默认 LED_SEL 为 01:</p> <table border="1"> <tr> <td>LED_SEL</td> <td>00</td> <td>01</td> </tr> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> </tr> </table> <p>对于 CH182H2 芯片， 默认 LED_SEL 为 11:</p> <table border="1"> <tr> <td>LED_SEL</td> <td>00</td> <td>01</td> <td>10</td> <td>11</td> </tr> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> </table> <p>PHY 地址[1] (PA1) :</p>	LED_SEL	00	01	LED1	LINK ₁₀₀	LINK ₁₀₀	LED_SEL	00	01	10	11	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀
LED_SEL	00	01																		
LED1	LINK ₁₀₀	LINK ₁₀₀																		
LED_SEL	00	01	10	11																
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀																

引脚号		引脚名称	类型	引脚说明
CH182D	CH182H			
				上电锁存 PHY 地址[1]的值， 默认由内部下拉电阻置低电平 = 0； 可选外部 4.7KΩ 上拉电阻置高电平 = 1。 INTB：中断输出，开漏输出。 注：该引脚功能由页 1 寄存器 28 决定。
-	26	CRS /CRS_DV	0, PD	载波检测（CRS）： MII 模式下，该引脚输出高电平信号表示正在进行发送或者接收，低电平信号则表示正处于空闲状态。 载波检测/接收数据有效（CRS_DV）： RMII 模式下，如果接收媒介不处于空闲状态，则输出高电平。
11	-	CRS_DV	0, PD	载波检测/接收数据有效（CRS_DV）： 如果接收媒介不处于空闲状态，则输出高电平。
-	27	COL	0, PD	碰撞监测（COL）：当检测到碰撞时，COL 输出高电平。
-	28	RXER	0, PD	接收错误指示（RXER）。
-	29	DVDDK	P	外接 0.1uF (0.1uF~1uF) 对地电容贴近芯片放置。
-	30	VDDIO	P	I/O 接口的电源输入，外接 0.1uF 对地电容。
2	31	XI	I	晶振输入，需外接 25MHz 晶体一端，可选外部 25MHz 或 50MHz 时钟输入。
1	32	XO	I/O	晶振反相输出，需外接 25MHz 晶体另一端。 或在 XI 接 GND 时，XO 用于输入外部 25MHz 或 50MHz 时钟。 注：RMII 模式下，当 XO 设置为输入时钟时，需设置 REFCLK 为输出，或设置 REFCLK 为输入且需外部提供 50MHz 时钟。

注：I = 输入； O = 输出； I/O = 输入/输出； P = 电源；
OD = 开漏输出； PD = 上电复位内部拉低； PU = 上电复位内部拉高；
LI = 上电期间检测引脚状态并锁存输入用于功能配置； NC. = 保留引脚。

表 4-3 CH182H/CH181H 引脚定义

引脚号		引脚名称	类型	引脚说明
CH181H	CH182H			
0	0	GND	P	公共接地端。
1	1	GND	P	可选的公共接地端，建议连接。
2	2	AVDDK	P	外接 1uF 对地电容贴近芯片放置。
3	3	MDITP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输出；
4	4	MDITN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输入。
5	5	MDIRP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输入；
6	6	MDIRN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输出。

引脚号		引脚名称	类型	引脚说明
CH181H	CH182H			
7	7	AVDD33	P	3.3V 主电源输入，建议 0.1uF 并联 10uF 对地电容贴近芯片放置，或单个 1uF~4.7uF。
8	8	RXDV	L1, 0, PD	接收数据有效 (RXDV)。 当 RXD[3:0] 接收数据时，该引脚输出高电平；当接收完成时被拉低；在 RXC 的上升沿有效。上电复位期间 PHY 检测该引脚配置 MAC 接口模式： 默认由内部下拉电阻置低电平 = MII 接口模式； 可选外部 4.7KΩ 上拉电阻置高电平 = RMII 接口模式。
9	9	RXDO /CLKCTL	L1, 0, PD	接收数据位 [0] (RXDO)。 时钟方向选择 (CLKCTL)： 在 RMII 模式下，上电期间根据该引脚的锁存值，用于配置参考时钟的方向： 默认由内部下拉电阻置低电平 = TXC 输出时钟； 可选外部 4.7KΩ 上拉电阻置高电平 = TXC 输入时钟。
10	10	RXD1	0, PD	接收数据位 [1] (RXD1)。
11	11	RXD2 /INTB	L1, 0, PD	接收数据位 [2] (RXD2)。 INTB：在 RMII 模式下，中断输出，开漏输出。
12	12	RXD3	0, PD	接收数据位 [3] (RXD3)。
13	13	RXC	0, PD	输出接收时钟 (RXC)。 该引脚提供用于 RXD[3:0] 和 RXDV 信号的连续工作时钟。 RXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。
14	14	AVDD33	P	可选的 3.3V 电源输入。
15	15	TXC /REFCLK	I/O, PD	MII 模式输出发送时钟，RMII 模式输出或输入参考时钟。 在 MII 模式下，该引脚为 TXD[3:0] 和 TXEN 信号提供参考时钟。TXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。 在 RMII 模式下，该引脚用于输出或者输入 50MHz 参考时钟 REFCLK。方向由 RXDO/CLKCTL 引脚或页 7 寄存器 16 决定。
16	16	TXD0	I, PD	发送数据位 TXD[3:0]。 由 MAC 驱动，向 PHY 提供并行的发送数据。 当 TXEN 使能时，TXD[0:3] 数据有效。
17	17	TXD1	I, PD	
18	18	TXD2	I, PD	
19	19	TXD3	I, PD	
20	20	TXEN	I, PD	发送使能 (TXEN)。
21	21	RSTB	I, PU	复位输入，低电平有效。
22	22	MDC	I, PU	SMI 管理接口的时钟输入 (MDC)。 该引脚输入与 MDIO 同步的串行时钟， 内置上拉电阻防止引脚浮空。
23	23	MDIO	I/O, PU	SMI 管理接口的数据输入和输出 (MDIO)。 该引脚用于输入或输出管理信息的双向串行数据。
24	24	LEDO /PA0 /PMEB	L1, 0/OD , PU	PHY 的 SMI 管理接口的地址和自定义 LED 设置。 默认 LED 引脚为 LED 功能： PHY 地址由 PA1 和 PA0 选择：00000~00011， 默认 01；

引脚号		引脚名称	类型	引脚说明						
CH181H	CH182H									
25	25	LED1 /PA1	LI, 0, PD	传统 LED 功能选择, 默认 LED_SEL 为 11:						
				LED_SEL	00	01	10	11		
				LEDO	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀		
				LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀		
				LED2	保留	保留	保留	保留		
注: CH181H LED 闪烁判断信号为以太网载波信号。										
电源管理事件输出 (PMEB) :										
WOL 电源管理事件输出, 低电平有效。 如果接收到魔法包或唤醒帧, 则输出低电平。										
26	26	CRS_DV	0, PD	载波检测/接收数据有效 (CRS_DV)。 如果接收媒介不处于空闲状态, 则输出高电平。						
27	27	COL	0, PD	碰撞监测 (COL) : 当检测到碰撞时, COL 输出高电平。						
28	28	RXER	0, PD	接收错误指示 (RXER)。						
29	29	DVDDK	P	外接 0.1uF (0.1uF~1uF) 对地电容贴近芯片放置。						
30	30	VDDIO	P	I/O 接口的电源输入, 外接 0.1uF 对地电容。						
31	31	XI	I	晶振输入, 需外接 25MHz 晶体一端, 或外部 25MHz 时钟输入。						
32	32	XO	I/O	晶振反相输出, 需外接 25MHz 晶体另一端。 或在 XI 接 GND 时, XO 用于输入外部 25MHz 或 50MHz 时钟。						

注: I = 输入; O = 输出; I/O = 输入/输出; P = 电源;

OD = 开漏输出; PD = 上电复位内部拉低; PU = 上电复位内部拉高;

LI = 上电期间检测引脚状态并锁存输入用于功能配置。

5、寄存器描述

表 5-1 PHY 寄存器描述

寄存器名称(BASE)	地址	默认值
Control Register	0x00	3100h
Status Register	0x01	7849h
PHY Identifier	0x02/0x03	7371h/9XXXh
Auto-Negotiation Advertisement	0x04	01e1h
Auto-Negotiation Link Partner Ability	0x05	0001h
Auto-Negotiation Expansion	0x06	0044h
PAGE_SEL	0x1F	0000h
寄存器名称(PAGE 7) (适用于除 CH181H、CH182H 以外芯片)	地址	默认值
INTERRUPT_MASK	0x13	0030h
寄存器名称(PAGE 18) (仅适用于 CH182D 芯片)	地址	默认值
MAC_PHY_ADDR0	0x1A	X
MAC_PHY_ADDR1	0x1B	X
MAC_PHY_ADDR2	0x1C	X

注: 1. 上述寄存器描述中, 默认缩写形式如下:

复位值: 1 = 位设置为逻辑 1;

0 = 位设置为逻辑 0;

X = 没有默认值;

h = 十六进制;

访问类型: R0 = 只读;

RW = 读/写;

RC = 读取清除。

SC = 自清除。

2. 其它扩展寄存器包含接口时序、厂商自定义特性等, 通常不需要修改, 详细可参考《CH182DS2》手册。

5.1 寄存器 0 控制寄存器 Control Register

位	名称	描述	访问	默认值														
15	Reset	软件复位，复位完成后自动清0。	RW, SC	0														
14	Loopback	设置发送到接收数据路径。 1 = 启用Loopback；0 = 正常工作。	RW	0														
13	Speed Selection	设置网络速度。 1 = 100Mbps；0 = 10Mbps。 完成自动协商后，该位反映速度状态。 1 = 100BASE-T；0 = 10BASE-T。 注：部分封装的默认值根据引脚锁存值确定。 <table border="1"> <tr> <th>封装</th> <th>引脚</th> </tr> <tr> <td>CH182H8</td> <td>LED1</td> </tr> <tr> <td>CH182F8</td> <td>LEDO</td> </tr> <tr> <td>CH182H3</td> <td>LED1</td> </tr> <tr> <td>CH182H7</td> <td>{COL/CRS, RXD1, RXDO}</td> </tr> <tr> <td>CH182F7</td> <td>{CRS_DV, RXD1, RXDO}</td> </tr> </table>	封装	引脚	CH182H8	LED1	CH182F8	LEDO	CH182H3	LED1	CH182H7	{COL/CRS, RXD1, RXDO}	CH182F7	{CRS_DV, RXD1, RXDO}	RW	1		
封装	引脚																	
CH182H8	LED1																	
CH182F8	LEDO																	
CH182H3	LED1																	
CH182H7	{COL/CRS, RXD1, RXDO}																	
CH182F7	{CRS_DV, RXD1, RXDO}																	
12	Auto-Negotiation Enable	自动协商功能。 1 = 启用自动协商，位13和位8将被忽略； 0 = 禁用自动协商，位13和位8将确定链接速度和数据传输模式。 注：部分封装的默认值根据引脚锁存值确定。 <table border="1"> <tr> <th>封装</th> <th>引脚</th> </tr> <tr> <td>CH182H8</td> <td>LEDO</td> </tr> <tr> <td>CH182F8</td> <td>LEDO</td> </tr> <tr> <td>CH182H3</td> <td>RXDO</td> </tr> <tr> <td>CH182H6</td> <td>RXDO</td> </tr> <tr> <td>CH182H7</td> <td>{COL/CRS, RXD1, RXDO}</td> </tr> <tr> <td>CH182F7</td> <td>{CRS_DV, RXD1, RXDO}</td> </tr> </table>	封装	引脚	CH182H8	LEDO	CH182F8	LEDO	CH182H3	RXDO	CH182H6	RXDO	CH182H7	{COL/CRS, RXD1, RXDO}	CH182F7	{CRS_DV, RXD1, RXDO}	RW	1
封装	引脚																	
CH182H8	LEDO																	
CH182F8	LEDO																	
CH182H3	RXDO																	
CH182H6	RXDO																	
CH182H7	{COL/CRS, RXD1, RXDO}																	
CH182F7	{CRS_DV, RXD1, RXDO}																	
11	Power Down	1 = 关闭电源；0 = 正常运行。	RW	0														
10	Isolate	1 = MII/RMII接口与PHY隔离，PHY依旧能够响应MDI/MDIO； 0 = 正常工作。 注：该位的上电初始值根据相应引脚锁存值确定，软复位会恢复到默认值。 <table border="1"> <tr> <th>封装</th> <th>管脚</th> </tr> <tr> <td>CH182H8</td> <td>RXER</td> </tr> <tr> <td>CH182H3</td> <td>RXER</td> </tr> <tr> <td>CH182H7</td> <td>{COL/CRS, RXD1, RXDO}</td> </tr> <tr> <td>CH182F7</td> <td>{CRS_DV, RXD1, RXDO}</td> </tr> </table>	封装	管脚	CH182H8	RXER	CH182H3	RXER	CH182H7	{COL/CRS, RXD1, RXDO}	CH182F7	{CRS_DV, RXD1, RXDO}	RW	0				
封装	管脚																	
CH182H8	RXER																	
CH182H3	RXER																	
CH182H7	{COL/CRS, RXD1, RXDO}																	
CH182F7	{CRS_DV, RXD1, RXDO}																	
9	Restart Auto-Negotiation	重新启动自动协商。 1 = 重新启动自动协商；0 = 正常工作。	RW, SC	0														
8	Duplex Mode	双工模式。 1 = 全双工；0 = 半双工。 完成自动协商后，该位反映双工状态。 1 = 全双工；0 = 半双工。 注：部分封装的默认值根据管脚锁存值确定。	RW	1														

		封装	管脚		
		CH182H8	RXDO		
		CH182H7	{COL/CRS, RXD1, RXDO}		
		CH182F7	{CRS_DV, RXD1, RXDO}		
7	Collision Test	碰撞测试。 1 = 启用；0 = 正常运行。 当置1时，在TXEN发送后一段时间内会产生COL信号，当TXEN取消发送一段时间后COL信号也将消失。		RW	0
6:0	Reserved	保留。		R0	0

5.2 寄存器 1 状态寄存器 Status Register

位	名称	描述	访问	默认值
15	100BASE-T4	1 = 支持启用100BASE-T4； 0 = 不支持100BASE-T4。	R0	0
14	100BASE-TX Full Duplex	1 = 支持启用100BASE-TX全双工； 0 = 不支持100BASE-TX全双工。	R0	1
13	100BASE-TX Half Duplex	1 = 支持启用100BASE-TX半双工； 0 = 不支持100BASE-TX半双工。	R0	1
12	10BASE-T Full Duplex	1 = 支持启用10BASE-T全双工； 0 = 不支持10BASE-T全双工。	R0	1
11	10BASE-T Half Duplex	1 = 支持启用10BASE-T半双工； 0 = 不支持10BASE-T半双工。	R0	1
10	100BASE-T2 Full Duplex	1 = 支持启用100BASE-T2全双工； 0 = 不支持100BASE-T2全双工。	R0	0
9	100BASE-T2 Half Duplex	1 = 支持启用100BASE-T2半双工； 0 = 不支持100BASE-T2半双工。	R0	0
8	Extend Status	1 = 寄存器15扩展基础寄存器状态信息； 0 = 寄存器15没有扩展基础寄存器状态信息。	R0	0
7	Reserved	保留。	R0	0
6	MF Preamble Suppression	允许接收前导码抑制的管理帧。	R0	1
5	Auto-Negotiation Complete	1 = 自协商过程完成； 0 = 自协商过程未完成。	R0	0
4	Remote Fault	1 = 检测到远程错误情况（读取清除）； 0 = 未检测到远程错误情况。	R0	0
3	Auto-Negotiation Ability	1 = PHY能执行自协商； 0 = PHY不能执行自协商。	R0	1
2	Link Status	1 = 已建立有效链接；0 = 未建立有效链接。	R0	0
1	Jabber Detect	1 = 检测到Jabber条件； 0 = 未检测到Jabber条件。	R0	0
0	Extended Capability	1 = 扩展寄存器功能； 0 = 无扩展寄存器功能。	R0	1

5.3 寄存器 2 PHY 标识寄存器 1 PHY Identifier

位	名称	描述	访问	默认值
---	----	----	----	-----

15:0	OUI_MSB	分配到OUI的第6到第21位组织唯一识别符。	RO	7371h
------	---------	------------------------	----	-------

5.4 寄存器 3 PHY 标识寄存器 2 PHY Identifier

位	名称	描述	访问	默认值
15:10	OUI_LSB	分配到OUI的第0到第5位组织唯一识别符。	RO	24h
9:4	VNDR_MDL	识别码， 默认值用于区分型号和封装。	RO	XXh
3:0	MDL_REV	版本号。	RO	Xh

5.5 寄存器 4 自动协商功能寄存器 Auto-Negotiation Advertisement

位	名称	描述	访问	默认值												
15	Next Page	下页字节。 0 = 发送主要功能数据页； 1 = 发送协议规则数据页。	RW	0												
14	Acknowledge	1 = 确认接收到对端自动协商功能寄存器； 0 = 未接收到确认信号。	RO	0												
13	Remote Fault	1 = 通知远程错误检测功能； 0 = 不通知远程错误检测功能。	RW	0												
12	Reserved	保留。	RO	0												
11	Asymmetric PAUSE	1 = 支持通知非对称暂停； 0 = 不支持非对称暂停。	RW	0												
10	Pause	1 = 支持通知对称暂停； 0 = 不支持对称暂停。	RW	0												
9	100BASE-T4	1 = PHY支持100BAES-T4； 0 = PHY不支持100BASE-T4。	RO	0												
8	100BASE-TX Full Duplex	1 = PHY支持100BASE-TX全双工； 0 = PHY不支持100BASE-TX全双工。 注：部分封装的默认值根据管脚锁存值确定。 <table border="1"><thead><tr><th>封装</th><th>引脚</th></tr></thead><tbody><tr><td>CH182H8</td><td>LED1</td></tr><tr><td>CH182F8</td><td>LEDO</td></tr><tr><td>CH182H3</td><td>LED1</td></tr><tr><td>CH182H7</td><td>{COL/CRS, RXD1, RXDO}</td></tr><tr><td>CH182F7</td><td>{CRS_DV, RXD1, RXDO}</td></tr></tbody></table>	封装	引脚	CH182H8	LED1	CH182F8	LEDO	CH182H3	LED1	CH182H7	{COL/CRS, RXD1, RXDO}	CH182F7	{CRS_DV, RXD1, RXDO}	RW	1
封装	引脚															
CH182H8	LED1															
CH182F8	LEDO															
CH182H3	LED1															
CH182H7	{COL/CRS, RXD1, RXDO}															
CH182F7	{CRS_DV, RXD1, RXDO}															
7	100BASE-TX	1 = PHY支持100BASE-TX； 0 = PHY不支持100BASE-TX。 注：部分封装的默认值根据管脚锁存值确定。 <table border="1"><thead><tr><th>封装</th><th>引脚</th></tr></thead><tbody><tr><td>CH182H8</td><td>LED1</td></tr><tr><td>CH182F8</td><td>LEDO</td></tr><tr><td>CH182H3</td><td>LED1</td></tr><tr><td>CH182H7</td><td>{COL/CRS, RXD1, RXDO}</td></tr><tr><td>CH182F7</td><td>{CRS_DV, RXD1, RXDO}</td></tr></tbody></table>	封装	引脚	CH182H8	LED1	CH182F8	LEDO	CH182H3	LED1	CH182H7	{COL/CRS, RXD1, RXDO}	CH182F7	{CRS_DV, RXD1, RXDO}	RW	1
封装	引脚															
CH182H8	LED1															
CH182F8	LEDO															
CH182H3	LED1															
CH182H7	{COL/CRS, RXD1, RXDO}															
CH182F7	{CRS_DV, RXD1, RXDO}															
6	10BASE-T Full Duplex	1 = PHY支持10BASE-T全双工； 0 = PHY不支持10BASE-T全双工。 注：该位的上电初始值根据相应引脚锁存值确定，	RW	1												

		软复位会恢复到默认值。 <table border="1"> <thead> <tr> <th>封装</th><th>引脚</th></tr> </thead> <tbody> <tr> <td>CH182H7</td><td>{COL/CRS, RXD1, RXDO}</td></tr> <tr> <td>CH182F7</td><td>{CRS_DV, RXD1, RXDO}</td></tr> </tbody> </table>	封装	引脚	CH182H7	{COL/CRS, RXD1, RXDO}	CH182F7	{CRS_DV, RXD1, RXDO}		
封装	引脚									
CH182H7	{COL/CRS, RXD1, RXDO}									
CH182F7	{CRS_DV, RXD1, RXDO}									
5	10BASE-T	1 = PHY支持10BASE-T; 0 = PHY不支持10BASE-T。 <i>注：部分封装的默认值根据管脚锁存值确定。</i> <table border="1"> <thead> <tr> <th>封装</th><th>引脚</th></tr> </thead> <tbody> <tr> <td>CH182H7</td><td>{COL/CRS, RXD1, RXDO}</td></tr> <tr> <td>CH182F7</td><td>{CRS_DV, RXD1, RXDO}</td></tr> </tbody> </table>	封装	引脚	CH182H7	{COL/CRS, RXD1, RXDO}	CH182F7	{CRS_DV, RXD1, RXDO}	RW	1
封装	引脚									
CH182H7	{COL/CRS, RXD1, RXDO}									
CH182F7	{CRS_DV, RXD1, RXDO}									
4:0	Selector Field	PHY支持二进制编码选择器。 目前只有CSMA/CD 00001特殊，没有其他协议支持。	RO	00001						

5.6 寄存器 5 对端自动协商功能寄存器 Auto-Negotiation Link Partner Ability

该寄存器在自动协商期间接收对端的消息功能。如果支持下一页功能，在一次成功的自协商之后内容改变。

位	名称	描述	访问	默认值
15	Next Page	下页字节。 1 = 发送特定协议数据页； 0 = 发送主要功能数据页。 <i>注：CH181H未实现该功能。</i>	RO	0
14	Acknowledge	1 = 对端确认接收到本地自动协商功能寄存器； 0 = 未确认接收。	RO	0
13	Remote Fault	1 = 对端指明一个远程错误； 0 = 对端未指明一个远程错误。	RO	0
12	Reserved	保留。	RO	0
11	Asymmetric Pause	1 = 支持非对称流量控制； 0 = 不支持非对称流量控制。 当自动协商被启用时该位反映对端的功能。	RO	0
10	Pause	1 = 支持流量控制； 0 = 不支持流量控制。 当自动协商被启用时该位反映对端的功能。	RO	0
9	100BASE-T4	1 = 对端支持100BASE-T4； 0 = 对端不支持100BASE-T4。	RO	0
8	100BASE-TX Full Duplex	1 = 对端支持100BASE-TX全双工； 0 = 对端不支持100BASE-TX全双工。	RO	0
7	100BASE-TX	1 = 对端支持100BASE-TX； 0 = 对端不支持100BASE-TX。	RO	0
6	10BASE-T Full Duplex	1 = 对端支持10BASE-T全双工； 0 = 对端不支持10BASE-T全双工。	RO	0
5	10BASE-T	1 = 对端支持10BASE-T； 0 = 对端不支持10BASE-T。	RO	0
4:0	Selector Field	对端的二进制编码节点选择器，目前只有CSMA/CD 00001特殊，不支持其他协议。	RO	00001b

5.7 寄存器 6 自协商扩展寄存器 Auto-Negotiation Expansion

位	名称	描述	访问	默认值
15:7	Reserved	保留。	RO	0h
6	NPLA	指示对端发送下一页存储位置。	RO	1
5	NPSL	指示对端下一页是否存储在寄存器8中。	RO	0
4	Parallel Detection Fault	1 = 并行检测功能检测到一个故障; 0 = 并行检测功能没有检测到故障。	RC	0
3	Link Partner Next Page Able	1 = 支持下一页; 0 = 不支持下一页。 注: CH181H未实现该功能。	RO	0
2	Local Next Page Able	1 = 本地设备能发送下一页; 0 = 本地设备不能发送下一页。	RO	1
1	Page Received	1 = 收到一个新页; 0 = 未收到新页。	RC	0
0	Link Partner Auto-Negotiation Able	如果自动协商被启用: 1 = 对端有自动协商功能; 0 = 对端没有自动协商功能。	RO	0

5.8 寄存器 31 页选择寄存器 PAGE_SEL

位	名称	描述	访问	默认值
15:8	Reserved	保留。	RO	0
7:0	PAGE_SEL	选择页地址。 00000000~11111111。	RW	0

5.9 页 7 寄存器 19 中断、WOL 启用和 LED 功能寄存器 INTERRUPT_MASK (适用于除 CH181H、CH182H 以外芯片)

位	名称	描述	访问	默认值
15	WOLDONE_EN	启用WOL完成中断。 1 = 允许WOL完成产生中断; 0 = 禁止WOL完成产生中断。	RW	0
14	INT_SPDCHG	启用速度变化中断。 1 = 允许速度变化产生中断; 0 = 禁止速度变化产生中断。 注: 该位设为0时仅在INTB引脚屏蔽链接变化中断事件, 页0寄存器30位14总是反映速度变化中断行为。	RW	0
13	INT_LINKCHG	启用链接变化中断。 1 = 允许链接变化产生中断; 0 = 禁止链接变化产生中断。 注: 该位设为0时仅在INTB引脚屏蔽链接变化中断事件, 页0寄存器30位11总是反映速度变化中断行为。	RW	0
12	INT_DUPCHG	启用双工变化中断。 1 = 允许双工变化产生中断; 0 = 禁止双工变化产生中断。 注: 该位设为0时仅在INTB引脚屏蔽链接变化中断事件, 页0寄存器30位13总是反映速度变化中断行为。	RW	0
11	INT_ANERR	启用自协商错误中断。	RW	0

		1 = 允许自协商错误产生中断； 0 = 禁止自协商错误产生中断。 注：该位设为0时仅在INTB引脚屏蔽链接变化中断事件，页0寄存器30位15总是反映自协商错误中断行为。																																		
10	RG_LED0_WOL_SEL	LED、Wake-On-LAN功能选择。 1 = 启用Wake-On-LAN功能； 0 = 启用LED功能。 注：部分封装的默认值根据管脚锁存值确定。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>封装</th> <th>引脚</th> </tr> </thead> <tbody> <tr> <td>CH182D</td> <td>RXD1</td> </tr> <tr> <td>CH182F2</td> <td>RXD1</td> </tr> <tr> <td>CH182H2</td> <td>RXD1</td> </tr> <tr> <td>CH182H1</td> <td>CRS</td> </tr> </tbody> </table>	封装	引脚	CH182D	RXD1	CH182F2	RXD1	CH182H2	RXD1	CH182H1	CRS	RW	0																						
封装	引脚																																			
CH182D	RXD1																																			
CH182F2	RXD1																																			
CH182H2	RXD1																																			
CH182H1	CRS																																			
9	INTERRUPT_LEVEL	1 = 高电平有效； 0 = 低电平有效。	RW	0																																
8	INT_TEST	1 = 端口持续输出中断有效信号； 0 = 端口持续输出中断无效信号。	RW	0																																
7:6	Reserved	保留。	RW	0																																
5:4	LED_SEL[1:0]	对于CH182H1、CH182H2、CH182F2芯片，传统LED功能选择。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED0</td> <td>ACT_{ALL}</td> <td>LINK_{ALL}/ ACT_{ALL}</td> <td>LINK₁₀/ ACT_{ALL}</td> <td>LINK₁₀/ ACT₁₀</td> </tr> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀/ ACT₁₀₀</td> </tr> <tr> <td>LED2</td> <td>保留</td> <td>保留</td> <td>保留</td> <td>保留</td> </tr> </tbody> </table> 注：该LED_SEL[1]的值会因兼容不同类型PHY管脚的锁存值，而改变其默认值。其中，对于CH182H1，默认值为0。 对于CH182D、CH182H7、CH182F7、CH182H8、CH182F8、CH182H3、CH182H6芯片，该寄存器的位[5]保留且默认值为0，其传统LED功能选择。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> </tr> </thead> <tbody> <tr> <td>LED0</td> <td>ACT_{ALL}</td> <td>LINK_{ALL}/ ACT_{ALL}</td> </tr> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> </tr> <tr> <td>LED2</td> <td>保留</td> <td>保留</td> </tr> </tbody> </table>	LED_SEL	00	01	10	11	LED0	ACT _{ALL}	LINK _{ALL} / ACT _{ALL}	LINK ₁₀ / ACT _{ALL}	LINK ₁₀ / ACT ₁₀	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ / ACT ₁₀₀	LED2	保留	保留	保留	保留	LED_SEL	00	01	LED0	ACT _{ALL}	LINK _{ALL} / ACT _{ALL}	LED1	LINK ₁₀₀	LINK ₁₀₀	LED2	保留	保留	RW	11b
LED_SEL	00	01	10	11																																
LED0	ACT _{ALL}	LINK _{ALL} / ACT _{ALL}	LINK ₁₀ / ACT _{ALL}	LINK ₁₀ / ACT ₁₀																																
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ / ACT ₁₀₀																																
LED2	保留	保留	保留	保留																																
LED_SEL	00	01																																		
LED0	ACT _{ALL}	LINK _{ALL} / ACT _{ALL}																																		
LED1	LINK ₁₀₀	LINK ₁₀₀																																		
LED2	保留	保留																																		
3	CUSTOMIZED_LED	启用自定义LED。 1 = 启用自定义LED功能； 0 = 禁用自定义LED功能。	RW	0																																
2	INT_ANC	启用自行协商完成中断。 1 = 允许自行协商完成产生中断； 0 = 禁止自行协商完成产生中断。	RW	0																																
1	INT_FHF	启用Bad SSD计数半满中断。 1 = 允许Bad SSD计数半满产生中断； 0 = 禁止Bad SSD计数半满产生中断。	RW	0																																
0	INT_RHF	启用接收错误计数半满中断。 1 = 允许接收错误计数半满产生中断；	RW	0																																

	0 = 禁止接收错误计数半满产生中断。		
--	---------------------	--	--

5. 10 页 18 寄存器 26~寄存器 28 (仅适用于 CH182D 芯片)

地址	名称	描述	访问	默认值
0x1A	MAC_PHY_ADDR0	预置的唯一MAC地址0 (低位)。	R0	X
0x1B	MAC_PHY_ADDR1	预置的唯一MAC地址1。	R0	X
0x1C	MAC_PHY_ADDR2	预置的唯一MAC地址2 (高位)。	R0	X

6、功能说明

6.1 MII 和管理接口

6.1.1 数据传输

媒体独立接口 MII 提供 PHY 和 MAC 层之间的标准接口。MII 在 25MHz 或 2.5MHz 频率下工作，分别支持 100Mbps、10Mbps 的发送和接收功能。

发送：

MAC 根据 PHY 提供的发送时钟信号 TXC，发出 TXEN 信号，并将数据转成 4 位并行通过 TXD[3:0]传递给 PHY。在 TXEN 使能期间，PHY 将由 TXC 对 TXD[3:0]进行采样。

接收：

PHY 提供接收时钟信号 RXC，发出 RXDV 信号，并将接收到的数据转成 4 位并行通过 RXD[3:0]发送给 MAC。CRS_DV 和 COL 信号用于碰撞检测和处理。MAC 根据 RXC 对 RXD[3:0]进行采样。

6.1.2 串行管理接口 SMI

MAC 层设备可以使用 MDC/MDIO 管理接口来控制和配置 PHY 设备，通过配置 PHY 地址可以控制多个不同的 PHY 芯片。在 MDC/MDIO 管理接口上传输的帧结构如下表所示。

表 6-1 管理帧格式表

管理帧字段							
	前导符	起始符	操作符	PHYAD	REGAD	TA	数据
读	1...1	01	10	AAAAA	RRRRR	Z0	DDDDDDDDDDDDDDDDDD
写	1...1	01	01	AAAAA	RRRRR	10	DDDDDDDDDDDDDDDDDD

表 6-2 串行管理帧说明表

名称	描述
前导符	MAC 在 MDIO 上发送 32 个连续的 1 及 32 个 MDC 时钟信号，用于 PHY 同步。
起始符	帧的起始符定义为 01。
操作符	操作码。读：10；写：01。
PHYAD	PHY 地址，宽度 5 位。
REGAD	寄存器地址，宽度 5 位。
TA	2 位转向符，用于避免读操作时发生冲突。 读操作时，在 TA 的 2 位时间内，MAC 控制器保持 MDIO 的高阻状态，PHY 设备则先保持 1 位的高阻状态，在第 2 位时输出 0 信号。 写操作时，在 TA 的这 2 位时间内，MAC 控制器驱动 MDIO 输出 10 信号，而 PHY 则保持高阻状态。
数据	16 位数据域。
空闲位	信号处于高阻状态，由 PHY 的上拉电阻保证 MDIO 线处于上拉高电平。

图 6-1 读周期图

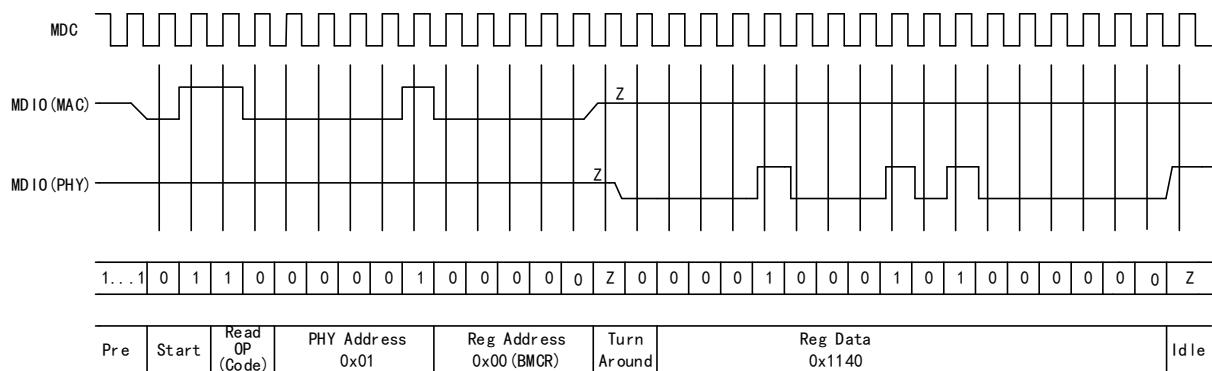
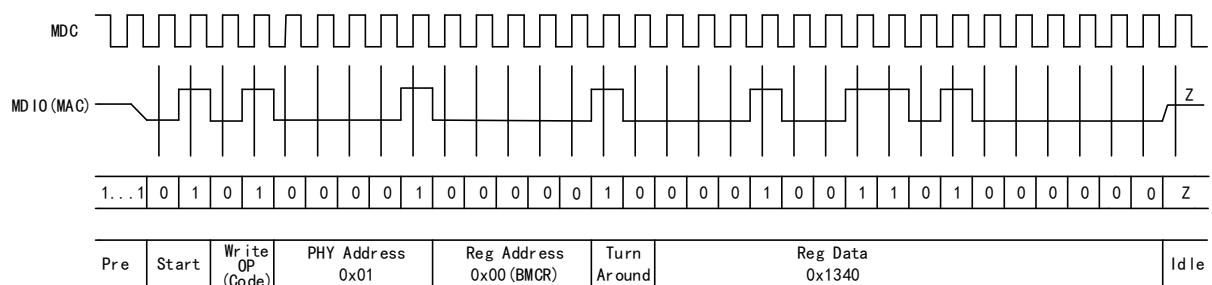


图 6-2 写周期图



6.2 中断

当检测到有相应状态变化时，PHY 将会把中断引脚 INTB 输出低电平，产生中断事件。MAC 接收到状态变化，可以通过 MDC/MDCIO 接口访问中断源。

一旦 MAC 通过 MDC/MDIO 读取中断源后，中断引脚 INTB 就会结束低电平。

6.3 自动协商和并行检测

CH182 支持 IEEE 802.3u 协议，可兼容其他支持自动协商的以太网收发器 Transceiver。CH182 可以自动检测网络连接，并确定两个设备间可能的最高速度及双工配置。如果对端不支持自动协商，CH182 将进入并行检测模式并启用半双工模式。CH182 将默认发送快速链接脉冲 FLP 并等待对端响应，如果收到 FLP，自动协商过程将继续进行；如果收到正常链路脉冲 NLP 或收到一个 100Mbps 的 IDLE 信号，CH182 将通过并行检测协商至 10Mbps 半双工模式或 100Mbps 半双工模式。

6.4 LED 功能

6.4.1 LED 和 PHY 地址

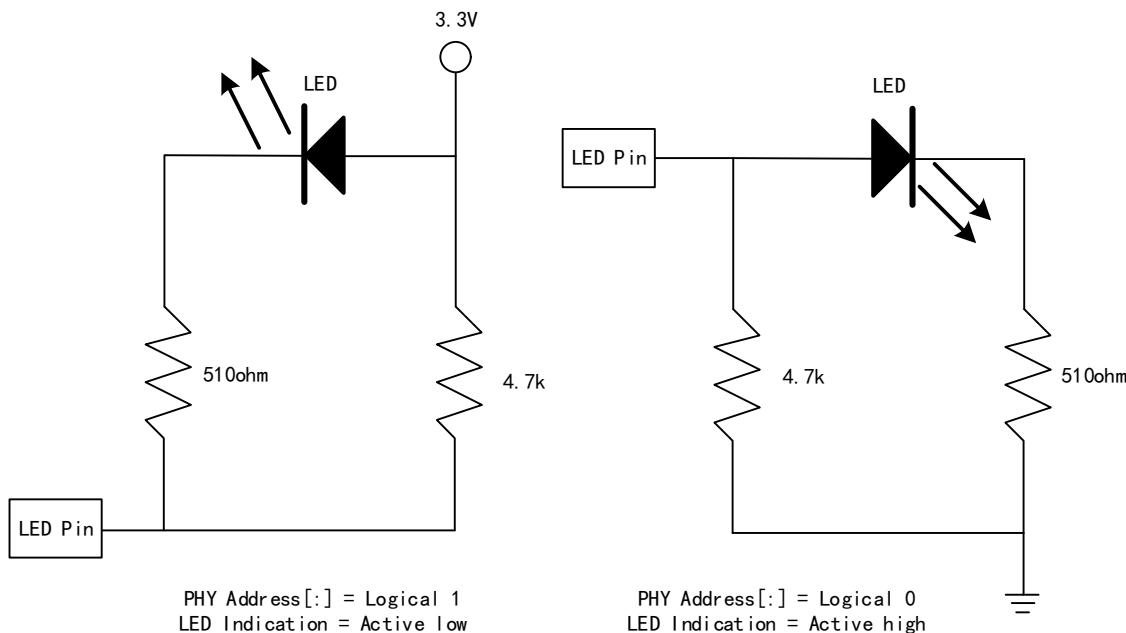
对于 CH182 和 CH181 系列芯片，由于 PHY 部分功能与 LED 引脚的上电锁存状态有关，因此必须考虑 PHY 的该功能和 LED 使用的外部组合以避免冲突。具体来说：

当使用引脚默认的上拉或下拉状态时，上电期间该 LED 引脚的输入电平应与其默认的上下拉电平保持一致，此时无需下图 6-3 中的 $4.7\text{K}\Omega$ 电阻。

当需要改变引脚默认的上拉或下拉状态时，上电期间该 LED 引脚的输入电平应与其默认的上下拉电平相反，此时下图 6-3 中的 $4.7\text{K}\Omega$ 电阻用于改变电平，不可省略。

以 CH182H2 芯片为例，当要改变 LED 引脚的默认上下拉状态时， $4.7\text{K}\Omega$ 电阻不可省略。如下图 6-3 所示，如果 CH182H2 芯片的 PA1 引脚外接上拉电阻，则 LED1 驱动输出为低电平有效（左侧图）；如果 PA0 引脚外接下拉电阻，则 LED0 驱动输出为高电平有效（右侧图）。PHY 地址配置引脚不能直接接 GND 或者电源，必须通过一个 $4.7\text{K}\Omega$ 电阻 ($3.9\text{K}\Omega \sim 5.6\text{K}\Omega$) 拉高或拉低。如果不需要 LED 指示，可以去掉 LED 及其限流电阻 ($330\Omega \sim 820\Omega$)。

图 6-3 CH182H2 芯片的 LED 和 PHY 地址配置图



6.4.2 链路监控

链路监控器检测链路完整性，如 LINK_{10} 、 LINK_{100} 、 $\text{LINK}_{10}/\text{ACT}$ 或者 $\text{LINK}_{100}/\text{ACT}$ 。每当链路状态建立时，指定的链路 LED 引脚被驱动为有效电平；一旦线缆断开，链路 LED 引脚被驱动为无效电平，指示没有网络连接。

6.4.3 LED 指示

在 10/100M 模式下，RX LED 闪烁指示正在接收数据。

在 10/100M 模式下，TX LED 闪烁指示正在发送数据。

在 10/100M 模式下，TX/RX LED 闪烁指示在发送或者接收数据。

在 10/100M 模式下，LINK/ACT LED 常亮指示连接成功。当该 LED 闪烁时，指示正在接收或发送数据包。

在 10/100M 模式下支持 LED 自定义功能。

6.5 停机低功耗模式

表 6-3 低功耗模式设置

模式	描述
PWD	将寄存器 0 的位 11 设置为 1，使 PHY 进入停机模式 PWD。 在 PWD 模式下，PHY 将关闭除 MDC/MDIO 管理接口外的所有模拟/数字功能。 在 PWD 模式下，MAC 可以通过 MDC/MDIO 唤醒 PHY，注意此时 PHY 不提供时钟。

6.6 10M/100M 发送和接收

6.6.1 100BASE-TX 发送和接收

100BASE-TX 发送：

需要发送的 4 位数据 TXD[3:0]经 4B/5B 编码后通过 25MHz 的 TXC 时钟信号传输，经并串变换后发送给线性驱动器输出。

100BASE-TX 接收：

接收的信号通过自适应均衡器补偿，经 ADC 模块和 DSP 模块处理后，送入串并转换模块，再经 5B/4B 译码后传递到 MII 或 RMII 接口。

6.6.2 10BASE-T 发送和接收

10BASE-T 发送：

需要发送的 4 位数据 TXD[3:0] 通过 2.5MHz 的 TXC 信号传输，经编码、送入 10M 波形发生器驱动线性驱动器模块输出。

10BASE-T 接收：

接收的信号通过 10M 接收机，数据恢复传递到 MII 或 RMII 接口。

6.7 自动极性校正

在 10BASE-T 模式下自动校正接收对的极性错误，100BASE-TX 模式下无需考虑极性。在 10BASE-T 模式下，通过检测有效间隔的链路脉冲校正极性错误。检测从 MDI 交叉检测阶段开始，并在 10BASE-T 链路连接时锁定。当链路断开时，极性状态就会被解锁。

6.8 网络唤醒 (WOL)

6.8.1 魔法包和唤醒帧格式

当收到魔法包或唤醒事件时，对于 CH182H1 芯片，可通过中断以唤醒 MAC 及系统，然后 MAC 及系统可以恢复到正常状态，以处理后续的工作。

而对于除 CH182H1 以外的 CH182 和 CH181 芯片，可通过电源管理事件引脚 PMEB（其中 B 表示低电平有效）输出低电平，从而唤醒 MAC 及系统，并进行后续的工作。PMEB 引脚需要通过一个 4.7KΩ 的电阻拉高至电源电压，默认为高电平。

所有 CH182 芯片均可监控网络中的魔法包，仅当满足以下条件时，魔法包唤醒才会触发：

- 接收到的魔术包的目标地址是 CH182 可以识别的。例如，以设备 MAC 地址为目标地址；
- 收到的魔术包不含 CRC 错误；
- 魔术包模式匹配。例如，数据包任何部分中包含：6*0xFF+16*DMAC（目标 MAC）。

除 CH182H 和 CH181H 芯片以外，其它 CH182 芯片可监控网络中的唤醒帧。只有满足以下条件时，才会发生唤醒帧事件：

- 接收到的唤醒帧的目标地址是 CH182 可以识别的，例如，以设备 MAC 地址为目标地址；
- 接收到的唤醒帧不包含 CRC 错误；
- 接收到的唤醒帧的 16 位 CRC 与本地唤醒帧 16 位 CRC 样本匹配，也可配置为允许直接分组唤醒。

6.8.2 低电平输出的网络唤醒

当 PHY 收到来自对端的唤醒帧或者魔法包时，对于 CH182H1 芯片，可通过 INTB 引脚输出低电平有效，令 MAC 及系统识别到低电平后唤醒。而对于除 CH182H1 以外的 CH182 和 CH181 芯片，则可通过 PMEB 引脚输出低电平有效，MAC 或系统识别到低电平后唤醒。PMEB 引脚由系统或 MAC 设置以恢复高电平。

6.8.3 低电平脉冲输出的网络唤醒

当 PHY 收到来自对端的唤醒帧或者魔法包时，对于 CH182H1 芯片，可通过 INTB 引脚输出低电平有效，令 MAC 及系统识别到低电平后唤醒。而对于除 CH182H1 以外的 CH182 和 CH181 芯片，则可通过 PMEB 引脚输出低电平脉冲有效，MAC 或系统识别到低电平后唤醒。PMEB 引脚由系统或 MAC 设置以恢复高电平。

6.8.4 网络唤醒引脚类型 (MII 模式)

名称	类型	正常			启用 WOL
		100M	10M	空闲	
TXC	0/PD	25MHz 输出	2.5MHz 输出	25MHz 输出	0 (2.5M/25M) /L/PD ⁽¹⁾
TXEN	I/PD	I	I	I	I/PD
TXD[3:0]	I/PD	I	I	I	I/PD
RXC	0/PD	25MHz 输出	2.5MHz 输出	25MHz 输出	0 (2.5M/25M) /L/PD ⁽²⁾
COL	0/PD	0	0	0	0/L/PD ⁽³⁾
CRS_DV	0/PD	0	0	0	0/L/PD ⁽³⁾
RXDV	0/PD	0	0	0	0/L/PD ⁽³⁾
RXD[0]	0/PD	0	0	0	0/L/PD ⁽³⁾
RXD[1]	0/PD	0	0	0	0/L/PD ⁽³⁾
RXD[2]	LI/O/PD	0	0	0	0/L/PD ⁽³⁾
RXD[3]	0/PD	0	0	0	0/L/PD ⁽³⁾
RXER	0/PD	0	0	0	0/L/PD ⁽³⁾
MDC	I/PU	I	I	I	I/PU
MDIO	I0/PU	I0	I0	I0	I0/PU

注 1: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 TXC, 引脚类型为 L。

注 2: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 RXC, 引脚类型为 L。

注 3: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 RX 所有接口信号, 引脚类型为 L。

6.8.5 网络唤醒引脚类型 (RMII 模式)

名称	类型	正常			启用 WOL
		100M	10M	空闲	
TXC (REFCLK) ⁽⁴⁾	I0/PD	50MHz 输入/输出	50MHz 输入/输出	50MHz 输入/输出	I/O (50M) ⁽⁴⁾
TXEN	I/PD	I	I	I	I/PD
TXD[0:1]	I/PD	I	I	I	I/PD
CRS_DV	0/PD	0	0	0	0/L/PD ⁽³⁾
RXD[0]	LI/O/PD	0	0	0	0/L/PD ⁽³⁾
RXD[1]	0/PD	0	0	0	0/L/PD ⁽³⁾
RXER	0/PD	0	0	0	0/L/PD ⁽³⁾
MDC	I/PU	I	I	I	I/PU
MDIO	I0/PU	I0	I0	I0	I0/PU

注 3: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 RX 所有接口信号, 引脚类型为 L。

注 4: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 TXC, 引脚类型为 L;

如果 TXC/REFCLK 处于输入模式 (MAC 到 PHY), 那么 REFCLK 不能在 WOL 启用时暂停;

如果 TXC/REFCLK 处于输出模式 (PHY 到 MAC), 那么 REFCLK 不建议暂停;

7、电气特性

7.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

表 7-1 绝对最大值参数表

符号	参数		最小值	最大值	单位
AVDD33	AVDD33或VDD33电源电压		-0.4	4.0	V
*VDDK	内部电源退耦端的电压		-0.2	1.5	V
VDDIO	接口I/O引脚电源电压		-0.4	4.0	V
V _{I0}	控制接口引脚上的电压 (V _{I0} 电源)		-0.4	V _{I0} +0.4	V
V _{I0X}	以太网引脚上的电压 (AVDD33电源)		-0.4	AVDD33+0.4	V
T _s	储存温度范围		-65	150	°C
T _J	结温度范围		-40	125	°C
T _A	环境温度	CH182	-40	85	°C
		CH181H	-10	70	

7.2 工作电压与直流特性

表 7-2 直流特性参数表 (AVDD33 = 3.3V, V_{I0} = 3.3V, T_A = 25°C)

符号	参数	条件	最小值	典型值	最大值	单位
AVDD33	AVDD33或VDD33电源电压	AVDD33 引脚	3.2	3.3	3.45	V
VDDIO	接口I/O引脚电源电压	CH182H, CH181H	3.1	3.3	3.5	V
		其他 CH182	1.7	3.3	3.5	V
V _{IL}	输入低电压	VDDIO = 3.3V	0	-	0.8	V
		VDDIO = 1.8V	0	-	0.6	V
V _{IH}	输入高电压	VDDIO = 3.3V	2.0	-	V _{I0}	V
		VDDIO = 1.8V	1.2	-	V _{I0}	V
I _{IL}	输入低漏电电流	输入电压0V	-5		5	uA
I _{IH}	输入高漏电电流	输入电压V _{I0}	-5		5	uA
V _{OL}	输出低电压	I _{OL} = 8mA	-	-	0.4	V
V _{OH}	输出高电压	I _{OH} = -8mA	V _{I0} -0.4	-	-	V
R _{pu}	内置上拉电阻的阻值		25	50	100	KΩ
R _{pd}	内置下拉电阻的阻值		25	50	100	KΩ
R _{pumdio}	MDIO内置上拉电阻的阻值	默认开启		1.5		KΩ
V _{LVR}	AVDD33或VDD33电源低压复位的电压门限		2.7	2.9	3.1	V

7.3 供电电流特性

表 7-3 电流消耗表 (AVDD33 = 3.3V, V_{I0} = 3.3V, T_A = 25°C)

符号	参数	条件 (所有电流, 含网络变压器)	典型值		单位
			MII模式	RMII模式	
I _{DD}	传输状态下的 供应电流	100BASE-TX通路链接成功并且在收发通道 上有数据包	60.0	60.4	mA
		10BASE-TX通路链接成功并且在收发通道 上有数据包	28.8	34.2	
	空闲状态下的 供应电流	100BASE-TX通路链接成功并且在收发通道 上无任何数据包	61.2	61.4	mA
		10BASE-TX通路链接成功并且在收发通道	25.8	28.1	

	上无任何数据包			
断开状态下的 供应电流	100BASE-TX和10BASE-TX通路均未链接成 功且PHY处于自动协商状态。	38. 5	38. 4	mA
停机状态下的 供应电流	仅SMI接口处于工作状态	0. 2	0. 2	

7.4 上电时序

图 7-1 上电时序图

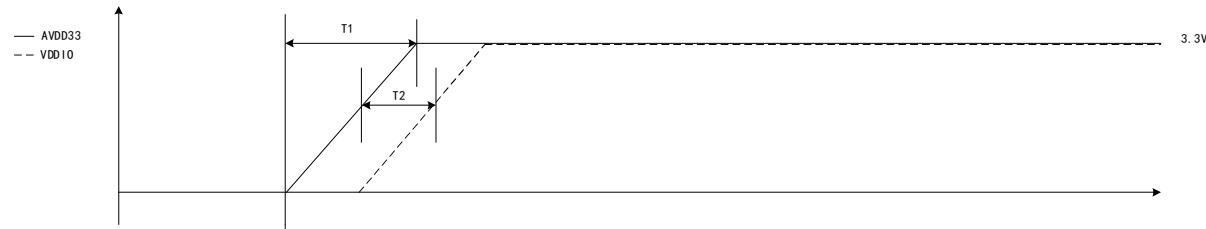
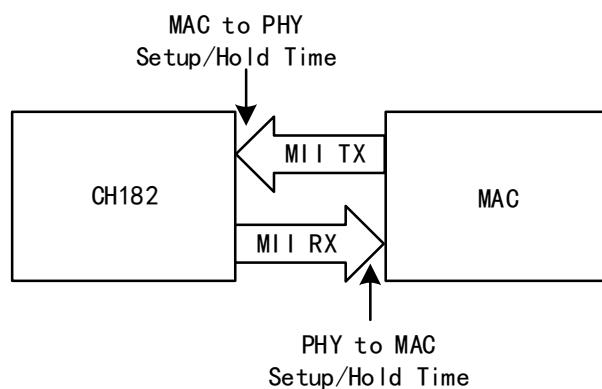


表 7-4 上电时序表

符号	参数	最小值	典型值	最大值	单位
T1	AVDD33 上电时的电压上升时间	1		10000	us
T2	VDD10 供电相对 AVDD33 供电的延迟时间	0	0	1	ms
Tpor	PHY 芯片的上电复位时间（此后 PHY 可访问）	6.4	8.5	10.5	ms
Trst	RSTB 低电平脉冲后的复位时间（此后 PHY 可访问）	10			us

7.5 MII 发送周期时序

图 7-2 MII 接口设置/保持时间示意图



MII 接口上 MAC 到 PHY 的数据包发送过程如下：

图 7-3 MII 发送周期时序图

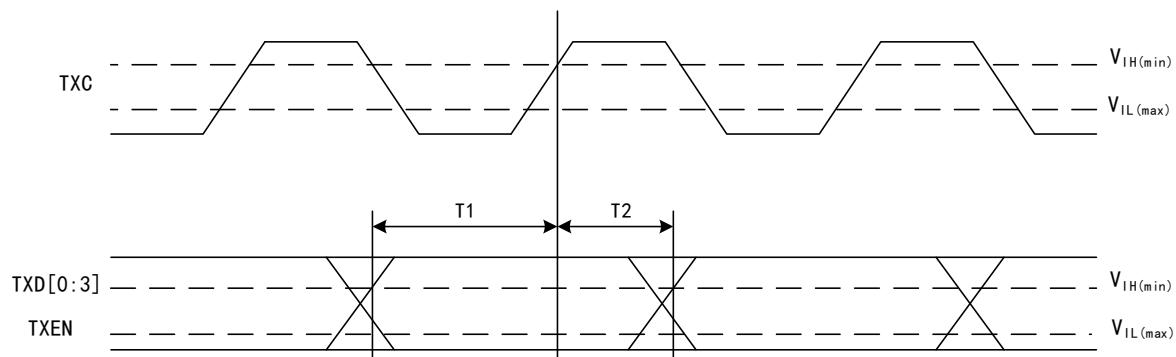


表 7-5 MII 传输周期时序表

符号	参数	条件	最小值	典型值	最大值	单位
T1	TXEN, TXD[0:3] 建立到 TXC 上升沿	100Mbps	7			ns
		10Mbps	5			ns
T2	TXEN, TXD[0:3] 在 TXC 上升沿后保持	100Mbps	0			ns
		10Mbps	0			ns

7.6 MII 接收周期时序

MII 接口上 PHY 到 MAC 的数据包发送过程如下：

图 7-4 MII 接收周期时序图

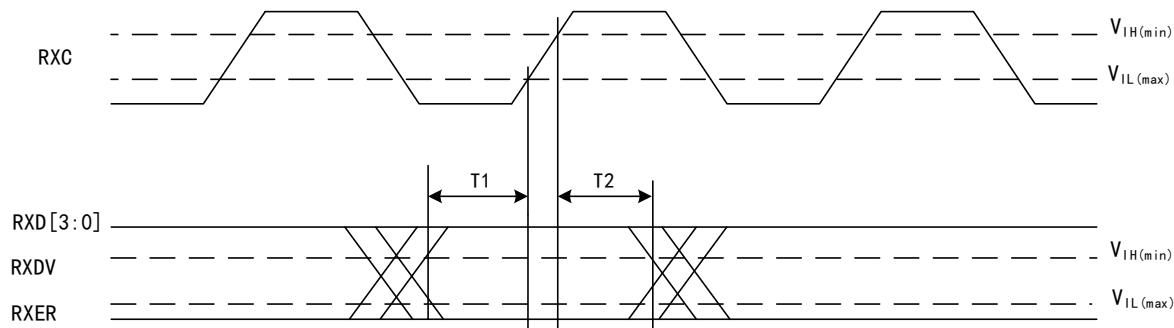


表 7-6 MII 接收周期时序表

符号	参数	条件	最小值	典型值	最大值	单位
T1	RXER、RXDV、RXD[0:3] 建立到 RXC 上升沿	100Mbps	5			ns
		10Mbps	5			ns
T2	RXER、RXDV、RXD[0:3] 在 RXC 上升沿后保持	100Mbps	10			ns
		10Mbps	10			ns

7.7 RMII 发送和接收周期时序

图 7-5 RMII 接口设置、保持时间和输出延迟时间示意图

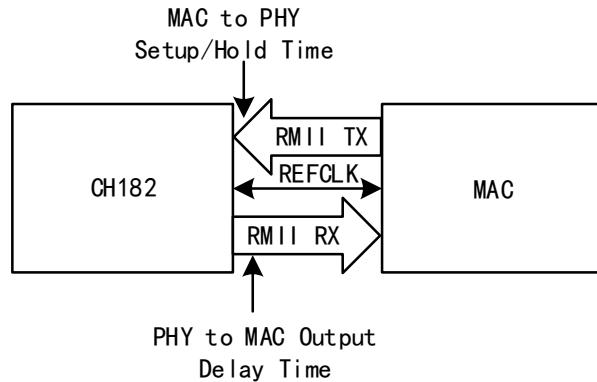


图 7-6 RMII 发送和接收周期时序图

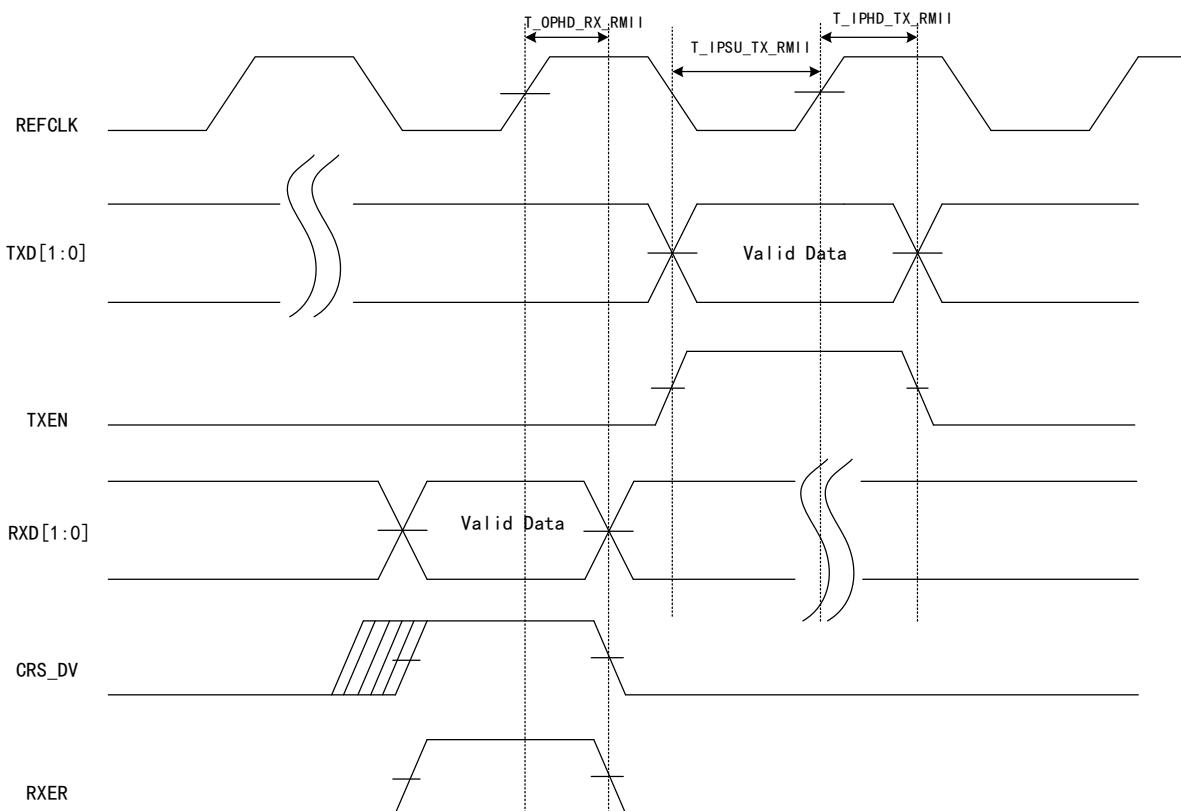


表 7-7 RMII 传输和接收周期时序表

符号	参数	最小值	典型值	最大值	单位
REFCLK Frequency	参考时钟的频率		50		MHz
REFCLK Duty Cycle	参考时钟的占空比	40		60	%
T_IPSU_TX_RMII	TXD[1:0]/TXEN建立时间至REFCLK	5			ns
T_IOPHD_TX_RMII	TXD[1:0]/TXEN从REFCLK的保持时间	2			ns
T_OPHD_RX_RMII	RXD[1:0]/CRS_DV/RXER从REFCLK输出的延迟时间	2			ns

注：1. RMII TX 时序可通过页 7 寄存器 16 位[11:8]来调整，可调分辨率约 1.5ns，建议用默认值；
 2. RMII RX 时序可通过页 7 寄存器 16 位[7:4]来调整，可调分辨率约 1.5ns，建议用默认值。

7.8 MDC/MDIO 时序

图 7-7 MDC/MDIO 接口设置、保持时间和来自 MDC 上升沿的有效时间示意图

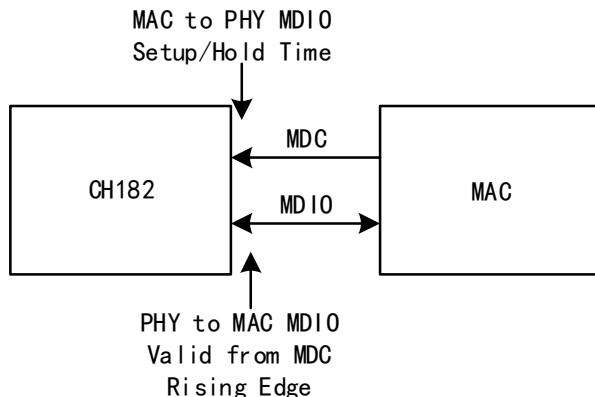


图 7-8 MDC/MDIO 时序

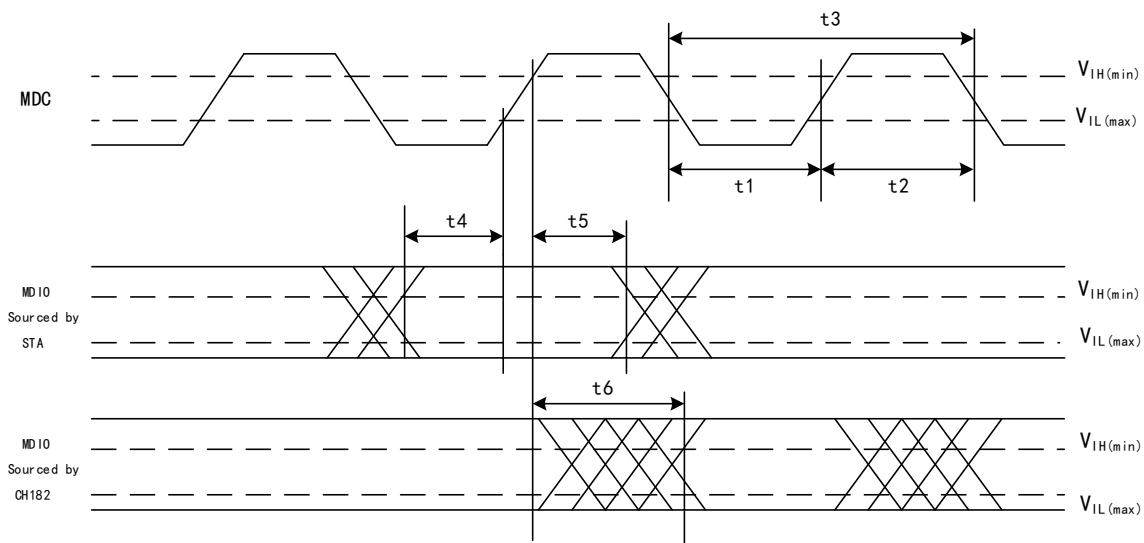


表 7-8 MDC/MDIO 时序表

符号	参数	最小值	典型值	最大值	单位
t1	MDC高脉冲宽度	100			ns
t2	MDC低脉冲宽度	100			ns
t3	MDC周期	200			ns
t4	MDIO建立到MDC上升沿	10			ns
t5	从MDC上升沿开始的MDIO保持时间	10			ns
t6	MDC上升沿的MDIO有效	0	180		ns

7.9 晶体振荡器/时钟特性

表 7-9 晶体振荡器/时钟特性表

符号	参数	条件	最小值	典型值	最大值	单位
TCKF	晶体频率	建议不超过30ppm	24.999	25	25.001	MHz
TPWH	OSC脉冲宽度高	-	15	20	25	ns
TPWL	OSC脉冲宽度低	-	15	20	25	ns

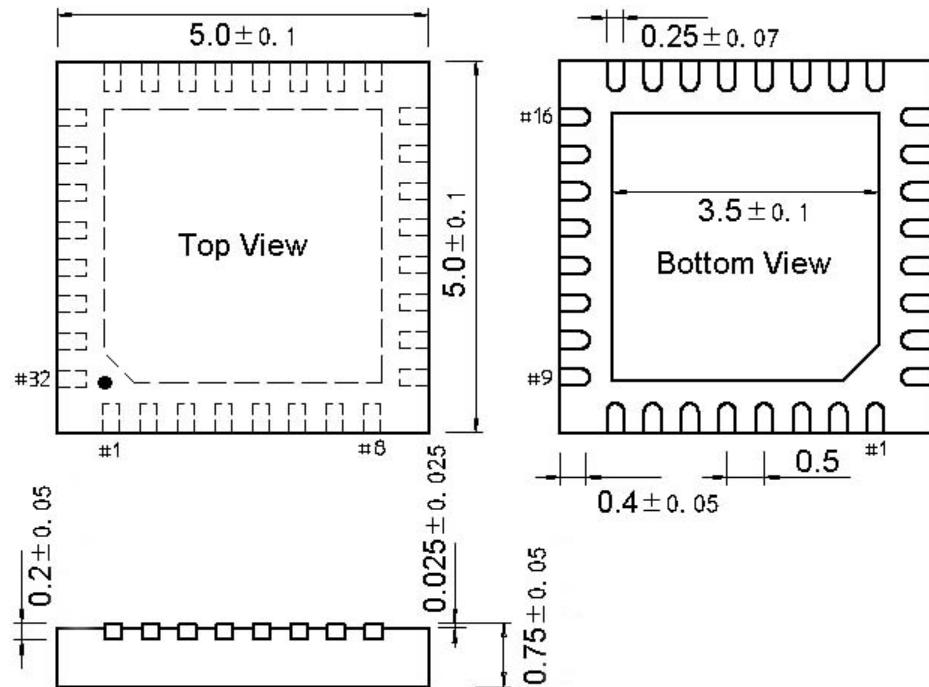
注： $X1$ 和 $X0$ 引脚已分别内置负载电容 $12pF$ 的外部晶体所需的两个振荡电容，外部只需要晶体。
如果另选负载电容 $20pF$ 的外部晶体，那么 $X1$ 和 $X0$ 需要分别对地额外加 $15pF$ 的振荡电容。
当 $X1$ 接 GND 后，可支持从 $X0$ 引脚输入 $25MHz$ 或者 $50MHz$ 外部时钟。

8、封装信息

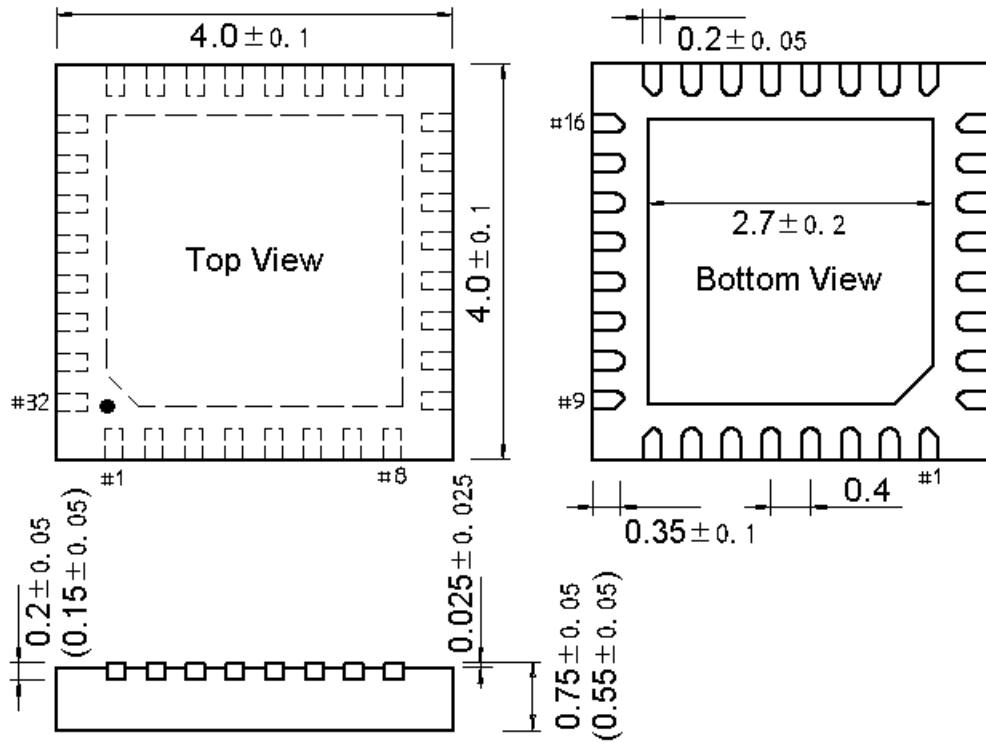
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 。

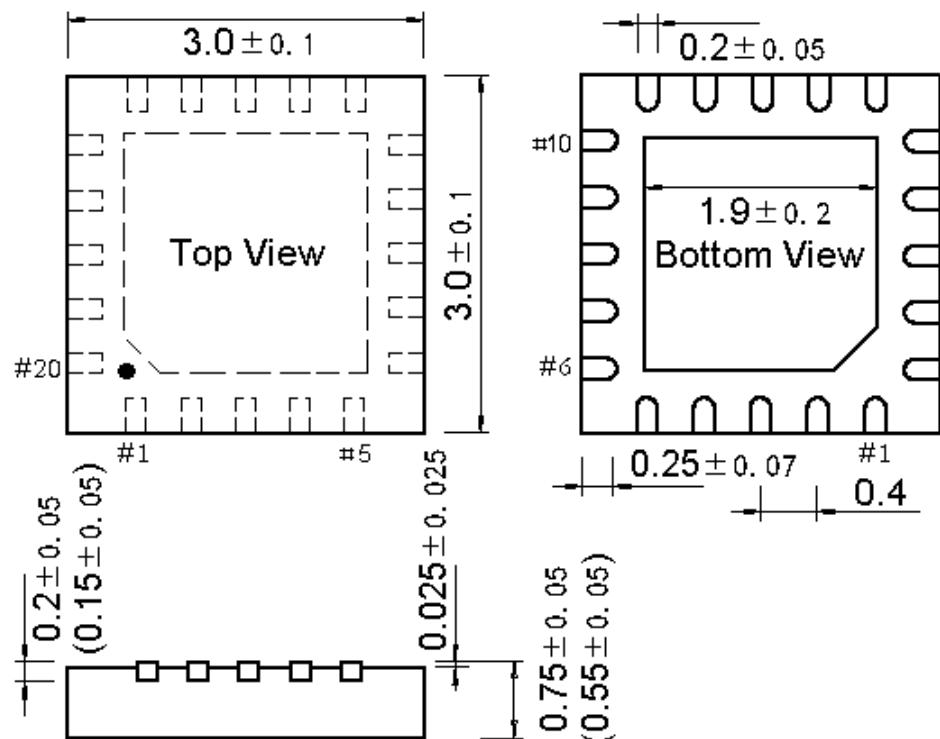
8.1 QFN32X5 封装



8.2 QFN32 封装

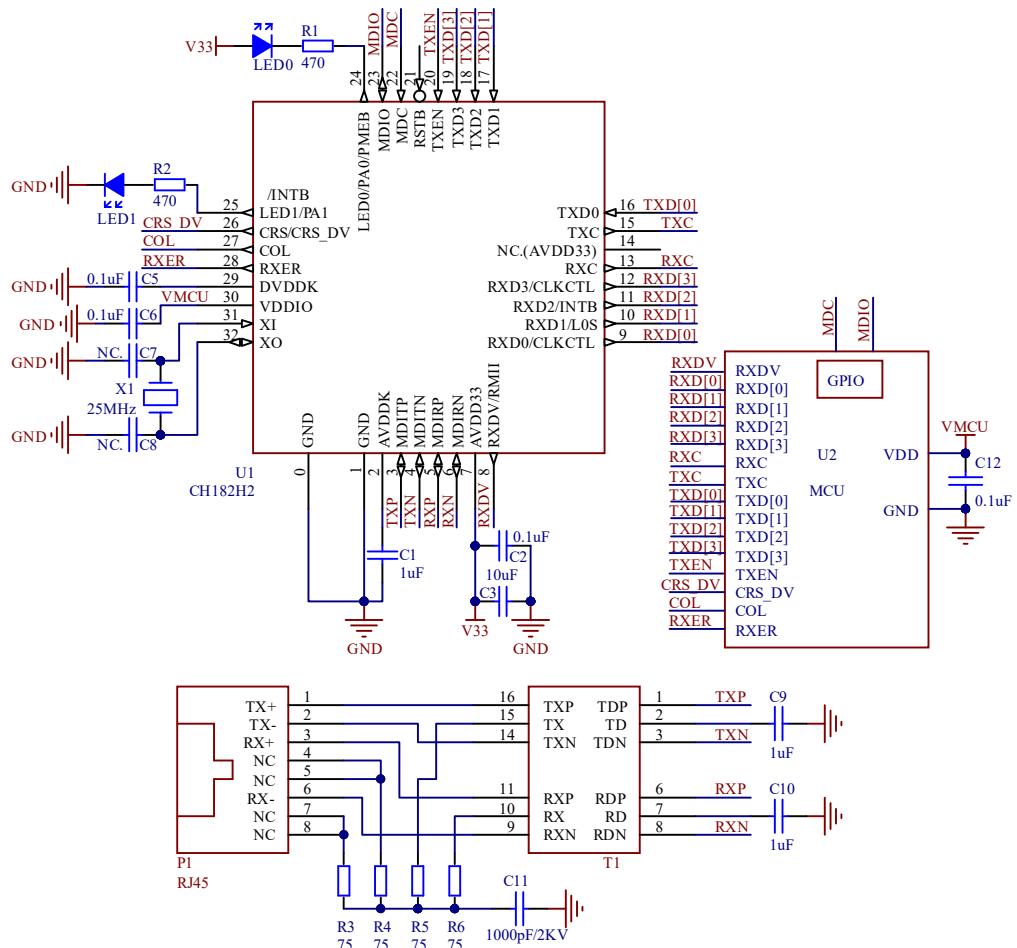


8.3 QFN20 封装



9、应用

9.1 MII 接口应用



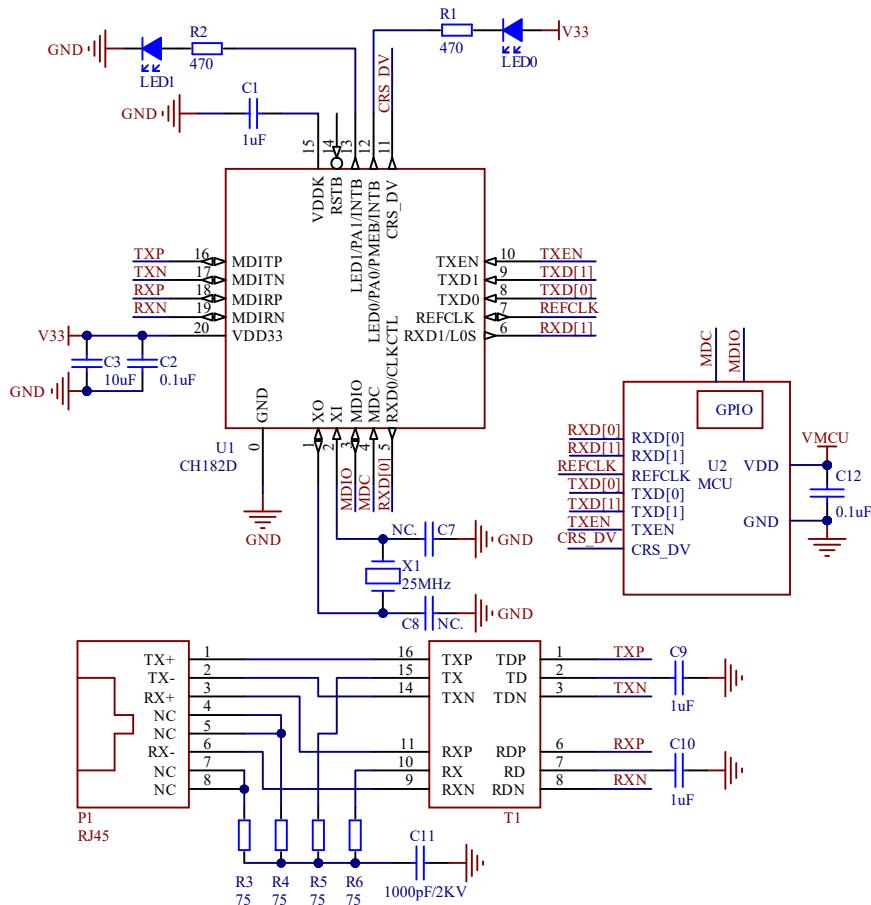
CH182 已内置了晶体 X1 的部分振荡电容，C7 和 C8 可以根据晶体参数调节。对于负载电容为 12pF 的 X1，无需 C7 和 C8；对于负载电容为 20pF 的 X1，C7 和 C8 建议各 15pF。

T1 是 ethernet 网络变压器，其中心抽头分别通过电容 C9/C10 接地，不要接任何电源。

CH182 已内置以太网 50Ω 阻抗匹配电阻，外部不要再接 49.9Ω 或 50Ω 电阻，等效于电压驱动。

CH182 支持免网络变压器、电容隔离的以太网应用。

9.2 RMII 接口应用



CH182 已内置了晶体 X1 的部分振荡电容，C7 和 C8 可以根据晶体参数调节。对于负载电容为 12pF 的 X1，无需 C7 和 C8；对于负载电容为 20pF 的 X1，C7 和 C8 建议各 15pF。

T1 是 ethernet 网络变压器，其中心抽头分别通过电容 C9/C10 接地，不要接任何电源。

CH182 已内置以太网 50Ω 阻抗匹配电阻，外部不要再接 49.9Ω 或 50Ω 电阻，等效于电压驱动。

CH182 支持免网络变压器、电容隔离的以太网应用。