

AAD16J250K

六通道、250KSPS-16Bits、同步采样模数转换器(ADC)

1 产品特点

- 真双极性模拟输入范围: $\pm 4 \times V_{REF}$ 、 $\pm 2 \times V_{REF}$
- 支持 5V 单模拟电源, V_{DRIVE} : 2.7V 至 5.25V
- 完全集成的数据采集解决方案
 - 模拟输入钳位保护
 - 片内精密基准电压源及缓冲器
 - 16 位、250kSPS ADC (所有通道)
- 灵活的并行 / 串行接口
 - SPI/QSPI™/MICROWIRE™/DSP 兼容
- 可靠性
 - 模拟输入通道提供 2kV ESD 额定值
- 64 引脚 LQFP 封装

2 产品描述

AAD16J250K 是一个 16-bit、快速、低功耗逐次逼近型 ADC, 吞吐速率高达 250kSPS, 并且内置低噪声、可变增益放大器。转换过程与数据采集利用 CONVST 信号和内部振荡器进行控制。

三个 CONVST 引脚允许三对 ADC 独立地进行同步采样。AAD16J250K 均具有一个高速并行接口和一个高速串行接口, 为器件与微处理器或 DSP 的接口连接创造了条件。在串行接口模式下, 这些器件都允许多个 ADC 以菊花链形式连接至单个串行接口。输入信号可在 $\pm 4 \times V_{REF}$ 和 $\pm 2 \times V_{REF}$ 范围内支持真双极性输入信号。此外还内置一个 2.5V 片内基准电压源。

3 应用范围

- 电力线路监控和保护

- 多相电机控制
- 仪器仪表和控制系统
- 多轴定位系统
- 数据采集系统

4 主要性能指标

- 分辨率: 16Bits
- SNR: 83.3dB@ $\pm 10V$
- SNR: 82.3dB@ $\pm 5V$
- SFDR: 94.6dB@ $\pm 10V$
- SFDR: 95.9dBc@ $\pm 5V$
- 输入电压范围: $\pm 10V/\pm 5V$ (TYP)
- DNL/INL: $\pm 1LSB/\pm 4LSB$ (TYP)
- 功耗: 176mW@ $f_{SAMPLE} = 250kSPS$

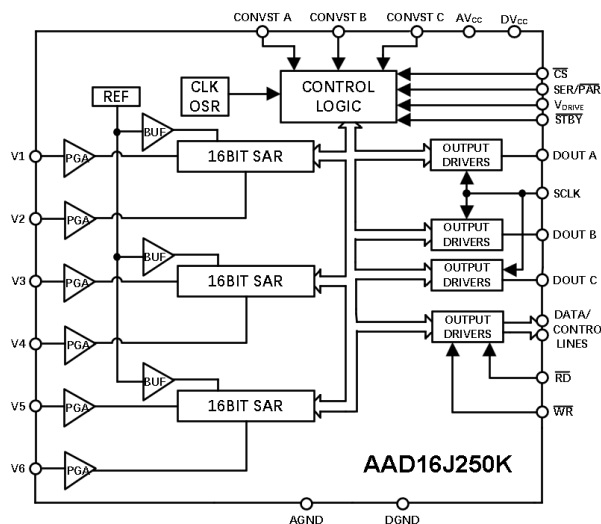


图 4-1 AAD16J250K 结构框图

目录

1	产品特点	1
2	产品描述	1
3	应用范围	1
4	主要性能指标	1
	目录	2
5	引脚配置	3
6	性能参数	7
6.1	绝对最大额定值	7
6.2	封装热阻	7
6.3	ESD 信息	7
6.4	技术规格	7
6.5	时序规格	9
6.6	典型测试结果	10
7	产品详细描述	11
7.1	转换器详解	11
7.2	ADC 传递函数	11
7.3	基准电压源部分	11
7.4	并行接口部分	12
7.5	ADC 软件选择	13
7.6	更改模拟输入范围	15
7.7	串行接口部分	15
7.8	串行读取操作	16
7.9	菊花链模式	16
7.10	待机/部分掉电省电工作模式	18
8	推荐设计电路	18
9	封装和订购信息	20
10	修订版次	21
11	声明	22

5 引脚配置

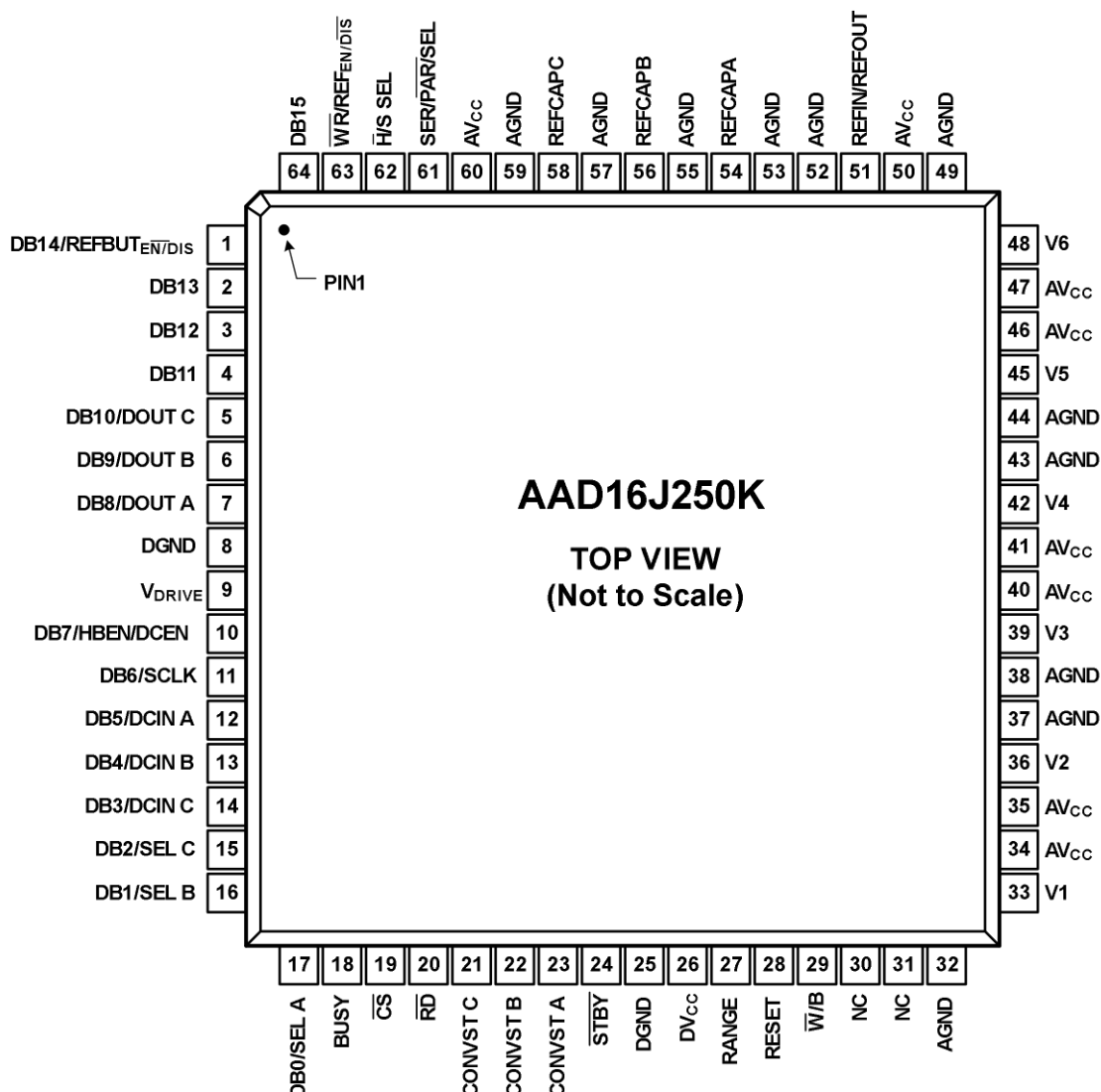


图 5-1 AAD16J250K 封装引脚分布图（顶视图）

表 5-1 AAD16J250K 引脚说明

引脚		类型	功能描述
引脚编号	引脚名称		
54,56,58	REFCAPA,REFCAPB,REFCAPC	REF	去耦电容连接到这些引脚。这会对每对 ADC 的基准电压缓冲器进行去耦。每个 REFCAP 引脚应通过 10uF 和 100nF 电容去耦至 AGND
33,36,39,42,45,48	V1 至 V6	AI	模拟输入 1 至 6。这些是单端模拟输入。在硬件模式下，这些通道上的模拟输入范围由 RANGE 引脚决定。在软件模式下，由控制寄存器的 Bit RNGC 至 Bit RNGA 决定。
32,37,38,43,44,49,52,53,55,57,59	AGND	P	模拟地
26	DV _{CC}	P	数字电源 4.75V 至 5.25V。DV _{CC} 和 AV _{CC} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过 0.3V。应将此电源去耦至 DGND，并且 10uF 和 100nF 去耦电容应接在 DV _{CC} 引脚上。
9	V _{DRIVE}	P	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。此引脚的标称电源与主机接口电源相同。应将此引脚去耦至 DGND，并且 10uF 和 100nF 去耦电容应接在 V _{DRIVE} 引脚上。

引脚		类型	功能描述
引脚编号	引脚名称		
8,25	DGND	P	数字地。
34,35,40,41,46,47,50,60	AV _{CC}	P	模拟电源电压, 4.75V 至 5.25V。这是 ADC 内核的电源电压。AV _{CC} 和 DV _{CC} 电压在理想情况下应保持等电位, 并且电位差(甚至在瞬态电压存在情况下)不得超过 0.3V。应将这些电源引脚去耦至 AGND, 并且 10uF 和 100nF 去耦电容应接在 AV _{CC} 引脚上。
23,22,21	CONVST A, CONVST B, CONVST C	DI	转换开始输入 A、B 和 C。这些逻辑输入用来启动 ADC 对转换。CONVST A 用来启动 V1 和 V2 同步转换。CONVST B 用来启动 V3 和 V4 同步转换。CONVST C 用来启动 V5 和 V6 同步转换。当 CONVSTx 引脚从低电平变为高电平时, 所选 ADC 对的取样保持开关从采样切换到保持, 然后便启动转换。利用这些输入端, 还可让 ADC 对进入部分掉电省电模式。
19	$\overline{CS}$	DI	片选。此低电平有效逻辑输入使能数据帧传输。在并行模式下, 如果 $\overline{CS}$ 和 $\overline{RD}$ 均处于逻辑低电平, 则会使能输出总线, 使转换结果输出在并行数据总线上。在并行模式下, 如果 $\overline{CS}$ 和 $\overline{WR}$ 均处于逻辑低电平, 则利用 DB[15:8]将数据写入片上控制寄存器。在串行模式下, 利用 $\overline{CS}$ 使能串行数据帧传输, 并逐个输出串行输出数据的最高有效位 (MSB)。
20	$\overline{RD}$	DI	读取数据。在并行模式下, 如果 $\overline{CS}$ 和 $\overline{RD}$ 均处于逻辑低电平, 则会使能输出总线。在串行模式下, $\overline{RD}$ 线路应保持低电平。
63	$\overline{WR}/REF_{EN/DIS}$	DI	写入数据/使能和禁用基准电压源。当 $\overline{H}/S\ SEL$ 引脚处于高电平, 且 $\overline{CS}$ 和 $\overline{WR}$ 均处于逻辑低电平时, 利用 DB[15:8]将数据写入内部控制寄存器。当 $\overline{H}/S\ SEL$ 引脚处于低电平时, 此引脚用来使能或禁用内部基准电压源。当 $\overline{H}/S\ SEL=0$ 且 $REF_{EN/DIS}=0$ 时, 禁用内部基准电压源, 应将外部基准电压源施加到 REFIN/REFOUT 引脚。当 $\overline{H}/S\ SEL=0$ 且 $REF_{EN/DIS}=1$ 时, 使能内部基准电压源, 且应该对 REFIN/REFOUT 引脚进行去耦。参见“基准电压源”部分。
18	BUSY	DO	BUSY 输出。开始转换时, 此引脚变为高电平, 并保持高电平直到转换完成, 并且转换数据被锁存到输出数据寄存器。当 BUSY 信号为高电平时, 不应在 ADC 上启动新的转换。
51	REFIN/REFOUT	REF	基准电压输入/输出。此引脚提供片上基准电压, 供 ADC 外部使用。或者, 可禁用内部基准电压源, 并将外部基准电压源施加到此输入端。参见“基准电压源”部分。使能内部基准电压源时, 应利用至少一个 10uF 去耦电容对此引脚去耦。
61	SER/ $\overline{PAR}$ /SEL	DI	串行/并行/选择输入。当此引脚处于低电平时, 选择并行接口。当此引脚处于高电平时, 选择串行接口模式。在串行模式下, DB[10:8]用作 DOUT[C:A], DB[0:2]用作 DOUT 选择且 DB7 用作 DCEN。在串行模式下, DB15 和 DB[13:11]应与 DGND 相连。
17	DB0/SEL A	DO/DI	数据 Bit0/选择 DOUT A。当 SER/ $\overline{PAR}$ =0 时, 此引脚充当三态并行数字输出引脚。当 SER/ $\overline{PAR}$ =1 时, 此引脚用作 SELA, 并用来配置串行接口。如果此引脚为 1, 则串行接口使用 1/2/3 个 DOUT 输出引脚工作, 并使能 DOUTA 作为串行输出端。在串行模式下, 此引脚应始终等于 1。
16	DB1/SEL B	DO/DI	数据 Bit1/选择 DOUT B。当 SER/ $\overline{PAR}$ =0 时, 此引脚充当三态并行数字输出引脚。当 SER/ $\overline{PAR}$ =1 时, 此引脚用作 SELB, 并用来配置串行接口。如果此引脚为 1, 则串行接口使用 2/3 个 DOUT 输出引脚工作, 并使能 DOUTB 作为串行输出端。如果此引脚为 0, 则不使能 DOUTB 作为串行数据输出端引脚, 而仅使用一个 DOUT 输出引脚 DOUTA。不用的串行 DOUT 引脚应保持不连接。
15	DB2/SEL C	DO/DI	数据 Bit2/选择 DOUT C。当 SER/ $\overline{PAR}$ =0 时, 此引脚充当三态并行数字输出引脚。当 SER/ $\overline{PAR}$ =1 时, 此引脚用作 SELC, 并用来配置串行接口。如果此引脚为 1, 则串行接口使用 3 个 DOUT 输出引脚工作, 并使能 DOUTC 作为串行输出端。如果此引脚为 0, 则不使能 DOUTC 作为串行数据输出引脚。不用的串行 DOUT 引脚应保持不连接。

引脚		类型	功能描述
引脚编号	引脚名称		
14	DB3/DCIN C	DO/DI	数据 Bit3/菊花链输入 C。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}=1$ 且 $DCEN=1$ 时，此引脚充当菊花链输入 C。处于串行模式而非 DGND 菊花链模式下时，应将此引脚连接至 DGND。
13	DB4/DCIN B	DO/DI	数据 Bit4/菊花链输入 B。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}=1$ 且 $DCEN=1$ 时，此引脚充当菊花链输入 B。处于串行模式而非 DGND 菊花链模式下时，应将此引脚连接至 DGND。
12	DB5/DCIN A	DO/DI	数据 Bit5/菊花链输入 A。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}=1$ 且 $DCEN=1$ 时，此引脚充当菊花链输入 A。处于串行模式而非 DGND 菊花链模式下时，应将此引脚连接至 DGND。
11	DB6/SCLK	DO/DI	数据 Bit6/串行时钟。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}=1$ 时，此引脚用作 SCLK 输入，并成为串行传输的读取串行时钟。
10	DB7/HBEN/DCEN	DO/DI	数据 Bit7/高字节启用/菊花链启用。在并行字模式 ($SER/\overline{PAR}=0$ 且 $\overline{W}/B=0$)，此引脚用作数据 Bit7。在并行字节模式 ($SER/\overline{PAR}=0$ 且 $\overline{W}/B=1$)，此引脚用作 HBEN。在此模式下且 HBEN 引脚处于逻辑高电平时，则先在 DB[15:8] 上输出 MSB 字节数据。当 HBEN 引脚处于逻辑低电平时，则先在 DB[15:8] 上输出 LSB 字节数据。在串行模式 ($SER/\overline{PAR}=1$) 下，此引脚用作 DCEN。当 DCEN 引脚处于逻辑高电平时，则器件采用菊花链模式工作，同时 DB[5:3] 用作 DCIN[A:C]。处于串行模式而非 DGND 菊花链模式下时，应将此引脚连接至 DGND。
7	DB8/DOUT A	DO/DI	数据 Bit8/串行数据输出 A。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}=1$ 且 $SELA=1$ 时，此引脚用作 DOUT A，并输出串行转换数据。
6	DB9/DOUT B	DO/DI	数据 Bit9/串行数据输出 B。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}=1$ 且 $SELB=1$ 时，此引脚用作 DOUT B，并输出串行转换数据。在此配置下，串行接口具有两路 DOUT 输出线。
5	DB10/DOUT C	DO/DI	数据 Bit10/串行数据输出 C。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}=1$ 且 $SELC=1$ 时，此引脚用作 DOUT C，并输出串行转换数据。在此配置下，串行接口具有三路 DOUT 输出线。
4	DB11	DO/DI	数据 Bit11/数字地。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}=1$ 时，此引脚应与 DGND 相连。
3,2,64	DB12,DB13,DB15	DO/DI	数据 Bit12、数据 Bit13、数据 Bit15。当 $SER/\overline{PAR}=0$ 时，这些引脚充当三态并行数字输入/输出引脚。当 $\overline{CS}$ 和 $\overline{RD}$ 处于低电平状态时，这些引脚用来输出转换结果。当 $\overline{CS}$ 和 $\overline{WR}$ 均处于低电平时，这些引脚用来写入控制寄存器。当 $SER/\overline{PAR}=1$ 时，这些引脚应与 DGND 相连。
1	DB14/REFBUF _{DIS/EN}	DO/DI	数据 Bit14/REFBUF 使能/禁用。当 $SER/\overline{PAR}=0$ 时，此引脚充当三态数字输入/输出引脚。当 $SER/\overline{PAR}=1$ 时，此引脚可用来使能或禁用内部基准电压缓冲器。
28	RESET	DI	复位输入。当设为逻辑高电平时，此引脚可复位 ADC。当前转换(如有)中止。内部寄存器设为全 0。在硬件模式下，根据硬件选择引脚上的逻辑电平来配置 ADC。在两种模式下，器件应该在上电后收到一个 RESET 高脉冲。复位高电平脉冲宽度典型值为 100ns。在 RESET 脉冲之后，ADC 需由有效的 CONVST 脉冲启动转换；CONVST 脉冲应包括一个高至低的 CONVST 下降沿，随后是一个低至高的 CONVST 上升沿。CONVST 信号应在 RESET 脉冲期间保持高电平。
27	RANGE	DI	模拟输入范围选择。逻辑输入。此引脚的逻辑电平决定模拟输入通道的输入范围。当此引脚在 BUSY 下降沿为逻辑 1 时，下一次转换的范围为 $\pm 2 \times VREF$ 。当此引脚在 BUSY 下降沿为逻辑 0 时，下一次转换的范围为 $\pm 4 \times VREF$ 。在硬件选择模式下，在 BUSY 下降沿检查 RANGE 引脚。在软件模式 ($\overline{H}/S\ SEL=1$) 下，可将 RANGE 引脚和 DGND 相连，然后由控制寄存器内的 RNGA、RNGB 和 RNCG bits 决定输入范围。

引脚		类型	功能描述
引脚编号	引脚名称		
30,31	NC		
24	$\overline{\text{STBY}}$	DI	待机模式输入。此引脚用来让 ADC 进入待机模式。 $\overline{\text{STBY}}$ 引脚处于高电平时表示正常操作，处于低电平时表示待机操作。
62	$\overline{\text{H/S SEL}}$	DI	硬件/软件选择输入。逻辑输入。当 $\overline{\text{H/S SEL}}=0$ 时，ADC 在硬件选择模式下工作，并通过 CONVST 引脚来选择需同步采样的 ADC 对。当 $\overline{\text{H/S SEL}}=1$ 时，通过写入控制寄存器操作来选择需同步采样的 ADC 对。在串行模式下，CONVSTA 用来启动对所选 ADC 对的转换。
29	$\overline{\text{W/B}}$	DI	字/字节输入。当此引脚处于逻辑低电平时，可利用并行数据线 DB[15:0]来传输 ADC 的输入输出数据。当此引脚处于逻辑高电平时，使能字节模式。在此模式下，利用数据线 DB[15:8]来传输数据，DB[7]用作 HBEN。要获得 16-bit 转换结果，需进行双字节读取。在串行模式下，此引脚应与 DGND 相连。

6 性能参数

6.1 绝对最大额定值

注意，超出绝对最大额定值可能会导致器件永久性损坏。绝对最大额定值仅代表产品的压力等级，不作为实现产品功能的工作条件的限值，超过本手册中推荐工作条件章节的限值均是不推荐的行为。

参数	最小值	最大值
AV _{CC} 至 AGND、DGND	-0.3V	+7V
DV _{CC} 至 AV _{CC}	-0.3V	AV _{CC} +0.3V
DV _{CC} 至 AGND、DGND	-0.3V	+7V
AGND 至 DGND	-0.3V	+0.3V
V _{DRIVE} 至 DGND	-0.3V	DV _{CC} +0.3V
模拟输入电压至 AGND	V _{SS} -0.3V	V _{DD} +0.3V
数字输入电压至 DGND	-0.3V	V _{DRIVE} +0.3V
数字输出电压至 GND	-0.3V	V _{DRIVE} +0.3V
REFIN 至 AGND	-0.3V	AV _{CC} +0.3V
输入电流至除电源外的任何引脚	-10mA	10mA
工作温度范围	-40℃	+125℃
存储温度范围	-65℃	+150℃
结温	-	+150℃
铅锡焊接温度回流焊(10 秒至 30 秒)	-	+240℃
无铅回流焊温度	-	+260℃

6.2 封装热阻

以下数据为封装热阻仿真结果，仿真条件为自然空气对流环境，采用 JEDEC 2S2P PCB 测试板。

封装类型	θ_{JA}	θ_{JC-TOP}	θ_{JC-Bot}
64 脚 LQFP	42.1℃/W	7.31℃/W	18.1℃/W

6.3 ESD 信息

注意：本产品内置防静电保护装置有限，为了防止静电损坏门电路，在储存或处理过程中应使引脚短接在一起或将产品放置在导电泡沫材料中。

HBM (ANSI/ESDA/JEDEC JS 001 2017) : HBM 耐压值 2000V; HBM 等级: 2

6.4 技术规格

除非另有说明，VREF=2.5V 外部 / 内部基准电压，AV_{CC}=4.75V 至 5.25V，DV_{CC}=4.75V 至 5.25V，V_{DRIVE}=2.7V 至 5.25V，f_{SAMPLE}=250kSPS，T_A=T_{MIN} 至 T_{MAX} (T_{MIN}=-40℃，T_{MAX}=125℃)。

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	f _{IN} =10kHz 正弦波，除非另有说明				
信纳比(SINAD)	±4×VREF 范围	-	82.7	-	dB
	±2×VREF 范围	-	82	-	dB
信噪比 SNR	±4×VREF 范围	-	83.3	-	dB
	±2×VREF 范围	-	82.3	-	dB
总谐波失真(THD)	±4×VREF 范围	-	-91.6	-	dB
	±2×VREF 范围	-	-92.3	-	dB
杂散噪声(SFDR)	±4×VREF 范围	-	-94.6	-	dB
	±2×VREF 范围	-	-95.9	-	dB
通道间隔离	f _{IN} =30kHz，未选中通道的 f _{IN} 高达 100kHz	-	-88	-	dB
直流精度	-				
分辨率	-	-	16	-	bit
无失码	-	14	16	-	bit
积分非线性	-	-	±4.0	-	LSB
微分非线性	-	-	±1.0	-	LSB
正满量程误差	-	-	±0.22	±0.75	%FSR

参数	测试条件/注释	最小值	典型值	最大值	单位
正满量程误差匹配	-	-	-	±0.35	%FSR
双极性零电平误差	-	-	±0.006	±0.023	%FSR
双极性零电平误差匹配	-	-	-	±0.038	%FSR
负满量程误差	-	-	±0.22	±0.75	%FSR
负满量程误差匹配	-	-	-	±0.35	%FSR
模拟输入					
输入电压范围	RANGE=0 RANGE=1	-	±4×VREF ±2×VREF	-	V V
直流泄漏电流	-	-	-	±50	μA
输入电容	±4×VREF 范围 ±2×VREF 范围	-	14 14	-	pF
基准输入 / 输出					
基准输入电压范围	-	2.5	-	3	V
直流漏电流	-	-	-	±1	μA
输入电容	REF _{EN/DIS} =1	-	18.5	-	pF
基准输出电压	-	2.49	2.50	2.51	V
基准源温度系数	-	-	8	-	ppm/°C
逻辑输入					
输入高电压	-	0.7×V _{DRIVE}	-	-	V
输入低电压	-	-	-	0.3×V _{DRIVE}	V
输入电流	-	-	-	±1	μA
输入电容	-	-	-	10	pF
逻辑输出					
输出高电压	-	V _{DRIVE} -0.2	-	-	V
输出低电压	-	-	-	0.2	V
悬空态漏电流	-	-	-	±1	μA
悬空态输出电容	-	-	-	10	pF
输出编码	-	-	二进制补码	-	-
转换速率					
转换时间	-	-	2.95	3.1	μs
采集时间	-	0.9	1.05	-	μs
吞吐速率	仅限并行接口	-	-	250	kSPS
电源要求					
AV _{CC}	-	4.75	5	5.25	V
DV _{CC}	-	4.75	5	5.25	V
V _{DRIVE}	-	2.7	-	5.25	V
I _{TOTAL} 工作模式	f _{sample} =250kSPS	-	35	-	mA
功耗					
正常模式（工作）	f _{sample} =250kSPS	-	175	-	mW
关断模式	STBY=0	-	0.5	5	μW

6.5 时序规格

除非另有说明, VREF=2.5V 外部 / 内部基准电压, AVCC=4.75V 至 5.25V, DVCC=4.75V 至 5.25V, V_{DRIVE}=2.7V 至 5.25V, f_{SAMPLE}=250kSPS, T_A=T_{MIN} 至 T_{MAX} (T_{MIN}=-40℃, T_{MAX}=125℃)。

参数	T _{MAX} 、T _{MIN} 限值			单位	描述
	最小值	标准值	最大值		
并行模式					
t _{CONV}	-	3	-	us	转换时间，内部时钟
t _{QUIET}	150	-	-	ns	总线释放到下一次转换开始的最短安静时间
t _{ACQ}	550	-	-	ns	采集时间
t ₁₀	25	-	-	ns	最短 CONVST 低电平脉冲
t ₁	-	-	60	ns	CONVST 高电平到 BUSY 高电平
t _{WAKE-UP}	-	-	30	ms	$\overline{\text{STBY}}$ 上升沿到 CONVSTx 上升沿（使用内部基准模式）
t _{WAKE-UP}	-	-	2	ms	$\overline{\text{STBY}}$ 上升沿到 CONVSTx 上升沿（使用外部基准模式）
t _{WAKE-UP-PARITAL}	-	-	25	us	部分掉电省电模式
并行写入操作					
t ₁₁	15	--	-	ns	$\overline{\text{WR}}$ 脉冲宽度
t ₁₂	0		-	ns	$\overline{\text{CS}}$ 至 $\overline{\text{WR}}$ 建立时间
t ₁₃	5	-	-	ns	$\overline{\text{CS}}$ 至 $\overline{\text{WR}}$ 保持时间
t ₁₄	5	-	-	ns	$\overline{\text{WR}}$ 上升沿前的数据建立时间
t ₁₅	5	-	-	ns	$\overline{\text{WR}}$ 上升沿后的数据保持时间
并行读取操作					
t ₂	60	-	-	ns	BUSY 到 $\overline{\text{RD}}$ 延迟时间
t ₃	0	-	-	ns	$\overline{\text{CS}}$ 到 $\overline{\text{RD}}$ 建立时间
t ₄	3	-	-	ns	$\overline{\text{CS}}$ 到 $\overline{\text{RD}}$ 保持时间
t ₅	36	-	-	ns	$\overline{\text{RD}}$ 电平脉冲宽度
t ₆		-	36	ns	$\overline{\text{RD}}$ 下降沿后的数据访问时间
t ₇	10	-	-	ns	$\overline{\text{RD}}$ 上升沿后的数据保持时间
t ₈	-	-	12	ns	$\overline{\text{RD}}$ 上升沿后的总线释放时间
t ₉	6	-		ns	两次读取之间的最短间隔时间
串行接口					
f _{SCLK}	-	-	18	MHz	串行读取时钟频率
t ₁₆	-	-	12	ns	从 $\overline{\text{CS}}$ 直到 DOUTX 三态禁用的延迟时间
t ₁₇	-	-	22	ns	SCLK 上升沿/ $\overline{\text{CS}}$ 下降沿后的数据访问时间
t ₁₈	0.4t _{SCLK}	-	-	ns	SCLK 低电平脉冲宽度
t ₁₉	0.4t _{SCLK}	-	-	ns	SCLK 高电平脉冲宽度
t ₂₀	10	-	-	ns	在 SCLK 下降沿后 SCLK 到数据有效的保持时间
t ₂₁	-	-	18	ns	从 $\overline{\text{CS}}$ 上升沿到 DOUTX 三态使能

注：上述时序规格皆为设计保证值

6.6 典型测试结果

非特别注明，以下测试均在 $T_A=25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ ， $V_{\text{REF}}=2.5\text{V}$ 外部 / 内部基准电压， $AV_{\text{CC}}=4.75\text{V}$ 至 5.25V ， $DV_{\text{CC}}=4.75\text{V}$ 至 5.25V ， $V_{\text{DRIVE}}=2.7\text{V}$ 至 5.25V ， $f_{\text{SAMPLE}}=250\text{kSPS}$ 。

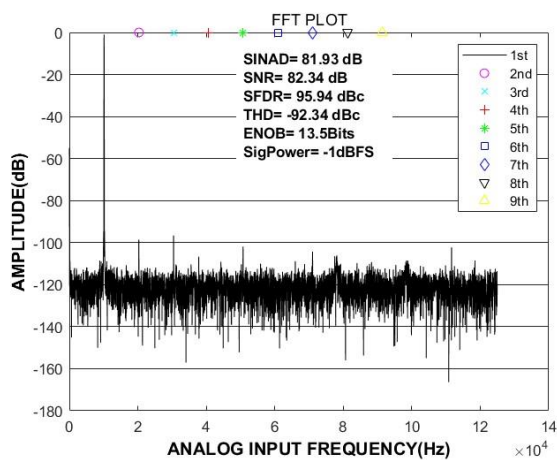


图 6-1 $F_{\text{IN}} = 10\text{kHz}$ Range = $\pm 2 \times V_{\text{REF}}$

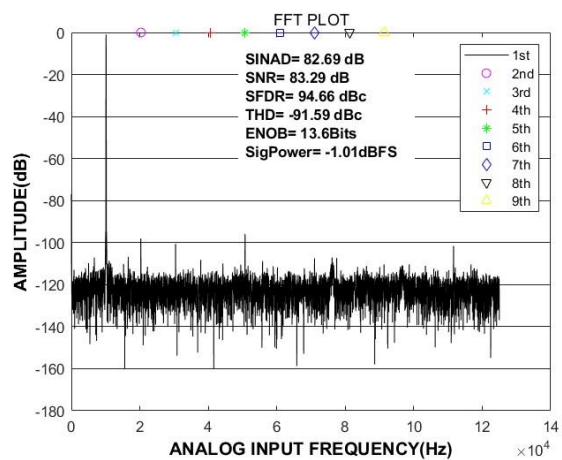


图 6-2 $F_{\text{IN}} = 10\text{kHz}$ Range = $\pm 4 \times V_{\text{REF}}$

7 产品详细描述

7.1 转换器详解

AAD16J250K 为高速、六通道、低功耗转换器，其模拟输入可以接受真双极性输入信号。可通过 RANGE 引脚或 RNGbits，选择 $\pm 4 \times V_{REF}$ 或 $\pm 2 \times V_{REF}$ 作为下一次转换的输入范围，内置一个高的精度 2.5V 基准电压源。当三个 CONVST 信号全部连在一起时，还允许对所有六个通道进行同步采样。或者，可将六个通道分成三对，每对都有一个相关的 CONVST 信号，用来对每对、四个或全部六个通道启动同步采样。CONVSTA 用来对 V1 和 V2 启动同步采样，CONVST B 用来对 V3 和 V4 启动同步采样，而 CONVST C 用来对 V5 和 V6 启动同步采样。通过脉冲激活 CONVST 输入，可启动 ADC 的转换。在 CONVSTx 上升沿时，所选通道的采样保持器进入保持模式，并开始转换。达到 CONVSTx 上升沿后，BUSY 信号变为高电平，表示正在进行转换。ADC 的转换时钟由内部产生，这些器件的转换时间典型值均为 3 μ s。BUSY 信号恢复低电平表示转换结束。在 BUSY 下降沿时，采样保持器返回跟踪模式。数据可通过并行或串行接口从输出寄存器读取。

AAD16J250K 需要一个 4.75V 至 5.25V 的低压 AV_{CC} 电源给 ADC 核心供电，一个 4.75V 至 5.25V 的 DV_{CC} 电源作为数字电源以及一个 2.7V 至 5.25V 的 V_{DRIVE} 电源作为接口电源。

7.2 ADC 传递函数

AAD16J250K 的输出编码方式为二进制补码。所设计的码转换在连续 LSB 整数值的中间(即 1/2LSB、3/2LSB)进行。AAD16J250K 的 LSB 大小为 FSR/65536，理想的传递特性如图 7-1 所示。

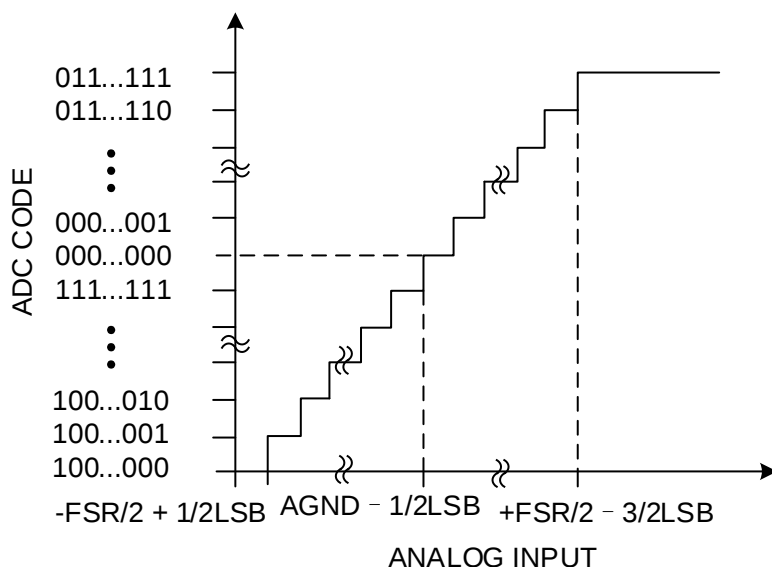


图 7-1 AAD16J250K 传递特性

7.3 基准电压源部分

REFIN/REFOUT 引脚既可以使用 AAD16J250K 的 2.5V 基准电压源，也允许连接外部基准电压源，以便提供各器件执行转换操作所需的基准电压源。AAD16J250K 可以接受 2.5V 至 3V 范围内的外部基准电压源。使用外部基准电压源时，需要禁用内部基准电压源。复位后，这些器件默认在外部基准电压源模式下工作，并使能基准电压缓冲器。内部基准电压源既可在硬件模式下使能，也可在软件模式下使能。要在硬件模式下使能内部基准电压源，则应设置 $\overline{H}/S\ SEL$ 引脚=0 且 $REFBUF_{EN/DIS}$ 引脚=1。要在软件模式下使能内部基准电压源，则应设置 $\overline{H}/S\ SEL=1$ 并需要写入控制寄存器，以将该寄存器的 DB9 置于 1。对于内部基准电压源模式，REFIN/REFOUT 引脚应通过 10 μ F 和 100nF 电容进行去耦。AAD16J250K 内

置三个片内基准电压缓冲器。三对 ADC 各对应一个基准电压缓冲器。这些基准电压缓冲器要求在 REFCAPA、REFCAPB 和 REFCAPC 引脚上使用外部去耦电容，并且应在这些 REFCAP 引脚上连接 10uF 和 100nF 去耦电容。

内部基准电压缓冲器可在软件模式下禁用，通过向内部控制寄存器写入 BitDB8 来实现。在串行模式下工作时，可在硬件模式下将 DB14/REFBUF_{DIS/EN} 引脚设为高电平来禁用内部基准电压缓冲器。如果内部基准电压源及其缓冲器均禁用，可向 REFCAP 引脚施加外部缓冲基准电压源。

表 7-1 各模拟输入范围的 LSB 大小

输入范围	LSB 大小	FS 范围
+10V	0.305mV	20V/65536
±5V	0.152mV	10V/65536

7.4 并行接口部分

AAD16J250K 提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过 SER/PAR/SEL 引脚来选择。并行接口模式可采用字($\overline{W}/B=0$)或字节($\overline{W}/B=1$)工作模式。

并行接口模式利用标准 $\overline{CS}$ 和 $\overline{RD}$ 信号($\overline{W}/B=0$)，通过并行数据总线读取 AAD16J250K 的数据。要通过并行总线读取数据，则应将 SER/PAR/SEL 接低电平。通过内部选通 $\overline{CS}$ 和 $\overline{RD}$ 输入信号，可以将转换结果输出到数据总线。当 $\overline{CS}$ 和 $\overline{RD}$ 同时处于逻辑低电平时，数据线 DB0 至 DB15 不再呈高阻抗状态。

$\overline{CS}$ 信号可永久性地接低电平，而 $\overline{RD}$ 信号可用来获取转换结果。BUSY 信号变为低电平后即可开始读取操作。所需读取操作次数取决于同步采样的 ADC 数目(见图 7-2)。如果 CONVST A 和 CONVST B 同时变低，需要四次读取操作从 V1、V2、V3 及 V4 获得转换结果。如果 CONVST A 和 CONVST C 同时变低，需要四次读取操作从 V1、V2、V5 及 V6 获得转换结果。转换结果以升序输出。

使用三个 CONVST 信号独立地启动三对 ADC 转换时，应注意确保 BUSY 信号处于高电平时未在通道对上启动转换。此外，建议不要在读取序列期间启动转换，因为那样会影响转换性能。要获得指定性能，建议在转换后进行读取。对于未使用的输入通道对，应将相应 CONVSTx 引脚与 V_{DRIVE} 相连。

如果只能使用 8-bit 总线，则可将 AAD16J250K 接口配置成字节工作模式($\overline{W}/B=1$)。在此配置下，DB7/HBEN/DCEN 引脚具有 HBEN 功能。AAD16J250K 的各通道转换结果可通过两次读取操作来获取，每次读取操作在 DB15 至 DB8 上获得 8bit 数据(见图 7-3)。HBEN 引脚决定读取操作先获取 16bit 转换结果的高字节还是低字节。要始终先获取 DB15 至 DB8 上的低字节，应将 HBEN 引脚接低电平。要始终先获取 DB15 至 DB8 上的高字节，应将 HBEN 引脚接高电平。在字节模式下，当所有三个 CONVST 引脚一起发出脉冲来启动所有六个 ADC 的同步转换时，需进行 12 次读取操作来读取六个 16bit 转换结果。在字节模式下，DB[6:0]应保持不连接。

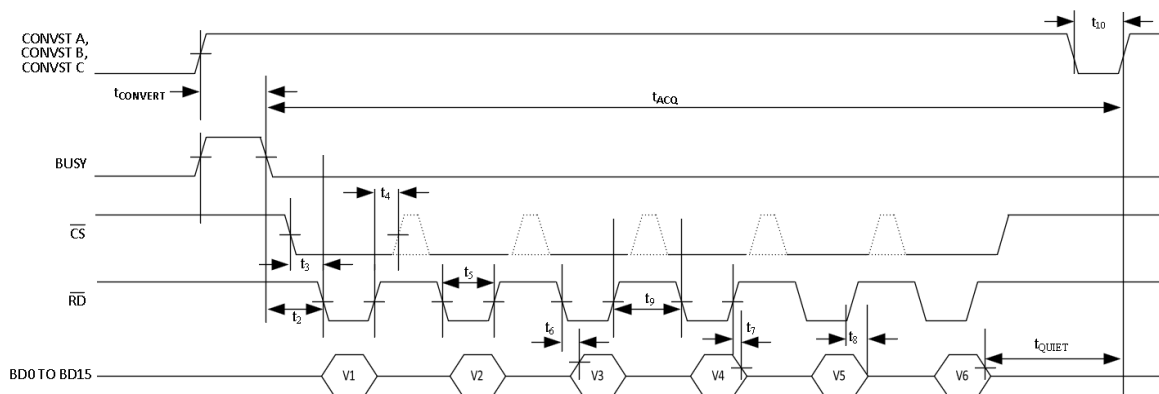


图 7-2 并行接口时序图

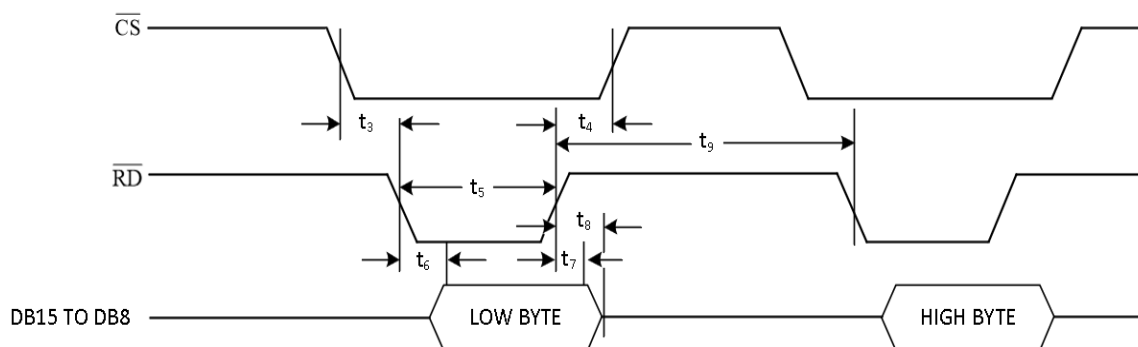


图 7-3 并行接口字节模式的读取周期

7.5 ADC 软件选择

$\overline{\text{H/S SEL}}$ 引脚决定需同步采样的 ADC 组合方式。当 $\overline{\text{H/S SEL}}$ 引脚处于逻辑低电平时，需同步采样的通道组合由 CONVST A、CONVST B 和 CONVST C 引脚决定。当 $\overline{\text{H/S SEL}}$ 引脚处于逻辑高电平时，需同步采样的通道组合由控制寄存器 DB15 至控制寄存器 DB13 的内容决定。在此模式下，必须进行控制寄存器写入操作。

控制寄存器是 8bit 只写寄存器。此寄存器的数据写入通过 $\overline{\text{CS}}$ 和 $\overline{\text{WR}}$ 引脚和 DB[15:8] 数据引脚来完成。控制寄存器如表所示。要选择需同步采样的 ADC 对，应在写入操作期间将对应的数据线设为高电平。AAD16J250K 控制寄存器允许利用 DB12 至 DB10，对每对 ADC 的范围进行独立地编程。

CONVST A 信号用来对通过控制寄存器选择的通道组合启动同步转换。在软件工作模式下 ($\overline{\text{H/S SEL}}=1$)，CONVST B 和 CONVST C 信号可接低电平。所需读取脉冲数取决于控制寄存器中设置的 ADC 数目，以及器件采用字还是字节工作模式。转换结果以升序输出。在写入操作期间，当 $\overline{\text{RD}}$ 处于逻辑高电平且 $\overline{\text{CS}}$ 和 $\overline{\text{WR}}$ 处于逻辑低电平时，数据总线 Bit DB15 至 Bit DB8 为双向，成为控制寄存器输入。当 $\overline{\text{WR}}$ 变为逻辑高电平时，DB15 至 DB8 的逻辑状态锁存到控制寄存器内。

表 7-2 控制寄存器 bit 功能描述

Bit	引脚名称	备注
DB15	VC	此 bit 用来选择下一次转换的模拟输入 V5 和 V6。当其设为 1 时，则在下一个 CONVST A 上升沿对 V5 和 V6 进行同步转换。
DB14	VB	此 bit 用来选择下一次转换的模拟输入 V3 和 V4。当其设为 1 时，则在下一个 CONVST A 上升沿对 V3 和 V4 进行同步转换。
DB13	VA	此 bit 用来选择下一次转换的模拟输入 V1 和 V2。当其设为 1 时，则在下一个 CONVST A 上升沿对 V1 和 V2 进行同步转换。
DB12	RNGC	此 bit 用来选择模拟输入 V5 和 V6 的模拟输入范围。当其设为 1 时，则为下一次转换选择 $\pm 2 \times VREF$ 范围。当其设为 0 时，则为下一次转换选择 $\pm 4 \times VREF$ 范围。
DB11	RNGB	此 bit 用来选择模拟输入 V3 和 V4 的模拟输入范围。当其设为 1 时，则为下一次转换选择 $\pm 2 \times VREF$ 范围。当其设为 0 时，则为下一次转换选择 $\pm 4 \times VREF$ 范围。
DB10	RNGA	此 bit 用来选择模拟输入 V1 和 V2 的模拟输入范围。当其设为 1 时，则为下一次转换选择 $\pm 2 \times VREF$ 范围。当其设为 0 时，则为下一次转换选择 $\pm 4 \times VREF$ 范围。
DB9	REFEN	此 bit 用来选择内部基准电压源或外部基准电压源。当其设为 0 时，则选择外部基准电压源模式。当其设为 1 时，则选择内部基准电压源。
DB8	REFBUF_DIS	此 bit 用来决定是使用内部基准电压缓冲器，还是绕过这些缓冲器。当其设为 0 时，使能内部基准电压缓冲器，同时需要对 REFCAP 引脚去耦。当其设为 1 时，禁用内部基准电压缓冲器，同时应将缓冲后的基准电压源施加于 REFCAP 引脚。

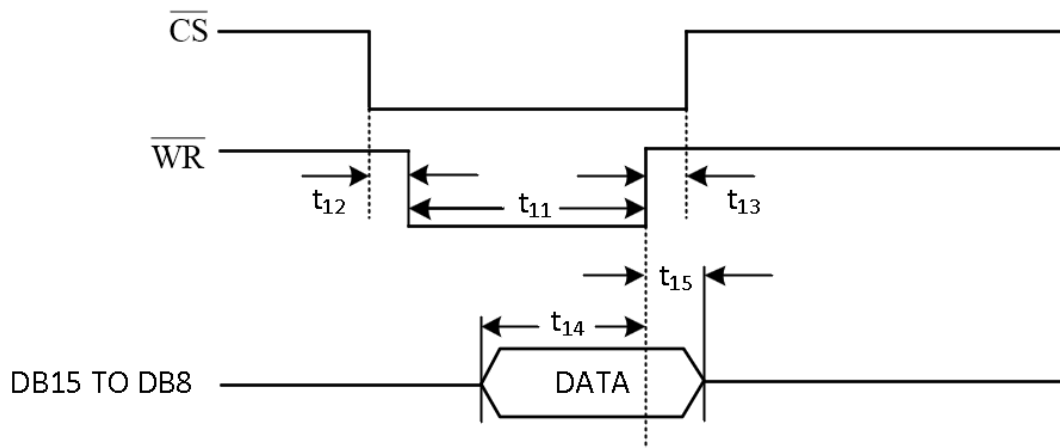


图 7-4 并行接口字寄存器写入模式周期

7.6 更改模拟输入范围

利用 AAD16J250K 的 RANGE 引脚，用户可以选择 $\pm 2 \times V_{REF}$ 或 $\pm 4 \times V_{REF}$ 作为六路模拟输入的范围。当 $\overline{H}/S_{SEL}$ 引脚处于低电平时，在 BUSY 信号下降沿对 RANGE 引脚的逻辑状态进行采样，以决定下一次同步转换的模拟输入范围。当 RANGE 引脚在 BUSY 信号的下降沿处于逻辑高电平时，下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当 RANGE 引脚在 BUSY 信号的下降沿处于逻辑低电平时，下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。RESET 脉冲之后，在其后的第一个 BUSY 下降沿会更新模拟输入范围。

当 $\overline{H}/S_{SEL}$ 引脚处于高电平时，可通过写入控制寄存器来更改模拟输入范围。利用控制寄存器内的 DB[12:10]，可以选择下一次转换的模拟输入范围。每对模拟输入都具有一个相应的范围 bit，允许分别对每对 ADC 的模拟输入范围进行编程。当 RNGxbit 设为 1 时，下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当 RNGxbit 设为 0 时，下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。

7.7 串行接口部分

通过发出 1、2 或全部 3 个 CONVSTx 信号，AAD16J250K 可利用其片上调整振荡器，在 CONVSTx 上升沿对所选通道进行同步转换。达到 CONVSTx 上升沿后，BUSY 信号变为高电平，表明已开始转换。完成转换(3 μ s 左右)后，BUSY 信号恢复低电平。此时，输出寄存器载入新转换结果，并可从 ADC 读取数据。要通过串行接口从这些器件回读数据， $\overline{SER}/\overline{PAR}/SEL$ 应接高电平。 $\overline{CS}$ 和 SCLK 信号用来传输 ADC 的数据。AAD16J250K 具有三个 DOUT 引脚：DOUT A、DOUT B 和 DOUT C。可通过单、双或三 DOUT 线路从各器件回读串行数据。

图 7-5 显示六个同步转换以及采用三 DOUT 线路的读取序列。同样在图 7-5 中，通过 32 个 SCLK 传输获取 AAD16J250K 的数据；不过，还可利用 $\overline{CS}$ 信号通过两组 16 个 SCLK 单独帧传输来获取三 DOUT 线路上的数据。当 AAD16J250K 采用串行模式且在所有三 DOUT 线路上逐个输出转换数据时，DB0/SEL A、DB1/SEL B 及 DB2/SEL C 应与 V_{DRIVE} 相连。这些引脚分别用来使能 DOUT A 至 DOUT C 线路。

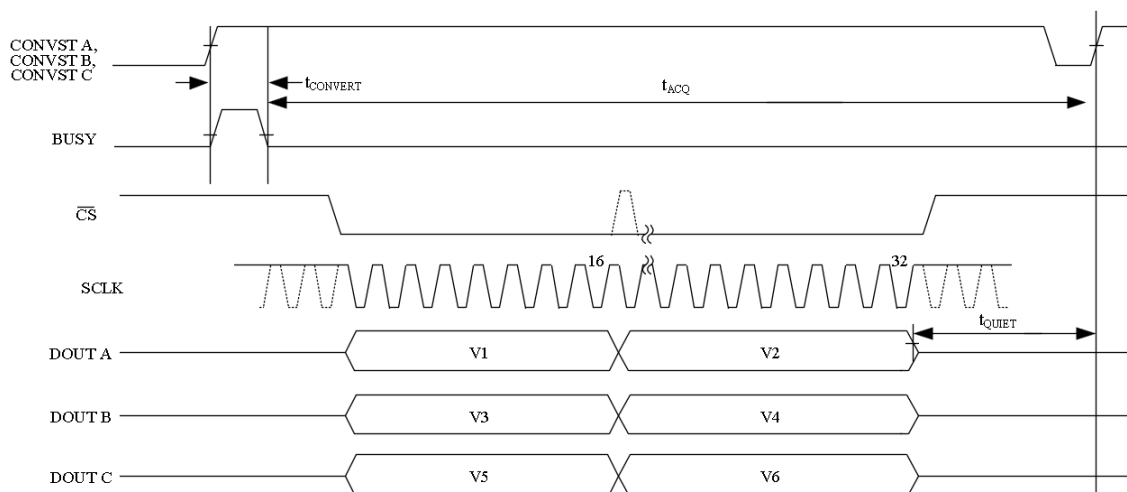


图 7-5 采用三路 DOUT 线的串行接口

如果需要在两路数据输出线上逐个输出转换数据，则应使用 DOUT A 和 DOUT B。要使能 DOUT A 和 DOUT B，则应将 DB0/SEL A 和 DB1/SEL B 与 V_{DRIVE} 相连，而 DB2/SEL C 应接低电平。执行六个同步转换且仅用双 DOUT 线路时，可通过一个 48 SCLK 传输来获取 AAD16J250K 的数据。利用双 DOUT 线路实现所有六个 ADC 同步转换的读取序列如图 7-6 所示。如果所有六个 ADC 进行同步转换，且只用双 DOUT 线路来读取 AAD16J250K 的结果，则 DOUT A 逐个输出 V1、

V2 及 V5 的结果，而 DOUT B 逐个输出 V3、V4 及 V6 的结果。

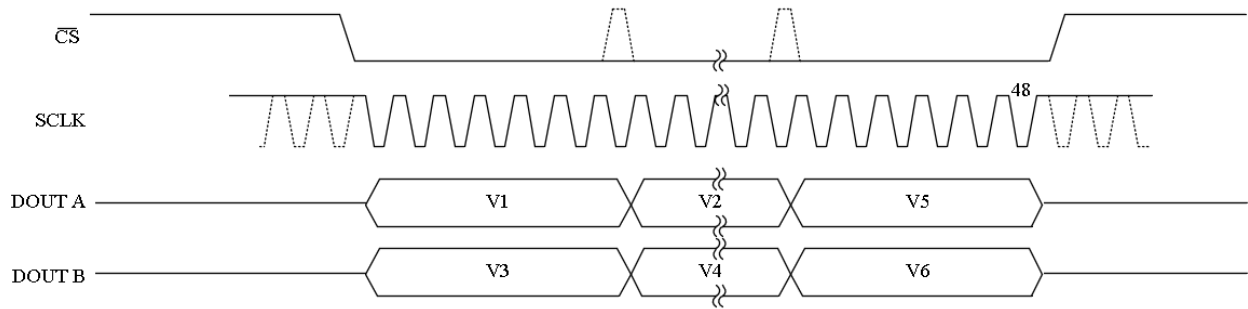


图 7-6 采用两路 DOUT 线的串行接口

也可只用单 DOUT 线路逐个输出数据，此时应利用 DOUT A 来获取转换数据。要将 AAD16J250K 配置为这种工作模式，应将 DB0/SEL A 与 V_{DRIVE} 相连，而 DB1/SEL B 和 DB2/SEL C 应接低电平。只用单 DOUT 线路的缺点是吞吐速率下降。可利用一个 96 SCLK 传输、三个 32 SCLK 单独帧传输或六个 16 SCLK 单独帧传输来获取 AAD16J250K 数据。在串行模式下， $\overline{RD}$ 信号应接低电平。串行模式下，不用的 DOUT 线路应保持不连接。

7.8 串行读取操作

图 7-7 显示串行模式下从 AAD16J250K 读取数据的时序图。SCLK 输入信号为串行接口提供时钟源。 $\overline{CS}$ 信号变为低电平时，即可从 AAD16J250K 获取数据。 $\overline{CS}$ 下降沿使总线脱离三态，并逐个输出 16bit 转换结果的 MSB。ADC 输出 16bit 转换结果：AAD16J250K 的数据流由 16bit 转换数据所组成，MSB 优先。转换结果的首个数据 bit 在 $\overline{CS}$ 下降沿后的第一个 SCLK 下降沿有效。随后 15 个数据 bit 在 SCLK 信号的上升沿逐个输出。数据在 SCLK 下降沿有效。要获取各转换结果，必须向 AAD16J250K 发送 16 个时钟脉冲。图 7-7 显示如何利用 16 SCLK 读取操作来获取转换结果。

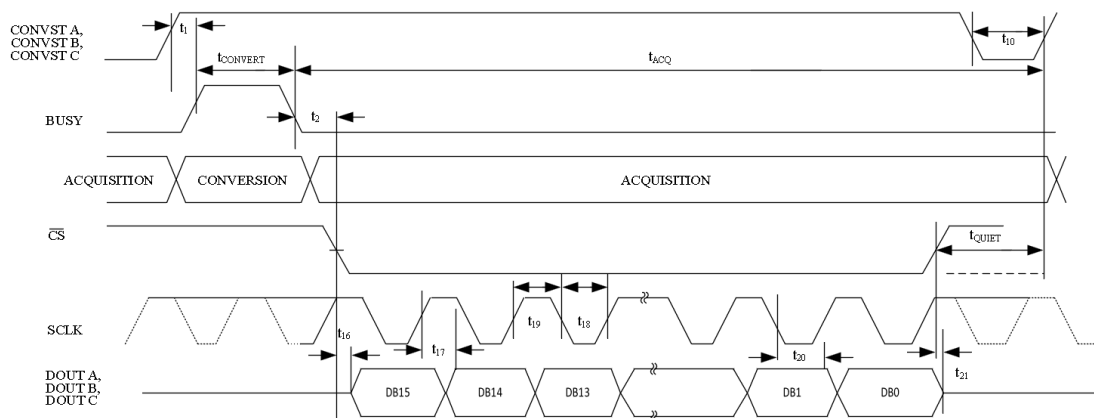


图 7-7 串行读取操作

7.9 菊花链模式

利用 3/2/1 个 DOUT 引脚从 AAD16J250K 回读转换数据时，可利用 DCEN 引脚来配置这些器件以菊花链模式工作。菊花链功能允许多个 AAD16J250K 器件级联在一起，有利于减少元件数和接线。两个器件的菊花链连接示例如图 7-8 所示。此配置显示采用双 DOUT 线路。利用一个公共 CONVSTx 信号，可以对 12 路模拟输入进行同步采样。DB5、DB4 及 DB3 数据引脚用作菊花链模式的 DCIN[A:C] 数据输入引脚。

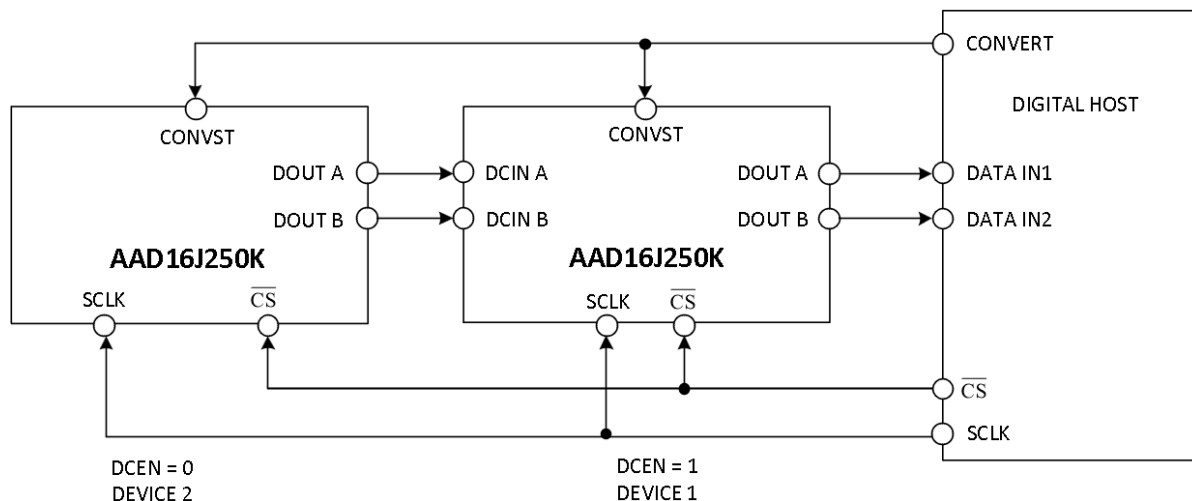


图 7-8 菊花链配置

利用 CONVST 上升沿，可以对 AAD16J250K 启动转换。BUSY 信号变为低电平，显示转换完成后，用户就可以开始从两个器件读取数据。图 7-9 显示两个 AAD16J250K 器件在菊花链模式下工作时的串行时序图。

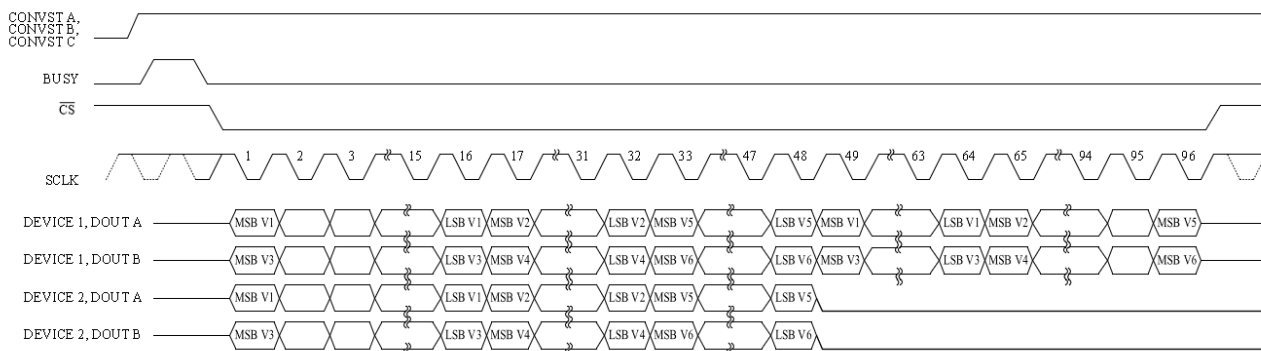


图 7-9 采用两路 DOUT 线的菊花链串行接口时序

$\overline{CS}$ 下降沿用来使能 AAD16J250K 的串行帧传输，使总线脱离三态，并逐个输出第一个转换结果的 MSB。在图 7-9 示例中，全部 12 个 ADC 通道均进行同步采样。在此示例中，使用双 DOUT 线路来读取转换结果。 $\overline{CS}$ 使能一个 96 SCLK 帧传输。在第一组 48 SCLK 期间，转换数据从器件 2 传输到器件 1。器件 2 上的 DOUT A 将转换数据从 V1、V2 和 V5 传输到器件 1 内的 DCIN A；器件 2 上的 DOUT B 将转换结果从 V3、V4 及 V6 传输到器件 1 内的 DCIN B。在第一组 48 SCLK 期间，器件 1 将数据传输到数字主机内。器件 1 上的 DOUT A 传输 V1、V2 及 V5 的转换数据；器件 1 上的 DOUT B 传输 V3、V4 及 V6 的转换数据。在最后一组 48 SCLK 期间，器件 2 逐个输出 0，器件 1 将第一组 48 SCLK 期间从器件 2 逐个输入的数据传输至数字主机内。如果 DCEN 在传输期间保持高电平，则此示例还可利用六个 16 SCLK 单独帧传输来实现。

图 7-10 显示两个 AAD16J250K 以菊花链模式配置并采用三 DOUT 线路工作的时序。假设对所有 12 路输入进行同步采样，在读取操作期间 $\overline{CS}$ 使能一个 64 SCLK 帧传输。在此传输的第一组 32 SCLK 期间，器件 1 的转换结果逐个输入数字主机，器件 2 的转换结果则逐个输入器件 1。在此传输的最后一组 32 SCLK 期间，器件 2 的转换结果从器件 1 逐个输出，并输入数字主机，同时器件 2 逐个输出 0。

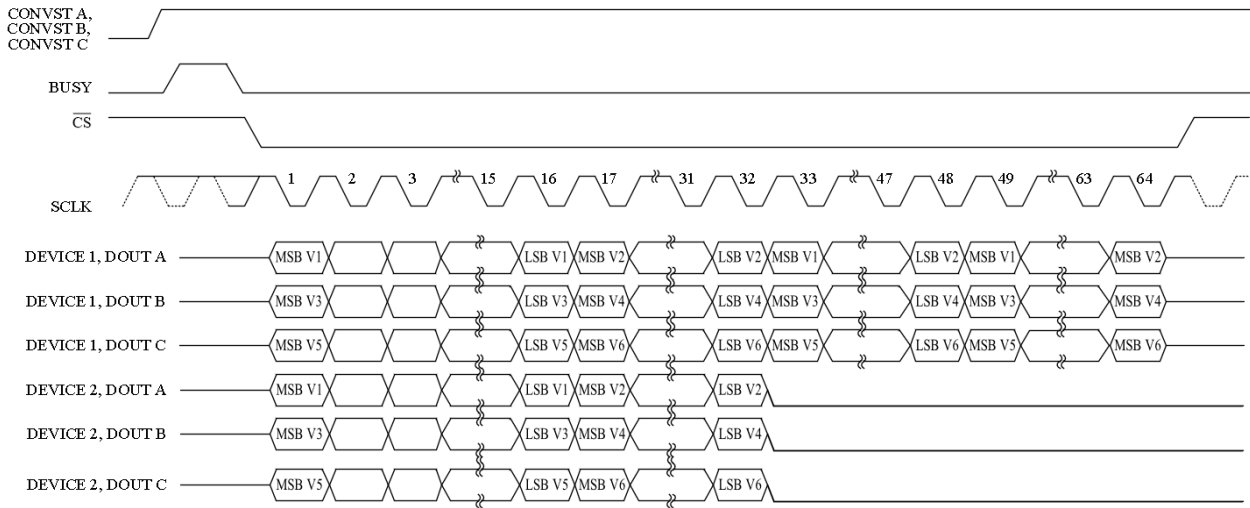


图 7-10 采用三路 DOUT 线的菊花链串行接口时序

7.10 待机/部分掉电省电工作模式

每对 ADC 都可分别通过在 BUSY 下降沿之前拉低 CONVSTx 信号来进入部分掉电省电模式。要使 ADC 对再次上电，应拉高 CONVSTx 信号，命令 ADC 对上电，并使采样保持放大器进入跟踪模式。经过从部分掉电省电模式到恢复正常工作的上电时间后，CONVST 信号应收到一个上升沿以启动有效转换。在部分掉电省电模式下，基准电压缓冲器保持上电。当某个 ADC 对处于部分掉电省电模式时，其它 ADC 仍可进行转换。

AAD16J250K 支持待机模式，因而器件可以进入低功耗模式。拉低逻辑输入 $\overline{STBY}$ 即可进入待机模式，拉高 $\overline{STBY}$ 则再次上电，恢复正常操作。处于待机模式时，输出数据缓冲器仍会继续工作，用户可继续获取器件的转换结果。利用此待机功能，能够降低 AAD16J250K 以低吞吐速率工作时的平均功耗。器件可在 BUSY 变电平，各转换结束时进入待机模式，并可在下一次转换前再次脱离待机模式。脱离待机模式的时间称为唤醒时间。唤醒时间限制 AAD16J250K 在转换之间掉电时的最大吞吐率。

8 推荐设计电路

图 8-1 显示了 AAD16J250K 的典型连接图。这些器件均具有八个 AVCC 电源引脚。AVCC 电源用于 AAD16J250K 转换过程，因此，应进行良好去耦。每个 AVCC 电源引脚各自均应通过一个 10uF 钽电容和一个 100nF 陶瓷电容进行去耦。AAD16J250K 既可采用内部基准电压源工作，也可采用外部施加的基准电压源工作。在此配置中，器件被配置为在外部基准电压源下工作。REFIN/REFOUT 引脚通过一个 10uF 和 100nF 电容对进行去耦。三个内部基准电压缓冲器均已使能。REFCAP 引脚各自通过 10uF 和 100nF 电容对进行去耦。

其中六个 AVCC 电源引脚用于给 AAD16J250K 上的 ADC 内核供电，也就是用于转换过程。每个模拟输入引脚周围都有一个 AVCC 电源引脚和一个 AGND 引脚。这些 AVCC 和 AGND 引脚是各个 ADC 内核的电源和地。例如，引脚 33 为 V1，引脚 34 是 ADC 内核 1 的 AVCC 电源，引脚 32 则是 ADC 内核 1 的 AGND。替代降低去耦要求的解决方案是将这六个 AVCC 电源引脚合并为三对，即引脚 34 和引脚 35、引脚 40 和引脚 41，以及引脚 46 和引脚 47。

如果 AVCC 和 DVCC 采用相同的电源，则应在电源引脚之间放置一个氧化铁磁珠或小型 RC 滤波器。AGND 引脚连到系统 AGND 平面。DGND 引脚连到系统内部的数字接地平面。AGND 和 DGND 平面应在系统内某处相连。此连接应尽可能靠近系统内的 AAD16J250K。

V_{DRIVE} 电源连接到为处理器供电的同一电源。 V_{DRIVE} 的电压控制输出逻辑信号的电压值。

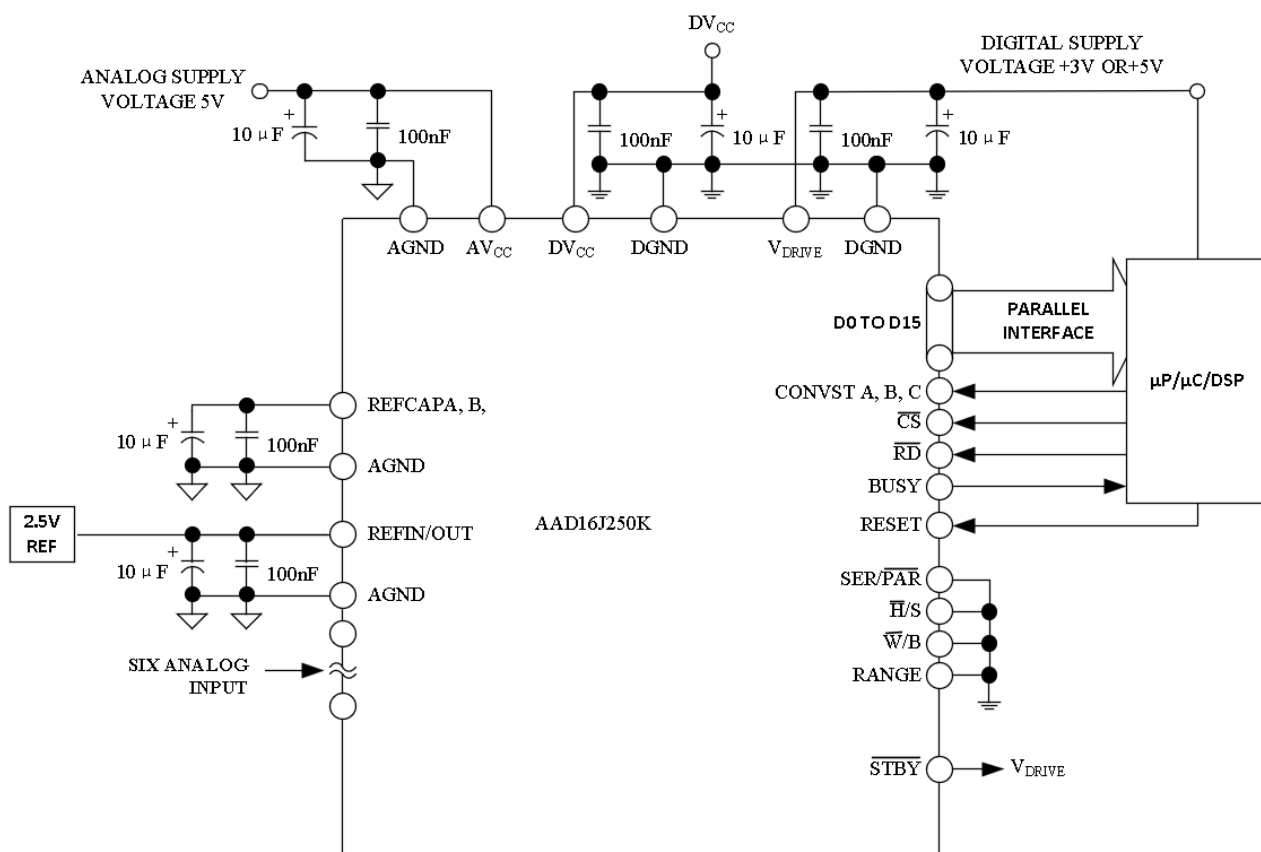


图 8-1 AAD16J250K 的推荐设计电路图

AAD16J250K 的输入信号格式如图 8-2 所示，AGND 接地，6 个信号端 V_x 均为双极性输入，最大摆幅有 $\pm 4 \times V_{REF}$ 和 $\pm 2 \times V_{REF}$ 两档。

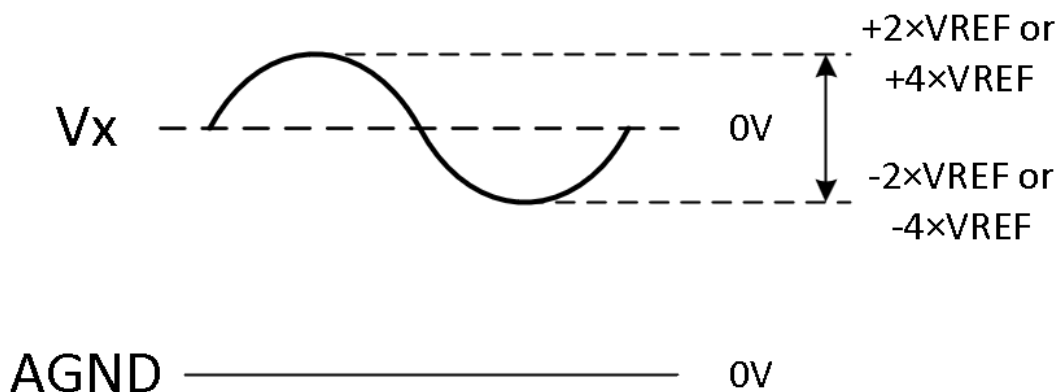


图 8-2 AAD16J250K 的信号输入模式

9 封装和订购信息

下单料号	温度范围(工作温度)	输出接口	封装描述	包装形式	包装数量
AAD16J250K_LQFP64	-40℃~+125℃	COMS	64 引脚薄型四方扁平封装[LQFP]	Tray	160pcs

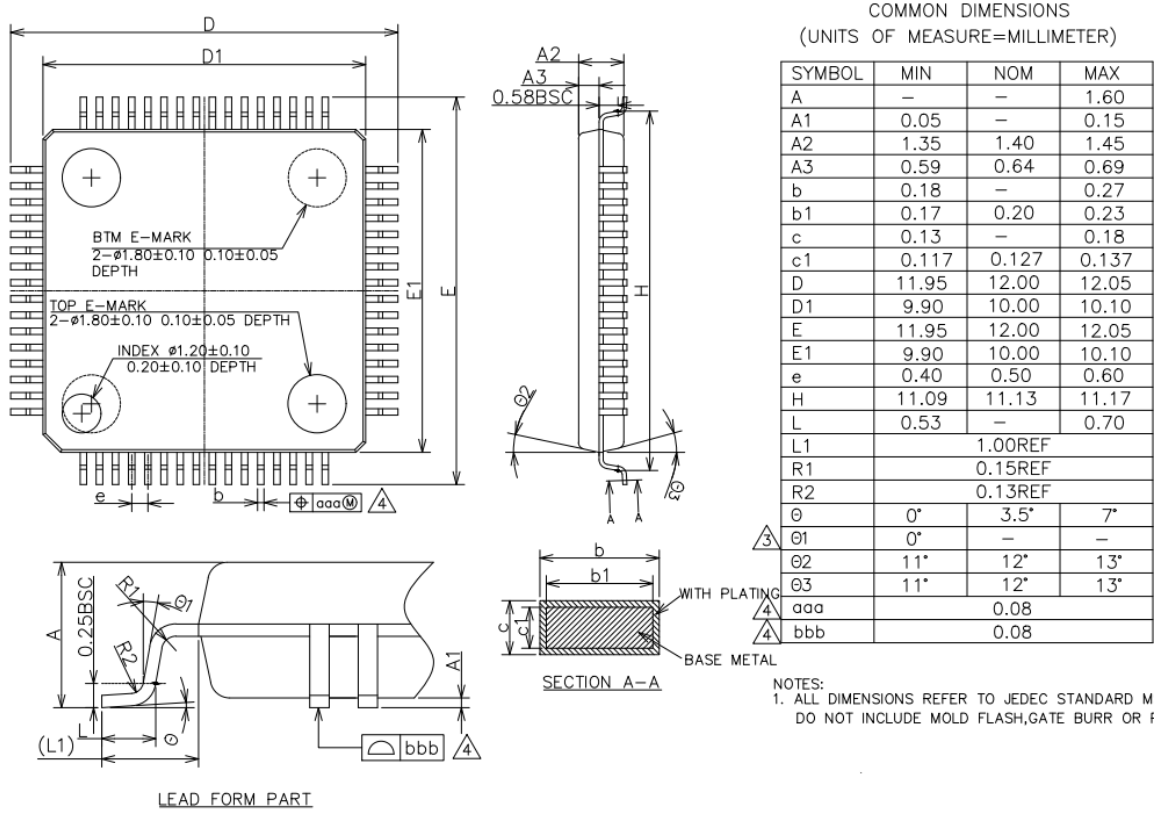


图 9-1 AAD16J250K 封装示意图

Phone: 0512-62928177|Web: www.acelamicro.com|Email: sales@acelamicro.com

10 修订版次

版本信息	日期	版本号
初始版本	2025/04/16	Rev1.0

11 声明

迅芯微电子（苏州）股份有限公司及其分公司和经销商有权对其公司提供的半导体产品进行修正、增强、提高及做出其他的改变。同时也拥有在最新版产品已经发布的基础上，中止任何一款产品和服务的权利。购买者应在下单前获取相关的最新信息，并确认这些信息的有效性和完整性。所有售出的半导体产品都必须遵循迅芯微电子（苏州）股份有限公司在接到订单确认时的销售条款和条件。

根据迅芯微电子（苏州）股份有限公司销售的半导体产品的保修条款，迅芯微电子（苏州）股份有限公司担保器件的性能规范适用于销售之时。本公司采取了必要的测试和质量控制手段来支持产品达到这样的品质。除非有法律的具体规定，否则并不是每个器件的所有参数都是必须要执行测试的。

迅芯微电子（苏州）股份有限公司对购买者使用产品做出的设计和应用不承担任何的连带责任，购买者应对使用了迅芯微电子（苏州）股份有限公司器件的产品和应用自负其责。并应采取适当的设计或操作时的具体保护措施来使您所设计的产品风险降至最低。

对于任何使用迅芯微电子（苏州）股份有限公司的器件和服务的所有相关的组合、设备或过程，迅芯微电子（苏州）股份有限公司不保证或代表许可——无论是明示或暗示——授予其使用任何相关的专利权、版权或其他任何知识产权。迅芯微电子（苏州）股份有限公司对第三方产品或服务不构成许可使用这些产品或服务的保修或背书。使用这样的信息可能需要从第三方的专利或第三方的其他知识产权获得许可或授权，或从迅芯微电子（苏州）股份有限公司获得专利和其他知识产权的授权。

从迅芯微电子（苏州）股份有限公司的数据手册中复制重要的章节是被允许的，只要复制时没有更改，同时附上所有相关的担保、条件、限制和告示信息。迅芯微电子（苏州）股份有限公司不对这些修改后的文件承担任何责任，第三方的信息可能会受到附加条件的约束。

超出迅芯微电子（苏州）股份有限公司所标明的器件或服务的参数范围或在与之不同参数下转售苏州迅芯微电子的器件或服务，或对迅芯微电子（苏州）股份有限公司的器件或服务无法提供有效服务并且暗含担保无效的行为，都是一种不公平且带有欺骗性质的商业行为。迅芯微电子（苏州）股份有限公司不为这样的声明承担任何责任。

购买者应确认并同意，尽管迅芯微电子（苏州）股份有限公司可能提供了与应用相关的信息或支持，但您将自行负责遵守与您的产品以及应用中使用任何迅芯微电子（苏州）股份有限公司的器件有关的所有法律、法规和安全方面的要求。购买者应表示并同意您具备所有必要的专业知识，能够创建和实施安全措施以预测故障的危险后果、监控故障及其后果、降低可能导致伤害的故障的可能性并采取适当的补救措施。购买者将全额赔偿因在重大的安全应用中使用任何迅芯微电子（苏州）股份有限公司器件而对迅芯微电子（苏州）股份有限公司及其所代表方造成的所有损失。

在某些情况下，为了推广安全相关应用，有可能对迅芯微电子（苏州）股份有限公司的器件进行专门提升。借助于这样的器件，迅芯微电子（苏州）股份有限公司的目标旨在帮助客户设计和创立其特有的可满足功能性安全标准和要求的终端产品解决方案。尽管如此，此类器件仍然遵守本条款。