



电力线载波通信驱动芯片

GS6212 Datasheet

公司邮箱: josensong163.com

公司电话: 0755-86563225

销售热线: 15914189777

技术支持: 15914189777

请注意以下有关LANCHO知识产权政策

* 深圳市澜潮科技有限公司（以下简称本公司）已申请了专利，享有绝对的合法权益。与本公司SOC芯片或其他产品有关的专利权并未被同意授权使用，任何经由不当手段侵害本公司专利权的公司、组织或个人，本公司将采取一切可能的法律行动，遏止侵权者不当的侵权行为，并追讨本公司因侵权行为所受的损失、或侵权者所得的不法利益。

* 深圳市澜潮科技有限公司的名称和标识都是本公司的注册商标。

* 本公司保留对规格书中产品在可靠性、功能和设计方面的改进作进一步说明的权利。然而本公司对于规格内容的使用不负责任。文中提到的应用其目的仅仅是用来做说明，本公司不保证和不表示这些应用没有更深入的修改就能适用，也不推荐它的产品使用在会由于故障或其它原因可能会对人身造成危害的地方。本公司的产品不授权适用于救生、维生器件或系统中作为关键器件。本公司拥有不事先通知而修改产品的权利，对于最新的信息，请参考

1、产品简介

GS6212是一款应用于电力线载波的线驱动器，内部包含了2个电流反馈型放大器。芯片具有极低的失真，可以确保在电力载波通信频段范围内发送功率谱带外信号符合规范，并且具有高达1A的电流输出能力，可以应对强烈的电力载波信道阻抗变化，在重载情况下仍然能保证信号的发送质量。工作电流可以用外接电阻进行设置，同时可以用数字控制端口按照设定值的1/2、3/4静态电流进行工作，可以根据信道状况通过软件调节，使芯片的驱动性能得到进一步的优化。芯片工作电压范围可以高达28V。

芯片内部集成了过流保护、温度补偿等单元模块，确保了芯片在各种条件下性能稳定可靠，使芯片在电力载波应用中具有优越的性能。

2、特色

- ◆PIN2PIN兼容THS6212
- ◆工作电压：6V至28V
- ◆大信号带宽：>20MHz
- ◆3次谐波抑制：
 - >40dBc@10M/10Vpp/50Ω负载
 - >50dBc@5M/10Vpp/50Ω负载
 - >60dBc@2M/10Vpp/50Ω负载
 - >76dBc@500K/10Vpp/50Ω负载
- ◆2次谐波抑制：
 - >55dBc@10M/10Vpp/50Ω负载
 - >60dBc@5M/10Vpp/50Ω负载
 - >70dBc@2M/10Vpp/50Ω负载
 - >80dBc@500K/10Vpp/50Ω负载
- ◆工作电流外部设定，可数字控制
- ◆摆率：500V/us
- ◆最大差分输出：2倍工作电压
-6V@50Ω负载
- ◆TTL / CMOS兼容
- ◆温度范围-40℃ to +85℃

3、封装类型

- ◆VQFN24L-4X5X0.75

4、应用范围

- ◆电力载波通信

5、功能引脚定义

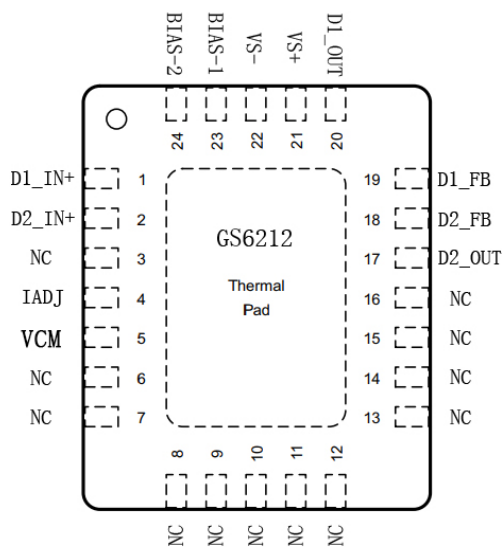


图1 GS6212 Top View

序号	名称	说明
1	D1_IN+	OP1 输入正端
2	D2_IN+	OP2 输入正端
3	NC	NC
4	IADJ	电流设定端，外接电阻
5	VCM	共模电平，外接电容
6	NC	NC
7	NC	NC
8	NC	NC
9	NC	NC
10	NC	NC
11	NC	NC
12	NC	NC
13	NC	NC
14	NC	NC
15	NC	NC
16	NC	NC
17	D2_OUT	OP2 输出
18	D2_FB	OP2 输入负端
19	D1_FB	OP1 输入负端
20	D1_OUT	OP1 输出
21	VS+	供电端
22	VS-	接地端
23	BIAS-1	使能端 1
24	BIAS-2	使能端 2
25	EP	散热底盘，接地

注意：EP必须在PCB设计时揭露铜散热区,并且和芯片GND相连。

6、极限参数

符号	说明	大小	单位
VS+	最大 VDD 端电压	28	V
Tj	最大结温	170	°C
Θja	热阻	40	°C/W
Tstg	储存温度	-60~160	°C
VBIAS	逻辑引脚 BIAS1/BIAS2 输入范围	GND-0.3~5	V
Pd	最大消耗功率	2	W
ESD	HBM	4000	V

注：若应用到极限参数条件下，芯片可能会损伤

7、电气特性

(VS+ =12V, IADJ=10K, TA = +25℃, Av=10, 差分负载电阻RL通过0.1uF电容直接加到输出端，除非特别注明)

参数	符号	条件	最小值	典型值	最大值	单位
电源电压	VS+		6	12	28	V
关闭电流	IDD1	BIAS-1= BIAS-1=5V		60		uA
静态电流	IDD2	BIAS-1=BIAS-2=0V, IADJ=13K		40		mA
	IDD3	BIAS-1=5V, BIAS-2=0V, IADJ=13K		22		mA
	IDD4	BIAS-1=0V, BIAS-2=5V, IADJ=13K		15		mA
输入电压范围	Vin			1	3	Vpp
输出失调电压	VOS			1		mV
同相端输入电流	Iinp			0		uA
反相端输入电流	Iinn			20		uA
输入噪声	en	2~12MHz		11		nV/sqrtHz
输入高电平	VIH		1.9			V
输入低电平	VIL				0.7	V
逻辑内置上拉电阻	Rp	BIAS1 和 BIAS2 端口内置上拉电阻		80		KΩ
内部上拉电源	VDI	BIAS1=0, BIAS2 悬空或 BIAS2=0, BIAS1 悬空, 测 悬空端口电压		5	7.5	V
输出电压范围	Vout	差分峰峰, 空载			18	V
最大输出电流	IOUT	Vout=1Vpp, RL=1Ω		1		A
输出端漏电流	Ileak	BIAS1=BIAS2=1, D1_OUT=D2_OUT=6V		5		uA
共模电平	Vcm			6		V

偏置电压	VIAD J			1.6		V
功率带宽	BW	RL=100Ω, Av=10, RF=2k		30		MHz
2次谐波失真	2HD	Fc=500KHz, Vout=10Vpp-diff, RL=50Ω		80		dBc
		Fc=2MHz, Vout=10Vpp-diff, RL=50Ω		71		dBc
		Fc=5MHz, Vout=10Vpp-diff, RL=50Ω		63		dBc
		Fc=10MHz, Vout=10Vpp-diff, RL=50Ω		57		dBc
3次谐波失真	3HD	Fc=500KHz, Vout=10Vpp-diff, RL=50Ω		80		dBc
		Fc=2MHz, Vout=10Vpp-diff, RL=50Ω		61		dBc
		Fc=5MHz, Vout=10Vpp-diff, RL=50Ω		50		dBc
		Fc=10MHz, Vout=10Vpp-diff, RL=50Ω		41		dBc
摆率	SR	Vout=16Vpp		500		V/us

8、典型性能特性

(VS+ =12V, IADJ=10K, TA = +25℃, Av=10, 差分负载电阻RL通过0.1uF电容直接加到输出端, 测试电路工作条件都以典型应用条件测试, 除非特别注明)

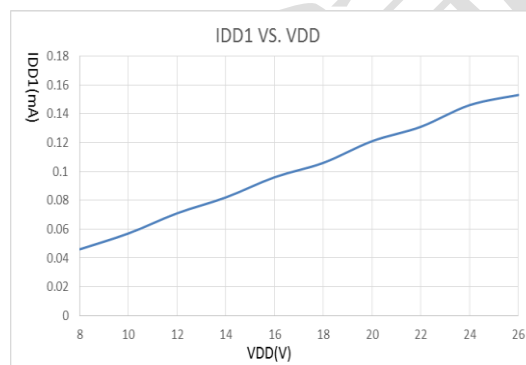


图2 关闭电流与电源电压关系

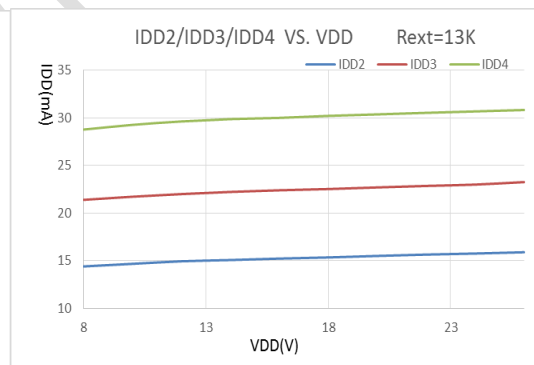


图3 静态电流与电源电压关系

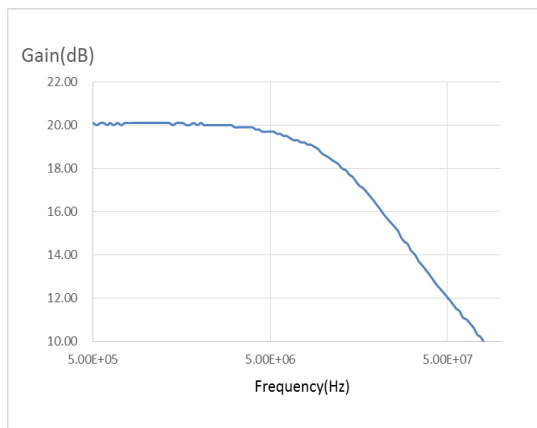


图3 小信号频率响应曲线图

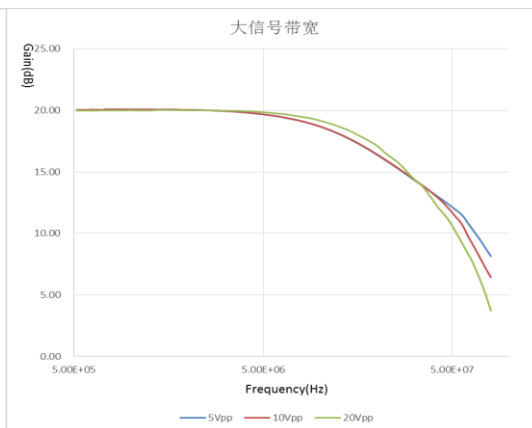


图4 大信号频率响应曲线

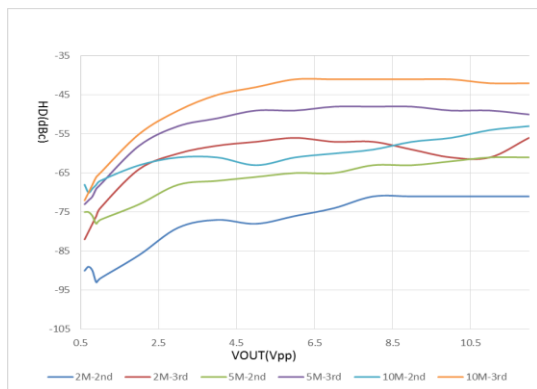


图5 谐波失真与输出幅度关系

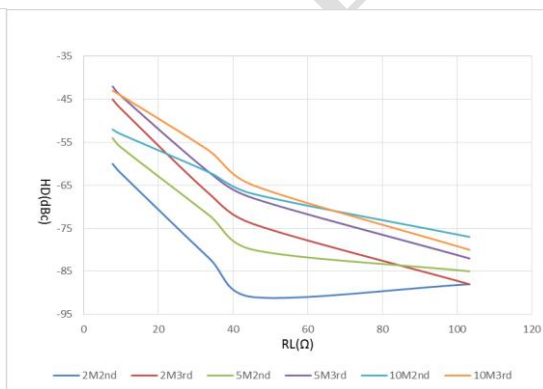


图6 谐波失真与负载关系

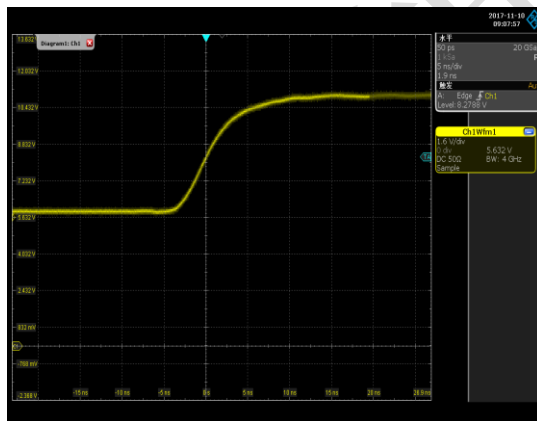


图7 阶跃响应波形

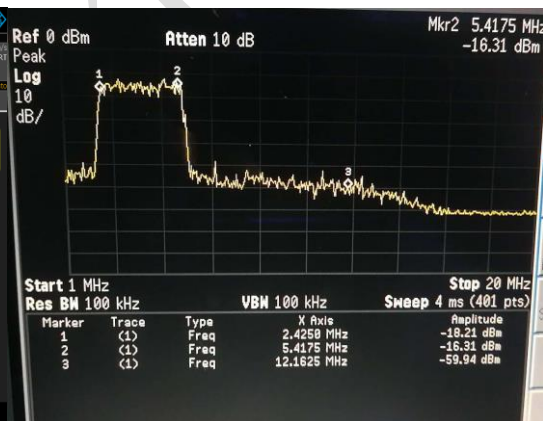


图8 2.4MHz-5.6MHz OFDM信号发送谱

9、典型应用电路

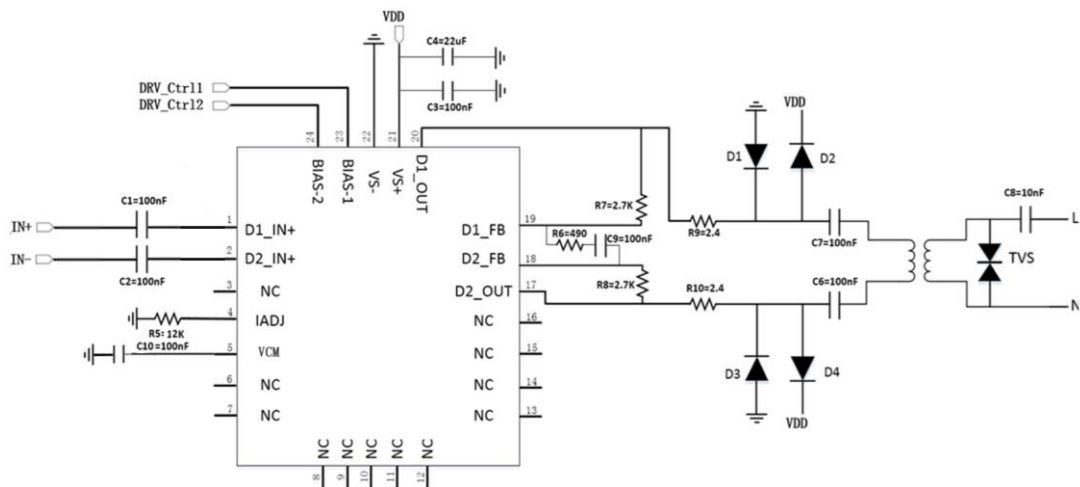


图9 典型应用电路

注：C10可选择 not 贴，建议贴。

10、应用说明

电流控制

芯片的偏置电流可以由外部电阻进行设置，设置引脚为IADJ引脚，设定的偏置电流大小为 $VIADJ/IADJ$ ，VIADJ为具备温度补偿特性的偏置电压，常温情况下，VIADJ的大小大约为1.6V，当IADJ引脚接20KΩ的电阻情况下，芯片的静态电流大小大约为偏置电流的20mA。同时芯片还可以由BIAS-1和BIAS-2是两个偏置电流控制引脚进行偏置电流的控制，其控制真值表如下：

BIAS-1	BIAS-2	Mode
0	0	满偏置电流
1	0	3/4偏置电流
0	1	1/2偏置电流
1	1	关闭

增加偏置电流，可以有效改善芯片的驱动能力和谐波特性。在实际应用时，若信道阻抗较小，可以采用满偏电流进行驱动，改善在重载条件下的谐波特性和电流输出能力；若信道阻抗较大，则可以采用降低偏置电流方式改善芯片的驱动效率。

信号输入

同相输入端口需要采用隔直电容进行隔直，用100nF左右的隔直电容即可。反相端为电流反馈输入端，注意反馈电阻的走线尽量匹配，并减少其到输入端的长度，降低寄生电容。

变压器选择

变压器若选择大感量的，需要特别注意漏感的大小，漏感太大，会导致驱动效率的降低。若选择小感量的，励磁电感太小，其本身阻抗较低，可能会导致负载过重。建议采用1.5:1或者2:1变压器，初级的感值为100uH~200uH，同时芯片输出的差分峰峰值设定不超过16V。

电容选择

与VS+、D1_OUT、D2_OUT相连接的电容耐压值都需要25V或者50V，高压侧的安规电容需要400V，其他电容可以选择10V或者25V。信号路径的电容选择NPO类型。

电阻选择

D1_OUT和D2_OUT端口的串联电阻需要采用功率电阻，偏置电流设定电阻、反馈电阻均需要采用1%精度。

二极管

与D1_OUT和D2_OUT相接的4个二极管为保护二极管，也可以采用肖特基二极管。但可以采用三端口的TVS保护器件进行代替。注意需要采用寄生电容小的二极管，容值不超过50pF为宜。高压侧的TVS管也同样需要采用低容值的TVS管。

散热考虑

在PCB布局时，需要考虑芯片的散热，芯片的散热底盘需要与PCB具有良好的焊接，适当增加露铜面积，可以有效降低芯片温度。

使能控制和端口阻抗

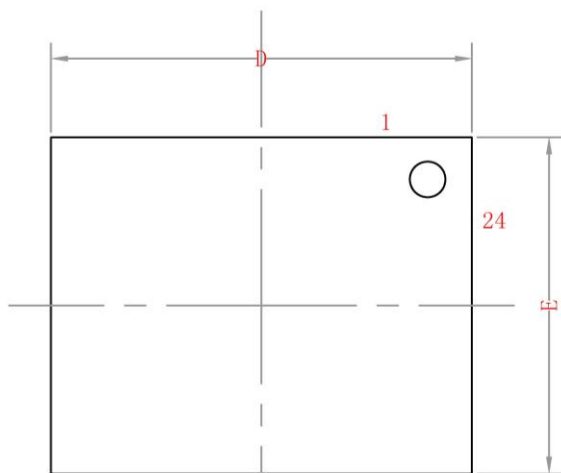
在BIAS 关断的时候，整个芯片处于完全关断状态，端口寄生会和变压器寄生一起影响输入匹配。典型应用电路下关断的差分阻抗在100K到13M内>2K。

在典型应用里处于关断时候，输出端口接收电力线上发送过来的电荷可能使输出端口共模电平处于偏离1/2 VS+ 状态，这时候需要在转换为发射状态的时候先打开BIAS, 使端口的输出直流电平建立到和VCM一样值后，再发送信号。建议前端给GS6212输入信号在BIAS 端口打开后至少延时200uS。

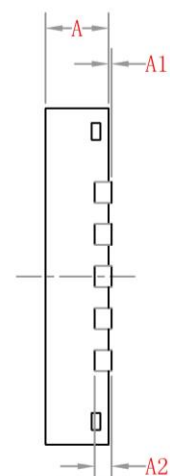
11、封装外形尺寸

VQFN24L-4X5X0.75

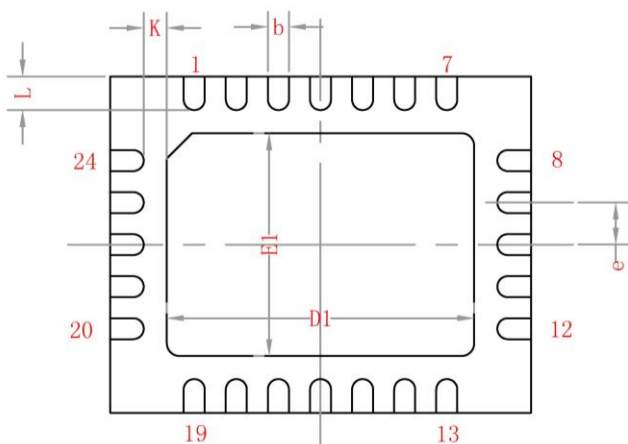
标注	尺寸	最小	标准	最大	标注	尺寸	最小	标准	最大
A		0.70	0.75	0.80	D1		3.55	3.65	3.75
A1		0.00	—	0.05	E1		2.55	2.65	2.75
A2		0.203REF			e		0.50TYP		
b		0.225	0.250	0.275	K		0.275TYP		
D		4.90	5.00	5.10	L		0.30	0.40	0.50
E		3.90	4.00	4.10					



Top View



Side View



Bottom View