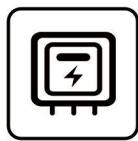


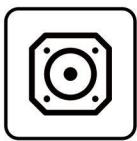


自主封測 品質把控 售後保障

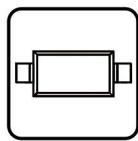
WEB | WWW.TDSEMIC.COM 



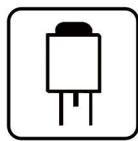
電源管理



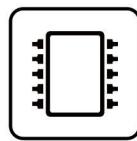
顯示驅動



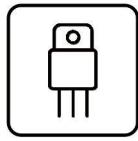
二三極管



LDO穩壓器



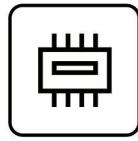
觸摸芯片



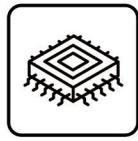
MOS管



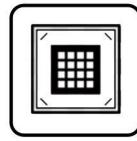
運算放大器



存儲芯片



MCU



串口通信

STM32F103VCT6+TD

產品規格說明書

1 产品特性

内核	所有 I/O 都可以映射到外部中断向量 最多有 60 个容忍 5V 输入的 I/O
32 位 Arm®Cortex®-M3 内核	
最高 96MHz 工作频率	
片上存储器	通信外设
Flash: 256KB	2 个 I2C 接口 (1Mbit/s), 全部支持 S MBus/PMBus
SRAM: 64KB	3 个 USART, 2 个 UART, 支持 ISO78 16、LIN 和 IrDA 等功能
SDRAM: 2MB(仅适用于合封产品)	3 个 SPI(18Mbps)接口,其中两个支持 I2S 接口复用
时钟	2 个 CAN, 支持 USBD 和 CAN 可同时 独立工作
HSECLK: 支持 4~16MHz 外部晶体 /陶瓷振荡器	1 个 USBD
LSECLK: 支持 32.768KHz 晶体/陶 瓷振荡器	模拟外设
HSICLK: 出厂校准的 8MHz RC 振 荡器	3 个 12 位的 ADC, 最多支持 16 个外 部通道
LSICLK: 支持 40KHz RC 振荡器	2 个 12 位的 DAC
PLL: 锁相环, 支持 2^{16} 倍频	定时器
电源与电源管理	2 个可以提供 7 通道 PWM 输出的 16 位高级定时器 TMR1/8, 支持死区生 成和刹车输入等功能
VDD 范围: 2.0~3.6V	4 个 16 位通用定时器 TMR2/3/4/5, 每 个定时器有 4 个独立通道可以用来 输入捕获、输出比较、PWM 与脉冲计 数等功能
VDDA 范围: 2.0~3.6V	2 个 16 位基本定时器 TMR6/7
备份域电源 VBAT 范围: 1.8V~3.6V	2 个看门狗定时器: 一个独立看门 狗 IWDT 和一个窗口看门狗 WWDT
支持上电/掉电复位(POR/PDR)	1 个 24 位自减型系统定时器 Sys T ickTimer
支持可编程电源电压检测器	
低功耗模式	RTC
支持睡眠、停机、待机三种模式	支持日历、闹钟功能
DMA	84Bytes 备份寄存器
两个 DMA, DMA1 有 7 个通道,DM A2 有 5 个通道	CRC 计算单元
调试接口	96 位唯一设备 ID
JTAG	
SWD	
I/O	
最多有 80 个 I/O	

目录

1 产品特性	1
2 产品信息	4
3 引脚信息	5
3.1 引脚分布	5
3.2 引脚功能描述	8
4 功能描述	20
4.1 系统架构	20
4.2 内核	25
4.3 中断控制器	26
4.4 片上存储器	26
4.5 时钟	26
4.6 电源与电源管理	28
4.7 低功耗模式	28
4.8 DMA	29
4.9 GPIO	29
4.10 通信外设	29
4.11 模拟外设	31
4.12 定时器	31
4.13 RTC	32
4.14 CRC	33
5 电气特性	34
5.1 电气特性测试条件	34
5.2 通用工作条件下的测试	35
5.3 绝对最大额定值	36
5.4 片上存储器	38
5.5 时钟	38
5.6 电源与电源管理	40
5.7 功耗	40
5.8 低功耗模式唤醒时间	52
5.9 引脚特性	52

5. 10 通信外设	54
5. 11 模拟外设	57
6 封装信息	60
6. 1LQFP100 封装图	60
6. 2LQFP64 封装图	63
6. 3LQFP48 封装图	65
7 包装信息	68
7. 1 带状包装	68
7. 2 托盘包装	69
8 订货信息	71
9 常用功能模块命名	72
10 版本历史	73

2 产品信息

STM32F103VCT6+TD产品功能和外设配置请参阅下表。

表格 1 STM32F103VCT6+TD系列芯片功能和外设

产品		32F103					
型号	CCTx	RCT6	VCTx	VCTxS			
封装	LQFP48	LQFP64	LQFP100	LQFP100			
内核及最大工作频率	Arm®32-bit Cortex®-M3@96MHz						
工作电压	2.0~3.6V						
Flash (KB)	256						
SRAM (KB)	64						
SDRAM (MB)	0			2			
GPIOs	37	51	80	55			
EMMC	0		1	0			
通信接口	USART/UART	3	3/2		3		
	SPI/I2S	3/2					
	I2C	2			1		
	USBD	1					
	CAN	2					
	SDIO	0	1	0			
定时器	16位高级	1	2				
	16位通用	4					
	16位基本	2					
	系统滴答定时器	1					
	看门狗	2					
实时时钟		1					
12位 ADC	单元	2	3				
	外部通道	10	16				
	内部通道	2					
12位 DAC	单元	2					
	通道	2					
工作温度		环境温度：-40°C至85°C/-40°C至105°C 结温度：-40°C至105°C/-40°C至125°C					

注：

(1) 当 x 为 6 时，环境温度：-40°C至85°C，结温度：-40°C至105°C；

(2) 当 x 为 7 时，环境温度：-40°C至105°C，结温度 -40°C至125°C。

3 引脚信息

3.1 引脚分布

图 1 STM32F103VCT6+TDTxS(合封 SDRAM)系列 LQFP100 引脚分布图

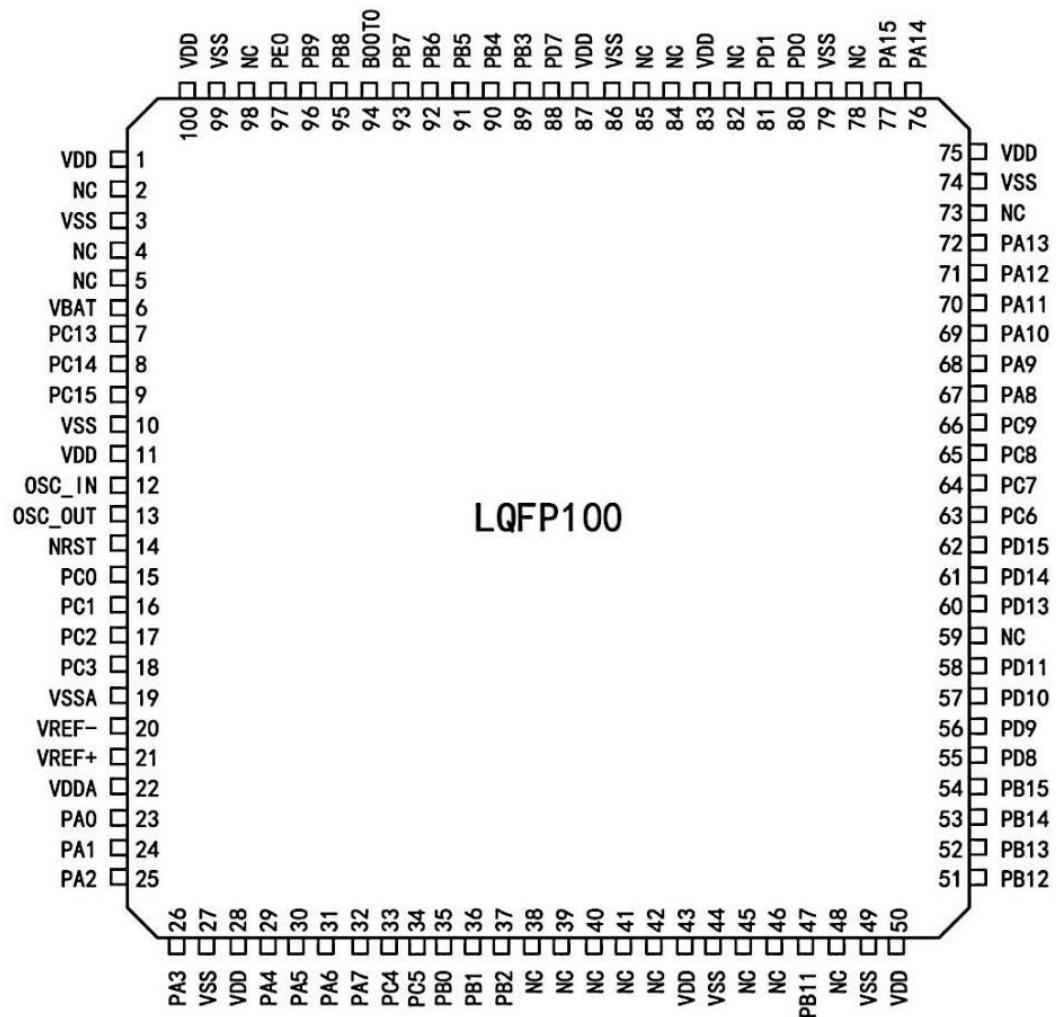


图 2 STM32F103VCT6+TDTx 系列 LQFP100 引脚分布图

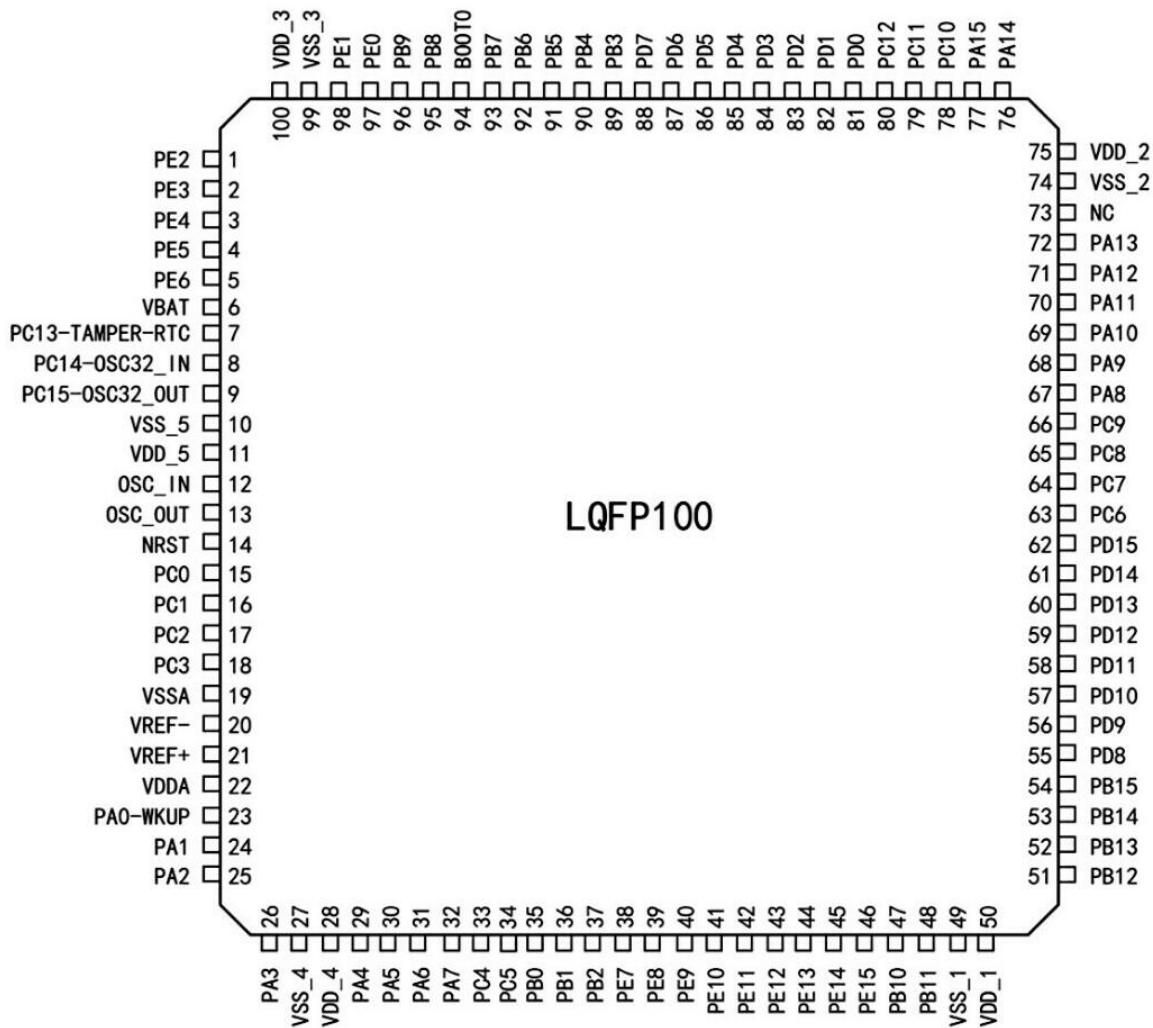


图 3 STM32F103VCT6+TD Tx 系列 LQFP64 引脚分布图

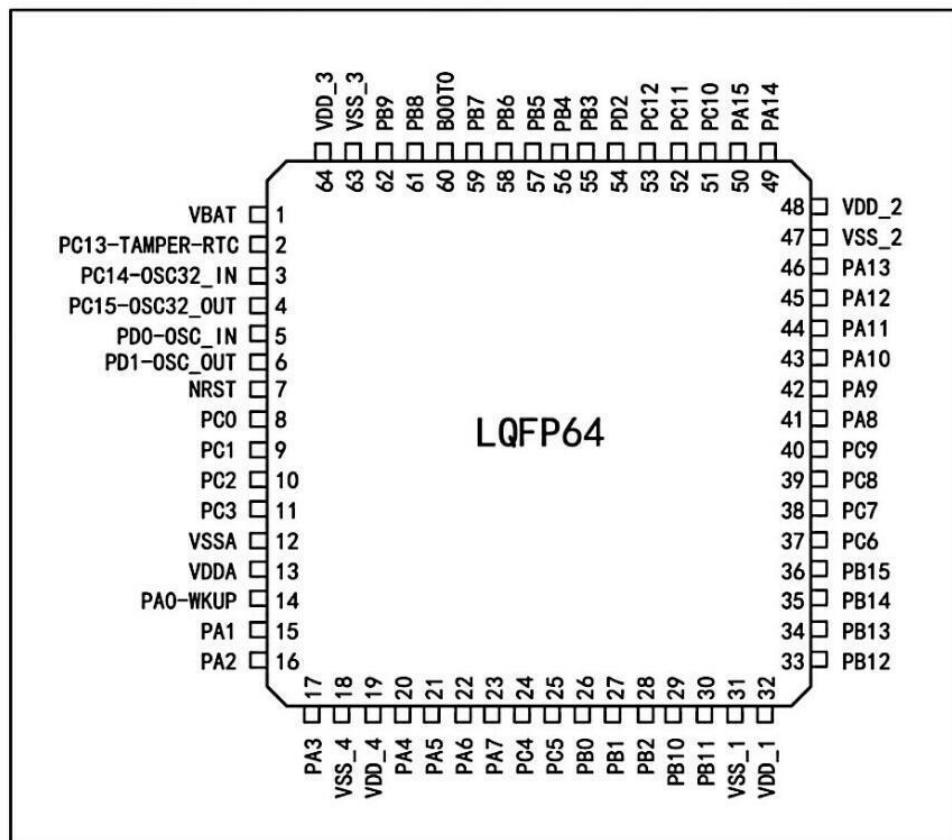
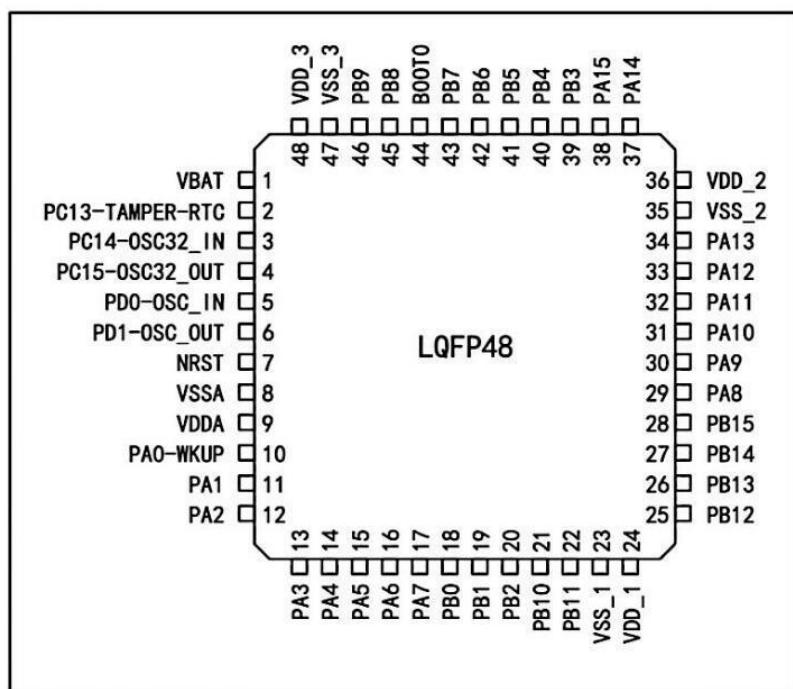


图 4 STM32F103VCT6+TD TX系列 LQFP48 引脚分布图



3.2 引脚功能描述

表格 2 输出引脚表中使用的图例/缩写

名称	缩写	定义
引脚名称	除非引脚名称下方的括号中另有规定，否则复位期间和复位后的引脚功能与实际引脚名称相同	
引脚类型	P	电源引脚
	I	仅输入引脚
	I/O	I/O 引脚
I/O 结构	5T	5V 容忍 I/O
	STDA	3.3V 标准、直接连接到 ADC 的 I/O
	STD	3.3V 标准 I/O
	B	专用 Boot0 引脚
	RST	内置上拉电阻的双向复位引脚
注意	除非注释另有规定，否则复位期间和复位后，所有 I/O 都设置为浮空输入	
引脚功能	默认复用功能	通过外设寄存器直接选择/启用此功能
	重定义功能	通过 AFIO 的重映射寄存器选择此功能

表格 3 STM32F103VCT6+TDTxS(合封 SDRAM)按引脚序号排序描述

名称	类型	结构	默认复用功能	重定义功能	LQFP100
VDD	P	-			1
NC	-				2
Vss	P				3
NC	-	-			4
NC	-	-	-		5
VBAT	P	-	-		6
PC13 (PC13)	I/O	STD	TAMPER-RTC		7
PC14 (PC14)	I/O	STD	OSC32_IN		8
PC15 (PC15)	I/O	STD	OSC32_OUT		9
Vss	P	-	-		10
VDD	P	-			11
OSC_IN	I	STD			12
OSC_OUT	O	STD	-		13

名称	类型	结构	默认复用功能	重定义功能	LQFP100
NRST	I/O	RST	-		14
PC0	I/O	STDA	ADC123_IN10		15
PC1	I/O	STDA	ADC123_IN11		16
PC2	I/O	STDA	ADC123_IN12		17
PC3	I/O	STDA	ADC123_IN13		18
VSSA	P	-	-		19
VREF-	P	-	-		20
VREF+	P	-			21
VDDA	P	-			22
PA0 (PA0)	I/O	STDA	WKUP, USART2_CTS, ADC123_IN0, TMR2_CH1_ETR, TMR5_CH1, TMR8_ETR		23
PA1	I/O	STDA	USART2_RTS, ADC123_IN1, TMR5_CH2, TMR2_CH2		24
PA2	I/O	STDA	USART2_TX, TMR5_CH3, ADC123_IN2, TMR2_CH3		25
PA3	I/O	STDA	USART2_RX, TMR5_CH4, ADC123_IN3, TMR2_CH4		26
Vss	P		-		27
VDD	P				28
PA4	I/O	STDA	SPI1_NSS, USART2_CK, DAC_OUT1, ADC12_IN4		29
PA5	I/O	STDA	SPI1_SCK, DAC_OUT2, ADC12_IN5		30
PA6	I/O	STDA	SPI1_MISO, TMR8_BKIN, ADC12_IN6	TMR1_BKIN	31

名称	类型	结构	默认复用功能	重定义功能	LQFP100
			TMR3_CH1		
PA7	I/O	STDA	SPI1_MOSI, TMR8_CH1N, ADC12_IN7, TMR3_CH2	TMR1_CH1N	32
PC4	I/O	STDA	ADC12_IN14		33
PC5	I/O	STDA	ADC12_IN15		34
PB0	I/O	STDA	ADC12_IN8, TMR3_CH3, TMR8_CH2N	TMR1_CH2N	35
PB1	I/O	STDA	ADC12_IN9, TMR3_CH4, TMR8_CH3N	TMR1_CH3N	36
PB2 (PB2, B00T1)	I/O	5T	PB2, B00T1		37
NC					38
NC					39
NC					40
NC					41
NC	-	-			42
VDD	P	-	-		43
Vss	P	-	-		44
NC	-	-	-		45
NC	-	-	-		46
PB11 (CKE)	I/O	5T	USART3_TX	TMR2_CH4	47
NC	-	-	-		48
Vss	P	-	-		49
VDD	P	-	-		50
PB12	I/O	5T	SPI2_NSS, I2S2_WS, USART3_CK, TMR1_BKIN, CAN2_RX		51
PB13	I/O	5T	SPI2_SCK, I2S2_CK, USART3_CTS, TMR1_CH1N,		52

名称	类型	结构	默认复用功能	重定义功能	LQFP100
			CAN2_TX		
PB14	I/O	5T	SPI2_MISO, TMR1_CH2N, USART3_RTS	-	53
PB15	I/O	5T	SPI2_MOSI, I2S2_SD, TMR1_CH3N	-	54
PD8	I/O	5T	-	USART3_TX	55
PD9	I/O	5T		USART3_RX	56
PD10	I/O	5T		USART3_CK	57
PD11	I/O	5T		USART3_CTS	58
NC	-	-		-	59
PD13	I/O	5T	-	TMR4_CH2	60
PD14	I/O	5T	-	TMR4_CH3	61
PD15	I/O	5T	-	TMR4_CH4	62
PC6	I/O	5T	I2S2_MCK, TMR8_CH1	TMR3_CH1	63
PC7	I/O	5T	I2S3_MCK, TMR8_CH2	TMR3_CH2	64
PC8	I/O	5T	TMR8_CH3	TMR3_CH3	65
PC9	I/O	5T	TMR8_CH4	TMR3_CH4	66
PA8	I/O	5T	USART1_CK, TMR1_CH1, MCO	-	67
PA9	I/O	5T	USART1_TX, TMR1_CH2		68
PA10	I/O	5T	USART1_RX, TMR1_CH3		69
PA11	I/O	5T	USART1_CTS, USBD1DM, USBD2DM, CAN1_RX, TMR1_CH4		70
PA12	I/O	5T	USART1_RTS, USBD1DP USBD2DP, CAN1_TX, TMR1_ETR		71
PA13	I/O	5T			72

名称	类型	结构	默认复用功能	重定义功能	LQFP100
(JTMS, SWDIO)					
NC		-			73
Vss	P	-	-		74
VDD	P		-	-	75
PA14 (JTCK, SWCLK)	I/O	5T	-	-	76
PA15 (JTDI)	I/O	5T	SPI3_NSS, I2S3_WS	TMR2_CH1_ETR, PA15, SPI1_NSS	77
NC	-	-		-	78
Vss	I/O	5T		-	79
PDO	I/O	5T		CAN1_TX	80
PD1	I/O	5T		CAN1_RX	81
NC	-	-		-	82
VDD	I/O	5T			83
NC	-	-	-		84
NC	-	-	-		85
Vss	I/O	5T		-	86
VDD	I/O	5T	-	-	87
PD7	I/O	5T		USART2_CK	88
PB3 (JTDO)	I/O	5T	SPI3_SCK, I2S3_CK	PB3, TRACESWO, TMR2_CH2, SPI1_SCK	89
PB4 (NJTRST)	I/O	5T	SPI3_MISO	PB4, TMR3_CH1, SPI1_MISO	90
PB5	I/O	STD	SPI3_MOSI, I2C1_SMBA1, I2S3_SD	TMR3_CH2, SPI1_MOSI, CA N2_RX	91
PB6	I/O	5T	I2C1_SCL, I2C3_SCL, TMR4_CH1	USART1_TX, CAN2_TX	92
PB7	I/O	5T	I2C1_SDA, I2C3_SDA, TMR4_CH2	USART1_RX	93
BOOT0	I	B	-		94

名称	类型	结构	默认复用功能	重定义功能	LQFP100
PB8	I/O	5T	TMR4_CH3	I2C1_SCL, I2C3_SCL, CAN1_RX	95
PB9	I/O	5T	TMR4_CH4	I2C1_SDA, I2C3_SDA, CAN1_TX	96
PE0	I/O	5T	TMR4_ETR	-	97
NC	-	-			98
Vss	P	-			99
VDD	P				100

表格 4 STM32F103VCT6+TDTx 按引脚序号排序描述

名称 (复位后的功能)	类型	结构	默认复用功能	重定义功能	LQFP48	LQFP64	LQFP100
PE2	I/O	5T	TRACECK, SMC_A23			-	1
PE3	I/O	5T	TRACED0, SMC_A19				2
PE4	I/O	5T	TRACED1, SMC_A20			-	3
PE5	I/O	5T	TRACED2, SMC_A21		-	-	4
PE6	I/O	5T	TRACED3, SMC_A22	-	-	-	5
VBAT	P	-	-	-	1	1	6
PC13-TAMPER-RTC (PC13)	I/O	STD	TAMPER_RTC	-	2	2	7
PC14-OSC32_IN (PC14)	I/O	STD	OSC32_IN	-	3	3	8
PC15-OSC32_OUT (PC15)	I/O	STD	OSC32_OUT	-	4	4	9
Vss_5	P	-	-	-	-	-	10
VDD_5	P	-		-	-	-	11
OSC_IN	I	STD		PD0	5	5	12
OSC_OUT	O	STD		PD1	6	6	13
NRST	I/O	RST	-	-	7	7	14
PC0	I/O	STDA	ADC123_IN10, DMC_WE	-	-	8	15
PC1	I/O	STDA	ADC123_IN11, DMC_RAS	-	-	9	16

名称 (复位后的功能)	类型	结构	默认复用功能	重定义功能	LQFP48	LQFP64	LQFP100
PC2	I/O	STDA	ADC123_IN12, DMC_CS		-	10	17
PC3	I/O	STDA	ADC123_IN13, DMC_CKE		-	11	18
VSSA	P				8	12	19
VREF-	P				-	-	20
VREF+	P				-	-	21
VDDA	P			-	9	13	22
PA0-WKUP (PA0)	I/O	STDA	WKUP, USART2_CTS, ADC123_IN0, TMR2_CH1_ETR, TMR5_CH1, TMR8_ETR		10	14	23
PA1	I/O	STDA	USART2 RTS, ADC123_IN1, TMR5_CH2, TMR2_CH2		11	15	24
PA2	I/O	STDA	USART2_TX, TMR5_CH3, ADC123_IN2, TMR2_CH3		12	16	25
PA3	I/O	STDA	USART2_RX, TMR5_CH4, A DC123_IN3, TMR2_CH4		13	17	26
Vss _4	P		-			18	27
VDD_4	P					19	28
PA4	I/O	STDA	SPI1_NSS, USART2_OK, DAC_OUT1, ADC12_IN4		14	20	29
PA5	I/O	STDA	SPI1_SCK, DAC_OUT2, AD C12_IN5		15	21	30
PA6	I/O	STDA	SPI1_MISO, TMR8_BKIN, ADC12_IN6 TMR3_CH1	TMR1_BKIN	16	22	31

名称 (复位后的功能)	类型	结构	默认复用功能	重定义功能	LQFP48	LQFP64	LQFP100
PA7	I/O	STDA	SPI1_MOSI, TMR8_CH1N, ADC12_IN7, TMR3_CH2	TMR1_CH1N	17	23	32
PC4	I/O	STDA	ADC12_IN14			24	33
PC5	I/O	STDA	ADC12_IN15			25	34
PB0	I/O	STDA	ADC12_IN8, TMR3_CH3, TMR8_CH2N	TMR1_CH2N	18	26	35
PB1	I/O	STDA	ADC12_IN9, TMR3_CH4, TMR8_CH3N	TMR1_CH3N	19	27	36
PB2 (PB2, BOOT1)	I/O	5T	-	-	20	28	37
PE7	I/O	5T	SMC_D4, DMC_D4	TMR1_ETR	-	-	38
PE8	I/O	5T	SMC_D5, DMC_D5	TMR1_CH1N	-	-	39
PE9	I/O	5T	SMC_D6, DMC_D6	TMR1_CH1	-	-	40
PE10	I/O	5T	SMC_D7, DMC_D7	TMR1_CH2N	-	-	41
PE11	I/O	5T	SMC_D8, DMC_D8	TMR1_CH2	-	-	42
PE12	I/O	5T	SMC_D9, DMC_D9	TMR1_CH3N	-	-	43
PE13	I/O	5T	SMC_D10, DMC_D10	TMR1_CH3	-	-	44
PE14	I/O	5T	SMC_D11, DMC_D11	TMR1_CH4	-	-	45
PE15	I/O	5T	SMC_D12, DMC_D12	TMR1_BKIN	-	-	46
PB10	I/O	5T	I2C2_SCL, I2C4_SCL, USART3_TX	TMR2_CH3	21	29	47
PB11	I/O	5T	I2C2_SDA, I2C4_SDA, USART3_RX	TMR2_CH4	22	30	48
Vss_1	P	-	-		23	31	49
VDD_1	P	-	-		24	32	50

名称 (复位后的功能)	类型	结构	默认复用功能	重定义功能	LQFP48	LQFP64	LQFP100
PB12	I/O	5T	SPI2_NSS, I2S2_WS, I2C2_SMBAI, USART3_CK, TMR1_BKIN, CAN2_RX		25	33	51
PB13	I/O	5T	SPI2_SCK, I2S2_CK, USART3_CTS, TMR1_CH1N, CAN2_TX		26	34	52
PB14	I/O	5T	SPI2_MISO, TMR1_CH2N, USART3_RTS		27	35	53
PB15	I/O	5T	SPI2_MOSI, I2S2_SD, TMR1_CH3N		28	36	54
PD8	I/O	5T	SMC_D13, DMC_D13	USART3_TX	-	-	55
PD9	I/O	5T	SMC_D14, DMC_D14	USART3_RX	-	-	56
PD10	I/O	5T	SMC_D15, DMC_D15	USART3_CK	-	-	57
PD11	I/O	5T	SMC_A16, DMC_BAO	USART3_CTS	-	-	58
PD12	I/O	5T	SMC_A17, DMC_BA1	TMR4_CH1, USART3_RTS	-	-	59
PD13	I/O	5T	SMC_A18	TMR4_CH2	-	-	60
PD14	I/O	5T	SMC_D0, DMC_D0	TMR4_CH3	-	-	61
PD15	I/O	5T	SMC_D1, DMC_D2	TMR4_CH4	-	-	62
PC6	I/O	5T	I2S2_MCK, TMR8_CH1, SDI0_D6	TMR3_CH1	-	37	63
PC7	I/O	5T	I2S3_MCK, TMR8_CH2, SDI0_D7	TMR3_CH2	-	38	64
PC8	I/O	5T	TMR8_CH3, SDIO_D0	TMR3_CH3	-	39	65
PC9	I/O	5T	TMR8_CH4,	TMR3_CH4	-	40	66

名称 (复位后的功能)	类型	结构	默认复用功能	重定义功能	LQFP48	LQFP64	LQFP100
			SDIO_D1				
PA8	I/O	5T	USART1_CK, TMR1_CH1, MC0		29	41	67
PA9	I/O	5T	USART1_TX, TMR1_CH2		30	42	68
PA10	I/O	5T	USART1_RX, TMR1_CH3		31	43	69
PA11	I/O	5T	USART1_CTS, USBD1DM, USBD2DM, CAN1_RX, TMR1_CH4		32	44	70
PA12	I/O	5T	USART1_RTS, USBD1DP USBD2DP, CAN1_TX, TMR1_ETR		33	45	71
PA13 (JTMS, SWDIO)	I/O	5T		PA13	34	46	72
NC	-		未连接	-	-	-	73
Vss_2	P		-	-	35	47	74
VDD_2	P		-	-	36	48	75
PA14 (JTCK, SWCLK)	I/O	5T	-	PA14	37	49	76
PA15 (JTDI)	I/O	5T	SPI3_NSS, I2S3_WS	TMR2_CH1_ETR, PA15, SPI1_NSS	38	50	77
PC10	I/O	5T	UART4_TX, SDIO_D2	USART3_TX	-	51	78
PC11	I/O	5T	UART4_RX, SDIO_D3	USART3_RX	-	52	79
PC12	I/O	5T	UART5_TX, SDIO_CK	USART3_CK	-	53	80
PDO (OSC_IN)	I/O	5T	SMC_D2, DMC_D2	CAN1_RX	-	-	81
PD1 (OSC_OUT)	I/O	5T	SMC_D3, DMC_D3	CAN1_TX	-	-	82
PD2	I/O	5T	TMR3_ETR, UART5_RX,	-	-	54	83

名称 (复位后的功能)	类型	结构	默认复用功能	重定义功能	LQFP48	LQFP64	LQFP100
			SDIO_CMD				
PD3	I/O	5T	SMC_CLK	USART2_CTS			84
PD4	I/O	5T	SMC_NOE	USART2_RTS			85
PD5	I/O	5T	SMC_NWE	USART2_TX			86
PD6	I/O	5T	SMC_NWAIT	USART2_RX			87
PD7	I/O	5T	SMC_NE1, SMC_NCE2	USART2_CK	-	-	88
PB3 (JTDO)	I/O	5T	SP13_SCK, I2S3_CK	PB3, TRACESWO, TMR2_CH2, SPI1_SCK	39	55	89
PB4 (NJTRST)	I/O	5T	SP13_MISO	PB4, TMR3_CH1, SPI1_MISO	40	56	90
PB5	I/O	STD	I2C1_SMBAI, SP13_MOSI, I2S3_SD	TMR3_CH2, SPI1_MOS I, CAN2_RX	41	57	91
PB6	I/O	5T	I2C1_SCL, I2C3_SCL, TMR4_CH1	USART1_TX, CAN2_TX	42	58	92
PB7	I/O	5T	I2C1_SDA, I2C3_SDA, SM C_NADV, TMR4_CH2	USART1_RX	43	59	93
BOOT0	I	B	-	-	44	60	94
PB8	I/O	5T	TMR4_CH3, SDIO_D4	I2C1_SCL, I2C3_SCL, CAN1_RX	45	61	95
PB9	I/O	5T	TMR4_CH4, SDIO_D5	I2C1_SDA, I2C3_SDA, CAN1_TX	46	62	96
PE0	I/O	5T	TMR4_ETR, SMC_NBL0, DMC_LDQM	-	-	-	97
PE1	I/O	5T	SMC_NBL1, DMC_UDQM		-	-	98
Vss_3	P				47	63	99
VDD_3	P			-	48	64	100

注:

(1) PC13、PC14 和 PC15 通过电源开关供电。由于开关仅吸收有限的电流(3 毫安)，因此在输出模式下 GPIO 的 PC13 至 PC15 的使用受到限制：

- ① 大负载为 30pF 时，速度不应超过 2MHz；
- ② 不用作电流源(例如驱动发光二极管)。

(2) LQFP64、LQFP48 封装的引脚 5 和引脚 6, 芯片复位默认配置为 OSC_IN 和 OSC_OUT 功能脚，软件可以重新设置这两个引脚为 PDO 和 PD1 功能；对于 LQFP100 封装，由于 PDO 和 PD1 为固有的功能引脚。

功能描述

本章主要介绍 STM32F103VCT6+TD 系列产品系统架构、中断、片上存储器、时钟、电源、外设特点，有关 Arm® Cortex®-M3 内核的相关信息，请参考 Arm® Cortex®-M3 技术参考手册，该手册可以在 Arm 公司的网站下载。

4.1 系统架构

4.1.1 系统框图

图 5 STM32F103VCT6+TDTx 系统框图

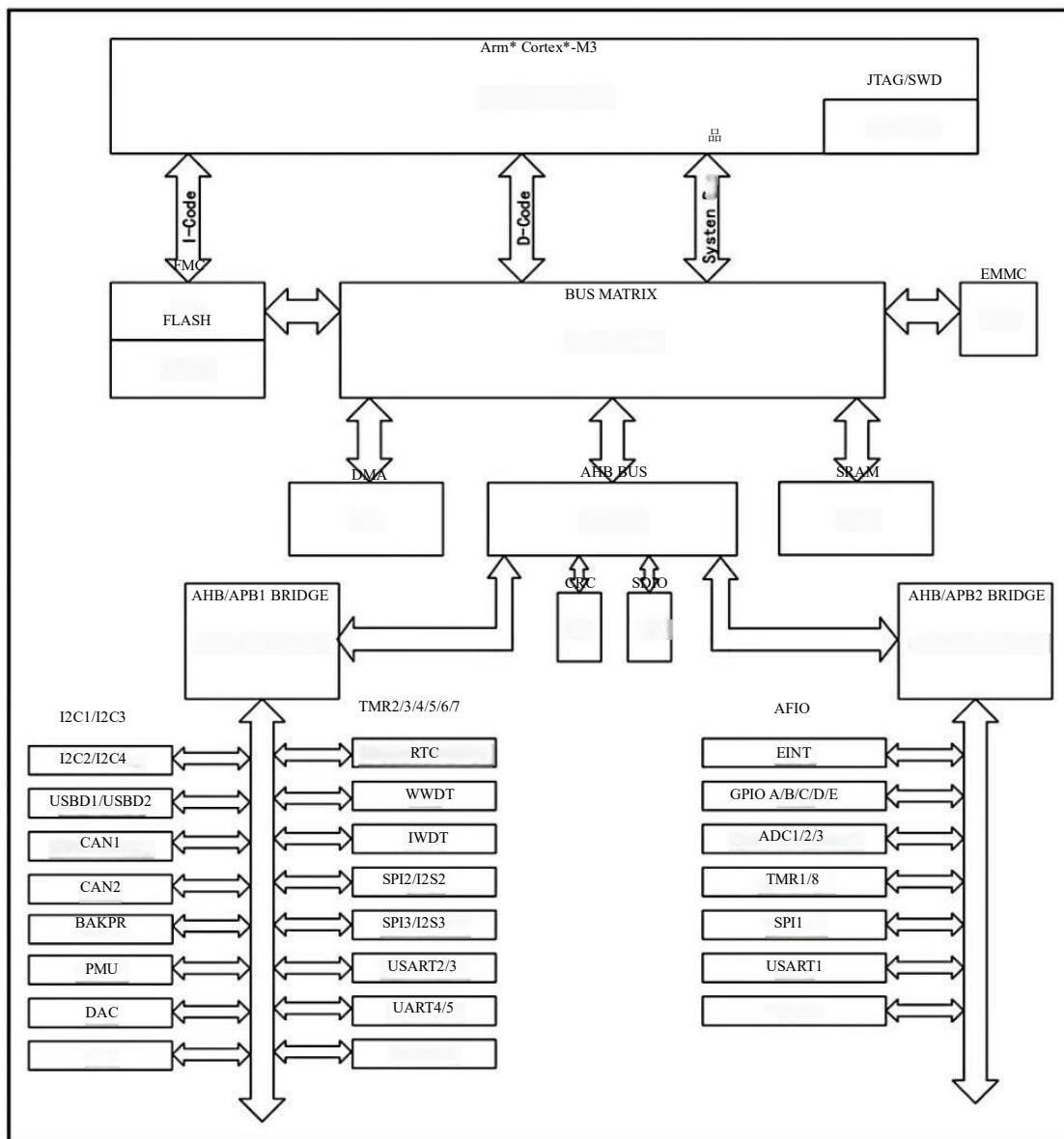
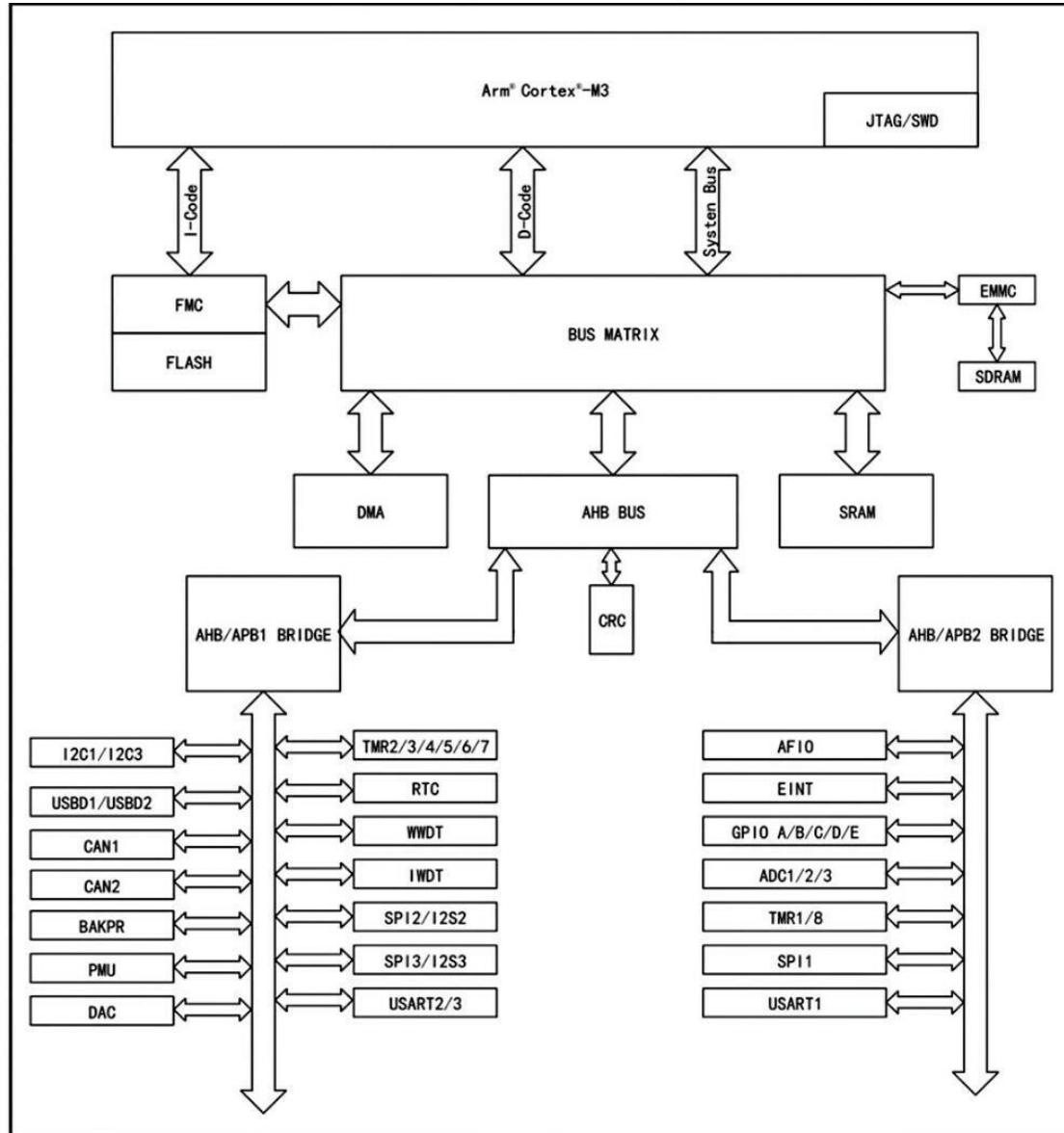


图 6 STM32F103VCT6+TDTxS (合封 SDRAM) 系统框图



4.1.2 地址映射

表格 5 STM32F103VCT6+TDTx 系列地址映射表

区域	起始地址	外设名称
代码	0x0000 0000	代码映射区
代码	0x0800 0000	Flash
代码	0x0804 0000	保留
代码	0x1FFF F000	系统存储区
代码	0x1FFF F800	选项字节
代码	0x1FFF F810	保留
SRAM	0x2000 0000	SRAM
APB1 总线	0x4000 0000	TMR2
APB1 总线	0x4000 0400	TMR3

区域	起始地址	外设名称
APB1 总线	0x4000 0800	TMR4
APB1 总线	0x40000C00	TMR5
APB1 总线	0x4000 1000	TMR6
APB1 总线	0x4000 1400	TMR7
APB1 总线	0x4000 1800	保留
APB1 总线	0x4000 2800	RTC
APB1 总线	0x4000 2C00	WWDT
APB1 总线	0x4000 3000	IWDT
APB1 总线	0x4000 3400	保留
APB1 总线	0x4000 3800	SPI2/I2S2
APB1 总线	0x4000 3C00	SPI3/I2S3
APB1 总线	0x4000 4000	保留
APB1 总线	0x4000 4400	USART2
APB1 总线	0x4000 4800	USART3
APB1 总线	0x4000 4C00	USART4
APB1 总线	0x4000 5000	USART5
APB1 总线	0x4000 5400	I2C1(I2C3)
APB1 总线	0x4000 5800	I2C2(I2C4)
APB1 总线	0x4000 5C00	USBD1(USBD2)
APB1 总线	0x4000 6000	USBD/CAN SRAM
APB1 总线	0x4000 6400	CAN1
APB1 总线	0x4000 6800	CAN2
APB1 总线	0x40006C00	BAKPR
APB1 总线	0x4000 7000	PMU
APB1 总线	0x4000 7400	DAC
—	0x40007800	保留
APB2 总线	0x4001 0000	AF10
APB2 总线	0x4001 0400	EINT
APB2 总线	0x4001 0800	Port A
APB2 总线	0x4001 0C00	Port B
APB2 总线	0x4001 1000	Port C
APB2 总线	0x4001 1400	Port D
APB2 总线	0x4001 1800	Port E
APB2 总线	0x4001 1C00	保留
APB2 总线	0x4001 2000	保留
APB2 总线	0x4001 2400	ADC1
APB2 总线	0x4001 2800	ADC2
APB2 总线	0x40012C00	TMR1

区域	起始地址	外设名称
APB2 总线	0x4001 3000	SPI1
APB2 总线	0x4001 3400	TMR8
APB2 总线	0x4001 3800	USART1
APB2 总线	0x4001 3C00	ADC3
—	0x40014000	保留
AHB 总线	0x4001 8000	SDIO
AHB 总线	0x4001 8400	保留
AHB 总线	0x4002 0000	DMA1
AHB 总线	0x4002 0400	DMA2
AHB 总线	0x40020400	保留
AHB 总线	0x4002 1000	RCM
AHB 总线	0x4002 1400	保留
AHB 总线	0x4002 2000	Flash 接口
AHB 总线	0x4002 2400	保留
AHB 总线	0x4002 3000	CRC
AHB 总线	0x4002 3400	保留
AHB 总线	0x40024000	保留
AHB 总线	0x00024400	保留
AHB 总线	0x6000 0000	EMMC bank 1 NOR/PSRAM 1/SDRAM
AHB 总线	0x6400 0000	EMMC bank 1 NOR/PSRAM 2/SDRAM
AHB 总线	0x6800 0000	EMMC bank 1 NOR/PSRAM 3/SDRAM
AHB 总线	0x6C00 0000	EMMC bank 1 NOR/PSRAM 4/SDRAM
AHB 总线	0x7000 0000	EMMC bank 2 NAND(NAND1)
AHB 总线	0x8000 0000	EMMC bank 3 NAND(NAND2)
AHB 总线	0x9000 0000	EMMC bank 4 PCCARD
AHB 总线	0xA000 0000	EMMC 寄存器
—	0xA000 1000	保留
内核	0xE000 0000	M3 内核外设

注：SDRAM 是直接寻址 256M，没有 bank 分别访问。

表格 6 STM32F103VCT6+TDTxS 系列地址映射表

区域	起始地址	外设名称
代码	0x0000 0000	代码映射区
代码	0x0800 0000	Flash
代码	0x0804 0000	保留
代码	0x1FFF F000	系统存储区
代码	0x1FFF F800	选项字节
代码	0x1FFF F810	保留
SRAM	0x2000 0000	SRAM

区域	起始地址	外设名称
APB1 总线	0x4000 0000	TMR2
APB1 总线	0x4000 0400	TMR3
APB1 总线	0x4000 0800	TMR4
APB1 总线	0x40000C00	TMR5
APB1 总线	0x4000 1000	TMR6
APB1 总线	0x4000 1400	TMR7
APB1 总线	0x4000 1800	保留
APB1 总线	0x4000 2800	RTC
APB1 总线	0x4000 2C00	WWDT
APB1 总线	0x4000 3000	IWDT
APB1 总线	0x4000 3400	保留
APB1 总线	0x4000 3800	SPI2/I2S2
APB1 总线	0x4000 3C00	SPI3/I2S3
APB1 总线	0x4000 4000	保留
APB1 总线	0x4000 4400	USART2
APB1 总线	0x4000 4800	USART3
APB1 总线	0x40004C00	保留
APB1 总线	0x4000 5000	保留
APB1 总线	0x4000 5400	I2C1(I2C3)
APB1 总线	0x4000 5800	保留
APB1 总线	0x4000 5C00	USBD1(USBD2)
APB1 总线	0x4000 6000	USBD/CAN SRAM
APB1 总线	0x4000 6400	CAN1
APB1 总线	0x4000 6800	CAN2
APB1 总线	0x4000 6C00	BAKPR
APB1 总线	0x4000 7000	PMU
APB1 总线	0x4000 7400	DAC
—	0x4000 7800	保留
APB2 总线	0x4001 0000	AF10
APB2 总线	0x4001 0400	EINT
APB2 总线	0x4001 0800	Port A
APB2 总线	0x4001 0C00	Port B
APB2 总线	0x4001 1000	Port C
APB2 总线	0x4001 1400	Port D
APB2 总线	0x4001 1800	Port E
APB2 总线	0x4001 1C00	保留
APB2 总线	0x4001 2000	保留
APB2 总线	0x4001 2400	ADC1

区域	起始地址	外设名称
APB2 总线	0x4001 2800	ADC2
APB2 总线	0x4001 2000	TMR1
APB2 总线	0x4001 3000	SPI1
APB2 总线	0x4001 3400	TMR8
APB2 总线	0x4001 3800	USART1
APB2 总线	0x4001 3C00	ADC3
—	0x4001 4000	保留
AHB 总线	0x4001 8000	保留
AHB 总线	0x4001 8400	保留
AHB 总线	0x4002 0000	DMA1
AHB 总线	0x4002 0400	DMA2
AHB 总线	0x4002 0400	保留
AHB 总线	0x4002 1000	RCM
AHB 总线	0x4002 1400	保留
AHB 总线	0x4002 2000	Flash 接口
AHB 总线	0x4002 2400	保留
AHB 总线	0x4002 3000	CRC
AHB 总线	0x4002 3400	保留
AHB 总线	0x4002 4000	保留
AHB 总线	0x0002 4400	保留
AHB 总线	0xA000 0000	保留
—	0xA000 1000	保留
内核	0xE000 0000	M3 内核外设

4.1.3 启动配置

启动时，用户可设置 Boot 引脚的高低电平选择以下三种启动模式中的一种：

从主存储器启动

从 BootLoader 启动

从内置 SRAM 启动

若从 BootLoader 启动，用户可使用 USART 接口重新编程用户 Flash。

4.2 内核

STM32F103VCT6+TD 的内核是 Arm® Cortex®-M3，基于该平台开发成本低、功耗低，可提供优良的计算性能和先进的系统中断响应，兼容所有 Arm 工具和软件。

4.3 中断控制器

4.3.1 嵌套的向量式中断控制器(NVIC)

内置 1 个嵌套向量中断控制器(NVIC)， NVIC 能够处理多达 60 个可屏蔽中断通道(不包括 16 个 Cortex®-M3 的中断线)和 16 个优先级；可直接向内核传递中断向量入口地址，从而达到低延迟的中断响应处理能优先处理晚到的较高优先级中断。

4.3.2 外部中断/事件控制器(EINT)

外部中断/事件控制器有 19 个边沿检测器，每个检测器包含边沿检测电路、中断/事件请求产生电路；每个检测器可配置为上升沿触发、下降沿、双边沿触发，也能够单独屏蔽；最多 80 个 GPIO 可连接到 16 个外部中断线。

4.4 片上存储器

片上存储器包括主存储区、SRAM、信息块，其中信息块包括系统存储区、选项字节，系统存储区存放 BootLoader、96 位唯一设备 ID、主存储区容量信息；系统存储区出厂时已写入程序，不可擦写。

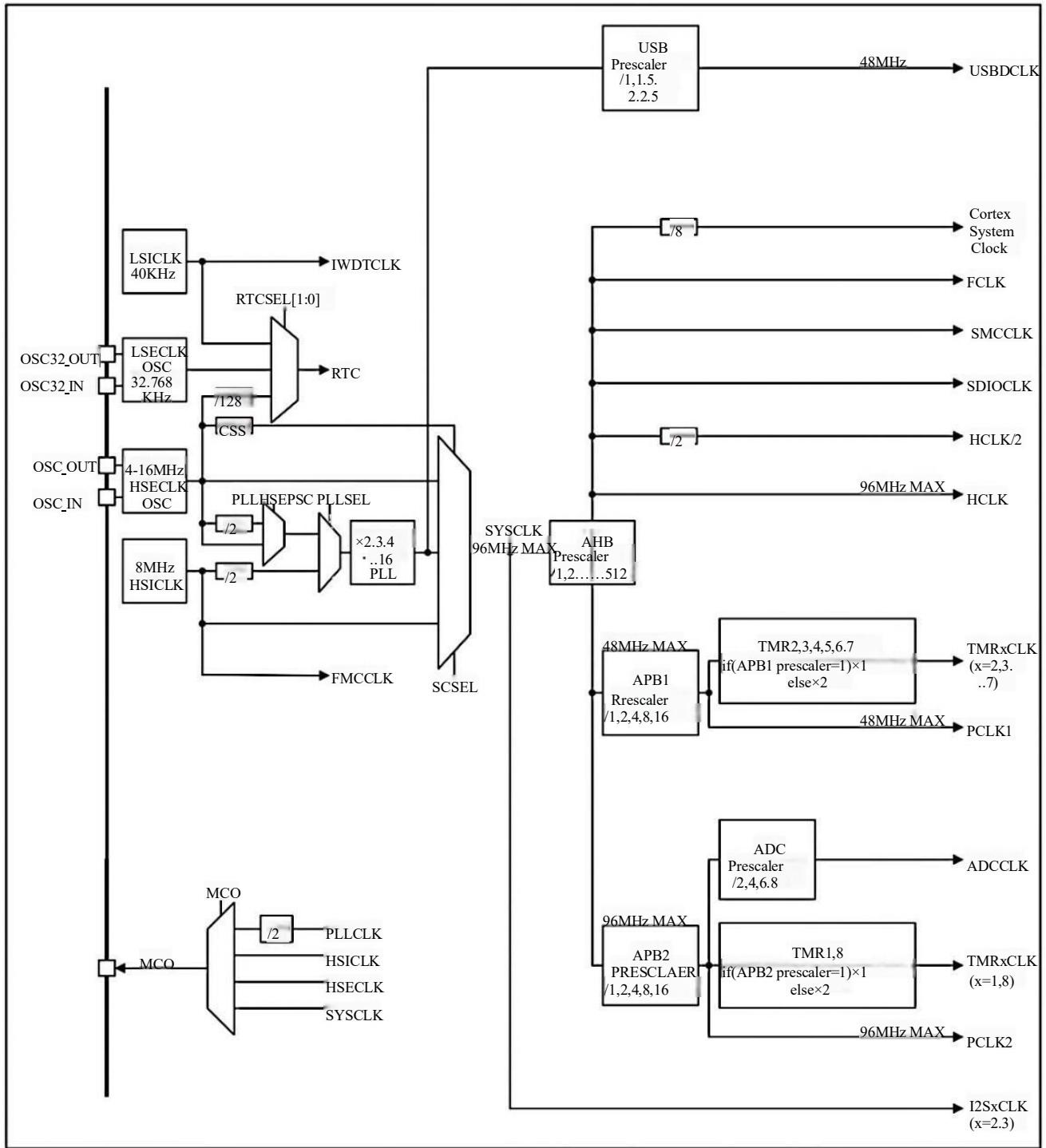
表格 7 片上存储区

存储器	最大容量	功能
主存储区	256 KB	存放用户程序和数据。
SRAM	64 KB	CPU 能以 0 等待周期访问(读/写)。
系统存储区	2KB	存放 BootLoader、96 位唯一设备 ID、主存储区容量信息
选项字节	16Bytes	配置主存储区读写保护、MCU 工作方式
SDRAM	2MB	存储大量临时数据，数据缓存、读(仅适用于 STM32F103VCT6+TDTxS)

4.5 时钟

STM32F103VCT6+TD 的时钟树见下图：

图 7 STM32F103VCT6+TD 时钟树



4.5.1 时钟源

时钟源按速度分为高速时钟、低速时钟，高速时钟有、HSICLK、HSECLK，低速时钟分有LSECLK、LSICLK；按片内/外分为内部时钟、外部时钟，内部时钟有HSICLK、LSICLK，外部时钟有HSECLK、LSECLK，其中HSICLK在出厂时会校准精度至±1%。

4.5.2 系统时钟

可选择HSICLK、PLLCLK、HSECLK作为系统时钟，PLLCLK的时钟源可选择HSICLK、

HSECLK 中的一种，配置 PLL 的倍频系数、分频系数可获得所需系统时钟。

产品复位启动时，默认选择HSICLK作为系统时钟，之后用户可自行选择上述时钟源中的一种作为系统时钟。当检测到 HSECLK 失效时，系统将自动地切换回 HSICLK，如果使能了中断，软件可以接收到相应的中断。

4.5.3 总线时钟

内置 AHB、APB1、ABP2 总线，AHB 的时钟源是 SYSCLK，APB1、APB2 的时钟源是 HCLK；配置分频系数可获得所需的时钟，AHB 和高速 APB2 的最高频率为 96MHz，APB1 的最高频率是 48MHz。

4.6 电源与电源管理

4.6.1 电源方案

表格 8 电源方案

名称	电压范围	说明
VDD	2.0~3.6V	通过 VDD 引脚给 I/O(具体 IO 见引脚分布图)、内部调压器供电。
VDDA/VSSA	2.0~3.6V	为 ADC、DAC、复位模块、RC 振荡器和 PLL 的模拟部分供电：使用 ADC 或 DAC 时，VDDA 不得小于 2.4V，VDDA 和 VssA 必须分别连接到 VDD 和 Vss。
VBAT	1.8~3.6V	当关闭 VDD 时，通过内部电源切换器，为 RTC、外部 32KHz 振荡器和后备寄存器供电。

4.6.2 调压器

表格 9 调压器工作模式

名称	说明
主模式(MR)	用于运行模式
低功耗模式(LPR)	用于停机模式
掉电模式	用于待机模式，此时调压器高阻输出，内核电路掉电，调压器功耗为零，寄存器和 SRAM 的数据会全部丢失。

注：调压器在复位后始终处于工作状态，在掉电模式下高阻输出。

4.6.3 电源电压监控器

产品内部集成了上电复位(POR)和掉电复位(PDR)电路。这两种电路始终处于工作状态。当掉电复位电路监测到电源电压低于规定的阈值(VPOR/PDR)时，即使外部复位电路，系统保持复位状态。

该产品内置能够监测 VDD 并将其与 VPvD 阈值比较的可编程电源电压监控器(PVD)，当 VD D 在 VPvD 阈值范围外且中断使能时会产生中断，可通过中断服务程序将 MCU 设置成安全状态。

4.7 低功耗模式

STM32F103VCT6+TD 支持睡眠、停机、待机三种低功耗模式，这三种模式在功耗、唤醒时间长短、唤醒方式存在差异，可依据实际应用需求选择低功耗模式。

表格 10 低功耗模式

模式	说明
睡眠模式	内核停止工作，所有外设处于工作状态，可通过中断/事件唤醒
停机模式	在 SRAM 和寄存器数据不丢失的情况下，停机模式可达到最低的功耗； 内部 1.5V 供电模块的时钟都会停止，HSECLK 晶体谐振器、HSICLK、PLL 被禁止，调压器可配置普通模式或低功耗模式； 任何外部中断线可唤醒 MCU，外部中断线包括 16 个外部中断线之一、PVD 输出、RTC、USBD。
待机模式	该模式功耗最低； 内部调压器被关闭，所有 1.5V 供电模块掉电，HSECLK 晶体谐振器、HSICLK、PLL 时钟关闭，SRAM 和寄存器的数据消失，RTC 区域、后备寄存器内容仍然保留，待机电路仍工作； NRST 上的外部复位信号、IWDW 复位、WKUP 引脚上的上升沿或 RTC 的事件都会唤醒 MCU 退出待机模式。

4.8 DMA

内置 2 个 DMA，DMA1 支持 7 路通道，DMA2 支持 5 路通道。每个通道支持多个 DMA 请求，但同一时刻只允许 1 个 DMA 请求进入 DMA 通道。支持 DMA 请求的外设有：ADC、SPI、USART、I2C、TMRx。可配置 4 级 DMA 通道优先级。支持“存储器→存储器、存储器→外设、外设→存储器”数据传输（存储器包括 Flash、SRAM、SDRAM）。

4.9 GPIO

GPIO 可以配置为通用输入、通用输出、复用功能、模拟输入输出。通用输入可以配置成浮空输入、上拉输入、下拉输入，通用输出可以配置成推挽输出、开漏输出，复用功能可以用于数字外设，模拟输入输出可以用于模拟外设以及低功耗模式；可以配置使能/禁止上拉/下拉电阻；可以配置 2MHz、10MHz、50MHz 的速度，速度越大，功耗、噪声也会越大。

4.10 通信外设

4.10.1 USART/UART

该芯片内置多达 5 个通用同步/异步收发器，USART1 接口通信速率可达 4.5Mbit/s，其它 USART/UART 的通信速率可达 2.25Mbit/s，所有 USART/UART 可配置波特率、奇偶校验位、停止位、数据位长度，除了 UART5 外所有其它 USART/UART 都可以支持 DMA。各个 USART/UART 功能差异如下表：

表格 11 USART/UART 功能差异

USART 模式/功能	USART1	USART2	USART3	USART4	USART5
调制解调器的硬件流控制	✓	✓	✓	—	—
同步模式	✓	✓	✓	✓	✓
智能卡模式	✓	✓	✓	—	—
IrDAS IR 编码解码器功能	✓	✓	✓	✓	✓

USART 模式/功能	USART1	USART2	USART3	UART4	UART5
LIN 模式	✓	✓	✓	✓	✓
单线半双工模式	✓	✓	✓	✓	✓
支持 DMA 功能	✓	✓	✓	✓	

注：✓=支持。

4.10.2 I2C

内置 I2C1/2、I2C3/4 总线接口，I2C1 与 I2C3 共用硬件接口、寄存器基址，I2C2 与 I2C4 共用硬件接口、寄存器基址，因此 I2C1 与 I2C3 不能同时使用，I2C2 与 I2C4 不能同时使用。

I2C1/2 均可工作于多主模式或从模式，支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址，通信速率支持标准模式(最高 100kbit/s)、快速模式(最高 400kbit/s)；内置了硬件 CRC 发生器/校验器；它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

I2C3/4 总线，可以在标准模式、快速模式、高速模式下运行，高速模式和快速模式设备是向下兼容的。

4.10.3 SPI/I2S

内置 3 个 SPI，在主模式、从模式下均支持全双工、半双工通信，可使用 DMA 控制器，可配置每帧 4~16 位，通信速率最高 18Mbit/s。

内置 2 个 I2S(分别与 SPI2、SPI3 复用)，支持主模式、从模式半双工通信，支持同步传输，可配置 16 位或 32 位分辨率的 16 位、24 位、32 位数据传输，音频采样率可配置的范围是 8kHz~48kHz；当一个或者两个 I2S 接口配置为主模式，其主时钟可以以 256 倍采样频率输出给外部的 DAC 或解码器 (CODEC)。

4.10.4 CAN

内置 2 个 CAN(CAN1 与 CAN2 可同时使用)，兼容 2.0A 和 2.0B(主动)规范，通信速率最高可达 1Mbit/s。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个接收 FIFO，3 级 14 个可调节的滤波器。

4.10.5 USBD

产品内嵌兼容全速 USBD 设备的模块 USBD (USBD1、USBD2)，遵循全速 USBD 设备(12 兆位/秒)标准，端点可由软件配置，具有待机/唤醒功能。USBD 专用的 48MHz 时钟由内部 PLL 直接产生，使用 USBD 功能时，系统时钟只能是 48MHz、72MHz、96MHz 中的一个，可分别经过 1 分频、1.5 分频、2 分频获得 USBD 所需的 48MHz。

USBD1、USBD2 共用寄存器地址、引脚接口，因此同一时刻只能使用其中 1 个。

4.10.6 USBD 接口与 CAN 接口的同时使用

本产品 USBD1 与 CAN1、USBD2 与 CAN2 分别共用一个专用的 512 字节的 SRAM 存储器用于数据的发送和接收，因此 USBD 和 CAN 有两种同时使用的情况：

CAN1 和 USBD2 同时使用

CAN2 和 USBD1 同时使用

4.11 模拟外设

4.11.1 ADC

内置 3 个 ADC，精度为 12 位，每个 ADC 最多有 16 个外部通道和 2 个内部通道，内部通道分别测量温度传感器电压和参考电压。其中 ADC1 和 ADC2 都有 16 个外部通道，ADC3 一般有 8 个外部通道，各通道 A/D 转换模式有单次、连续、扫描或间断，ADC 转换结果可以左对齐或右对齐存储在 16 位数据寄存器中；支持模拟看门狗，支持 DMA。

4.11.1.1 温度传感器

内置 1 个温度传感器(TSensor)，内部连接 ADC_IN16 通道，传感器产生的电压随着温度线性变化，可通过 ADC 获取转换的电压值换算成温度。

4.11.1.2 内部参考电压

内置参考电压 VREFINT，内部连接 ADC_IN17 通道，可通过 ADC 获取该 VREFINT；VREFINT 为 ADC 提供稳定的电压输出。

4.11.2 DAC

内置 2 个 12 位 DAC，每个 DAC 对应一个输出通道，可配置为 8 位、12 位模式，支持 DMA 功能，波形产生支持噪声波、三角波，转换方式支持单独或同时转换，触发方式支持外部信号触发、内部定时器更新触发。

4.12 定时器

内置 2 个 16 位高级定时器(TMR1/8)、4 个通用定时器(TMR2/3/4/5)、两个基本定时器(TMR6/7)、1 个独立看门狗定时器、一个窗口看门狗定时器和 1 个系统滴答定时器。

看门狗定时器可以用来检测程序是否正常运行。

系统滴答定时器时内核的外设，具有自动重装载功能，当计数器为 0 时能产生一个可屏蔽系统中断，可以用于实时操作系统和普通延时。

表格 12 高级/通用/基本和系统滴答定时器功能比较

定时器类型	系统滴答定时器	基本定时器		通用定时器				高级定时器	
定时器名称	Sys Tick Timer	TMR6	TMR7	TMR2	TMR3	TMR4	TMR5	TMR1	TMR8
计数器分辨率	24 位	16 位		16 位				16 位	
计数器类型	向下	向上		向上，向下，向上/下				向上，向下，向上/下	
预分频系数		1~65536 之间的任意整数		1~65536 之间的任意整数				1~65536 之间的任意整数	
产生 DMA 请求		可以		可以				可以	
捕获/比较通道				4				4	
互补输出		没有		没有				有	

定时器类型	系统滴答定时器	基本定时器	通用定时器	高级定时器
引脚特性			共 5 根引脚： 1 路外部触发信号输入引脚， 4 路通道(非互补通道)引脚	共 9 根引脚： 1 路外部触发信号输入引脚， 1 路刹车输入信号引脚， 3 对互补通道引脚， 1 路通道(非互补通道)引脚
功能说明	专用于实时操作系统 具有自动重加载功能 当计数器为 0 时能产生一个可屏蔽系统中断 可编程时钟源	用于产生 DAC 触发信号。 可以作为 16 位通用型时基计数器。	提供同步或事件链接功能 在调试模式下，计数器可以被冻结。 -可用于产生 PWM 输出 每个定时器都有独立的 DMA 请求机制。 可以处理增量编码器的信号	具有带死区插入的互补 PWM 输出 配置为 16 位标准定时器时，它与 TMRx 定时器具有相同的功能。 配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止。提供同步或事件链接功能。

表格 13 独立看门狗和窗口看门狗定时器

名称	计数器分辨率	计数器类型	预分频系数	功能说明
独立看门狗	12 位	向下	1~256 之间的任意整数	由一个内部独立的 40KHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机和待机模式。 在发生问题时可复位整个系统。 可以作为一个自由定时器为应用程序提供超时管理。 通过选项字节可以配置成是软件或硬件启动看门狗。 在调试模式下，计数器可以被冻结。
窗口看门狗	7 位	向下	-	可以设置成自由运行。 在发生问题时可复位整个系统。 由主时钟驱动，具有早期预警中断功能； 在调试模式下，计数器可以被冻结。

4.13 RTC

内置 1 个 RTC，引脚有 LSECLK 信号输入引脚(OSC32_IN、OSC32_OUT)、1 个 TAMP 输入信号检测引脚(TAMP)；时钟源可选择外部 32.768kHz 的外部晶振、谐振器或振荡器、LSICLK、HSECLK/128；默认由 V_{DD} 供电，当 V_{DD} 断电时，可自动切换至 VBAT 供电，RTC 配置及时间数据不丢失；产生系统复位、软件复位、电源复位时，RTC 配置及时间数据不丢失；支持闹钟、日历功能。

4.13.1 备份寄存器

内置 84Bytes 备份寄存器，默认由 V_{DD} 供电，当 V_{DD} 断电时，可自动切换至 VBAT 供电，备份寄存器数据不丢失；产生系统复位、软件复位、电源复位时，备份寄存器数据不丢失。

4.14 CRC

内置 1 个 CRC(循环冗余校验)计算单元，可产生 CRC 码，可操作 8 位、16 位、32 位数据。

5 电气特性

5.1 电气特性测试条件

5.1.1 最大值和最小值

除非特别说明，所有产品是在 $T_A=25^\circ\text{C}$ 下在生产线上进行测试的。其最大和最小值可支持所定最恶劣的环境温度、供电电压和时钟频率。

在每个表格下方的注解中说明是通过综合评估、设计仿真或工艺特性得到的数据，没有在生产线上进行测试；在综合评估的基础上，通过样本测试，取其平均值再加减三倍的标准差（平均 $\pm 3\Sigma$ ）得到最大和最小数值。

5.1.2 典型值

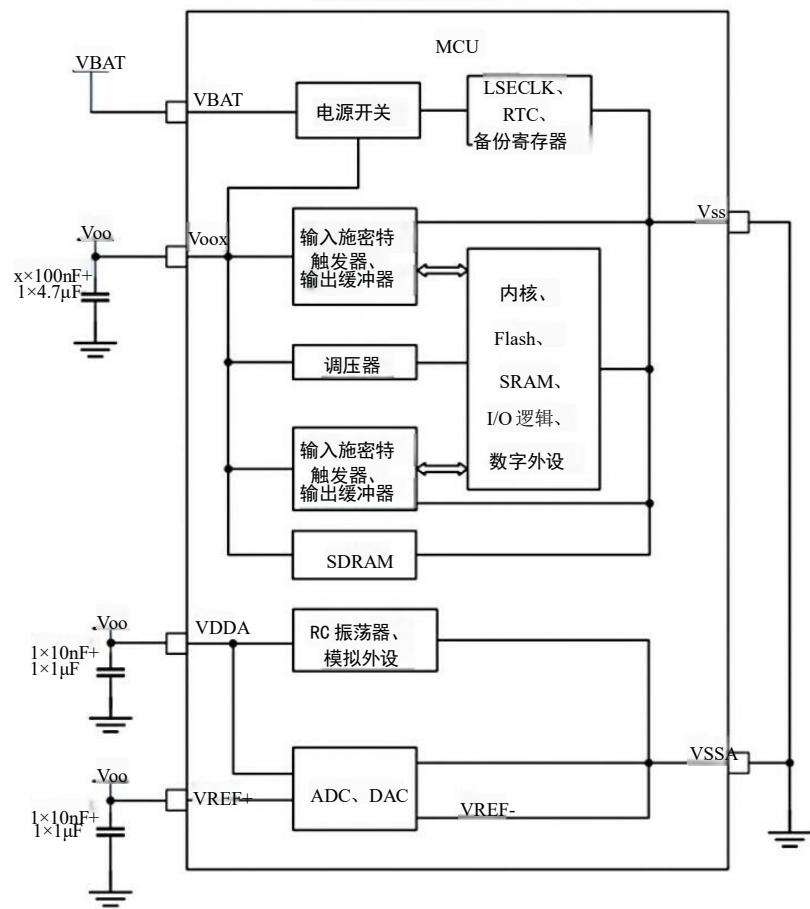
除非特别说明，典型数据是基于 $T_A=25^\circ\text{C}$ 、 $VDD=VDDA=3.3\text{V}$ 测量，这些数据仅用于设计指导。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 电源方案

图 8 电源方案



说明：SDRAM 仅适用于 STM32F103VCT6+TDTxS，图中的 VDD_x 表示 VDD 的个数是 x 个

5.1.5 负载电容

图 9 测量引脚参数时的负载条件

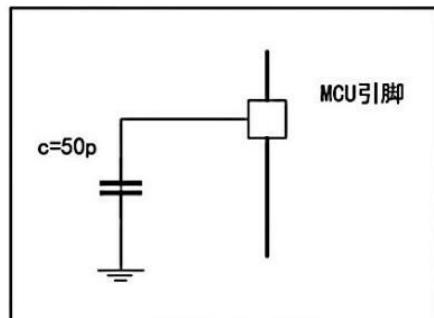


图 10 引脚输入电压测量方案

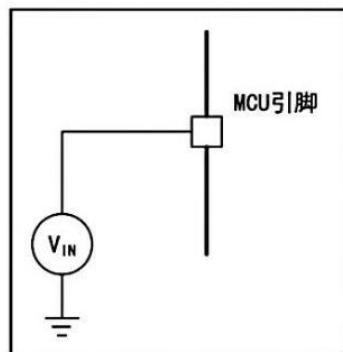
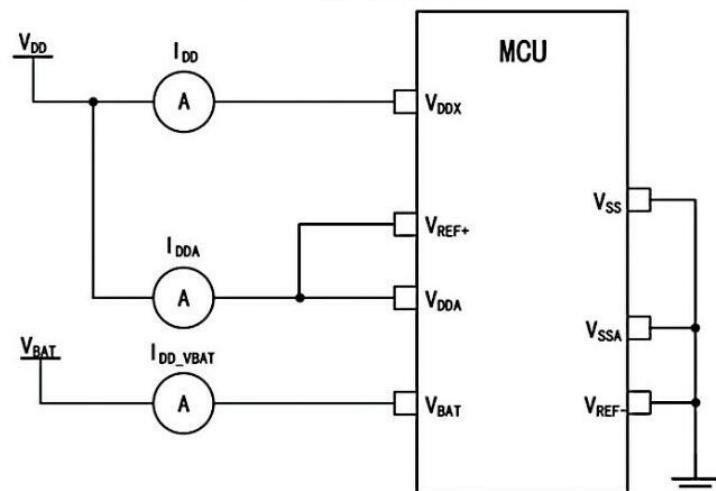


图 11 功耗测量方案



5.2 通用工作条件下的测试

表格 14 通用工作条件

符号	参数	条件	最小值	最大值	单位
fHCLK	内部 AHB 时钟频率	-	-	96	MHz
fPCLK1	内部 APB1 时钟频率	-	-	48	

符号	参数	条件	最小值	最大值	单位
fPCLK2	内部 APB2 时钟频率		-	96	
VDD	主电源电压		2	3.6	V
VDDA	模拟电源电压 (都未使用 ADC、DAC 时)	必须与 VDD 相同	VDD	3.6	V
	模拟电源电压 (使用 ADC、DAC 时)		2.4	3.6	
VBAT	备份域电源电压		1.8	3.6	V
TA	环境温度(温度标号 6)	最大功率耗散	-40	85	°C
	环境温度(温度标号 7)	最大功率耗散	-40	105	°C

5.3 绝对最大额定值

器件上的载荷如果超过绝对最大额定值，可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷，不保证在此条件下器件的功能运行正常。

5.3.1 最大温度特性

表格 15 温度特性

符号	描述	数值	单位
TSTG	储存温度范围	-55~ +150	°C
TJ	最大结温度	150	°C

5.3.2 最大额定电压特性

所有的电源(VDD, VDDA)和地(Vss, VssA)引脚必须始终连接到外部限定范围内的供电电源上。

表格 16 最大额定电压特性

符号	描述	最小值	最大值	单位
VDD-Vss	外部主供电电压	-0.3	4.0	V
VDDA-VssA	外部模拟电源电压	-0.3	4.0	
VBAT-Vss	外部备份域电源电压	-0.3	4.0	
VDD-VDDA	VDD>VDDA 允许的电压差	-	0.3	
VIN	在 5V 容忍的引脚上的输入电压	Vss-0.3	5.5	
	在其它引脚上的输入电压	Vss-0.3	VDD +0.3	
ΔVDD×	不同供电引脚之间的电压差	-	50	mV
Vssx-Vss	不同接地引脚之间的电压差	-	50	

5.3.3 最大额定电流特性

表格 17 电流特性

符号	描述	最大值	单位
I_{VDD}	经过 VDD/VDDA 电源线的总电流(供应电流)(1)	150	mA
I_{VSS}	经过 Vss 地线的总电流(流出电流)(1)	150	
I_o	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	-25	
$I_{INJ(PIN)}$ (2)	5T 引脚的注入电流	-5/+0	
	其他引脚的注入电流	±5	
$\Sigma I_{INJ(PIN)}$ (2)	所有 I/O 和控制引脚上的总注入电流(4)	±25	

- 所有的电源(VDD, VDDA)和地(Vss, VssA)必须始终在允许范围内。
- 流出电流会干扰器件的模拟性能。
- I/O 不能进行正注入; $V_{IN} < V_{SS}$ 时, $I_{IN(NON)}$ 不能超过最大允许输入电压值。
- 如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INU(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 电流流入引脚; 当 $V_{IN} < V_{SS}$ 时, 电流流出引脚。
- 当几个 I/O 口同时有注入电流时, $\Sigma I_{INU(PN)}$ 的最大值为流入电流与流出电流的即时绝对值之和。

5.3.4 静电放电(ESD)

表格 18 ESD 绝对最大额定值

型号	符号	参数	条件	最大值	单位
STM32F103VCT6+TDT	VESD (HBM)	静电放电电压(人体模型)	$TA = +25^{\circ}C$, 符合 JESD22-A114	5500	V
	VESD (CDM)	静电放电电压(充电设备模型)	$TA = +25^{\circ}C$, 符合 JESD22-C101	1700	
STM32F103VCT6+TDT	VESD (HBM)	静电放电电压(人体模型)	$TA = +25^{\circ}C$, 符合 JESD22-A114	4000	V
	VESD (CDM)	静电放电电压(充电设备模型)	$TA = +25^{\circ}C$, 符合 JESD22-C101	2000	

注: 由第三方测试机构测试, 不在生产中测试。

5.3.5 静态栓锁(LU)

表格 19 静态栓锁

符号	参数	条件	类型
LU	静态栓锁类	$TA = +25^{\circ}C / 105^{\circ}C$, 符合 EIA/JESD78E	II类 A

注: 由第三方测试机构测试, 不在生产中测试。

5.4 片上存储器

5.4.1 Flash 特性

表格 20 Flash 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
tprog	16 位编程时间	TA=-40~105°C VDD=2.4~3.6V	33.50	34.60	35.42	μs
tERASE	页 (2KBytes) 擦除时间	TA=-40~105°C VDD=2.4~3.6V	2.80	3.14	3.20	ms
tME	整片擦除时间	TA=25°C VDD=3.3V	11.90	12.34	12.70	ms
Vprog	编程电压	TA = -40~105°C	2	-	3.6	V
tRET	数据保存时间	TA = 125°C	18	-	-	years
NRW	擦写周期	TA = 25°C	100K	-	-	cycles

注：由综合评估得出，不在生产中测试。

5.5 时钟

5.5.1 外部时钟源特性

晶体谐振器产生的高速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表格 21 HSECLK4~16MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
fosc_IN	振荡器频率	-	4	8	16	MHz
RF	反馈电阻	-	-	300.7	-	kΩ
IDD(HSECLK)	HSECLK 电流消耗	VDD=3.3V, CL=10pF@8MHz	-	0.29	-	mA
gm	振荡器的跨导	启动	25			mA/V
tsu(HSECLK)	启动时间	VDD 是稳定的	-	0.99	-	ms

注：由综合评估得出，不在生产中测试。

晶体谐振器产生的低速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表格 22 LSECLK 振荡器特性(fLSECLK=32.768KHz)

符号	参数	条件	最小值	典型值	最大值	单位
fosF_IN	振荡器频率		-	32.768	-	KHz
tsu(LSECLK)(1)	启动时间	VDDIOx 稳定	-	0.99	-	s

符号	参数	条件	最小值	典型值	最大值	单位
IDD(LSECLK)	LSECLK 电流消耗		-	0.9	-	μA

注：由综合评估得出，不在生产中测试。

(1) t_{su} 、SECLK)是启动时间，是从软件使能 LSECLK 开始测量，直至得到稳定的 32.768KHz 振荡这段时间；这个数值是使用一个标准的晶体谐振器测量得到的，它可能因晶体制造商的不同而不同。

5.5.2 内部时钟源特性

高速内部(HSICLK) RC 振荡器

表格 23 HSICLK 振荡器特性

符号	参数	条件		最小值	典型值	最大值	单位
fHSICLK	频率	-		-	8	-	MHz
Acc HSICLK	HSICLK 振荡器的精度	工厂	VDD=3.3V, TA=25°C (1)	-1	-	1	%
		校准	VDD=3.3V, TA=-40~105°C	-2	-	2.5	%
tsu(HSICLK)	HSICLK 振荡器启动时间	VDD=3.3V, TA=-40~105°C		1	-	2	μs
IDD(HSICLK)	HSICLK 振荡器功耗	-		-	61.6	64.3	μA

注：除了(1)在生产中校准外，其他数据由综合评估得出，不在生产中测试。

低速内部(LSICLK) RC 振荡器

表格 24 LSICLK 振荡器特性

符号	参数	最小值	典型值	最大值	单位
fLSICLK	频率 (VDD=2~3.6V, TA=-40~105°C)	40.12	41.28	46.10	KHz
tsu(LSICLK)	LSICLK 振荡器启动时间, (VDD=3.3V, TA=-40~105°C)	-	-	79.2	μs
IDD(LSICLK)	LSICLK 振荡器功耗	-	0.5	-	μA

注：由综合评估得出，不在生产中测试。

5.5.3 PLL 特性

表格 25 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
fPLL_IN	PLL 输入时钟	1	8.0	25	MHz
	PLL 输入时钟占空比	40	-	60	%
fPLL_OUT	PLL 倍频输出时钟, (VDD=3.3V, TA=-40~105°C)	16	-	96	MHz
tLOCK	PLL 锁相时间	-	-	84.0	μs

注：由综合评估得出，不在生产中测试。

5.6 电源与电源管理

5.6.1 内嵌复位和电源控制模块特性测试

表格 26 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
VPOR/PDR	上电/掉电复位阈值	下降沿	1.87	1.88	1.90	V
		上升沿	1.92	1.94	1.96	V
VPDRhyst	PDR 迟滞	-	50.00	55.00	60.00	mV
TRSTTEMPO	复位持续时间	-	0.98	1.27	3.06	ms

注：由综合评估得出，不在生产中测试。

表格 27 可编程电源电压检测器特性

符号	参数	条件	最小值	典型值	最大值	单位
VPVD	可编程电源电压检测器电平选择	PLS[2:0]=000(上升沿)	2.18	2.20	2.22	V
		PLS[2:0]=000(下降沿)	2.08	2.09	2.11	V
		PLS[2:0]=001(上升沿)	2.29	2.30	2.32	V
		PLS[2:0]=001(下降沿)	2.18	2.19	2.21	V
		PLS[2:0]=010(上升沿)	2.39	2.40	2.42	V
		PLS[2:0]=010(下降沿)	2.28	2.29	2.31	V
		PLS[2:0]=011(上升沿)	2.48	2.49	2.52	V
		PLS[2:0]=011(下降沿)	2.38	2.39	2.41	V
		PLS[2:0]=100(上升沿)	2.58	2.60	2.62	V
		PLS[2:0]=100(下降沿)	2.47	2.48	2.51	V
		PLS[2:0]=101(上升沿)	2.68	2.69	2.72	V
		PLS[2:0]=101(下降沿)	2.57	2.59	2.61	V
		PLS[2:0]=110(上升沿)	2.78	2.79	2.82	V
		PLS[2:0]=110(下降沿)	2.67	2.68	2.71	V
		PLS[2:0]=111(上升沿)	2.87	2.88	2.91	V
		PLS[2:0]=111(下降沿)	2.77	2.78	2.81	V
VPVDhyst	PVD 迟滞	-	-	107.08	-	mV

注：由综合评估得出，不在生产中测试。

5.7 功耗

含 SDRAM 字样的表格适用于 STM32F103VCT6+TDTxS，否则适用于 STM32F103VCT6+TDTx。

5.7.1 功耗测试环境

- (1) 执行 Dhrystone2.1, 编译环境为 Keil. V5, 编译优化等级为 L0 条件下测得的。
- (2) 所有的 I/O 引脚都处于输入模式, 并连接到一个静态电平上 VDD 或 Vss (无负载)
- (3) 除非特别说明, 所有的外设都关闭
- (4) Flash 等待周期的设置与 fHCLK 的关系:

0~24MHz: 0 个等待周期

24~48MHz: 1 个等待周期

48~72MHz: 2 个等待周期

72~96MHz: 3 个等待周期

- (5) 指令预取功能使能 (提示: 这些的设置必须在时钟设置和总线分频之前进行)
- (6) 当外设开启时: $fPCLK_1=fHCLK/2$, $fPCLK_2=fHCLK$

5.7.2 运行模式功耗

表格 28 程序在 Flash 执行, 运行模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25°C, VDD=3.3V		TA=105°C, VDD=3.6V	
			IDDA (μA)	1DD (mA)	IDDA (μA)	1DD (mA)
运行模式功耗	HSECLK bypass (2), 使能所有外设	96MHz	206.63	39.25	228.52	41.52
		72MHz	153.24	31.21	169.65	33.25
		48MHz	102.26	21.04	115.06	22.51
		36MHz	78.50	16.86	90.10	18.18
		24MHz	57.57	11.67	67.95	12.60
		16MHz	44.88	8.48	54.36	9.31
		8MHz	2.66	4.66	5.69	5.32
	HSECLK bypass (2), 关闭所有外设	96MHz	206.59	20.92	227.42	22.04
		72MHz	153.19	17.40	169.33	18.41
		48MHz	102.28	11.98	114.86	12.77
		36MHz	78.47	10.04	89.99	10.80
		24MHz	57.53	7.01	67.89	7.68
		16MHz	44.87	5.40	54.38	6.01
		8MHz	2.69	3.12	5.46	3.65
	HSICLK(2), 使能所有外设	64MHz	196.28	27.82	216.47	29.20
		48MHz	162.92	20.79	179.89	22.32
		36MHz	139.39	16.66	154.46	17.86
		24MHz	118.22	11.44	132.16	12.28
		16MHz	105.50	8.19	119.21	8.97
		8MHz	63.79	4.38	73.87	4.96
	HSICLK(2), 关闭所有外设	64MHz	196.33	15.34	215.85	16.21
		48MHz	162.86	11.70	179.35	12.45
		36MHz	139.41	9.77	154.14	10.46
		24MHz	118.21	6.72	132.07	7.34
		16MHz	105.50	5.12	119.16	5.66
		8MHz	63.84	2.85	73.83	3.30

注:

- (1)由综合评估得出, 不在生产中测试。
- (2)外部时钟为 8MHz, 当 fHclk>8MHz 时, 开启 PLL; 否则关闭 PLL。

表格 29 程序在 RAM 中执行, 运行模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25°C, VDD=3.3V		TA=105°C, VDD=3.6V	
			IDDA (μA)	1DD (mA)	IDDA (μA)	1DD (mA)
运行模式功耗	HSECLK bypass (2), 使能所有外设	96MHz	206.51	39.25	227.45	40.97
		72MHz	153.23	29.63	169.48	31.34
		48MHz	102.29	20.00	115.08	21.63
		36MHz	78.50	15.46	90.03	16.76
		24MHz	57.51	10.65	67.95	11.79
		16MHz	44.87	7.45	54.3	8.65
		8MHz	2.66	4.10	5.22	5.18
	HSECLK bypass (2), 关闭所有外设	96MHz	206.56	20.82	227.44	22.39
		72MHz	153.16	15.92	169.37	17.26
		48MHz	102.24	10.90	114.94	12.18
		36MHz	78.46	8.41	90.01	9.67
		24MHz	57.54	5.95	67.91	7.15
		16MHz	44.86	4.27	54.24	5.47
		8MHz	2.66	2.59	5.26	3.76
	HSICLK (2), 使能所有外设	64MHz	196.24	26.10	215.14	27.90
		48MHz	162.89	19.74	178.89	21.34
		36MHz	139.38	15.13	154.16	16.61
		24MHz	118.17	10.37	132.06	11.55
		16MHz	105.50	7.15	119.05	8.33
		8MHz	63.79	3.82	73.8	4.95
	HSICLK (2), 关闭所有外设	64MHz	196.25	14.09	215.09	15.52
		48MHz	162.84	10.61	178.95	11.99
		36MHz	139.36	8.14	154.10	9.53
		24MHz	118.15	5.68	132.00	6.93
		16MHz	105.47	3.99	119.09	5.22
		8MHz	63.81	2.31	73.76	3.50

注:

- (1)由综合评估得出, 不在生产中测试。
 (2)外部时钟为8MHz, 当 fHCLK>8MHz 时, 开启PLL; 否则关闭PLL。

表格 30 SDRAM 处于运行模式下，程序在 Flash 执行，运行模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25°C, VDD=3.3V		TA=105°C, VDD=3.6V	
			IDDA (μA)	1DD (mA)	IDDA (μA)	1DD (mA)
运行模式功耗	HSECLK bypass (2), 使能所有外设	96MHz	207.38	58.71	246.03	65.08
		72MHz	153.96	50.06	181.80	57.55
		48MHz	102.91	39.07	122.96	44.89
		36MHz	78.75	34.46	97.08	39.00
		24MHz	57.50	28.85	75.12	32.64
		16MHz	44.75	25.42	61.97	28.84
		8MHz	2.60	21.43	10.91	24.01
	HSECLK bypass (2), 关闭所有外设	96MHz	207.33	36.00	240.91	40.58
		72MHz	153.88	32.72	180.55	36.74
		48MHz	102.86	27.52	123.04	31.10
		36MHz	78.75	25.73	97.27	29.36
		24MHz	57.48	22.95	75.57	26.16
		16MHz	44.74	21.42	62.62	24.50
		8MHz	2.59	19.25	9.24	22.06
	HSICLK (2), 使能所有外设	64MHz	195.51	45.68	223.35	52.74
		48MHz	162.08	38.64	186.03	44.49
		36MHz	138.38	34.19	161.24	38.87
		24MHz	116.92	28.59	139.48	32.25
		16MHz	104.17	25.03	127.08	28.30
		8MHz	62.63	21.10	73.63	23.74
	HSICLK (2), 关闭所有外设	64MHz	195.55	30.73	227.47	34.14
		48MHz	162.04	27.24	189.93	30.54
		36MHz	138.37	25.46	164.53	28.55
		24MHz	116.89	22.66	142.41	25.60
		16MHz	104.2	21.12	129.70	23.96
		8MHz	62.63	18.99	75.77	21.66

注:

(1)由综合评估得出, 不在生产中测试。

(2)外部时钟为 8MHz, 当 fHCLK>8MHz 时, 开启 PLL; 否则关闭 PLL。

表格 31 SDRAM 处于低功耗模式下, 程序在 Flash 执行, 运行模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25°C, VDD=3.3V		TA=105°C, VDD=3.6V	
			IDDA (μA)	1DD (mA)	IDDA (μA)	1DD (mA)
运行模式功耗	HSECLK bypass (2), 使能所有外设	96MHz	219.23	44.48	240.46	50.50
		72MHz	164.57	36.02	178.84	42.82
		48MHz	110.85	25.20	121.19	30.76
		36MHz	85.94	20.80	95.73	24.45
		24MHz	64.97	14.90	73.86	18.72
		16MHz	52.57	11.54	60.66	14.63
		8MHz	2.63	7.39	7.76	10.14
	HSECLK bypass (2), 关闭所有外设	96MHz	219.37	29.97	239.29	34.95
		72MHz	164.64	25.50	178.43	28.96
		48MHz	110.87	19.26	121.05	24.64
		36MHz	85.97	16.80	95.60	23.69
		24MHz	65.07	13.42	74.03	14.23
		16MHz	52.63	11.38	60.96	12.00
		8MHz	2.64	8.87	7.49	8.93
	HSICLK (2), 使能所有外设	64MHz	204.81	32.30	219.11	36.82
		48MHz	169.45	25.45	182.42	28.89
		36MHz	145.12	20.72	157.94	24.66
		24MHz	123.88	15.14	136.56	17.77
		16MHz	111.45	11.86	123.53	14.26
		8MHz	66.94	7.63	74.92	9.65
	HSICLK (2), 关闭所有外设	64MHz	205.09	23.07	218.98	26.05
		48MHz	169.39	19.00	182.27	23.82
		36MHz	144.96	16.48	157.80	23.04
		24MHz	123.76	13.09	136.49	13.32
		16MHz	111.35	11.09	123.60	11.27
		8MHz	66.82	8.58	74.48	8.24

注:

- (1) 由综合评估得出, 不在生产中测试。
- (2) 外部时钟为 8MHz, 当 fHCLK>8MHz 时, 开启 PLL; 否则关闭 PLL。

5.7.3 睡眠模式功耗

表格 32 程序在 Flash 中执行，睡眠模式下的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25°C, VDD=3.3V		TA=105°C, VDD=3.6V	
			IDDA (μA)	1DD (mA)	IDDA (μA)	1DD (mA)
睡眠模式功耗	HSECLK bypass (2), 使能所有外设	96 MHz	206.61	26.91	227.53	27.85
		72MHz	153.22	20.59	169.51	21.20
		48MHz	102.26	13.96	115.04	14.62
		36MHz	78.49	10.72	89.95	11.30
		24MHz	57.54	7.52	67.93	8.15
		16MHz	44.87	5.31	54.33	5.88
		8MHz	2.66	3.10	5.31	3.58
	HSECLK bypass (2), 关闭所有外设	96 MHz	206.62	6.03	227.52	6.54
		72MHz	153.16	4.79	169.35	5.22
		48MHz	102.21	3.55	114.87	3.97
		36MHz	78.45	2.91	89.89	3.37
		24MHz	57.57	2.28	67.89	2.74
		16MHz	44.85	1.86	54.35	2.30
		8MHz	2.67	1.37	5.24	1.80
	HSICLK (2), 使能所有外设	64MHz	196.28	18.20	215.44	18.73
		48MHz	162.87	13.69	179.09	14.57
		36MHz	139.39	10.47	154.12	11.17
		24MHz	118.18	7.24	132.1	7.79
		16MHz	105.49	5.05	119.13	5.55
		8MHz	63.82	2.81	73.87	3.23
	HSICLK (2), 关闭所有外设	64MHz	196.28	4.08	215.30	4.52
		48MHz	162.78	3.24	178.89	3.64
		36MHz	139.31	2.61	154.16	3.00
		24MHz	118.11	1.98	132.08	2.60
		16MHz	105.47	1.56	119.07	2.24
		8MHz	63.79	1.08	73.77	1.74

注:

- (1)由综合评估得出，不在生产中测试。
- (2)外部时钟为 8MHz，当 fHCLK >8MHz 时，开启 PLL；否则关闭 PLL

表格 33 程序在 RAM 中执行，睡眠模式下的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25°C, VDD=3.3V		TA=105°C, VDD=3.6V	
			IDDA (μA)	1DD (mA)	IDDA (μA)	1DD (mA)
睡眠模式功耗	HSECLK bypass (2), 使能所有外设	96MHz	206.61	26.59	227.46	28.59
		72MHz	153.18	20.34	169.39	21.84
		48MHz	102.25	13.79	115.00	15.433
		36MHz	78.48	10.64	90.05	12.03
		24MHz	57.53	7.48	67.93	8.90
		16MHz	44.86	5.30	54.29	6.60
		8MHz	2.68	3.07	5.20	4.38
	HSECLK bypass (2), 关闭所有外设	96MHz	206.56	6.06	227.52	7.34
		72MHz	153.11	4.77	169.35	6.15
		48MHz	102.22	3.53	114.85	4.81
		36MHz	78.41	2.90	89.90	4.21
		24MHz	57.48	2.27	67.99	3.56
		16MHz	44.84	1.86	54.23	3.16
		8MHz	2.66	1.37	5.28	2.66
	HSICLK (2), 使能所有外设	64MHz	196.27	17.94	214.87	19.60
		48MHz	162.87	13.48	178.97	15.27
		36MHz	139.33	10.34	154.00	11.86
		24MHz	118.13	7.20	131.99	8.50
		16MHz	105.48	5.01	119.02	6.38
		8MHz	63.82	2.79	73.82	4.05
	HSICLK (2), 关闭所有外设	64MHz	196.23	4.06	214.79	5.38
		48MHz	162.77	3.23	178.80	4.53
		36MHz	139.31	2.60	153.92	3.86
		24MHz	118.12	1.97	131.99	3.26
		16MHz	105.45	1.56	118.97	2.81
		8MHz	63.79	1.08	73.73	2.34

注:

(1)由综合评估得出, 不在生产中测试。

(2)外部时钟为 8MHz, 当 fHCLK>8MHz 时, 开启 PLL; 否则关闭 PLL

表格 34 SDRAM 处于运行模式下，程序在 Flash 执行，睡眠模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25°C, VDD=3.3V		TA=105°C, VDD=3.6V	
			IDDA (μA)	1DD (mA)	IDDA (μA)	1DD (mA)
睡眠模式功耗	HSECLK bypass (2), 使能所有外设	96 MHz	207.40	46.54	243.23	52.99
		72MHz	153.97	39.16	182.24	45.06
		48MHz	102.89	32.22	124.28	36.77
		36MHz	78.75	28.49	98.29	32.56
		24MHz	57.51	24.87	76.49	28.24
		16MHz	44.73	22.32	63.42	25.47
		8MHz	2.59	19.80	8.58	22.53
	HSECLK bypass (2), 关闭所有外设	96 MHz	207.41	21.99	243.02	24.74
		72MHz	153.93	20.82	182.13	23.49
		48MHz	102.87	19.62	124.10	22.24
		36MHz	78.74	19.04	98.15	21.53
		24MHz	57.50	18.42	76.21	20.88
		16MHz	44.74	18.04	63.29	20.44
		8MHz	2.59	17.57	8.55	19.95
	HSICLK (2), 使能所有外设	64MHz	195.54	36.52	229.41	41.55
		48MHz	162.08	31.76	191.41	36.14
		36MHz	138.38	28.21	165.76	34.89
		24MHz	116.91	24.64	143.34	27.55
		16MHz	104.20	22.03	130.41	24.88
		8MHz	62.65	19.50	76.30	21.97
	HSICLK (2), 关闭所有外设	64MHz	195.55	20.13	229.14	22.41
		48MHz	162.06	19.36	191.09	21.70
		36MHz	138.38	18.73	165.38	21.07
		24MHz	116.92	18.13	143.02	20.45
		16MHz	104.19	17.74	130.08	19.92
		8MHz	62.64	17.31	76.02	19.51

注:

(1)由综合评估得出，不在生产中测试。

(2)外部时钟为8MHz，当fHCLK>8MHz时，开启PLL；否则关闭PLL。

表格 35 SDRAM 处于低功耗模式下，程序在 Flash 执行，睡眠模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25°C, VDD=3.3V		TA=105°C, VDD=3.6V	
			IDDA(μA)	1DD(mA)	IDDA(μA)	1DD(mA)
睡眠模式功耗	HSECLK bypass(2)，使能所有外设	96 MHz	205.82	32.97	240.41	37.83
		72MHz	152.49	25.78	179.31	29.22
		48MHz	101.73	18.46	121.54	21.52
		36MHz	77..66	14.96	95.95	17.98
		24MHz	56.48	11.35	74.41	13.46
		16MHz	43.67	8.81	61.17	10.93
		8MHz	2.59	6.28	7.33	8.24
	HSECLK bypass(2)，关闭所有外设	96 MHz	205.85	15.26	240.02	19.43
		72MHz	152.47	13.16	178.96	15.22
		48MHz	101.71	10.99	121.48	15.74
		36MHz	77.65	9.88	95.94	9.93
		24MHz	56.48	8.71	74.58	8.25
		16MHz	43.68	7.96	61.50	7.87
		8MHz	2.59	7.16	7.50	6.96
	HSICLK(2)，使能所有外设	64MHz	193.71	23.25	219.46	27.04
		48MHz	160.46	18.25	182.24	21.78
		36MHz	136.83	14.67	157.75	17.43
		24MHz	115.36	10.98	136.35	12.96
		16MHz	102.61	8.54	123.64	10.41
		8MHz	62.07	5.99	74.24	7.76
	HSICLK(2)，关闭所有外设	64MHz	193.78	12.11	219.48	14.87
		48MHz	160.46	10.68	182.29	14.97
		36MHz	136.80	9.57	157.74	11.56
		24MHz	115.37	8.41	136.44	9.88
		16MHz	102.57	7.66	123.64	8.80
		8MHz	62.06	6.85	123.64	7.71

(1)由综合评估得出，不在生产中测试。

(2)外部时钟为8MHz，当fHCLK>8MHz时，开启PLL；否则关闭PLL。

5.7.4 停机、待机模式功耗

表格 36 停机、待机模式功耗

参数	条件	典型值(1), (TA=25°C)						最大值(1), (VDD=3.6V)		单位 μA	
		VDD=2.4V		VDD=3.3V		VDD=3.6V		TA=105°C			
		IDDA	1DD	IDDA	1DD	IDDA	1DD	IDDA	1DD		
停机模式功耗	调压器处于运行模式, 低速和高速内部 RC 振荡器和高速振荡器处于关闭状态(没有独立看门狗)	2.64	25.23	2.76	25.56	2.46	25.06	3.97	236.41	μA	
	调压器处于低功耗模式, 低速和高速内部 RC 振荡器和高速振荡器处于关闭状态(没有独立看门狗)	2.58	12.76	2.70	12.93	2.44	12.80	3.96	214.83		
待机模式功耗	低速内部 RC 振荡器和独立看门狗处于开启状态	2.89	0.85	2.99	0.99	2.69	0.78	3.46	6.83	μA	
	低速内部 RC 振荡器处于开启状态, 独立看门狗处于关闭状态	2.91	0.74	2.98	0.84	2.68	0.62	3.44	6.87		
	低速内部 RC 振荡器和独立看门狗处于关闭状态, 低速振荡器和 RTC 处于关闭状态	2.42	0.34	2.52	0.40	2.28	0.30	3.10	6.37		

注: (1)由综合评估得出, 不在生产中测试。

5.7.5 备份域功耗

表格 37 备份域功耗

符号	条件	典型值(1), TA=25°C			最大值(1), VBAT=3.6V			单位 μA
		VBAT=1.8V	VBAT=2.4V	VBAT=3.3V	TA=25°C	TA=85°C	TA=105°C	
IDD_VBAT	低速振荡器和 RTC 处于开启状态	0.79	0.97	1.21	2.78	2.6	4.2	μA

注: (1)由综合评估得出, 不在生产中测试。

5.7.6 外设功耗

采用 HSECLK Bypass 1M 作为时钟源, fPcLK=fHcLK=1M。

外设功耗=使能该外设时钟的电流-禁止该外设的时钟的电流。

表格 38 外设功耗

参数	外设	典型值(1) TA=25°C, VDD=3.3V	单位
外设功耗	BusMatrix	3.875	μA/MHz
	DMA1	5.25	
	DMA2	3.50	
	EMMC	19.25	
	CRC	0.86	

参数	外设	典型值(1) TA=25°C, VDD=3.3V	单位
	SDIO	10.88	
	ALL_AHB	43.62	
	APB1_Bridge	1.00	
	TMR2	18.25	
	TMR3	17.75	
	TMR4	16.75	
	TMR5	17.75	
	TMR6	4.00	
	TMR7	4.00	
	WWDT	2.50	
	IWDT	3.87	
	SPI2/I2S2	2.88	
	SPI3/I2S3	2.88	
	USART2	6.88	
	USART3	6.75	
	UART4	6.38	
	UART5	6.25	
	I2C1	7.13	
	I2C2	7.00	
	USBD1/USBD2	10.75	
	CAN1	10.38	
	CAN2	10.38	
	BAKPR	2.38	
	PMU	1.50	
	DAC	4.13	
	ALL_APB1	150.28	
	APB2_Bridge	2.75	
	GPIOA	5.00	
	GPIOB	5.00	
	GPIOC	4.75	
	GPIOD	4.75	
	GPIOE	4.63	
	GPIOF	4.00	

参数	外设	典型值(1) TA=25°C, VDD=3.3V	单位
	ADC1	10.50	
	ADC2	10.50	
	ADC3	10.50	
	TMR1	26.5	
	TMR8	25.5	
	SPI1	1.13	
	USART1	8.00	
	ALL_APB2	113.01	

注：由综合评估得出，不在生产中测试。

5.8 低功耗模式唤醒时间

低功耗唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令的时间，其中 VDD=VDDA。

表格 39 低功耗唤醒时间

符号	参数	条件	典型值(TA=25°C)			最大值	单位
			2V	3.3V	3.6V		
tw_USLEEP	从睡眠模式唤醒		1.13	1.32	1.36	1.43	μs
twUSTOP	从停机模式唤醒	调压器处于运行模式	3..09	3.08	3.04	3.39	
		调压器处于低功耗模式	5.74	4.43	4.26	6.34	
twUSTDBY	从待机模式唤醒	-	38.89	32.62	31.65	47.58	

注：由综合评估得出，不在生产中测试。

5.9 引脚特性

5.9.1 I/O 引脚特性

表格 40 直流特性(测试条件 VDD=2.7~3.6V, TA=-40~105°C)

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平电压	CMOS 端口	-	1.40	-	V
VIH	输入高电平电压		1.76	-	1.81	
VIL	输入低电平电压	TTL 端口	1.25	-	1.39	mV
VIH	输入高电平电压		1.58	-	1.74	
Vhys	标准 I/O 脚施密特触发器电压迟滞		360	-	-	mV
	5V 容忍 I/O 脚施密特触发器电压迟滞		330	-	-	mV

符号	参数	条件	最小值	典型值	最大值	单位
I _{Ik}	输入漏电流	V _{ss} ≤V _{IN} ≤ V _D D 标准 I/O 端口	-	-	0.16	μA
		V _{IN} =5V, 5V 容忍端口	-	-	0.16	
R _{Pu}	弱上拉等效电阻	V _{IN} = V _{ss}	37	42	47	kΩ
R _{PD}	弱下拉等效电阻	V _{IN} =V _D D	37	42	47	kΩ

注：由综合评估得出，不在生产中测试。

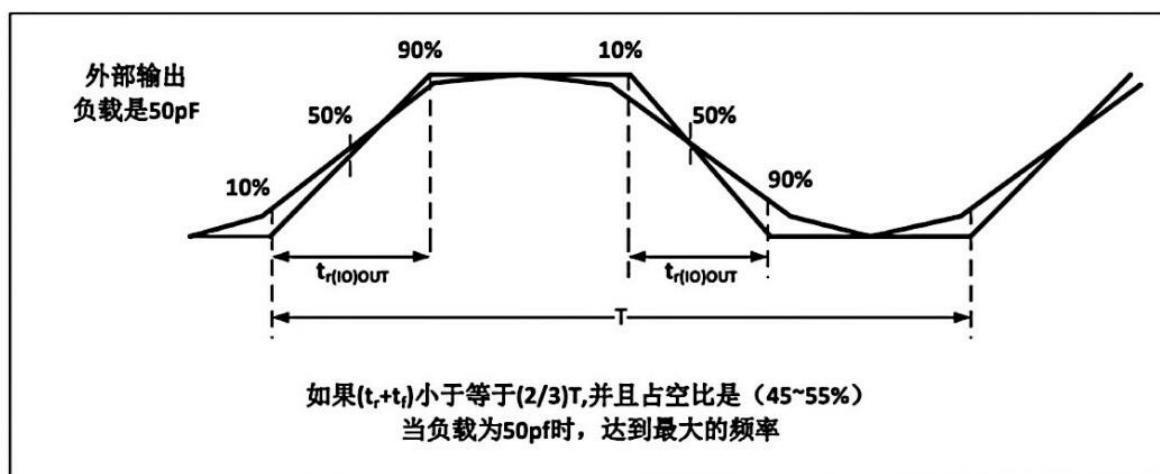
表格 41 交流特性

MODEy[1:0] 的配置	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	f _{max(10) out}	最大频率	CL=50 pF, VDD=2~3.6V	-	2.00	MHz
	t _{r(10) out}	输出高至低电平的下降时间	CL=50pF, VDD=2~3.6V	11.52	26.81	ns
	t _{r(10) out}	输出低至高电平的上升时间		9.24	21.90	
01 (10MHz)	f _{max(10) out}	最大频率	CL=50 pF, VDD = 2~3.6V	-	10.01	MHz
	t _{r(10) out}	输出高至低电平的下降时间	CL=50pF, VDD = 2~3.6V	8.51	17.93	ns
	t _{r(10) out}	输出低至高电平的上升时间		6.71	17.92	
11 (50MHz)	f _{max(10) out}	最大频率	CL=30pF, VDD = 2.7~3.6V	-	50.25	MHz
	t _{r(10) out}	输出高至低电平的下降时间	CL=30 pF, VDD = 2.7~3.6V	7.65	9.69	ns
	t _{r(10) out}	输出低至高电平的上升时间		3.79	6.48	

注：(1) I/O 端口的速度可以通过 MODEy 配置。

(2)由综合评估得出，不在生产中测试。

图 12 输入输出交流特性定义



注：由综合评估得出，不在生产中测试。

表格 42 输出驱动电流特性(测试条件) $VDD=2.7\sim3.6V$, $TA=-40\sim105^{\circ}C$

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 当 8 个引脚同时吸收电流	$I_o=+8mA$ $2.7V \leq VDD \leq 3.6V$	-	0.49	V
V_{OH}	输出高电平, 当 8 个引脚同时输出电流		$VDD-0.4$	-	
V_{OL}	输出低电平, 当 8 个引脚同时吸收电流	$I_o=+20mA$ $2.7V \leq VDD \leq 3.6V$	-	1.50	V
V_{OH}	输出高电平, 当 8 个引脚同时输出电流		$VDD-1.2$	-	

5.9.2 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺, 它连接了一个永久性上拉电阻 RPU。

表格 43 NRST 引脚特性(测试条件 $VDD=3.3V$, $TA=-40\sim105^{\circ}C$)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-	1.36	1.44	1.48	V
$V_{IH(NRST)}$	NRST 输入高电平电压		1.72	1.76	1.8	
$V_{HYS(NRST)}$	NRST 施密特触发器电压迟滞	-	-	290	-	mV
RPU	弱上拉等效电阻	$V_{IN} = V_{SS}$	30	40	53	kΩ

注: 由综合评估得出, 不在生产中测试。

5.10 通信外设

5.10.1 I2C 外设特性

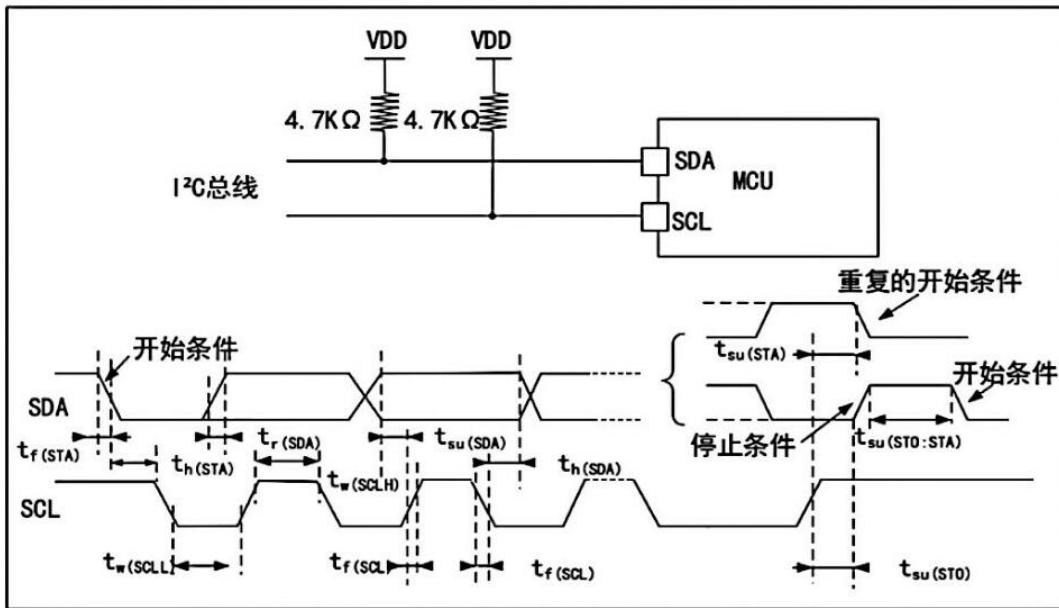
为达到标准模式 I2C 的最大频率, $f_{RCU} \geq 1$ 必须大于 2MHz。为达到快速模式 I2C 的最大频率, $f_{PCL} \geq 1$ 必须大于 4MHz。

表格 44 I2C 接口特性($TA=25^{\circ}C$, $VDD=3.3V$)

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_{W(SCL)}$	SCL 时钟低时间	4.88	-	1.77	-	μs
$t_{W(SCLH)}$	SCL 时钟高时间	5.10	-	0.72	-	
$t_{SU}(SDA)$	SDA 建立时间	1080	-	1000	-	ns
$t_{H}(SDA)$	SDA 数据保持时间	0	451.85	0	457.77	
$t_{R}(SDA)/t_{R}(SCL)$	SDA 和 SCL 上升时间	-	381.63	-	389.56	
$t_{R}(SDA)/t_{R}(SCL)$	SDA 和 SCL 下降时间	-	4.33	-	3.79	
$t_{H}(STA)$	开始条件保持时间	4.94	-	0.82	-	μs
$t_{SU}(STA)$	重复的开始条件建立时间	4.99	-	0.81	-	
$t_{SU}(STO)$	停止条件建立时间	4.92	-	0.81	-	
$t_{W(STO:STA)}$	停止条件至开始条件的时间(总线空闲)	5.36	-	2.06	-	

注：由综合评估得出，不在生产中测试。

图 13 总线交流波形和测量电路



注：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

5.10.2 SPI 外设特性

表格 45 SPI 特性(TA=25°C, VDD=3.3V)

符号	参数	条件	最小值	最大值	单位
$f_{sc\ k}$ $1/ t_{c(sc\ k)}$	SPI 时钟频率	主模式	-	18	MHz
		从模式	-	10	
$t_{r(sc\ k)}$ $t_{r(sc\ k)}$	SPI 时钟上升和下降时间	负载电容: C =30pF	-	9.7	ns
$t_{su(NSS)}$	NSS 建立时间	从模式	106.89	-	ns
$t_{h(NSS)}$	NSS 保持时间	从模式	80.67	-	ns
$t_{w(SCKH)} t_{w(SCK\ L)}$	SCK 高和低的时间	主模式, $f_{Pcu\ k}=36MHz$, 预分频系数=4	54	57	ns
$t_{esu(MI)}$ $t_{su(SI)}$	数据输入建立时间	主模式	17	-	ns
		从模式	20.93	-	
$t_{h(MI)}$ $t_{h(SI)}$	数据输入保持时间	主模式	32.86	-	ns
		从模式	25.11	-	
$t_{a(S0)}$	数据输出访问时间	从模式, $f_{PCLK}= 20MHz$	6.48	8.08	ns
$t_{dis(S0)}$	数据输出禁止时间	从模式	14.28	-	ns
$t_{v(so)}$	数据输出有效时间	从模式(使能边沿之后)	-	11.89	ns
$t_{v(M0)}$	数据输出有效时间	主模式(使能边沿之后)	-	5.4	ns

符号	参数	条件	最小值	最大值	单位
$t_{h(S0)}$	数据输出保持时间	从模式(使能边沿之后)	9.5	-	ns
$t_{h(M0)}$		主模式(使能边沿之后)	1.05	-	

注：由综合评估得出，不在生产中测试。

图 14 SPI 时序图—从模式和 CPHA=0

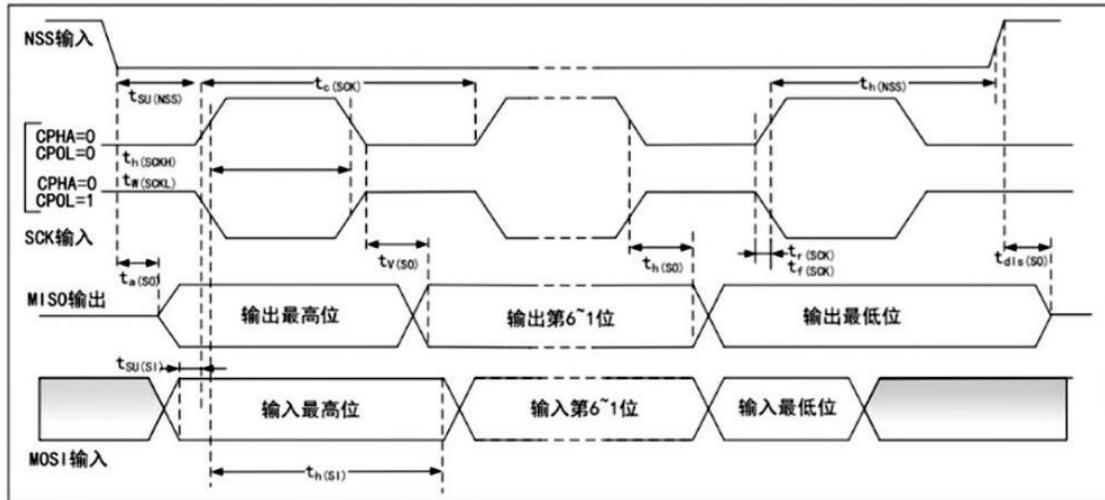
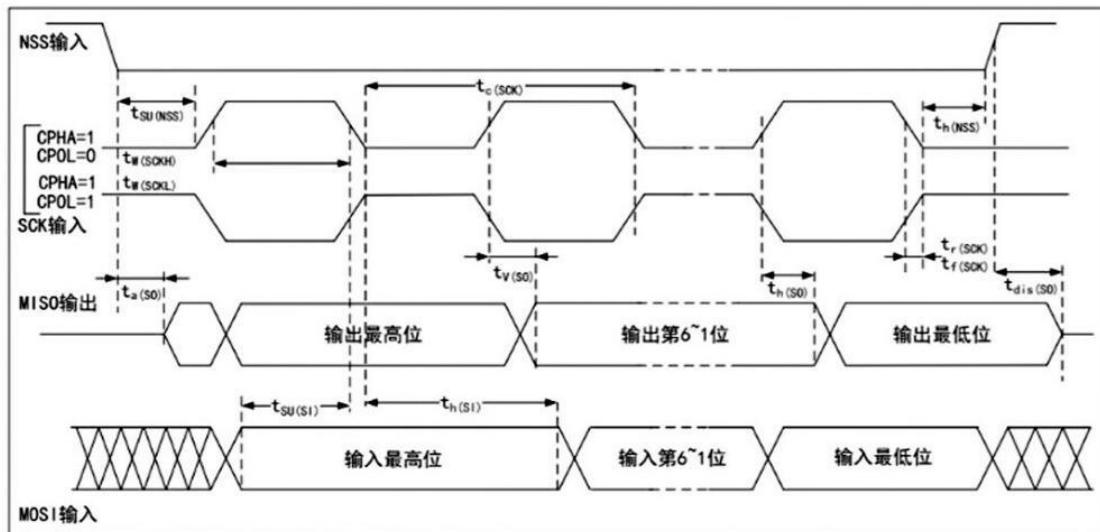
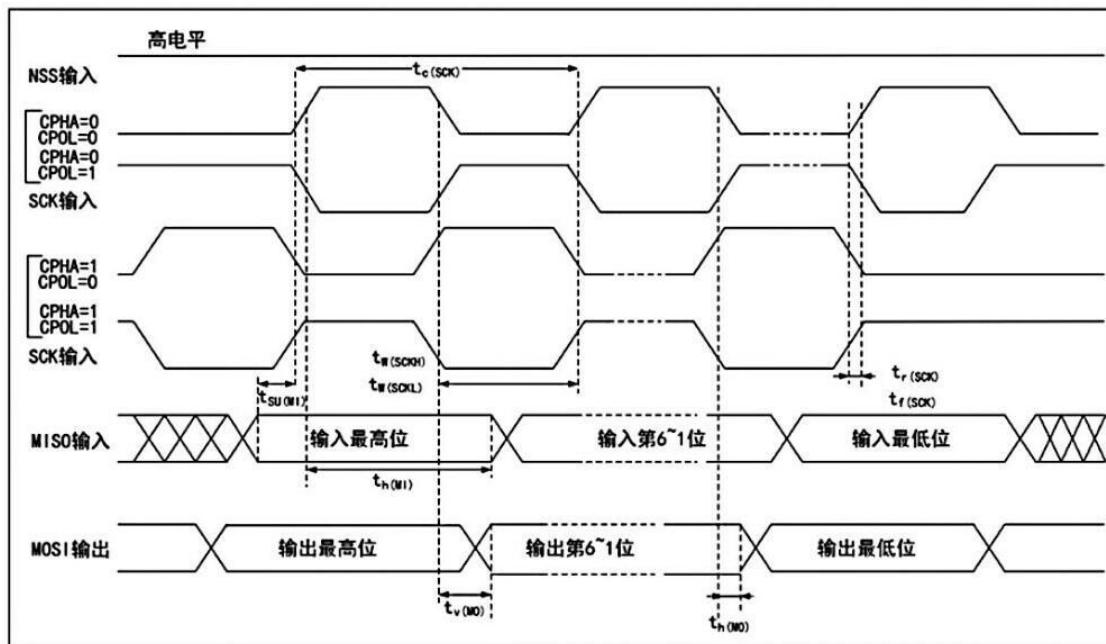


图 15 SPI 时序图—从模式和 CPHA=1



注：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

图 16 SPI 时序图—主模式



注：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

5.11 模拟外设

5.11.1 ADC

测试参数说明：

采样率：ADC 每秒进行的模拟量转数字量的次数，

采样率=ADC 时钟 / (采样周期数 + 转换周期数)

5.11.1.1 12 位 ADC 特性

表格 46 12 位 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	供电电压		2.4	-	3.6	V
IDDA	ADC 功耗	VDDA=3.3V, fADC=14MHz, 采样时间=1.5 个 fADC	-	1	-	mA
fADC	ADC 频率	-	0.6	-	14	MHz
CADC	内部采样和保持电容	-	-	8	-	pF
RADC	采样电阻	-	-	-	1000	Ω
ts	采样时间	fADC=14MHz	0.107	-	17.1	μs
TCONV	采样和转换时间	fADC=14MHz, 12-bit 转换	1	-	18	μs

表格 47 12 位 ADC 精度

符号	参数	条件	典型值	最大值	单位
ET	综合误差	$f_{PCLK}=56M$, $f_{ADC}=14M$, $VDDA=2.4V\sim3.6V$ $TA=-40^{\circ}C\sim105^{\circ}C$	-	5	LSB
Eo	偏移误差			3.5	
EG	增益误差			3	
ED	微分线性误差			3	
EL	积分线性误差			4	

注：由综合评估得出，不在生产中测试。

5.11.1.2 内置参考电压特性测试

表格 48 内置参考电压特性

符号	参数	条件	最小值	典型值	最大值	单位
VREFINT	内置参照电压	$-40^{\circ}C < TA < +105^{\circ}C$ $VDD=2\sim3.6V$	1.2	1.23	1.26	V
Ts_vrefint	当读出内部参照电压时，ADC 的采样时间	-	-	5.1	17.1	μs
VRERINT	内置参考电压扩展到温度范围	$VDD=3V \pm 10mV$	-	-	18	mV
Tcooff	温度系数	-	-	-	104	$ppm/{^{\circ}C}$

注：由综合评估得出，不在生产中测试。

5.11.2 DAC

测试参数说明：

DNL 微分非线性误差：两个连续代码之间的偏差——1LSB

INL 积分非线性误差：代码 i 处测得的值与代码 0 及最后一个代码 4095 之间连线上代码 i 处的值之间的差

表格 49 DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟电源电压	-	2.4	-	3.6	V
RLOAD	阻性负载	缓冲器打开，负载与 VssA 连接	5	-	-	kΩ
Ro	输出阻抗	缓冲器关闭，DAC_OUT 和 Vss 之间的阻性负载是 $1.5M\Omega$	-	-	15	kΩ
CLOAD	容性负载	缓冲器打开，在 DAC_OUT 引脚处的最大容性负载	-	-	50	pF
DAC_OUTmin	带缓冲器低 DAC_OUT 电压	DAC 的最大输出偏移，对应于 12 位输入代码 (0x0E1) 到 $VREF+=3.6V$ 处的 (0xF1B) 和 $VREF+=2.4V$ 处的 (0x154) 和 (0xEAC)	0.2	-	-	V
DAC_OUTmax	更高的带缓冲器的输出电压		-	-	$VDDA-0.2$	V
DDA		无负载，输入端采用中间代码 (0x800)	-	-	295	uA

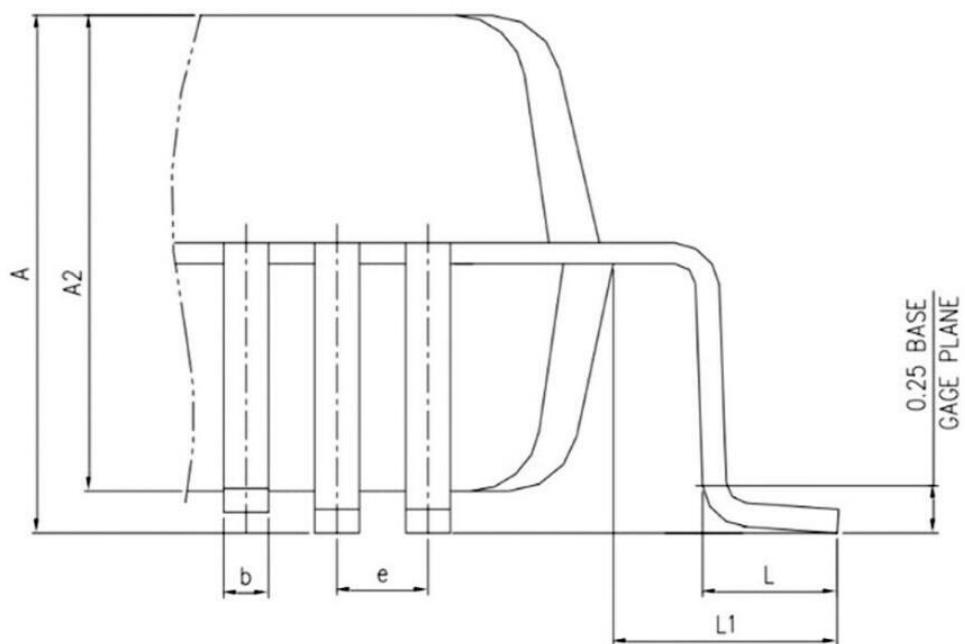
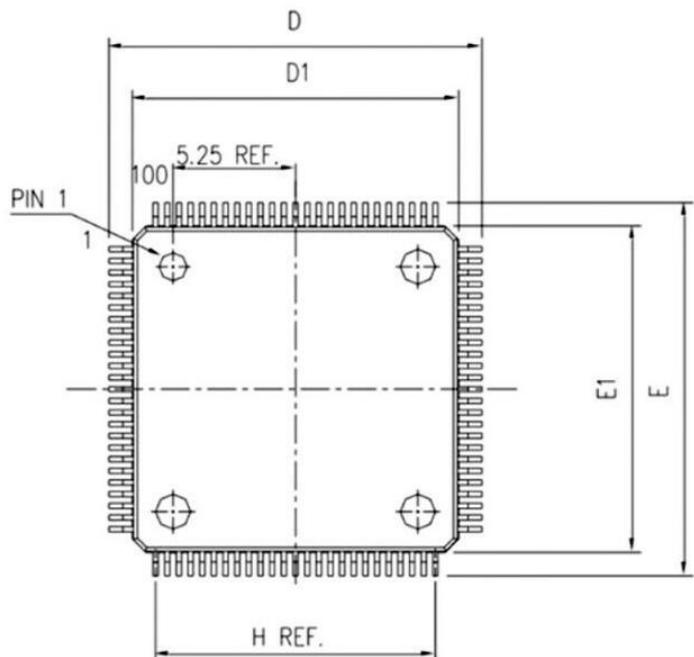
符号	参数	条件	最小值	典型值	最大值	单位
	DAC 处于静止模式的功耗	无负载, 输入端采用差代码 (0xF1C)	-	-	340	uA
DNL	微分非线性误差	配置 12 位 DAC			-0.5	LSB
INL	积分非线性误差	配置 12 位 DAC			4.13	LSB
Offset	偏移误差	VREF+=3.6V, 配置 12 位 DAC	-	-	1.23	LSB
Gain error	增益误差	配置 12 位 DAC	-	-	-0.14	%

注：由综合评估得出，不在生产中测试。

6 封装信息

6.1 LQFP100 封装图

图 17 LQFP100 封装图



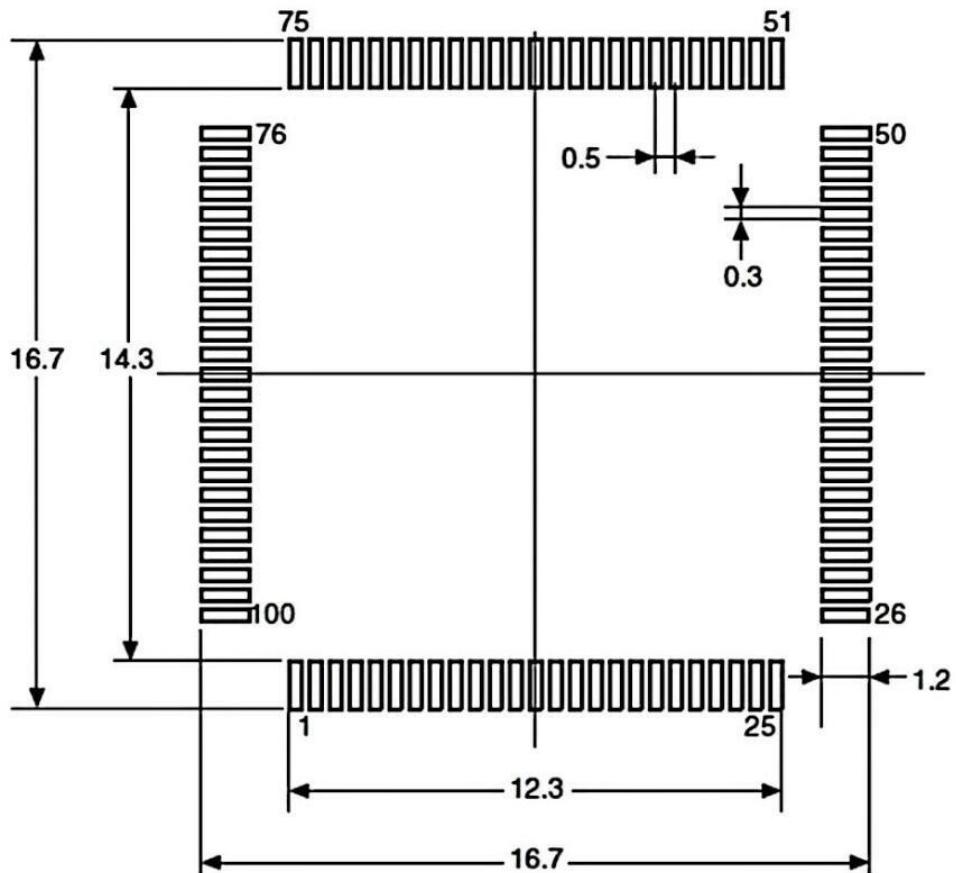
- (1) 图不是按照比例绘制
- (1) 所有的引脚都应该焊接在 PC

表格 50 LQFP100 封装数据

DIMENSION LIST (FOOTPRINT: 2.00)			
S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	16.000±0.200	LEAD TIP TO TIP
4	D1	14.000±0.100	PKG LENGTH
5	E	16.000±0.200	LEAD TIP TO TIP
6	E1	14.000±0.100	PKG WDTH
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H(REF)	(12.00)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

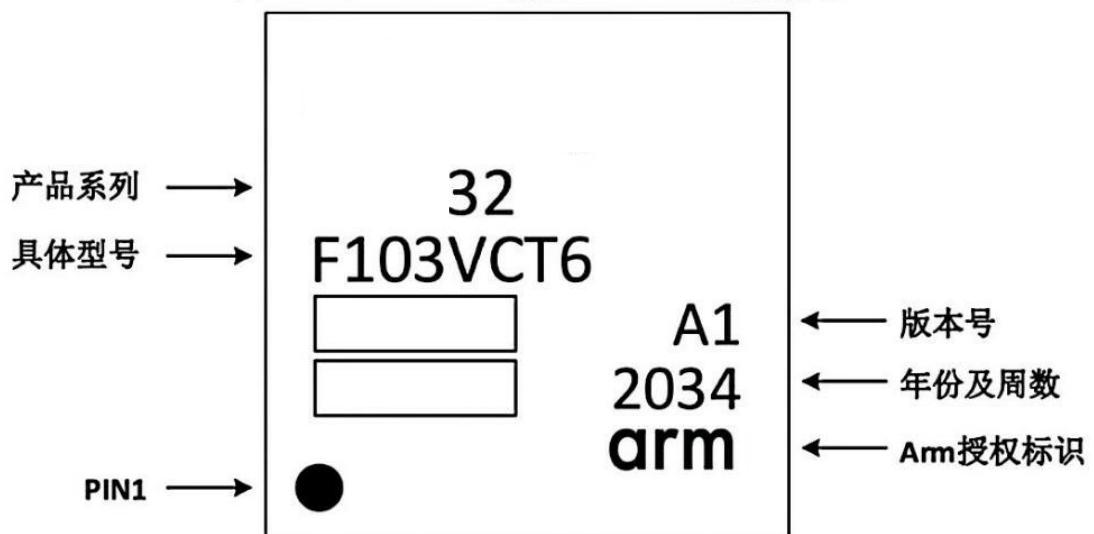
(1) 尺寸以毫米显示

图 18 LQFP100-100 引脚, 14×14mm 焊接 Layout 建议



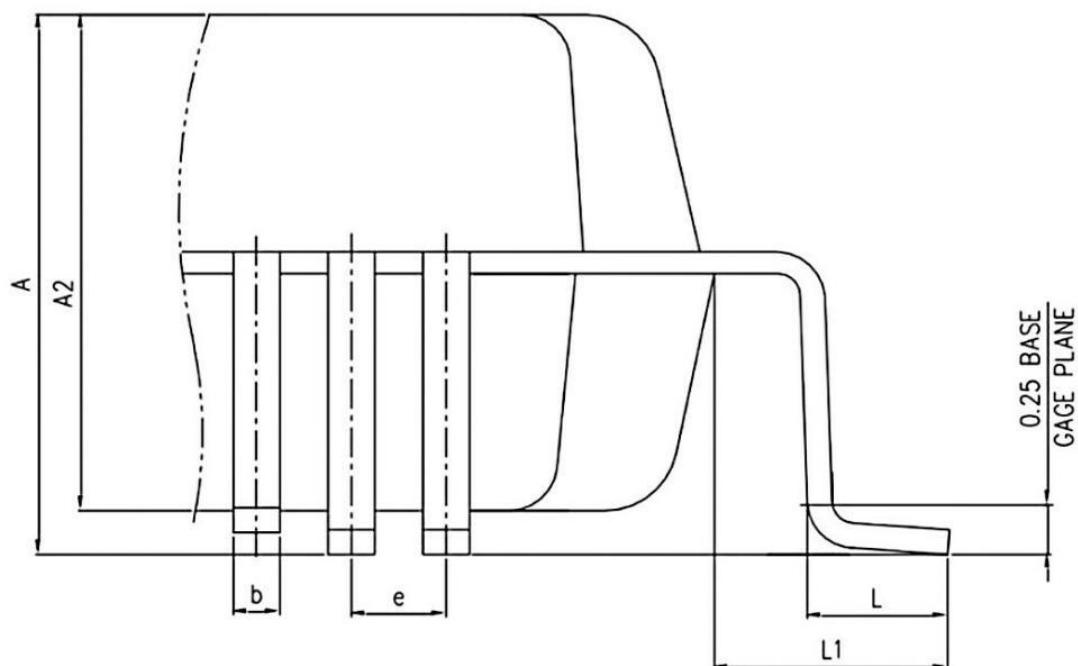
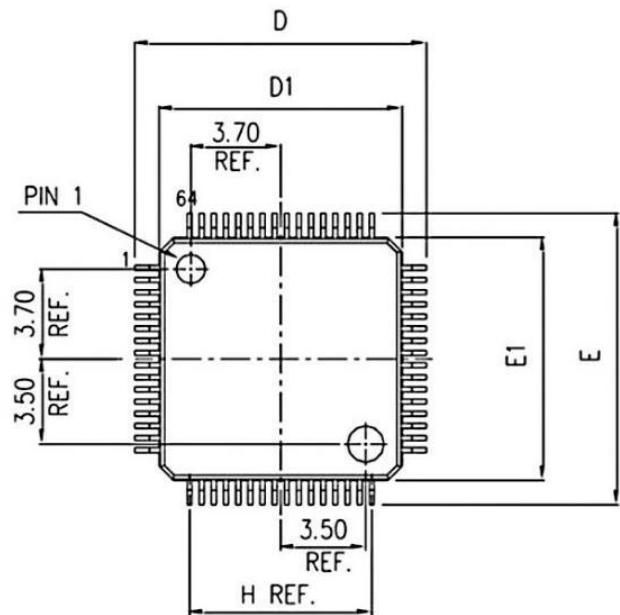
(1) 尺寸以毫米表示

图 19 LQFP100-100 引脚, 14×14mm 封装标识



6.2 LQFP64 封装图

图 20 LQFP64 封装图



- (1) 图不是按照比例绘制
- (2) 所有的引脚都应该焊接在 PCB 上

表格 5 1 LQFP64 封装数据

DIMENSION LIST (FOOTPRINT: 2.00)			
S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	12.000±0.200	LEAD TIP TO TIP
4	D1	10.000±0.100	PKG LENGTH
5	E	12.000±0.200	LEAD TIP TO TIP
6	E1	10.000±0.100	PKG WDTH
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H (REF)	(7.500)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

(1) 尺寸以毫米表示

图 21 LQFP64-64 引脚, 10×10mm 焊接 Layout 建议

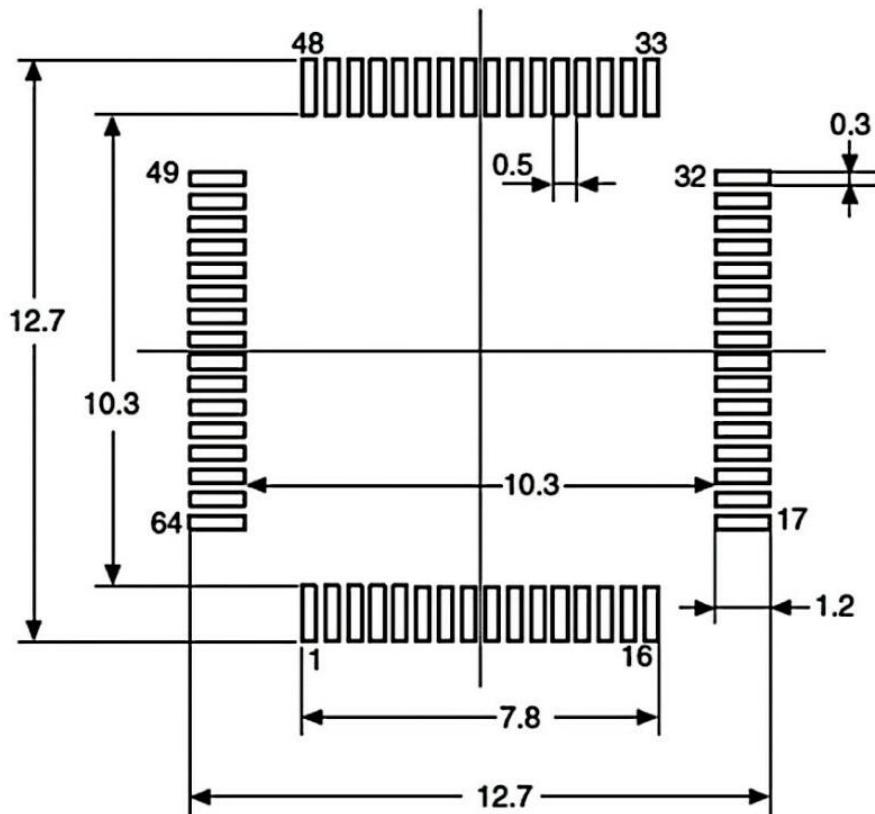
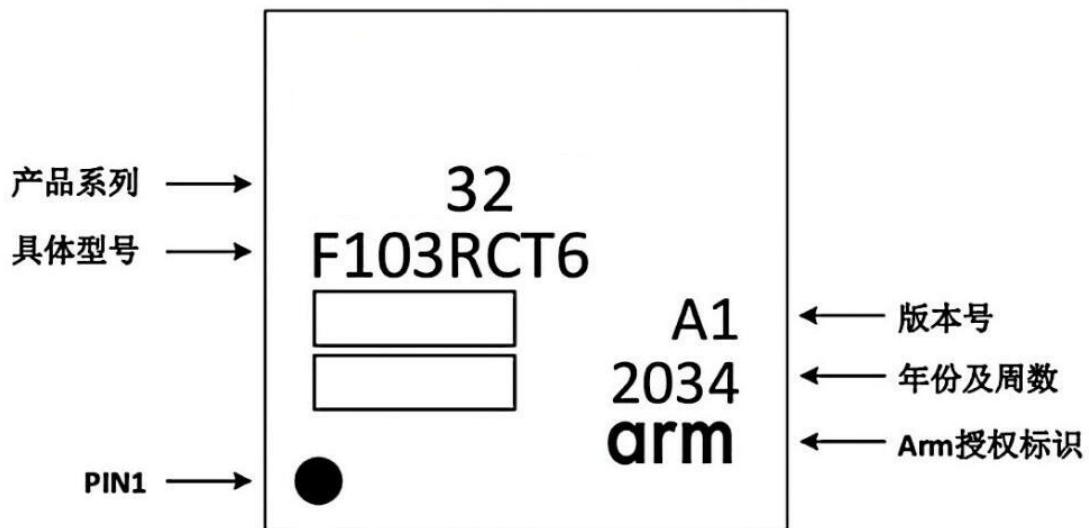
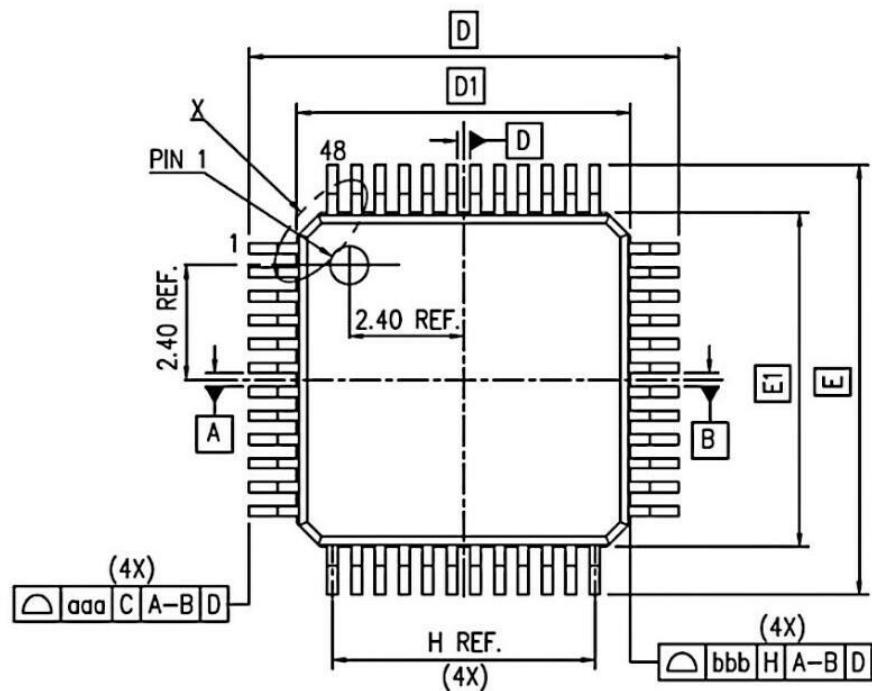


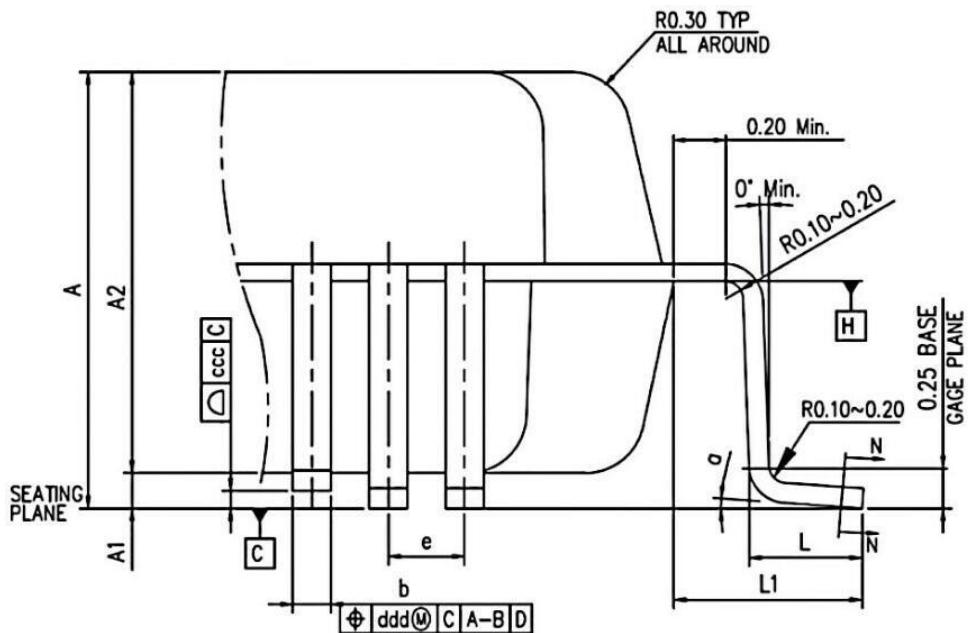
图 22 LQFP64-64 引脚, 10×10mm 封装标识



6.3 LQFP48 封装图

图 23 LQFP48 封装图





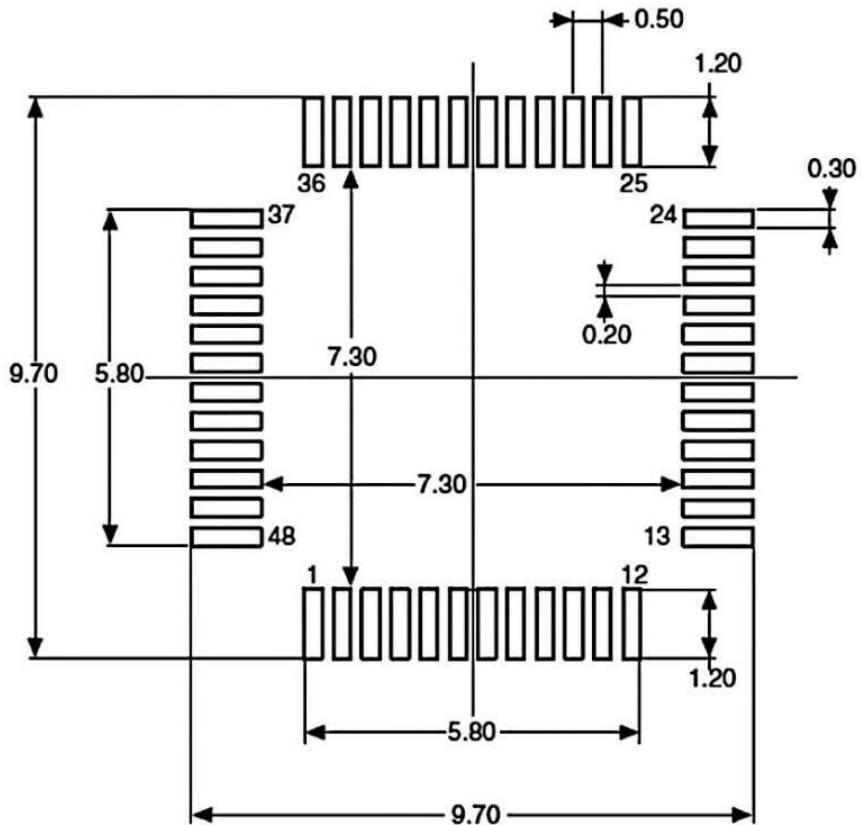
- (1) 图不是按照比例绘制
- (2) 所有的引脚都应该焊接在 PCB 上

表格 52 LQFP48 封装数据

DIMENSION LIST (FOOTPRINT: 2.00)			
S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.1±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	9.00±0.20	LEAD TIP TO TIP
5	D1	7.00±0.10	PKG LENGTH
6	E	9.00±0.20	LEAD TIP TO TIP
7	E1	7.00±0.10	PKG WDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF	LEAD LENGTH
10	T	0.15	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0° ~7°	FOOT ANGLE
13	b	0.22±0.02	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(5.50)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

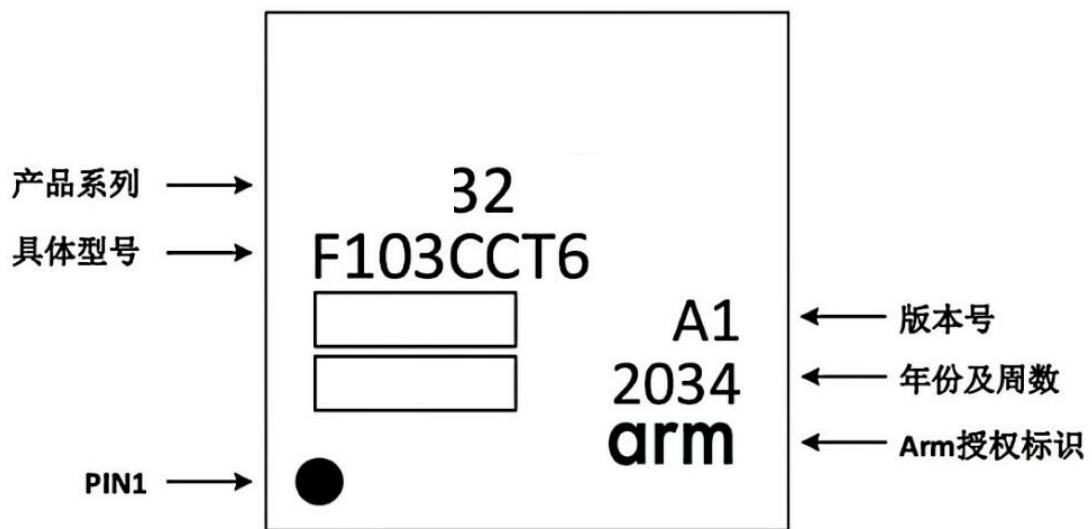
- (1) 尺寸以毫米表示

图 24 LQFP48, 7×7mm 焊接 Layout 建议



(1) 尺寸以毫米表示

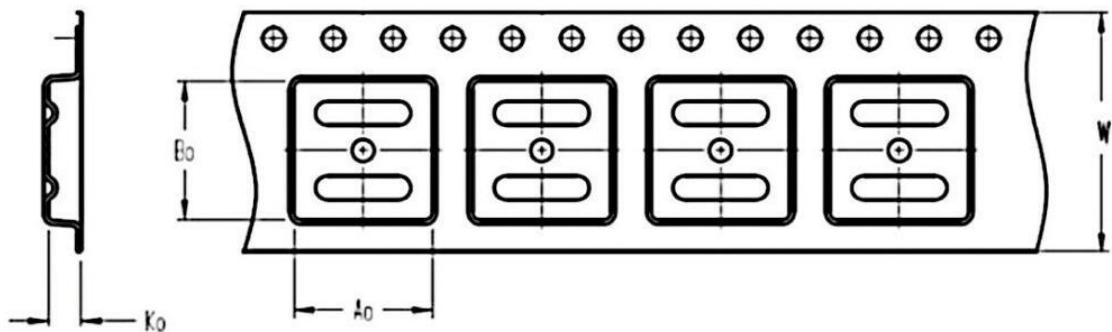
图 25 LQFP48-48 引脚, 7×7mm 标识图



7 包装信息

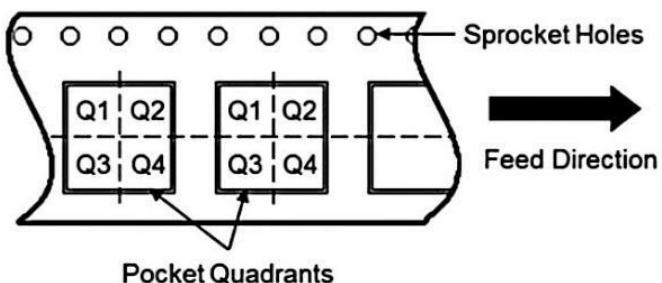
7.1 带状包装

图 26 带状包装规格图

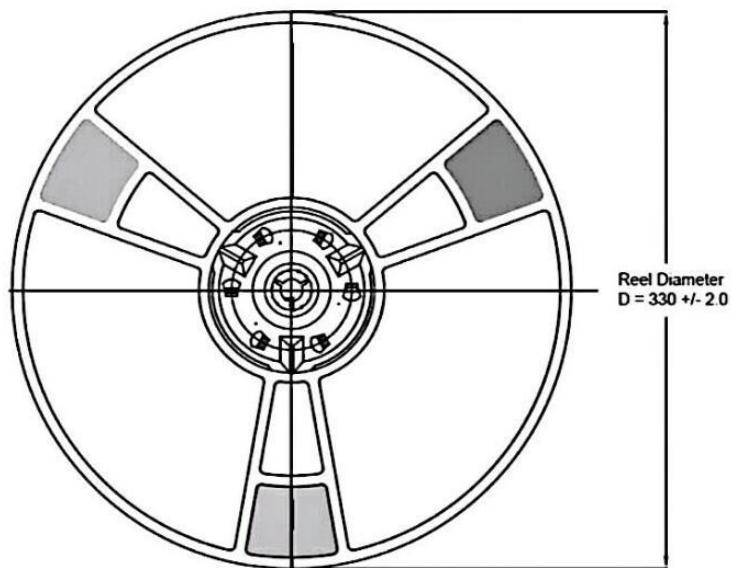


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W Overall width of the carrier tape	

Quadrant Assignments for PIN1 Orientation in Tape



Reel Dimensions



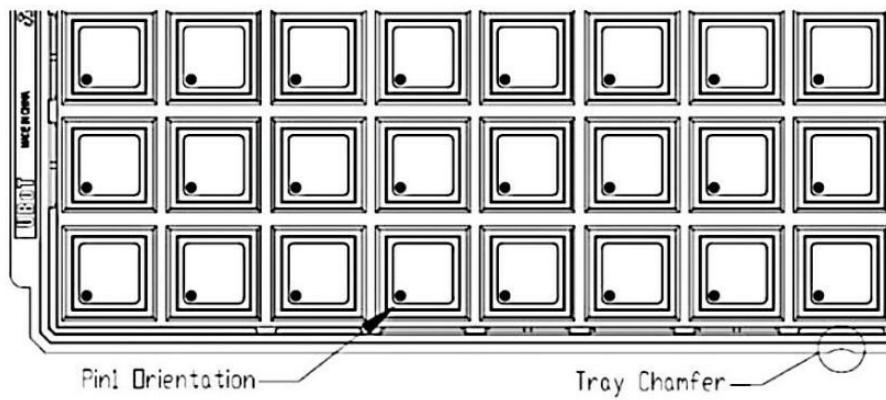
所有照片仅供参考，外观以产品为准。

表格 53 带状包装参数规格表

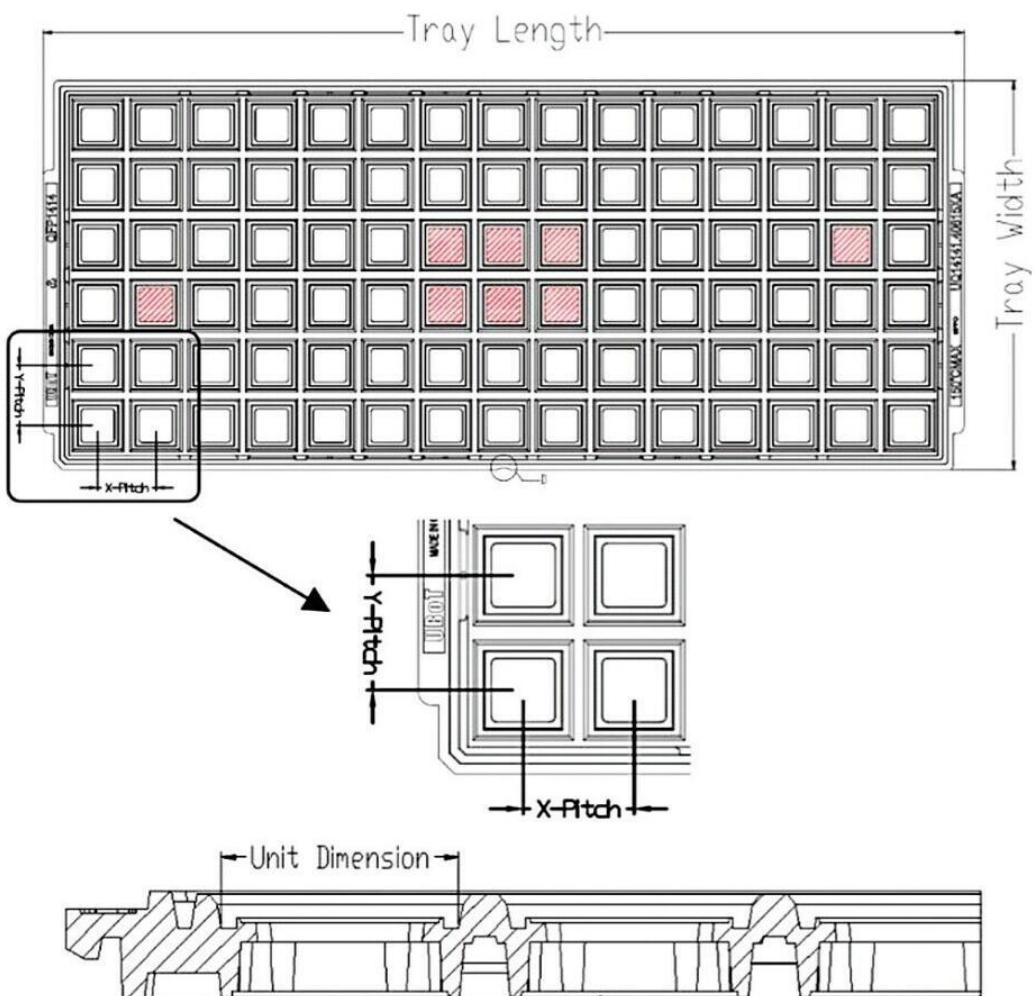
Device	PackageType	Pins	SPQ	Reel Diameter (mm)	A0 (mm)	B0 (mm)	K0 (mm)	w (mm)	Pin1 Quadrant
32F103RCT6	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
32F103CCT6	LQFP	48	2000	330	9.3	9.3	2.2	16	Q1
32F103CCT7	LQFP	48	2000	330	9.3	9.3	2.2	16	Q1

7.2 托盘包装

图 27 托盘包装示意图



Tray Dimensions



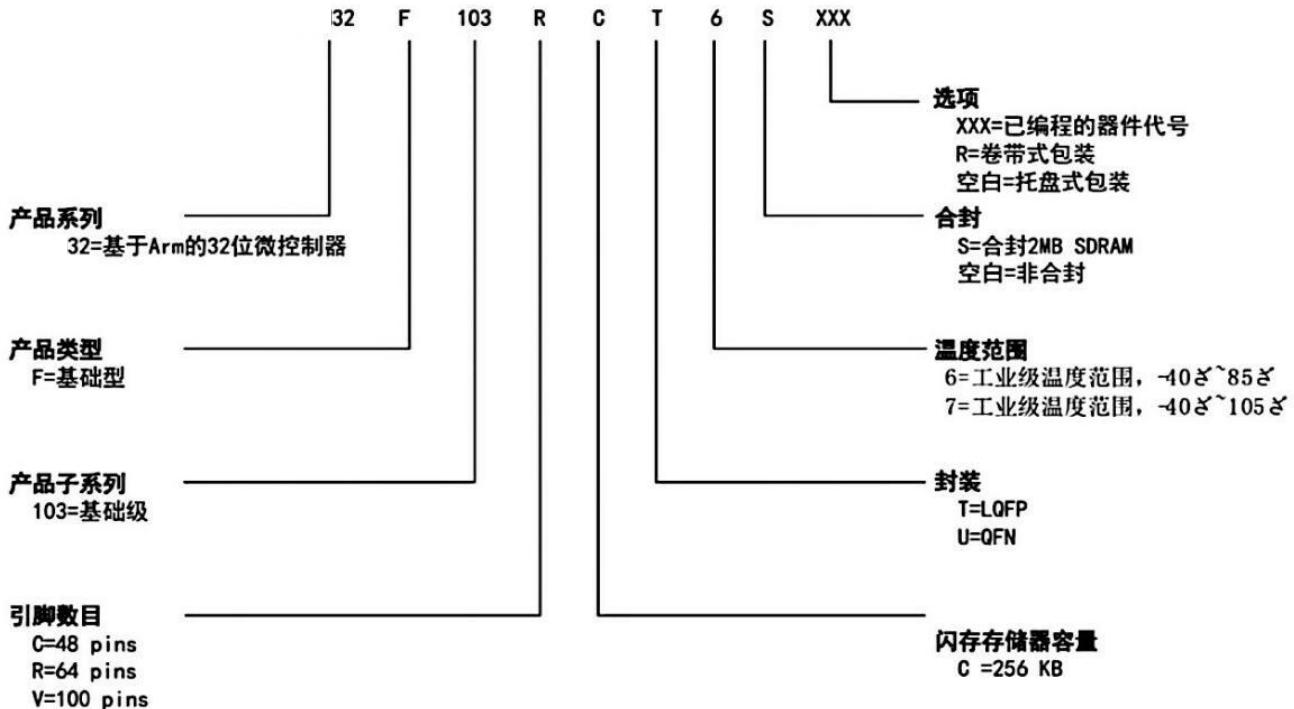
所有照片仅供参考，外观以产品为准

表格 54 托盘包装参数规格表

Device	PackageType	Pins	SPQ	X-Dimension(mm)	Y-Dimension(mm)	X-Pitch (mm)	Y-Pitch (mm)	Tray Length (mm)	Tray Width (mm)
32F103VCT6S	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F103VCT6	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F103RCT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
32F103CCT6	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
32F103VCT7S	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F103VCT7	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F103CCT7	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9

8 订货信息

图 28 产品命名规则



表格 55 订货信息列表

订货编码	Flash (KB)	SRAM (KB)	封装	SPQ	温度范围
32F103CCT6-R	256	64	LQFP48	2000	工业级 - 40°C~85°C
32F103CCT6	256	64	LQFP48	2500	工业级 - 40°C~85°C
32F103RCT6-R	256	64	LQFP64	1000	工业级 - 40°C~85°C
32F103RCT6	256	64	LQFP64	1600	工业级 - 40°C~85°C
32F103VCT6	256	64	LQFP100	900	工业级 - 40°C~85°C
32F103VCT6S	256	64	LQFP100	900	工业级 - 40°C~85°C
32F103CCT7-R	256	64	LQFP48	2000	工业级 - 40°C~105°C
32F103CCT7	256	64	LQFP48	2500	工业级 - 40°C~105°C
32F103VCT7	256	64	LQFP100	900	工业级 - 40°C~105°C
32F103VCT7S	256	64	LQFP100	900	工业级 - 40°C~105°C

说明: SPQ=最小包装数量

常用功能模块命名

表格 56 常用功能模块命名

中文描述	简称
复位管理单元	RMU
时钟管理单元	CMU
复位和时钟管理	RCM
外部中断	EINT
通用 IO	GPIO
复用 IO	AFIO
唤醒控制器	WUPT
蜂鸣器	BUZZER
独立看门狗定时器	IWDT
窗口看门狗定时器	WWDT
定时器	TMR
CRC 控制器	CRC
电源管理单元	PMU
DMA 控制器	DMA
模拟数字转换器	ADC
实时时钟	RTC
外部存储控制器	EMMC
控制器局域网络	CAN
I2C 接口	I2C
串行外设接口	SPI
通用异步收发器	UART
通用异步同步收发器	USART
闪存接口控制单元	FMC

10 版本历史

表格 57 文件版本历史

日期	版本	变更历史
2021. 1. 10	1. 0	新建
2021. 5. 20	1. 1	(1) 修改页眉，封面封底及封装图 (2) 增加 STM32F103VCT6+TDTxS 型号的 ESD 及功耗数据
2021. 6. 30	1. 2	新增最大额定电流特性
2022. 3. 9	1. 3	(1) 修改电气特性中 DAC 的数据 (2) 修改订货编码 (3) 删除 32F103RCT7 型号的相关内容
2022. 6. 30	1. 4	(1) 修改 Arm 商标 (2) 增加声明
2022. 7. 11	1. 5	(1) 将引脚定义中的 “CAN_RX” 和 “CAN_TX” 修正为 “CAN1_RX” 和 “CAN1_TX”
2023. 1. 12	1. 6	(1) 修改引脚定义表格中 USBD 的名称 (2) 修改 USBD 的功能描述 (3) 修改 PLL 特性表格
2023. 2. 24	1. 7	(1) 修改 HSICLK 振荡器特性表格 (2) 修改 HSECLK 振荡器特性表格
2024. 10	1. 8	(1) 修改地址映射描述 (2) 增加 flash 保存时间和擦写周期

声明

本手册由本公司制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，本公司保留随时更正、修改本手册的权利。使用本公司产品前请仔细阅读本手册，一旦使用产品则表明您(以下称“用户”)已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用本公司产品。

1、权利所有

本手册仅应当被用于与本公司所提供的对应型号的芯片产品、软件产品搭配使用，未经本公司许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

2、无知识产权许可

本公司拥有本手册所涉及的全部权利、所有权及知识产权。

本公司不应因销售、分发本公司产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为本公司授权用户使用前述第三方产品、服务或知识产权，也不应被视为本公司对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非本公司在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买本公司产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与本公司产品不一致的，应以本公司销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经本公司实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，本公司对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成本公司对任何产品性能方面的保证。

用户应根据自身需求选择合适的本公司产品，并对本公司产品的应用适用性进行有效验证和测试，以确认本公司产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对本公司产品进行有效验证和测试而致使用户损失的，本公司不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的本公司产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、本公司、本公司经销商及用户所在地等各有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得本公司产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由本公司“按原样”(asis)提供，在适用法律所允许的范围内，本公司不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

本公司产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出本公司提供的规格、应用领域、规范，本公司不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标准等要求。用户对本公司产品的选择和使用负全部的责任。对于用户后续在针对本公司产品进行设计、使用的过程中所引起的任何纠纷，本公司概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则本公司和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册及产

品而产生的直接、间接或附带损害(包括但不限于数据丢失或数据不准确,或用户或第三方遭受的损失),这涵盖了可能导致的人身安全、财产或环境损害等情况,对于这些损害本公司概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。