

自主封測 品質把控 售後保障

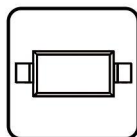
WEB | WWW.TDSEMIC.COM



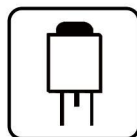
電源管理



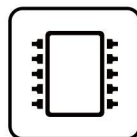
顯示驅動



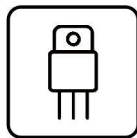
二三極管



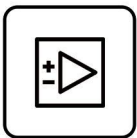
LDO穩壓器



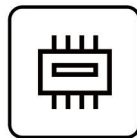
觸摸芯片



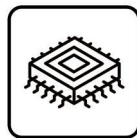
MOS管



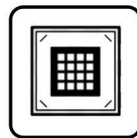
運算放大器



存儲芯片



MCU



串口通信

STM32F103RET6+TD

產品規格說明書

1. 产品特性

系统与架构

32 位 Arm® Cortex®-M3 内核

最高工作频率为 96MHz

时钟与存储器

HSECLK: 支持 4MHz~16MHz 外部晶体/陶瓷振荡器

LSECLK: 支持 32.768KHz 晶体/陶瓷振荡器

HSICLK: 出厂校准的 8MHz RC 振荡器

LSICLK: 40KHz RC 振荡器

Flash 容量最高 512 KB

SRAM 容量最高 128 KB

EMMC: 支持 CF 卡、SRAM、PSRAM、SDRAM、NOR 和 NAND 存储器

并行 LCD 接口, 兼容 8080/6800 模式

电源与低功耗模式

复位供电电压 2.0V~3.6V

支持可编程电压监测器 (PVD)

支持睡眠, 停机和待机三种低功耗模式

VBAT 供电可支持 RTC 及备用寄存器工作

独立 FPU 模块, 支持浮点运算

ADC

3 个 12bit 精度的 ADC, 最多支持 21 个输入通道

ADC 电压转换范围: 0~VDDA

支持双采样和保持功能

2 个 12bitDAC

I/O

可选择 112/80/51 个 I/O, 由封装型号决定

所有 I/O 均可以映射到 16 个外部中断

12 通道 DMA 控制器

2 个 DMA, 最多一个能支持 7 个独立的可配置通道

定时器

2 个 16 位高级定时器 TMR1/8, 支持死区控制和紧急刹车功能

4 个 16 位通用定时器 TMR2/3/4/5, 每个定时器拥有 4 个独立通道支持输入捕获、输出比较、PWM 与脉冲计数等功能

2 个 16 位基本定时器 TMR6/7

2 个看门狗定时器, 分别为独立型 IWDG 和窗口型 WWDG

1 个 24 位自减型系统定时器 Sys Tick

Timer

通信接口

3 个 USART, 2 个 UART, 支持 ISO7816、LIN 和 IrDA 等功能

2 个 I2C, 支持 SMBus/PMBus

3 个 SPI (2 个可复用 I2S), 最大传输速度 18Mbps

1 个 USB D

1 个 CAN 2.0B, 可支持 USB D 和 CAN 可同时独立工作

1 个 SDIO 接口

1 个 CRC 单元

支持 96 位不可改写的唯一 ID

串行调试接口 SWD 和 JTAG

芯片封装

LQFP144/LQFP100/LQFP64

应用领域

医疗设备、PC 外设、工业控制、智能仪表、家用电器

目录

1. 产品特性	1
2. 简介	8
3. 功能描述	9
3.1. Arm®Cortex®-M3 内核并内嵌闪存和 SRAM	9
3.2. 存储器	9
3.2.1 可配置的外部存储控制器 (EMMC)	10
3.3. 电源管理	10
3.3.1 供电方案	10
3.3.2 电压调压器	11
3.3.3 供电监控器	11
3.3.4 低功耗模式	11
3.4. 时钟和启动	12
3.5. RTC 和后备寄存器	12
3.6. 启动配置	12
3.7. CRC 计算单元	12
3.8. 通用 I/O 端口	12
3.9. 中断控制器	13
3.9.1 嵌套的向量式中断控制器 (NVIC)	13
3.9.2 外部中断/事件控制器 (EINT)	13
3.10. 浮点运算单元 (FPU)	13
3.11. DMA	13
3.12. 定时器	14
3.13. 看门狗 (WDT)	14
3.14. 外设接口	15
3.14.1 I2C 总线	15
3.14.2 I2S 总线	15
3.14.3 通用同步/异步收发器 (USART)	15
3.14.4 串行外设接口 (SPI)	15
3.14.5 控制器区域网络 (CAN)	16
3.14.6 通用串行总线模块 (USB)	16
3.14.7 USB 接口与 CAN 接口的同时使用	16
3.14.8 液晶显示器并行接口 (LCD)	16
3.14.9 安全数字输入输出接口 (SDIO)	16

3. 14. 10 通用输入输出接口 (GPIO)	16
3. 15. 转换器	17
3. 15. 1 模拟/数字转换器 (ADC)	17
3. 15. 2 数字/模拟转换器 (DAC)	17
3. 16. 调试接口 (SWJ-DP)	17
3. 17. 内嵌跟踪模块 (ETM)	18
4. 引脚信息	19
4. 1. 引脚分布	19
4. 1. 1 STM32F103RET6+TD系列 LQFP144	19
4. 1. 2 STM32F103RET6+TD系列 LQFP100	20
4. 1. 3 STM32F103RET6+TD系列 LQFP64	21
4. 2. 引脚功能描述	22
5. 系统框图	31
6. 时钟树	33
7. 地址映射	33
8. 电气特性	35
8. 1. 测试条件	35
8. 1. 1 最大值和最小值	36
8. 1. 2 典型值	36
8. 1. 3 典型曲线	36
8. 1. 4 负载电容	36
8. 1. 5 供电方案	38
8. 2. 绝对最大额定值	39
8. 2. 1 最大额定电压特性	39
8. 2. 2 最大额定电流特性	39
8. 2. 3 最大温度特性	40
8. 3. 通用工作条件下的测试	40
8. 3. 1 内嵌复位和电源控制模块特性测试 (1)	41
8. 3. 2 内置参考电压特性测试	41
8. 3. 3 供电电流特性	42
8. 3. 4 外部时钟源特性	47
8. 3. 5 内部时钟源特性	49
8. 3. 6 PLL 特性	50
8. 3. 7 存储器特性	50

8.3.8 EMC 特性	51
8.3.9 绝对最大额定值（电灵敏度）	52
8.3.10 I/O 端口特性	53
8.3.11 NRST 引脚特性	56
8.3.12 通信接口	56
8.3.13 12 位 ADC 特性	60
8.3.14 DAC 电气规范	62
9. 封装信息	64
9.1. LQFP144 封装图	64
9.2. LQFP100 封装图	67
9.3. LQFP64 封装图	70

表格目录

表 1 STM32F103RET6+TD产品功能和外设	9
表 2 存储器说明	10
表 3 供电方案	10
表 4 电压调压器的工作模式	11
表 5 低功耗模式	11
表 6 定时器功能比较	14
表 7 看门狗	14
表 8 STM32F103RET6+TD引脚功能描述	22
表 9 最大额定电 STM32F103RET6+TD系列地址映射图	33
表 10 最大额定电压特性	39
表 11 最大额定电流特性	39
表 12 温度特性	40
表 13 通用工作条件	40
表 14 内嵌复位和电源控制模块特性 ($-40^{\circ}\text{C}<\text{TA}<+105^{\circ}\text{C}$)	41
表 15 内置的参照电压	41
表 16 运行模式下的最大电流消耗, 数据处理代码从内部 FLASH 中运行	43
表 17 运行模式下的最大电流消耗, 数据处理代码从内部 RAM 中运行	43
表 18 睡眠模式下的最大电流消耗, 代码从 FLASH 或 RAM 中运行	44
表 19 停机和待机模式下的最大电流消耗	45
表 20 运行模式下的典型的电流消耗, 数据处理代码从内部 FLASH 中运行	46
表 21 运行模式下的典型的电流消耗, 数据处理代码从内部 RAM 中运行	46
表 22 睡眠模式下的典型的电流消耗, 代码从 FLASH 或 RAM 中运行	47
表 23 停机和待机模式下的典型的电流消耗	47
表 24HSECLK4~16MHZ 振荡器特性 (1) (2)	48
表 25 LSECLK 振荡器特性(F LSECLK=32. 768KHZ) (1) (2) (3)	48
表 26HSICLK 振荡器特性 (1)	49
表 27LSICLK 振荡器特性 (1)	49
表 28 低功耗模式的唤醒时间	50
表 29PLL 特性	50
表 30FLASH 存储器特性 (1)	50
表 31EMC 特性	51
表 32EMI 特性	52
表 33ESD 绝对最大额定值	52

表 34	静态栓锁(1)·····	52
表 35	I/O 静态特性(测试条件 $V_{DD} = 2.7\sim 3.6V, T_A = -40\sim 105^{\circ}C$)·····	53
表 36	输出电压特性(测试条件 $V_{cc} = 2.7\sim 3.6V, T_A = -40\sim 105^{\circ}C$)·····	53
表 37	输入输出交流特性(1)·····	54
表 38	NRST 引脚特性(测试条件 $V_{cc}=3.3V, T_A=-40\sim 105^{\circ}C$)·····	56
表 39	I2C 接口特性(测试条件 $V_{DD}=3.3V, T_A=25^{\circ}C$)·····	56
表 40	SPI 特性($V_{DD}=3.3V, T_A=25^{\circ}C$)·····	57
表 41	USB 全速电气特性($V_{DD} = 3.0\sim 3.6V, T_A = 25^{\circ}C$)·····	60
表 42	ADC 特性($V_{DD}=2.4\sim 3.6V, T_A=-40\sim 105^{\circ}C$)·····	60
表 43	FADC=14MHZ (1) 时的最大 RAIN·····	61
表 44	ADC 精度·····	61
表 45	DAC 特征·····	62
表 46	LQFP144 封装数据·····	65
表 47	LQFP100 封装数据·····	68
表 48	LQFP64 封装数据·····	71

图目录

图 1LQFP144 引脚分布图	19
图 2LQFP100 引脚分布图	20
图 3LQFP64 引脚分布图	21
图 4 STM32F103RET6+TD系列系统框图	31
图 5 STM32F103RET6+TD系列时钟树	33
图 6 测量引脚参数时的负载条件图 7	36
引脚输入电压测量方案	37
图 8 电流消耗测量方案	37
图 9 供电方案	38
图 10 输入输出交流特性定义	56
图 11 总线交流波形和测量电路	57
图 12SPI 时序图-从模式和 CPHA=0	58
图 13SPI 时序图-从模式和 CPHA=1 (1)	59
图 14SPI 时序图-主模式 (1)	59
图 15USBD 时序：数据信号上升和下降的时间定义	60
图 1612 位缓冲/非缓冲 DAC	63
图 17LQFP144 封装图	64
图 20LQFP100 封装图	67
图 23LQFP64 封装图	70

2. 简介

STM32F103RET6+TD 系列芯片是基于 Arm® Cortex®-M3 内核的 32 位微处理器，工作频率最高为 96MHz。

内置高速存储器(高达 512Kbytes 的闪存和 128Kbytes 的 SRAM)，大量的增强型 I/O 端口和联接到 2 个 APB 总线的外设。芯片内部配备强大的 FPU 浮点运算处理单元，支持单精度数据处理指令和数据类型。所有型号的器件都包含 3 个 12 位的 ADC、4 个通用 16 位定时器和 2 个 PWM 定时器，2 个基本定时器，还包含标准和先进的通信接口：2 个 I2C 接口、3 个 SPI 接口、2 个 I2S 接口、1 个 SDIO 接口、3 个 USART 接口、2 个 UART 接口、1 个 USB 接口和 1 个 CAN 接口。

STM32F103RET6+TD 增强型系列产品工作的温度范围为：-40°C~+105°C，电压范围为：2.0V~3.6V，一系列的省电模式保证了低功耗应用的要求。

STM32F103RET6+TD 增强型系列产品提供包括从 64 脚至 144 脚的 3 种不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。

3. 功能描述

具体 STM32F103RET6+TD产品功能和外设配置请参阅下表。

表 1 STM32F103RET6+TD产品功能和外设

外设		32F103Rx		32F103Vx		32F103Zx	
		RD	RE	VD	VE	ZD	ZE
Flash (Kbytes)		384	512	384	512	384	512
SRAM (Kbytes)		64	128	64	128	64	128
存储控制器 (EMMC)		无		有 (不支持 SDRAM)		有 (支持 SDRAM)	
定时器	通用计时器	4					
	高级定时器	2					
	基础定时器	2					
通信接口	SPI (I2S)	3 (2)					
	I2C	2					
	USART (UART)	3 (2)					
	USBD	1					
	CAN	1					
	SDIO	1					
	GPIOs	51		80		112	
12-bit ADC (通道数)		3 (16)		3 (16)		3 (21)	
12-bit DAC (通道数)		2 (2)					
CPU 频率		96MHz					
FPU		1					
工作电压		2.0~3.6V					
封装		LQFP64		LQFP100		LQFP144	

3.1. Arm®Cortex®-M3 内核并内嵌闪存和 SRAM

ArmCortex®-M3 处理器是最新一代的嵌入式 Arm 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。ArmCortex®-M3 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 位和 16 位系统的存储空间上发挥了 Arm 内核的高性能。

STM32F103RET6+TD增强型系列产品拥有内置的 Arm 核心，因此它与所有的 Arm 工具和软件兼容。

3.2. 存储器

高达 512Kbytes 的内置闪存存储器，用于存放程序和数据。

表 2 存储器说明

存储器	最大字节	功能
内置闪存存储器	512 Kbytes	用于存放程序和数据。
内置静态存储器	128 Kbytes	CPU 能以 0 等待周期访问(读/写)。

3.2.1 可配置的外部存储控制器 (EMMC)

STM32F103RET6+TD 增强型系列集成了 EMMC 模块，由 SMC(静态存储控制器)、DMC(动态存储控制器)组成，支持 PC 卡/CF 卡、SRAM、SDRAM、PSRAM、NOR 和 NAND 功能介绍：

三个 EMMC 中断源，经过逻辑或连到 NVIC 单元
写 FIFO

代码可以在除 NAND 闪存和 PC 卡外的片外存储器运行

3.3. 电源管理

3.3.1 供电方案

表 3 供电方案

名称	电压范围	说明
VDD	2.0~3.6V	VDD 直接给 IO 口供电，另外 VDD 经电压调压器为核心电路供电；
Vssa/VDDA	2.0~3.6V	为 ADC、DAC、复位模块、RC 振荡器和 PLL 的模拟部分供电。使用 ADC 或 DAC 时，VDDA 不得小于 2.4 V。VDDA 和 VSSA 必须分别连接到 VDD 和 VSS。
VBAT	1.8V~3.6V	当关闭 VDD 时，通过内部电源切换器，为 RTC、外部 32KHz 振荡器和后备寄存器供电。

注：关于如何连接电源引脚的详细信息参见图 9

3.3.2 电压调压器

通过电压调压器可调节 MCU 的工作模式，从而减少功耗，主要有三种工作模式。

表 4 电压调压器的工作模式

名称	说明
主模式 (MR)	用于正常运行操作。
低功耗模式 (LPR)	用于停止模式。
关断模式	用于 CPU 的待机模式，调压器的输出为高阻态，内核电路的供电切断，调压器处于零消耗状态，寄存器和 SRAM 的内容全部丢失。

调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

3.3.3 供电监控器

产品内部集成了上电复位 (POR)/掉电复位 (PDR) 电路。该电路始终处于工作状态，保证系统在供电超过 2V 时工作，当 VDD 低于设定的阈值 VPOR/PDR 时，系统会保持复位状态，无需连接外部复位电路。

产品通过 PVD 监视 VDD/VDDA 电压并将监测的电压值与阈值 VPvD 做比较，当 VDD 低于或高于设定的阈值 VPvD 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。关于 VPOR/PDR 和 VPVD 的细节请参考第五章电气特性。

3.3.4 低功耗模式

产品支持三种低功耗模式，可以在低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

表 5 低功耗模式

模式类型	说明
睡眠模式	在睡眠模式下，只有 CPU 停止，所有外设都处于工作状态，并且可在发生中断/事件时唤醒 CPU。
停机模式	在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，内部 1.5V 供电部分停止，PLL、HSICLK 的 RC 振荡器和 HSECLK 晶体振荡器被关闭，调压器被置于普通模式或低功耗模式。可以通过任何一个配置成 EINT 的信号把微处理器从停机模式中唤醒。EINT 信号可以是 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟或 USBD 的唤醒信号。
待机模式	在待机模式下可以达到最低的电能消耗。在待机模式下，内部的电压调压器被关闭，所以内部 1.5V 部分的供电被切断；PLL、HSICLK 的 RC 振荡器和 HSECLK 晶体振荡器也被关闭；进入待机模式后，SRAM 和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。 从待机模式退出的条件是：NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿或 RTC 的闹钟到时。

注：在进入停机或待机模式时，RTC、IWDT 和对应的时钟不会被停止。

3.4. 时钟和启动

系统启动时选用内部 8MHz 的 RC 振荡器作为默认时钟，随后可以选择外部的、具失效监控的 4~16 MHz 时钟；当检测到外部时钟失效时，系统将自动地切换回内部的 RC 振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对 PLL 时钟完全的中断管理（如当一个间接使用的外部振荡器失效时）。

多个预分频器用于配置 AHB、高速 APB (APB2) 和低速 APB (APB1) 的频率。AHB 和高速 APB 的最高频率为 96MHz。参考图 5 的时钟驱动框图。

3.5. RTC 和后备寄存器

RTC 和后备寄存器通过一个开关供电，在 VD 有效时该开关选择 VD 供电，否则由 VBAT 引脚供电。后备寄存器 (42 个 16 位的寄存器) 可以用于在关闭 VD 时，保存 84bytes 的用户应用数据。RTC 和后备寄存器不会被系统或电源复位源复位，当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历功能，还具有闹钟中断和阶段性中断功能。它的时钟源可以选择外部 32.768KHz 的晶体振荡器、谐振器或振荡器，内部 40KHz 低速 RC 振荡器或外部高速时钟经 128 分频。为补偿天然晶体的偏差，可以通过输出一个 512Hz 的信号对 RTC 的时钟进行校准。RTC 具有一个 32 位的可编程计数器，用于使用比较寄存器进行长期测量发出警报。有一个 20 位的预分频器用于时基时钟，默认情况下它将产生一个 1 秒长的时间基准从 32.768KHz 时钟。

3.6. 启动配置

在启动时，通过 BOOT 引脚可以从用户闪存存储器、系统存储器或内部 SRAM 的三种启动模式中选择。启动加载程序 (Boot loader) 存放于系统存储器中，可以通过 USART1 对闪存重新进行编程。

3.7. CRC 计算单元

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。

在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种验证闪存存储器完整性的方法。

CRC 计算单元可以用于实时地计算软件的签名，与链接时生成的参考签名进行比较，并存储在给定的存储位置。

3.8. 通用 I/O 端口

本产品可选择 51/80/112 个 I/O，具体选择可参考型号及封装。所有 I/O 均可映射到 16 个外部中断控制器，并且大部分 I/O 支持 5V 逻辑电平输入。

3.9. 中断控制器

3.9.1 嵌套的向量式中断控制器 (NVIC)

STM32F103RET6+TD增强型产品内置嵌套的向量式中断控制器，能够处理多达 65 个可屏蔽中断通道（不包括Cortex-M3 的中断线）和 16 个优先级。

紧耦合的 NVIC 实现了低延迟的中断响应处理。

中断向量入口地址直接进入内核。

紧耦合的 NVIC 接口。

允许中断的早期处理。

处理晚到的较高优先级中断。

支持中断尾部链接功能。

自动保存处理器状态。

中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

3.9.2 外部中断/事件控制器 (EINT)

外部中断/事件控制器由 19 个产生事件/中断请求的边沿检测器组成，用于产生中断/事件请求。每个中断都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EINT 可以检测到脉冲宽度小于内部 APB2 的时钟周期。可支持 112 个通用 I/O 口连接到 16 个外部中断线。

3.10. 浮点运算单元 (FPU)

产品内置独立的 FPU 浮点运算处理单元，支持 IEEE754 标准，支持单精度浮点运算，支持的算法有： CMP、SUM、SUB、PRDCT、MAC、DIV、INVRGSQT、SUMSQ、DOT、浮点到整数转换和整数到浮点转换。

3.11. DMA

灵活的 12 路通用 DMA（DMA1 上有 7 个通道， DMA2 上有 5 个通道），可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输， 2 个 DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设： SPI、I2C、USART，通用、基本和高级控制定时器定时器 TMRx，DAC， I2S， SDIO 和 ADC。

3.12. 定时器

大容量的 STM32F103RET6+TD 增强型系列产品包含 2 个高级控制定时器(TMR1, TMR8)、4 个通用定时器、2 个基本定时器、2 个看门狗定时器和 1 个系统时间定时器。

下表比较了高级定时器、通用定时器和基本定时器的功能：

表 6 定时器功能比较

定时器类型	系统滴答定时器	基本定时器		通用定时器				高级定时器	
定时器名称	Sys Tick TMRer	TMR6	TMR7	TMR2	TMR3	TMR4	TMR5	TMR1	TMR8
计数器分辨率	24 位	16 位		16 位				16 位	
计数器类型	向下	向上		向上, 向下, 向上/下				向上, 向下, 向上/下	
预分频系数		1~65536 之间的任意整数		1~65536 之间的任意整数				1~65536 之间的任意整数	
产生 DMA 请求		可以		可以				可以	
捕获/比较通道		0		4				4	
互补输出		没有		没有				有	
功能说明	- 专用于实时操作系统 - 具有自动重加载功能 - 当计数器为 0 时能产生一个可屏蔽系统中断 - 可编程时钟源	- 用于产生 DAC 触发信号。 - 可以作为 16 位通用型时基计数器。		- 提供同步或事件链接功能 - 在调试模式下, 计数器可以被冻结。 - 可用于产生 PWM 输出 - 每个定时器都有独立的 DMA 请求机制。 - 可以处理增量编码器的信号和 1 至 3 个霍尔传感器的数字输出。				- 具有带死区插入的互补 PWM 输出 - 配置为 16 位标准定时器时, 它与 TMRx 定时器具有相同的功能。 - 配置为 16 位 PWM 发生器时, 它具有全调制能力(0~100%)。 - 在调试模式下, 计数器可以被冻结, 同时 PWM 输出被禁止。 - 提供同步或事件链接功能。	

3.13. 看门狗 (WDT)

STM32F103RET6+TD 微控制器系列产品内置两个看门狗, 提供了更高的安全性、时间的精确性和使用的灵活性。两个看门狗设备(独立看门狗和窗口看门狗)可用来检测 and 解决由软件错误引起的故障; 当计数器达到给定的超时值时, 触发一个中断(仅适用于窗口型看门狗)或产生系统复位。

表 7 看门狗

名称	计数器分辨率	计数器类型	预分频系数	功能说明
独立看门狗	12 位	向下	1~256 之间的任意整数	- 由一个内部独立的 40KHz 的 RC 振荡器提供时钟; 因为这个 RC 振荡器独立于主时钟, 所以它可以运行于停机和待机模式。 - 在发生问题时可复位整个系统。 - 可以作为一个自由定时器为应用程序提供超时管理。

名称	计数器分辨率	计数器类型	预分频系数	功能说明
				-通过选项字节可以配置成是软件或硬件启动看门狗。 -在调试模式下，计数器可以被冻结。
窗口看门狗	7 位	向下	-	-可以设置成自由运行。 -在发生问题时可复位整个系统。 -由主时钟驱动，具有早期预警中断功能； -在调试模式下，计数器可以被冻结。

3.14. 外设接口

3.14.1 I2C 总线

内置 2 个 I2C 总线接口，均可工作于多主模式或从模式，支持标准和快速模式。I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版 /PMBus 总线。

I2C3/4 总线是一个双线串行接口，由串行数据线(SDA)和串行时钟(SCL)组成。可以作为“发射器”和“接收器”工作，可以在标准模式、快速模式、快速模式和高速模式下运行；此外，高速模式和快速模式设备是向下兼容的。

3.14.2 I2S 总线

2 个标准的 I2S 接口(与 SPI2 和 SPI3 复用)可以工作于主或从模式，这 2 个接口可以配置为 16 位或 32 位输入或输出通道。支持音频采样频率从 8KHz 到 48KHz。当任一个或两个 I2S 接口配置为主模式，它的主时钟可以以 256 倍采样频率输出给外部的 DAC 或 CODEC(解码器)。

3.14.3 通用同步/异步收发器(USART)

大容量的 STM32F103RET6+TD 增强型系列产品内嵌 3 个通用同步/异步收发器(USART1、USART2 和 USA

RT3)和两个通用异步收发器(UART4 和 UART5)。

这 5 个接口提供异步通信、支持 IrDASIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主/从功能。

USART1 接口通信速率可达 4.5Mbit/s，其它接口的通信速率可达 2.25Mbit/s。

USART1、USART2 和 USART3 具有硬件的 CTS 和 RTS 信号管理，兼容 ISO7816 智能卡和类 SPI 通信模式，除了 UART5 外所有其它接口都可以使用 DMA 操作。

3.14.4 串行外设接口(SPI)

多达 3 个 SPI 接口，在从或主模式下，全双工和半双工的通信速率可达 18 兆位/秒。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位。硬件的 CRC 产生/校验支持基本的 SD 卡和 MMC 模式。

所有的 SPI 接口都可以使用 DMA 操作。

3.14.5 控制器区域网络(CAN)

CAN 总线接口兼容 2.0A 和 2.0B (主动)规范, 通信速率最高可达 1Mbit/s。它可以接收和发送 11 位标识符的标准帧, 也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个接收 FIFO, 3 级 14 个可调节的滤波器。

3.14.6 通用串行总线模块(USB2)

产品内嵌兼容全速 USB2 设备的模块 USB2 (USB21、USB22), 遵循全速 USB2 设备(12 兆位/秒)标准, 端点可由软件配置, 具有待机/唤醒功能。USB2 专用的 48MHz 时钟由内部 PLL 直接产生, 使用 USB2 功能时, 系统时钟只能是 48MHz、72MHz、96MHz 中的一个, 可分别经过 1 分频、1.5 分频、2 分频获得 USB2 所需的 48MHz。

USB21、USB22 共用寄存器地址、引脚接口, 因此同一时刻只能使用其中 1 个。

3.14.7 USB2 接口与 CAN 接口的同时使用

USB22 与 CAN 同时使用时, 需要:

- 在 USB22 的基地址偏移 0x1000 处写 0x00000001。

- PA11 和 PA12 引脚给 USB22 用, CAN 使用其它引脚。

说明: 由于 USB21 和 USB22 共用引脚, 所以同一时间只能使用一个 USB2, 当需要同时使用 USB2 和 CAN 时, 才用 USB22 代替 USB21。

3.14.8 液晶显示器并行接口(LCD)

EMMC 可以配置成与多数图形 LCD 控制器的无缝连接, 它支持 Intel 8080 和 Motorola 6800 的模式, 并能够灵活地与特定的 LCD 接口。使用这个 LCD 并行接口可以很方便地构建简易的图形应用环境, 或使用专用加速控制器的高性能方案。

3.14.9 安全数字输入输出接口(SDIO)

SD/SDIO/MMC 主机接口可以支持 MMC 卡系统规范 4.2 版中的 3 个不同的数据总线模式: 1 位(默认)、4 位和 8 位。在 8 位模式下, 该接口可以使数据传输速率达到 48MHz, 该接口兼容 SD 存储卡规范 2.0 版。

SDIO 存储卡规范 2.0 版支持两种数据总线模式: 1 位(默认)和 4 位。

目前的芯片版本只能一次支持一个 SD/SDIO/MMC 4.2 版的卡和一个堆栈 MMC 4.1 版或之前版本的卡。

除了 SD/SDIO/MMC, 这个接口完全与 CE-ATA 数字协议版本 1.1 兼容。

3.14.10 通用输入输出接口(GPIO)

产品最多可达 112 个 GPIO 引脚, 每个引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

3.15.转换器

3.15.1 模拟/数字转换器(ADC)

产品内嵌 3 个 12 位的模拟/数字转换器，每个 ADC 共用多达 21 个外部通道，可以实现单次或扫描转换。在扫描模式下，自动运行在选定的一组模拟输入上的转换。

- ADC 接口上的其他逻辑功能包括同步的采样和保持、交叉的采样和保持和单次采样。ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器(TMRx)和高级控制定时器(TMR1 和 TMR8)产生的事件可以分别内部级联到 ADC 的开始触发和注入触发，应用程序能使 AD 转换与时钟同步。

3.15.2 数字/模拟转换器(DAC)

两个 12 位带缓冲的 DAC 通道可以用于转换 2 路数字信号成为 2 路模拟电压信号并输出。这项功能内部是通过集成的电阻串和反向的放大器实现。

这个双数字接口支持下述功能：

- 两个 DAC 转换器：各有一个输出通道
- 8 位或 12 位单调输出
- 12 位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双 DAC 通道独立或同步转换
- 每个通道都可使用 DMA 功能
- 外部触发进行转换
- 输入参考电压 VREF+

大容量的 STM32F103RET6+TD 增强型系列产品中有 8 个触发 DAC 转换的输入。DAC 通道可以由定时器的更新输出触发，更新输出也可连接到不同的 DMA 通道。

3.16.调试接口(SWJ-DP)

内嵌 Arm 的 SWJ-DP 接口，这是一个结合了 JTAG 和串行单线调试的接口，可以实现串行单线调试接口或 JTAG 接口的连接。JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共用引脚，TMS 脚上的一个特殊的信号序列用于在 JTAG-DP 和 SW-DP 间切换。

3.17. 内嵌跟踪模块(ETM)

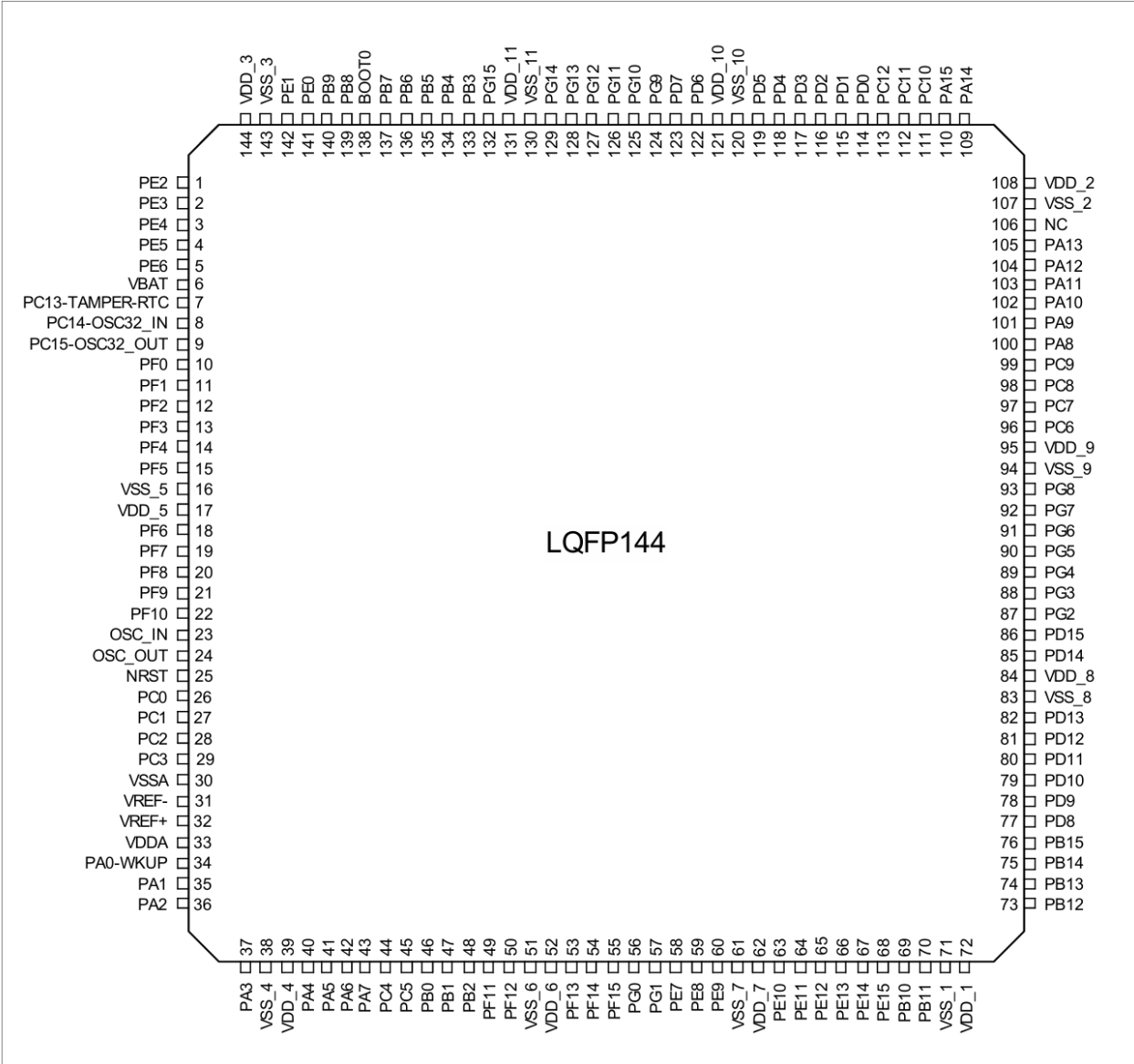
使用 Arm 的嵌入式跟踪微单元(ETM)， STM32F103RET6+TD 通过很少的 ETM 引脚连接到外部跟踪端口分析(TPA)设备，从 CPU 核心中以高速输出压缩的数据流，为开发人员提供了清晰的指令运行与数据流动的信息。TPA 设备可以通过 USB、以太网或其它高速通道连接到调试主机，实时的指令和数据流向能够被调试主机上的调试软件记录下来，并按需要的格式显示出来。TPA 硬件可以从通用开发工具供应商处购得，并能与第三方的调试软件兼容

4. 引脚信息

4.1. 引脚分布

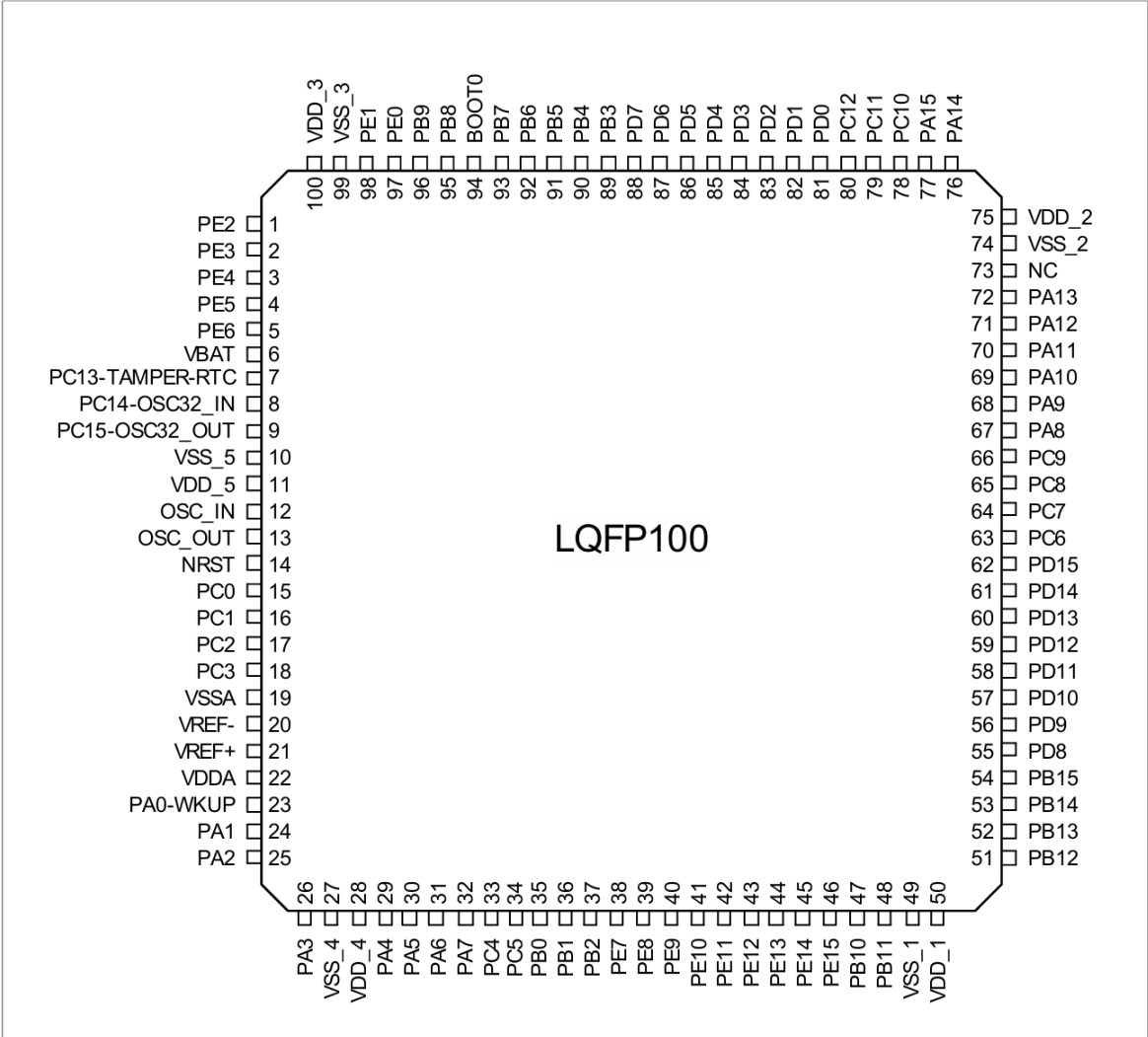
4.1.1 STM32F103RET6+TD系列 LQFP144

图 1 LQFP144 引脚分布图



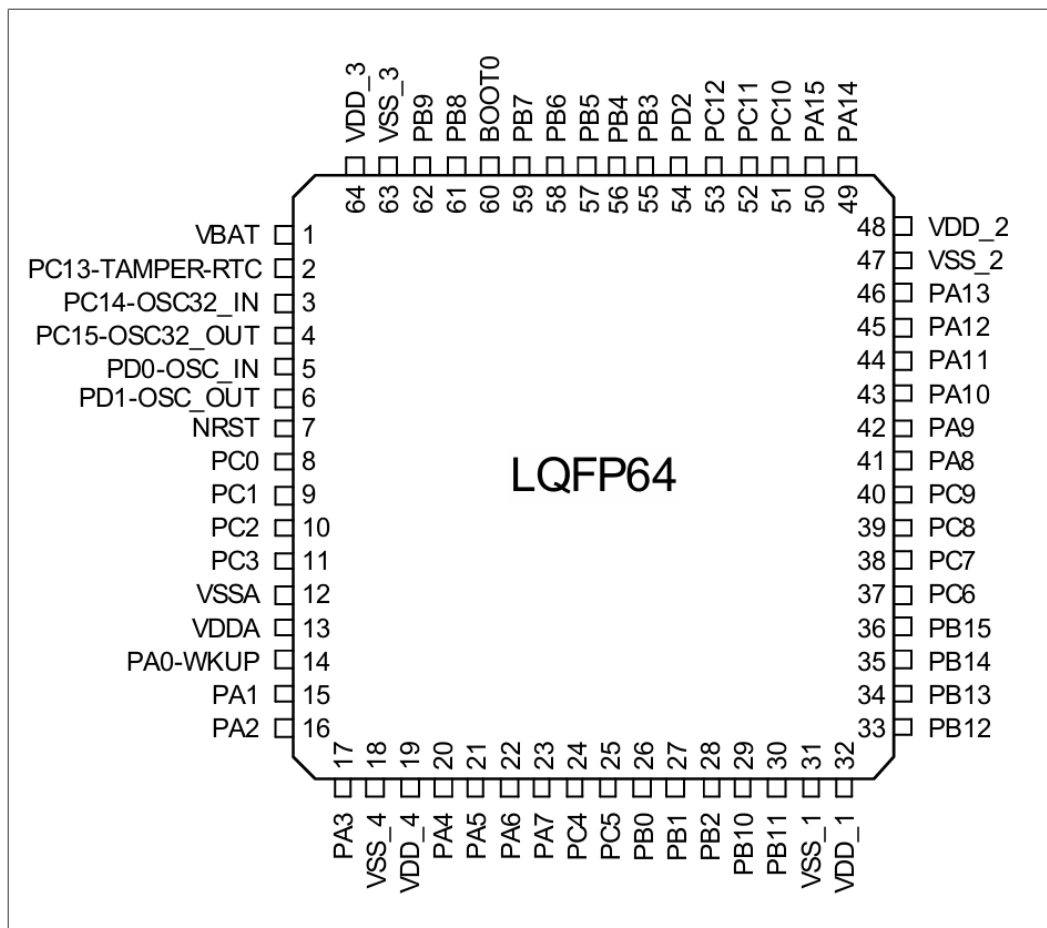
4.1.2 STM32F103RET6+TD系列 LQFP100

图 2 LQFP100 引脚分布图



4.1.3 STM32F103RET6+TD系列 LQFP64

图 3 LQFP64 引脚分布图



4.2. 引脚功能描述

表 8 STM32F103RET6+TD引脚功能描述

引脚名称	引脚编号			类型 (1)	I/O 电平(2)	主功能(3)	可选的复用功能	
	LQFP64	LQFP100	LQFP144			(复位后)	默认复用功能	重定义功能
PE2	–	1	1	I/O	FT	PE2	TRACECK, SMC_A23	
PE3	–	2	2	I/O	FT	PE3	TRACED0, SMC_A19	
PE4	–	3	3	I/O	FT	PE4	TRACED1, SMC_A20	
PE5	–	4	4	I/O	FT	PE5	TRACED2, SMC_A21	
PE6	–	5	5	I/O	FT	PE6	TRACED3, SMC_A22	
VBAT	1	6	6	S	–	VBAT	–	
PC13– TAMPER–RTC (4)	2	7	7	I/O	–	PC13 (5)	TAMPER–RTC	
PC14–OSC32_IN (4)	3	8	8	I/O	–	PC14 (5)	OSC32_IN	
PC15– OSC32_OUT (4)	4	9	9	I/O	–	PC15 (5)	OSC32_OUT	
PF0	–	–	10	I/O	FT	PF0	SMC_A0, DMC_A0	
PF1	–	–	11	I/O	FT	PF1	SMC_A1, DMC_A1	
PF2	–	–	12	I/O	FT	PF2	SMC_A2, DMC_A2	
PF3	–	–	13	I/O	FT	PF3	SMC_A3, DMC_A3	
PF4	–	–	14	I/O	FT	PF4	SMC_A4, DMC_A4	
PF5	–	–	15	I/O	FT	PF5	SMC_A5, DMC_A5	
Vss_5	–	10	16	S	–	VSS_5	–	
VDD_5	–	11	17	S	–	VDD_5	–	
PF6	–	–	18	I/O	–	PF6	ADC3_IN4, SMC_NIORD	

引脚名称	引脚编号			类型 (1)	I/O 电平 (2)	主功能 (3) (复位后)	可选的复用功能	
	LQFP64	LQFP100	LQFP144				默认复用功能	重定义功能
PF7	–	–	19	I/O	–	PF7	ADC3_IN5, SMC_NREG	
PF8	–	–	20	I/O	–	PF8	ADC3_IN6, SMC_NIOWR	
PF9	–	–	21	I/O	–	PF9	ADC3_IN7, SMC_CD	
PF10	–	–	22	I/O	–	PF10	ADC3_IN8, SMC_INTR	–
OSC_IN	5	12	23	I	–	OSC_IN	–	PD0 (7)
OSC_OUT	6	13	24	O	–	OSC_OUT	–	PD1 (7)
NRST	7	14	25	I/O	–	NRST	–	
PC0	8	15	26	I/O	–	PC0	ADC123_IN10, DMC_WE	
PC1	9	16	27	I/O	–	PC1	ADC123_IN11, DMC_RAS	
PC2	10	17	28	I/O	–	PC2	ADC123_IN12, DMC_CS	
PC3	11	18	29	I/O	–	PC3	ADC123_IN13, DMC_CKE	
VSSA	12	19	30	S	–	VSSA		
VREF.	–	20	31	S	–	VREF.		
VREF+	–	21	32	S	–	VREF+		
VDDA	13	22	33	S	–	VDDA		
PA0-WKUP	14	23	34	I/O	–	PA0	WKUP, USART2_CTS (6), ADC123_IN0, TMR2_CH1_ETR (6), TMR5_CH1, TMR8_ETR	
PA1	15	24	35	I/O	–	PA1	USART2_RTS (6), ADC123_IN1, TMR5_CH2, TMR2_CH2 (6)	

引脚名称	引脚编号			类型 (1)	I/O电平 (2)	主功能(3)	可选的复用功能	
	LQFP64	LQFP100	LQFP144			(复位后)	默认复用功能	重定义功能
PA2	16	25	36	I/O	—	PA2	USART2_TX (6), TMR5_CH3, ADC123_IN2, TMR2_CH3 (6)	
PA3	17	26	37	I/O	—	PA3	USART2_RX (6), TMR5_CH4, ADC123_IN3, TMR2_CH4 (6)	
VSS_4	18	27	38	S	—	VSS_4	—	
VDD_4	19	28	39	S	—	VDD_4		
PA4	20	29	40	I/O	—	PA4	SP11_NSS (6), USART2_CK (6), DAC_OUT1, ADC12_IN4	
PA5	21	30	41	I/O	—	PA5	SP11_SCK (6), DAC_OUT2, ADC12_IN5	
PA6	22	31	42	I/O	—	PA6	SP11_MISO (7), TMR8_BKIN, ADC12_IN6TMR3_CH1 (7)	TMR1_BKIN
PA7	23	32	43	I/O	—	PA7	SP11_MOSI (7) TMR8_CH1NADC12_IN7TMR3_CH2 (7)	TMR1_CH1N
PC4	24	33	44	I/O	—	PC4	ADC12_IN14	
PC5	25	34	45	I/O	—	PC5	ADC12_IN15	
PB0	26	35	46	I/O	—	PB0	ADC12_IN8TMR3_CH3TMR8_CH2N	TMR1_CH2N
PB1	27	36	47	I/O	—	PB1	ADC12_IN9, TMR3_CH4 (6) TMR8_CH3N	TMR1_CH3N
PB2	28	37	48	I/O	FT	PB2, BOOT1		
PF11	—	—	49	I/O	FT	PF11	SMC_NIOS16	

引脚名称	引脚编号			类型 (1)	I/O 电平 (2)	主功能 (3)	可选的复用功能	
	LQFP64	LQFP100	LQFP144			(复位后)	默认复用功能	重定义功能
PF12	–	–	50	I/O	FT	PF12	SMC_A6, DMC_A6	
Vss_6	–	–	51	s	–	VSS_6	–	
VDD_6	–	–	52	S	–	VDD_6	–	
PF13	–	–	53	I/O	FT	PF13	SMC_A7, DMC_A7	
PF14	–	–	54	I/O	FT	PF14	SMC_A8, DMC_A8	
PF15	–	–	55	I/O	FT	PF15	SMC_A9, DMC_A9	
PG0	–	–	56	I/O	FT	PG0	SMC_A10, DMC_A10	
PG1	–	–	57	I/O	FT	PG1	SMC_A11, DMC_A11	
PE7	–	38	58	I/O	FT	PE7	SMC_D4, DMC_D4	TMR1_ETR
PE8	–	39	59	I/O	FT	PE8	SMC_D5, DMC_D5	TMR1_CH1N
PE9	–	40	60	I/O	FT	PE9	SMC_D6, DMC_D6	TMR1_CH1
VSS_7	–	–	61	S	–	Vss_7	–	–
VDD_7	–	–	62	S	–	VDD_7	–	–
PE10	–	41	63	I/O	FT	PE10	SMC_D7, DMC_D7	TMR1_CH2N
PE11	–	42	64	I/O	FT	PE11	SMC_D8, DMC_D8	TMR1_CH2
PE12	–	43	65	I/O	FT	PE12	SMC_D9, DMC_D9	TMR1_CH3N
PE13	–	44	66	I/O	FT	PE13	SMC_D10, DMC_D10	TMR1_CH3
PE14	–	45	67	I/O	FT	PE14	SMC_D11, DMC_D11	TMR1_CH4
PE15	–	46	68	I/O	FT	PE15	SMC_D12, DMC_D12	TMR1_BKIN

引脚名称	引脚编号			类型 (1)	I/O 电平 (2)	主功能 (3) (复位后)	可选的复用功能	
	LQFP64	LQFP100	LQFP144				默认复用功能	重定义功能
PB10	29	47	69	I/O	FT	PB10	I2C2_SCL, I2C4_SCL, USART3_TX (6)	TMR2_CH3
PB11	30	48	70	I/O	FT	PB11	I2C2_SDA, I2C4_SDA, USART3_RX (6)	TMR2_CH4
Vss _1	31	49	71	s	—	Vss _1	—	
VDD _1	32	50	72	s	—	VDD _1		
PB12	33	51	73	I/O	FT	PB12	SP12_NSS, I2S2_WS, I2C2_SMBAL, U SART3_CK (6), TMR1_BKIN (6)	
PB13	34	52	74	I/O	FT	PB13	SP12_SCK, I2S2_CK, USART3____CTS (6), TMR1_CH1 N	
PB14	35	53	75	I/O	FT	PB14	SP12_MISO, TMR1_CH2N, US ART3_RTS (6)	
PB15	36	54	76	I/O	FT	PB15	SP12_MOSI, I2S2_SD, TMR1_CH3N (6)	
PD8	—	55	77	I/O	FT	PD8	SMC_D13, DMC_D13	USART3_TX
PD9	—	56	78	I/O	FT	PD9	SMC_D14, DMC_D14	USART3_RX
PD10	—	57	79	I/O	FT	PD10	SMC_D15, DMC_D15	USART3_CK
PD11	—	58	80	I/O	FT	PD11	SMC_A16, DMC_BA0	USART3_CTS
PD12	—	59	81	I/O	FT	PD12	SMC_A17, DMC_BA1	TMR4_CH1, USART3_ RTS
PD13	—	60	82	I/O	FT	PD13	SMC_A18	TMR4_CH2
VSS _8	—	—	83	S	—	Vss _8	—	
VDD _8	—	—	84	S	—	VDD _8		

引脚名称	引脚编号			类型 (1)	I/O 电平 (2)	主功能 (3)	可选的复用功能	
	LQFP64	LQFP100	LQFP144			(复位后)	默认复用功能	重定义功能
PD14	–	61	85	I/O	FT	PD14	SMC_D0, DMC_D0	TMR4_CH3
PD15	–	62	86	I/O	FT	PD15	SMC_D1, DMC_D2	TMR4_CH4
PG2	–	–	87	I/O	FT	PG2	SMC_A12, DMC_A12	
PG3	–	–	88	I/O	FT	PG3	SMC_A13, DMC_A13	
PG4	–	–	89	I/O	FT	PG4	SMC_A14, DMC_A14	
PG5	–	–	90	I/O	FT	PG5	SMC_A15, DMC_A15	
PG6	–	–	91	I/O	FT	PG6	SMC_INT2	
PG7	–	–	92	I/O	FT	PG7	SMC_INT3	–
PG8	–	–	93	I/O	FT	PG8	DMC_CLK	–
VSS_9	–	–	94	S	–	Vss_9	–	
VDD_9	–	–	95	S	–	VDD_9		
PC6	37	63	96	I/O	FT	PC6	I2S2_MCK, TMR8_CH1, SDIO_D6	TMR3_CH1
PC7	38	64	97	I/O	FT	PC7	I2S3_MCK, TMR8_CH2, SDIO_D7	TMR3_CH2
PC8	39	65	98	I/O	FT	PC8	TMR8_CH3, SDIO_D0	TMR3_CH3
PC9	40	66	99	I/O	FT	PC9	TMR8_CH4, SDIO_D1	TMR3_CH4
PA8	41	67	100	I/O	FT	PA8	USART1_CK, TMR1_CH1 (6), MCO	
PA9	42	68	101	I/O	FT	PA9	USART1_TX (6), TMR1_ CH2 (6)	
PA10	43	69	102	I/O	FT	PA10	USART1_RX (6), TMR1_ CH3 (6)	

引脚名称	引脚编号			类型 (1)	I/O 电平 (2)	主功能 (3)	可选的复用功能	
	LQFP64	LQFP100	LQFP144			(复位后)	默认复用功能	重定义功能
PA11	44	70	103	I/O	FT	PA11	USART1_CTS, USB1DM, USB2DM, CAN_RX (6), TMR1_CH4 (6)	
PA12	45	71	104	I/O	FT	PA12	USART1_RTS, USB1DP USB2DP, CAN_TX (6), TMR1_ETR (6)	
PA13	46	72	105	I/O	FT	JTMS/SWDIO		PA13
—	—	73	106	—	—	—		
Vss_2	47	74	107	S	—	Vss_2		
VDD_2	48	75	108	S	—	VDD_2		
PA14	49	76	109	I/O	FT	JTCK/SWCLK		PA14
PA15	50	77	110	I/O	FT	JTDI	SPI3_NSS, I2S3_WS	TMR2_CH1_ETR, PA15, SPI1_NSS
PC10	51	78	111	I/O	FT	PC10	UART4_TX, SDIO_D2	USART3_TX
PC11	52	79	112	I/O	FT	PC11	UART4_RX, SDIO_D3	USART3_RX
PC12	53	80	113	I/O	FT	PC12	UART5_TX, SDIO_CK	USART3_CK
PD0	—	81	114	I/O	FT	OSC_IN[7]	SMC_D2, DMC_D2	CAN_RX
PD1	—	82	115	I/O	FT	OSC_OUT ^{7'}	SMC_D3, DMC_D3	CAN_TX
PD2	54	83	116	I/O	FT	PD2	TMR3_ETR, UART5_RX, SDIO_CMD	—
PD3	—	84	117	I/O	FT	PD3	SMC_CLK	USART2_CTS
PD4	—	85	118	I/O	FT	PD4	SMC_NOE	USART2_RTS
PD5	—	86	119	I/O	FT	PD5	SMC_NWE	USART2_TX

引脚名称	引脚编号			类型 (1)	I/O 电平 (2)	主功能 (3)	可选的复用功能	
	LQFP64	LQFP100	LQFP144			(复位后)	默认复用功能	重定义功能
VSS_10	–	–	120	S	–	Vss_10	–	–
VDD_10	–	–	121	S	–	VDD_10	–	
PD6	–	87	122	I/O	FT	PD6	SMC_NWAIT	USART2_RX
PD7	–	88	123	I/O	FT	PD7	SMC_NE1, SMC_NCE2	USART2_CK
PG9	–	–	124	I/O	FT	PG9	SMC_NE2, SMC_NCE3	
PG10	–	–	125	I/O	FT	PG10	SMC_NCE4_1, SMC_NE3	
PG11	–	–	126	I/O	FT	PG11	SMC_NCE4_2	
PG12	–	–	127	I/O	FT	PG12	SMC_NE4	
PG13	–	–	128	I/O	FT	PG13	SMC_A24	
PG14	–	–	129	I/O	FT	PG14	SMC_A25	–
VSS_11	–	–	130	S	–	Vss_11	–	
VDD_11	–	–	131	S	–	VDD_11	–	–
PG15	–	–	132	I/O	FT	PG15	DMC_CAS	
PB3	55	89	133	I/O	FT	JTDO	SPI3_SCK, I2S3_CK	PB3, TRACESWO, TM R2_CH2, SPI1 _SCK
PB4	56	90	134	I/O	FT	NJTRST	SPI3_MISO	PB4, TMR3_CH1, S PI1_MISO
PB5	57	91	135	I/O	–	PB5	I2C1_SMBAL, SPI3_MOSI, I2S3_SD	TMR3_CH2, SPI1_MOSI
PB6	58	92	136	I/O	FT	PB6	I2C1_SCL (6), I2C3_SCL, TMR4_CH1 '6'	USART1_TX
PB7	59	93	137	I/O	FT	PB7	I2C1_SDA (6), I2C3_SDA, SMC_NADV, TMR4_CH2 (6)	USART1_RX
BOOT0	60	94	138	I	–	BOOT0		

引脚名称	引脚编号			类型 (1)	I/O 电平 (2)	主功能 (3)	可选的复用功能	
	LQFP64	LQFP100	LQFP144			(复位后)	默认复用功能	重定义功能
PB8	61	95	139	I/O	FT	PB8	TMR4_CH3(6), SDIO_D4	I2C1_SCL, I2C3_SCL, CAN_RX
PB9	62	96	140	I/O	FT	PB9	TMR4_CH4(6), SDIO_D5	I2C1_SDA, I2C3_SDA, CAN_TX
PE0	–	97	141	I/O	FT	PE0	TMR4_ETR, SMC_NBL0, DMC_LDQM	
PE1	–	98	142	I/O	FT	PE1	SMC_NBL1, DMC_UDQM	
Vss_3	63	99	143	S		Vss_3		
VDD_3	64	100	144	S		VDD_3		

(1) I= 输入, 0= 输出, S = 电源, HiZ = 高阻

(2) FT: 容忍 5V

(3) 可以使用的功能依选定的型号而定。对于具有较少外设模块的型号，始终是包含较小编号的功能模块。例如，某个型号只有 1 个 SPI 和 2 个 USART 时，它们即是 SPI1 和 USART1 及 USART2

(4) PC13, PC14 和 PC15 引脚通过电源开关进行供电，而这个电源开关只能够吸收有限的电流(3mA)。因此这三个引脚作为输出引脚时有以下限制：在同一时间只有一个引脚能作为输出，作为输出脚时只能工作在 2MHz 模式下，最大驱动负载为 30pF，并且不能作为电流源(如驱动 LED)。

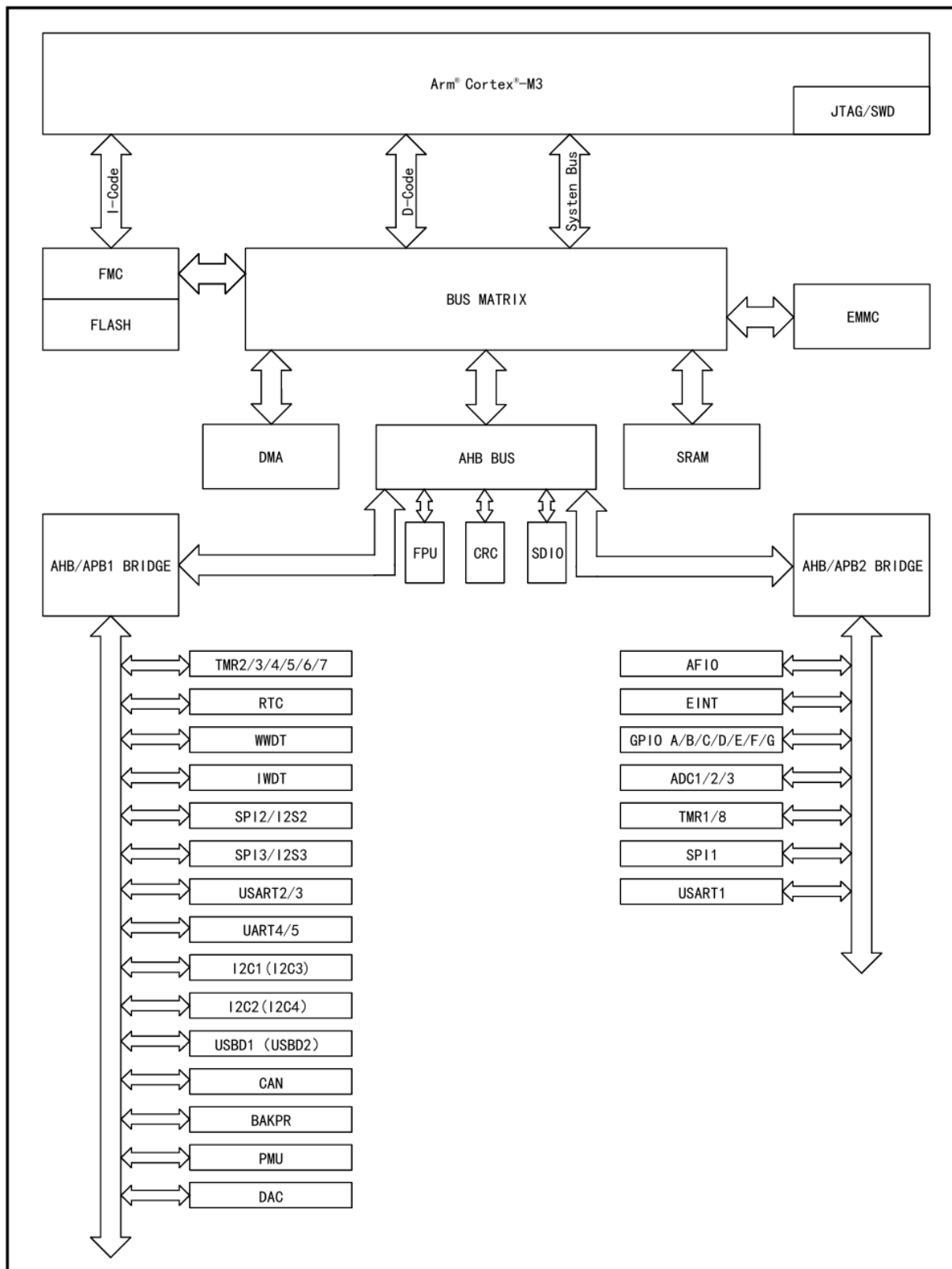
(5) 这些引脚在备份区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位)。关于如何控制这些 IO 口的具体信息，请参考参考手册的电池备份区域和 BAKPR 寄存器的相关章节。

(6) 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚)，详细信息请参考参考手册的复用功能 I/O 章节和调试设置章节。

(7) LQFP64 封装的引脚 5 和引脚 6，在芯片复位后默认配置为 OSC_IN 和 OSC_OUT 功能脚。软件可以重新设置这两个引脚为 PD0 和 PD1 功能。但对于 LQFP100 封装，由于 PD0 和 PD1 为固有的功能引脚，因此没有必要再由软件进行重映像设置。更多详细信息请参考参考手册的复用功能 I/O 章节和调试设置章节。在输出模式下，PD0 和 PD1 只能配置为 50MHz 输出模式。

5、系统框图

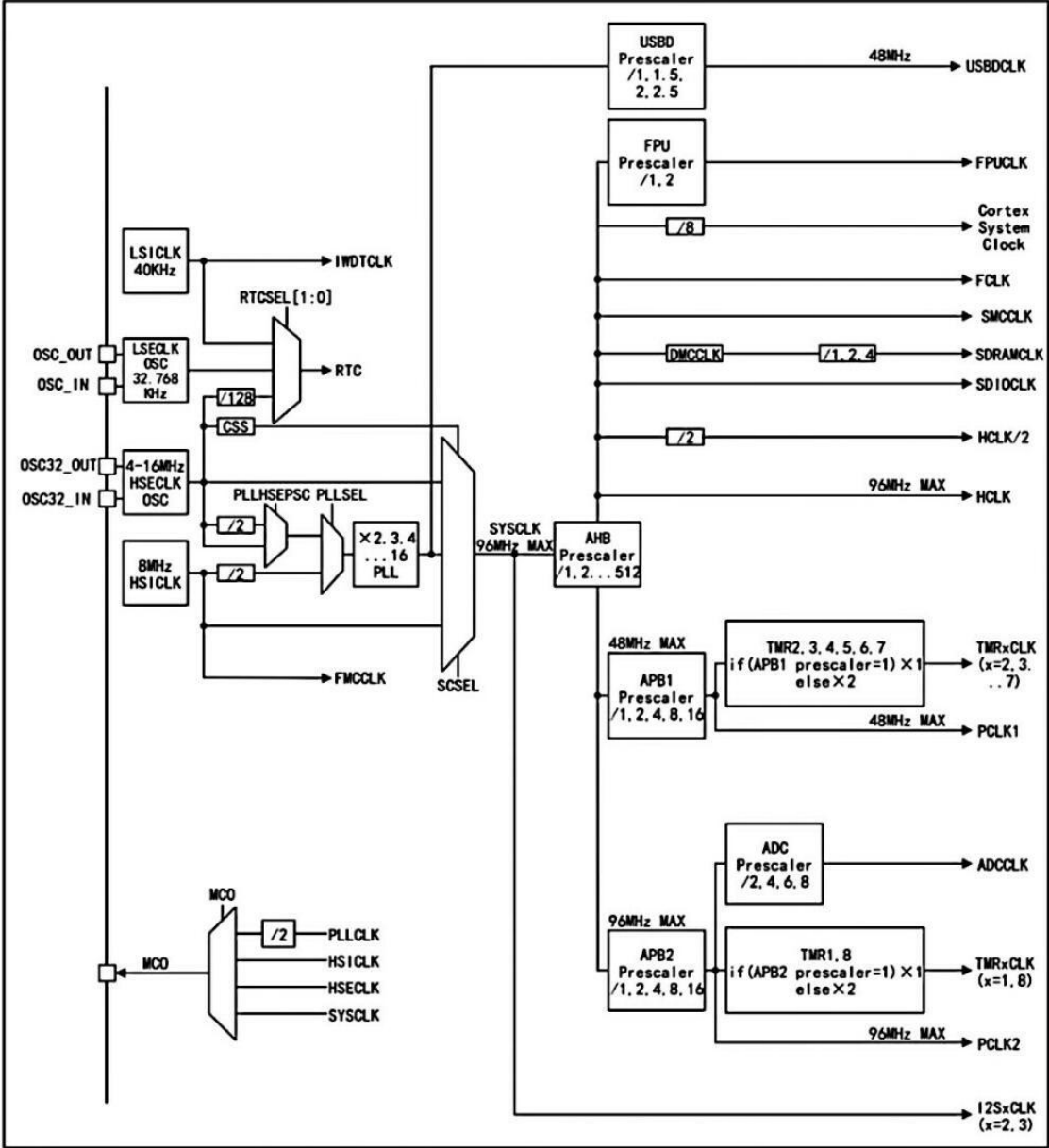
图 4 STM32F103RET6+TD系列系统框图



- (1) 工作温度： -40°C 至 $+85^{\circ}\text{C}$ (尾缀为 6)， 或 -40°C 至 $+105^{\circ}\text{C}$ (尾缀为 7) ， 结温分别达 105°C ;
- (2) AF： 可作为外设功能脚的 I/O 端口。
- (3) “/” 表示外设不共用资源， “()” 表示外设共用资源。

6. 时钟树

图 5 STM32F103RET6+TD 系列时钟树



- (1) 当使用 USB D 功能时，必须同时使用 HSECLK 和 PLL，USB DCLK 为 48MHz。
- (2) 当需要 ADC 采样时间为 1 μ s 时，APB2 必须设置在 14MHz、28MHz 或 56MHz。

7. 地址映射

表 9 STM32F103RET6+TD 系列地址映射

区域	起始地址	外设名称
代码	0x0000 0000	代码映射区
代码	0x0800 0000	Flash
代码	0x08080000	保留
代码	0x1FFF F000	系统存储区

区域	起始地址	外设名称
代码	0x1FFF F800	选项字节
代码	0x1FFF F80F	保留
SRAM	0x2000 0000	SRAM
APB1 总线	0x4000 0000	TMR2
APB1 总线	0x4000 0400	TMR3
APB1 总线	0x4000 0800	TMR4
APB1 总线	0x4000 0C00	TMR5
APB1 总线	0x4000 1000	TMR6
APB1 总线	0x4000 1400	TMR7
APB1 总线	0x4000 1800	保留
APB1 总线	0x4000 2800	RTC
APB1 总线	0x4000 2C00	WWDT
APB1 总线	0x4000 3000	IWDT
APB1 总线	0x4000 3400	保留
APB1 总线	0x4000 3800	SPI2/I2S2
APB1 总线	0x4000 3C00	SPI3/I2S3
APB1 总线	0x4000 4000	保留
APB1 总线	0x4000 4400	USART2
APB1 总线	0x4000 4800	USART3
APB1 总线	0x4000 4C00	USART4
APB1 总线	0x4000 5000	USART5
APB1 总线	0x4000 5400	I2C1 (I2C3)
APB1 总线	0x4000 5800	I2C2 (I2C4)
APB1 总线	0x4000 5C00	USB1 (USB2)
APB1 总线	0x4000 6000	USB/CAN SRAM
APB1 总线	0x4000 6400	CAN
APB1 总线	0x4000 6800	保留
APB1 总线	0x40006C00	BAKPR
APB1 总线	0x4000 7000	PMU
APB1 总线	0x4000 7400	DAC
—	0x4000 7800	保留
APB2 总线	0x4001 0000	AFIO
APB2 总线	0x4001 0400	EINT
APB2 总线	0x4001 0800	Port A
APB2 总线	0x4001 0C00	Port B
APB2 总线	0x4001 1000	Port C
APB2 总线	0x4001 1400	Port D
APB2 总线	0x4001 1800	Port E

区域	起始地址	外设名称
APB2 总线	0x4001 1C00	Port F
APB2 总线	0x4001 2000	Port G
APB2 总线	0x4001 2400	ADC1
APB2 总线	0x4001 2800	ADC2
APB2 总线	0x4001 2C00	TMR1
APB2 总线	0x4001 3000	SP11
APB2 总线	0x4001 3400	TMR8
APB2 总线	0x4001 3800	USART1
APB2 总线	0x4001 3C00	ADC3
—	0x4001 4000	保留
AHB 总线	0x4001 8000	SD10
AHB 总线	0x4001 8400	保留
AHB 总线	0x4002 0000	DMA1
AHB 总线	0x4002 0400	DMA2
AHB 总线	0x4002 0400	保留
AHB 总线	0x4002 1000	RCM
AHB 总线	0x4002 1400	保留
AHB 总线	0x4002 2000	Flash 接口
AHB 总线	0x4002 2400	保留
AHB 总线	0x4002 3000	CRC
AHB 总线	0x4002 3400	保留
AHB 总线	0x4002 4000	FPU
AHB 总线	0x00024400	保留
AHB 总线	0x6000 0000	EMMC bank 1 NOR/PSRAM 1/SDRAM
AHB 总线	0x6400 0000	EMMC bank 1 NOR/PSRAM 2/SDRAM
AHB 总线	0x6800 0000	EMMC bank 1 NOR/PSRAM 3/SDRAM
AHB 总线	0x6C00 0000	EMMC bank 1 NOR/PSRAM 4/SDRAM
AHB 总线	0x7000 0000	EMMC bank 2 NAND (NAND1)
AHB 总线	0x8000 0000	EMMC bank 3 NAND (NAND2)
AHB 总线	0x9000 0000	EMMC bank 2 PCCARD
AHB 总线	0xA000 0000	EMMC 寄存器
—	0xA000 1000	保留
内核	0xE000 0000	M3 内核外设

注：SDRAM 是直接寻址 256M, 没有 bank 分别访问。

8. 电气特性

8.1. 测试条件

除非专门规定，所有电压参数都以 V_{SS} 为参照。

8.1.1 最大值和最小值

除非特别说明，在生产线上通过对 100%的产品在环境温度 $T_A = 25^{\circ}\text{C}$ 和 $T_A = T_{A\max}$ 下执行的测试 ($T_{A\max}$ 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布 ($\text{平均} \pm 3\Sigma$) 得到。

8.1.2 典型值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.6\text{V}$ 电压范围)。这些数据仅用于设计指导。

8.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

8.1.4 负载电容

图6 测量引脚参数时的负载条件

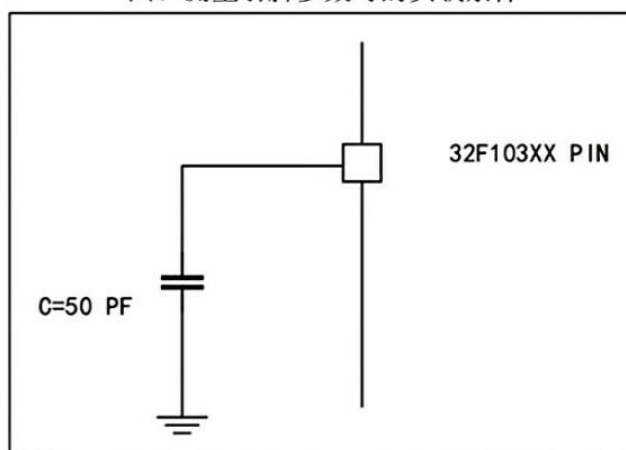


图7 引脚输入电压测量方案

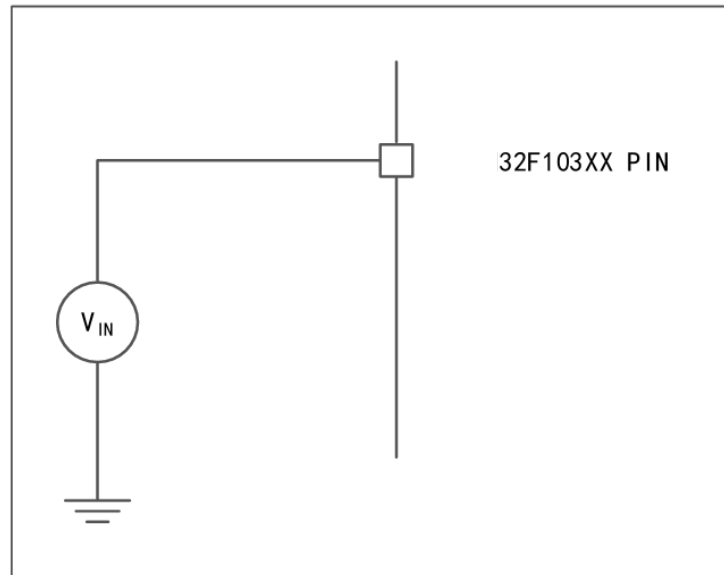
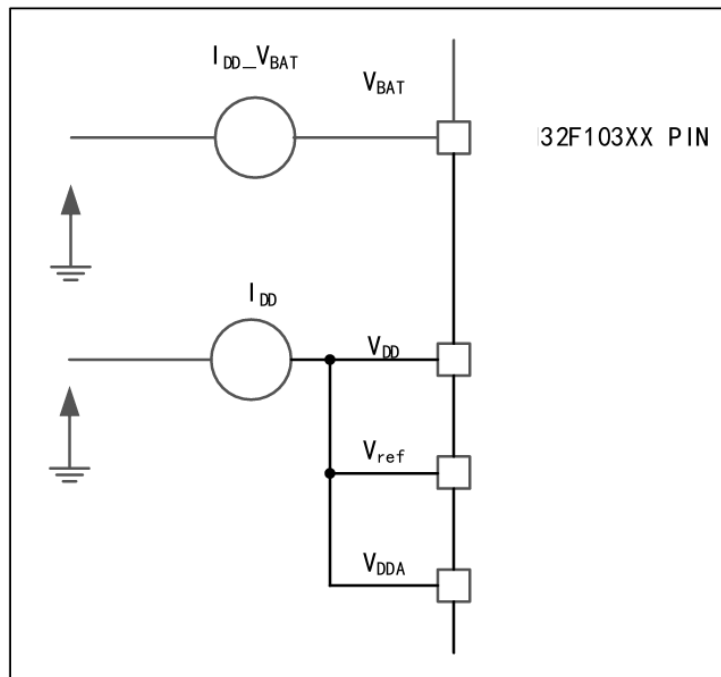
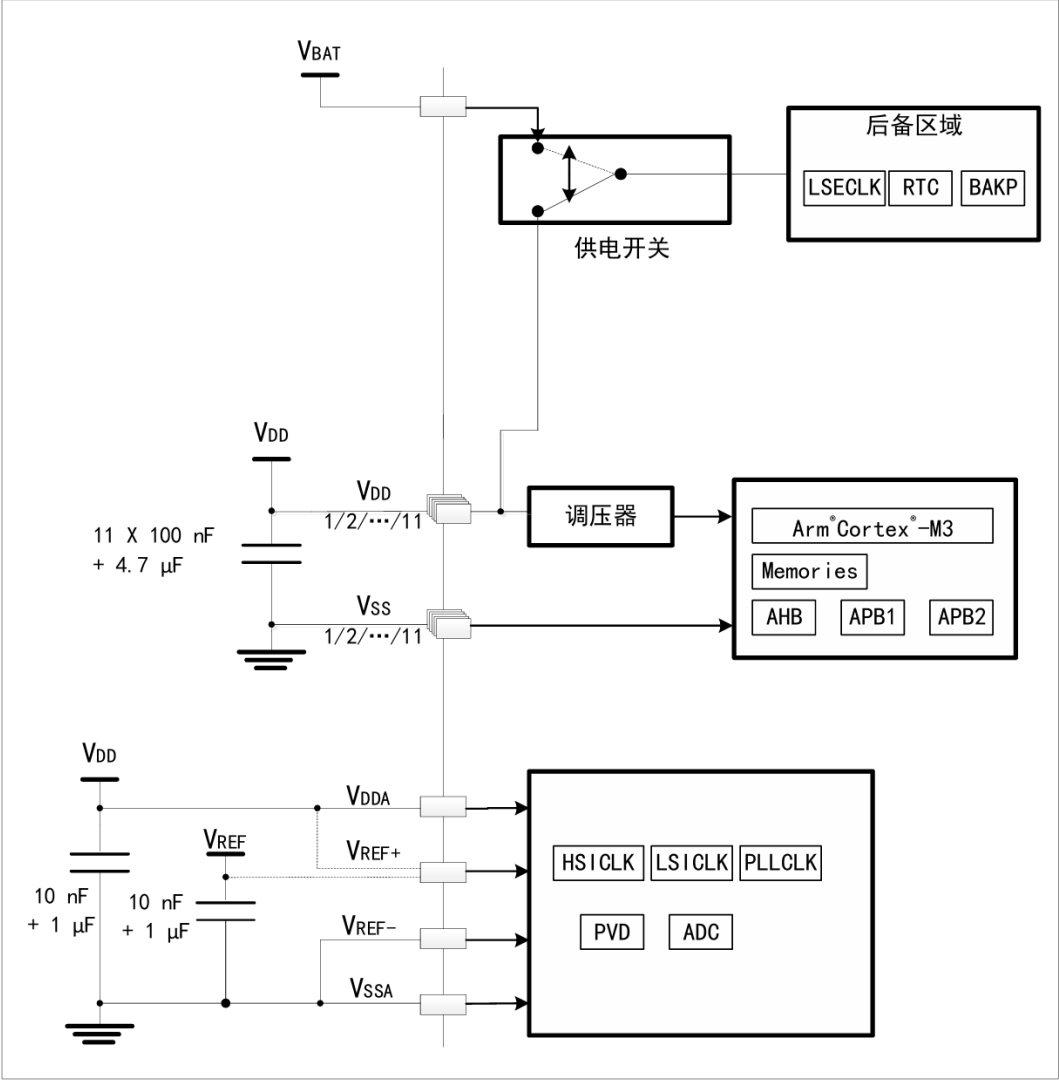


图8 电流消耗测量方案



8.1.5 供电方案

图 9 供电方案



注意：4.7 μF 电容必须与 VDD_3 连接。

8.2. 绝对最大额定值

加在器件上的载荷如果超过最大额定电压特性和最大额定电流特性中给出的绝对最大额定值，可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性运行正常。器件长期工作在最大值条件下会影响器件的可靠性。

8.2.1 最大额定电压特性

表 10 最大额定电压特性

符号	描述	最小值	最大值	单位
VDD-Vss	外部主供电电压(包含 VDDA 和 VDD) (1)	-0.3	4.0	V
VIN	在 5V 容忍的引脚上的输入电压 (2)	Vss-0.3	5.5	
	在其它引脚上的输入电压 (2)	Vss-0.3	VDD +0.3	
Δ VDD _x	不同供电引脚之间的电压差		50	mV
Vssx-Vss	不同接地引脚之间的电压差		50	

- (1)所有的电源(VDD, VDDA)和地 (Vss, VssA) 引脚必须始终连接到外部允许范围内的供电电源上。
- (2)如果 VIN 不超过最大值，INU (PIN) 不会超过它的极限。如果 VIN 超过最大值，必须在外部限制 I INJ (PIN) 不超过其最大值。当 VIN> VDD 时，有一个正向注入电流；当 VIN< Vss 时，有一个反向注入电流。

8.2.2 最大额定电流特性

表 11 最大额定电流特性

符号	描述	最大值	单位
IVDD	经过 VDD/VDDA 电源线的总电流（供应电流）(1)	150	mA
Ivss	经过 Vss 地线的总电流（流出电流）(1)	150	
I ₁₀	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	-25	
IINJ (PIN) (2) (3)	NRST 引脚的注入电流	±5	
	HSECLK 的 OSC_IN 引脚和 LSECLK 的 OSC_IN 引脚的注入电流	±5	
	其他引脚的注入电流 (4)	±5	
Σ I _{inJ} (PIN) (2)	所有 I/O 和控制引脚上的总注入电流 (4)	±25	

- (1)所有的电源(VDD, VDDA)和地(Vss, VssA) 引脚必须始终连接到外部允许范围内的供电电源上。
- (2)如果 VIN 不超过最大值，INJ (PIN) 不会超过它的极限。如果 VIN 超过最大值，必须在外部限制 I INJ (PIN) 不超过其最大值。当 VIN> VDD 时，有一个正向注入电流；当 VIN< Vss 时，有一个反向注入电流。

(3) 反向注入电流会干扰 ADC 的模拟性能。

(4) 当几个 I/O 口同时有注入电流时， $\Sigma \text{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

8.2.3 最大温度特性

表 12 温度特性

符号	描述	数值	单位
TSTG	储存温度范围	-55~+150	°C
TJ	最大结温度	150	°C

8.3. 通用工作条件下的测试

表 13 通用工作条件

符号	参数	条件	最小值	最大值	单位
fHCLK	内部 AHB 时钟频率	—	—	96	MHz
fPCLK1	内部 APB1 时钟频率	—	—	48	
fPCLK2	内部 APB2 时钟频率	—	—	96	
VDD	标准工作电压	—	2	3.6	V
VDDA (1)	模拟部分工作电压 (未使用 ADC)	必须与 VDD (2) 相同	2	3.6	V
	模拟部分工作电压 (使用 ADC)		2.4	3.6	
VBAT	备份部分工作电压		1.8	3.6	V
TA	环境温度 (温度标号 7)	最大功率耗散	-40	105	°C
TJ	结温度范围	—	-40	150	°C

(1) 当使用 ADC 时，参见 8.3.13 节。

(2) 建议使用相同的电源为 VDD 和 VDDA 供电，在上电和正常操作期间，VDD 和 VDDA 之间最多允许有 300mV 的差别。

8.3.1 内嵌复位和电源控制模块特性测试(1)

表 14 内嵌复位和电源控制模块特性 (−40℃ <TA<+105℃)

符号	参数	条件	最小值	典型值	最大值	单位
VPVD (3)	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.16	2.19	2.22	V
		PLS[2:0]=000 (下降沿)	2.06	2.09	2.11	V
		PLS[2:0]=001 (上升沿)	2.26	2.29	2.32	V
		PLS[2:0]=001 (下降沿)	2.15	2.18	2.21	V
		PLS[2:0]=010 (上升沿)	2.36	2.39	2.42	V
		PLS[2:0]=010 (下降沿)	2.25	2.28	2.31	V
		PLS[2:0]=011 (上升沿)	2.45	2.49	2.52	V
		PLS[2:0]=011 (下降沿)	2.35	2.38	2.41	V
		PLS[2:0]=100 (上升沿)	2.55	2.59	2.62	V
		PLS[2:0]=100 (下降沿)	2.44	2.48	2.51	V
		PLS[2:0]=101 (上升沿)	2.65	2.68	2.72	V
		PLS[2:0]=101 (下降沿)	2.55	2.58	2.61	V
		PLS[2:0]=110 (上升沿)	2.75	2.79	2.82	V
		PLS[2:0]=110 (下降沿)	2.64	2.67	2.71	V
		PLS[2:0]=111 (上升沿)	2.84	2.88	2.92	V
		PLS[2:0]=111 (下降沿)	2.74	2.78	2.81	V
VpvDhyst (2)	PVD 迟滞	—	—	107.08	—	mV
VPOR/PDR	上电/掉电复位阈值	下降沿	1.86(1)	1.88	1.90	V
		上升沿	1.91	1.94	1.96	V
VPDRhyst (2)	PDR 迟滞		38.19	55.33	72.47	mV
TRSTTEMPO (2)	复位持续时间		—	1.47	—	ms

(1) 产品的特性由设计保证至最小的数值 VPOR/PDR。

(2) 由设计保证，不在生产中测试。

(3) 由综合评估得出，不在生产中测试。

8.3.2 内置参考电压特性测试

表 15 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
VREFINT (1)	内置参照电压	−40℃ <TA<+105℃VDD=2–3.6 V	1.17	1.21	1.27	V
Ts _ vrefin(2)	当读出内部参照电压时，ADC 的采样时间		—	5.1	17.1	μs

符号	参数	条件	最小值	典型值	最大值	单位
VRERINT(2)	内置参考电压扩展到温度范围	VDD=3V ±10mV		-	18	mV
Tooeft(2)	温度系数				104	ppm/°C

(1) 由综合评估得出，不在生产中测试。

(2) 由设计保证，不在生产中测试。

8.3.3 供电电流特性

本节中给出的运行模式下的电流值，都是通过执行 Dhrystone2.1，编译环境为 KeilV5，编译优化等级为 L0 条件下测得的。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—VDD 或 Vss (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存的访问时间调整到频率 fHCLK (0~24MHz—0 个等待周期，24~48MHz—1 个等待周期，48~72MHz—2 个等待周期，72~96MHz—3 个等待周期)。
- 指令预取功能开启 (提示：这位的设置必须在时钟设置和总线分频之前进行)。
- 当开启外设时：fPCLK1= fHCLK/2, fPCLK2= fHCLK。

表 16 运行模式下的最大电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	条件	fHCLK	最大值(1)	单位
				TA=105°C, VDD=3.6V	
IDD	运行模式下的 供应电流	外部时钟(2), 使能所有外设	96 MHz	48.9	mA
			72MHz	34.5	
			48MHz	27.6	
			36MHz	21.6	
			24MHz	15.2	
			16MHz	10.7	
			8MHz	6.2	
		外部时钟(2), 关闭所有外设	96 MHz	27.0	
			72MHz	26.9	
			48MHz	16.9	
			36MHz	13.3	
			24MHz	9.71	
			16MHz	7.10	
			8MHz	4.35	

(1) 由综合评估得出，不在生产中测试。

(2) 外部时钟为 8MHz, 当 fHCLK>8MHz 时, 开启 PLL。

表 17 运行模式下的最大电流消耗，数据处理代码从内部 RAM 中运行

符 号	参数	条件	fHCLK	最大值(1)	单位
				TA=105°C, VDD=3.6V	
IDD	运行模式下的 供应电流	外部时钟(2), 使能所有外设	96 MHz	40.7	mA
			72MHz	32.1	
			48MHz	20.9	
			36MHz	16.6	
			24MHz	11.4	
			16MHz	8.17	
			8MHz	3.87	
		外部时钟(2), 关闭所有外设	96 MHz	26.5	
			72MHz	20.5	
			48MHz	14.5	
			36MHz	11.3	
			24MHz	8.22	
			16MHz	6.10	
			8MHz	3.88	

- (1) 由综合评估得出，不在生产中测试。
- (2) 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时，开启 PLL。

表 18 睡眠模式下的最大电流消耗，代码从 Flash 或 RAM 中运行

符 号	参 数	条 件	f_{HCLK}	最大值 (1)	单 位
				TA=105°C, VDD=3.6V	
IDD	睡眠模式下的 供应电流	外 部 时 钟 (2)， 使能所有外设	96 MHz	34.4	mA
			72MHz	23.7	
			48MHz	18.6	
			36MHz	14.7	
			24MHz	10.5	
			16MHz	7.88	
			8MHz	5.05	
		外 部 时 钟 (2)， 关闭所有外设	96 MHz	8.38	
			72MHz	6.32	
			48MHz	5.35	
			36MHz	4.64	
			24MHz	4.03	
			16MHz	3.55	
			8MHz	2.91	

- (1) 由综合评估得出，不在生产中测试。
- (2) 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时，开启 PLL。

表 19 停机和待机模式下的最大电流消耗

符号	参数	条件	最大值(1)	单位
			(TA=105℃), VDD=3.6V	
IDD	停机模式下的 供应电流	调压器处于运行模式, 低速和高速内部 RC 振荡器和高速振荡器处于关闭状态(没有独立看门狗)	413.31	μA
		调压器处于低功耗模式, 低速和高速内部 RC 振荡器和高速振荡器处于关闭状态(没有独立看门狗)	390.95	
	待机模式下的 供应电流	低速内部 RC 振荡器和独立看门狗处于开启状态	25.44	
		低速内部 RC 振荡器处于开启状态, 独立看门狗处于关闭状态	22.73	
		低速内部 RC 振荡器和独立看门狗处于关闭状态, 低速振荡器和 RTC 处于关闭状态	21.75	
IDD_VBAT	备份区域的供应电流	低速振荡器和 RTC 处于开启状态	4	

(1) 由综合评估得出, 不在生产中测试。

典型电流消耗

微控制器处于下列条件:

- 所有的 I/O 引脚都处于输入模式, 并连接到一个静态电平上 VDD 或 Vss(无负载)。
 - 所以的外设都处于关闭状态, 除非特别说明。
 - 闪存的访问时间调整到频率 fHCLK(0~24MHz-0 个等待周期, 24~48MHz-1 个等待周期, 48~72MHz-2 个等待周期, 96MHz-3 个等待周期)。
 - 指令预取功能开启(提示: 这位的设置必须在始终设置和总线分频之前进行)。
- 当开启外设时: $f_{PCLK1}=f_{HCLK}/2$, $f_{PCLK2}=f_{HCLK}$ 。

表 20 运行模式下的典型的电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	fHCLK	典型值(1)		单位
			TA=25℃ VDD=3.3v		
			外部时钟(2)使能所以外设	外部时钟(2)关闭所有外设	
IDD	运行模式下的供应电流	96 MHz	45.6	25.7	mA
		72MHz	32.9	19.4	
		48MHz	26.2	16.0	
		36MHz	20.1	12.5	
		24MHz	14.5	9.30	
		16MHz	10.1	6.68	
		8MHz	5.77	4.04	

(1) 由综合评估得出，不在生产中测试。

(2) 外部时钟为 8MHz，当 fHCLK>8MHz 时，开启 PLL。

表 21 运行模式下的典型的电流消耗，数据处理代码从内部 RAM 中运行

符 号	参 数	fHCLK	典型值(1)		单位
			TA=25℃ VDD=3.3v		
			外部时钟(2)使 能所以外设	外部时钟(2)关 闭所有外设	
IDD	运行模式下的 供应电流	96 MHz	37.5	25.2	mA
		72MHz	28.6	19.5	
		48MHz	19.8	13.6	
		36MHz	15.4	10.7	
		24MHz	10.6	7.52	
		16MHz	7.68	5.63	
		8MHz	3.57	3.58	

(1) 由综合评估得出，不在生产中测试。

(2) 外部时钟为 8MHz，当 fHCLK>8MHz 时，开启 PLL。

表 22 睡眠模式下的典型的电流消耗，代码从 **Flash** 或 **RAM** 中运行

符 号	参数	fHCLK	典型值 (1)		单位
			TA=25℃ VDD=3.3v		
			外部时钟 (2) 使 能所有外设	外部时钟 (2) 关 闭所有外设	
IDD	睡眠模式下的供 应电流	96 MHz	31.2	7.08	mA
		72MHz	21.5	5.24	
		48MHz	16.6	4.31	
		36MHz	12.6	3.64	
		24MHz	8.95	2.99	
		16MHz	6.57	2.53	
		8MHz	4.01	1.97	

(1) 由综合评估得出，不在生产中测试。

(2) 外部时钟为 8MHz，当 fHCLK>8MHz 时，开启 PLL。

表 23 停机和待机模式下的典型的电流消耗

符 号	参 数	条 件	典型值 (TA=25℃)		单 位
			VDD =2.4V	VDD = 3.3V	
IDD	停机模式下的供 应电流	调压器处于运行模式，低速和高速内 部 RC 振荡器和高速振荡器处于关闭状 态 (没有独立看门狗)	28.9	28.3	μ A
		调压器处于低功耗模式，低速和高速 内部 RC 振荡器和高速振荡器处于关闭 状态 (没有独立看门狗)	16.8	18.5	
	待机模式下的供 应电流	低速内部 RC 振荡器和独立看门狗处于 开启状态	2.69	4.01	
		低速内部 RC 振荡器处于开启状态，独 立看门狗处于关闭状态	2.69	3.83	
		低速内部 RC 振荡器和独立看门狗处于 关闭状态，低速振荡器和 RTC 处于关 闭状态	2.23	3.13	
	IDD_VBAT	低速振荡器和 RTC 处于开启状态	—	1.5	

8.3.4 外部时钟源特性

晶体/陶瓷谐振器产生的高速外部时钟

高速外部 (HSECLK) 时钟可以提供一个 4 到 16MHz 的晶体/陶瓷谐振器振荡器。本章节给出的

所有信息均基于表 24 中典型外部元器件, 通过综合特性评估得到的结果。在应用中, 谐振器和负载电容必须尽可能靠近振荡器的引脚, 以减少输出失真和启动时的稳定时间。

有关晶体谐振器的详细参数(频率、封装、精度等), 请咨询相应的生产厂商。

表 24 HSECLK4~16MHz 振荡器特性(1)(2)

符号	参数	条件	最小值	典型值	最大值	单元
fosc_IN	振荡器频率		4	8	16	MHz
RF	反馈电阻			300	—	kΩ
C	建议的负载电容与对应的晶体串行阻抗(Rs) (3)	Rs=30kΩ	—	30	—	pF
i ₂	HSECLK 驱动电流	VDD=3.3V, VIN= Vss 30pF 负载	—	—	1.1	mA
gm	振荡器的跨导	启动	25			mA/V
tsu (HSECLK) (4)	启动时间	VDD 是稳定的	0.60	0.96	1.33	ms

(1) 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。

(2) 由综合评估得出, 不在生产中测试。

(3) 相对低的 RF 电阻值, 可以为在潮湿环境下使用时因产生的泄露和偏置条件的变化所产生的问题提供保护。然而, 如果 MCU 是应用在恶劣的潮湿环境里, 设计时需要把这个因素考虑进去。

(4) tsu (HSECLK) 是启动时间, 是从软件使能 HSECLK 开始测量, 直至得到稳定的 8MHz 振荡这段时间。

这个数值是使用一个标准的晶体谐振器测量得到的, 它可能因晶体制造商的不同而变化较大。

晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSECLK)时钟可以使用一个 32.768KHz 的晶体/陶瓷谐振器振荡器。本章节给出的所有信息均基于表 25 中典型外部元器件, 通过综合特性评估得到的结果。在应用中, 谐振器和负载电容必须尽可能靠近振荡器的引脚, 以减少输出失真和启动时的稳定时间。

有关晶体谐振器的详细参数(频率、封装、精度等), 请咨询相应的生产厂商。

表 25 LSECLK 振荡器特性 (fLSECLK=32.768KHz) (1)(2)(3)

符号	参数	条件	最小值	典型值	最大值	单元
fosc_IN	振荡器频率			32.768	—	KHz
RF	反馈电阻			7	—	MΩ
C(2)	建议的负载电容与对应的晶体串行阻抗(Rs)	Rs=30kΩ			15	pF
i ₂	LSECLK 驱动电流	VDD=3.3V, VIN=VSS			1.4	μA

符号	参数	条件	最小值	典型值	最大值	单元
tsu (LSECLK) (3)	启动时间	TA=105°C或 25°C, VDD =2-3.6V	-	1.32	2.02	s
		TA=25°C, VDD=3.3V	-	1.17	1.86	
		TA=-40°C, VDD=3.3V	-	4.32	8.32	

(1) 由综合评估得出，不在生产中测试。

(2) 参见本表下方的提示和警告段落。

(3) **tsu (LSECLK)** 是启动时间，是从软件使能 LSECLK 开始测量，直至得到稳定的 32.768KHz 振荡这段时间。这个数值是使用一个标准的晶体谐振器测量得到的，它可能因晶体制造商的不同而变化较大。

提示：对于 CL₁和 CL₂，建议使用高质量的 5pF~15pF 之间的瓷介电容器，并选择电容值以符合晶体或谐振器的要求(见表 24)。通常 CL₁和 CL₂具有相同参数。晶体制造商通常以 CL₁和 C₁₂的串行组合给出负载电容的参数。负载电容 CL 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

警告：为了避免超出 CL₁和 CL₂的最大值(15pF)，强烈建议使用负载电容 CL≤7pF 的谐振器，绝不能使用负载电容为 12.5pF 的谐振器。

8.3.5 内部时钟源特性 高速内部(HSICLK)振荡器测试

表 26 HSICLK 振荡器特性(1)

符号	参数	条件		最小值	典型值	最大值	单位
fHSICLK	频率	—		—	8	—	MHz
ACCHSICLK	HSICLK 振荡器的精度	工厂校准	TA=25°C VDD=3.3V	−1	—	+1	%
			TA=−40~105°C VDD=3.3V	−2.76	—	2.3	%
			TA=−40~105°C VDD=2−3.6V	−2.76	—	2.45	%
tsu(HSICLK)	HSICLK 振荡器启动时间	VDD = 3.3VTA = −40~105°C		1.68	—	1.78	μs

(1) 由综合评估得出，不在生产中测试。

低速内部(LSICLK)振荡器测试

表 27 LSICLK 振荡器特性(1)

符号	参数	最小值	典型值	最大值	单位
fLSICLK	频率(VDD=2-3.6V, TA=-40~105°C)	30	41.50	60	KHz

tsu (LSICLK)	LSICLK 振荡器启动时间 (VDD=3.3V, TA=-40~105°C)	-	-	43.33	us
--------------	---	---	---	-------	----

(1)由综合评估得出，不在生产中测试。

从低功耗模式唤醒的时间

表中的时间值都是由一个 8MHz 的 HSICLK 振荡器作唤醒时钟源，并在其唤醒阶段测得的。唤醒时使用的时钟源由当前的工作模式确定：

- 停机或待机模式：时钟源是 RC 振荡器
- 睡眠模式：时钟源是进入睡眠模式时所设置的时钟

表 28 低功耗模式的唤醒时间

符号	参数	典型值	单位
twUSLEEP(1)	从睡眠模式唤醒	1.78	μs
twusTOP(1)	从停机模式唤醒(调压器处于运行模)	2.55	μs
	从停机模式唤醒（调压器为低功耗模式）	4.28	
twusTDBY(1)	从待机模式唤醒	26.55	μs

(1)唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

8.3.6 PLL 特性

表 29 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值(1)	
fPLL_IN	PLL 输入时钟 (2)	1	8	25	MHz
	PLL 输入时钟占空比	40		60	%
fPLL_OUT	PLL 倍频输出时钟 (VDD=3.3V, TA=-40~105°C)	16		96	MHz
tLOCK	PLL 锁相时间			112.21	μs

(1)由综合评估得出，不在生产中测试。

(2)注意使用合适的倍频系数，从而使 PLL 输入时钟频率与由 1fPLL_OUT 确定的范围相一致。

8.3.7 存储器特性

FLASH 存储器

表 30 FLASH 存储器特性(1)

符号	参数	条件	最小值	典型值	最大值	单位
tprog	16 位编程时间	TA=-40~105°C VDD=2.4~3.6V	33.7	37.1	40.5	μs
ERASE	页(2Kbytes) 擦除时间	TA=-40~105°C VDD=2.4~3.6V	3.50	3.11	3.50	ms

条件	参数	符号	最小值	典型值	最大值	单位
tME	整片擦除时间	TA=25°C VDD=3.3V	25.4	26.5	27.7	ms
Vprog	编程电压	TA=-40~105°C	2.0	3.3	3.6	V
tRET	数据保存时间	TA = 125°C	18			years
NRW	擦写周期	TA = 25°C	100K	-		cycles

(1) 由综合评估得出，不在生产中测试。

8.3.8 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的

功能性 EMS(电磁感受性)

在设备上执行一个简单的应用程序(通过 I/O 端口切换 2 个 LED)。该设备要分别承受两种电磁时间的载荷，直到发生故障。LED 显示故障状态：

- 静电放电 (ESD) (正极和负极)施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC 61000-4-2 标准。
- FTB：在 VDD 和 Vss 上通过一个 100pF 的电容器施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合 IEC61000-4-4 标准。

设备复位允许恢复正常操作。

试验结果见表 31。

表 31 EMC 特性

符号	参数	条件	等级
VFESD	施加到任一 I/O 口，导致功能错误的电压极限	VDD =3.3 V, LQFP144, TA=+25 °C, fHCLK =72 MHz 符合 IEC 61000-4-2	2A
VEFTB	在 VDD 和 Vss 上通过 100pF 电容器施加的、导致功能错误的瞬变脉冲群电压极限	VDD=3.3 V, LQFP144, TA=+25 °C, fHCLK = 72 MHz 符合 IEC 61000-4-4	3A

设计稳固的软件以避免噪音问题

利用典型的应用环境和简化的 MCU 软件，在组件级进行 EMC 表征和优化。需要注意的是，良好的 EMC 性能高度依赖于用户应用，特别是软件。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件推荐

软件流程图必须包括失控情况的管理，如：程序计数器损坏、意外复位

- 关键数据损坏(控制寄存器)

资格预审试验

大多数常见故障(意外复位和程序反损坏)可以通过手动强制 NRST 引脚或振荡器引脚上的低状态 1 秒来重现。

为了完成这些试验，ESD 应力可以直接施加在设备上，超过规格值的范围。当检测到意外行为时，可以对软件进行加固以防止不可恢复的错误发生。

电磁干扰(EMI)

在运行一个简单的应用程序(通过 I/O 端口切换 2 个 led)时，设备发出的电磁场被监测。该排放测试符合 SAE J1752/3 标准，该标准规定了测试板和引脚负载。

表 32 EMI 特性

符号	参数	条件	监测频段	最大值 [fHSECL κ /fHCL K]		单位
				8/48 MHz	8/72 MHz	
SEMI	峰值	VDD=3.3 V, TA=25 °C, LQFP144 封装符合 SAE J1752/3	30~130 MHz	PASS	PASS	dB μ V
			130 MHz~1GHz	PASS	PASS	

8.3.9 绝对最大额定值(电灵敏度)

基于三个不同的测试(ESD, LU)使用特定的测量方法，该设备强调，以确定其性能方面的电灵敏度。

静电放电(ESD)

根据每个引脚组合，将静电放电(一个正脉冲和一个负脉冲间隔 1 秒)施加到每个样品的引脚上。样本量取决于设备中电源插脚的数量(3 个部件×(n+1)个电源插脚)。本试验符合 JESD22-A114/C101 标准。

表 33 ESD 绝对最大额定值

符号	参数	条件	最大值	单位
VESD(HBM)	静电放电电压(人体模型)	TA=+25 °C, 符合 JESD22-A114	4000	V
VESD(CDM)	静电放电电压(充电设备模型)	TA=+25 °C, 符合 JESD22-C101	2000	

静态栓锁(LU)

需要在 6 个样品上进行 2 个互补的静态栓锁测试，以评估栓锁性能：

- 在每个电源引脚上，施加超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78E 集成电路栓锁标准。

表 34 静态栓锁(1)

符 号	参 数	条 件	类 型
LU	静态栓锁类	TA=+25 °C/105°C, 符合 EIA/JESD78E	±200mA

(1)样品数据由其它测试机构测得，生产中不进行测试。

8.3.10 I/O 端口特性

输入输出静态特性

表 35 I/O 静态特性 (测试条件 VDD=2.7~3.6V, TA=-40~105℃)

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平电压	TTL 端口	-0.5	-	0.8	V
VIH	标准 I/O 脚, 输入高电平电压		2	-	V _{DD} +0.5	
	FT I/O 脚(1), 输入高电平电压		2	-	5.5	
VIL	输入低电平电压	CMOS 端口	-0.5	-	0.3V _{DD}	
VIH	输入高电平电压		0.7V _{DD}	-	V _{DD} +0.5	
V _{hys}	标准 I/O 脚施密特触发器电压迟滞(2)	-	150	-	-	mV
	5V 容忍 I/O 脚施密特触发器电压迟滞(2)		5% VDD	-	-	mV
I _{ikg}	输入漏电流(3)	$V_{SS} V_{IN}$ VDD 标准 I/O 端口	-	-	±1	μA
		$V_{IN} = 5V$, 5V 容忍端口	-	-	3	
R _{pu}	弱上拉等效电阻(4)	V _{IN} = V _{SS}	32	40	49	kΩ
R _{pd}	弱下拉等效电阻(4)	V _{IN} = V _{DD}	32	40	49	kΩ
C _{IO}	I/O 引脚的电容			5		pF

(1)FT=5V 容忍。要想承受高于 VDD+0.3 的电压，内部的上拉或下拉电阻必须关断。

(2)施密特触发器开关电平的迟滞电压由综合评估得出，不在生产中测试。

(3)如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

(4)上下拉电阻是设计为一个真正的电阻串联一个可控的 PMOS/NMOS 开关实现。

输出驱动电流测试

GPIO(通用输入/输出端口)可以吸收或输出多达±8mA 电流，并且最多可吸收±20mA 电流(V_{OH}/V_{OL} 降低标准)。在用户应用中，必须限制能够驱动电流的 I/O 的数目，以使得消耗的电流不能超过绝对最大额定值：

- 所有 I/O 输出从 VDD 获取的电流总和，加上 MCU 从 VDD 获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 吸收并从 V_{SS} 上流出的电流总和，加上 MCU 从 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}。

输出电压测试

表 36 输出电压特性(测试条件 V_{CC}=2.7~3.6V, TA=-40~105℃)

符号	参数	条件	最小值	最大值	单位
VOL (1)	输出低电平, 当 8 个引脚同时吸收电流	TTL 端口, $I_{10}=+8mA$, $2.7V < VDD$	–	0.4	V
VOH (2) (3)	输出高电平, 当 8 个引脚同时输出电流	$<3.6V$	$V_{DD}-0.4$	–	
VOL (1)	输出低电平, 当 8 个引脚同时吸收电流	CMOS 端口, $I_{10}=+8mA$ $2.7V < VDD < 3.6V$	–	0.4	V
VOH (2)	输出高电平, 当 8 个引脚同时输出电流		2.4		
VOL (1) (3)	输出低电平, 当 8 个引脚同时吸收电流	$I_{10}=+20mA$ $2.7V < VDD < 3.6V$		1.3	V
VOH (2) (3)	输出高电平, 当 8 个引脚同时输出电流		$V_{DD}-1.3$		

(1) I/O 吸收的电流 I_{10} 必须始终遵循绝对最大额定值要求, 同时 I_{10} 的总和 (所有 I/O 和控制脚) 不能超过 I_{VSS} 。

(2) I/O 输出的电流 I_{10} 必须始终遵循绝对最大额定值要求, 同时 I_{10} 的总和 (所有 I/O 和控制脚) 不能超过 I_{VDD} 。

(3) 由综合评估得出, 不在生产中测试。

输入输出交流特性 ($T_A = 25^\circ C$)

表 37 输入输出交流特性(1)

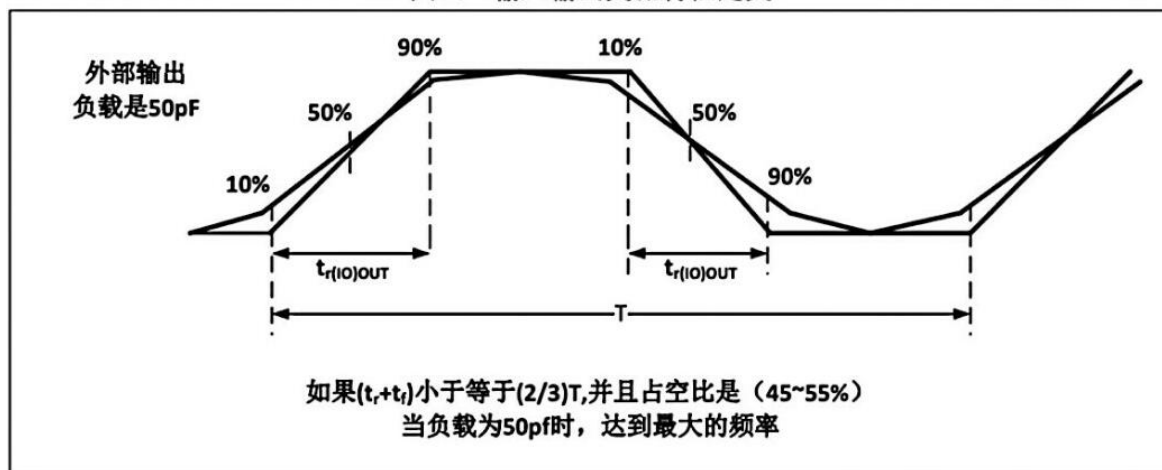
MODEx[1:0] 的配置	符号	参数	条件	最小值 (3)	最大值 (3)	单位
10 (2MHz)	fmax(I/O) out	最大频率 (2)	$C_L = 50pF$, $VDD = 2 \sim 3.6V$	–	2	MHz
	tr(10) out	输出高至低电平的下降时间	$C_L = 50pF$, $VDD = 2 \sim 3.6V$	–	50 (3)	ns
	tr(I/O) out	输出低至高电平的上升时间		–	50 (3)	
01 (10MHz)	fmax(I/O) out	最大频率 (2)	$C_L = 50pF$, $VDD = 2 \sim 3.6V$	–	10	MHz
	tr(10) out	输出高至低电平的下降时间	$C_L = 50pF$, $VDD = 2 \sim 3.6V$	–	24 (3)	ns
	tr(I/O) out	输出低至高电平的上升时间		–	23	
11 (50MHz)	fmax(I/O) out	最大频率 (2)	$C_L = 30pF$, $VDD = 2.7 \sim 3.6V$	–	48	MHz
	tr(10) out	输出高至低电平的下降时间	$C_L = 30pF$, $VDD = 2.7 \sim 3.6V$	–	7 (3)	ns
	tr(I/O) out	输出低至高电平的上升时间		–	5 (3)	

(1) I/O 端口的速度可以通过 IMODEx[1:0] 配置。

(2) 最大频率在下图中定义。

(3) 由设计保证，不在生产中测试。

图10 输入输出交流特性定义



8.3.11 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺, 它连接了一个永久性上拉电阻, RPU。

表 38 NRST 引脚特性(测试条件 $V_{CC}=3.3V$, $T_A=-40\sim105^{\circ}C$)

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL} (NRST) (1)	NRST 输入低电平电压	—	-0.5	—	0.8	V
V_{IH} (NRST) (1)	NRST 输入高电平电压	—	2	—	$V_{DD}+0.5$	
V_{hys} (NRST)	NRST 施密特触发器电压迟滞	—	270	300	340	mV
R_{pu}	弱上拉等效电阻 (2)	$V_{IN} = V_{SS}$	30	40	53	k Ω

(1) 由设计保证, 不在生产中测试。

(2) 上拉电阻由一个纯电阻串联一个可关断的 PMOS/NMOS 管实现的, 这个 PMOS/NMOS 开关的电阻很小。

8.3.12 通信接口

I2C 接口特性

表 39 I2C 接口特性(测试条件 $V_{DD}=3.3V$, $T_A=25^{\circ}C$)

符号	参数	标准 I2C (1) (2)		快速 I2C (1) (2)		单位
		最小值	最大值	最小值	最大值	
t_w (SCL)	SCL 时钟低时间	4.88	—	1.77	—	μs
t_w (scul H)	SCL 时钟高时间	5.10	—	0.717	—	
t_{su} (SDA)	SDA 建立时间	1080	—	1000	—	ns
t_n (SDA)	SDA 数据保持时间	0 (3)	451.85	0 (4)	457.77 (3)	
t_r (SDA) t_r (SCL)	SDA 和 SCL 上升时间	—	381.625	—	389.563	
t_r (SDA) t_r (SCL)	SDA 和 SCL 下降时间	—	4.33	—	3.79	

符号	参数	标准 I2C (1) (2)		快速 I2C (1) (2)		单位
		最小值	最大值	最小值	最大值	
th (STA)	开始条件保持时间	4.94	—	0.822	—	μs
tsu (STA)	重复的开始条件建立时间	4.99	—	0.8124	—	
tsu (STO)	停止条件建立时间	4.92	—	0.81	—	μs
tw (STO:STA)	停止条件至开始条件的的时间(总线空闲)	5.36	—	2.06	—	μs

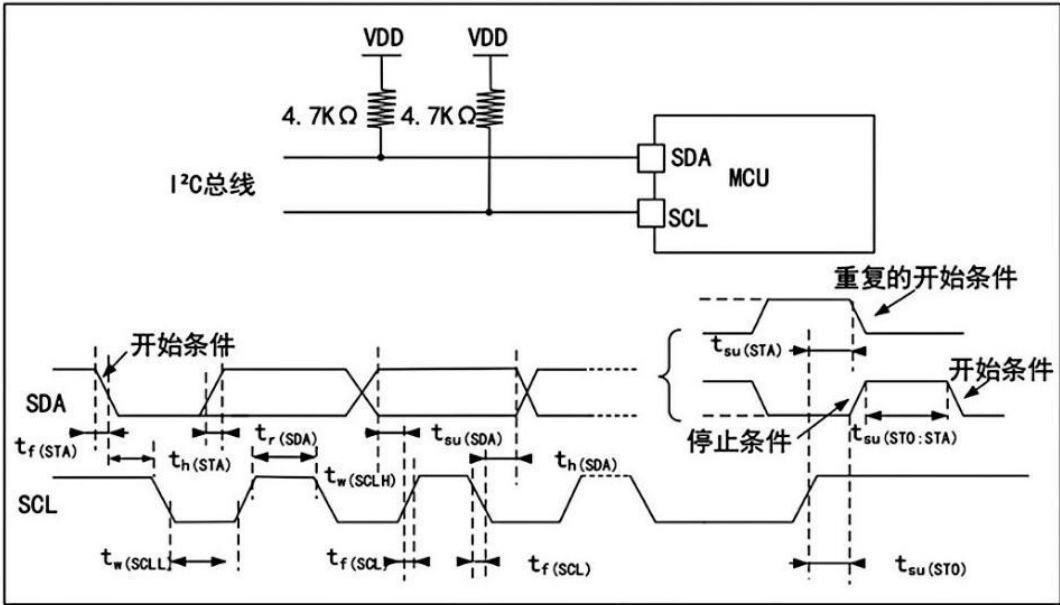
(1) 由设计保证，不在生产中测试。

(2) 为位达到标准模式 I2C 的最大频率， $f_{Pcu}k_1$ 必须大于 2MHz。为达到快速模式 I2C 的最大频率， $f_{Pcu}k_1$ 必须大于 4MHz。

(3) 如果不想拉长 SCL 信号的低电平时间，则起始条件的最大保持时间必须满足。

(4) 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号至少有 300ns 的保持时间。

图11 总线交流波形和测量电路



1. 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

SPI 接口特性

表 40 SPI 特性 (VDD=3.3V, TA=25°C)

符号	参数	条件	最小值	最大值	单位
f_{sck} 1/t. (sck)	SPI 时钟频率	主模式	—	18	MHz
		从模式	—	18	
tr (sck) tr (sck)	SPI 时钟上升和下降时间	负载电容: C=30pF	—	3.7	ns
tsu (Nss) (2)	NSS 建立时间	从模式	109.7	—	ns
th (Nss) (2)	NSS 保持时间	从模式	85.3	—	ns
tw (sckh) (2)	SCK 高和低的时间	主模式, fPCLK=36MHz,	53.9	57.2	ns

符号	参数	条件	最小值	最大值	单位
$t_w(\text{SCKL})$ (2)		预分频系数=4			
$t_{su}(\text{MI})$ (2)	数据输入建立时间	主模式	9.1		ns
$t_{su}(\text{SI})$ (2)		从模式	19.0	-	
$t_h(\text{MI})$ (2)	数据输入保持时间	主模式	30.0	-	ns
$t_h(\text{SI})$ (2)		从模式	21.6	-	
$t_a(\text{SO})$ (2) (3)	数据输出访问时间	从模式, $f_{\text{PCLK}} = 20\text{MHz}$	6.6	10.1	ns
$t_{dis}(\text{SO})$ (2) (4)	数据输出禁止时间	从模式	6.6	-	ns
$t_v(\text{SO})$ (1) (2)	数据输出有效时间	从模式(使能边沿之后)	-	15.4	ns
$t_v(\text{MO})$ (1) (2)	数据输出有效时间	主模式(使能边沿之后)	-	15.4	ns
$t_h(\text{SO})$ (2)	数据输出保持时间	从模式(使能边沿之后)	7.17	-	ns
$t_h(\text{MO})$ (2)		主模式(使能边沿之后)	7.03	-	

(1) 由设计保证，不在生产中测试。

(2) 由推算得出，不在生产中测试。

(3) 最小值表示驱动输出的最小时间，最大值表示使数据有效的最大时间。

(4) 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图 12 SPI 时序图 · -从模式和 $\text{CPHA}=0$

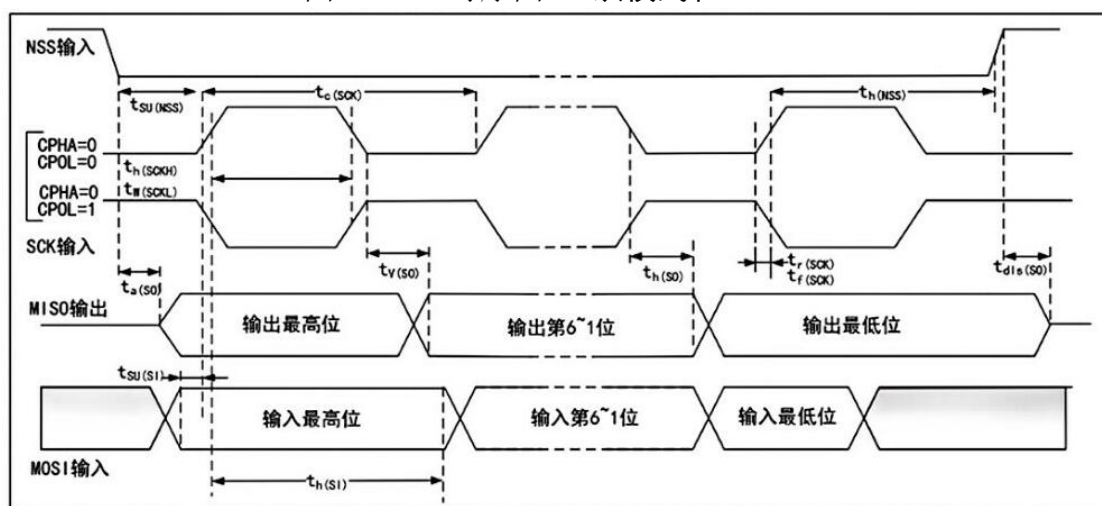
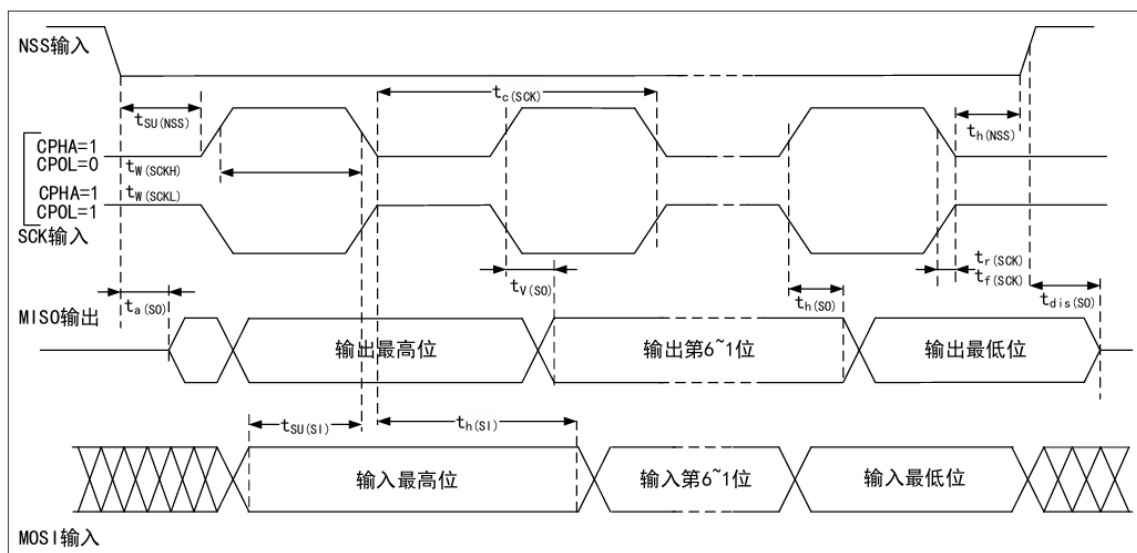
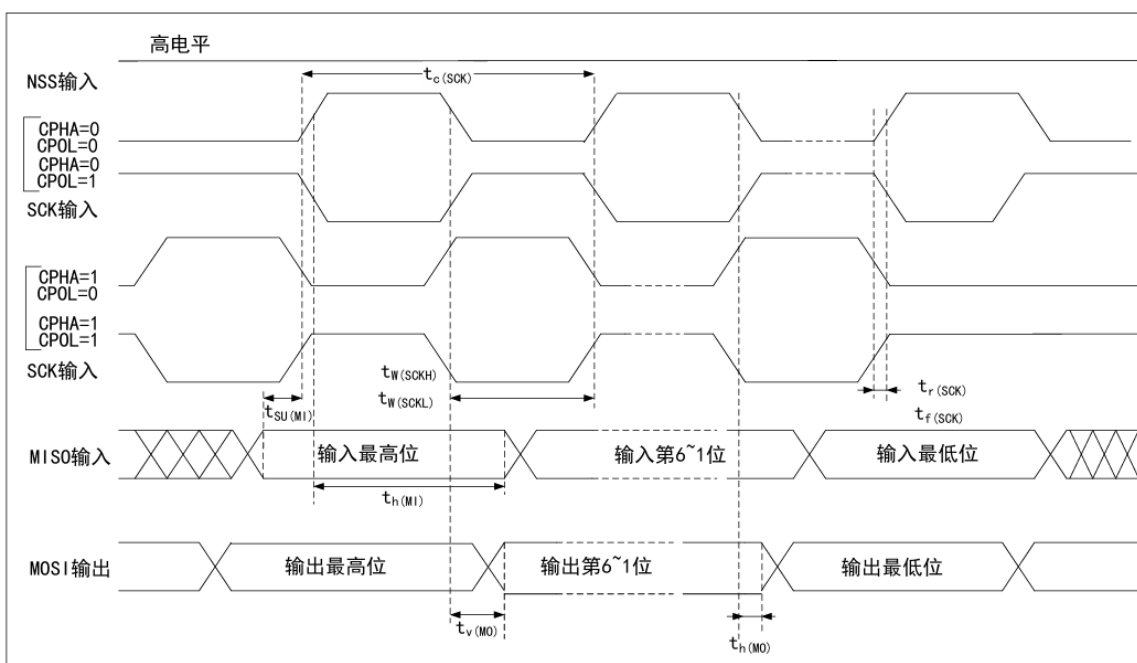


图 13 SPI 时序图 — 从模式和 CPHA=1(1)



(1) 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

图 14 SPI 时序图 — 主模式(1)



(1) 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

USB2.0 接口特性

图 15 USB2.0 时序：数据信号上升和下降的时间定义

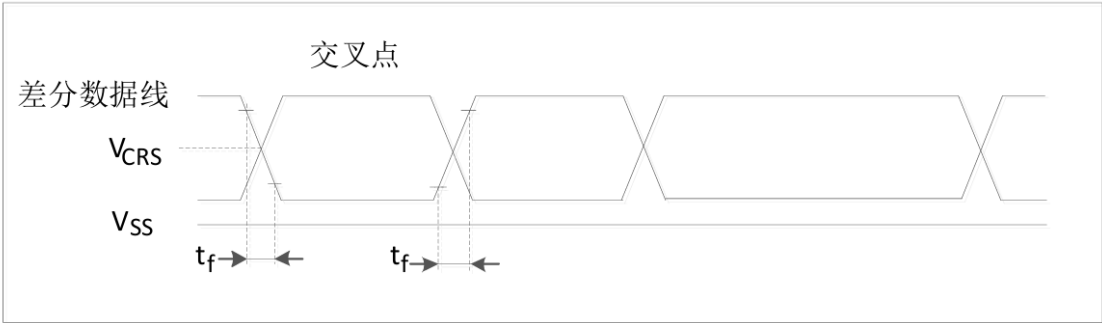


表 41 USB2.0 全速电气特性 (VDD=3.0~3.6V, TA=25°C)

符号	参数	条件	最小值(1)	最大值(1)	单位
输入电平					
VDD	USBD 操作电压(2)	—	3.0(3)	3.6	V
VDI(4)	差分输入灵敏度	I (USBDP, USBDM)	0.2	—	V
VcM(4)	差分共模范围	包含 VDI 范围	0.8	2.5	
VsE(4)	单端接收器阈值	—	1.3	2.0	
输出电平					
VoL	静态输出低电平	1.5kΩ 的 RL 接至 3.6V(5)	—	0.3	V
Voh	静态输出高电平	15kΩ 的 RL 接至 Vss(5)	2.8	3.6	

- (1) 所有的电压测量都是以设备端地线为准。
- (2) 为了与 USB2.0 全速电气规范兼容,USBDP(D+) 引脚必须通过一个 1.5kΩ 电阻接至 3.0~3.6V 电压。
- (3) STM32F103RET6+TD 的正确 USB2.0 功能可以在 2.7V 得到保证,而不是在 2.7~3.0V 电压范围下降级的电气特征。
- (4) 数据由整体评估保证,生产中不进行测试。
- (5) RL 是连接到 USB2.0 驱动器上的负载。

8.3.13 12 位 ADC 特性

表 42 ADC 特性 (VDD=2.4~3.6V, TA=-40~105°C)

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	供电电压		2.4	—	3.6	V
VREF+	正参考电压		2.4		VDDA	V

符号	参数	条件	最小值	典型值	最大值	单位
IVREF	在 VREF 输入脚上的电流	—	—	260	484	μA
fADC	ADC 时钟频率	—	0.6	—	14	MHz
fs (2)	采样速率	—	0.05	—	1	MHz
VAIN (3)	转换电压范围	—	0	—	VREF+	V
RADC (2)	采样电阻	—	—	1	—	kΩ
CADC (2)	内部采样和保持电容	—	—	2	—	pF
tcAL	校准时间	fADC = 14MHz 	5.9			μs
		—	83			1/fADC
ts (2)	采样时间	fADC = 14MHz	0.107	—	17.1	μs
		—	1.5	—	239.5	1/fADC
tcoNv (2)	总的转换时间(包括采样时间)	fADC = 14MHz	1	—	18	μs
		—	14~252 (采样 ts + 逐次逼近 12.5)			1/fADC

公式 1: 最大 RAIN 公式

$$RAIN < Ts / fADC \times CADC \times \ln(2N+2) - RADC$$

其中 fADC=14MHz, CADC=2PF, RADC=kΩ, 对于 0.25LSB 采样误差精度要求的条件下, Ts 与 RAIN 的关系如下表:

表 43 fADC=14MHz⁽¹⁾时的最大 RAIN

Ts(周期)	ts (μs)	最大值 RAIN(kΩ)
1.5	0.11	4.5
7.5	0.54	26.6
13.5	0.96	48.7
28.5	2.04	103.9
41.5	2.96	151.7
55.5	3.96	203.2

表 44 ADC 精度

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	fPCLK2 = 56MHz, fADC = 14MHz, RAIN < 10kΩ V _D DA=2.4~3.6V, TA=-40~105°C 测量 是在 ADC 校准之后进行的	±2.5	±5.5	LSB
E0	偏移误差		±2.1	±3.5	
EG	增益误差		±2.0	±4	
ED	微分线性误差		±1.5	±2.5	
EL	积分线性误差		±1.8	±3	

(1)ADC 的直流精度数值是在经过内部校准后测量的.

(2)ADC 精度与反相注入电流的关系: 需要避免在任何标准的模拟输入引脚上诸如反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度. 建议在可能产生反向注入电流

的标准模拟引脚上(引脚与地之间)增加一个肖特基二极管。

- (3) 如果正向的注入电流, 只要处于第 5.3.12 节中给出的 $I_{NN}(PIN)$ 和 $\Sigma I_{INU}(PIN)$ 范围之内, 就不会影响 ADC 精度。

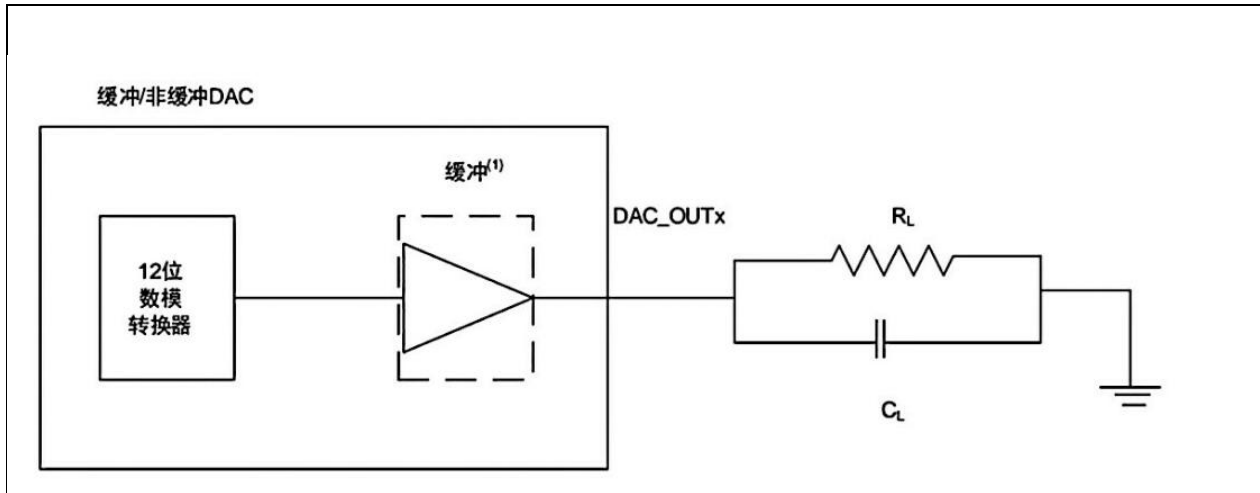
- (4) 数据由整体评估保证, 生产中不进行测试。

8.3.14 DAC 电气规范

表 45 DAC 特征

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟电源电压		2.4	—	3.6	V
VREF+	参考电源电压	VREF+必须始终低于 VDDA	2.4	—	3.6	V
VSSA	接地		0	—	0	V
RLOAD	缓冲打开时的电阻负载		5	—	—	kΩ
CLOAD	电容性负载	在 DAC_OUT 引脚处的最大电容负载(当缓冲区分打开时)。	—	—	50	pF
DAC_OUTmin	带缓冲器低 DAC_OUT 电压	DAC 的最大输出偏移, 对应于 12 位输入代码 (0x0E0) 到 VREF+=3.6V 处的 (0xF1C) 和 VREF+=2.4 V 处的 (0x155) 和 (0xEAB)	0.186	0.194	0.203	V
DAC_OUTmax	更高的带缓冲器的输出电压		—	—	VREF+—0.2	V
DAC_OUTmin	带缓冲器较低的 DAC_OUT 电压	DAC 的最大输出偏移。	0.308	—	272.36	mV
DAC_OUTmax	带缓冲器更高的 DAC_OUT 电压		2.381	—	2.398	mV
DNL	两个连续码—1Isb 之间的微分非线性差)	配置 12 位 DAC	—2.38	—	1.72	LSB
INL	Integral 非线性(代码 i 处的测量值与代码 i 处在代码 0 和最后代码 1023 之间所画直线上的值之差)	配置 12 位 DAC	—6.58	—	6.38	LSB
Offset	偏移误差(代码处的测量值 (0x800) 与理想值=VREF+/2 之间的差异)	VREF+=3.6Vi 配置 12 位 DAC	—6.60	—	9.13	LSB
Gain error	增益误差	配置 12 位 DAC	—0.58	—	0.23	%

图 16 12 位缓冲/非缓冲 DAC

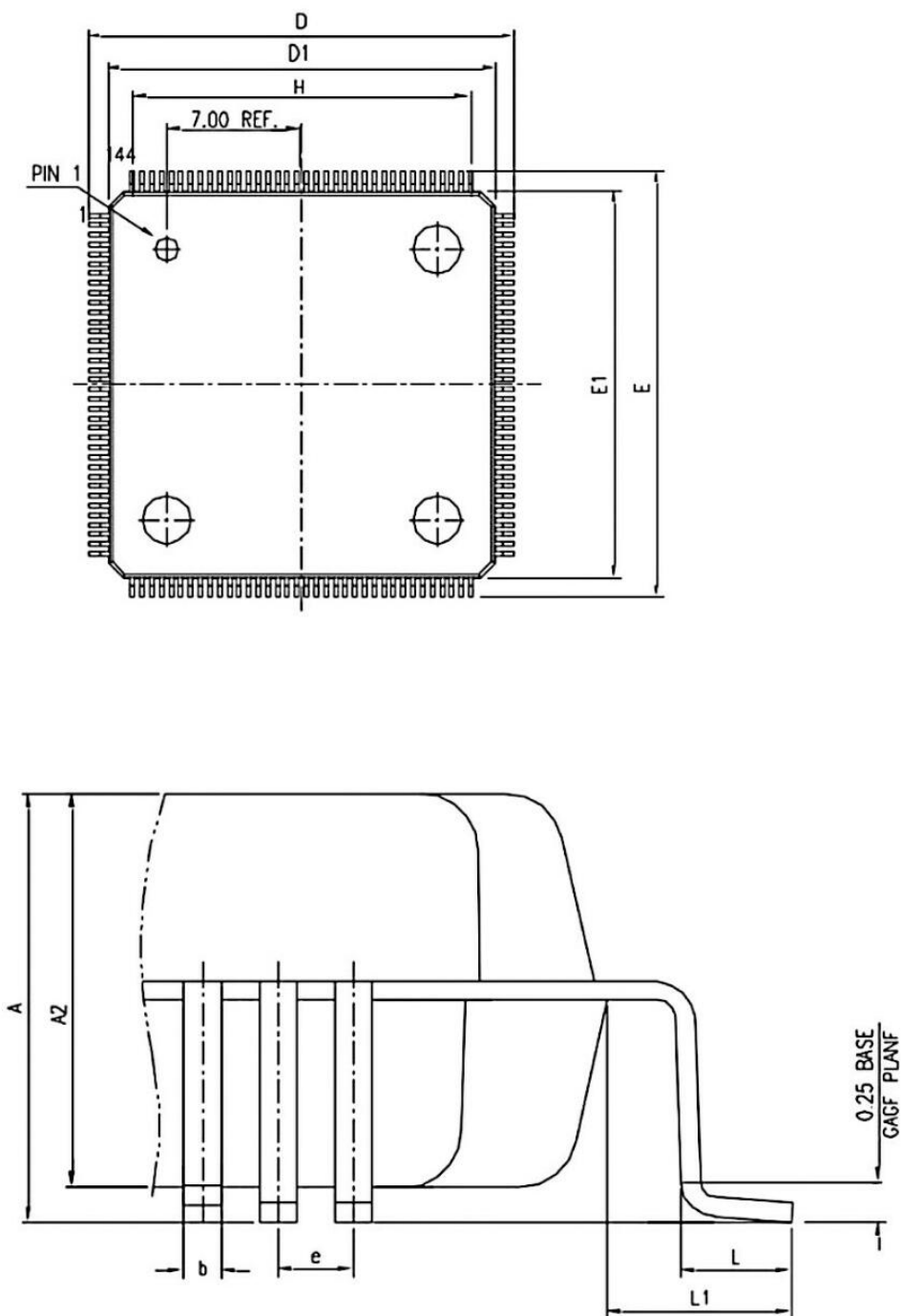


(1) DAC 集成了一个输出缓冲器，可以用来降低输出阻抗并直接驱动外部负载，而无需使用外部运算放大器。可以通过在 DAC_CR 寄存器中配置 BOFFx 位来绕过缓冲区。

9. 封装信息

9.1. LQFP144 封装图

图 17 LQFP144 封装图



- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

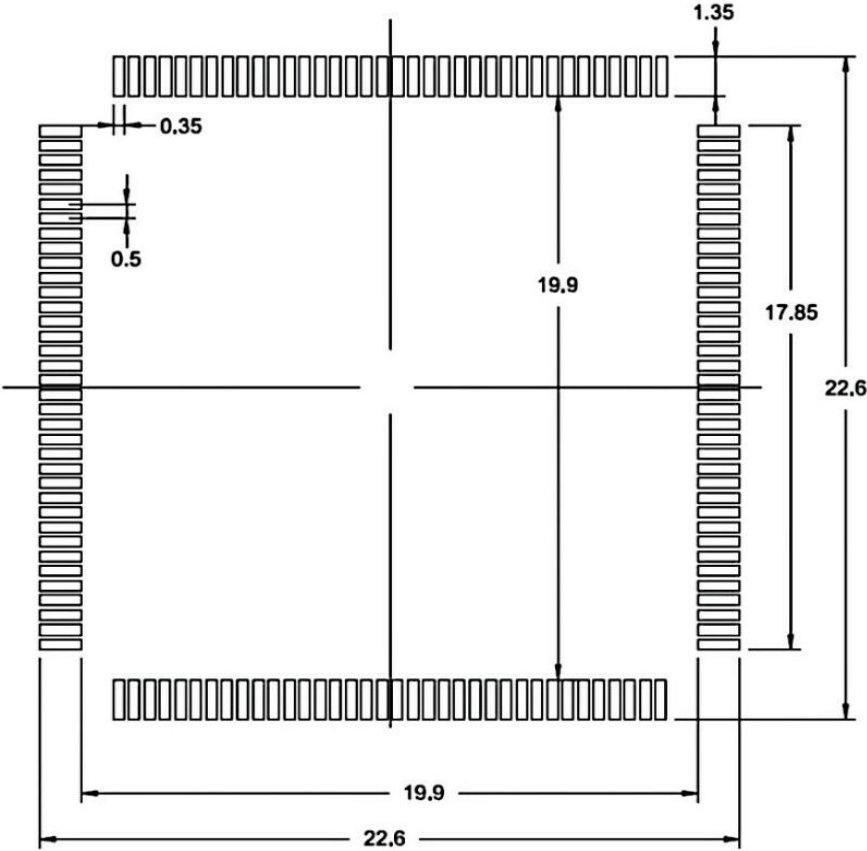
表 46 LQFP144 封装数据

DIMENSION LIST (FOOTPRINT:2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1. 600	OVERALL HEIGHT
2	A2	1. 400±0. 050	PKG THICKNESS
3	D	22. 000±0. 200	LEAD TIP TO TIP
4	D1	20. 000±0. 100	PKG LENGTH
5	E	22. 000±0. 200	LEAD TIP TO TIP
6	E1	20. 000±0. 100	PKG WDT
7	L	0. 600±0. 150	FOOT LENGTH
8	L1	1. 000 REF	LEAD LENGTH
9	e	0. 500 BASE	LEAD PITCH
10	H(REF)	(17. 50)	CUM LEAD PITCH
11	b	0. 22±0. 050	LEAD WIDTH

1. 尺寸以毫米表示。

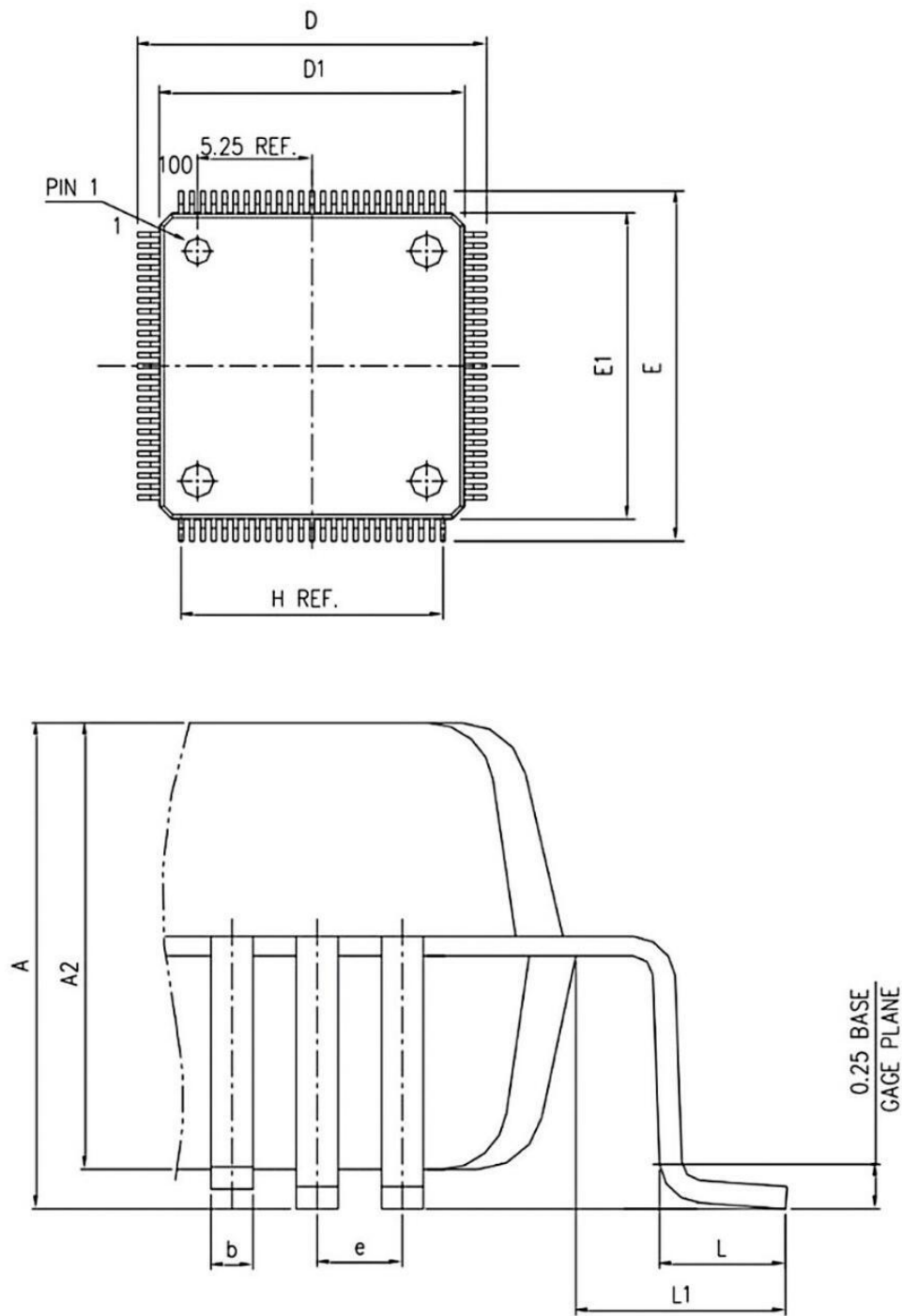
图18 LQFP144-144 引脚，20 x 20 mm 焊接 Layout 建议



1. 尺寸以毫米表示。

9.2. LQFP100 封装图

图 20 LQFP100 封装图



- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

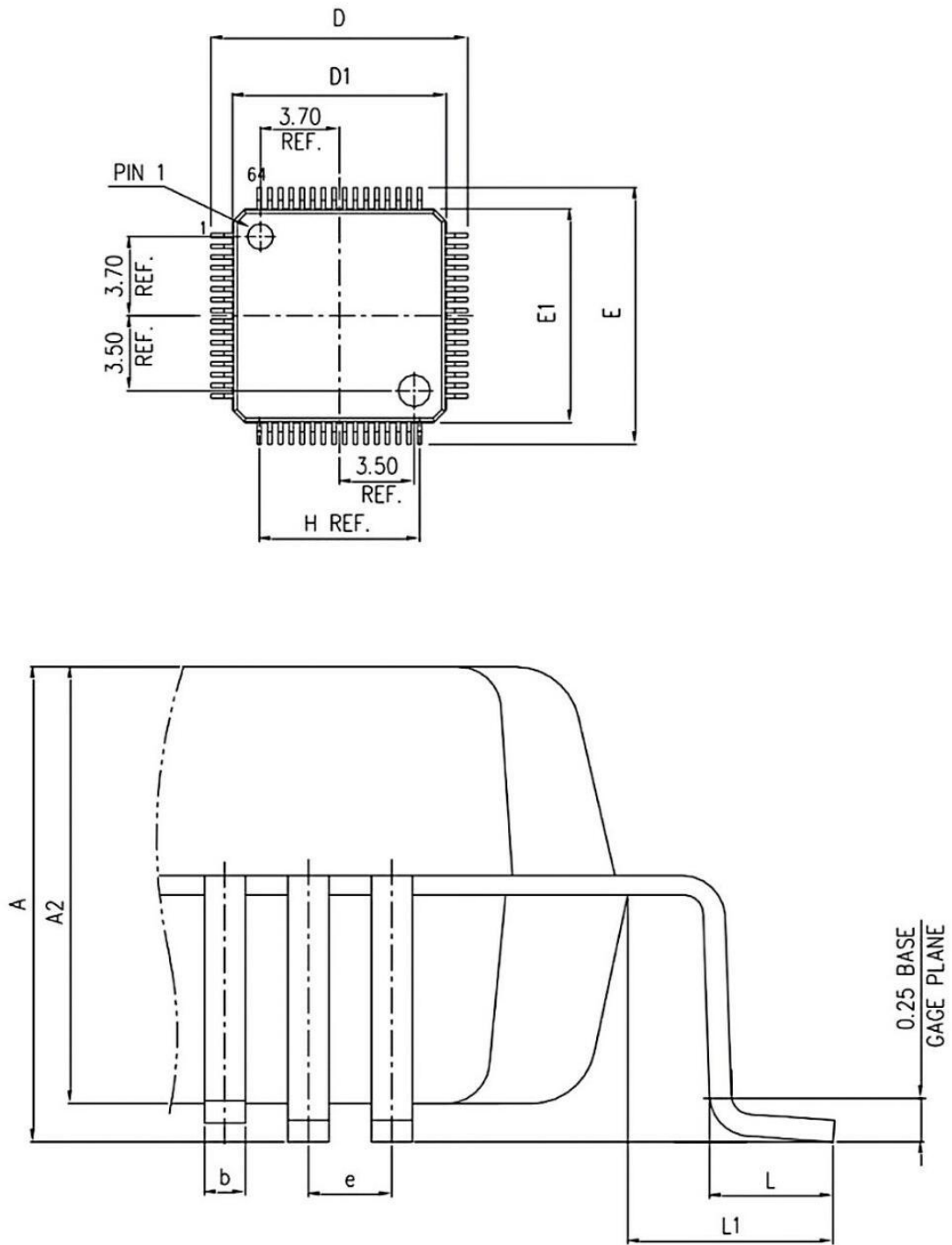
DIMENSION LIST (FOOTPRINT: 2.00)

1. 尺寸以毫米表示。

Page 67

9.3. LQFP64 封装图

图 23 LQFP64 封装图



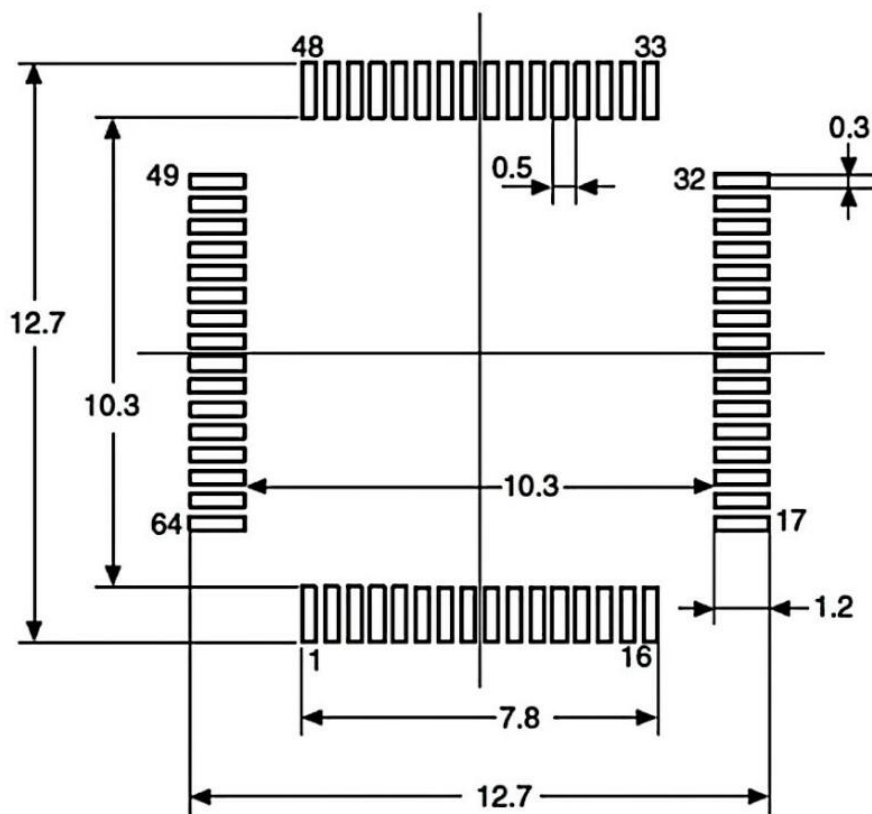
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表 48 LQFP64 封装数据
DIMENSION LIST (FOOTPRINT: 2.00)

S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1. 600	OVERALL HEIGHT
2	A2	1. 400±0. 050	PKG THICKNESS
3	D	12. 000±0. 200	LEAD TIP TO TIP
4	D1	10. 000±0. 100	PKG LENGTH
5	E	12. 000±0. 200	LEAD TIP TO TIP
6	E1	10. 000±0. 100	PKG WDTN
7	L	0. 600±0. 150	FOOT LENGTH
8	L1	1. 000 REF	LEAD LENGTH
9	e	0. 500 BASE	LEAD PITCH
10	H(REF)	(7. 500)	CUM LEAD PITCH
11	b	0. 22±0. 050	LEAD WIDTH

1. 尺寸以毫米表示。

图24 LQFP64 - 64 引脚，10 x 10mm 焊接 Layout 建议



1. 尺寸以毫米表示。