

ZSBM1006 用于生理信号测量的低功耗、单通道、24 位模拟前端

1 特性

- 一个 16bits 数字心率和 ECG 通道
- 抗电磁干扰 (EMI) 输入
- 低功耗: 每通道 0.2mW
- 等效输入噪声: 4.4 μ Vrms (40Hz 带宽)
- 输入偏置电流: 65pA
- 数据速率: 最高 0.250Ksps
- 差分输入电压范围: ± 500 mV
- 模拟电源电压: 2.2V 至 5.5V
- 数字输入输出 (I/O) 电源电压: 1.8V 至 5.5V
- 右腿驱动放大器
- 直流导联脱落检测
- 可配置的综合中断系统
- 内置振荡器与基准
- 灵活的断电和待机模式

2 应用

- 体育运动和健身 (心率和 ECG)

3 说明

ZSBM1006 包含便携式、低功耗医疗、体育运动和健身用心电图 (ECG) 应用中通常所需要的全部特性。凭借高集成度以及出色的性能, ZSBM1006 能够以尺寸小、功耗低和整体成本的优势来创建可扩展的医疗仪器系统。

ZSBM1006 具有 1 个能够以高达 16ksps 速率工作的高分辨率通道。该器件可编程特定的采样率和带宽, 从而使用户可针对性能和功耗来优化配置。所有输入引脚均包含一个 EMI 滤波器。

另外, ZSBM1006 包含了一个可配置的综合中断系统, 可实现以下功能:

- 直流脱落检测
- FIFO 阈值检测/上溢出/下溢出异常检测
- 即时数据读取

此器件采用 4mm x 4mm x 0.65mm, 16 引脚 QFN 封装。-40°C to 85°C 的运行温度范围。

4 功能框图

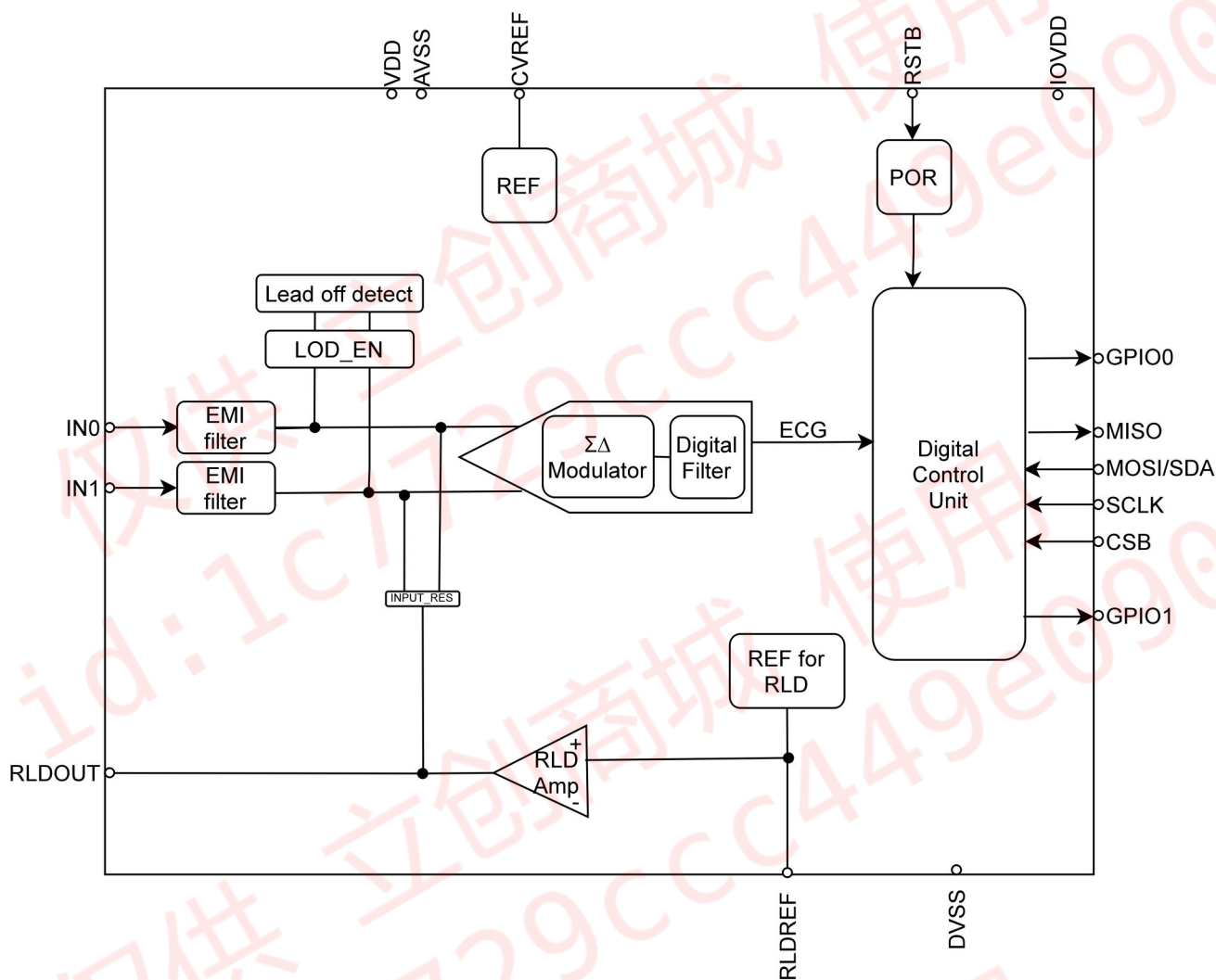


图 1. 功能框图

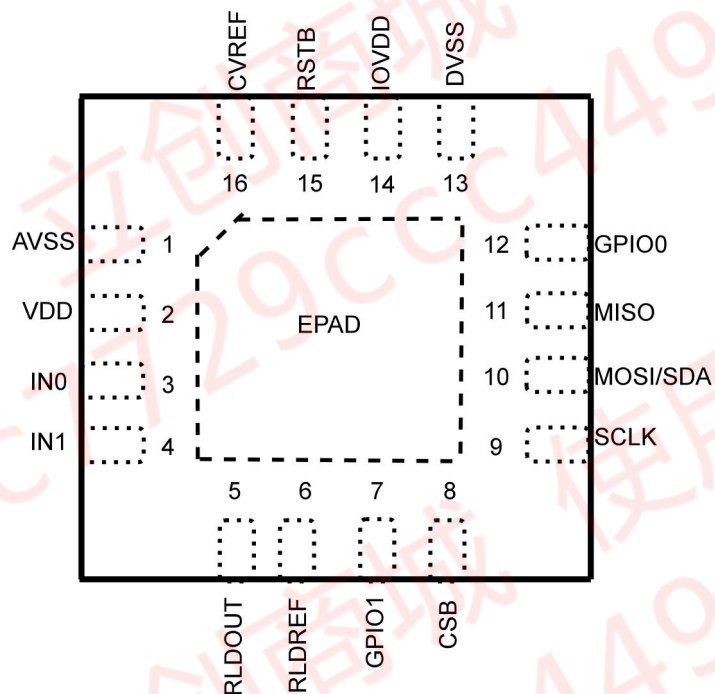
目录

1 特性	1	8.10 复位 (RESET)	18
2 应用	1	9 寄存器表	20
3 说明	1	10 寄存器描述	25
4 功能框图	2	10.1 系统、全局寄存器	25
5 引脚配置和功能	4	10.2 GPIO 相关寄存器	25
6 极限参数	6	10.3 AFE 相关寄存器	27
7 电气特性	6	10.4 右腿驱动相关寄存器	29
8 功能描述	11	10.5 脱落检测相关寄存器	30
8.1 模拟前端 (Analog Front-End)	11	10.6 ECG 量程选择寄存器	32
8.2 右腿驱动 (Right-Leg Drive)	12	10.7 FIFO 相关寄存器	33
8.3 脱落检测 (Lead-Off Detect)	13	10.8 即时数据相关寄存器	35
8.4 脱落检测中断报警 (INT_LO)	14	11 封装与包装信息	36
8.5 数据处理 (Data Processing)	15	11.1 封装外形尺寸	36
8.6 系统时钟 (System Clock)	17	11.2 包装材料信息	37
8.7 参考电压发生器 (Reference Voltage Generators)	17	12 型号列表	39
8.8 可配置的综合中断系统 (Configurable Interrupt System)	17	联系方式	40
8.9 编程 (Programming)	17	修订历史记录	40
		法律声明	41

5 引脚配置和功能

16-PIN QFN

俯视图



引脚功能

引脚序号 (QFN-16)	名称	类型	描述
1	AVSS	S	模拟地
2	VDD	S	电源
3	IN0	AI	电极输入信号
4	IN1	AI	电极输入信号
5	RLDOUT	AO	右腿驱动放大器输出
6	RLDREF	AO	右腿驱动参考电压输出
7	GPIO1	DIO	GPIO1
8	CSB	DI	SPI 片选
9	SCLK	DI	SPI 时钟输入
10	MOSI/SDA	DIO	4 线 SPI 数据输入/3 线 SPI 数据收发
11	MISO	DO	4 线 SPI 数据输出
12	GPIO0	DIO	GPIO0

引脚序号 (QFN-16)	名称	类型	描述
13	DVSS	S	数字/IO 接地
14	IOVDD	S	IO 电源
15	RSTB	DI	复位输入
16	CVREF	AIO	内部参考电压的外部电容
DAP	—	—	无内部连接

6 极限参数

参数	符号	最小值	典型值	最大值	单位	备注
电源电压	VDD	-0.3		6	V	到 AVSS
IO 电源电压	IOVDD	-0.3		6	V	到 DVSS
IO 电压	V _{IO}	-0.3		IOVDD	V	到 DVSS
存储温度	T _s	-45		125	°C	
工作温度	T _c	-40		85	°C	
静电放电 (HBM) ⁽¹⁾	ESD _{HBM}	4000			V	
静电放电 (CDM) ⁽²⁾	ESD _{CDM}	500			V	

(1) JEDEC 文件 JEP155 指出, 500V HBM 允许使用标准 ESD 控制制程进行安全制造。

(2) JEDEC 文件 JEP157 指出, 250V CDM 允许使用标准 ESD 控制制程进行安全制造。

7 电气特性

除非另有说明, 否则所有特性值是在 T_A=25°C、2.2V≤VDD≤5.5V、1.8V≤IOVDD≤5.5V、VREF=0.9V、f_{OSC}=1.024MHz、CVREF 和 AVSS 之间串有 1μF 低 ESR 电容、RLDREF 和 AVSS 间串有 0.1μF 电容的情况下得出。

参数	试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
电源 (VDD、IOVDD)					
VDD	模拟电源电压	T _{MIN} ≤T _A ≤T _{MAX}	2.2	5.5	V
I _{VDD}	模拟电源电流	待机模式	1.5		μA
		T _{MIN} ≤T _A ≤T _{MAX}		TBD	
		1 channel, RLD OFF, LOD OFF, 低功耗	250		μA
		T _{MIN} ≤T _A ≤T _{MAX}		TBD	
		1 channel, RLD OFF, LOD OFF, 高分辨率	365		
		T _{MIN} ≤T _A ≤T _{MAX}		TBD	
IOVDD	IO 电源电压	T _{MIN} ≤T _A ≤T _{MAX}	1.8	5.5	V
I _{IOVDD}	静态电流 IO 电源		0.5		μA
模拟输入 (IN0-IN1)					
I _B	输入偏置电流	T _A = 25°C, LOD OFF	-65	65	pA
		T _A = 85°C, LOD OFF		TBD	pA
		T _{MIN} ≤ T _A ≤ T _{MAX}			
RIN	差分输入电阻		20		MΩ

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
				30 60 120 240 480 1000 2000 5000 10000		
EMIRR	EMI 滤波器抑制比, IN0、IN1	f = 400MHz		95		dB
		f = 900MHz		110		dB
		f = 1.8GHz		120		dB
		f = 2.4GHz		125		dB
模拟前端 (AFE)						
DIVR	差分输入电压范围	T _{MIN} ≤ T _A ≤ T _{MAX}	-500		500	mV
CMVR	全 DIVR 的共模电压范围	T _{MIN} ≤ T _A ≤ T _{MAX}	400		550	mV
V _{OS}	输入失调电压			TBD		μV
		T _{MIN} ≤ T _A ≤ T _{MAX}			TBD	
CMRR	共模抑制比	50 / 60 Hz, VCM _{DC} = RLDREF, VCM _{AC} = 1.2V _{pp}		90		dB
V _e -ECG	ECG 输入参考电压噪声 ⁽⁴⁾	0.1-40Hz		4.4		μV _{rms}
		T _{MIN} ≤ T _A ≤ T _{MAX}			TBD	
N _e	等效输入噪声密度	0.1-40Hz, 低功率模式		700		nV/√Hz
		T _{MIN} ≤ T _A ≤ T _{MAX}			TBD	
PSRR	电源抑制比	50/60Hz		140		dB
ENOB-ECG	ECG 的有效位数	200Hz 带宽		16		bits
		T _{MIN} ≤ T _A ≤ T _{MAX}		TBD		
RS-ECG	采样率 ECG 通道	T _{MIN} ≤ T _A ≤ T _{MAX} (见表 1)	0.125		0.250	ksps
内部参考 (V _{REF})						

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
V _{REF}	内部参考电压		0.9			V
	内部参考精度		±0.08%			
	内部参考漂移		77			ppm/°C
	内部参考启动时间		10			ms
右腿驱动放大器（RLD Amp）						
V _{OS}	输入失调电压		±1.35			mV
CMVR	共模电压范围	T _{MIN} ≤T _A ≤T _{MAX}	400		550	mV
GBW	可编程增益带宽	低带宽模式	35			kHz
		高带宽模式			240	kHz
SR	压摆率	低带宽模式		15		mV/μs
		高带宽模式		100		mV/μs
C _{I MAX}	可编程电容负载驱动能力	高带宽、低电容驱动模式（见表2）		1		nF
		低带宽、高电容驱动模式（见表2）		10		nF
IVDD	静态功耗	低带宽、低电容驱动模式		9.6		μA
		T _{MIN} ≤T _A ≤T _{MAX}			TBD	
		高带宽、高电容驱动模式		108		μA
		T _{MIN} ≤T _A ≤T _{MAX}			TBD	
右腿驱动器参考（RLD REF）						
RLD _{REF}	输出电压	空载	400	500	550	mV
脱落检测（LOD）						
V _{TH DC}	直流脱落比较器阈值			0.8		V
V _{HYST}	比较器滞回	直流脱落模式		74		mV
IVDD	功耗	编程，不包括激励电流		9		μA
DCLO	脱落电流范围		2		30	nA
	脱落电流步长			2		nA
	脱落高阈值			0.8		V
	脱落低阈值			0.2		V

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
时钟 (Clock)						
f _{OSC}	内部时钟频率	f _{CRYSTAL} =12.288MHz	1.024			MHz
		f _{internal} =12.288MHz	1.024			
	内部时钟占空比		50%			
TSTAR T	内部时钟开启时间	f _{CRYSTAL} =12.288MHz	12			ms
		f _{internal} =12.288MHz	1			
IVDD	内部时钟功耗	f _{CRYSTAL} =12.288MHz	40	60	190	μA
		f _{internal} =12.288MHz	65			
数字输入/输出特性 (Digital Input/Output Characteristics)						
V _{DI}	输入电压范围		0	IOVDD		V
V _{T+}	施密特触发低到高	IOVDD = 3.3V	2.0			V
V _{T-}	施密特触发高到低	IOVDD = 3.3V	1.3			V
V _{OL}	输出低电平	IOVDD = 3.3V	0.4			V
V _{OH}	输出高电平	IOVDD = 3.3V	2.4			V
I _{OL}	低电平输出电流	IOVDD = 3.3V V _{OL} = 最大值, 取决于 IO_DS 配置值				
		IO_DS=0	3.7	5.9	mA	
		IO_DS=1	12.7	19.9	mA	
I _{OH}	高电平输出电流	IOVDD = 3.3V V _{OH} = 最小值, 取决于 IO_DS 配置值				
		IO_DS=0	3.2	4.3	mA	
		IO_DS=1	9.9	13.6	mA	
V _{OL}	输出低电平	IOVDD = 1.8V	0.22			V
V _{OH}	输出高电平	IOVDD = 1.8V	1.3			V
I _{OL}	低电平输出电流	IOVDD = 1.8V V _{OL} = 最大值, 取决于 IO_DS 配置值				
		IO_DS=0	0.95	1.6	mA	
		IO_DS=1	3.3	5.5	mA	
I _{OH}	高电平输出电流	IOVDD=1.8V				

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
		V _{OH} = 最小值, 取决于 IO_DS 配置值				
		IO_DS=0	0.78	1.1	mA	
		IO_DS=1	2.4	3.5	mA	
SPI 通讯 (Serial Clock Frequency)						
F _{SCLK}	频率	IOVDD=3.3V 总线负载电容 30pF, 位速度取决于 IO_DS 配置值				
		IO_DS=0			20	MHz
		IO_DS=1			20	MHz
F _{SCLK}	频率	IOVDD=1.8V 总线负载电容 30pF, 位速度取决于 IO_DS 配置值				
		IO_DS=0			8	MHz
		IO_DS=1			20	MHz

(1) 典型值仅为估计值, 非确定值。

(2) 除非另有说明, 否则数据表最大/最小值由测试确定。

(3) 典型值代表在 $T_A=25^{\circ}\text{C}$ 和推荐操作条件下最有可能的参数规范, 且不能确保。

(4) 至少使用 1000 个连续读数来计算噪声。

(5) 设计要求值, 非实测值。

8 功能描述

ZSBM1006 是用于心率带应用的完全集成的信号链。它具有一个低功耗、16 位分辨率的 ECG 通道，还具有直流脱落检测、右腿驱动能力。

8.1 模拟前端 (Analog Front-End)

ZSBM1006 包含一个模拟前端，用于将差分模拟电压转换为数字信号。每个模拟前端包括一个 Sigma-Delta 调制器 (SDM) 和一个数字滤波器。

- 模拟前端可通过设置 OP_EN 寄存器为 1 开始工作；可通过设置 OP_EN 寄存器为 0 停止工作。

8.1.1 Sigma-Delta 调制器 (SDM)

Sigma-Delta 调制器 (SDM) 获取通过开关阵列配置的一对输入信号，并将该信号转换为带有高频噪声的数字信号，该数字信号由可编程数字滤波器进一步处理获得高分辨率数字信号。

SDM 在 125kHz 的时钟频率下工作；这些频率均可由内部配置产生。同时，SDM 的过采样率 (OSR) 有 2 档选择，1024 (默认)，512。

SDM 的时钟频率为 125kHz。过采样率通过寄存器 R1_RATE_CH0_ECG 配置。

8.1.2 可编程数字滤波器 (Programmable Digital Filters)

在 Sigma-Delta 调制器 (SDM) 后面有一个可编程数字滤波器，作用是对从 SDM 输出的 bit 流来重建信号。滤波器由两级可编程 SINC 滤波器组成，如图 2 所示。每一级都是五阶 SINC 滤波器。

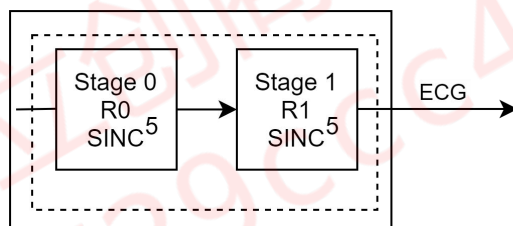


图 2. SINC 滤波器

SINC 滤波器的抽取率 R0 是固定值 64，R1 是可编程的。两级中的每一级进一步对 bit 流进行滤波和抽取，从而降低信号的输出数据速率 (ODR) 和带宽 (BW)，同时提高分辨率。在第一级之后，可以获得具有较高 ODR 和 BW 的 16 位数字信号。

ZSBM1006 的可编程数字滤波器提供了两种输出数据速率和带宽配置，从而可实现不同级别的性能和功耗。

随着第二级抽取 (R1) 的增加，ECG 的 ODR 和 BW 将减小。当检测 ECG 信号时，建议使用更高的 R1 值。每个通道的 R1 抽取率可以使用 R1_RATE_CH0_ECG。ECG 数据速率如下：

表 1. 可编程数字滤波器配置 ECG 数据速率

R1_RATE_CH0_ECG	采样率
1024 倍降采样率 (1'b0)	0.125ksps
512 倍降采样率 (1'b1)	0.25ksps

8.1.3 滤波器稳定时间 (Filter Settling Time)

ECG 的 SINC 滤波器的低通滤波器频率响应，由于其输出作为对阶跃输入信号的响应，会产生相关的稳定时间。该稳定时间的影响因素有：滤波器的阶数、其差分延迟和信道输出数据速率。

因此，滤波器的 ECG 通道的最小稳定时间为：

$$t_{s-ECG} = 320 \times R1 / f_s \quad (1)$$

其中： f_s 是调制器的时钟频率； $R1$ 为 1025/512，由 $R1_RATE_CH0_ECG$ 寄存器配置决定。

8.1.4 ADC 输入电阻选择 (ADC RES SEL)

ZSBM1006 给每个 ADC 配置了作用于两个输入端对 R_{LDOUT} 的阻抗，可以通过 $INPUT_RES_CH0[3:0]$ 对电阻值进行调节，调节范围为 20MΩ 到 10GΩ 左右。此功能需同时打开 $R_{LD_EN}/INPUT_RES_EN$ 。

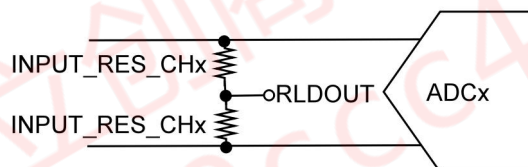


图 3. ADC 输入电阻示意图

8.1.5 ADC 失调校正 (ADC Offset)

每个 ADC 通道的 ECG 数据可通过 $ADC_OFFSET_CH0[15:0]$ 进行失调校正。

8.2 右腿驱动 (Right-Leg Drive)

右腿驱动电路 (RLD) 是具有一定增益的放大电路，通过驱动一个连接人体的输出电极，使芯片与人体形成共模回路，从而将其它输入电极偏置到理想的共模电压范围。如图 4，几路输入电极的电压经过共模检测电路，所得的共模电压与 R_{LDIN} 的输入电压（通常为 ECG 系统理想的共模电压）相比较，其差值经过放大，输出至 R_{LDOUT} 引脚。除了偏置共模电平，较高的共模环路增益也会对外界引入环路的共模干扰（例如电力线引入的工频干扰）产生抑制作用，从而提升系统的 CMRR。

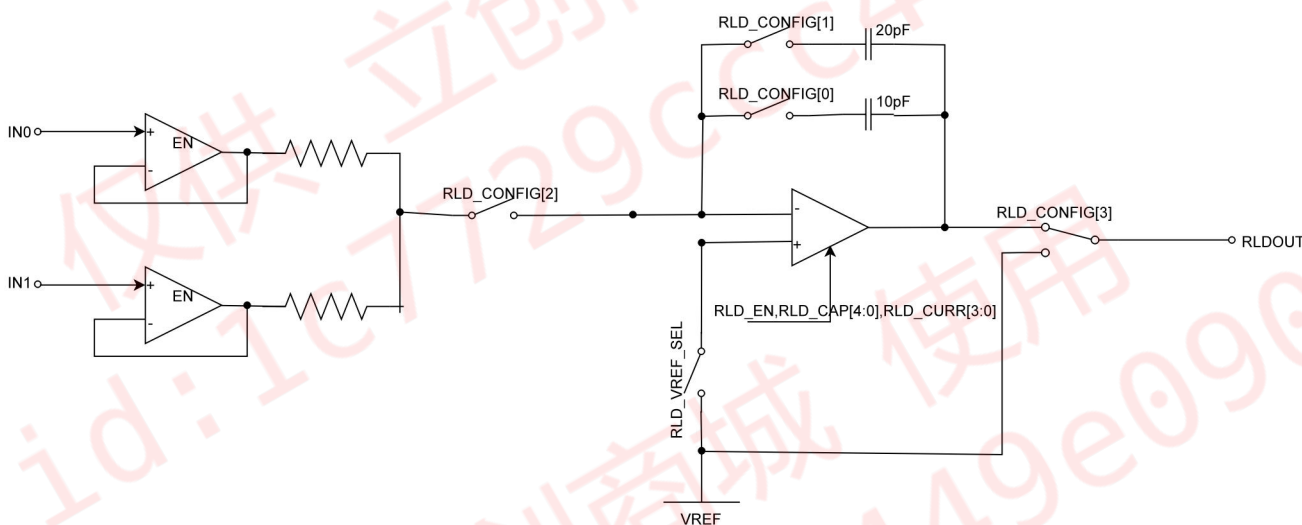


图 4. 右腿驱动示意图

RLD 放大器具有一定负载驱动能力，类似于线缆屏蔽层驱动电路，通过配置寄存器 $R_{LD_CAP}[4:0]$ 和 $R_{LD_CURR}[3:0]$ ，以实现驱动能力与功耗的最佳折衷，推荐配置如表 2。

表 2. 右腿驱动电路推荐配置以及所需功耗

	HIGH BW			LOW BW		
LOAD CAP	$R_{LD_CAP}[4:0]$	$R_{LD_CURR}[3:0]$	$I_{supply} (\mu A)$	$R_{LD_CAP}[4:0]$	$R_{LD_CURR}[3:0]$	$I_{supply} (\mu A)$

	HIGH BW			LOW BW		
LOAD CAP	RLD_CAP[4:0]	RLD_CURR[3:0]	I_{supply} (μA)	RLD_CAP[4:0]	RLD_CURR[3:0]	I_{supply} (μA)
$\leq 2\text{pF}$	0x00	0x0	9.6	-	-	-
20pF	0x00	0x4	59	0x02	0x0	9.6
200pF	0x02	0x8	108	0x10	0x0	9.6
1nF	0x08	0x8	108	0x12	0x1	22
5nF	-	-	-	0x0F	0x8	108
10nF	-	-	-	0x0F	0xA	133

由于 RLD 放大器的输入输出和线缆屏蔽层驱动电路的输出均有引脚，用户可根据需求在板级配置 RLD 放大器周边电阻和电容的组合，以得到理想的增益和带宽。

若用户无自行配置 RLD 放大器阻容网络的需求，可将共模电压直接输入右腿驱动电路（配置 RLD_CONFIG[2]=1），并使用芯片内部 30pF 反馈电容（RLD_CONFIG[1:0]=2'b11），如图 4。

RLD 的共模参考电平可由芯片内部供给（RLD_VREF_SEL=0，默认）。

8.3 脱落检测（Lead-Off Detect）

ZSBM1006 的脱落检测（LOD）模块可用于监测 2 个输入引脚、右腿驱动与人体的连接情况。LOD 模块可将编程的 DC 或 AC 激励电流注入选定的输入引脚，并检测响应于该电流出现在该选定的输入引脚上的电压。

LOD 模块可以在以下两种模式中的任意一种模式下进行工作：

- (1) 直流脱落检测；
- (2) RLD 脱落检测；

直流脱落检测（DCLO）在每个电极注入或抽取可编程的微小直流电流并监测电极电压，下图为直流脱落检测的示意图。当所有电极均正确连接无脱落时，这些电流通过人体与右腿驱动电路建立回路。若有电极脱落则电流无法通过人体，在 ECG 前端高输入阻抗的作用下，产生过阈值电压。

此微小电流幅值可通过 DCLO_MAG[3:0] 配置，其极性（流入或流出）可以通过 DCLO_INx_POLARITY 寄存器进行配置，当一个电极老化或连接脱落时，这个电极的引脚电压值会根据配置的脱落检测电流极性而变为高电平或低电平。

右腿驱动引脚 RLDOUT 也设有电压过阈值检测。开启脱落检测后，任一电极脱落都会导致 RLDOUT 过阈值。此功能通过使 DCLO_RLD_EN=1 打开。

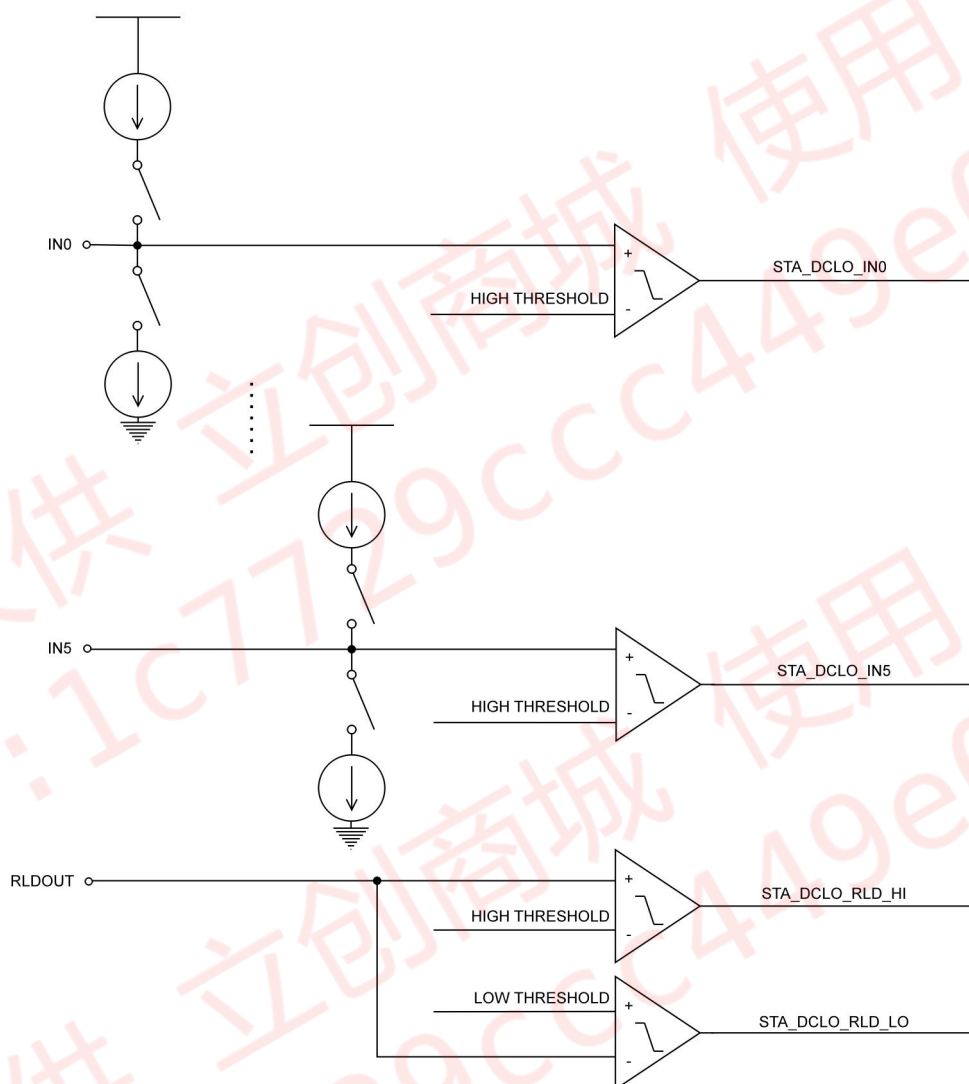


图 5. 直流脱落检测示意图

8.4 脱落检测中断报警 (INT_LO)

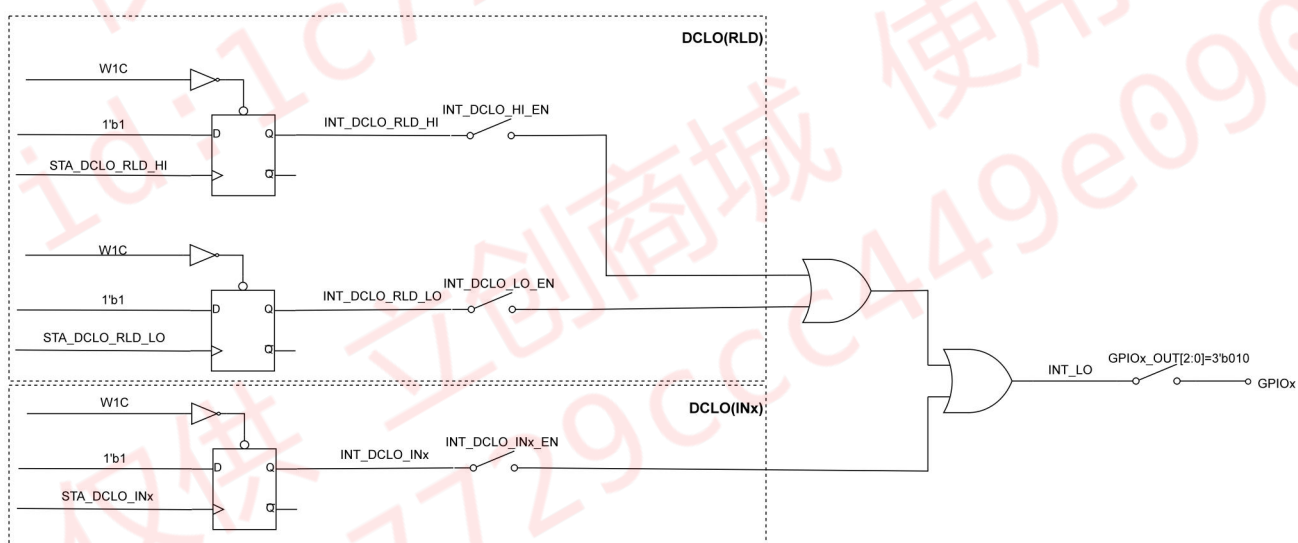


图 6. 脱落检测中断示意图

8.4.1 直流脱落检测（RLD）中断报警

ZSBM1006 右腿驱动电路包含了一个右腿驱动直流脱落阈值检测报警功能，用于检测右腿驱动是否直流脱落。通过寄存器 DCLO_RLD_EN 启用此功能。

- 任何一个通道的 ADC 打开都可以执行右腿驱动直流脱落阈值检测；
- 右腿驱动直流脱落电压超过高阈值之后，INT_DCLO_RLD_HI=1，STA_DCLO_RLD_HI=1；
- 右腿驱动直流脱落电压低于低阈值之后，INT_DCLO_RLD_LO=1，STA_DCLO_RLD_LO=1；
 - ◆ STA_DCLO_RLD_HI：右腿驱动直流脱落超限状态位。当此 bit 位置 1，表示出现右腿驱动直流脱落检测电压高于 800mV；此状态会在右腿驱动直流脱落检测电压恢复正常之后自动清 0；
 - ◆ STA_DCLO_RLD_LO：右腿驱动直流脱落超限状态位。当此 bit 位置 1，表示出现右腿驱动直流脱落检测电压低于 200mV；此状态会在右腿驱动直流脱落检测电压恢复正常之后自动清 0；
 - ◆ INT_DCLO_RLD_HI：右腿驱动直流脱落中断标志位。当右腿驱动直流脱落检测电压由正常变为高于 800mV 时，此 bit 位置 1；右腿驱动直流脱落检测电压恢复时不会自动清 0，写 1 可清 0 对应 bit 位；当 INT_DCLO_RLD_HI_EN=1 时，此中断标志位映射至 GPIOx；
 - ◆ INT_DCLO_RLD_LO：右腿驱动直流脱落中断标志位。当右腿驱动直流脱落检测电压由正常变为低于 200mV 时，此 bit 位置 1；右腿驱动直流脱落检测电压恢复时不会自动清 0，写 1 可清 0 对应 bit 位；当 INT_DCLO_RLD_LO_EN=1 时，此中断标志位映射至 GPIOx；
 - ◆ INT_LO 中断标志位，为 INT_DCLO_RLD_HI、INT_DCLO_RLD_LO 和 INT_DCLO_INx 的逻辑或。
- 右腿驱动直流脱落阈值检测相关寄存器在[脱落检测相关寄存器](#)中进行了描述。

8.4.2 直流脱落检测（INx）中断报警

ZSBM1006 直流脱落检测电路包含了一个直流脱落检测报警功能，用于检测 IN0~IN1 电极是否直流脱落。通过寄存器 DCLO_INx_EN 启用此功能。

- 任何一个通道的 ADC 打开都可以执行 IN0~IN1 电极的直流脱落检测；
- IN0~IN1 任何一个电极脱落之后，INT_DCLO_INx=1，STA_DCLO_INx=1；
 - ◆ STA_DCLO_INx：直流脱落检测状态位。当此 bit 位置 1，表示出现对应电极由接触状态变化为脱落状态；此状态会在由脱落状态变化为接触状态之后自动清 0；
 - ◆ INT_DCLO_INx：直流脱落检测中断标志位。当出现对应电极由接触状态变化为脱落状态时，此 bit 位置 1；由脱落状态变化为接触状态时不会自动清 0，写 1 可清 0 对应 bit 位；当 INT_DCLO_INx_EN=1 时，此中断标志位映射至 GPIOx；
 - ◆ INT_LO 中断标志位，为 INT_DCLO_RLD_HI、INT_DCLO_RLD_LO 和 INT_DCLO_INx 的逻辑或。
- 直流脱落检测相关寄存器在[脱落检测相关寄存器](#)中进行了描述。

8.5 数据处理（Data Processing）

8.5.1 FIFO 读取 ECG 数据

ZSBM1006 内部具有 2048 字节大小的 FIFO 空间，ECG 通道可以配置自己的 FIFO 起始地址、FIFO 空间大小和 FIFO 数据深度中断阈值大小。以上 FIFO 相关寄存器配置单位为字节（0~2047 bytes）。当系统读取 FIFO 数据时，先读取 FIFO 数据深度指示，再读取相应字节的 FIFO 数据。

ECG 通道的 FIFO 数据寄存器。ECG 通道配置 FIFO 数据深度中断阈值。FIFO 数据寄存器采用小端模式输出，连续读不会自加寄存器地址，而会依先进先出次序读出转换数据。ECG 有数据深度指示寄存器 FIFO_BYTE_COUNT_CH0_ECG。

当 ECG 存入 FIFO 的数据达到相应设置的数据深度中断阈值时，将产生中断信号 INT_FIFO_DEPTH_THRD_CH0_ECG。设置 FIFO 数据深度阈值中断时需注意，FIFO_SIZE_CH0_ECG[11:0]、FIFO_DEPTH_THRD_CH0_ECG[11:0]的设置需满足如下公式：

- 最大可设置的 FIFO 数据深度阈值为：

$$\text{FIFO_DEPTH_THRD_CH0_ECG_max} = \text{INT} \frac{(\text{FIFO_SIZE_xxx}+1)}{\text{NUMBER_OF_BYTE}} * \text{NUMBER_OF_BYTE} - 1 \quad (4)$$

- ◆ 其中：NUMBER_OF_BYTE 代表每次写入 FIFO 的字节数，具体可参考数据压缩（ADPCM）章节说明。

- ◆ 阈值中断时读出的数据深度指示值为：

$$\text{FIFO_BYTE_COUNT_CH0_ECG} = \text{INT} \frac{\text{FIFO_DEPTH_THRD_xxx}}{\text{NUMBER_OF_BYTE}} * \text{NUMBER_OF_BYTE} + \text{NUMBER_OF_BYTE} \quad (5)$$

- 例如：如果设置 FIFO_SIZE_CH0_ECG[11:0]=13，并且 ECG 为每次采样写 3byte 模式时，FIFO_DEPTH_THRD_CH0_ECG[11:0]的最大可设置值为：

- ◆ $\text{FIFO_DEPTH_THRD_CH0_ECG_max} = \text{INT} \frac{(13+1)}{3} * 3 - 1 = 11$ ，可设置值为 0 到 11 区间；
- ◆ 如果 FIFO_DEPTH_THRD_CH0_ECG[11:0]设置值为 11，则
 $\text{FIFO_BYTE_COUNT_CH0_ECG}[12:0] = \text{INT} \frac{11}{3} * 3 + 3 = 12$ ，即阈值中断的数据深度为 12 bytes；

- 此中断标志位映射至 GPIOx。

- 当 ECG 的 FIFO 空间已读时，继续执行读相应的 FIFO 空间数据，将产生 FIFO 下溢出中断 INT_FIFO_UFLOW，此中断标志位映射至 GPIOx。

当 ECG 的 FIFO 空间已满时，相应通道产生新的数据时，将产生相应 FIFO 上溢出中断 INT_FIFO_OFLOW_CH0_ECG。

- FIFO 空间已满时读出的数据深度指示值为：

$$\text{FIFO_BYTE_COUNT_CH0_ECG} = \text{FIFO_DEPTH_THRD_CH0_ECG_max} + 1 \quad (6)$$

- ◆ 例如：如果设置 FIFO_DEPTH_THRD_CH0_ECG_max=11，则当 FIFO 空间已满时，
 $\text{FIFO_BYTE_COUNT_CH0_ECG}[12:0] = 11 + 1 = 12$ bytes，即有效字节数为 12bytes。

- 此中断标志位映射至 GPIOx。

ACLEAR_INT_FIFO_DIS 寄存器可设置是否自动清除中断标志位：

- ACLEAR_INT_FIFO_DIS=0 时：当读取相应 FIFO 数据时，自动清除相应 FIFO 阈值中断/自动清除相应 FIFO 上溢出中断。
- ACLEAR_INT_FIFO_DIS=1 时：当读取相应 FIFO 数据时，不自动清除相应 FIFO 阈值中断/不自动清除相应 FIFO 上溢出中断；写 1 可清 0 对应中断标志位。

具体见 [FIFO 相关寄存器](#)描述。

8.5.2 即时读取 ECG 数据

ZSBM1006 的每一个数据通道都提供了数据即时读取寄存器。

通过 FIFO_MODE_DIS 寄存器设置成“禁用 FIFO”模式时，即代表进入“即时读取 ECG 数据”模式。此模式时，采样数据不写入 FIFO，只写入 REG_DATA_CH0_ECG 寄存器中；一次采样在 GPIOx 上产生一次中断。

- INT_MODE_SEL=0 时，读寄存器时清中断状态；

- INT_MODE_SEL=1 时，读寄存器时不清除中断状态，产生中断 16us 之后自动清除中断状态。

具体见[即时数据相关寄存器](#)描述。

8.6 系统时钟 (System Clock)

ZSBM1006 在 1024kHz 的时钟下工作。1024kHz 的时钟由 12.288MHz 的工作时钟分频得到。12.288MHz 的工作时钟可由内部时钟源来提供：内部振荡器。

8.7 参考电压发生器 (Reference Voltage Generators)

主参考电压发生器产生 0.9V 的参考电压，给系统提供内部参考。为了提供稳定的参考电压，需通过 CVREF 引脚对地连接 1μF 的旁路电容器，并且不设计用于加载其它电路。

共模参考电压发生器产生 0.5V 的参考电压，用于偏置右腿驱动，通过 RLDREF 引脚引出。RLDREF 引脚可通过 0.1μF 的旁路电容器接地。

8.8 可配置的综合中断系统 (Configurable Interrupt System)

ZSBM1006 提供了两组可独立配置的 GPIO 接口，可实现右腿驱动直流脱落检测、直流脱落检测、FIFO 阈值检测/上溢出/下溢出异常检测、即时数据读取等中断输出功能。

GPIOx 接口可配置选项如下：

- GPIOx 与通讯 IO 口的驱动能力、GPIOx 输出极性以及 GPIOx 内部是否上拉可参考 [GPIO 配置寄存器](#) 进行配置；
- GPIOx 的模式可通过 GPIOx_CFG[1:0] 选择：
 - ◆ 10：GPIOx 配置为输出模式 (Push-Pull)；
 - ◆ 11：GPIOx 配置为输出模式 (Open-Drain)；
- GPIOx 的输出源可通过 GPIOx_OUT[2:0] 选择。
 - ◆ 010：输出中断信号；
 - ◆ 其它：RESERVED；
- 不同的中断可通过 [中断输出 IO 选择寄存器](#) 分配到不同的 GPIO 上。
 - ◆ 初始时，默认 FIFO 阈值检测中断、即时数据读取中断分配到 GPIO0；
 - ◆ 初始时，默认共模超限检测中断、右腿驱动直流脱落检测中断、直流脱落检测中断、FIFO 上溢出/下溢出异常检测中断分配到 GPIO1；
 - ◆ “共模超限检测、右腿驱动直流脱落检测、直流脱落检测、FIFO 阈值检测/上溢出/下溢出异常检测”中断是否输出至 GPIOx，受其对应模块的使能信号控制。

8.9 编程 (Programming)

8.9.1 串行数字接口

4 线 SPI 通讯协议时序图如下图的 4 线 SPI 读写时序示意图，芯片的 SPI 接口只支持从模式，当 CSB 被拉低后，前 7 个 bit 的数据是读写入的寄存器的地址，后是读写标志位，1 代表写寄存器，0 代表读寄存器，后两个 byte 是读写的数据。当进行连续写寄存器时，寄存器地址会自动加 1，后续是写入相应寄存器的数据。连续读寄存器数据和连续写寄存器同理。

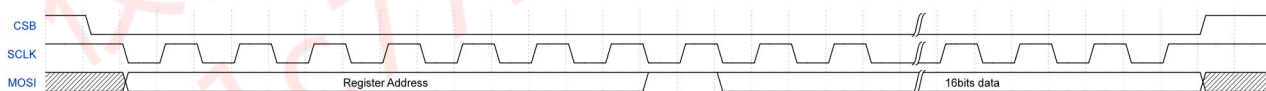


图 7. 4 线 SPI 写操作时序图

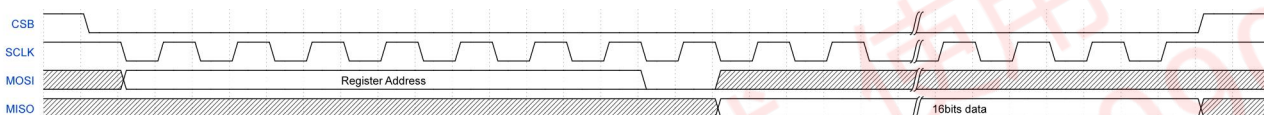


图 8. 4 线 SPI 读操作时序图

通过设置 SPI_MODE=1 可进入 SPI 3 线通讯协议模式。3 线 SPI 通讯协议时序图如下图的 3 线读写时序示意图，同 4 线 SPI 通讯协议，当 CSB 被拉低后，前 7 个 bit 的数据是读写入寄存器的地址，后是读写标志位，并根据读写标志改变控制数据线的输入输出使能，后两个 byte 是读写的数据。

3 线 SPI 读写寄存器操作使用同一条数据线：写寄存器时，控制数据线的输出驱动使能位一直为低电平，即数据线 SDA 配置一直为输入；读寄存器时，控制数据线的输出驱动使能位先为低电平，后为高电平，即读操作地址传输配置为输入，读操作数据传输配置为输出。

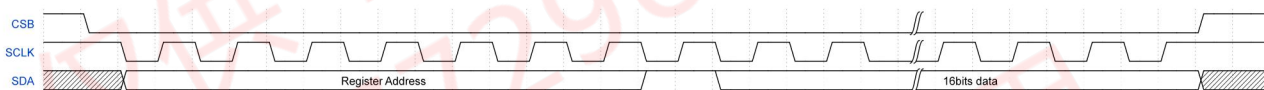


图 9. 3 线 SPI 写操作时序图



图 10. 3 线 SPI 读操作时序图

SPI 操作注意事项：

- 可通过 MOSI_PULLUP 寄存器配置 MOSI 端口的上拉功能。
- 所有输入数据在 SCLK 的上升沿进行采样，并在第 24 个时钟的上升沿写入到寄存器；
 - ◆ 如果 CSB 在第 24 个时钟之前拉高，则不会发生数据写入。
- 所有输出数据在 SCLK 的下降沿进行采样，并且数据格式按照小端模式输出。

8.9.2 随机寄存器访问协议

ZSBM1006 支持随机访问寄存器地址。

8.9.3 自动递增地址

通过保持 CSB 信号为有效值超过标准规定的时钟数量，可以访问到多个寄存器地址。在此模式中，CSB 有效时间必须保持为 SCLK 的 $(8+16*N)$ 倍数，其中 N 是在访问周期期间写入或读取的字节数。自动递增地址模式可对于访问寄存器。

8.10 复位 (RESET)

8.10.1 软复位 (SW_RESET)

如果设置寄存器 SW_RESET=1，则 ZSBM1006 将进行复位操作，任何正在进行的内部操作都将终止，设备将返回到默认状态，寄存器回到初值。此复位操作将持续 1ms 时间，复位期间不支持任何其它操作。

8.10.2 硬复位 (RSTB PIN)

ZSBM1006 设计有 RSTB 引脚用于芯片硬复位功能。此引脚低电平有效，恢复高电平之后至少持续 10ms 之后产生复位信号。复位期间芯片不支持任何操作，复位之后寄存器回到初始值。硬复位时序图如下：

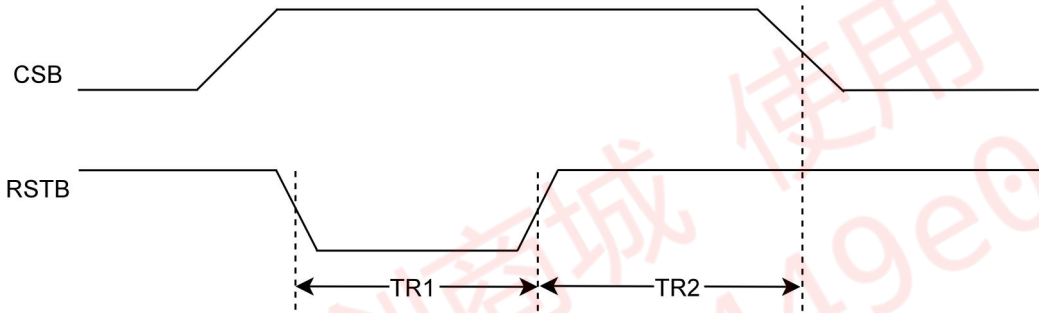


图 11. 硬复位时序图

表 3. 硬复位时序参数表

参数	最小值	典型值	最大值
TR1	10μs	10μs	
TR2	10ms	15ms	

9 寄存器表

下表列出了 ZSBM1006 的所有寄存器。

注意事项：

- (1) RESERVED 位和寄存器的读回值未指定，应丢弃。
- (2) 如果写入，则指示为 RESERVED 的寄存器必须具有寄存器表中所示的默认值，当默认值标识为 0xXXXX 时，应由寄存器中读取默认值，写入任何其他值都可能导致意外结果。

表 4. 寄存器表

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写	
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			
0x00	MAIN_CFG	[15:8]	RESERVED									0x00 00	R/ W
		[7:0]	FIFO_MODE_DIS	RESERVED						SPI_MODE	MOSI_PULUP		
0x01	RESERVED	[15:8]	RESERVED									0xXX XX	R/ W
		[7:0]	RESERVED										
0x02	FREQ_DELTA_PER	[15:8]	RESERVED									0x00 00	RO
		[7:0]	RESERVED			FREQ_DELTA_PER[5:0]							
0x03	GPIO_CFG	[15:8]	RESERVED	GPIO1_OUT[2:0]			GPIO1_PE	GPIO1_PO_L	GPIO1_CFG[1:0]			0x00 00	R/ W
		[7:0]	IO_DS	GPIO0_OUT[2:0]			GPIO0_PE	GPIO0_PO_L	GPIO0_CFG[1:0]				
0x04	ADC_OFFSET_CH0	[15:8]	ADC_OFFSET_CH0[15:8]									0x00 00	R/ W
		[7:0]	ADC_OFFSET_CH0[7:0]										
0x05 ~ 0x06	RESERVED	[15:0]	RESERVED									0x00 00	R/ W
0x07	USER_IND	[15:8]	RESERVED									0xXX XX	RO
		[7:0]	RESERVED	INPUT_RES_IND	RESERVED								
0x08	CHIP_ID/ SW_RESET	[15:8]	CHIP_ID[15:8]									0x10 03	RO
		[7:0]	CHIP_ID[7:0]										
		[7:0]	RESERVED							SW_RESET	-	W	

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
0x09	INT_IO_SEL	[15:8]	RESERVED						INT_S AMPL E_IO	RESE RVED	0x71 C0	R/ W
		[7:0]	INT_L O_IO	INT_FI FO_E XCEP_ IO	RESER VED	INT_F IFO_ DEPT H_TH RD_I O	RESERVED					
		[7:0]	RESERVED				VERSION[3:0]					
0x0A	INT_FIF O	[15:8]	INT_L O	INT_FI FO_U FLOW	RESERVED				INT_F IFO_ OFLO W_C HO_E CG	0x00 00	R/ W1 C	
		[7:0]	RESERVED						INT_F IFO_ DEPT H_TH RD_C HO_E CG			
0x0C	RATE/ EN	[15:8]	RESERVED						R1_R ATE_ CH0_ ECG	0x00 00	R/ W	
		[7:0]	RESERVED						CH0_E CG_E N			OP_E N
0x0D	RESERV ED	[15:0]	RESERVED								0x00 00	R/ W
0x0E	MODE_ SEL	[15:8]	RESERVED								0x80 00	R/ W
		[7:0]	RESERVED				DATA_SFTCNT_CH0_E CG[2:0]					
0x0F	RESERV ED	[15:0]	RESERVED								0x00 00	R/ W
0x10	INPUT_ SELO_C	[15:8]	RESERVED				INPUT_RES_CH0[3:0]				0x00 00	R/ W
		[7:0]	RESERVED									

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写	
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			
	H0												
0x11	INPUT_SEL1_CH0	[15:8]	RESERVED			ADC_INPUT_SHORT_CH0	RESERVED				0x0000	R/W	
		[7:0]	RESERVED										
0x12 ~ 0x1D	RESERVED	[15:0]	RESERVED									0x0000	R/W
0x20	RLD	[15:8]	RLD_EN	RLD_CURR[3:0]				RLD_CAP[4:2]			0x0000	R/W	
		[7:0]	RLD_CAP[1:0]		RESERVED	RLD_CONFIG[4:0]							
0x21	LO_EN	[15:8]	DCLO_MAG[3:0]				RESERVED				0x0000	R/W	
		[7:0]	RESERVED	DCLO_RLD_EN	RESERVED			DCLO_IN1_EN	DCL_O_IN0_EN				
0x22	LO_CFG	[15:8]	RESERVED						DCLO_IN1_POLARITY	DCL_O_IN0_POLARITY	0x0000	R/W	
		[7:0]	RESERVED										
0x23	RESERVED	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED										
0x24	INT_LO_EN	[15:8]	INT_CM_OR_HI_EN	INT_CM_OR_LO_EN	RESERVED							0x0000	R/W
		[7:0]	INT_D_CLO_RLD_HI_EN	INT_D_CLO_RLD_LO_EN	RESERVED			INT_D_CLO_IN1_EN	INT_DCL_O_IN0_EN				
0x25	INT_LO	[15:8]	INT_CM_OR_HI	INT_CM_OR_LO	RESERVED							0x0000	R/W1C

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
		[7:0]	INT_D CLO_R LD_HI	INT_D CLO_ RLD_L O	RESERVED				INT_D CLO_I N1	INT_ DCL O_IN 0		
0x26	STA_LO	[15:8]	STA_C M_OR _HI	STA_ CM_O R_LO	RESERVED						0x00 00	RO
		[7:0]	STA_D CLO_R LD_HI	STA_ DCLO _RLD_ LO	RESERVED				STA_D CLO_I N1	STA_ DCL O_IN 0		
0x27 ~ 0x2A	RESERV ED	[15:0]	RESERVED								0x00 00	R/ W
0x30	FIFO_ST A_ADR_ CH0_EC G	[15:8]	RESERVED				FIFO_STA_ADR_CH0_ECG[11:8]				0x00 00	R/ W
		[7:0]	FIFO_STA_ADR_CH0_ECG[7:0]									
0x31	FIFO_SI ZE_CH0 _ECG	[15:8]	RESERVED				FIFO_SIZE_CH0_ECG[11:8]				0x0F FF	R/ W
		[7:0]	FIFO_SIZE_CH0_ECG[7:0]									
0x32	FIFO_D EPH_T HRD_C H0_EC G	[15:8]	RESER VED	INT_FI FO_U FLOW _CH0_ ECG_ EN	INT_FI FO_O FLOW _CH0_ ECG_ EN	INT_F IFO_ DEPT H_TH RD_C H0_E CG_E N	FIFO_DEPTH_THRD_CH0_ECG[11:8]				0x03 FF	R/ W
		[7:0]	FIFO_DEPTH_THRD_CH0_ECG[7:0]									
0x33 ~ 0x47	RESERV ED	[15:0]	RESERVED								0x00 00	R/ W
0x50	FIFO_B YTE_CO UNT_C H0_EC G	[15:8]	RESERVED				FIFO_BYTE_COUNT_CH0_ECG[12:8]				0x00 00	RO
		[7:0]	FIFO_BYTE_COUNT_CH0_ECG[7:0]									
0x51 ~ 0x55	RESERV ED	[15:0]	RESERVED								0x00 00	RO

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
0x56	REG_D ATA_C H0_EC G	[15:8]	DATA_CH0_ECG[15:8]								0xFF FF	RO
		[7:0]	DATA_CH0_ECG[7:0]									
0x57 ~ 0x5F	RESERV ED	[15:8]	RESERVED								0xFF FF	RO
0x60	FIFO_D ATA_C H0_EC G	[15:8]	FIFO_DATA_CH0_ECG[15:8]								0xFF FF	RO
		[7:0]	FIFO_DATA_CH0_ECG[7:0]									

10 寄存器描述

10.1 系统、全局寄存器

表 5. 系统、全局寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x00	7	FIFO_MODE_DIS	FIFO 模式使能控制。 0: 使能 FIFO 1: 禁用 FIFO	1	0x0	R/W
	1	SPI_MODE	SPI 通讯协议模式配置。 0: SPI 4 线通讯协议模式 1: SPI 3 线通讯协议模式	1	0x0	R/W
	0	MOSI_PULLUP	用于 IC 通讯协议时 MOSI 端口配置。 0: MOSI 端口不配置上拉 1: MOSI 端口配置上拉	1	0x0	R/W
0x07	6	INPUT_RES_IND	ADC 输入阻抗控制可用指示。 0: 可用 ADC 输入阻抗控制功能 1: 不可用 ADC 输入阻抗控制功能	1	0x0	RO
0x08	0	SW_RESET	写 1 芯片复位。	1	-	W
0x08	[15:0]	CHIP_ID[15:0]	芯片型号缩写, 只读。	16	0x1003	RO
0x09	[3:0]	VERSION[3:0]	芯片版本号, 只读。	4	0x0	RO

10.2 GPIO 相关寄存器

10.2.1 GPIO 配置寄存器

表 6. GPIO 配置寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x03	[14:12]	GPIO1_OUT[2:0]	GPIO1 输出源选择。 010: 输出中断信号 其它: RESERVED	3	0x0	R/W
	11	GPIO1_PE	GPIO1 内部上拉使能控制。 0: 不启用内部上拉	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
			1: 启用内部上拉			
	10	GPIO1_POL	GPIO1 输出极性选择。 0: 默认极性 1: 极性反向	1	0x0	R/W
	[9:8]	GPIO1_CFG[1:0]	GPIO1 模式配置。 00: GPIO1 不使能 01: RESERVED 10: GPIO1 配置为输出模式 (Push-Pull) 11: GPIO1 配置为输出模式 (Open-Drain)	2	0x0	R/W
	7	IO_DS	GPIO 与通讯 IO 口驱动能力选择。 0: 弱驱动 1: 强驱动 具体驱动能力见电气特性表	1	0x0	R/W
	[6:4]	GPIO0_OUT[2:0]	GPIO0 输出源选择。 010: 输出中断信号 其它: RESERVED	3	0x0	R/W
	3	GPIO0_PE	GPIO0 内部上拉使能控制。 0: 不启用内部上拉 1: 启用内部上拉	1	0x0	R/W
	2	GPIO0_POL	GPIO0 输出极性选择。 0: 默认极性 1: 极性反向	1	0x0	R/W
	[1:0]	GPIO0_CFG[1:0]	GPIO0 模式配置。 00: GPIO0 不使能 01: RESERVED 10: GPIO0 配置为输出模式 (Push-Pull) 11: GPIO0 配置为输出模式	2	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
			(Open-Drain)			

10.2.2 中断输出 IO 选择寄存器

表 7. 中断输出 IO 选择寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x09	9	INT_SAMPLE_IO	即时数据读取中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x0	R/W
	7	INT_LO_IO	直流脱落检测中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x1	R/W
	6	INT_FIFO_EXCEP_IO	FIFO 异常中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x1	R/W
	4	INT_FIFO_DEPTH_THRD_IO	FIFO 数据深度中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x0	R/W

10.3 AFE 相关寄存器

10.3.1 ADC 使能相关寄存器

表 8. ADC 使能相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0C	1	CH0_ECG_EN	通道 0 ECG 使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	0	OP_EN	芯片工作使能控制。 0: 停止工作	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
			1: 开始工作			

10.3.2 滤波器相关寄存器

表 9. 滤波器相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0C	[8]	R1_RATE_CH0_ECG	通道 0 ECG R1 数据降采样率选择。 0: 1024 倍降采样率; 1: 512 倍降采样率;	2	0x0	R/W

10.3.3 ADC 电阻选择相关寄存器

表 10. ADC 电阻选择相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x10	[11:8]	INPUT_RES_CH0[3:0]	通道 0 输入电阻选择。 0000: 20M 0001: 30M 0010: 60M 0011: 120M 0100: 240M 0101: 480M 0110: 1G 0111: 2G 1000: 5G 1001: 10G	4	0x0	R/W
0x16	15	INPUT_RES_EN	ADC 输入阻抗调整使能控制。 0: 不使能 1: 使能	1	0x0	R/W

10.3.4 ADC 失调校正相关寄存器

表 11. ADC 失调校正相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x04	[15:0]	ADC_OFFSET_CH0[15:0]	通道 0 ADC 失调校正。 每次转换结果自动减去校正输出。	16	0x0000	R/W

10.4 右腿驱动相关寄存器

表 12. 右腿驱动相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x20	15	RLD_EN	右腿驱动使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	[14:11]	RLD_CURR[3:0]	右腿驱动输出级电流驱动。 驱动能力正比于寄存器数值	4	0x0	R/W
	[10:6]	RLD_CAP[4:0]	右腿驱动增益带宽积设置。 增大此寄存器数值会减小增益带宽积	5	0x00	R/W
	[4:0]	RLD_CONFIG[4:0]	右腿驱动配置。 [4:3]: 配置右腿驱动输出选择: 00: 右腿驱动放大器的输出 01: 共模输入电压 10/11: RESERVED [2]: 1 [1:0]: 右腿驱动放大器的片上反馈电容选择: 00: 无电容 01: 10pF 10: 20pF 11: 30pF	5	0x00	R/W

10.5 脱落检测相关寄存器

10.5.1 脱落检测控制

表 13. 脱落检测控制

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x21	[15:12]	DCLO_MAG[3:0]	直流脱落检测电流幅值。 产生的直流脱落检测电流 = DCLO_MAG*2nA 例: DCLO_MAG='b0111, 直流脱落检测电流 = 7*2nA	4	0x0	R/W
	6	DCLO_RLD_EN	右腿直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	1	DCLO_IN1_EN	IN1 电极直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	0	DCLO_IN0_EN	IN0 电极直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
0x22	9	DCLO_IN1_POLARITY	IN1 电极直流脱落检测正输入电极电流方向配置。 0: 电流方向从人体流向芯片 1: 电流方向从芯片流向人体	1	0x0	R/W
	8	DCLO_IN0_POLARITY	IN0 电极直流脱落检测正输入电极电流方向配置。 0: 电流方向从人体流向芯片 1: 电流方向从芯片流向人体	1	0x0	R/W

10.5.2 脱落检测中断使能

表 14. 脱落检测中断使能

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x24	7	INT_DCLO_RLD_HI_EN	右腿驱动直流脱落检测高阈值中断输出使能。 0: 此中断不输出	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
			1: 此中断输出			
	6	INT_DCLO_RLD_LO_EN	右腿驱动直流脱落检测低阈值中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	1	INT_DCLO_IN1_EN	IN1 电极直流脱落检测中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	0	INT_DCLO_IN0_EN	IN0 电极直流脱落检测中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W

10.5.3 脱落检测中断标志位

表 15. 脱落检测中断标志位

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0A	15	INT_LO	直流脱落检测中断标志位。 0: 未产生此中断 1: 直流脱落时置位	1	0x0	R/W1 C
0x25	7	INT_DCLO_RLD_HI	右腿驱动直流脱落检测高阈值中断标志位。 0: 未产生中断 1: 右腿驱动直流脱落超过高阈值时置位	1	0x0	R/W1 C
	6	INT_DCLO_RLD_LO	右腿驱动直流脱落检测低阈值中断标志位。 0: 未产生中断 1: 右腿驱动直流脱落低于低阈值时置位	1	0x0	R/W1 C
	1	INT_DCLO_IN1	IN1 电极直流脱落检测中断标志位。	1	0x0	R/W1 C

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
			0: 未产生此中断 1: IN1 电极直流脱落时置位			
	0	INT_DCLO_IN0	IN0 电极直流脱落检测中断标志位。 0: 未产生此中断 1: IN0 电极直流脱落时置位	1	0x0	R/W1 C

10.5.4 脱落检测状态位

表 16. 脱落检测状态位

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x26	7	STA_DCLO_RLD_HI	右腿驱动直流脱落检测高阈值状态位。 0: 未产生此标志 1: 产生右腿驱动直流脱落检测高阈值标志	1	0x0	RO
	6	STA_DCLO_RLD_LO	右腿驱动直流脱落检测低阈值状态位。 0: 未产生此标志 1: 产生右腿驱动直流脱落检测低阈值标志	1	0x0	RO
	1	STA_DCLO_IN1	IN1 电极直流脱落检测状态位。 0: 未产生此标志 1: 产生 IN1 电极直流脱落标志	1	0x0	RO
	0	STA_DCLO_IN0	IN0 电极直流脱落检测状态位。 0: 未产生此标志 1: 产生 IN0 电极直流脱落标志	1	0x0	RO

10.6 ECG 量程选择寄存器

表 17. ECG 量程选择寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0E	[2:0]	DATA_SFTCNT_CHO_ECG[2:0]	ECG 量程选择。 000: $\pm 500\text{mV}$ 001: $\pm 250\text{mV}$	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
			010: $\pm 125\text{mV}$ 011: $\pm 62.5\text{mV}$ 100: $\pm 31.25\text{mV}$ 101: $\pm 15.63\text{mV}$ 110: $\pm 7.82\text{mV}$ 111: $\pm 3.91\text{mV}$			

10.7 FIFO 相关寄存器

10.7.1 FIFO 中断控制寄存器

表 18. FIFO 中断控制寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x00	5	ACLEAR_INT_FIFO_DIS	读 FIFO 自动清中断配置。 0: 读取 FIFO 时自动清除对应的 FIFO_DEPTH_THRD/FIFO_OFLOW 中 断标志 1: 读取 FIFO 时不清 INT, 写 1 清 0 对应的 FIFO_DEPTH_THRD / FIFO_OFLOW 中断标志位	1	0x0	R/W

10.7.2 FIFO 中断输出使能寄存器

表 19. FIFO 中断输出使能寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x32	14	INT_FIFO_UFLOW_CH0_ECG_EN	通道 0 ECG FIFO 向下溢出中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	13	INT_FIFO_OFLOW_CH0_ECG_EN	通道 0 ECG FIFO 向上溢出中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	12	INT_FIFO_DEPTH_THRD_CH0_ECG_EN	通道 0 ECG FIFO 数据深度中断输出使能。 0: 此中断不输出	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
			1: 此中断输出			

10.7.3 FIFO 中断标志位

表 20. FIFO 中断标志位

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0A	14	INT_FIFO_UFLOW	FIFO 向下溢出中断标志位。 0: 未产生此中断 1: FIFO 空状态下发生读取时置位	1	0x0	R/W 1C
	8	INT_FIFO_OFLOW_CH0_ECG	通道 0 ECG FIFO 向上溢出中断标志位。 0: 未产生此中断 1: 通道 0 ECG FIFO 满状态下发生写入时置位	1	0x0	R/W 1C
	0	INT_FIFO_DEPTH_THRD_CH0_ECG	通道 0 ECG FIFO 数据深度中断标志位。 0: 未产生此中断 1: 通道 0 ECG FIFO 内数据量达到 FIFO_DEPTH_THRD_CH0_ECG 设置值时置位	1	0x0	R/W 1C

10.7.4 FIFO 数据寄存器

表 21. FIFO 数据寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x30	[11:0]	FIFO_STA_ADR_CH0_ECG[11:0]	通道 0 ECG FIFO 起始地址。	12	0x000	R/W
0x31	[11:0]	FIFO_SIZE_CH0_ECG[11:0]	通道 0 ECG FIFO 大小为 FIFO_SIZE_CH0_ECG+1, 以字节为单位。	12	0xFFF	R/W
0x32	[11:0]	FIFO_DEPTH_THRD_CH0_ECG[11:0]	通道 0 ECG FIFO 数据深度中断阈值设置为 FIFO_DEPTH_THRD_CH0_ECG+1, 以字节为单位。	12	0x3FF	R/W
0x50	[12:0]	FIFO_BYTE_COUNT_CH0_ECG[12:0]	通道 0 ECG FIFO 数据深度指示, 以字节为单位。	13	0x0000	RO

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x60	[15:0]	FIFO_DATA_CH0_ECG[7:0]	通道 0 ECG FIFO 数据。采用小端模式输出，连续读不会自加寄存器地址，而会依先进先出次序读出转换数据。	8/ 16/ 24	0xFF/ 0xFFFF/ 0xFFFF FF	RO

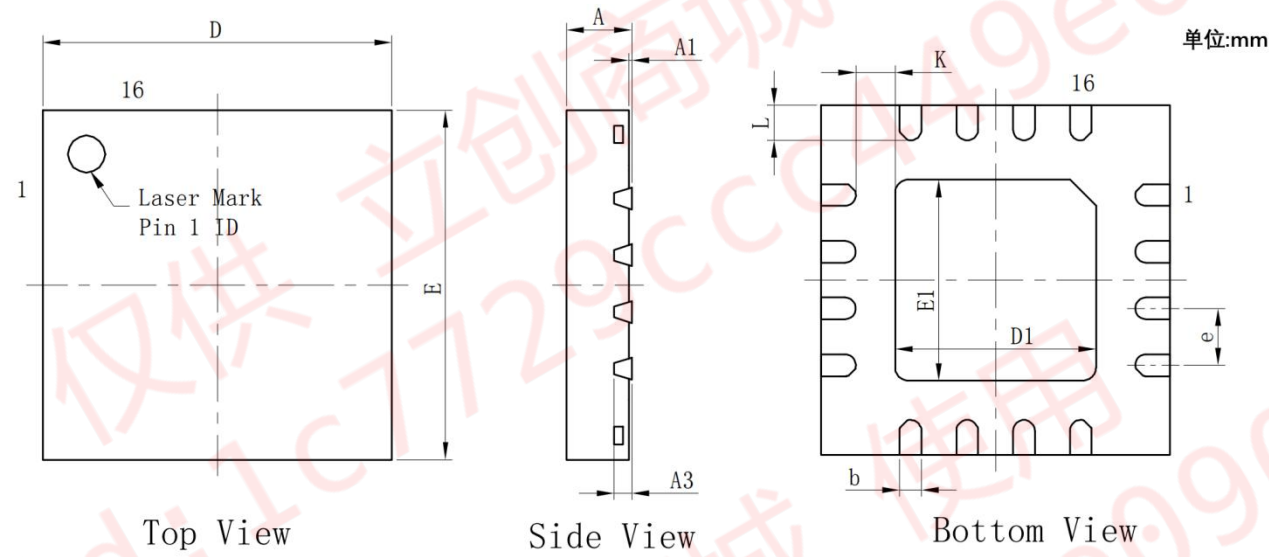
10.8 即时数据相关寄存器

表 22. 即时数据相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x00	6	INT_MODE_SEL	“即时读取数据模式”下读寄存器自动清中断配置。 0：读寄存器时清中断 1：产生中断 16us 之后自动清中断	1	0x0	R/W
0x56	[15:0]	DATA_CH0_ECG[15:0]	通道 0 ECG 数据寄存器[15:0]。	16	0xFFFF	RO

11 封装与包装信息

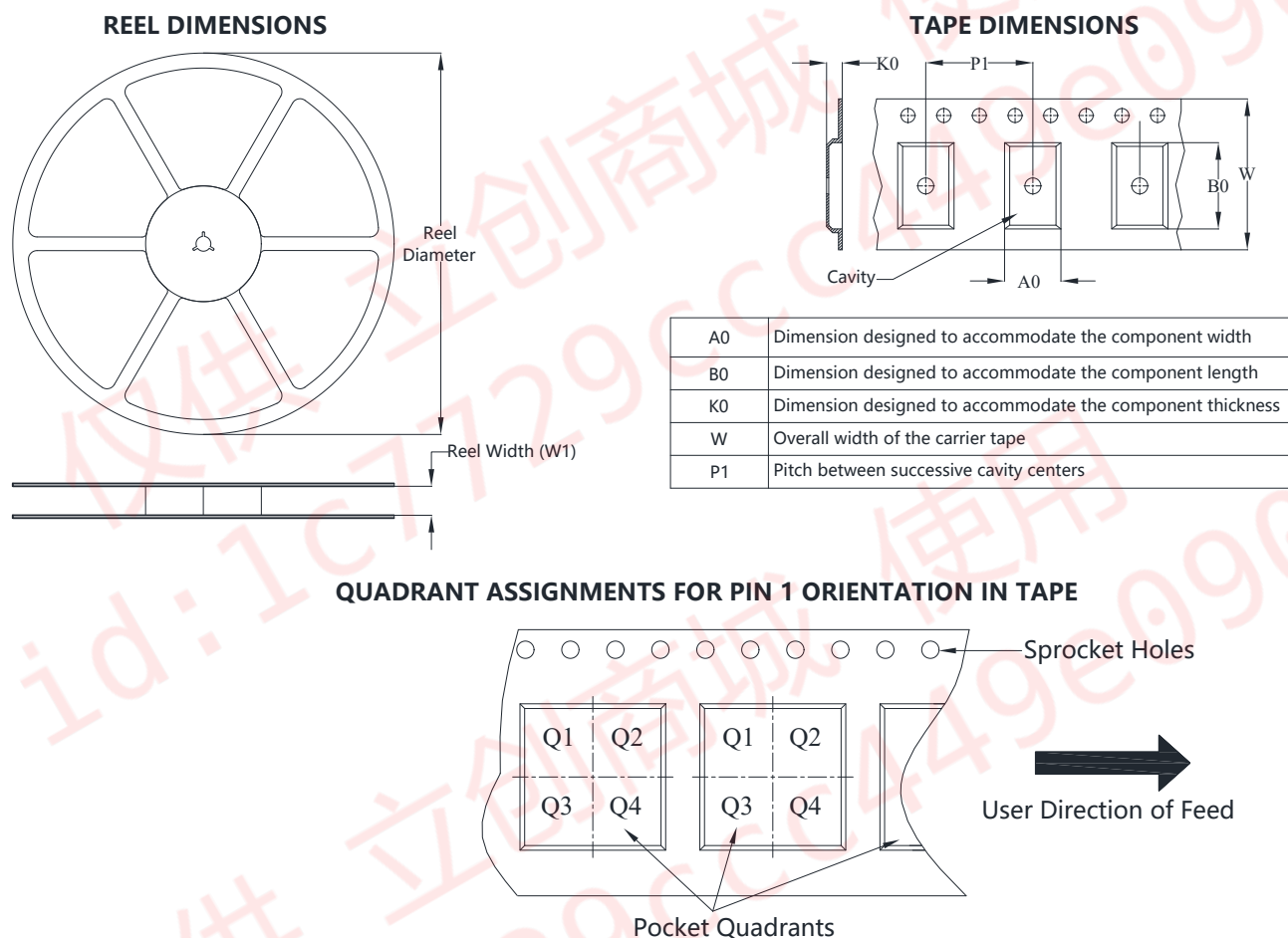
11.1 封装外形尺寸



标注	尺寸	最小	标准	最大	标注	尺寸	最小	标准	最大
A		0.70	0.75	0.80	D1		2.20	2.30	2.40
A1		0.00	—	0.05	E1		2.20	2.30	2.40
A3		0.203REF			e		0.65TYP		
b		0.20	0.25	0.30	K		0.20	—	—
D		3.90	4.00	4.10	L		0.30	0.40	0.50
E		3.90	4.00	4.10					

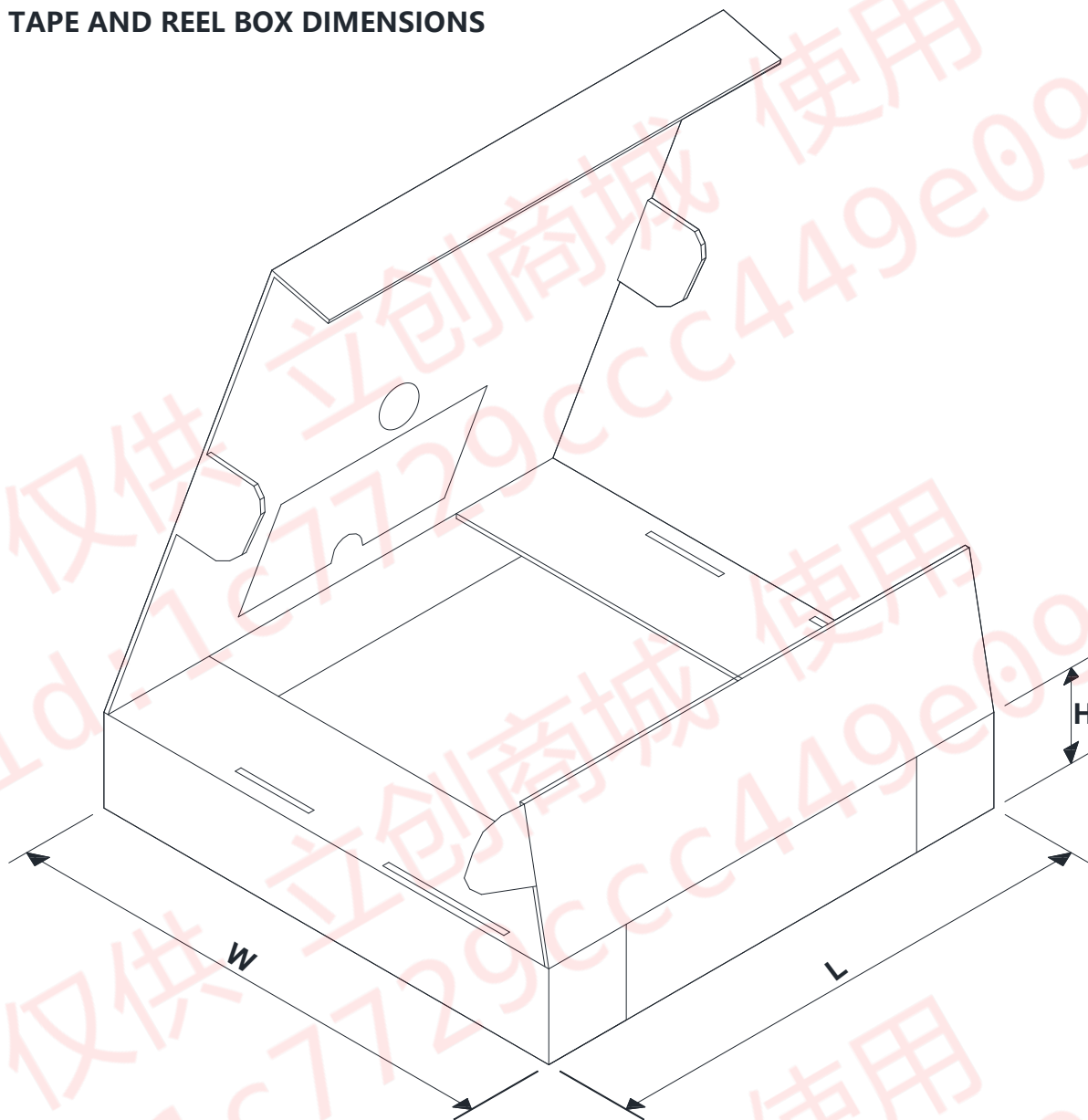
QFN-16

11.2 包装材料信息



产品型号	封装类型	引脚总数	每卷芯片颗数	卷轴直径 (mm)	卷轴宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	PIN1 象限
ZSBM1006-QN	QFN16	16	3000	330	12	5.30	5.30	1.05	8.00	12.00	Q1

TAPE AND REEL BOX DIMENSIONS



产品型号	封装类型	引脚总数	每卷芯片颗数	长 L (mm)	宽 W (mm)	高 H (mm)
ZSBM1006-QN	QFN16	16	3000	357	340	50

12 型号列表

型号	封装	备注
ZSBM1006-QN	16 引脚 QFN 封装	

联系方式

总部地址：北京市门头沟区莲石湖西路 98 号石龙阳光大厦 23 层

电话：010-60802986

深圳分公司/销售中心地址：深圳市南山区科技中二路软件园一期 1 栋 3 楼 302-7

业务联系邮箱：sales@zettasensing.com

修订历史记录

日期	版本	说明
2025 年 04 月 11 日	1.00	首次发布。

法律声明

北京泽声科技有限公司（以下简称泽声科技）保留随时对产品规格及本文档进行修改而不另行通知的权力。用户购买泽声科技产品或基于泽声科技产品进行设计前，应与泽声科技联系以取得最新的信息。

本文档信息仅供用户参考，泽声科技不对包括但不限于信息的准确性、完整性、知识产权等做任何明示或暗示的保证。泽声科技不对因使用本文档信息所造成的任何损失担负赔偿责任。

在系统中使用、整合泽声科技产品的人员（以下简称开发人员）应理解并同意，开发人员应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性。开发人员的应用应符合所有适用的法律与行业规范。

除明确指出外，泽声科技不对产品达到或符合任何特定行业标准或安全标准做出暗示的保证，也不对产品未达到任何特定行业标准或安全标准而承担任何责任。如泽声科技宣称产品“有助于”、“适用于”特定行业标准或安全标准，意味着该产品设计上旨在帮助客户开发自己的符合相关特定行业标准或安全标准的产品，而不说明泽声科技的产品具有任何安全保证功能。开发人员必须确保其设计遵守适用于其应用的相关标准和安全要求。除非获得针对特定产品应用的授权，否则开发人员不可将泽声科技产品用于关乎性命的医疗设备（指出现故障会导致严重身体伤害或死亡的医疗设备）。