



南京凌鸥创芯电子有限公司

LKS32MC05x with built-in 3P3N driver Datasheet

© 2020, 版权归凌鸥创芯所有
机密文件，未经许可不得扩散

1 概述

1.1 功能简述

LKS32MC055DL6S8/LKS32MC055EL6S8/LKS32MC057EM6S8/ LKS32MC057FM6S8 是 32 位内核的面向电机控制应用的专用处理器，集成了常用电机控制系统所需要的所有模块，同时集成了三相 P/N MOS 栅极驱动模块，可直接驱动三路 P/N MOS 功率器件。

- **性能**
 - 96MHz 32 位 Cortex-M0 内核
 - 低功耗休眠模式
 - 集成三相 P/N MOS 栅极驱动模块
 - 工业级工作温度范围
 - 超强抗静电和群脉冲能力
- **存储器**
 - 32K Flash，带加密功能，带 128 位芯片唯一识别码
 - 2.5K RAM
- **工作范围**
 - 7.5~32V(极限 40V)单电源供电，内部集成 1 个 5V LDO，为芯片内 MCU 部分供电
 - 工作温度: -40~105°C
- **时钟**
 - 内置 4MHz 高精度 RC 时钟，-40~105°C范围内精度在±1%之内
 - 内置低速 64kHz 低速时钟，供低功耗模式使用
 - 内部 PLL 可提供最高 96MHz 时钟
- **外设模块**
 - 两路 UART
 - 一路 SPI，支持主从模式
 - 一路 IIC，支持主从模式
 - 2 个通用 16 位 Timer，支持捕捉和边沿对齐 PWM 功能
 - 2 个通用 32 位 Timer，支持捕捉和边沿对齐 PWM 功能；



- 电机控制专用 PWM 模块，支持 8 路 PWM 输出，独立死区控制
- Hall 信号专用接口，支持测速、去抖功能
- 硬件看门狗
- 最多 4 组 16bit GPIO。P0.0/P0.1/P1.0/P1.1 4 个 GPIO 可以作为系统的唤醒源。P0.15 ~ P0.0 共 16 个 GPIO 可以用作外部中断源输入

● 模拟模块

- 集成 1 路 12bit SAR ADC，2Msps 采样及转换速率，共 16 通道
- 集成 2 路运算放大器，可设置为差分 PGA 模式
- 集成两路比较器
- 集成 12bit DAC 数模转换器
- 内置 $\pm 2^{\circ}\text{C}$ 温度传感器
- 内置 1.2V 0.8%精度电压基准源
- 内置 1 路低功耗 LDO 和电源监测电路
- 集成高精度、低温飘高频 RC 时钟

● 封装：

表 1-1 LKS32MC05x with built-in 3P3N driver 封装型号汇总表

| 型号 | 封装形式 |
|-----------------|---------|
| LKS32MC055DL6S8 | SOP16 |
| LKS32MC055EL6S8 | ESOP16 |
| LKS32MC057EM6S8 | SSOP24L |
| LKS32MC057FM6S8 | SSOP24L |

1.2 主要优势

- 高可靠性、高集成度、最终产品体积小、节约 BOM 成本。
- 内部集成 2 路高速运放和两路比较器，可满足单电阻/双电阻电流采样拓扑架构的不同需求；
- 内部高速运放集成高压保护电路，可以允许高电平共模信号直接输入芯片，可以用最简单的电路拓扑实现 MOSFET 电阻直接电流采样模式；
- 应用专利技术使 ADC 和高速运放达到最佳配合，可处理更宽的电流动态范围，同时兼顾高速小电流和低速大电流的采样精度；
- 整体控制电路简洁高效，抗干扰能力强，稳定可靠；



- 单电源 7.5~32V 供电，内部集成 5V LDO；
- 集成三相 P/N MOS 栅极驱动模块；
- 支持 IEC/UL60730 功能安全认证

适用于有感 BLDC/无感 BLDC/有感 FOC/无感 FOC 及步进电机、永磁同步、异步电机等控制系统；



1.3 命名规则

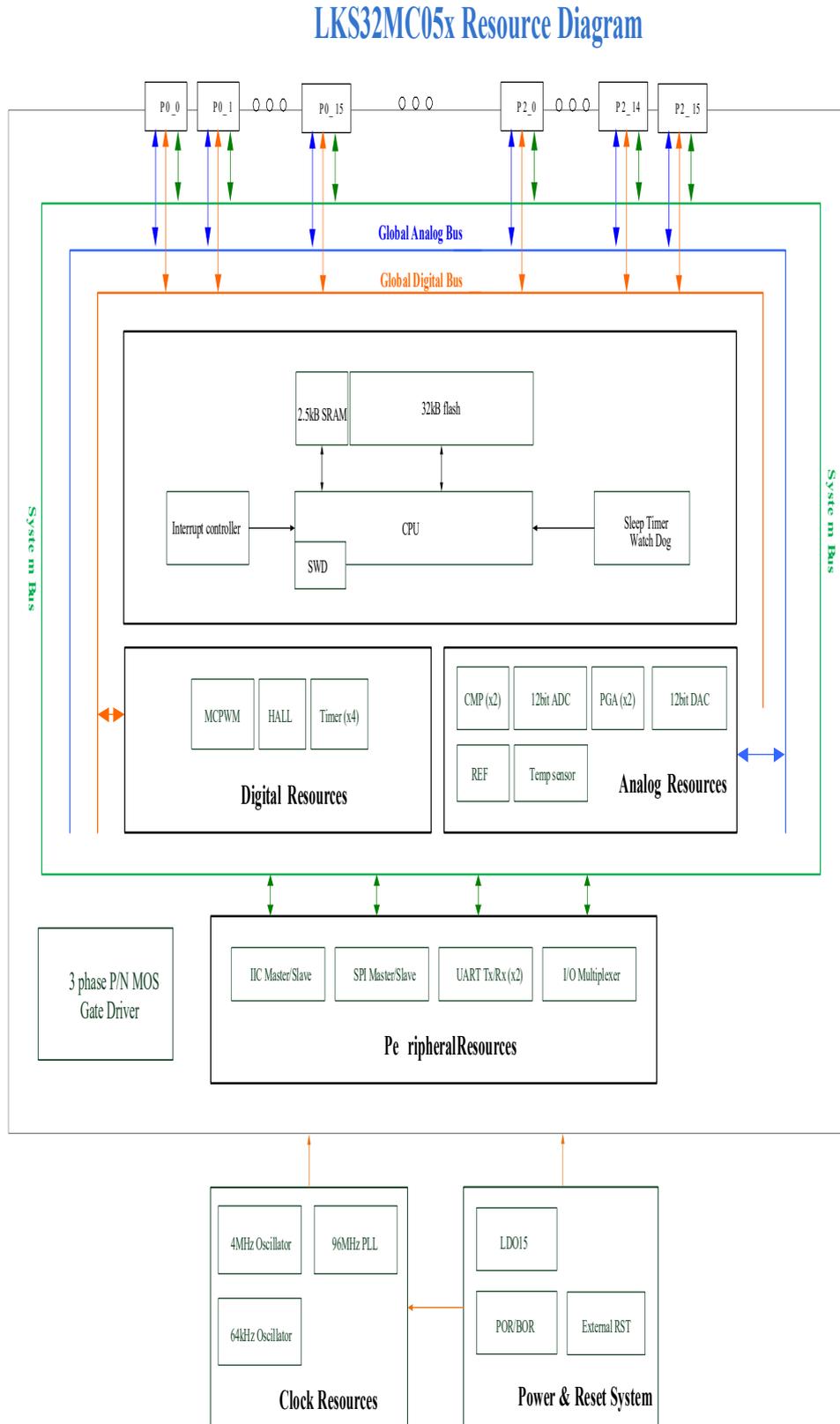


图 1-1 LKS32MC057EM6S8 器件命名规则



1.4 系统资源

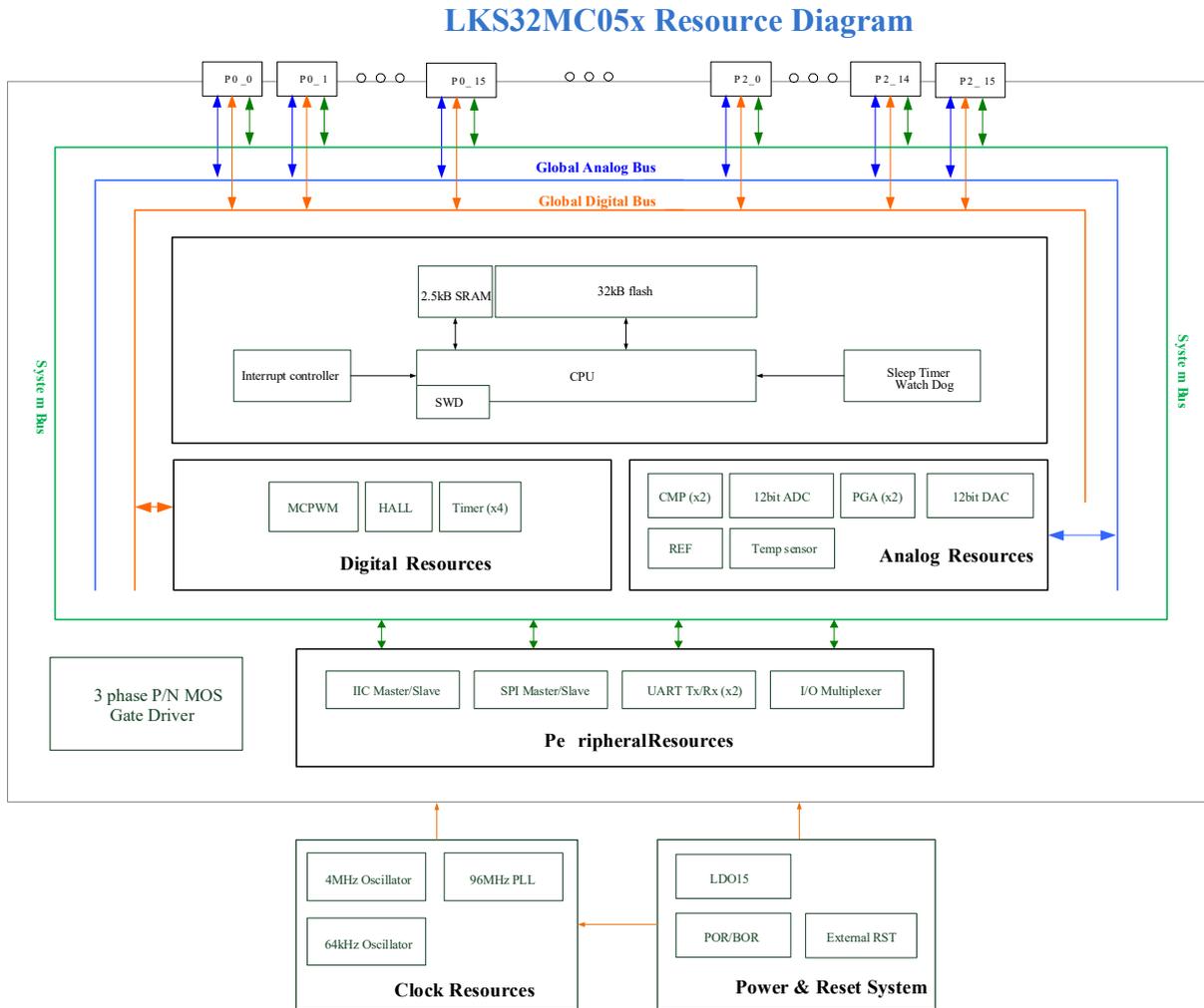


图 1-2 LKS32MC05x with built-in 3P3N driver 系统框图



1.5 矢量正弦控制系统

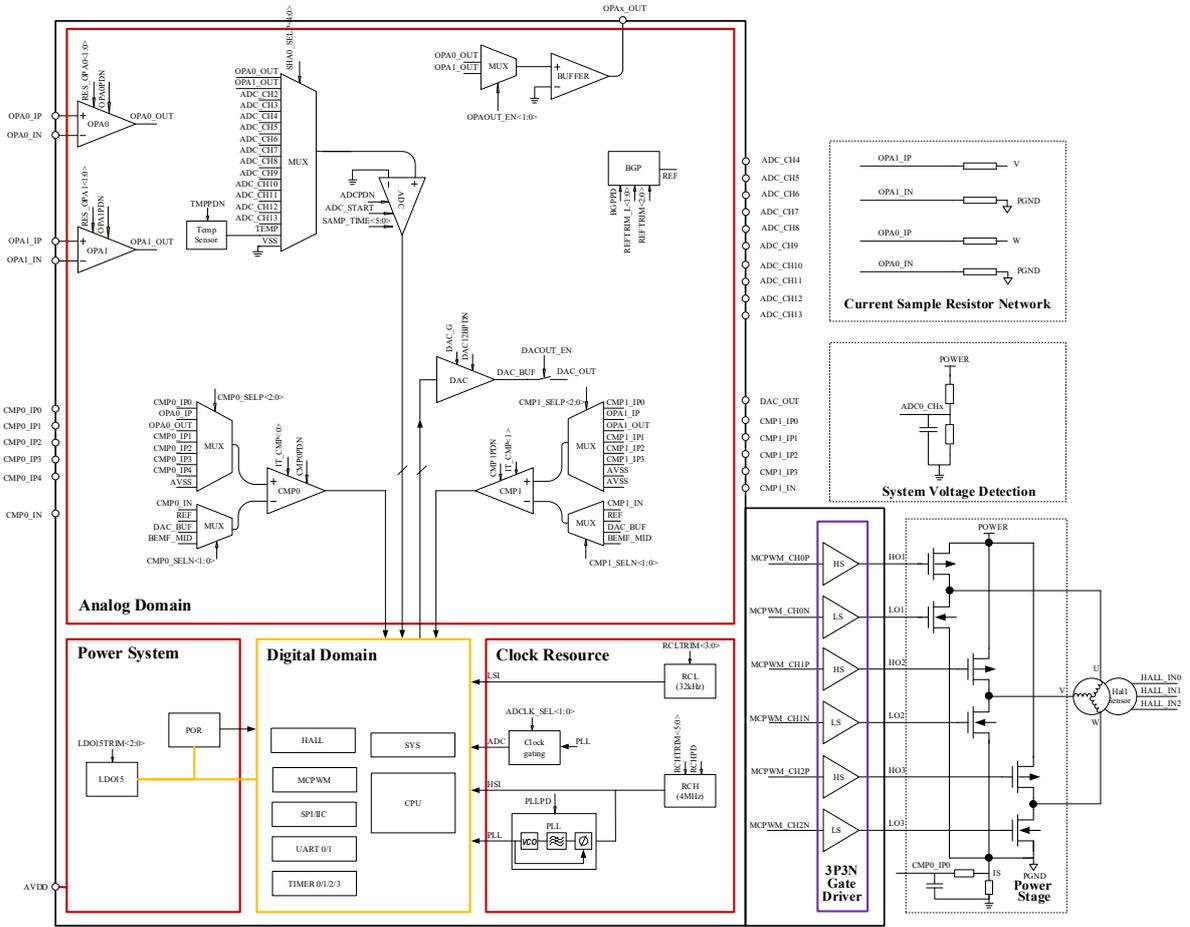


图 1-3 LKS32MC05x with built-in 3P3N driver 矢量正弦控制系统简化原理图

2 器件选型表

表 2-1 LKS05x 系列器件选型表

| | 主频 (MHz) | Flash (kB) | RAM (kB) | ADC 通道数 | DAC | 比较器 | 比较器通道数 | OPA ² | HALL | SPI | IIC | UART | CAN | Temp. Sensor | PLL | QEP | Gate driver | 预驱电流 (A) | 预驱电源(V) | 栅浮耐压 (V) | 其他 | Package |
|-----------------|----------|------------|----------|---------|---------|-----|--------|------------------|------|-----|-----|------|-----|--------------|-----|-----|-------------|------------|---------|----------|--------|---------|
| LKS32MC055DL6S8 | 96 | 32 | 2.5 | 3 | 12BITx1 | 2 | 4 | 1 | 1路 | 1 | 1 | 2 | | Yes | Yes | | 3P3N | +0.05/-0.3 | 7.5~32 | | 5V LDO | SOP16L |
| LKS32MC055EL6S8 | 96 | 32 | 2.5 | 4 | 12BITx1 | 2 | 6 | 1 | 3路 | 1 | 1 | 2 | | Yes | Yes | | 3P3N | +0.05/-0.3 | 7.5~32 | | 5V LDO | SOP16L |
| LKS32MC057EM6S8 | 96 | 32 | 2.5 | 6 | 12BITx1 | 2 | 6 | 2 | 3路 | 1 | 1 | 2 | | Yes | Yes | | 3P3N | +0.05/-0.3 | 7.5~32 | | 5V LDO | SSOP24L |
| LKS32MC057FM6S8 | 96 | 32 | 2.5 | 6 | 12BITx1 | 2 | 6 | 2 | 3路 | 1 | 1 | 2 | | Yes | Yes | | 3P3N | +0.05/-0.3 | 7.5~32 | | 5V LDO | SSOP24L |

*1 部分型号引脚有 2 组以上 OPA 差分信号输入，通过时分复用内部两个 OPA 模块。



3 管脚分布

3.1 管脚分布图

3.1.1 特别说明

下列引脚图中红色 PIN 脚内置上拉至 AVDD 的电阻：
 RSTN 引脚内置 100kΩ 上拉电阻，固定开启上拉
 SWDIO/SWCLK 内置 10kΩ 上拉电阻，固定开启上拉
 其余红色 PIN 脚内置 10kΩ 上拉电阻，可软件控制开启关闭上拉

UARTx_TX(RX): UART 的 TX 和 RX 支持互换。当 GPIO 第二功能选择为 UART，且 GPIO_PIE 即输入使能时，可以作为 UART_RX 使用；当 GPIO_POE 使能时，可以作为 UART_TX 使用。一般同一 GPIO 不同时使能输入和输出，否则输入 PDI 会接收到 PDO 发出的数据。

SPI_DI(DO): SPI 的 DI 和 DO 支持互换，当 GPIO 第二功能选择为 SPI，且 GPIO_PIE 即输入使能时，可以作为 SPI_DI 使用；当 GPIO_POE 即输出使能时，可以作为 SPI_DO 使用。一般同一 GPIO 不同时使能输入和输出，否则输入 PDI 会接收到 PDO 发出的数据。

3.1.2 LKS32MC057EM6S8

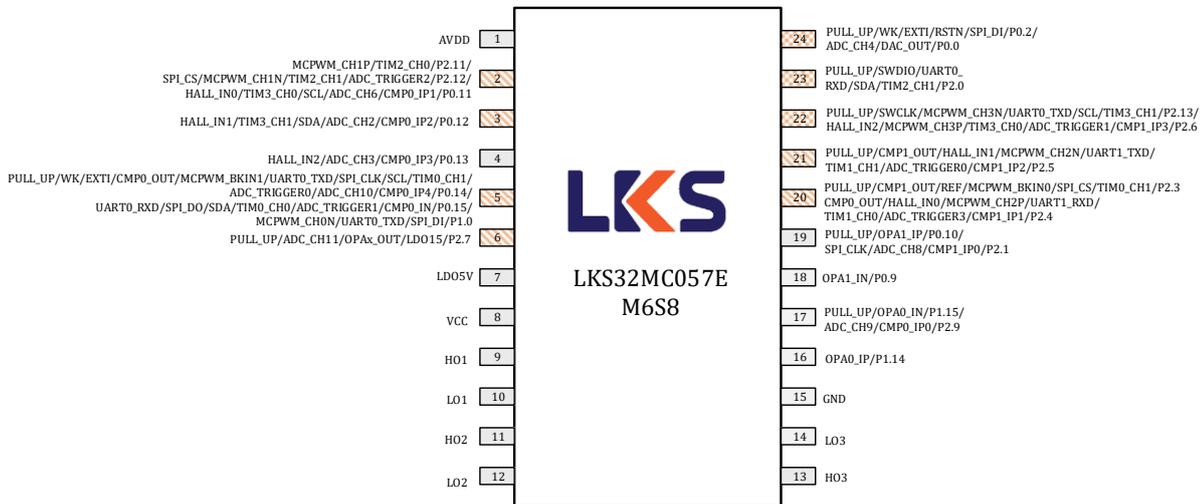


图 3-1 LKS32MC057EM6S8 管脚分布图

3.1.3 LKS32MC057FM6S8

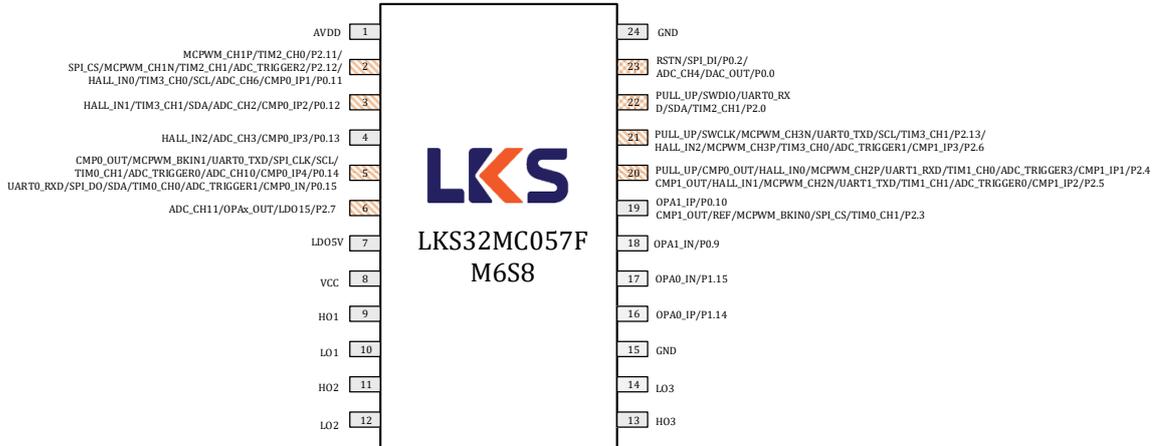


图 3-2 LKS32MC057FM6S8 管脚分布图

3.1.4 LKS32MC055DL6S8

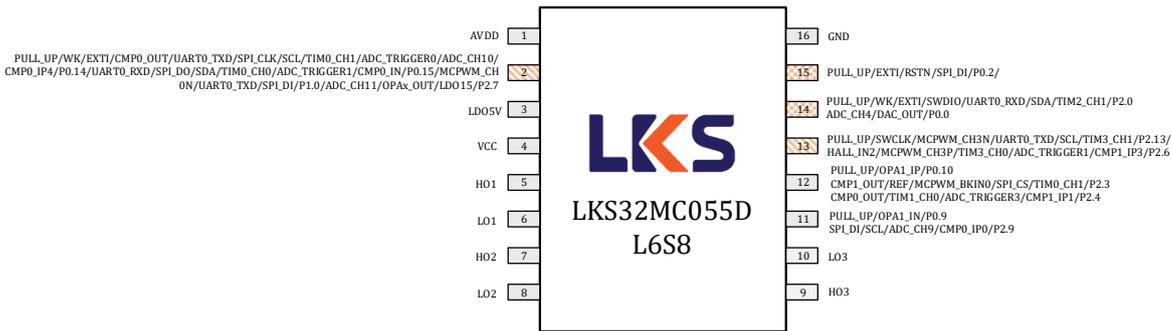


图 3-3 LKS32MC055DL6S8 管脚分布图

3.1.5 LKS32MC055EL6S8

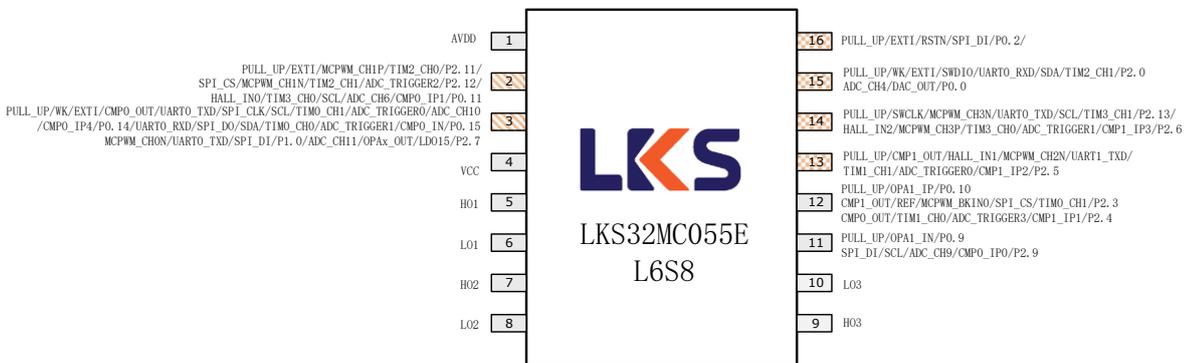


图 3-4 LKS32MC055EL6S8 管脚分布图



3.1.6 预驱连接示意图

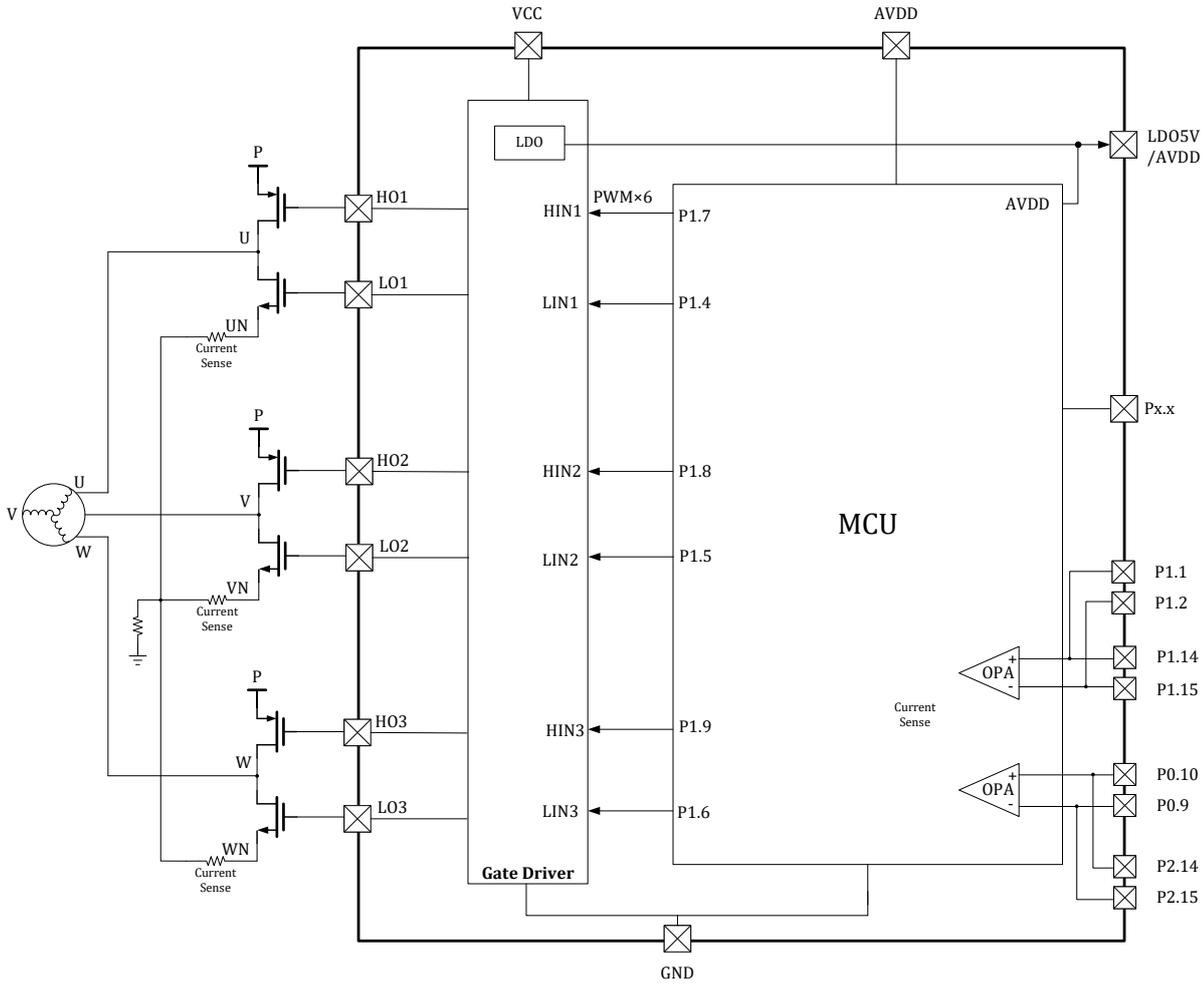


图 3-5 内部预驱连接示意图

预驱在使用时，应避免在 VCC 上电前，LDO 被上拉，否则会出现 VCC 上电后 LDO 无法启动的情况。

3.2 管脚说明

表 3-1 LKS32MC05x with built-in 3P3N driver 管脚说明

| 芯片引脚号 | | | | 名称 | 类型 | 功能说明 |
|-------|------|------|------|------|-----|---|
| 055D | 055E | 057F | 057E | | | |
| | 0 | | | GND | 地 | 系统地，0 脚为 055E 封装的底部焊盘。 |
| 1 | 1 | 1 | 1 | AVDD | PWR | 对于 055D、057E、057F 这几个型号，AVDD 为芯片低压供电电源，供电范围 2.2~5.5V。在散热条件良好的应用里，可直接连至芯片的 LDO5V 引脚。如考虑降低系统功耗而采用外部 DCDC 或电荷泵产生的 5V 电源，则将此引脚连至外部 5V 电源 对于 055E 这个型号，AVDD 为芯片 5V LDO 输出脚，片外接 1uF 去耦电容，并尽量靠近 LDO5V 引脚即可。 |



| | | | | | | | |
|----|----|----|----|--|---|---|--|
| | 2 | 2 | 2 | MCPWM_CH1P/TIM2_CH0/P2.11 | IO | 电机 PWM 通道 1 高边/Timer2 通道 0/P2.11 | |
| | 2 | 2 | 2 | SPI_CS/MCPWM_CH1N/TIM2_CH1/ADC_TRIG2/P2.12 | IO | SPI CS 信号/电机 PWM 通道 1 低边/Timer2 通道 1/ADC 触发信号 2/P2.12 | |
| | 2 | 2 | 2 | PULL_UP/EXTI/HALL_IN0/SCL/TIM3_CH0/ADC_CH6/CMP0_IP1/P0.11 | IO | 上拉/外部中断/Hall 传感器 A 相输入/IIC 时钟/Timer3 通道 0/ADC 通道 6/比较器 0 正端输入通道 1/P0.11, 内置可软件开启的 10k 上拉电阻 | |
| | | | 3 | 3 | PULL_UP/EXTI/HALL_IN1/SDA/TIM3_CH1/ADC_CH2/CMP0_IP2/P0.12 | IO | 上拉/外部中断/Hall 传感器 B 相输入/IIC 数据/Timer3 通道 1/ADC 通道 2/比较器 0 正端输入通道 2/P0.12, 内置可软件开启的 10k 上拉电阻 |
| | | | 4 | 4 | EXTI/HALL_IN2/ADC_CH3/CMP0_IP3/P0.13 | IO | 外部中断/Hall 传感器 C 相输入/ADC 通道 3/比较器 0 正端输入通道 3/P0.13 |
| 2 | 3 | 5 | 5 | PULL_UP/EXTI/CMP0_OUT/MCPWM_BKN1/UART0_TX(RX)/SPI_CLK/SCL/TIM0_CH1/ADC_TRIG0/ADC_CH10/CMP0_IP4/P0.14 | IO | 上拉/外部中断/比较器 0 输出/电机 PWM 终止信号 1/UART0 TX(RX)/SPI 时钟/IIC 时钟/Timer0 通道 1/ADC 触发信号 0/ADC 通道 10/比较器 0 正端输入通道 4/P0.14, 内置可软件开启的 10k 上拉电阻 | |
| 2 | 3 | 5 | 5 | PULL_UP/EXTI/UART0_TX(RX)/SPI_DI(DO)/SDA/TIM0_CH0/ADC_TRIG1/CMP0_IP1N/P0.15 | IO | 上拉/外部中断/UART0 TX(RX)/SPI_DI(DO)/IIC 数据/Timer0 通道 0/ADC 触发信号 1/比较器 1 负端输入/P0.15, 内置可软件开启的 10k 上拉电阻 | |
| 2 | 3 | | 5 | PULL_UP/WK/MCPWM_CH0N/UART0_TX(RX)/SPI_DI(DO)/P1.0 | IO | 上拉/唤醒/电机 PWM 通道 0 低边/UART0 TX(RX)/SPI_DI(DO)/P1.0, 内置可软件开启的 10k 上拉电阻 | |
| 2 | 3 | 6 | 6 | PULL_UP/ADC_CH11/OPAx_OUT/LDO15/P2.7 | IO | 上拉/ADC 通道 11/OPAx 输出/LDO15 输出/P2.7, 内置可软件开启的 10k 上拉电阻 | |
| 3 | | 7 | 7 | LDO5V | 电源 | 芯片 5V LDO 输出引脚, 片外接 1uF 去耦电容, 并尽量靠近 LDO5V 引脚。预驱在使用时, 应避免在 VCC 上电前, LDO 被上拉, 否则会出现 VCC 上电后 LDO 无法启动的情况。 | |
| 4 | 4 | 8 | 8 | VCC | 电源 | 芯片中压供电电源, 供电范围 7.5~32V。如 VCC 高于 20V、AVDD 引脚由芯片 LDO5V 输出供电, 且芯片无需休眠的应用场合, 建议在 VCC 和 AVDD 之间加一个 1k~2k 欧姆的分流电阻, 具体阻值计算见第 19 章节。 VCC 引脚至少加 1uF 去耦电容到地, 就近放置, 且需要通过滤波电容或 ESD 二极管保证上电过冲不超过 VCC 极限耐压。 | |
| 5 | 5 | 9 | 9 | HO1 | 输出 | A 相 PWM 高驱输出, 由 MCU P1.7 口的 PWM 输出功能控制。需配置地址为 0x4001_1C7C 的 MCPWM_SWAP=1, 详见 usermanual | |
| 6 | 6 | 10 | 10 | LO1 | 输出 | A 相 PWM 低驱输出, 由 MCU P1.4 口的 PWM 输出功能控制。LO1 输出到 MOS 管栅极之间必须串一个 51 欧的电阻 | |
| 7 | 7 | 11 | 11 | HO2 | 输出 | B 相 PWM 高驱输出, 由 MCU P1.8 口输出信号控制。 | |
| 8 | 8 | 12 | 12 | LO2 | 输出 | B 相 PWM 低驱输出, 由 MCU P1.5 口的 PWM 输出功能控制。LO2 输出到 MOS 管栅极之间必须串一个 51 欧的电阻 | |
| 9 | 9 | 13 | 13 | HO3 | 输出 | C 相 PWM 高驱输出, 由 MCU P1.9 口的 PWM 输出功能控制输出信号控制。 | |
| 10 | 10 | 14 | 14 | LO3 | 输出 | C 相 PWM 低驱输出, 由 MCU P1.6 口的 PWM 输出功能控制。 | |



| | | | | | | |
|----|----|----|----|--|----|---|
| | | | | | | LO3 输出到 MOS 管栅极之间必须串一个 51 欧的电阻 |
| | | 15 | 15 | GND | 地 | 芯片地, 强烈建议将多个 GND 引脚在 PCB 统一接地 |
| | | 16 | 16 | OPA0_IP/P1.14 | IO | 运放 0 正端输入/P1.14 |
| | | 17 | 17 | OPA0_IN/P1.15 | IO | 运放 0 负端输入/P1.15 |
| 11 | 11 | | 17 | PULL_UP/SPI_DI(DO)/SCL/ADC_CH9/CM P0_IP0/P2.9 | IO | 上拉/SPI_DI(DO)/IIC 时钟/ADC 通道 9/比较器 0 正端输入通 道 0/P2.9, 内置可软件开启的 10k 上拉电阻 |
| 11 | 11 | 18 | 18 | OPA1_IN/P0.9 | IO | 运放 1 负端输入/P0.9 |
| 12 | 12 | 19 | 19 | OPA1_IP/P0.10 | IO | 运放 1 正端输入/P0.10 |
| | | | 19 | PULL_UP/SPI_CLK/ADC_CH8/CMP1_IP0/ P2.1 | IO | 上拉/SPI 时钟/ADC 通道 8/比较器 1 正端输入通道 0/P2.1, 内置可软件开启的 10k 上拉电阻 |
| 12 | 12 | 19 | 20 | CMP1_OUT/REF/MCPWM_BKIN0/SPI_CS /TIM0_CH1/P2.3 | IO | 比较器 1 输出/电压参考信号/电机 PWM 终止信号 0/SPI 片 选信号/P2.3 |
| 12 | 12 | 20 | 20 | PULL_UP/CMP0_OUT/HALL_IN0/MCPW M_CH2P/UART1_TX(RX)/TIM1_CH0/ADC _TRIG3/CMP1_IP1/P2.4 | IO | 上拉/比较器 0 输出/Hall 传感器 A 相输入/电机 PWM 通道 2 高边/UART1 TX(RX)/Timer1 通道 0/ADC 触发信号 3/比较 器 1 正端输入通道 1/P2.4, 内置可软件开启的 10k 上拉电 阻 |
| | 13 | 20 | 21 | PULL_UP/CMP1_OUT/HALL_IN1/MCPW M_CH2N/UART1_TX(RX)/TIM1_CH1/ADC _TRIG0/CMP1_IP2/P2.5 | IO | 上拉/比较器 1 输出/Hall 传感器 B 相输入/电机 PWM 通道 2 低边/UART1 TX(RX)/Timer1 通道 1/ADC 触发信号 0/比较 器 1 正端输入通道 2/P2.5, 内置可软件开启的 10k 上拉电 阻 |
| 13 | 14 | 21 | 22 | PULL_UP/HALL_IN2/MCPWM_CH3P/TIM 3_CH0/ADC_TRIG1/CMP1_IP3/P2.6 | IO | 上拉/Hall 传感器 C 相输入/电机 PWM 通道 3 高边 /Timer3 通道 0/ADC 触发信号 1/比较器 1 正端输入通道 3/P2.6, 内 置可软件开启的 10k 上拉电阻 |
| 13 | 14 | 21 | 22 | PULL_UP/SWCLK/MCPWM_CH3N/UART 0_TX(RX)/SCL/TIM3_CH1/P2.13 | IO | 上拉/SWD 时钟/电机 PWM 通道 3 低边/UART0 TX(RX)/IIC 时钟/Timer3 通道 1/P2.13, 内置固定上拉的 10k 电阻 |
| 14 | 15 | 22 | 23 | PULL_UP/SWDIO/UART0_TX(RX)/SDA/T IM2_CH1/P2.0 | IO | 上拉/SWD 数据/UART0 TX(RX)/IIC 数据/Timer2 通道 1/P2.0, 内置固定上拉的 10k 电阻 |
| 14 | 15 | 23 | 24 | PULL_UP/WK/EXTI/ADC_CH4/DAC_OUT /P0.0 | IO | 上拉/唤醒/外部中断/ADC 通道 4/DAC 输出/P0.0, 内置可软 件开启的 10k 上拉电阻 |
| 15 | 16 | 23 | 24 | PULL_UP/EXTI/RSTN/SPI_DI(DO)/P0.2 | IO | 上拉/外部中断/RSTN/SPI 输入/P0.2, 默认作为 RSTN 使用, 外部接一个 10nF~100nF 的电容到地即可, 内部已有 100k 上拉电阻。建议 PCB 上在 RSTN 和 AVDD 之间放一个 10k~20k 的上拉电阻, 外部有上拉电阻的情况, RSTN 的电 容固定为 100nF。 |
| 16 | | 24 | | GND | 地 | 芯片地, 强烈建议将多个 GND 引脚在 PCB 统一接地 |

表 3-2 LKS32MC05x with built-in 3P3N driver 引脚功能选择

| Port | AF1 | AF2 | AF3 | AF4 | AF5 | AF6 | AF7 | AF8 | AF9 | AF0 | GPIO |
|-------|----------|----------|-------------|--------------|------------|-----|----------|----------|-----------|-------------------|-----------------|
| P0.0 | | | | | | | | | | ADC_CH4, DAC_OUT | PULL_UP/WK/EXTI |
| P0.1 | | | | | | | | | | | |
| P0.2 | | | | | SPI_DI(DO) | | | | | | PULL_UP/EXTI |
| P0.3 | | | | | | SCL | | TIM2_CH0 | | ADC_CH7 | |
| P0.4 | | | | | | SDA | | TIM2_CH1 | | ADC_CH13 | |
| P0.5 | | | | | | | | | | ADC_CH12 | |
| P0.6 | | | | UART1_TX(RX) | | | TIM1_CH0 | | | | |
| P0.7 | | | | UART1_TX(RX) | | | TIM1_CH1 | | | | |
| P0.8 | | | | | | | | | | | |
| P0.9 | | | | | | | | | | OPA1_IP | |
| P0.10 | | | | | | | | | | OPA1_IN | |
| P0.11 | | HALL_IN0 | | | | SCL | | TIM3_CH0 | | ADC_CH6/CMP0_IP1 | PULL_UP/EXTI |
| P0.12 | | HALL_IN1 | | | | SDA | | TIM3_CH1 | | ADC_CH2/CMP0_IP2 | PULL_UP/EXTI |
| P0.13 | | HALL_IN2 | | | | | | | | ADC_CH3/CMP0_IP3 | EXTI |
| P0.14 | CMP0_OUT | | MCPWM_BKIN1 | UART0_TX(RX) | SPI_CLK | SCL | TIM0_CH1 | | ADC_TRIG0 | ADC_CH10/CMP0_IP4 | PULL_UP/EXTI |
| P0.15 | | | MCPWM_CHOP | UART0_TX(RX) | SPI_DI(DO) | SDA | TIM0_CH0 | | ADC_TRIG1 | CMP0_IN | PULL_UP/EXTI |



| Port | AF1 | AF2 | AF3 | AF4 | AF5 | AF6 | AF7 | AF8 | AF9 | AF0 | GPIO |
|-------|-----|-----|------------|--------------|------------|-----|----------|----------|-----------|---------|------------|
| P1.0 | | | MCPWM_CH0N | UART0_TX(RX) | SPI_DI(DO) | | | | | | PULL_UP/WK |
| P1.1 | | | | | SPI_CS | | | | | OPA2_IP | WK |
| P1.2 | | | | | | | | TIM3_CH0 | | OPA2_IN | |
| P1.3 | | | | | | | | TIM3_CH1 | | ADC_CH5 | |
| P1.4 | LRC | | MCPWM_CH0P | | | | | | | | |
| P1.5 | HRC | | MCPWM_CH0N | | | | | | | | |
| P1.6 | | | MCPWM_CH1P | | | | | | | | |
| P1.7 | | | MCPWM_CH1N | | | | | | | | |
| P1.8 | | | MCPWM_CH2P | | | | | | | | |
| P1.9 | | | MCPWM_CH2N | | | | | | | | |
| P1.10 | | | MCPWM_CH3P | UART0_TX(RX) | | SCL | TIM0_CH0 | | ADC_TRIG2 | | |
| P1.11 | | | MCPWM_CH3N | UART0_TX(RX) | | SDA | TIM0_CH1 | | ADC_TRIG3 | | |
| P1.12 | | | | | | | | | | | |
| P1.13 | | | | | SPI_CLK | | TIM0_CH0 | | | | |
| P1.14 | | | | | | | | | | OPA0_IP | |
| P1.15 | | | | | | | | | | OPA0_IN | |



| Port | AF1 | AF2 | AF3 | AF4 | AF5 | AF6 | AF7 | AF8 | AF9 | AF0 | GPIO |
|-------|----------|----------|-------------|--------------|------------|-----|----------|----------|-----------|-----------------------------|---------|
| P2.0 | | | | UART0_TX(RX) | | SDA | | TIM2_CH1 | | | PULL_UP |
| P2.1 | | | | | SPI_CLK | | | | | ADC_CH8/CMP1_IP0 | PULL_UP |
| P2.2 | | | | | | | | | | CMP1_IN | |
| P2.3 | CMP1_OUT | | MCPWM_BKIN0 | | SPI_CS | | TIM0_CH1 | | | REF | |
| P2.4 | CMP0_OUT | HALL_IN0 | MCPWM_CH2P | UART1_TX(RX) | | | TIM1_CH0 | | ADC_TRIG3 | CMP1_IP1 | PULL_UP |
| P2.5 | CMP1_OUT | HALL_IN1 | MCPWM_CH2N | UART1_TX(RX) | | | TIM1_CH1 | | ADC_TRIG0 | CMP1_IP2 | PULL_UP |
| P2.6 | | HALL_IN2 | MCPWM_CH3P | | | | | TIM3_CH0 | ADC_TRIG1 | CMP1_IP3 | PULL_UP |
| P2.7 | | | | | | | | | | ADC_CH11/OPAx_0 UT/LDO15 | PULL_UP |
| P2.8 | | | | UART0_TX(RX) | SPI_DI(DO) | | | TIM2_CH0 | | | |
| P2.9 | | | | | SPI_DI(DO) | SCL | | | | ADC_CH9/CMP0_IP0 | PULL_UP |
| P2.10 | | | | | SPI_DI(DO) | SDA | | | | | |
| P2.11 | | | MCPWM_CH1P | | | | | TIM2_CH0 | | | |
| P2.12 | | | MCPWM_CH1N | | SPI_CS | | | TIM2_CH1 | ADC_TRIG2 | | |
| P2.13 | | | MCPWM_CH3N | UART0_TX(RX) | | SCL | | TIM3_CH1 | | | PULL_UP |
| P2.14 | | | | | SPI_DI(DO) | SCL | | | | OPA3_IP | |
| P2.15 | | | | | SPI_CS | SDA | | | | OPA3_IN | |



4 封装尺寸

4.1 LKS32MC057EM6S8/ LKS32MC057FM6S8

SSOP24L:

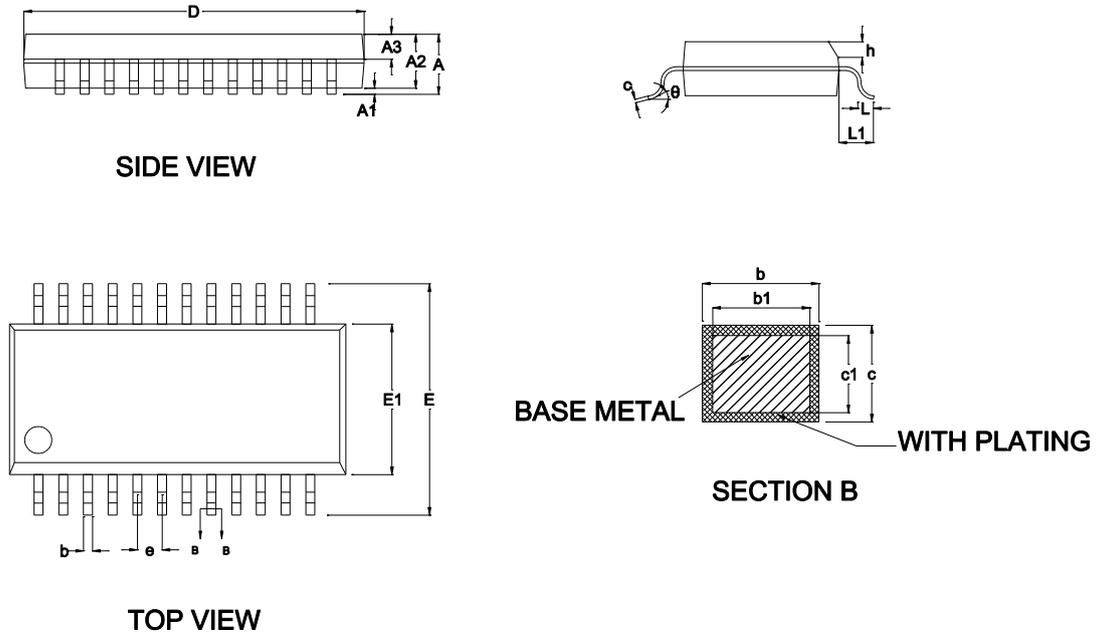


图 4-1 LKS32MC057EM6S8 封装图示

表 4-1 LKS32MC057EM6S8 封装尺寸

| SYMBOL | MILLIMETER | | |
|--------|------------|------|------|
| | MIN | NOM | MAX |
| A | - | - | 1.75 |
| A1 | 0.10 | 0.15 | 0.25 |
| A2 | 1.30 | 1.40 | 1.50 |
| A3 | 0.60 | 0.65 | 0.70 |
| b | 0.23 | - | 0.31 |
| b1 | 0.22 | 0.25 | 0.28 |
| c | 0.20 | - | 0.24 |
| c1 | 0.19 | 0.20 | 0.21 |
| D | 8.55 | 8.65 | 8.75 |
| E | 5.80 | 6.00 | 6.20 |
| E1 | 3.80 | 3.90 | 4.00 |
| e | 0.635BSC | | |
| h | 0.30 | - | 0.50 |
| L | 0.50 | - | 0.80 |
| L1 | 1.05REF | | |

| | | | |
|---|---|---|----|
| 0 | 0 | - | 8° |
|---|---|---|----|

4.2 LKS32MC055DL6S8

SOP16L

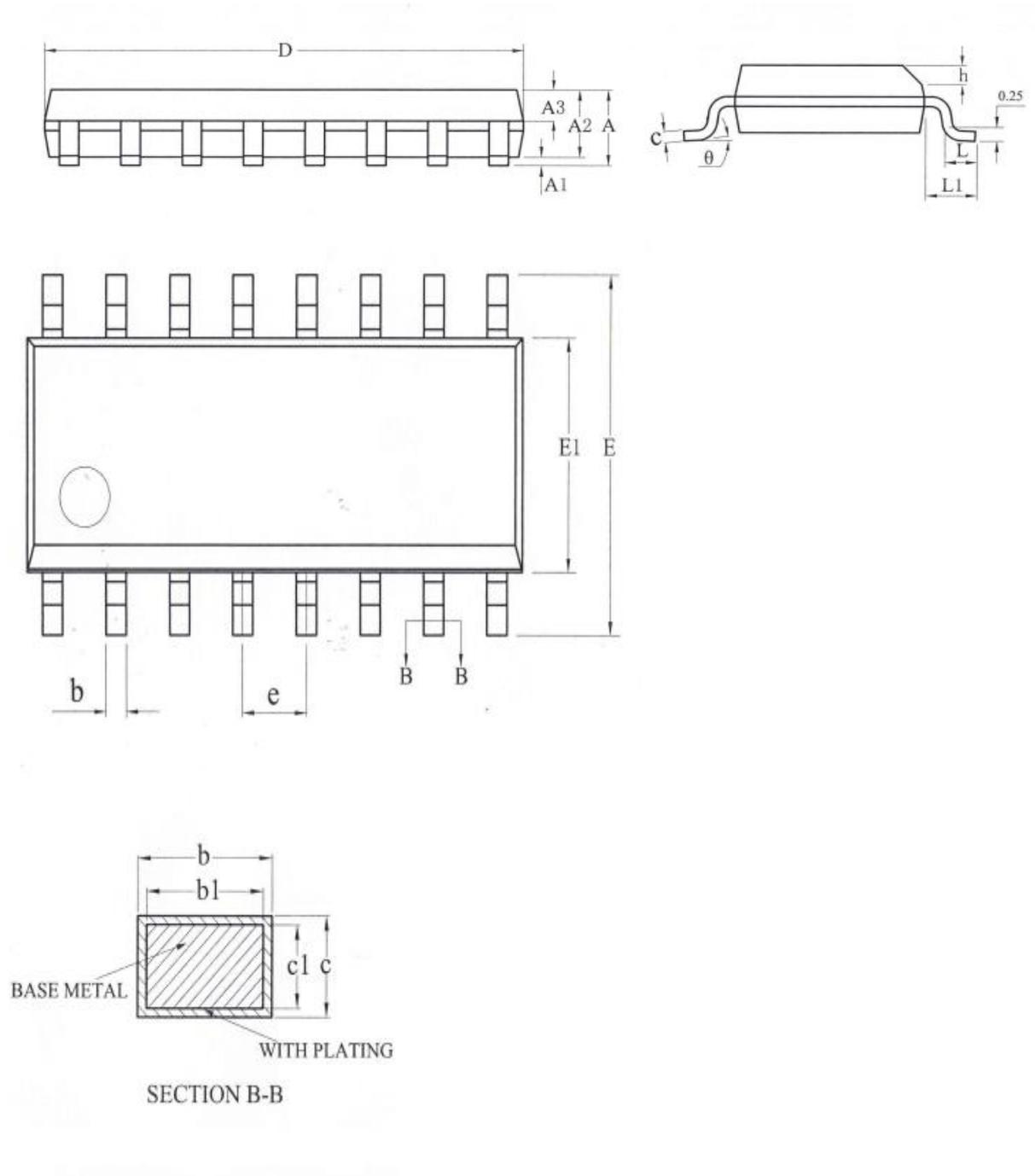


图 4-2 LKS32MC055DL6S8 封装图示

表 4-2 LKS32MC055DL6S8 封装尺寸

| SYMBOL | MILLIMETER | | |
|----------|------------|------|-------|
| | MIN | NOM | MAX |
| A | - | - | 1.75 |
| A1 | 0.10 | - | 0.225 |
| A2 | 1.30 | 1.40 | 1.50 |
| A3 | 0.60 | 0.65 | 0.70 |
| b | 0.39 | - | 0.48 |
| b1 | 0.38 | 0.41 | 0.44 |
| c | 0.20 | - | 0.25 |
| c1 | 0.19 | 0.20 | 0.21 |
| D | 9.80 | 9.90 | 10.00 |
| E | 5.80 | 6.00 | 6.20 |
| E1 | 3.80 | 3.90 | 4.00 |
| E2 | 2.15 | 2.25 | 2.35 |
| e | 1.27 BSC | | |
| h | 0.25 | - | 0.50 |
| L | 0.50 | - | 0.80 |
| L1 | 1.05REF | | |
| θ | 0 | - | 8° |

4.3 LKS32MC055EL6S8

ESOP16L



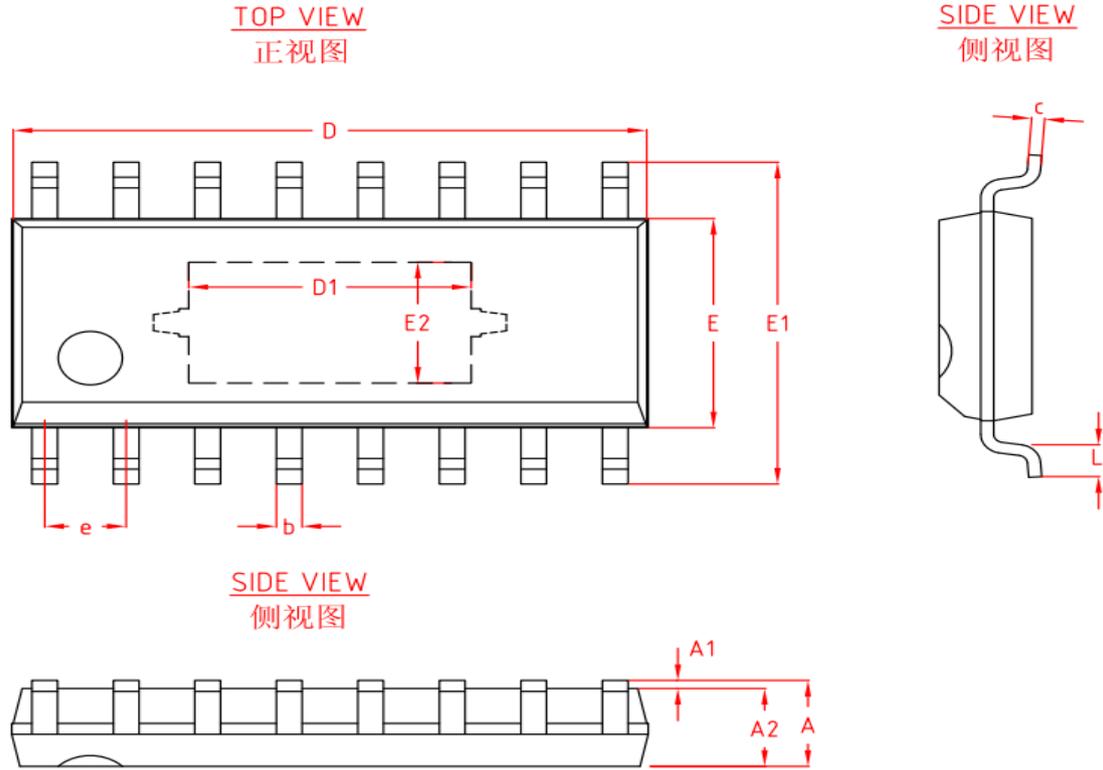


图 4-3 LKS32MC055EL6S8 封装图示

表 4-3 LKS32MC055EL6S8 封装尺寸

| SYMBOL | MILLIMETER | | |
|--------|------------|-------|-------|
| | MIN | NOM | MAX |
| A | - | - | 1.75 |
| A1 | 0.05 | - | 0.18 |
| A2 | 1.35 | 1.45 | 1.55 |
| b | 0.35 | - | 0.50 |
| c | 0.19 | - | 0.25 |
| D | 9.80 | 10.00 | 10.20 |
| D1 | 4.3 | 4.4 | 4.5 |
| E | 3.80 | 3.90 | 4.00 |
| E1 | 5.80 | 6.00 | 6.20 |
| E2 | 2.15 | 2.25 | 2.35 |
| e | 1.27 BSC | | |
| L | 0.40 | - | 0.80 |

5 电气性能参数

表 5-1 LKS32MC05x with built-in 3P3N driver 电气极限参数

| 参数 | 最小 | 最大 | 单位 | 说明 |
|-----------------------|------|-------|----|----------|
| MCU 电源电压(AVDD) | -0.3 | +6.0 | V | 相对于地 |
| 预驱电源电压(VCC) | -0.3 | +40.0 | V | 预驱供电电压 |
| 5V LDO output current | | 40 | mA | |
| 工作温度 | -40 | +105 | °C | |
| 存储温度 | -40 | +150 | °C | |
| 结温 | - | 125 | °C | |
| 引脚温度 | - | 260 | °C | 焊接, 10 秒 |

表 5-2 LKS32MC05x with built-in 3P3N driver 建议工况参数

| 参数 | 最小 | 典型 | 最大 | 单位 | 说明 |
|----------------------------|-----|----|-----|----|--|
| MCU 电源电压(AVDD) | 2.2 | 5 | 5.5 | V | |
| 模拟工作电压(AVDD _A) | 2.8 | 5 | 5.5 | V | |
| 预驱电源电压(VCC) | 7.5 | | 32 | V | VCC 低于 7.5V, 3P3N Driver 将停止输出, MCU 部分仍将正常工作 |

运算放大器可以在 2.2V 下工作, 但输出幅度受限。

表 5-3 LKS32MC05x ESD 性能参数

| 项目 | 最小 | 最大 | 单位 |
|-------------|-------|------|----|
| ESD测试 (HBM) | -6000 | 6000 | V |

根据《MIL-STD-883J Method 3015.9》，在 25°C，55%相对湿度环境下，在被测芯片的所有 IO 引脚施加进行静电放电 3 次，每次间隔 1s。测试结果显示芯片抗静电放电等级达到 Class 3A $\geq 4000V$ ， $< 8000V$ 。

表 5-4 LKS32MC05x Latch-up 性能参数

| 项目 | 最小 | 最大 | 单位 |
|-------------------|------|-----|----|
| Latch-up电流 (85°C) | -200 | 200 | mA |

根据《JEDEC STANDARD NO.78E NOVEMBER 2016》，对所有电源 IO 施加过压 8V，在每个信号 IO 上注入 200mA 电流。测试结果显示芯片抗锁锁等级为 200mA。

表 5-5 LKS32MC05x with built-in 3P3N driver IO 极限参数

| 参数 | 描述 | 最小 | 最大 | 单位 |
|----------------------|--------------|-------|------|----|
| V _{IN} | GPIO信号输入电压范围 | -0.3 | 7.0 | V |
| I _{INJ_PAD} | 单个GPIO最大注入电流 | -11.2 | 11.2 | mA |
| I _{INJ_SUM} | 所有GPIO最大注入电流 | -50 | 50 | mA |

表 5-6 LKS32MC05x with built-in 3P3N driver IO DC 参数

| 参数 | 描述 | AVDD | 条件 | 最小 | 最大 | 单位 |
|----|----|------|----|----|----|----|
|----|----|------|----|----|----|----|



| | | | | | | |
|---------------------|-----------------|------|------------------|----------|----------|----|
| V _{IH} | 数字IO输入高电压 | 5V | - | 3.04 | | V |
| | | 3.3V | | 2.04 | | |
| V _{IL} | 数字IO输入低电压 | 5V | - | | 0.3*AVDD | V |
| | | 3.3V | | | 0.8 | |
| V _{HYS} | 施密特迟滞范围 | 5V | - | 0.1*AVDD | | V |
| | | 3.3V | | | | |
| I _{IH} | 数字IO输入高电压, 电流消耗 | 5V | - | | 1 | uA |
| | | 3.3V | | | | |
| I _{IL} | 数字IO输入低电压, 电流消耗 | 5V | - | -1 | | uA |
| | | 3.3V | | | | |
| V _{OH} | 数字IO输出高电压 | | 最大驱动电流 11.2mA | AVDD-0.8 | | V |
| V _{OL} | 数字IO输出低电压 | | 最大驱动电流 11.2mA | | 0.5 | V |
| R _{pup} | 上拉电阻大小* | | | 8 | 12 | kΩ |
| R _{io-ana} | IO与内部模拟电路间连接电阻 | | | 100 | 200 | Ω |
| C _{IN} | 数字IO输入电容 | 5V | - | | 10 | pF |
| | | 3.3V | | | | |

*仅部分 IO 内置上拉，详见引脚说明章节

表 5-7 LKS32MC05x 电路模块电流消耗 IDD

| 模块 | Min | Typ | Max | 单位 |
|------------------------|-----|-------|-----|----|
| 模拟比较器CMP(1个) | | 0.005 | | mA |
| 运算放大器OPA(1个) | | 0.400 | | mA |
| 模数转换器ADC | | 1.510 | | mA |
| 数模转换器DAC | | 0.710 | | mA |
| 温度传感器Temp Sensor | | 0.150 | | mA |
| 带隙基准BGP | | 0.154 | | mA |
| 4MHz RC时钟 | | 0.105 | | mA |
| 锁相环PLL | | 0.080 | | mA |
| CPU+flash+SRAM (96MHz) | | 6.867 | | mA |
| CPU+flash+SRAM (12MHz) | | 1.300 | | mA |
| CRC | | 0.070 | | mA |
| UART | | 0.107 | | mA |
| MCPWM | | 0.053 | | mA |
| TIMER | | 0.269 | | mA |
| SPI | | 0.500 | | mA |
| IIC | | 0.500 | | mA |
| 休眠 | 10 | 30 | 50 | uA |

6 模拟性能参数

表 6-1 LKS32MC05x with built-in 3P3N driver 模拟性能参数

| 参数 | 最小 | 典型 | 最大 | 单位 | 说明 |
|---|----------------|------|----------------|-------------------|---------------------|
| ADC | | | | | |
| 工作电源 | 2.8 | 5 | 5.5 | V | |
| 输出码率 | | 3 | | MHz | $f_{adc}/16$ |
| 差分输入信号范围 | -2.4 +0.048 | | +2.4 -0.048 | V | Gain=1 时;REF=2.4V |
| | -3.6 +0.072 | | +3.6 -0.072 | V | Gain=2/3 时;REF=2.4V |
| 单端输入信号范围 | -0.3 | | AVDD+0 .3 | V | 受限于 IO 口输入电压限制 |
| 差分信号通常为芯片内部 OPA 输出至 ADC 的信号;单端信号通常为外部通过 IO 输入的被采样信号;无论使用内部/外部基准,ADC 测量信号幅度均不应超过满量程的 $\pm 98\%$, 特别地,当使用外部基准时,建议采样信号不超过量程的 90%。 | | | | | |
| 直流失调(offset) | | 5 | 10 | mV | 可校正 |
| 有效位数(ENOB) | 10.5 | 11 | | bit | |
| INL | | 2 | 3 | LSB | |
| DNL | | 1 | 2 | LSB | |
| SNR | 63 | 66 | | dB | |
| 输入电阻 | 500k | | | Ohm | |
| 输入电容 | | 10pF | | F | |
| 基准电压(REF) | | | | | |
| 工作电源 | 2.2 | 5 | 5.5 | V | |
| 输出偏差 | -9 | | 9 | mV | |
| 电源抑制比 | | 70 | | dB | |
| 温度系数 | | 20 | | ppm/ $^{\circ}$ C | |
| 输出电压 | | 1.2 | | V | |
| DAC12 | | | | | |
| 工作电源 | 2.2 | 5 | 5.5 | V | |
| 负载电阻 | 50k | | | Ohm | |
| 负载电容 | | | 50p | F | |
| 输出电压范围 | 0.05 | | AVDD-0. 1 | V | |
| 转换速度 | | | 1M | Hz | |
| DNL | | 1 | 2 | LSB | |
| INL | | 2 | 4 | LSB | |
| OFFSET | | 5 | 10 | mV | |
| SNR | 57 | 60 | 66 | dB | |
| 运放(OPA) | | | | | |

| 参数 | 最小 | 典型 | 最大 | 单位 | 说明 |
|-----------------|------|-------|--------------|------|--|
| 工作电源 | 3.1 | 5 | 5.5 | V | |
| 带宽 | | 10M | 20M | Hz | |
| 负载电阻 | 20k | | | Ohm | |
| 负载电容 | | | 5p | F | |
| 输入共模范围 | 0 | | AVDD | V | |
| 输出信号范围 | 0.1 | | AVDD -0.1 | V | 最小负载电阻下 |
| OFFSET | | 10 | 15 | mV | 此 OFFSET 为 OPA 差分输入短接时，测量 OPA_OUT 偏离 0 电平，得到的等效差分输入端偏差。 OPA 输出端偏差为 OPA 放大倍数 xOFFSET |
| 共模电平(Vcm) | 1.65 | 1.9 | 2.2 | V | 测量条件：常温。 运放摆幅=2 × min(AVDD- Vcm, Vcm)。建议使用 OPA 单端输出的应用上电后进行 Vcm 测量并进行软件减除校正。更多分析请参考官网应用笔记《ANN009-运放差分 and 单端工作模式区别》 |
| 共模抑制(CMRR) | | 80 | | dB | |
| 电源抑制(PSRR) | | 80 | | dB | |
| 负载电流 | | | 500 | uA | |
| 摆率(Slew rate) | | 5 | | V/us | |
| 相位裕度 | | 60 | | 度 | |
| 比较器(CMP) | | | | | |
| 工作电源 | 2.2 | 5 | 5.5 | V | |
| 输入信号范围 | 0 | | AVDD | V | |
| OFFSET | | -19.2 | | mV | 0mV 回差, CMP 输出低到高翻转 |
| | | -22.4 | | mV | 0mV 回差, CMP 输出高到低翻转 |
| | | -18.4 | | mV | 20mV 回差, CMP 输出低到高翻转 |
| | | 8.1 | | mV | 20mV 回差, CMP 输出高到低翻转 |
| 传输延时 | | 0.15u | | S | 默认功耗 |
| | | 0.6u | | S | 低功耗 |
| 回差(Hysteresis) | | 10 | | mV | HYS='0' |
| | | 0 | | mV | HYS='1' |

模拟寄存器表说明：

地址 0x40000040~0x40000050 是各个模块的校正寄存器，这些寄存器在出厂之前都会填上各自的校正值。一般情况下用户不要去配置或改变这些值。如果需要对模拟参数进行微调，需要读取原校正值，并以此为基础进行微调。



地址 0x40000020~0x4000003c 是开放给用户的寄存器，其中空白部分的寄存器必须全部配置为 0(芯片上电后会被复位为 0)。其他寄存器根据应用场合需要进行配置。



7 电源管理系统

电源管理系统由 LDO5、LDO15 模块、电源检测模块(PVD)、上电/掉电复位模块(POR)组成。

该芯片由 7.5V~32V 单电源供电，以节省芯片外的电源成本。芯片内部集成一路 LDO5 给 MCU 部分供电。MCU 模块内部另有一路 LDO15 给内部所有数字电路、PLL 模块供电。

对于 055D、057E、057F 这几个型号，AVDD 为芯片低压供电电源，供电范围 2.2~5.5V。在散热条件良好的应用里，可直接连至芯片的 LDO5V 引脚。如考虑降低系统功耗而采用外部 DCDC 或电荷泵产生的 5V 电源，则将此引脚连至外部 5V 电源。

对于 055E 这个型号，AVDD 为芯片 5V LDO 输出脚，片外接 1 μ F 去耦电容，并尽量靠近 LDO5V 引脚即可。

LDO 上电后自动开启，无需软件配置，但 LDO 输出电压可通过软件实现微调。

LDO15 的输出电压可通过设置寄存器 LDO15TRIM<2:0>来调节，具体寄存器所对应值见模拟寄存器表说明。LDO15 在芯片出厂前已经过校正，一般情况下，用户不需要额外配置这些寄存器。如需微调 LDO 的输出电压，需要读取原配置值，在此基础上微调量对应的配置值填入寄存器。

POR 模块监测 LDO15 的电压，在 LDO15 电压低于 1.1V 时(例如上电之初，或者掉电之时)，为数字电路提供复位信号以避免数字电路工作产生异常。



8 时钟系统

时钟系统包括内部 64kHz RC 时钟、内部 4MHz RC 时钟、PLL 电路组成。

64k RC 时钟作为 MCU 系统慢时钟使用,作为诸如滤波模块或者低功耗状态下的 MCU 时钟使用。

4MHz RC 时钟作为 MCU 主时钟使用,配合 PLL 可提供最高到 96MHz 的时钟。

64k 和 4M RC 时钟均带有出厂校正,64k RC 时钟在-40~105°C范围内的精度为±50%,4M RC 时钟在该温度范围的精度为±1%。

4M RC 时钟通过设置 RCHPD = '0' 打开(默认打开,设'1'关闭),RC 时钟需要 Bandgap 电压基准源模块提供基准电压和电流,因此开启 RC 时钟需要先开启 BGP 模块。芯片上电的默认状态下,4M RC 时钟和 BGP 模块都是开启的。64k RC 时钟是始终开启的,不能关闭。

PLL 对 4M RC 时钟进行倍频,以提供给 MCU、ADC 等模块更高速的时钟。MCU 和 PWM 模块的最高时钟为 96MHz,ADC 模块典型工作时钟为 48MHz,通过寄存器 ADCLKSEL<1:0>可设置为不同的 ADC 工作频率。

PLL 通过设置 PLLPDN='1' 打开(默认关闭,设 1 打开),开启 PLL 模块之前,同样也需要开启 BGP(Bandgap)模块。开启 PLL 之后,PLL 需要 6us 的稳定时间来输出稳定时钟。芯片上电的默认状态下,RCH 时钟和 BGP 模块都是开启的,但 PLL 默认是关闭的,需要软件来开启。



9 基准电压源

该基准源为 ADC、DAC、RC 时钟、PLL、温度传感器、运算放大器、比较器和 FLASH 提供基准电压和电流，使用上述任何一个模块之前，都需要开启 BGP 基准电压源。

芯片上电的默认状态下，BGP 模块是开启的。基准源通过设置 BGPPD = '0' 打开，从关闭到开启，BGP 需要约 2us 达到稳定。BGP 输出电压约 1.2V，精度为±0.8%

基准源可通过设置 REF_AD_EN='1'，将基准电压送至 IO P2.3 进行测量。



10 ADC 模块

芯片内部集成 1 路 SAR 结构 ADC，芯片上电的默认状态下，ADC 模块是关闭的。ADC 开启前，需要先开启 BGP 和 4M RC 时钟和 PLL 模块，并选择 ADC 工作频率。默认配置下 ADC 工作时钟是 48M，对应 3MHz 的转换数据率。

ADC 完成一次转换至少需要 16 个 ADC 时钟周期，其中 12 个为转换周期，4 个为采样周期。即 $f_{conv} = f_{adc} / 16$ 。在 ADC 时钟设为 48M 时，转换速率是 3MHz。采样周期可通过配置 SYS_AFE_REG7 里的 SAMP_TIME 寄存器进行设置，要求设置为 6(含)以上，即 10 个 ADC clk 以上的采样时间。推荐值为 8，对应 ADC 的输出数据率 2MHz。

ADC 在降频应用时，可通过寄存器 CURRIT<1:0>降低 ADC 的功耗水平。

ADC 可工作在如下模式：单次单通道触发、连续单通道、单次 1~16 通道扫描、连续 1~16 通道扫描。每路 ADC 都有 16 组独立寄存器对应每一个通道。

ADC 触发事件可以来自外部的定时器信号 T0、T1、T2、T3 发生到预设次数，或者为软件触发。

ADC 带有两种增益模式，通过 GAIN_SHAx 进行设置，对应 1 倍和 2/3 倍增益。1 倍增益对应 ±2.4V 的输入信号，2/3 倍增益对应 ±3.6V 的输入信号幅度。在测量运放的输出信号时，根据运放可能输出的最大信号来选择具体的 ADC 增益。

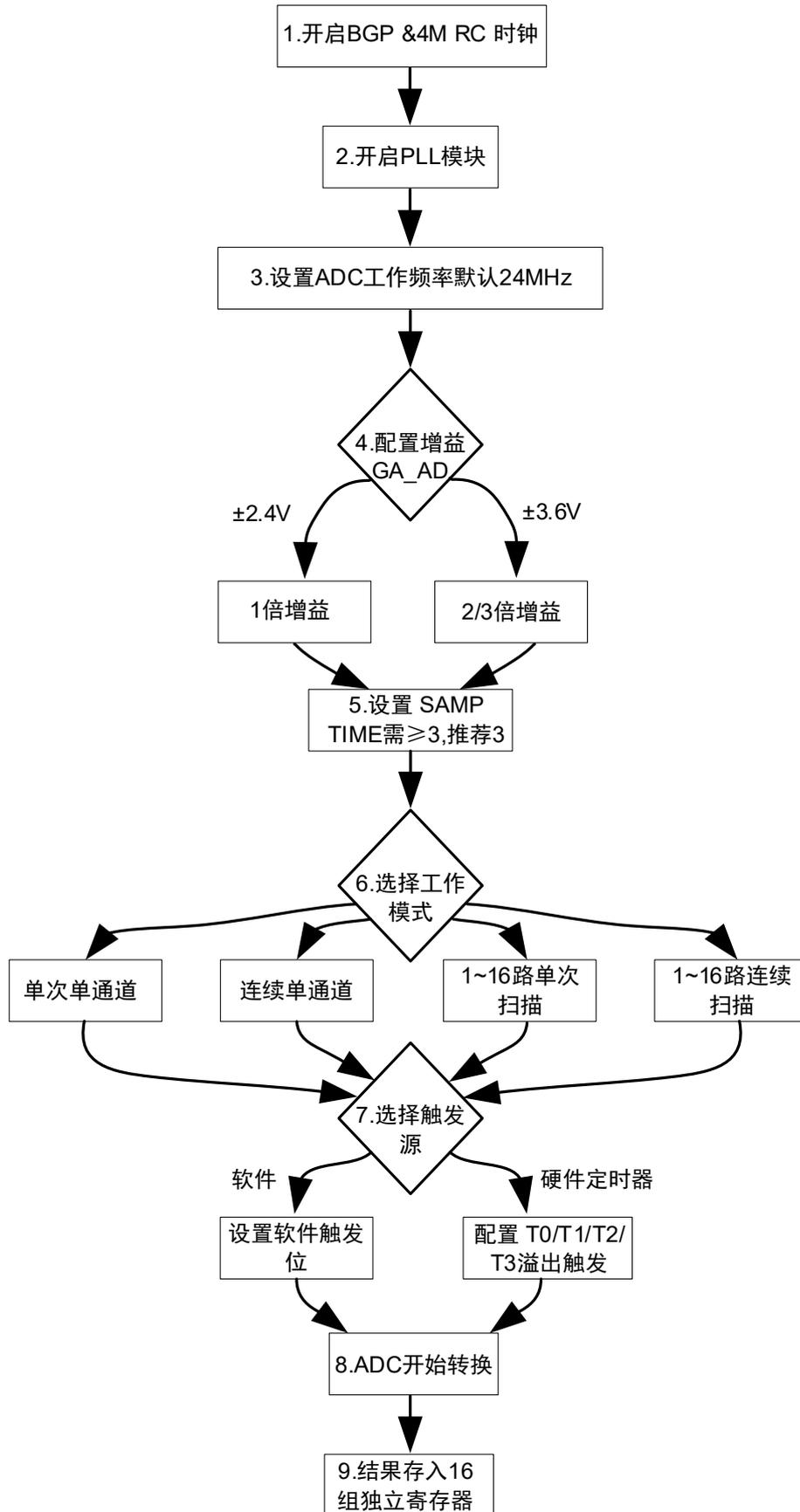


图 10-1 ADC 配置流程图

11 运算放大器

两路输入输出 rail-to-rail 运算放大器，内置反馈电阻 $R2/R1$ ，外部引脚需串联一个电阻 $R0$ 。反馈电阻 $R2:R1$ 的阻值可通过寄存器 $RES_OPA0<1:0>$ 设置，以实现不同的放大倍数。具体寄存器所对应值见模拟寄存器表说明。

最终的放大倍数为 $R2/(R1+R0)$ ，其中 $R0$ 是外部电阻的阻值，

对于 MOS 管电阻直接采样的应用，建议接 $>20k\Omega$ 的外部电阻，以减小 MOS 管关断时，往芯片引脚里流入的电流。

对于小电阻采样的应用，建议接 100Ω 的外部电阻。

放大器可通过设置 $OPAOUT_EN<1:0>$ 选择将 2 路放大器中的某一路输出信号通过 **BUFFER** 送至 P2.7 IO 口进行测量和应用。因为有 **BUFFER** 存在，在运放正常工作模式下也可以选择送一路运放输出信号出来。

芯片上电的默认状态下，放大器模块是关闭的。放大器可通过设置 $OPAxPDN = '1'$ 打开，开启放大器之前，需要先开启 **BGP** 模块。

运放输入正负端内置钳位二极管，电机相线通过一匹配电阻后直接接入输入端，从而简化了 MOSFET 电流采样的外置电路。



12 比较器

内置 2 路比较器，比较器比较速度可编程、迟滞电压可编程、信号源可编程。

比较器的比较延时为 0.15us，还可通过寄存器 `CMP_FT` 设置为小于 30ns。迟滞电压通过 `CMP_HYS` 设置为 20mV/0mV。

比较器正负两个输入端的信号来源都可通过寄存器 `CMP_SELP<2:0>`和 `CMP_SELN<1:0>`编程，详见寄存器模拟说明。

芯片上电的默认状态下，比较器模块是关闭的。比较器通过设置 `CMPxPDN = '1'`打开，开启比较器之前，需要先开启 `BGP` 模块。



13 温度传感器

芯片内置精度为 $\pm 2^{\circ}\text{C}$ 的温度传感器。芯片出厂前会经温度校正，校正值保存在 **flash info** 区。

芯片上电的默认状态下，温度传感器模块是关闭的。开启传感器之前，需要先开启 **BGP** 模块。

温度传感器通过设置 **TMPPDN='1'** 打开，开启到稳定需要约 **2us**，因此需在 **ADC** 测量传感器之前 **2us** 打开。



14 DAC 模块

芯片内置一路 12bit DAC，输出信号的最大量程可通过寄存器 DAC_G 设置为 1.2V/4.8V。

12bit DAC 可通过配置寄存器 DACOUT_EN=1，将 DAC 输出送至 IO 口 P0.0，可驱动 $>50\text{k}\Omega$ 的负载电阻和 50pF 的负载电容。

DAC 最大输出码率为 1MHz。

芯片上电的默认状态下，DAC 模块是关闭的。DAC 可通过设置 DAC12BPDN =1 打开，开启 DAC 模块之前，需要先开启 BGP 模块。



15 处理器核心

- 32 位 Cortex-M0 + CORDIC/SQRT 协处理器
- 2 线 SWD 调试管脚
- 最高工作频率 96MHz



16 存储资源

16.1 Flash

- 内置 flash 包括 32kB 主存储区, 1kB NVR 信息存储区
- 可反复擦除写入不低于 2 万次
- 室温 25°C 数据保持长达 100 年
- 单字节编程时间最长 7.5us, Sector 擦除时间最长 5ms
- Sector 大小 512 字节, 可按 Sector 擦除写入, 支持运行时编程
- Flash 数据防窃取(最后一个 word 须写入非 0xFFFFFFFF 的任意值)

16.2 SRAM

- 内置 2.5kB SRAM



17 电机驱动专用 MCPWM

- MCPWM 最高工作时钟频率 96MHz
- 支持最大 4 通道相位可调的互补 PWM 输出
- 每个通道死区宽度可独立配置
- 支持边沿对齐 PWM 模式
- 支持软件控制 IO 模式
- 支持 IO 极性控制功能
- 内部短路保护，避免因配置错误导致短路
- 外部短路保护，根据对外部信号的监控快速关断
- 内部产生 ADC 采样中断
- 采用加载寄存器预存定时器配置参数
- 可配置加载寄存器加载时刻和周期



18 Timer

- 4 路通用定时器，2 路 16bit 定时器，2 路 32bit 定时器
- 4 路支持捕获模式，用于测量外部信号宽度
- 4 路支持比较模式，用于产生边沿对齐 PWM/定时中断



19 Hall 传感器接口

- 内置最大 1024 级滤波
- 三路 Hall 信号输入
- 24 位计数器，提供溢出和捕获中断



20 通用外设

- 两路 UART，全双工工作，支持 7/8 位数据位、1/2 停止位、奇/偶/无校验模式，带 1 字节发送缓存、1 字节接收缓存，支持 Multi-drop Slave/Master 模式，波特率支持 300~115200
- 一路 SPI，支持主从模式
- 一路 IIC，支持主从模式
- 硬件看门狗，使用 RC 时钟驱动，独立于系统高速时钟，写入保护，复位时间范围 0.064~32s，以 0.064s 为最小步长连续可配置



21 三相 P/N MOS 栅极驱动模块

21.1 模块参数

表 21-1 LKS32MC057EM6S8 驱动模块参数

| 符号 | 参数 | 条件 | 最小 | 典型 | 最大 | 单位 |
|----------------------|---|-------------|--------|--------|---------|----|
| 静态参数 | | | | | | |
| VCC | 供电电压 | | 7.5 | | 32 | V |
| VCC_ON | VCC 欠压恢复电压 | | 5.8 | 6.5 | 7.4 | V |
| VCC_UVLO | VCC 欠压阈值电压 | | 5.4 | 6 | 6.8 | V |
| VCC_HYS | 欠压电压回差 | | 0.3 | 0.5 | 0.8 | V |
| IQC | 静态工作电流 | VIN=0V | 0.3 | 0.5 | 1.0 | mA |
| VDD | 5V LDO 输出电压 | | 4.7 | 5.0 | 5.3 | V |
| VIH | 逻辑'1'翻转电压 | | 2.2 | | | V |
| VIL | 逻辑'0'翻转电压 | | | | 0.6 | V |
| I_SOURCE | 输入信号逻辑'1'偏置电流 | VIN=5V | | 32 | 100 | uA |
| I_SINK | 输入信号逻辑'0'偏置电流 | VIN=0V | | | 1 | uA |
| V _{HO} | HOx(x=1~3) 输出导通电压(因为 HO 驱动 PMOS, 低电平对应导通) | | VCC-11 | VCC-10 | VCC-8.5 | V |
| V _{LO} | LOx(x=1~3) 输出导通电压 | | 8.5 | 10 | 11.5 | V |
| I _{HO+} | HOx(x=1~3)输出拉电流 | HOx=VCC-10V | - | 300 | - | mA |
| I _{HO-} | HOx(x=1~3)输入灌电流 | HOx=VCC | - | 35 | - | mA |
| I _{LO+} | LOx(x=1~3)输出拉电流 | LOx=0V | - | 60 | - | mA |
| I _{LO-} | LOx(x=1~3)输入灌电流 | LOx=10V | - | 300 | - | mA |
| T _{SD} | TSD 温度 | | - | 150 | - | °C |
| T _{RECOVER} | TSD 恢复温度 | | - | 135 | - | °C |
| I _{LDO} | LDO 供电能力 | | | 40 | | mA |
| 动态参数 (CL=1nF) | | | | | | |
| T _{ON} | 导通传输延时 | | - | 80 | - | ns |
| T _{OFF} | 关闭传输延时 | | - | 30 | - | |
| T _{HR} | HOx 上升时间 | | - | 50 | - | |
| T _{HF} | HOx 下降时间 | | - | 400 | - | |
| T _{LR} | LOx 上升时间 | | - | 200 | - | |
| T _{LF} | LOx 下降时间 | | - | 50 | - | |
| DT | 内置死区时间 | | - | 100 | - | |

P/N MOS 驱动模块的输入输出波形如下图所示。图中 HIN/LIN 为芯片内部 MCPWM 模块的输出信号，对于 HIN 来说，输出高电平对应 HO 输出低电平，从而驱动高驱 PMOS 导通。对于 LIN 来



说,输出高电平对应 LO 输出高电平,从而驱动低驱 NMOS 导通。因此 MCPWM 寄存器 MCPWM_IO01/MCPWM_IO23 里的 P 和 N 的极性选择都不需要取反。

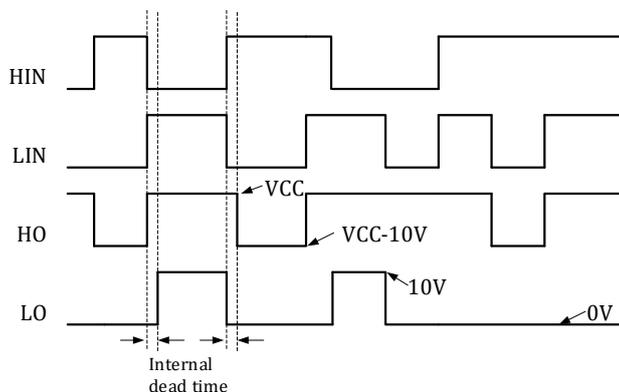


图 21-1 驱动模块输入输出时序波形

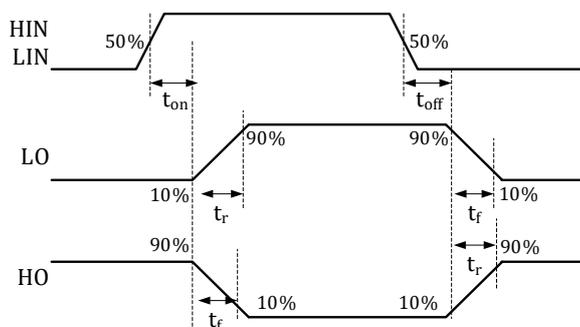


图 21-2 驱动模块输出变化沿时序波形

21.2 推荐应用图

驱动模块的输出引脚信号 LO1/HO1 对应 GPIO P1.4/P1.7 的 MCPWM 功能输出, LO2/HO2 对应 GPIO P1.5/P1.8 的 MCPWM 功能输出, LO3/HO3 对应 GPIO P1.6/P1.9 的 MCPWM 功能输出。

集成预驱的芯片需要设置 MCPWM_SWAP 寄存器, 否则 PWM 无法正常输出。向此寄存器写入 0x67 可将 BIT[0] 写为 1, 写其他值则将 BIT[0] 写为 0。MCPWM_SWAP 的值为 1 时, 用于包含预驱芯片应用环境。在逻辑内部转换顺序, 方便芯片与驱动芯片互连, 一般应用上只需要三组 MCPWM 通道, 因此仅转换三组的顺序。

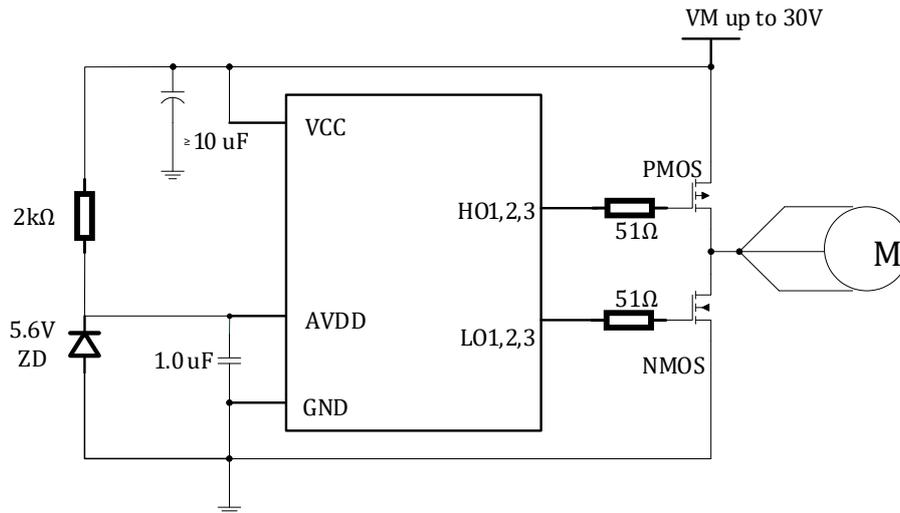


图 21-3 LKS32MC055DL6S8/ LKS32MC055EL6S8/ LKS32MC057EM6S8 驱动模块典型应用图

驱动模块的输出引脚信号 LO1/HO1 对应对应 GPIO P1.4/P1.7 的 MCPWM 功能输出，LO2/HO2 对应 GPIO P1.5/P1.8 的 MCPWM 功能输出，LO3/HO3 对应 GPIO P1.6/P1.9 的 MCPWM 功能输出。但需配置地址为 0x4001_1C7C 的 MCPWM_SWAP=1，详见 usermanual。

当相电流大于 2A 时,建议在 LO1/2/3 输出脚到 NMOS 栅极之间,以及 HO1/2/3 输出脚到 PMOS 栅极之间,串接一个 51 欧的电阻。

在 VCC 高于 20V、AVDD 脚由芯片自身的 LDO5V 引脚供电、且芯片无需休眠的应用场合,建议在 VCC 和 AVDD 之间加一个 1k~2k 欧姆的分流电阻,此电阻并在内部 5V LDO 的输入和输出端之间,以分担部分散热功能。电阻需放置在离开芯片一段距离的位置(对于 055D 和 057E,如 AVDD 脚由外部 5V 电源供电,则不需要加此电阻)。

电阻阻值的计算需遵循如下公式:

$$R \geq (VCC - AVDD) / I$$

其中 I 为 5V 电源上的总功耗,包括 MCU 的功耗、5V 外围器件(例如 HALL)的功耗。

外部跨接分流电阻的情况下,在 AVDD 脚应放一个 5.6V 的稳压管。

同时,在 VCC 和 AVDD 之间并有电阻的应用里,需留意 RSTN 上的 RC 常数不能太大,建议保持为 1ms 的 RC 常数。即芯片外部不加电阻到 5V 的情况下,内部上拉电阻 100k,则 RSTN 上的电容选择为 10nF。如外部加了 10k 或 20k 的上拉电阻,则 RSTN 上的电容选择为 100nF。

VCC 引脚至少加 1μF 去耦电容到地,就近放置,且需要通过滤波电容或 ESD 二极管保证上电过冲不超过 VCC 极限耐压。

22 特殊 IO 复用

LKS05x 特殊 IO 复用注意事项

SWD 协议包含两根信号线：SWCLK 和 SWDIO。前者是时钟信号，对于芯片而言，是输入状态且不会改变输入状态。后者是数据信号，对于芯片而言，在数据传输过程中会在输入状态和输出状态间切换，默认是输入状态。

LKS05x 可实现 SWD 的两个 IO 复用为其它 IO 的功能，SWCLK 复用的 IO 是 P2.13，SWDIO 复用的 IO 是 P2.0。注意事项如下：

- 默认状态是不开启复用，需要软件向 SYS_RST_CFG[6]写 1 开启复用。即芯片硬复位结束后，初始状态是 SWD 用途，SWD 的两个 IO 在芯片内部有上拉(芯片内部上拉电阻约为 10K)，在 IO 用作 SWD 功能时，上拉默认开启且无法关闭。当 IO 用作 GPIO 时，上拉可以通过 GPIO2_PUE[13] 和 GPIO2_PUE[0]来控制。芯片上电复位 30ms 内后 P2.0 和 P2.13 固定为 SWD 功能，软件可以向 SYS_RST_CFG[6]写 1，但 IO 功能切换需要等待 30ms 后才生效。30ms 使用 LRC 计数，由于工艺原因存在一定偏差。
- 开启复用后，KEIL 等工具无法直接访问芯片，即 Debug 和擦除下载功能均失效。若需要重新下载程序，有两个方案。
 - 其一，建议使用凌鸥专用离线下载器擦除。软件开启复用的时间，建议保留一定余量，例如 100ms 左右，保证离线下载器能擦除，防止死锁。余量的多少是保证离线下载器擦除的成功率。余量越大，一次性擦除成功的概率越大。
 - 其二，程序内部有退出机制，例如某个其它 IO 电平发生变化(一般为输入)，表明外界需要用 SWDIO，软件重新配置，解除复用。此时，可以恢复 KEIL 的功能。

在 SSOP24L、QFN5*5 40L-0.75 和 SOP16L 的封装中，SWDIO 可能和 P0.0、SWCLK 可能和 P2.6 直接 bonding 在一起。P2.6 和 SWCLK bonding 在一起的情况，一般建议将 SWCLK 复用为 P2.13，以防止 SWCLK 一直处于输入状态，在 P2.6 信号变化时造成 SWCLK 误动作。

SWCLK 复用的注意事项如下：

- 默认状态是不开启复用，需要软件开启复用。即芯片硬复位结束后，初始状态是 SWCLK 用途，SWDCLK 在芯片内部有上拉(芯片内部上拉电阻约为 10K)，应用对初始电平有要求的，需注意。
- 开启复用后，KEIL 等工具无法直接访问芯片，即 Debug 和擦除下载功能均失效。若需要重新下载程序，有两个方案。
 - 其一，建议使用凌鸥专用离线下载器擦除。软件开启复用的时间，建议保留一定余量，例如 100ms 左右，保证离线下载器能擦除，防止死锁。余量的多少是保证离线下载器擦除的成功率。余量越大，一次性擦除成功的概率越大。
 - 其二，程序内部有退出机制，例如某个其它 IO 电平发生变化(一般为输入)，表明外界需要用 SWCLK，软件重新配置，解除复用。此时，可以恢复 KEIL 的功能。
- 若 SWCLK 启用，有信号变化的时候，SWDIO 能保持为 0 电平(类似时分复用)；若 SWDIO 不能保证为 0，建议 SWDCLK 在运行过程中，翻转次数不超过 50 次(例如从 0 翻转到 1，然后又从 1 翻转到 0，算一次)或者每 50 次翻转期间内(次数可以更少，例如 40 次)保证一次在 SWCLK 从 0 变成 1 的时候，SWDIO 是 0 电平。



若此时，仅复用了 SWCLK，没有复用 SWDIO，注意事项同上。

RSTN 信号，默认是用于 LKS05x 芯片的外部复位脚。

LKS05x 可实现 RSTN 复用为其它 IO 的功能，复用的 IO 是 P0.2。注意事项如下：

- 默认状态是不开启复用，需要软件向 SYS_RST_CFG[5]写入 1 将 RSTN 复用为普通 GPIO。即芯片初始状态是 RSTN 用途，RSTN 在芯片内部有上拉(芯片内部上拉电阻约为 100K)，应用对初始电平有要求的，需注意。
- 默认状态是 RSTN，只有 RSTN 正常释放后才能开始程序的执行，应用需要保证 RSTN 有足够保护，例如外围电路带上拉，若能加电容更佳。
- 开启复用后，RSTN 用途失效，若需产生芯片硬复位，源头只能是掉电/看门狗。
- RSTN 的复用，不影响 KEIL 的使用。

23 订购包装信息

包装类型分为 Tray 包装和 Reel 包装两种，具体包装中的芯片个数由封装形式与包装类型确定，不再以芯片型号区分。

Tray 包装信息如下表

| 封装形式 | 每盘/管数量 | 内盒数量 | 外箱数量 |
|--------------------|--------|----------|----------------|
| SOP16/ESOP16L | 3000/盘 | 6000PCS | 48000PCS |
| SSOP24 | 4000/盘 | 8000PCS | 64000PCS |
| SSOP24 | 50/管 | 10000PCS | 4000/100000PCS |
| QFN 8*8 | 260/盘 | 2600PCS | 15600PCS |
| QFN 4*4/5*5/6*6 | 490/盘 | 4900PCS | 29400PCS |
| QFN 3*3 | 5000/盘 | 5000PCS | 40000PCS |
| LQFP48/TQFP48 0707 | 250/盘 | 2500PCS | 15000PCS |
| LQFP64 1010 | 160/盘 | 1600PCS | 9600PCS |
| LQFP100 1414 | 90/盘 | 900PCS | 5400PCS |
| TSSOP20/28 | 4000/盘 | 8000PCS | 64000PCS |

Reel 包装信息如下表

| 包装类别 | | 每盘/管数量 | 每盒数量 | 每箱盒数 | 外箱数量 |
|---------|--------------|--------|-------|------|--------|
| 编带-13 寸 | SOP/ESOP8 | 4000 | 8000 | 8 | 64000 |
| 编带-13 寸 | SOP/ESOP16 | 3000 | 6000 | 8 | 48000 |
| 编带-13 寸 | SSOP24 | 4000 | 8000 | 8 | 64000 |
| 编带-13 寸 | TSSOP20 | 4000 | 8000 | 8 | 64000 |
| 编带-13 寸 | D/QFN3*3 | 5000 | 10000 | 8 | 80000 |
| 编带-13 寸 | D/QFN4*4 | 5000 | 10000 | 8 | 80000 |
| 编带-13 寸 | D/QFN5*5 | 5000 | 10000 | 8 | 80000 |
| 管装 | SOP16 | 50 | 10000 | 10 | 100000 |
| 管装 | SOP14/SSOP24 | 50 | 10000 | 10 | 100000 |
| 管装 | TSSOP24 | 54 | 6480 | 6 | 38880 |



24 版本历史

表 24-1 文档版本历史

| 时间 | 版本号 | 说明 |
|------------|------|---|
| 2026.01.20 | 1.94 | 添加 ADC 配置流程图 |
| 2026.01.08 | 1.93 | 选型表去除其他类型型号 |
| 2025.08.22 | 1.92 | 更新命名规则 |
| 2025.07.22 | 1.91 | 删除 Flash 部分：擦写一个 Sector 的同时读取访问另一个 Sector |
| 2024.08.21 | 1.90 | 添加内部预驱连接示意图 |
| 2024.08.04 | 1.89 | 订购包装信息更新，以包装类型与封装形式来确认包装信息 |
| 2023.09.25 | 1.88 | 更新焊接温度 |
| 2023.05.07 | 1.87 | 修正栅极驱动模块 I_{HO+} 和 I_{HO-} 电流值 |
| 2023.04.07 | 1.86 | 更新封装说明 |
| 2023.03.23 | 1.85 | 修改 LSI 精度范围 |
| 2023.03.02 | 1.84 | 修改 VCM 为 1.65~2.2 |
| 2023.02.10 | 1.83 | 修改栅极驱动模块电流 |
| 2023.01.14 | 1.82 | 增加订购包装信息 |
| 2022.11.10 | 1.81 | 增加 IO 与内部模拟电路间连接电阻阻值，修改 VCM 为 1.7~2.2 |
| 2021.05.08 | 1.8 | 增加 UART_TX/RX 以及 SPI_DI/DO 互换的说明； 合并部分共性说明至 3.1.1 特别说明 |
| 2021.02.06 | 1.7 | 057E/055E/055D 增加 P1.0 休眠唤醒口 |
| 2021.01.15 | 1.6 | 修改 057E 引脚说明 |
| 2020.12.23 | 1.5 | 修改驱动模块参数 |
| 2020.11.30 | 1.4 | 增加 057F 型号 |
| 2020.11.3 | 1.3 | 增加 055D/055E 型号 |
| 2020.09.16 | 1.2 | 修改部分参数说明 |
| 2020.08.28 | 1.1 | OPA1 输入引脚极性调整 |
| 2020.04.20 | 1.0 | 初始版本 |

免责声明

LKS 和 LKO 为凌鸥创芯注册商标。

南京凌鸥创芯电子有限公司（以下简称：“Linko”）尽力确保本文档内容的准确和可靠，但是保留随时更改、更正、增强、修改产品和/或 文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。

客户应针对应用需求选择合适的 Linko 产品，详细设计、验证和测试您的应用，以确保满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。

Linko 在此确认未以明示或暗示方式授予 Linko 或第三方的任何知识产权许可。

Linko 产品的转售，若其条款与此处规定不同，Linko 对此类产品的任何保修承诺无效。

Linko 产品禁止用于军事用途或生命监护、维持系统。

如有更早期版本文档，一切信息以此文档为准。

