



十速

TM52E5223

规格书

版本 0.91

hitenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **hitenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **hitenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **hitenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **hitenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **hitenx** was negligent regarding the design or manufacture of the part.

目录

概述 5	
系统框图	5
基本功能	6
引脚汇总	11
功能描述	12
1. CPU 核心	12
1.1 累加器(ACC)	12
1.2 B 寄存器(B)	12
1.3 堆栈指针(SP)	13
1.4 数据指针(DPTRs)	13
1.5 程序状态字(PSW)	14
2. 存储器	15
2.1 程序存储器	15
2.2 信息存储	16
2.3 EEPROM 数据存储器	17
2.4 数据存储器	20
3. 低电压复位和低电压检测	22
4. 复位	25
4.1 上电复位	25
4.2 外部引脚复位	25
4.3 软件复位	25
4.4 看门狗定时器复位	25
4.5 低电压复位(LVR)	25
5. 时钟电路和工作模式	27
5.1 时钟电路	27
5.2 操作模式	28
6. 中断和唤醒	31
6.1 中断使能和优先级控制	31
6.2 关于中断子程序的建议	32
6.3 引脚中断和 LVD 中断	34
6.4 空闲模式唤醒和中断	37
6.5 暂停/停止模式唤醒和中断	37
7. I/O 端口	39
7.1 端口 1, 端口 3	39
8. 定时器	45
8.1 Timer0/1	45
8.2 Timer3	48
9. UART	49
10. PWMs	51
10.1 PWM0 (PWM0P/PWM0N)	51
10.2 PWM1 (PWM1, PWM2 和 PWM3)	54
11. ADC	61
11.1 ADC 通道	62
11.2 ADC 转换时间	62
11.3 PWM0 触发 ADC	63
12. S/W 控制的 LCD 驱动器	67
13. 循环冗余校验码(CRC)	69
14. 在线仿真器(ICE)模式	70
SFR & CFGW 映像	71
SFR & CFGW 说明	73



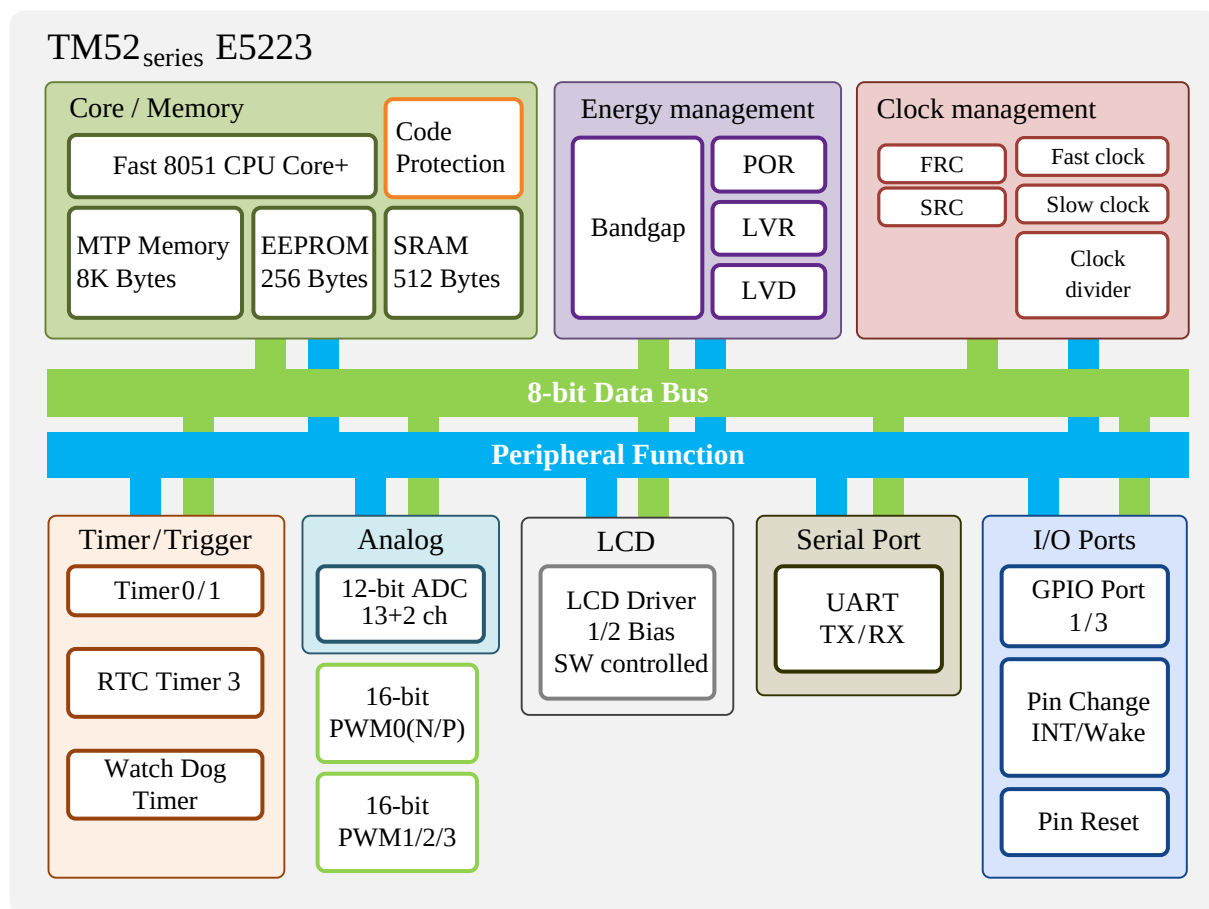
注: 上表列出所有的SFR,特地保留原始英文,以供使用者交互参考。	81
电器特性	85
1. 最大绝对额定值	85
2. DC 特性	85
3. 时钟时序	88
4. 复位时序特性	88
5. ADC 电气特性	88
6. EEPROM 特性	88
7. 特性曲线图	89
封装说明	93
订购须知	93

概述

TM52_{系列}E5223 是一个新的快速且低压省电8051架构,与业界标准8051指令集完全兼容的8位单片机,并保持了8051外围的功能模块。通常情况下,**TM52**执行指令,比传统的8051架构快六倍。

TM52E5223通过集成多种功能在芯片上,提供更高的性能,更低的成本,能快速进入市场,包括 8K字节的 MTP 程序存储器, 512 字节SRAM,低电压复位(LVR),低电压检测(LVD),双时钟省电工作模式,和定时器Timer0/Timer1,实时计时器Timer3, 12位 ADC, 16位脉冲宽度调制器PWM0(N/P), 16位脉冲宽度调制器(PWM1/2/3) 和看门狗定时器(WDT)。它的高可靠性和低功耗的特性,可广泛适用于消费电子产品。

系统框图



基本功能

1. 标准 8051 指令集,快速的机器周期

- 指令执行比传统 8051 快六倍

2. MTP 程序存储器

- TM52E5223 内置 MTP 8K 字节
- 程序码保护功能
- 至少 100 次的擦写次数
- 至少 10 年的数据保存时间

3. EEPROM 256 字节

- 至少 3 万次的擦写次数 ($2.5V < VCC < 5.5V$, $-20^{\circ}C \sim 85^{\circ}C$)
- 至少 10 年的数据保存时间

4. 总计 512 字节 SRAM(IRAM+XRAM)

- 256 字节 IRAM 在 8051 内部数据存储器区
- 256 字节 XRAM 在 8051 外部数据存储器区

5. 2 种系统时钟类型选择

- 快时钟使用内部 RC(FRC, 16.5888 MHz) (trim 7-bit) (5-bit 微调)
- 雾化追頻微調 16.5888MHz $\pm$ 1KHz, 108KHz@0.5KHz 微調
- 慢时钟使用内部 RC(SRC, 131 KHz) (trim 5-bit) 误差 $\pm 2\%$
- 慢时钟计时使用 SRC, 131 KHz/, 0~40 度误差($\pm 1.5\%$)
- 系统时钟可以通过 1/2/4/16 选项除频

6. 8051 标准定时器 – Timer0/1

- 16 位 Timer0,支持 T0O 时钟输出供蜂鸣器应用
- 16 位 Timer1,支持 T1O 时钟输出供蜂鸣器应用

7. 15 位 Timer3 时钟

- 时钟源可选慢时钟 ($131K/4 = 32K$), 0~40 度误差($\pm 1.5\%$)
- 中断期可选时钟除以 65536/32768/16384/8192/4096/2048/1024/512 选项

8. UART

- 带 UART 引脚选择选项, 波特率时钟可设定

9. 两组 PWM:

- 16-bit PWM0
 - ◇ 16 位周期/占空比 设置
 - ◇ PWM0(N/P) 死区互补, 周期中心对齐 (PPD) 模式
 - ◇ 频率最高 FRC*2 or FRC or FRC/256 or SRC

- 16-bit PWM1/2/3
 - ◇ 16 位共享周期, 16 位独立占空比可设置
 - ◇ 频率最高 $FRC*2$ or FRC or $FRC/256$ or SRC
- 2 组印射输出

10. LCD 驱动器

- 所有 GPIO 皆可设置上拉电阻与下拉电阻 $33K\Omega@5V$, 改真电阻非 MOS 电阻
- 上拉电阻与下拉电阻同时开启为 1/2 LCD 偏压
- 软件控制 SCOM0~13

11. 12-bit ADC 12 个外部通道, 内置 2 通道

- 内置参考源输出 VCC 或 LDOV: 1.18V
- 内基准 VBG $1.18V \pm 1\% @ VCC=5V \sim 3V, 25^{\circ}C$
- 内置 1/4 VCC 参考源

12. 11 来源, 4 中断优先级

- Timer0/Timer1/Timer3 中断
- 端口 1/端口 3 引脚电平变化中断
- LVD 中断
- ADC 中断
- PWM0/1 中断
- EEP 中断
- UART

13. 引脚中断能将 暂停/停止模式下的 CPU 唤醒

- 端口 1/ 端口 3 每个引脚可以定义为唤醒和中断引脚(通过引脚电平变化)

14. 最大 14 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉与下拉可以使能/禁止
- 所有引脚对地输出 $40mA@VDD=5V, VOL=0.1VDD$
- 所有引脚高电平输出 $12mA@VDD=5V, VOH=0.9VDD$
- 施密特触发输入 $V_{ITH}(0): V_{IH} 0.7VDD, V_{IL}: 0.3VDD$
- 施密特触发输入 $V_{ITH}(1): V_{IH} 0.4VDD, V_{IL}: 0.2VDD$ (仿真不支援)

15. 独立的 RC 振荡看门狗定时器

- 480ms/240ms/120ms/60ms 可选择的看门狗超时选项

16. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

17. 16 级低电压或高电压复位(LVR)

- 1.6V ~3.5V

18. 15 级低电压检测(LVD)

- 1.6V ~ 3.5V

19. 5 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/暂停模式/停止模式

20. 烧录接口

- 使用 VPP 与 P3.0/P3.1 引脚进行烧录与仿真
- 量产烧录器支持 P3.0/P3.1

21. 工作电压和电流

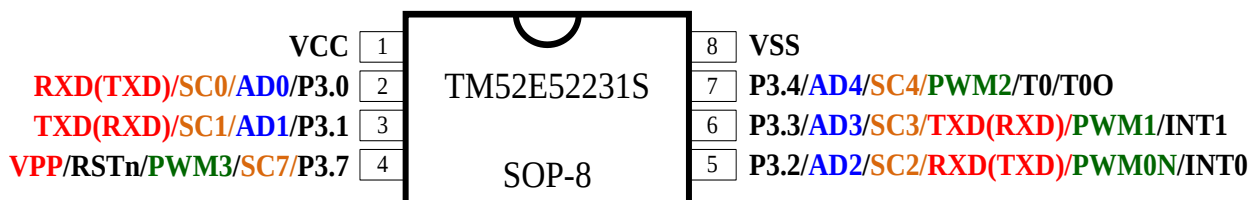
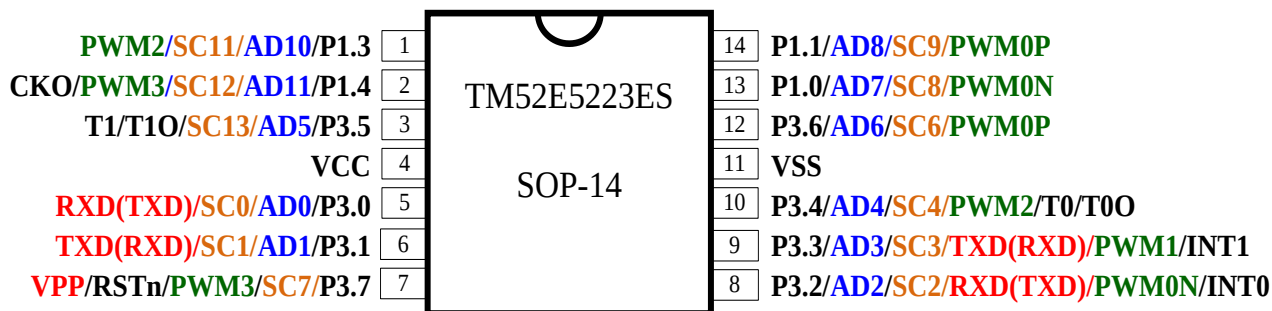
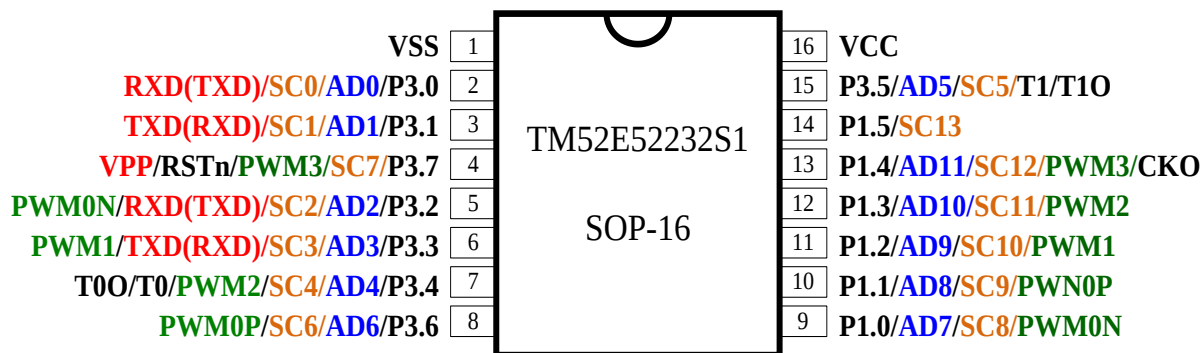
- VCC =2.4V ~ 5.5V(@Fsys = FRC/1=16.5888MHz)
- VCC =1.8V ~ 5.5V(@Fsys ≤ FRC/2=8.2944MHz)
- 工作模式 8.2944MHz ,I_{CC} = 4mA@5V
- 工作模式 16.5888MHz ,I_{CC} = 6mA@5V
- 停止模式 I_{CC} =0.7μA@5V
- I_{CC} = 4.3μA @暂停模式, PWRSV=1, V_{CC}=3V
- I_{CC} = 6μA @空闲模式, PWRSV=1, V_{CC}=3V
- 工作温度范围 -40 °C ~ +105 °C

22. 封装类型

- 16-pin SOP (150 mil)
- 14-pin SOP (150 mil)
- 8-pin SOP (150 mil)

IC 引脚图

低功耗应用, 所有数字I/O(包含未出脚或未使用)避免设置高阻态



引脚描述

引脚名称	输入/输出	引脚描述
P1.0~P1.5 P3.0~P3.7	I/O	位编程输入/输出端口,可施密特触发输入,CMOS 推挽输出或开漏输出。 上拉电阻、下拉电阻是由软件分配。 这些引脚的电平变化可以唤醒 CPU 的空闲/暂停/停止模式。
INT0,INT1	I	外部低电平或下降沿中断输入，空闲/暂停/停止模式唤醒输入
T0,T1	I	Timer0,Timer1 事件计数引脚输入
T0O	O	Timer0 溢出除以 64 输出
T1O	O	Timer1 溢出除以 2 输出
CKO	O	系统时钟除以 2 输出
RXD	I/O	UART 接收数据。
TXD	I/O	UART 发送数据。。
PWM0N,PWM0P	O	16 位 PWM 死区互补输出
PWM1,2,3	O	16 位 PWM 输出
SC0~SC12	O	上拉电阻、下拉电阻同时开启为 LCD COM 1/2 偏压输出
AD0~11	I	ADC 侦测引脚
RSTn / VPP	I/P	外部低电平有效复位输入，上拉电阻固定使能。/高压刻录引脚
VCC,VSS	P	电源输入引脚和地

引脚汇总

引脚编号			引脚名称	类型	初始状态	输入				输出		交替功能			其它
SOP-16	SOP-14	SOP-8				上拉电阻	下拉电阻	唤醒	外部中断	推挽	开漏	LCD	UART	PWM	
2	5	2	RXD(TXD)/SC0/AD0/P3.0	I/O	Hi-Z	•	•	•	•	•	•	•	•		
3	6	3	TXD(RXD)/SC1/AD1/P3.1	I/O	Hi-Z	•	•	•	•	•	•	•	•		
5	8	5	INT0/RXD(TXD)/PWM0N/SC2/AD2/P3.2	I/O	Hi-Z	•	•	•	•	•	•	•	•	•	VBGO
6	9	6	INT1/TXD(RXD)/PWM1/SC3/AD3/P3.3	I/O	Hi-Z	•	•	•	•	•	•	•	•	•	
7	10	7	T0/PWM2/SC4/AD4/P3.4	I/O	Hi-Z	•	•	•	•	•	•	•		•	T0O
15	3	–	T1/SC5/AD5/P3.5	I/O	Hi-Z	•	•	•	•	•	•	•			T1O
8	12	–	TXD2(RXD2)/PWM0P/SC6/AD6/P3.6	I/O	Hi-Z	•	•	•	•	•	•	•		•	
4	7	4	VPP/RSTn/PWM3/SC7/P3.7	I/O/P	Hi-Z	•	•	•	•	•	•	•		•	Reset VPP
9	13	–	PWM0N/SC8/AD7/P1.0	I/O	Hi-Z	•	•	•	•	•	•	•		•	
10	14	–	PWM0P/SC9/AD8/P1.1	I/O	Hi-Z	•	•	•	•	•	•	•		•	
11	–	–	PWM1/SC10/AD9/P1.2	I/O	Hi-Z	•	•	•	•	•	•	•		•	
12	1	–	PWM2/SC11/AD10/P1.3	I/O	Hi-Z	•	•	•	•	•	•	•		•	
13	2	–	CKO/PWM3/SC12/AD11/P1.4	I/O	Hi-Z	•	•	•	•	•	•	•		•	
14	–	–	SC13/P1.5	I/O	Hi-Z	•	•	•	•	•	•	•			
1	11	8	VSS	P											
16	4	1	VCC	P											

功能描述

1. CPU 核心

采用8051的架构，C语言作为开发平台。TM52装置拥有一个快速8051内核的高度集成微控制器，可以使开发人员实现比传统8051芯片更高的性能。TM52系列微控制器提供标准8051指令集兼容的完整的二进制代码，以确保一个简单的移植路径，以加快系统产品的开发速度。CPU核心包括了ALU，程序状态字(PSW)，累加器(ACC)，B寄存器，堆栈指针(SP)，数据指针，编程计数器，指令译码器，以及核心的特殊功能寄存器(SFR)。

1.1 累加器(ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中，累加器被表示为“A”或“ACC”，包括指令表。累加器，正如其名称所示，被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果，以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 **ACC**: 累加器

1.2 B 寄存器(B)

“B”寄存器和 ACC 是非常相似的，可容纳 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则，它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令，MUL 和 DIV。当 A 乘或除以另一个数，结果数存储在 B。对于 MUL 和 DIV 指令，有必要将这两个运算数放在 A 和 B。

ex: DIV AB

当执行该指令，A 里面的数会除以 B 的数，得到的答复是存储在 A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 **B**: B 寄存器

1.3 堆栈指针(SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP:** 堆栈指针

1.4 数据指针(DPTRs)

TM52 装置有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 有两个数据指针寄存器: 高字节(DPH)和低字节(DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL:** 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH:** 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	LVRPD	-	TISEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	-	R/W	R/W
Reset	0	0	—	0	0	-	0	0

F8h.0 **DPSEL:** 活动数据指针选择

1.5 程序状态字(PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**: ALU 进位标志

D0h.6 **AC**: ALU 辅助进位标志

D0h.5 **F0**: 通用的使用者定义标志

D0h.4~3 **RS1, RS0**: (RS1,RS0)的内容所启动之工作寄存器存储区为:

00: 存储区 0(00h~07h)

01: 存储区 1(08h~0Fh)

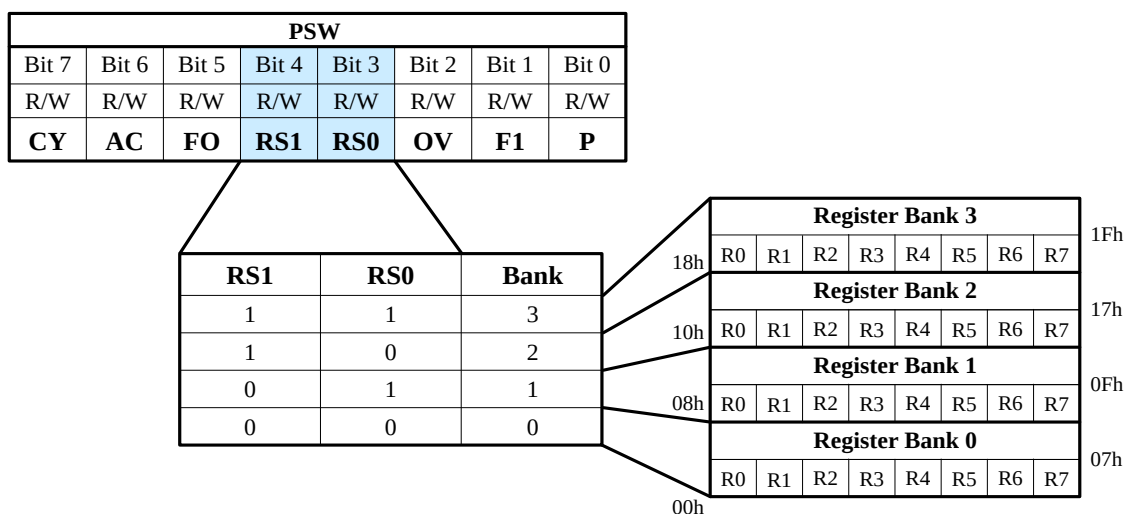
10: 存储区 2(10h~17h)

11: 存储区 3(18h~1Fh)

D0h.2 **OV**: ALU 溢出标志

D0h.1 **F1**: 通用的使用者定义标志

D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



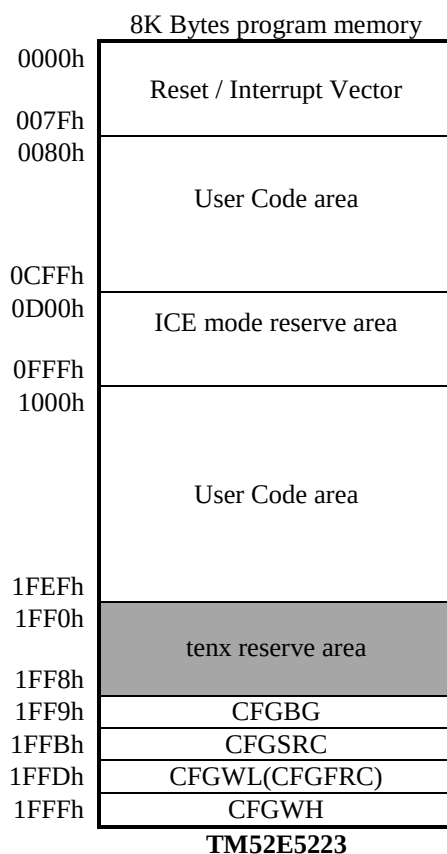
2. 存储器

2.1 程序存储器

TM52E5223 有 8K 字节的闪存程序存储器，可支持在线编程(ICP)功能模式。此闪存可反复擦写至少 100 次以上。闪存程序存储器的连续地址空间(0000h~1FFFh)被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 16 个字节(1FF0h~1FFFh)被定义为芯片配置字(CFGW)，在上电复位(POR)时，最后 8 个字节(1FF8h~1FFFh)它会被装载到装置控制寄存器。0000h~007Fh 被标准 8051 定义为复位/中断向量。在线仿真(ICE)模式下，用户还需要预留 0D00h~0FFFh 的地址空间以供 ICE 系统通讯使用。



SFR DFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RDCTL	—	—	—	—	—	ATDEN	ATDT	
R/W	—	—	—	—	—	R/W	R/W	
Reset	—	—	—	—	—	1	0	1

- DFh.2 **ATDEN:** 程序 ROM 的读信号延迟控制开关
0: 关闭(读信号永远为 1); 有 EFT 考量時, 須關閉 ATDEN(ATDEN 为 0)
1: 开启 (系统时钟使用慢鐘時, 設置此寄存器, 可降低功耗)
- DFh.1~0 **ATDT:** 程序 ROM 的读信号延时控制 (ATDEN=1 時)
00: 程序 ROM 的读信号延时 6.8ns@5V or 10.7ns@3V
01: 程序 ROM 的读信号延时 12.2ns@5V or 19.4ns@3V (建議設置值)
10: 程序 ROM 的读信号延时 17.6ns@5V or 28ns@3V
11: 程序 ROM 的读信号延时 23ns@5V or 37ns@3V

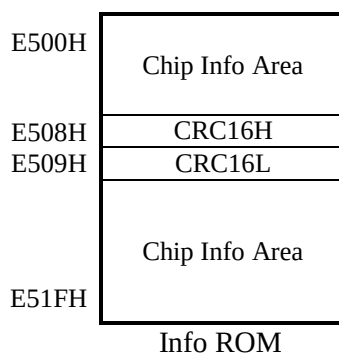
2. 1. 2FLASH ICP 模式

闪存存储器可以通过 tenx 专用的烧录器(HTLINK)，这需要至少五根线(VCC, VSS, VPP, P3.0,和 P3.1 引脚)连接到该芯片以进行编程。如果用户想在目标电路板上的闪存进行编程(在电路编程, ICP)，这些引脚必须保留足够的自由来连接到烧录器，最好不要连接电路；如果要连接电路的话，请参考相关 AP 资料。

连接线数目	连接管脚
5 线	VCC, VSS, P3.0, P3.1, P3.7(VPP)

2. 2 信息存储

芯片有一个 32 字的信息存储器。信息内存地址连续空间(E500h~E51Fh)被划分为多个扇区，用于设备操作。芯片信息区是一个保留的区域，定义生产信息，如 ID，特殊规定，编码号码，校验。CRC16H/L是校验和的保留区域。tenx可以提供CRC验证子程序。用户可以通过CRC校验子程序计算校验和，以与CRC16H/L进行比较，并检查ROM代码的有效性。



2.3 EEPROM 数据存储器

TM52E5223 包含了一个 256 字节的 EEPROM 数据存储器。它被组织为一个单独的数据空间，可以读取和写入单个字节。EEPROM 具有至少 3 万次的写入/擦除周期耐久性（ $2.5V < VCC < 5.5V$ ， $-20^{\circ}C \sim 85^{\circ}C$ ）。

EEPROM Memory	
EE00h	EEPROM[0]
EE01h	EEPROM[1]
EE02h	.
EEFEh	EEPROM[254]
EEFFh	EEPROM[255]

2.3.1 EEPROM 编程的注意事项

2.3.1.1 EEPROM 的编程特性

- （1）EEPROM 编程时间不是固定的，并且编程不同的数据需要不同的时间。
- （2）编程时间受电压、温度以及数据是否反转的影响。对于较高的温度、较低的 VCC 和较大数量的数据反转，编程时间较长。
- （3）此芯片内置 EEPROM 写入超时功能，确保系统在发生写入超时能够正常执行程序。

2.3.1.2 EEPROM 写入耐久性

EEPROM 编程的次数与电压和温度有关。写入耐久性至少为 30000（ $2.5V < VCC < 5.5V$ ， $-20^{\circ}C \sim 85^{\circ}C$ ）。请参阅“电气特性”一章中的“EEPROM 特性表”。

2.3.1.3 EEPROM 写校验

根据具体应用，通常需要读回写入 EEPROM 的数据进行验证。

2.3.1.4 防止写错

写操作启动时，以下操作可以防止误写：

- （1）低电压检测：写 EEPROM 时，VCC 必须 $> 3.0V @ 16.5888MHz$ ，可以使用 LVD 功能监测电压（LVD 监测电压建议为 3.5V，以防断电时，给写 EEPROM 留充足的时间）
- （2）每写一个字节，清除看门狗（WDT），防止连续写多个字节时，导致看门狗复位。
- （3）写数据时，暂时关闭所有中断，写入完成后再恢复。
- （4）软件故障：程序里添加 eeprom 回读机制确保数据正确写入。
- （5）超时保护：程序里开启写超时功能（EEPTE），保护系统在写超时发生的时后不会被卡死。
- （6）为了减少电源毛刺：在 VCC 和 GND 之间连接电容器，以稳定系统电源。
- （7）每写一个字节，须确认 EEPBUSY=0，才可再写下一个字节。

EEPROM 数据写入: 通过“MOVX @DPTR, A”指令来实现, 数据指针(DPTR)包含 EEPROM 的目标地址(EE00h~EEFFh), ACC 包含要写入的数据。写入大约需要 6 ms @V_{CC}=2.7V, 1.2 ms @V_{CC}=5V。同时, CPU 和所有外设模块(定时器等)在写入期间可继续运行。

写入完成后会产生中断标志 EEPIF, 软件可利用此中断或轮询 EEPBUSY 来得知 EEPROM 是否写入完成。同时 **TM52E5223** 内建一个 EEPROM 专用看门狗定时器(非 MCU WDT), 用以离开当写入失败的卡死状态。EEPROM 数据写入需要 V_{CC}> 3.0V 且关闭 WDT, 避免造成误写。

通过“MOVX A, @DPTR”指令, 只要将目标地址指向 EE00h~EEFFh 区域, 便可以**读取 EEPROM 数据**。EEPROM 数据读取大约需要 300ns。

```
; EEPROM 示例代码
; 需要 3.0V < VCC < 5.5V
ANL      AUX2, #3Fh      ; WDT function disable
ORL      AUX2, #04h      ; EEPROM Time-Out function enable
MOV      DPTR, #0EE00h    ; DPTR=EE00h=target EEPROM[0] address
MOV      A, #0A5h         ; A=A5h=target EEPROM[0] write data
MOV      EEPCON, #0E2h    ; EEPROM write enable
MOVX     @DPTR, A         ; EEPROM[0]=A5h, after EEPROM write
                        ; 1ms~6ms H/W writing time, CPU does not need wait
MOV      A, INTFLG        ; Need to wait for EEPIF=1 or EEPBUSY=0 ,
JB        ACC.5, $-2      ; before setting EEPCON =00h(disable EEPROM write)

MOV      EEPCON, #000h    ; EEPROM write disable, after EEPROM write finish
CLR      A                ; A=0
MOVX     A, @DPTR         ; A=A5h
```

注意:写读EEPROM只能在中断外部或中断内部使用, 如果在中断内部和中断外部都使用写读EEPROM功能, 可能会导致错误。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEPCON	EEPCON							
R/W			EEPWE		EEPTO		–	
Reset			0		0		–	

C9h.7~0 EEPCON(W):

写入 E2h 设置 EEPWE 标志;写入其他值清除 EEPWE 标志。建议在 EEPROM 写入后立即清除。

C9h.3 EEPTO(R): 读回 EEP 看门狗溢出标志。当清除 EEPWE，硬件会自动清除看门狗溢出标志。

C9h.5 EEPWE(R): 读回 EEPWE 标志

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT		EEPTE		
R/W	R/W	R/W	R/W	R/W		R/W		
Reset	0	0	0	0		1	1	

F7h.7~6 WDTE: 看门狗定时器复位控制

0x: 看门狗定时器复位关闭

10: 看门狗定时器复位位于快钟/慢钟模式下使能，空闲/暂停/停止模式时禁止

11: 看门狗定时器复位始终启用

F7h.2~1 EEPTE: EEPROM 写入超时看门狗定时器控制位

00: 关闭看门狗定时器

01: 启用看门狗定时，等待 7.7 ms 触发看门狗溢出标志 EEPTO，退出写失败状态

10: 启用看门狗定时，等待 31 ms 触发看门狗溢出标志 EEPTO，退出写失败状态

11: 启用看门狗定时，等待 62 ms 触发看门狗溢出标志 EEPTO，退出写失败状态

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	–	–	PCIF	TF3
R/W	R/W	R/W	R	R/W	–	–	R/W	R/W
Reset	0	0	0	0	–	–	0	0

95h.6 EEPIF: EEP 写入完成中断

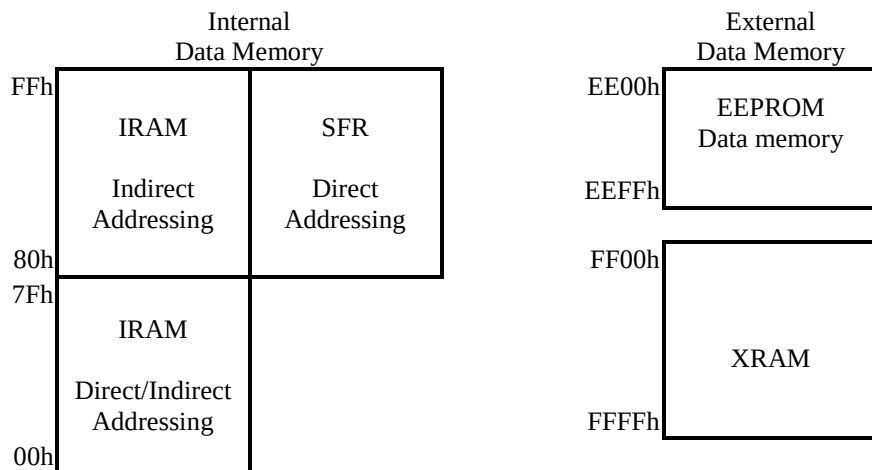
由硬件设置。软件将 BFh 写入 INTFLG 以清除该标志。

95h.5 EEPBUSY: EEP 写入忙碌标志

當 EEP 寫入資料時, 硬件會設置為高電平

2.4 数据存储器

作为标准 8051，该芯片同时具有内部和外部数据存储空间。内部数据存储空间由 256 字节 IRAM 和 SFR，这可通过丰富的指令集进行存取。外部数据存储器空间由 256 字节的 XRAM，256 字节的 EEPROM 只能通过 MOVX 指令存取。



2.4.1 IRAM

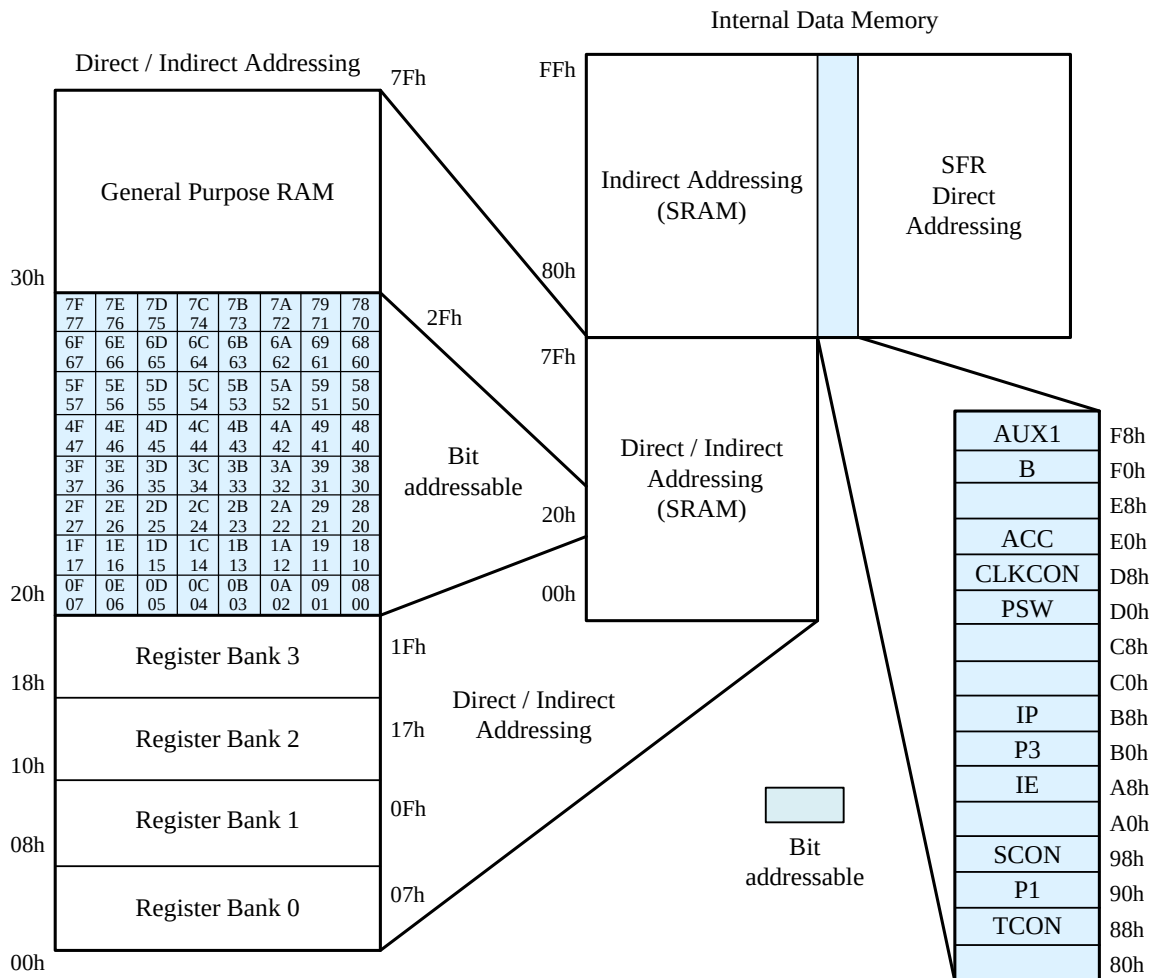
IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取，只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组(由 PSW 开关)，占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.4.2 XRAM

XRAM 位于 8051 外部数据存储器空间(地址从 FF00h 到 FFFFh)。256 字节 XRAM 只能通过“MOVX”指令存取。

2.4.3 特殊功能寄存器(SFRs)

所有的外围功能模块，如 I/O，芯片的定时器/计数器、串口(UART)操作都是通过特殊功能寄存器(SFR)存取设置。这些寄存器占用高 128 字节位置直接数据存储空间上的 80h 到 FFh 范围。有 14 可位寻址的 SFR(这意味着单个字节内部的 8 个各别的位是可寻址的)，如 ACC，B 寄存器，PSW，TCON，SCON 和其他。其它 SFR 只能按字节寻址。SFR 提供了内部资源和该芯片的外围设备进行数据交换和控制。在 TM52 系列微控制器提供了与标准 8051 指令集完全兼容的二进制代码。除了标准 8051 特殊功能寄存器外，该芯片还实现了用于配置和存取额外子系统的特殊功能寄存器，例如 ADC/LCD 等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN		CFGBG	CFGWL	AUX2
E8h			CFGSRC					AUX3
E0h	ACC			LVRCON		EFTCON		
D8h	CLKCON	PWM0PRD H	PWM0PRD L	PWM1PRD H	PWM1PRD L	PWM3DH	PWM3DL	RDCTL
D0h	PSW	PWM0DH	PWM0DL	PWM1DH	PWM1DL	PWM2DH	PWM2DL	FRCFT
C8h		EEPCON						
C0h								
B8h	IP	IPH	IP1	IP1H				LVDS
B0h	P3						ADCHSEL	
A8h	IE	INTE	ADCDL	ADCDH	ADCDLYT			
A0h	P2	PWMCON						PWMCON2
98h	SCON	SBUF	P1MOD54	P3MOD10	P3MOD32	P3MOD54	P3MOD76	UARTBRP
90h	P1	P1MOD10	P1MOD32	UARTCON	OPTION	INTFLG		SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1		
80h	P0	SP	DPL	DPH	INTE2		INTPWM	PCON

3. 低电压复位和低电压检测

该芯片提供低电压复位（LVR）和低电压检测（LVD）功能。CFGWH 可选择 16 级的 LVD，上电复位时会将 CFGWH 装载到装置控制寄存器 LVDSEL(SFR Bfh.3~0)。LVRSEL(SFR E3h.3~0) 可选择 16 级 LVR。而 SFR PWRSV 和 LVRPD 位也会影响 LVR 功能，如下表所示。程序在 STARTUP 後, main 内的第一條指令, 需要新设置 LVR

操作模式	SFR			低电压复位 (LVR)	功能	Note
	LVRPD	PWRSV	LVRSEL			
快钟模式 慢钟模式	0	X	0000	ON	LV Reset 1.62V	
	0	X	0001	ON	LV Reset 1.69V	
	0	X	0010	ON	LV Reset 1.82V	
	0	X	0011	ON	LV Reset 1.94V	
	0	X	0100	ON	LV Reset 2.06V	
	0	X	0101	ON	LV Reset 2.17V	
	0	X	0110	ON	LV Reset 2.29V	
	0	X	0111	ON	LV Reset 2.41V	
	0	X	1000	ON	LV Reset 2.54V	
	0	X	1001	ON	LV Reset 2.66V	
	0	X	1010	ON	LV Reset 2.78V	
	0	X	1011	ON	LV Reset 2.90V	
	0	X	1100	ON	LV Reset 3.03V	
	0	X	1101	ON	LV Reset 3.15V	
	0	X	1110	ON	LV Reset 3.27V	
	0	X	1111	ON	LV Reset 3.39V	
空闲模式 停止模式 暂停模式	0	0	0000	ON	LV Reset 1.62V	电流消耗约 70uA
	0	0	0001	ON	LV Reset 1.71V	
	0	0	0010	ON	LV Reset 1.83V	
	0	0	0011	ON	LV Reset 1.95V	
	0	0	0100	ON	LV Reset 2.07V	
	0	0	0101	ON	LV Reset 2.19V	
	0	0	0110	ON	LV Reset 2.31V	
	0	0	0111	ON	LV Reset 2.43V	
	0	0	1000	ON	LV Reset 2.56V	
	0	0	1001	ON	LV Reset 2.68V	
	0	0	1010	ON	LV Reset 2.81V	
	0	0	1011	ON	LV Reset 2.93V	
	0	0	1100	ON	LV Reset 3.05V	
	0	0	1101	ON	LV Reset 3.17V	
	0	0	1110	ON	LV Reset 3.30V	
	0	0	1111	ON	LV Reset 3.42V	
空闲模式	0	1	XXXX	ON	Disable LVR Enable POR 1.6V	电流消耗约 16uA
停止模式 暂停模式	0	1	XXXX	OFF	Disable	*最小电流消耗约 0.7uA
快钟模式 慢钟模式 空闲模式	1	X	XXXX	ON	Disable LVR Enable POR 1.6V	电流消耗约 16uA
停止模式 暂停模式	1	X	XXXX	OFF	Disable	*最小电流消耗约 0.7uA

注：暂停模式会比停止模式多了 SRC 启用的耗电流约 5.5 ~ 23uA。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAB	VBGOUT		EEPTE		
R/W	R/W	R/W	R/W	R/W		R/W	R/W	
Reset	0	0	0	0		0	0	

F7h.5 **PWRSAB**: 设置1可降低空闲/暂停/停止模式下芯片的功耗

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	—			LVRPD	LVRSEL			
R/W	—			R/W	R/W	R/W	R/W	R/W
Reset	—			0	0	0	0	0

E3h.3~0 **LVRSEL**: 低压复位选择

0000: 将 LVR 设置为 1.62V
0001: 将 LVR 设置为 1.69V
0010: 将 LVR 设置为 1.82V
0011: 将 LVR 设置为 1.94V
0100: 将 LVR 设置为 2.06V
0101: 将 LVR 设置为 2.17V
0110: 将 LVR 设置为 2.29V
0111: 将 LVR 设置为 2.41V
1000: 将 LVR 设置为 2.54V
1001: 将 LVR 设置为 2.66V
1010: 将 LVR 设置为 2.78V
1011: 将 LVR 设置为 2.90V
1100: 将 LVR 设置为 3.03V
1101: 将 LVR 设置为 3.15V
1110: 将 LVR 设置为 3.27V
1111: 将 LVR 设置为 3.39V

SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDS	LVDM	LVDO	LVDHYS	LVDPD	LVDSESL			
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0			

- BFh.7 **LVDM:**
0: VCC < VLVD(LVDIF=1 当 LVDO=1)
1: VCC > VLVD(LVDIF=1 当 LVDO=0)
- BFh.6 **LVDO:** 低电压检测输出
- BFh.5 **LVDHYS:** LVD Hysteresis 使能.
0: LVD Hysteresis 禁用
1: LVD Hysteresis 使能
- BFh.4 **LVDPD:** 低电压检测功能禁止（在空闲/暂停/停止模式下自动禁用）
0: LVD 启用
1: LVD 禁用
- BFh.3~0 **LVDSEL:** 低电压检测功能选择
0000: 将 LVD 设置为 1.62V
0001: 将 LVD 设置为 1.71V
0010: 将 LVD 设置为 1.83V
0011: 将 LVD 设置为 1.95V
0100: 将 LVD 设置为 2.07V
0101: 将 LVD 设置为 2.19V
0110: 将 LVD 设置为 2.31V
0111: 将 LVD 设置为 2.43V
1000: 将 LVD 设置为 2.56V
1001: 将 LVD 设置为 2.68V
1010: 将 LVD 设置为 2.81V
1011: 将 LVD 设置为 2.93V
1100: 将 LVD 设置为 3.05V
1101: 将 LVD 设置为 3.17V
1110: 将 LVD 设置为 3.30V
1111: 将 LVD 设置为 3.42V

4. 复位

该芯片有五种类型的复位方法。上电复位(POR)，外部引脚复位(XRST)，软件复位(SWRST)，看门狗定时器复位(WDTR)和低电压复位(LVR)。CFGW 控制复位功能。复位后 SFR 是返回到默认值。

4.1 上电复位

上电复位后，设备停留在复位状态进行 40 ms 的芯片预热，然后从 Flash 的最后六个字节下载 CFGW 寄存器(其它复位不会重新加载 CFGW)。上电复位需要 VCC 引脚的电压先放电至接近 V_{SS} 电平，然后再上升超过 2.2V。上电复位始终使能启用。

4.2 外部引脚复位

外部引脚复位为低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGW 使能/禁止。

4.3 软件复位

软件复位是通过将数据 56h 写入 SWCMD (SFR 97h) 地址来产生。

4.4 看门狗定时器复位

WDT 溢出复位被 SFR F7h 来控制。WDT 使用 SRC 作为计数时基。它在快钟/慢钟模式运行，在空闲/暂停/停止模式下可选运行或停止。看门狗定时器溢出速度可通过 WDTPSC(SFR94h.5~4)定义。WDT 由 CLRWDT (SFR F8h.7) 或复位清零。

4.5 低电压复位(LVR)

低电压复位(LVR) 可以通过 LVRCON (E3h.3~0)选择 16 阶不同电压门槛值。当 PWRSAV (SFR F7h.5)=1 时，LVR 会在芯片进入IDLE/HALT/STOP 模式时自动关闭。可以由 LVRPD (E3h.4)使能/禁止。上电后LVR默认开最低的1.62V, 应该在切换到快钟之前, 选定对应频率合适的LVR电压点。

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	—			LVRPD	LVRSEL			
R/W	—			R/W	R/W	R/W	R/W	R/W
Reset	—			0	0	0	0	0

E3h.3~0 **LVRSEL**: 低压复位选择

0000: 将 LVR 设置为 1.62V
0001: 将 LVR 设置为 1.69V
0010: 将 LVR 设置为 1.82V
0011: 将 LVR 设置为 1.94V
0100: 将 LVR 设置为 2.06V
0101: 将 LVR 设置为 2.17V
0110: 将 LVR 设置为 2.29V
0111: 将 LVR 设置为 2.41V
1000: 将 LVR 设置为 2.54V
1001: 将 LVR 设置为 2.66V
1010: 将 LVR 设置为 2.78V
1011: 将 LVR 设置为 2.90V
1100: 将 LVR 设置为 3.03V
1101: 将 LVR 设置为 3.15V
1110: 将 LVR 设置为 3.27V
1111: 将 LVR 设置为 3.39V

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		-	—
R/W	—	R/W	R/W		R/W		-	-
Reset	—	0	0	0	0	0	-	-

94h.5~4 **WDTPSC**: 看门狗定时器预分频时间选择

00: 480 ms WDT 溢出率

01: 240 ms WDT 溢出率

10: 120 ms WDT 溢出率

11: 60 ms WDT 溢出率

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	—	—	PCIF	TF3
R/W	R/W	R/W	R	R/W	—	—	R/W	R/W
Reset	0	0	0	0	—	—	0	0

95h.7 **LVDIF**: 低电压检测标志

由硬件设置。软件将 7Fh 写入 INTFLG 以清除该标志。

注: S/W 可以写 0 清除 INTFLG 中的标志，但写 1 没有任何效果。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	SWRST							
R/W	W						R/W	W
Reset	—						—	0

97h.7~0 **SWRST**: 写入 56h 以产生软件复位

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	-	EEPTE		-
R/W	R/W	R/W	R/W	R/W	-	R/W		-
Reset	0	0	0	0	-	1	1	-

F7h.7~6 **WDTE**: 看门狗定时器复位控制

0x: 看门狗定时器复位关闭

10: 看门狗定时器复位位于快钟/慢钟模式下使能，空闲/暂停/停止模式时禁止

11: 看门狗定时器复位始终启用

F7h.5 **PWRSV**: 设置 1 可降低空闲/暂停/停止模式下芯片的功耗

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T0SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	1	0	1	0	0	0

F8h.7 **CLRWDT**: 设置以清除看门狗定时器，硬件自动在一个时钟周期清除它。

5. 时钟电路和工作模式

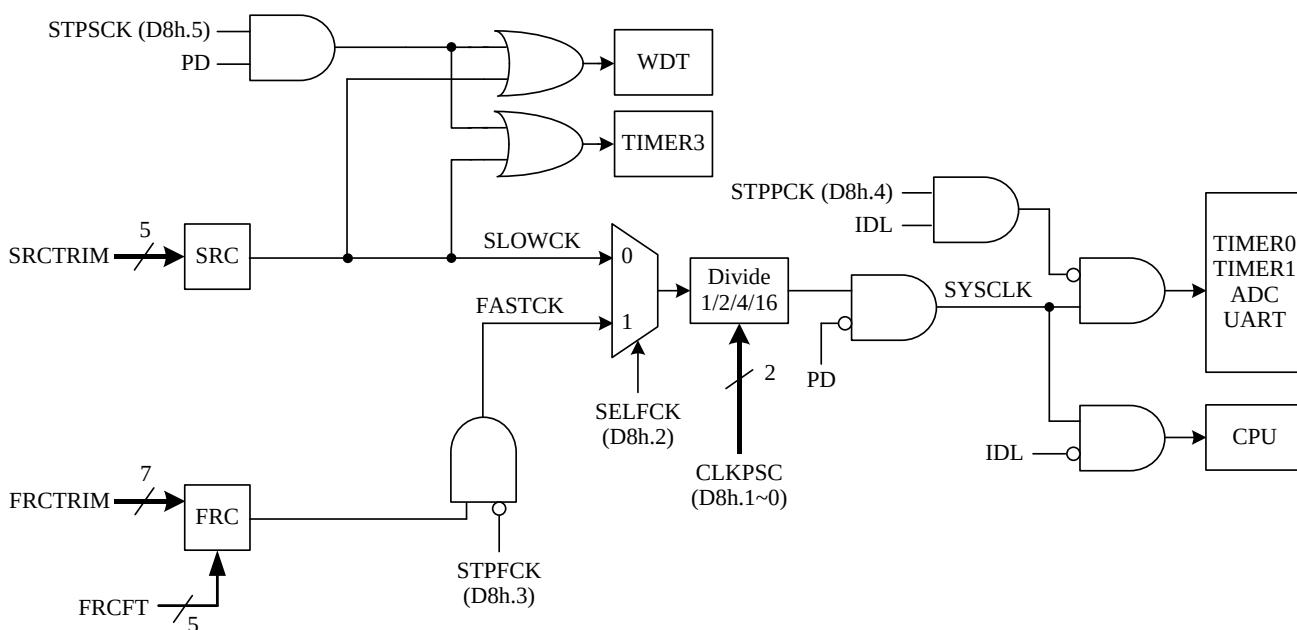
5.1 时钟电路

该芯片设计有双时钟系统。在运行时，用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1, 2, 4 或 16 的时钟分频器。快时钟用 FRC(快速内部 RC, 16.5888 MHz)。慢时钟用 SRC(慢速内部 RC, 131 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的 CPU 运行速度。快时钟 FRC 在出厂前校准到预设值(16.5888MHz), 此默认值会在上电时装载到寄存器 SFR F6h, 此外快时钟用 FRC 还可以再用寄存器 FRCFT(SFR. D7h) 做细微调整。慢时钟 SRC 也会在出厂前校准到预设值(131KHz), 上电时装载到寄存器 SFR EAh。

复位后，该设备在慢钟模式 131KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型，在慢钟模式下改变快时钟类型。千万不要同时写 STPFCK=1 & SELFCK=1。建议在写这个 SFR 时一次只写一个位。

该芯片还可以向 P1.4 引脚输出“系统时钟 2 分频”信号（CKO）。CKO 引脚的输出设置由 P1MOD54 SFR 控制（参见第 7 节）



注：由于 CLKPSC 延迟，在将慢时钟切换为快时钟之前，它需要等待 16 个时钟周期（最大）。

SYSCLK	CLKCON (D8h)	
	bit3 STPFCK	bit2 SELFCK
Fast FRC	0	1
Slow SRC	0/1	0
Stop FRC	0 → 1	0
Switch to FRC	0	0 → 1
Switch to SRC	0	1 → 0

Flash	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL		FRCTRIM						

CFGWL FRCTRIM: FRC频率调整

芯片制造中, FRC 校准到16.5888MHz. 上电复位时会把CFGWL 装载到寄存器 SFR F6h

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FRCF	—	FRCF						
R/W	—	R/W						
Reset	—	—	—	—	—	—	—	—

F6h.6~0 **FRCF:** FRC频率调整

00h= 频率最低, 7Fh=频率最高

SFR D7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FRCFT	—	—	—	FRCFT				
R/W	—	—	—	R/W				
Reset	—	—	—	0	0	0	0	0

D7h.4~0 **FRCFT:** FRC频率微调

Flash	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGSRC				SRCTRIM				

CFGSRC SRCTRIM: SRC频率调整

芯片制造中, SRC 校准到 131KHz. 上电复位时会把CFGSRC 装载到寄存器 SFR EAh

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SRCTRIM	—	—	—	SRCTRIM				
R/W	—	—	—	R/W				
Reset	—	—	—	—	—	—	—	—

EAh.4~0 **SRCTRIM:** SRC频率调整

00h= 频率最低, 1Fh=频率最高

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON			STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W			R/W	R/W	R/W	R/W	R/W	
Reset			1	0	0	0	1	1

D8h.5 **STPSCK:** 设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK:** 设为 1, 停止 UART/Timer0/Timer1/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:** 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:** 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟

1: 快时钟

D8h.1~0 **CLKPSC:** 系统时钟分频器, 生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

5.2 操作模式

这个设备有 5 种操作模式。**快钟模式**被定义为在快时钟速度运行的 CPU。**慢钟模式**被定义为慢时钟速度运行的 CPU。当系统时钟速度较低，功耗较低。

空闲模式通过设置 PCON 中的 IDL 位进入。

快或慢时钟都可设置为在空闲模式下的系统时钟源，但慢时钟的省电越好。在空闲模式下，CPU 进入睡眠，而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1，Timer0/1/2，ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置 PCON 中的 PD 位及 CLKCON 中的 STPSCK 位进入。

这种模式在标准的 8051 是所谓的“省电”模式。在停止模式下，除了 WDT 时钟可能开启，其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

暂停模式是通过设置 PCON 中的 PD 位及清除 CLKCON 中的 STPSCK 位进入。

在暂停模式下，所有时钟都停止，但如果启用了 Timer3 和 WDT，则它们可能处于开启状态。暂停模式可以通过复位，引脚唤醒或 Timer3 中断来终止。在这模式下，Timer3 时钟源只能选择慢时钟，不能选择 FRC/512。

注：如果 INTn 引脚是低电平且该唤醒功能启用，则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1,n=0~1)

注：固件必须关闭 Bandgap 以获得最小电流消耗 (VBGOUT=0)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.1 **PD:** 停止位，如果 1 进入暂停/停止模式。

87h.0 **IDL:** 空闲位，如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	—	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	—	—	R/W	R/W	R/W	R/W	R/W	
Reset	—	—	1	0	0	0	1	1

D8h.5 **STPSCK:** 设为 1，停止慢钟在停止模式。

D8h.4 **STPPCK:** 设为 1，停止 UART/Timer0/Timer1/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:** 设为 1，停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:** 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟 1: 快时钟

D8h.1~0 **CLKPSC:** 系统时钟分频器，生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	–	TM3CKS	WDTPSC		ADCKS		–	–
R/W	–	R/W	R/W		R/W		–	–
Reset	–	0	0	0	0	0	–	–

94h.6 **TM3CKS:** Timer3 时钟源选择
0: SRC/4
1: FRC/512

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAPV	VBGOUT		EEPTE		
R/W	R/W	R/W	R/W	R/W		R/W		
Reset	0	0	0	0		1	1	

F7h.4 **VBGOUT:** VBG 电压输出至 P3.2
0: 关闭
1: 启用

6. 中断和唤醒

该芯片有 11 源四级中断优先级结构。只有引脚中断可以从暂停/停止模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1，中断事件将设置其个别的中断标志。中断向量和标志列表如下。

向量	中断号 C51	标志	描述
0003	0	IE0	INT0 外部引脚中断(可以唤醒暂停/停止模式)
000B	1	TF0	Timer0 中断
0013	2	IE1	INT1 外部引脚中断(可以唤醒暂停/停止模式)
001B	3	TF1	Timer1 中断
0023	4	RI+TI	串口(UART)中断
002B	5	-	保留
0033	6	-	保留为 ICE 模式使用
003B	7	TF3	Timer3 中断
0043	8	PCIF	Port1/PORT3 外部引脚电平变化中断
004B	9	LVDIF	LVD 中断
0053	10	ADIF	ADC 中断
005B	11	EEPIF	EEP 写入完成中断
0063	12	-	保留
006B	13	-	保留
0073	14	PWM0IF+PWM1IF	PWM0~1 中断

中断向量和标志

向量	中断号 C51	标志	中断使能	子中断使能	中断标志
0003	0	IE0	IE A8.0		TCON 88.1
000B	1	TF0	IE A8.1		TCON 88.5
0013	2	IE1	IE A8.2		TCON 88.3
001B	3	TF1	IE A8.3		TCON 88.7
0023	4	RI+TI	IE A8.4		SCON 98.1~0
002B					
0033	6				
003B	7	TF3	INTE1 A9.0		INTFLG 95.0
0043	8	PCIF	INTE1 A9.1		INTFLG 95.1
004B	9	LVDIF	INTE1 A9.2		INTFLG 95.7
0053	10	ADIF	INTE1 A9.3		INTFLG 95.4
005B	11	EEPIF	INTE1 A9.4		INTFLG 95.6
0063					
006B					
0073	14	PWM0IF+P WM1IF	INTE1 A9.4	INTE2 84.0 INTE2 84.1	INTPWM 86.0 INTPWM 86.1

中断相关的 SFR

6.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。IP，IPH，IP1 和 IP1H 的 SFR 决定中断优先级。中断会被服务，需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时，新的

中断将等待被服务，直到它之前的服务完成。如果较低优先级中断正被服务时，将被停止，开始新的中断服务。当新的中断结束后，被停止的较低优先级的中断才会被完成。

6.2 关于中断子程序的建议

在进入中断程序时，传统已熟知的SFR A或PSW 应该加入PUSH POP的行列，以避免中断前后写读这些SFR可能造成不一致的问题。另外PWMDH, PWMDL, PWMPRDH或PWMPRDL 为16位操作，程序在高字节和低字节写入和读取时，应该避免发生中断. 假如在读写这些16位的SFR其间发生中断. 而中断内又对这些SFR 做读写。则容易造成读写的错误，16 位PWM period与duty的读写，建议只在主程序内更新数据，或只在中断内更新数据，以避免可能的错误产生。

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	—	—	—	—		PWM11IE	PWM0IE
R/W	—	—	—	—	—		W	W
Reset	—	—	—	—	—		0	0

- 84h.1 **PWM11IE:** PWM1 中断使能
0: 禁用
1: 允许(注意: PWMIE 必须同时为 1 才能产生 PWM 中断)
- 84h.0 **PWM0IE:** PWM0 中断使能
0: 禁用
1: 允许(注意: PWMIE 必须同时为 1 才能产生 PWM 中断)

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—		ES	ET1	EX1	ET0	EX0
R/W	R/W	—		R/W	R/W	R/W	R/W	R/W
Reset	0	—		0	0	0	0	0

- A8h.7 **EA:** 总中断使能控制
0: 禁用所有中断
1: 每个中断通过其各个中断控制位使能或禁止
- A8h.4 **ES:** 串口(UART)中断使能控制
0: 禁用串口(UART)中断
1: 允许串口(UART)中断
- A8h.3 **ET1:** Timer1 中断使能控制
0: 禁用 Timer1 中断
1: 允许 Timer1 中断
- A8h.2 **EX1:** INT1 引脚中断和暂停/停止模式唤醒使能控制
0: 禁用 INT1 引脚中断和暂停/停止模式唤醒
1: 允许 INT1 引脚中断和暂停/停止模式唤醒，不管 EA 为 0 或 1，都可在从暂停/停止模式下唤醒 CPU。
- A8h.1 **ET0:** Timer0 中断使能
0: 禁用 Timer0 中断
1: 允许 Timer0 中断
- A8h.0 **EX0:** INT0 引脚中断和暂停/停止模式唤醒使能控制
0: 禁用 INT0 引脚中断和暂停/停止模式唤醒
1: 允许 INT0 引脚中断和暂停/停止模式唤醒，不管 EA 为 0 或 1，都可在从暂停/停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE			EEPIE	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0			0	0	0	0	0

A9h.7 **PWMIE**: PWM0~PWM1 中断使能

0: 禁用 PWM0~PWM1 中断

1: 允许 PWM0~PWM1 中断

A9h.4 **EEPIE**: EEP 写入完成中断使能控制

0:禁用 ADC 中断

1:允许 ADC 中断

A9h.3 **ADIE**: ADC 中断使能控制

0:禁用 ADC 中断

1:允许 ADC 中断

A9h.2 **LVDIE**: LVD 中断使能

0: 禁用 LVD 中断

1: 允许 LVD 中断

A9h.1 **PCIE**: Port1, Port3 引脚电平变化中断使能。该位不影响暂停/停止模式唤醒功能。

0: 禁用 Port1, Port3 引脚电平变化中断

1: 允许 Port1, Port3 引脚电平变化中断

A9h.0 **TM3IE**:Timer3 中断使能控制

0:禁用 Timer3 中断

1:允许 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	—	—		PSH	PT1H	PX1H	PT0H	PX0H
R/W	—	—		R/W	R/W	R/W	R/W	R/W
Reset	—	—		0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	—	—		PS	PT1	PX1	PT0	PX0
R/W	—	—		R/W	R/W	R/W	R/W	R/W
Reset	—	—		0	0	0	0	0

B9h.4, B8h.4 **PSH,PS**: 串口(UART)中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H,PT1**: Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H,PX1**: INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H,PT0**: Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H,PX0**: INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	PPWMH			PEEPH	PADIH	PLVDH	PPCH	PT3H
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0			0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	PPWM			PEEP	PADI	PLVD	PPC	PT3
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0			0	0	0	0	0

BBh.7,BAh.7 **PPWMH,PPWM**: PWM0~PWM1 中断优先级控制。定义如上。

BBh.4,BAh.4 **PEEPH,PEEP**: EEP 写入完成中断优先级控制。定义如上。

BBh.3,BAh.3 **PADIH,PADI**: ADC 中断优先级控制。定义如上。

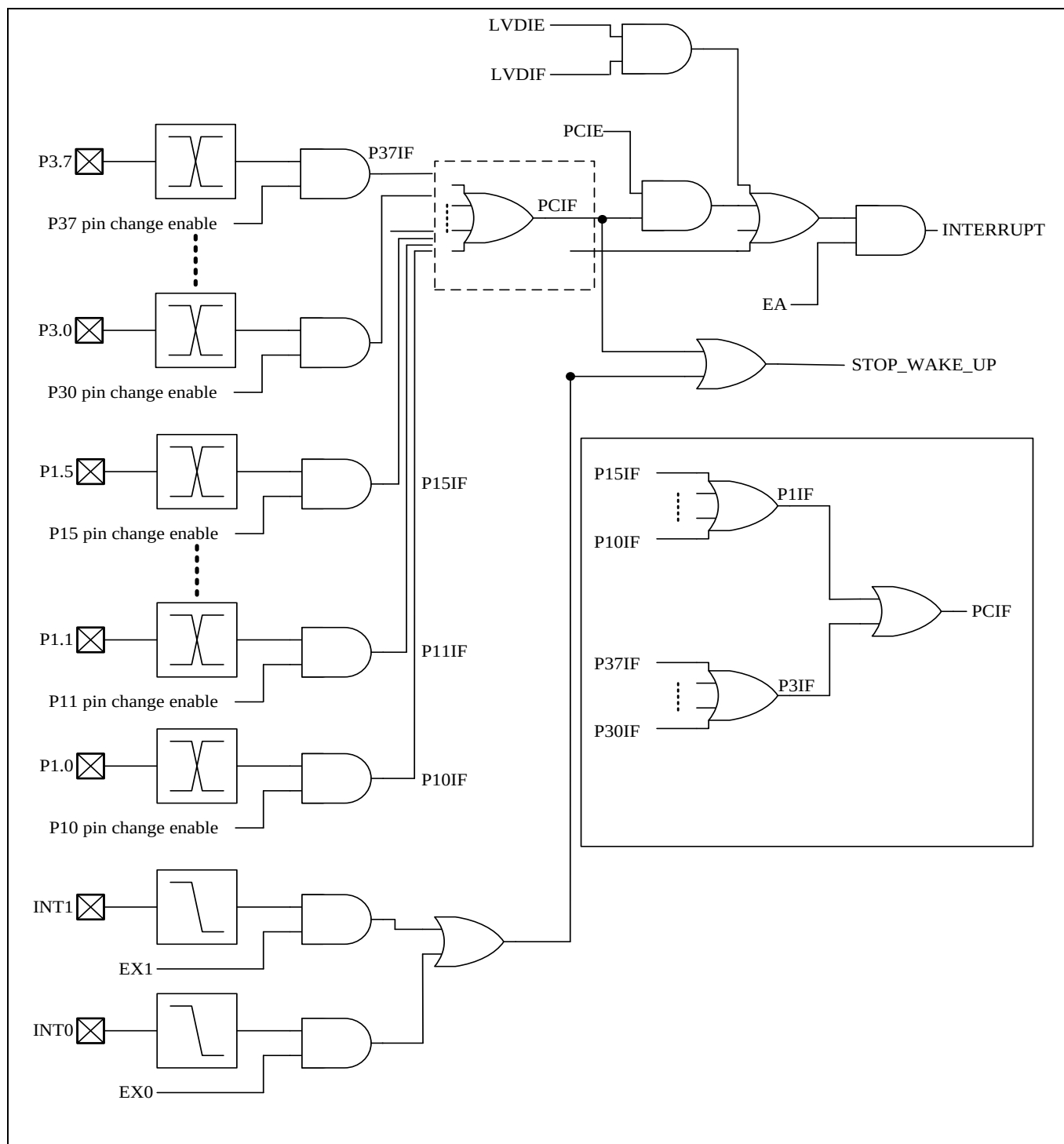
BBh.2,BAh.2 **PLVDH,PLVD**: LVD 中断优先级控制。定义如上。

BBh.1,BAh.1 **PPCH,PPC**: 端口 0 ~ 端口 3 引脚电平变化中断优先级控制。定义如上。

BBh.0,BAh.0 **PT3,PT3**: Timer3 中断优先级控制。定义如上。

6.3 引脚中断和 LVD 中断

引脚中断包括 INT0~INT1 和 Port1, Port3 引脚电平变化中断。INT0~INT1 和 Port1, Port3 的引脚变化也具有唤醒功能。INT0 和 INT1 为 8051 标准触发的下降沿或低电平。Port1, Port3 引脚更改中断由 IO 状态更改触发。PORT1 引脚更改使能通过 P1MOD10 / P1MOD32 / P1MOD54 进行设置。PORT3 引脚更改使能通过 P3MOD10 / P3MOD32 / P3MOD54 / P3MOD76 进行设置, 有关详细信息, 请参见第 7 章。而 LVD 中断可用于检测 V_{CC} 电压电平并产生中断。



引脚中断和唤醒

注: 如果INTn 引脚为低电平并且使能了唤醒功能, 则芯片无法进入暂停/停止模式。(INTn=0 和 EXn=1, n=0~1)

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	—	—	PCIF	TF3
R/W	R/W	R/W	R	R/W	—	—	R/W	R/W
Reset	0	0	0	0	—	—	0	0

95h.7 **LVDIF**: 低电压检测标志

由硬件设置。S/W 将 7Fh 写入 INTFLG 以清除该标志。

95h.1 **PCIF**: Port1/Port3 引脚电平变化旗标

当检测到 Port1/Port3 引脚电平变化且其中断允许位被置 1 时，由硬件置 1。

当程序执行中断服务程序时被自动清除。

S/W 可以写 0 来清除所有引脚更改中断标志

注: S/W 可以写 0 清除 INTFLG 中的标志，但写 1 没有任何效果。

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

88h.3 **IE1**: 外部中断 1(INT1 引脚)边沿标志

设置于 H/W 检测到 INT1 引脚下降沿时，不管 EX1 为 0 或 1。

程序执行中断服务时，它会被自动清除。

88h.2 **IT1**: 外部中断 1 控制位

0: 低电平有效(电平触发)的 INT1 引脚

1: 下降沿有效(边沿触发)的 INT1 引脚

88h.1 **IE0**: 外部中断 0(INT0 引脚)边沿标志

设置于 H/W 检测到 INT0 引脚下降沿时，不管 EX0 为 0 或 1。

程序执行中断服务时，它会被自动清除。

88h.0 **IT0**: 外部中断 0 控制位

0: 低电平有效(电平触发)的 INT0 引脚

1: 下降沿有效(边沿触发)的 INT0 引脚

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	—	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
Reset	0	—	—	0	0	0	0	0

A8h.7 **EA**: 总中断使能控制

0: 禁用所有中断

1: 每个中断通过其各个中断控制位使能或禁止

A8h.2 **EX1**: INT1 引脚中断和暂停/停止模式唤醒使能控制

0: 禁用 INT1 引脚中断和暂停/停止模式唤醒

1: 允许 INT1 引脚中断和暂停/停止模式唤醒，不管 EA 为 0 或 1，都可从暂停/停止模式下唤醒 CPU。

A8h.0 **EX0**: INT0 引脚中断和暂停/停止模式唤醒使能控制

0: 禁用 INT0 引脚中断和暂停/停止模式唤醒

1: 允许 INT0 引脚中断和暂停/停止模式唤醒，不管 EA 为 0 或 1，都可从暂停/停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	—	—	EEPIE	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
Reset	0	—	—	0	0	0	0	0

A9h.2 **LVDIE**: LVD 中断使能

0: 禁用 LVD 中断

1: 允许 LVD 中断

A9h.1 **PCIE**: Port1, Port3 引脚电平变化中断使能。该位不影响暂停/停止模式唤醒功能。

0: 禁用 Port1, Port3 引脚电平变化中断

1: 允许 Port1, Port3 引脚电平变化中断

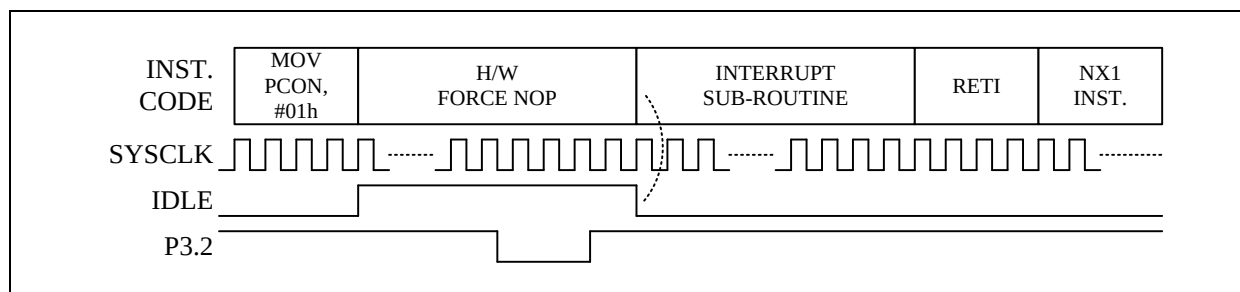
SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDS	LVDM	LVDO	–	LVDPD	LVDSSEL			
R/W	R/W	R	–	R/W	R/W	R/W	R/W	R/W
Reset	0	0	–	0	0	0	0	0

BFh.3~0 **LVDSSEL:** 低电压检测功能选择

0000: 将 LVD 设置为 1.62V
 0001: 将 LVD 设置为 1.71V
 0010: 将 LVD 设置为 1.83V
 0011: 将 LVD 设置为 1.95V
 0100: 将 LVD 设置为 2.07V
 0101: 将 LVD 设置为 2.19V
 0110: 将 LVD 设置为 2.31V
 0111: 将 LVD 设置为 2.43V
 1000: 将 LVD 设置为 2.56V
 1001: 将 LVD 设置为 2.68V
 1010: 将 LVD 设置为 2.81V
 1011: 将 LVD 设置为 2.93V
 1100: 将 LVD 设置为 3.05V
 1101: 将 LVD 设置为 3.17V
 1110: 将 LVD 设置为 3.30V
 1111: 将 LVD 设置为 3.42V

6.4 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒，这意味着各个中断使能位(如: EX0)和 EA 位必须都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断(INT0~INT1, 定时器, PWM, ADC 和 UART), 可以将 CPU 从空闲模式唤醒。当空闲被唤醒, 立即进入中断服务程序。当中断服务程序返回后, “IDL (PCON.0)设置后的第一个指令” 将被执行。



EA=EX0=1, P3.2(INT0) 空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

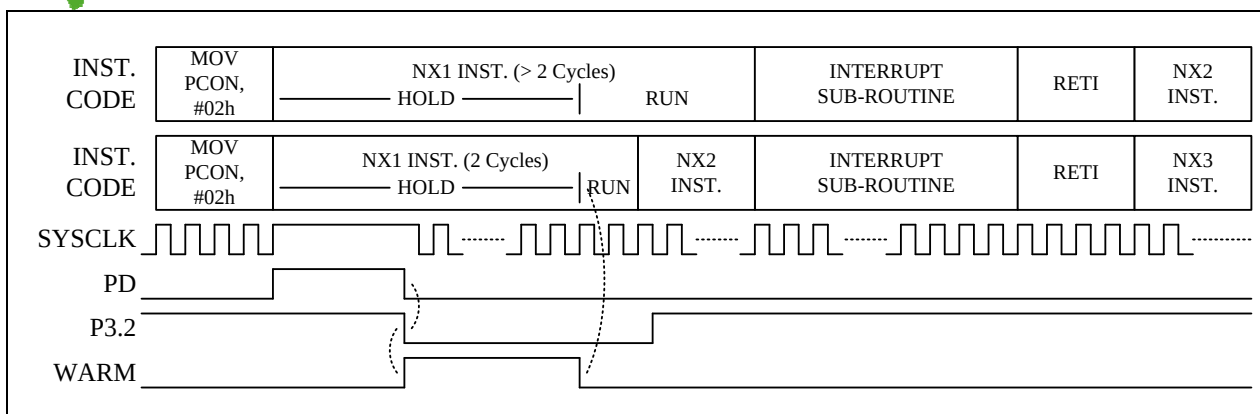
87h.1 **PD:** 停止位, 如果 1 进入暂停/停止模式。

87h.0 **IDL:** 空闲位, 如果 1 进入空闲模式。

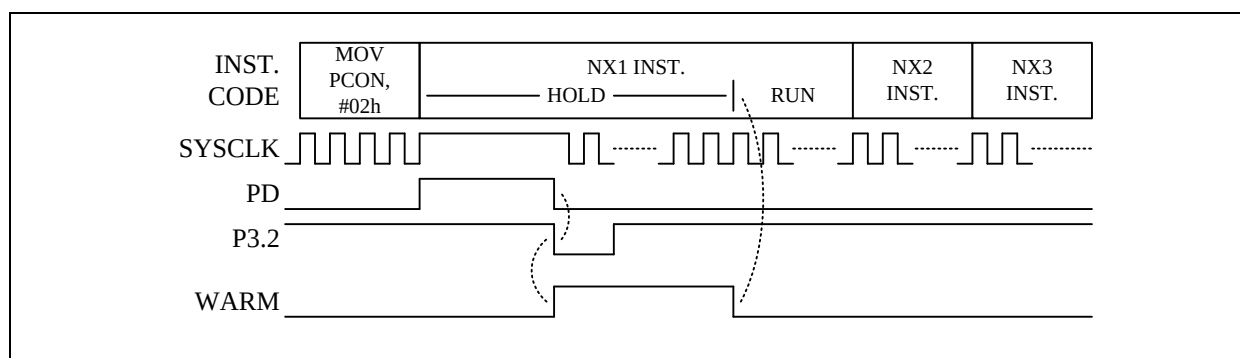
6.5 暂停/停止模式唤醒和中断

暂停/停止模式唤醒很简单, 只要把各个引脚的中断使能位(如: EX0)设置, 该引脚唤醒功能启用。设置 P1MOD10/P1MOD32/P1MOD54, P3MOD10/P3MOD32/P3MOD54/P3MOD76 可启用 Port1, Port3 暂停/停止模式唤醒功能。一旦暂停/停止被唤醒, “PD (PCON.1) 设置后的第一条指令” 立即在中断服务之前被执行。中断进入需要 EA=1 和该引脚触发状态停留足够长, 以被系统时钟采样到。此功能可让 CPU 暂停/停止模式唤醒后, 进入或不进入中断子程序。

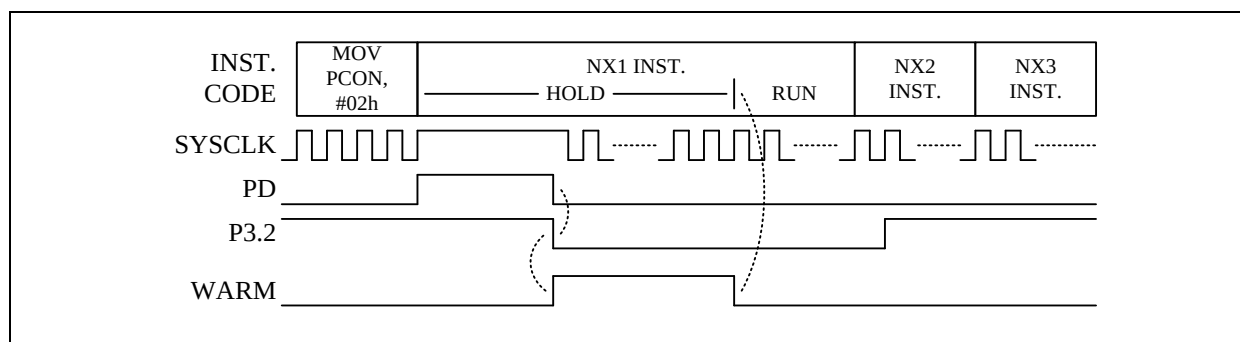
注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1, n=0~1)



EA=EX0=1, P3.2 (INT0) 预热后被采样, 暂停/停止模式唤醒和中断



EA=EX0=1, 脉冲太窄, 暂停/停止模式唤醒, 但没有中断



EX0=1, EA=0, P3.2 (INT0) 暂停/停止模式唤醒, 但没有中断

7. I/O 端口

该芯片总共有 14 个多功能 I/O 引脚。所有的 I/O 引脚遵循标准 8051“读-修改-写”功能。读取 SFR 的，而不是引脚状态的指令，会读取一个端口或端口位的值，可能改变它，然后将它改写到 SFR。(例如: ANL P0, A; INC P1; CPL P3.0)。

在进入中断程序时，传统已熟知的 SFR A 或 PSW 应该加入 PUSH POP 的行列，以避免中断前后写读这些 SFR 可能造成不一致的问题。

7.1 端口 1, 端口 3

IO 引脚可以按以下不同方式定义。

P3MOD76 P1MOD54/ P3MOD54 P1MOD32/ P3MOD32 P1MOD10/ P3MOD10					引脚状态	中断	唤醒
模式0	0	0	0	0	开漏输出，上拉 (针对INT0/INT1)	支持	支持
模式1	0	0	0	1	开漏输出(默认) (针对INT0/INT1)	支持	支持
模式2	0	0	1	0	CMOS推挽输出	-	-
模式3	0	0	1	1	ADC通道	-	-
模式4	0	1	0	0	开漏输出，下拉	支持	支持
模式5	0	1	0	1	开漏输出	支持	支持
模式6	0	1	1	0	CMOS推挽输出	-	-
模式7	0	1	1	1	-	-	-
模式8	1	0	0	0	开漏输出，上拉 (针对暂停/停止模式引脚电平变化)	支持	支持
模式9	1	0	0	1	开漏输出 (针对暂停/停止模式引脚电平变化)	支持	支持
模式10	1	0	1	0	CMOS推挽输出	-	-
模式11	1	0	1	1	PWM输出	-	-
模式12	1	1	0	0	开漏输出，下拉 (针对暂停/停止模式引脚电平变化)	支持	支持
模式13	1	1	0	1	开漏输出 (针对暂停/停止模式引脚电平变化)	支持	支持
模式14	1	1	1	0	T0OE/T1OE/TCOE CMOS推挽输出	-	-
模式15	1	1	1	1	LCD 1/2 V _{CC} 偏压输出	-	-

表 7.1 端口 1, 端口 3 引脚菜单

P1MOD10 设置为 P1.1 和 P1.0，高 4 位设置为 P1.1，低 4 位设置为 P1.0
P1MOD32 设置为 P1.3 和 P1.2，高 4 位设置为 P1.3，低 4 位设置为 P1.2
P1MOD54 设置为 P1.5 和 P1.4，高 4 位设置为 P1.5，低 4 位设置为 P1.4

P3MOD10 设置为 P3.1 和 P3.0，高 4 位设置为 P3.1，低 4 位设置为 P3.0
P3MOD32 设置为 P3.3 和 P3.2，高 4 位设置为 P3.3，低 4 位设置为 P3.2
P3MOD54 设置为 P3.5 和 P3.4，高 4 位设置为 P3.5，低 4 位设置为 P3.4
P3MOD76 设置为 P3.7 和 P3.6，高 4 位设置为 P3.7，低 4 位设置为 P3.6

引脚模式	端口0~端口3引脚功能	Px.n SFR数据	引脚状态	电阻上拉	电阻下拉	数位输入
模式0 模式8	带上拉的开漏输出	0	驱动低	N	N	N
		1	上拉	Y	N	Y
模式4 模式12	带下拉的开漏输出	0	驱动低	N	N	N
		1	下拉	N	Y	Y
模式1 模式5 模式9 模式13	开漏输出	0	驱动低	N	N	N
		1	高阻抗	N	N	Y
模式2 模式6 模式10	CMOS推挽输出	0	驱动低	N	N	N
		1	驱动高	N	N	N
模式3	ADC通道	X (无关)	—	N	N	N
模式7	-	—	—	—	—	—
模式11	PWM 输出	X (无关)	—	N	N	N
模式14	T0OE/T1OE/TCOE	X (无关)	—	N	N	N
模式15	LCD 1/2 V _{CC} 偏压输出	X (无关)	—	Y	Y	N

端口1, 端口3引脚菜单

如果一个端口 1, 端口 3 引脚用于施密特触发输入, S/W 必须设置 I/O 引脚到模式 0, 模式 1, 模式 4, 模式 5, 模式 8, 模式 9, 模式 12 或模式 13 (开漏, 带上拉的开漏或带下拉的开漏), 并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

设置 IOVIS (SFR EFh.2) 端口 1, 端口 3 的输入高电平(V_{IH})和输入低电平(V_{IL})有两种不同的输入电平选择

除了 I/O 端口功能外, 每个端口 1, 端口 3 引脚还具有一个或多个替代功能, 例如 ADC 和 LCD。通过将单独的引脚模式控制 SFR 设置为模式 3, 模式 7, 模式 11 或模式 15, 可以激活大多数功能。端口 1 和端口 3 引脚具有标准的 8051 辅助定义, 例如 INT0/INT1, T0/T1 或 RXD/TXD。这些引脚功能需要将引脚模式 SFR 设置为模式 0, 模式 1, 模式 5, 模式 8, 模式 12 或模式 13 (开漏或带上拉的开漏), 并将 P1.n/P3.n SFR 保持为 1。

引脚名称	唤醒中断	CKO	ADC	LCD	PWM	UART	其他
P1.5	Y		AD13	Y			
P1.4	Y	CKO	AD11	Y	PWM3		
P1.3	Y		AD10	Y	PWM2		
P1.2	Y		AD09	Y	PWM1		
P1.1	Y		AD08	Y	PWM0P		
P1.0	Y		AD07	Y	PWM0N		

端口1多重功能菜单

引脚名称	唤醒中断	CKO	ADC	LCD	PWM	UART	其他
P3.7	Y			Y	PWM3		RSTn VPP
P3.6	Y		AD06	Y	PWM0P		
P3.5	Y	T1O	AD05	Y			T1
P3.4	Y	T0O	AD04	Y	PWM2		T0
P3.3	Y		AD03	Y	PWM1	TXD (RXD)	INT1
P3.2	Y		AD01	Y	PWM0N	RXD (TXD)	INT0 VBGO
P3.1	Y		AD01	Y		TXD (RXD)	
P3.0	Y		AD00	Y		RXD (TXD)	

端口3多重功能菜单

下面列出了端口 0~端口 3 引脚的替代功能所需的 SFR 设置。

替代功能	PINMOD _{xx}	Px.n SFR 数据	引脚状态	设其他需要的 SFR 置
INT0, INT1	0000	1	带上拉的输入	
	0001	1	输入	
T0, T1	x000	1	带上拉的输入	
	xx01	1	输入	
RXD	x000	1	UART RX(带上拉的输入)	UARTCON
	xx01	1	UART RX(输入)	
TXD	x000	1	UART TX 输出(开漏输出, 上拉)	
	xx01	1	UART TX 输出(开漏输出)	
VBGO	0011	X	带隙基准电压输出	VBGOUT
AD0~AD6 AD7~AD11, AD13	0011	X	ADC 通道	ADCHS
LCD	1111	X	LCD 1/2 V _{CC} 偏压输出	
T0O,T1O, CKO	1110	X	时钟输出(CMOS 推挽)	T0OE T1OE TCOE
PWM0P~PWM0N PWM1~PWM3	1011	X	PWM 输出(CMOS 推挽)	

对于上表中,“**CMOS 推挽**”引脚意味着它可以吸收和驱动至少 4 mA 的电流。我们不建议使用这种引脚作为输入功能。

一个“**开漏**”引脚意味着它可以吸收至少 4 mA 电流, 但只能驱动小电流(<20μA)。它可以用作输入或输出功能, 并且通常需要一个外部上拉电阻。

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	-	-	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
Reset	-	-	1	1	1	1	1	1

90h.7~0 **P1**: 端口 1 数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: 端口 3 数据

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD10	P1MOD1				P1MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

91h.7~4 **P1MOD1**: P1.1 引脚控制

0000~1111: 见表 7.1

91h.3~0 **PINMOD0**: P1.0 引脚控制

0000~1111: 见表 7.1

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD32	P1MOD3				P1MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

92h.7~4 **P1MOD3**: P1.3引脚控制
0000~1111: 见表7.1

92h.3~0 **P1MOD2**: P1.2引脚控制
0000~1111: 见表7.1

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD54	P1MOD5				P1MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ah.7~4 **P1MOD5**: P1.5引脚控制
0000~1111: 见表7.1

9Ah.3~0 **P1MOD4**: P1.4引脚控制
0000~1111: 见表7.1

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD10	P3MOD1				P3MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Bh.7~4 **P3MOD1**: P3.1引脚控制
0000~1111: 见表7.1

9Bh.3~0 **P3MOD0**: P3.0引脚控制
0000~1111: 见表7.1

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD32	P3MOD3				P3MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ch.7~4 **P3MOD3**: P3.3引脚控制
0000~1111: 见表7.1

9Ch.3~0 **P3MOD2**: P3.2引脚控制
0000~1111: 见表7.1

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD54	P3MOD5				P3MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Dh.7~4 **P3MOD5**: P3.5引脚控制
0000~1111: 见表7.1

9Dh.3~0 **P3MOD4**: P3.4引脚控制
0000~1111: 见表7.1

SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD76	P3MOD7				P3MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Eh.7~4 **P3MOD7**: P3.7引脚控制
0000~1111: 见表7.1

9Eh.3~0 **P3MOD6**: P3.6引脚控制
0000~1111: 见表7.1

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UARTCON					-	UARTPS		
R/W					-	R/W		
					-	0	0	1

93h.2~0 **UARTPS:** UART引脚选择
0000: RXD/TXD = P3.0/P3.1
0001: RXD/TXD = P3.2/P3.3
0010: RXD/TXD = P3.1/P3.0
0011: RXD/TXD = P3.3/P3.2
0100: RXD/TXD = P3.1/P3.1, 单线模式
0101: RXD/TXD = P3.3/P3.3, 单线模式
0110: RXD/TXD = P3.0/P3.0, 单线模式
0111: RXD/TXD = P3.2/P3.2, 单线模式

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAPV	VBGOUT		EEPTE		
R/W	R/W	R/W	R/W	R/W		R/W		
Reset	0	0	0	0		1	1	

F7h.4 **VBGOUT:** 带隙基准电压输出至 P3.2
0: 关闭
1: 启用

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHSEL	ADCHS					ADCVREFS	VBGSEL	
R/W	R/W					R/W	R/W	
Reset				1	1	0	0	0

B6h.4~0 **ADCHS:** ADC 通道选择
00000: CH0 (P3.0) 01001: CH9 (P1.2)
00001: CH1 (P3.1) 01010: CH10 (P1.3)
00010: CH2 (P3.2) 01011: CH11 (P1.4)
00011: CH3 (P3.3) 01100: CH12 VBG (内部带隙参考电压源)
00100: CH4 (P3.4) 01001: CH13 (P1.5)
00101: CH5 (P3.5) others: 保留
00110: CH6 (P3.6) 11110: VCC/201
00111: CH7 (P1.0) 11111: VCC/4
01000: CH8 (P1.1)

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	Warmtime	TM3PSC			-	IOVIS	-	-
R/W	R/W	R/W			-	R/W	-	-
Reset	0	0	0	0	-	0	-	-

EFh.2 **IOVIS:** IO端口输入高低电平选择
0: VIH=0.7VDD, VIL=0.3VDD
1: VIH=0.4VDD, VIL=0.2VDD (仿真不支持)

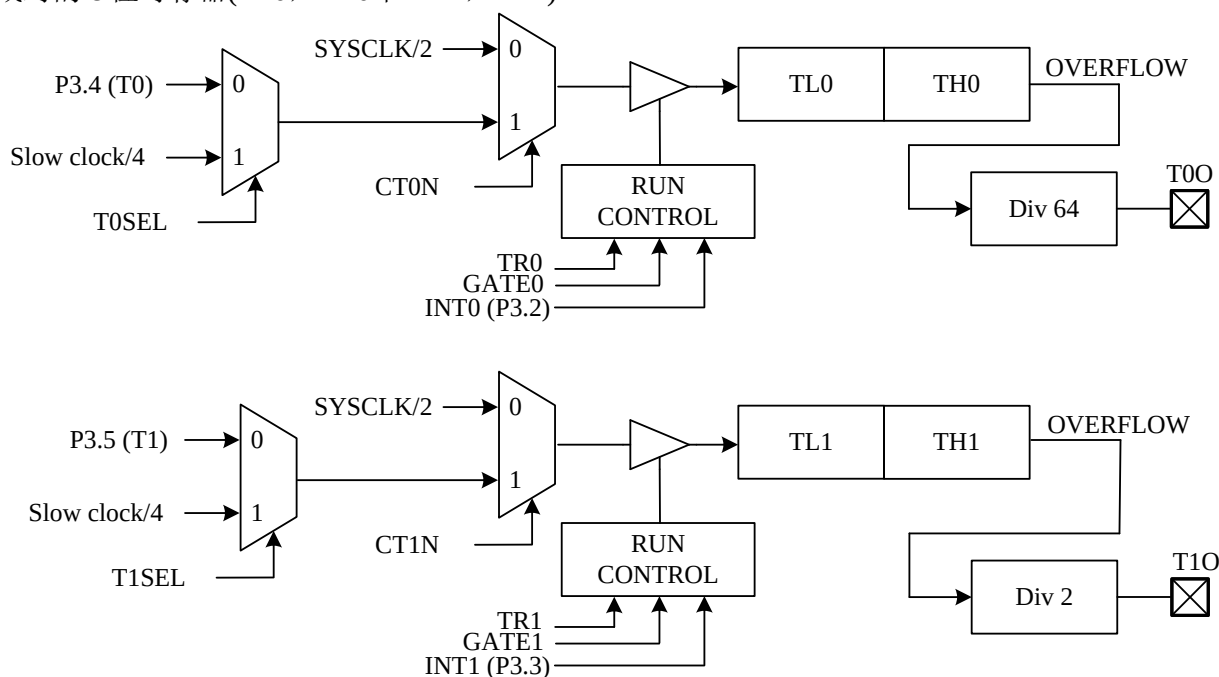
8. 定时器

Timer0 和 Timer1 设置为标准的 8051 兼容的定时器/计数器。相较于传统的 12T 8051，该芯片的 Timer0/1 使用 2 个系统时钟周期的时间基本单元。也就是说，在定时器模式下，这些定时器以每一个“2 个系统时钟”率增加；在计数器模式下，T0/T1 引脚输入脉冲必须大于 2 个系统时钟以便该设备可以辨识。

该器件可以为蜂鸣器生成各种频率波形引脚输出。T0O 引脚输出“Timer0 溢出除以 64”的信号，而 T1O 引脚输出“Timer1 溢出除以 2”的信。CKO 引脚输出系统时钟除以 2 的信号。将 P3.4 或 P3.5 或 P1.4 的引脚模式设置为模式 14(T0OE=1 或 T1OE=1 或 TCOE=1) 以输出 T0O 或 T1O 或 CKO，有关更多详细信息，请参见表 7.1。

8.1 Timer0/1

TCON 和 TMOD 用于设置操作模式，并控制 Timer0/1 的运行和中断产生，定时器/计数器的值存储在两个成对的 8 位寄存器(TL0, TH0 和 TL1, TH1)。



Timer0 and Timer1 结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1:** Timer1 溢出标志
当定时器/计数器 1 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1:** Timer1 运行控制
0: Timer1 停止
1: Timer1 运行
- 88h.5 **TF0:** Timer0 溢出标志
当定时器/计数器 0 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0:** Timer0 运行控制
0: Timer0 停止
1: Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1:** Timer1 门控位
 0: 当 TR1 位设置时 Timer1 使能
 1: 只有当 INT1 引脚为高,TR1 位设置时 Timer1 使能
- 89h.6 **CT1N:** Timer1 计数器/定时器选择位
 0: 定时器模式,Timer1 的数据以 2 个系统时钟周期率增加
 1: 计数器模式,Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1:** Timer1 模式选择
 00: 8 位定时器/计数器(TH1)和 5 位预分频器(TL1)
 01: 16 位定时器/计数器
 10: 8 位自动重载定时器/计数器(TL1),溢出时从 TH1 重新装载。
 11: Timer1 停止
- 89h.3 **GATE0:** Timer0 门控位
 0: 当 TR0 位设置时 Timer0 使能
 1: 只有当 INT0 引脚为高,TR0 位设置时 Timer0 使能
- 89h.2 **CT0N:** Timer0 计数器/定时器选择位
 0: 定时器模式,Timer0 的数据以 2 个系统时钟周期率增加
 1: 计数器模式,Timer0 的数据在 T0 引脚的下降沿时增加
- 89h.1~0 **TMOD0:** Timer0 模式选择
 00: 8 位定时器/计数器(TH0)和 5 位预分频器(TL0)
 01: 16 位定时器/计数器
 10: 8 位自动重载定时器/计数器(TL0),溢出时从 TH0 重新装载。
 11: TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器,使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0:**Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1:**Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0:**Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Dh.7~0 **TH1:**Timer1 数据的高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T0SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.2 **T0SEL:** Timer0计数器模式 (CT0N = 1) 输入选择

0: P3.4(T1)脚(8051标准)

1: 慢时钟除以 4 (SLOWCLK/4)

F8h.1 **T1SEL:** Timer1计数器模式 (CT1N = 1) 输入选择

0: P3.5(T1)脚(8051标准)

1: 慢时钟除以 4 (SLOWCLK/4)

注: 另请参阅第6章的有关Timer0/1中断使能和优先级的更多信息。

注: 同时参阅第7章关于T0O引脚输出设置的详细信息。

8.2 Timer3

该芯片的 Timer3 作为时基计数器，周期性地产生中断。它会产生一个中断标志位(TF3)当时钟除以 65536, 32768, 8192, ... 或 512 取决于 TM3PSC 位。Timer3 的时钟源为 SRC/4 或 FRC/512。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	–	TM3CKS	WDTPSC		ADCKS		–	–
R/W	–	R/W	R/W		R/W		–	–
Reset	–	0	0	0	–	–	0	0

94h.6 **TM3CKS:** Timer3时钟源选择
 0: SRC/4
 1: FRC/512

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	–	–	PCIF	TF3
R/W	R/W	R/W	R	R/W	–	–	R/W	R/W
Reset	0	0	0	0	–	–	0	0

95h.0 **TF3:** Timer3 中断标志
 当 Timer3 到达 TM3PSC 设置周期时由 H/W 设置。
 当程序执行中断服务程序时被自动清除。
 S/W 也可以写 FEh 到 INTFLG 清除该标志。

注: S/W 可以写 0 清除 INTFLG 中的标志，但写 1 没有任何效果。

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	Warmtime	TM3PSC			–	IOVIS	–	–
R/W	R/W	R/W			–	R/W	–	–
Reset	0	0	–	0	–	–	–	–

EFh.6~3 **TM3PSC:** Timer3中断率控制选择
 000: 中断率是65536 Timer3时钟周期
 001: 中断率是32768 Timer3时钟周期
 010: 中断率是16384 Timer3时钟周期
 011: 中断率是8192 Timer3时钟周期
 100: 中断率是4096 Timer3时钟周期
 101: 中断率是2048 Timer3时钟周期
 110: 中断率是1024 Timer3时钟周期
 111: 中断率是512 Timer3时钟周期

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T0SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.6 **CLRTM3:** 设置以清除 Timer3，H/W 会在下一个时钟周期自动清除此设置

注: 另请参阅第6章的有关Timer3中断使能和优先级的更多信息。

9. UART

该芯片具有 UART 模块。

UART 是 8051 全双工 UART，UART 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器，SBUF 是数据寄存器。数据被写入到 SBUF 用于传输，而 SBUF 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。不支持 Mode0 和 Mode2，而且 UART 始终启用 UARTBRP 定义新的波特率。

透过设置寄存器 UARTCON，UART 可提供不同的 TXD 和 RXD 引脚选项。TXD 和 RXD 也可以互换。该芯片还提供单线模式。如果设置单线模式则发送和接收数据均使用同一引脚。在应用上提供了更多的灵活性。

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0,SM1:** UART 串行端口模式选择位 0, 1

00: 模式 0: 不支援

01: 模式 1: 8 位 UART，波特率可变

10: 模式 2: 不支援

11: 模式 3: 9 位 UART，波特率可变

98h.5 **SM2:** 串行端口模式选择位 2

SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3，当 SM2 设置，如果接收到的第九位数据为 0，那么接收中断不会产生。在模式 1 中，除非有效的停止位被接收，接收中断不会产生。在模式 0 中，SM2 应为 0。

98h.4 **REN:** UART 接收使能

0: 禁止接收

1: 允许接收

98h.3 **TB8:** 发送位 8，在模式 2 和 3 为发送第九位

98h.2 **RB8:** 接收位 8，包含模式 2 和 3 的接收第九位，如果 SM2 = 0，为模式 1 停止位

98h.1 **TI:** 发送中断标志

由 H/W 设置在模式 0 第 8 位的结束时，或在其他模式中停止位的开始时。必须通过 S/W 清零。

98h.0 **RI:** 接收中断标志

由 H/W 设置在模式 0 第 8 位的结束时，或在其他模式下停止位的取样点。必须通过 S/W 清零。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

99h.7~0 **SBUF:** UART 发送和接收数据。发送写入该位置数据和接收从该位置读取数据，但路径是独立的。

SFR 9Fh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UARTBRP	UARTBRP							
R/W	W							
Reset	0	0	0	0	0	0	0	0

9Fh.7~0 **UARTBRP:** 定义 UART 波特率预标器。

UART 波特率 = $F_{sys}/16/UARTBRP$

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UARTCON	-	-	-	-	-	UARTPS		
R/W	-	-	-	-	-	R/W		
Reset	-	-	-	-	-	0	0	1

93h.2~0 **UARTPS: UART引脚选择**

0000: RXD/TXD = P3.0/P3.1
 0001: RXD/TXD = P3.2/P3.3
 0010: RXD/TXD = P3.1/P3.0
 0011: RXD/TXD = P3.3/P3.2
 0100: RXD/TXD = P3.1/P3.1, 单线模式
 0101: RXD/TXD = P3.3/P3.3, 单线模式
 0110: RXD/TXD = P3.0/P3.0, 单线模式
 0111: RXD/TXD = P3.2/P3.2, 单线模式

F_{SYSCLK} 表示系统时钟频率。

UART波特率设定如下

模式1, 3: 波特率= $F_{sys}/16/UARTBRP$

- 模式 1, 3: 波特率= $F_{sys}/16/UARTBRP$
- 模式 0, 2: 不支援

注: 另请参阅第6章的有关UART中断使能和优先级的更多信息。

F_{sys} (Hz)	期望波特率(bps)	UARTBRP	实际生成波特率	频率偏差 (%)
16588800	19200	54	19200	0
16588800	28800	36	28800	0
16588800	38400	27	38400	0
16588800	57600	18	57600	0
16588800	115200	9	115200	0

使用UART 串口通讯, F_{sys} 需要校准到16.5888±1% MHz

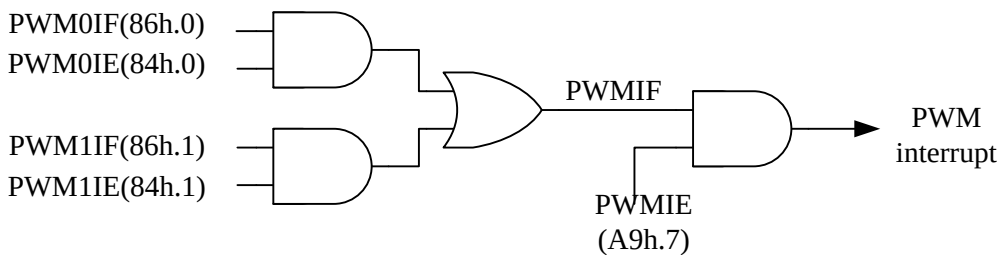
10. PWMs

该芯片具有两个独立的 16 位 PWM 模块 PWM0 和 16 位 PWM 模块 PWM1。PWM0 具有独立的 16 位周期和占空比，而 PWM1 模块具有独立的 16 位周期和 3 个独立的占空比可产生 PWM1O/PWM2O/PWM3O。PWM0 可以基于 PWM0 时钟生成具有 65536 占空比分辨率的变化频率波形。

PWM0 时钟可以选择 FRC 双倍频率 (FRC x 2)，FRC，FRC/256 或 SRC 作为其时钟源。PWM1 则基于 PWM1 时钟，生成具有 65536 占空比分辨率的变化频率波形。PWM1 时钟可以选择 FRC 双倍频率 (FRC x 2)，FRC，FRC/256 或 SRC 作为其时钟源。用户需留意在设定上，PWM 的 period 必须要大于 duty。

设置 SFR PxMOD10, PxMOD32, PxMOD54 和 PxMOD76 (x=1 或 3) 以控制 PWM 输出。如果 PxMODX 设置为模式 1011，将自动输出相对的 PWM。例如，P1MOD10 = BBh，则 PWM0P 和 PWM0N 将输出到 P1.1 和 P1.0。（参见第 7 节）

16 位周期(PWM0PRD, PWM1PRD)和占空比(PWM0D~PWM3D)寄存器均具有低字节和高字节结构。高字节可以直接访问，但低字节只能通过内部 8 位缓冲器访问，必须以特定方式对这些寄存器对进行读写。需要注意的重要一点是，只有在执行对其相应的高字节的写或读操作时，才与 8 位缓冲区及其相关的低字节进行数据传输。**简而言之，先写低字节，再写高字节。首先读取高字节，然后读取低字节。**

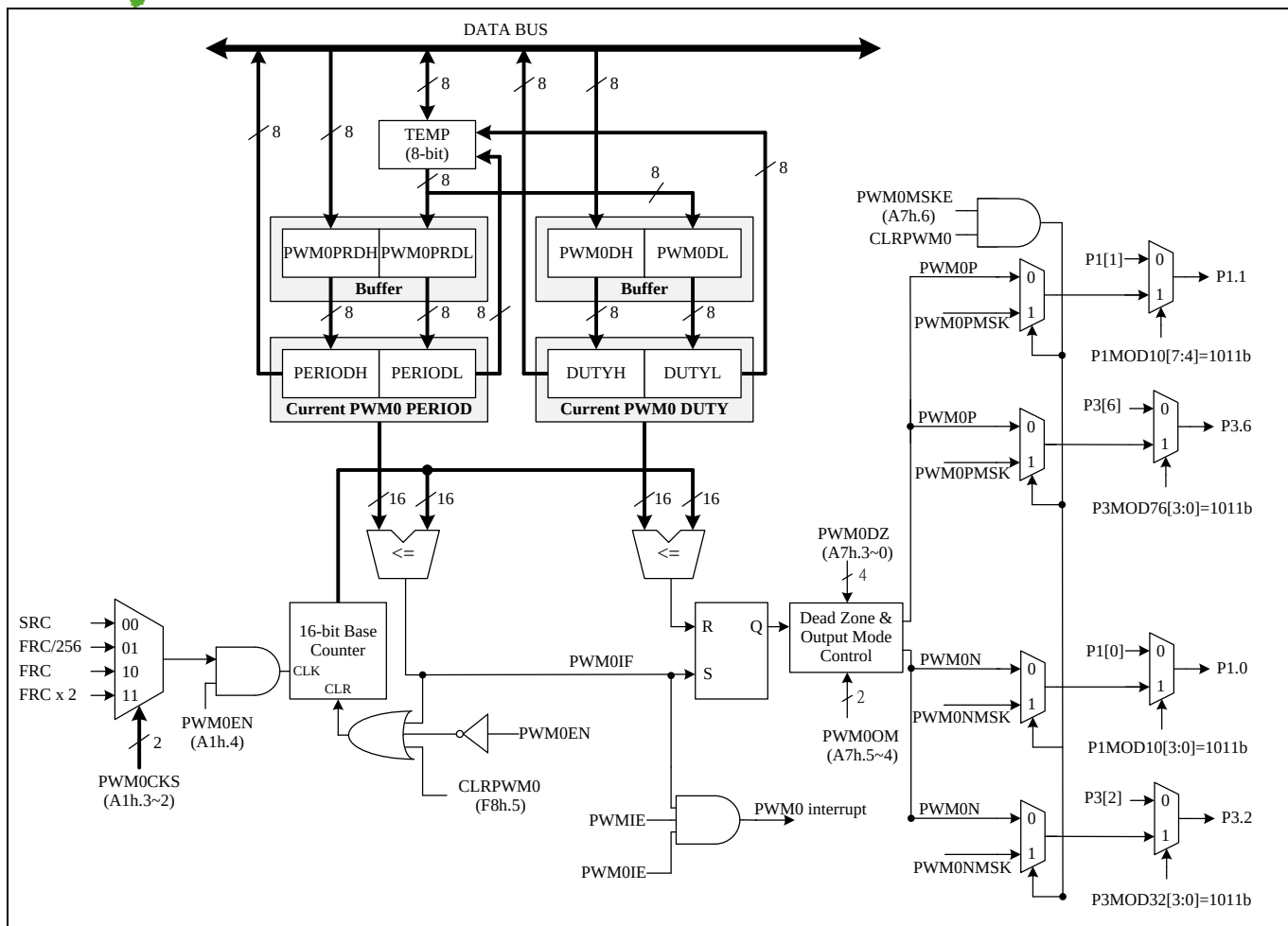


PWM 中断结构

10.1 PWM0 (PWM0P/PWM0N)

当 CLRPWM0 设置为 1 时，将清除并保持 PWM0，否则 PWM0 会维持运行。PWM0 的结构如下所示。PWM0 占空比可以通过写入 SFR PWM0DH 和 PWM0DL 来改变。每当 16 位的基数计数器与 16 位 PWM0 占空比寄存器 {PWM0DH, PWM0DL} 匹配时，PWM0 输出信号就会复位为低电平。PWM0 的周期可以通过写入 SFR PWM0PRDH 和 PWM0PRDL 来设置。写入 PWM 占空比或周期寄存器后，新值将立即保存到其自己的缓冲区中。H/W 将在当前周期结束时或在 PWM0 清零时更新这些值。PWM0 有一个相应的中断标志，在周期结束时会产生一个中断标志。

PWM0DH, PWM0DL, PWM0PRDH 或 PWM0PRDL 为 16 位操作，程序在高字节和低字节写入和读取时，应该避免发生中断。假如在读写这些 16 位的寄存器其间发生中断。而中断内又对这些寄存器做读写。则容易造成读写的错误。16 位 PWM 周期与占空比的读写，建议只在主程序内更新数据，或只在中断内更新数据，以避免可能的错误产生。PWM0 结构如下所示。



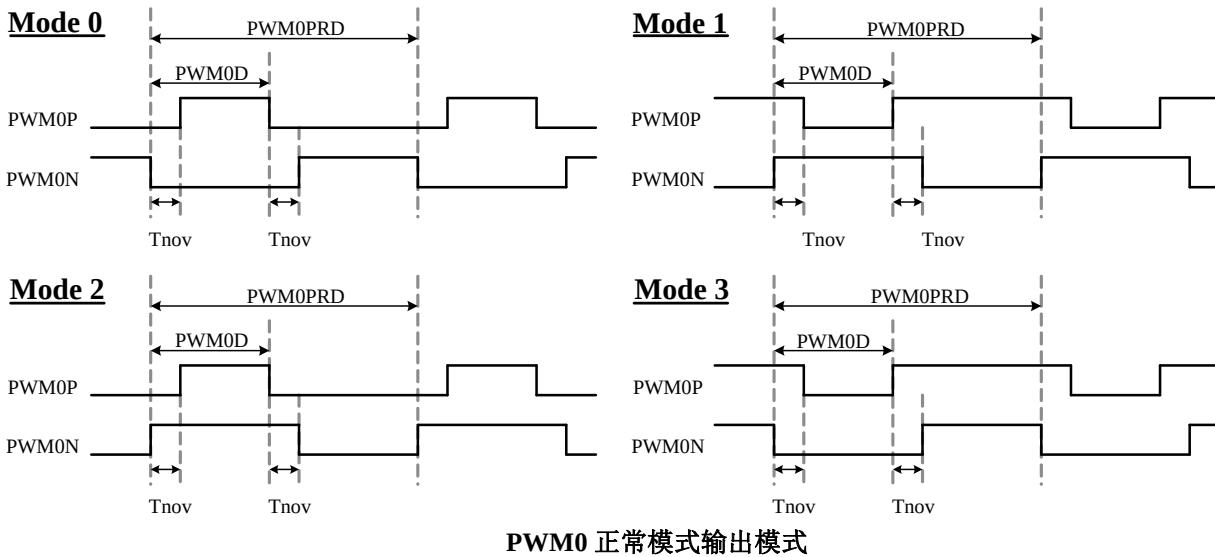
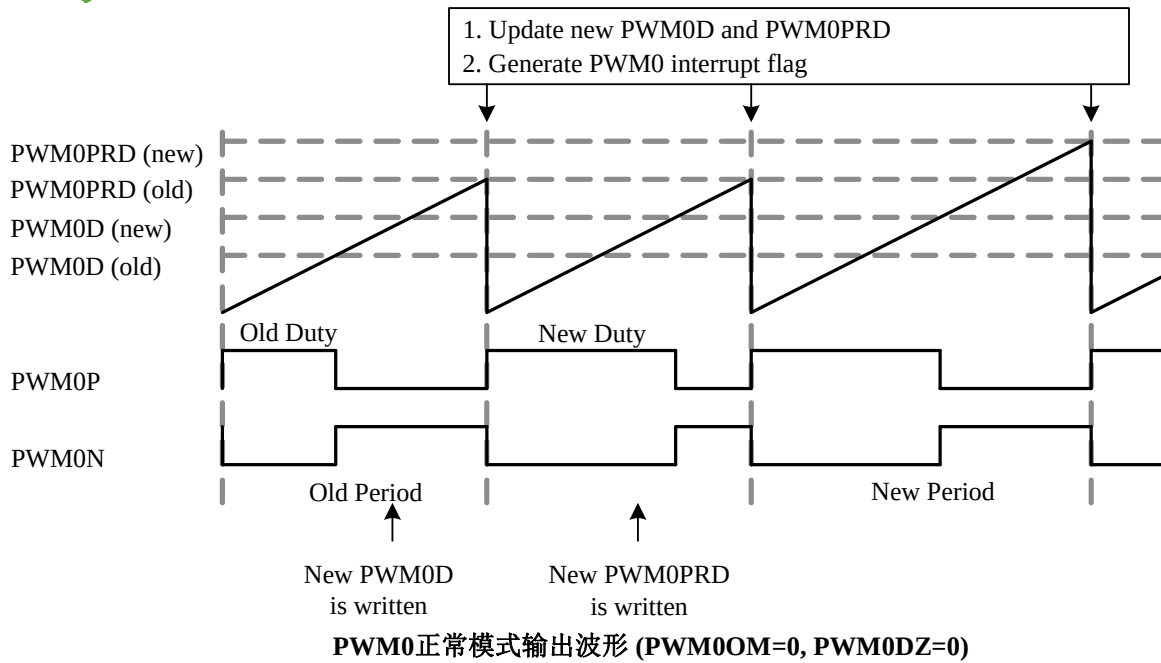
PWM0 结构

PWM0 有两种工作模式，正常模式和半桥模式。PWM0 输出信号可通过 PWM0P 和 PWM0N 输出，具有四种不同的模式。这两个输出与时间间隔 T_{nov} 不重叠。非重叠时间间隔也称为死区。通过设置 PWM0DZ 位确定 T_{nov} 。PWM0DZ 的 0~15 值分别映射到 0~15,16 个 PWM0CLK 周期。如果 PWM0DZ = 0，PWM0 输出直接传递到 PWM0P 和 PWM0N，因此它们的波形具有相同的占空比。注意，如果 PWM0 输出的高脉冲宽度或低脉冲宽度短于 T_{nov} ，则这两个输出的实际波形将与预期波形不同。如果 PWM0MSKE 位置 1，则可以屏蔽输出以强制输出固定信号，而 S / W 设置 CLR PWM0 位由 H / W 设置。

正常模式

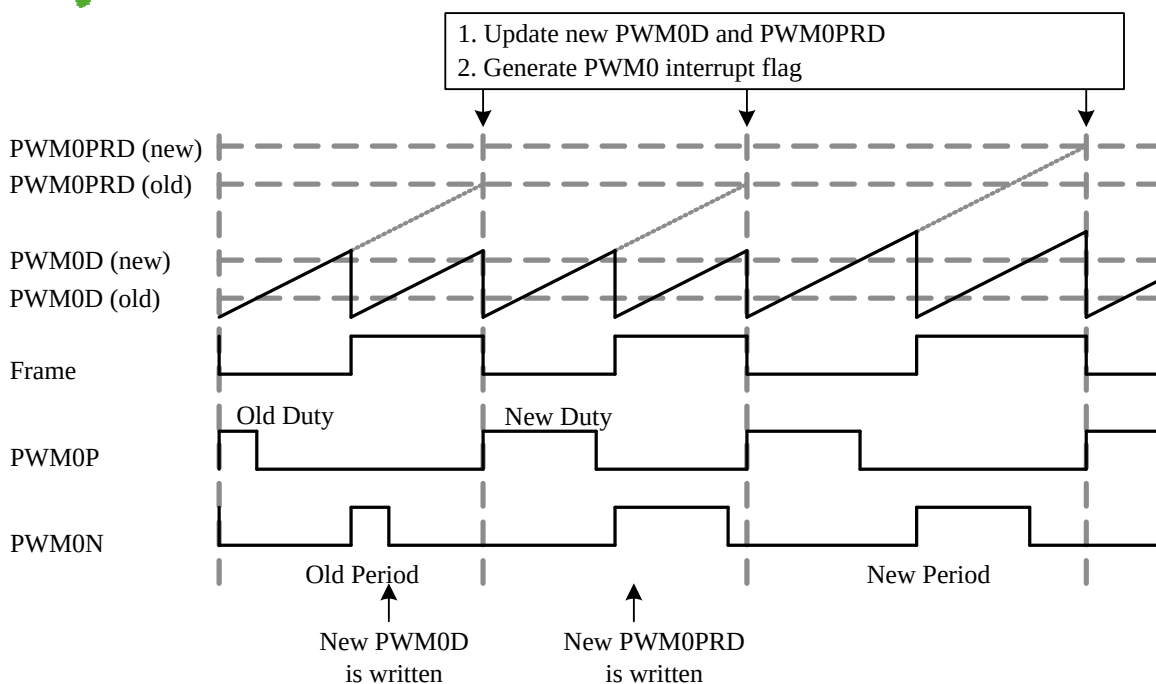
正常模式 PWM0 是一种简单的结构，它以均匀的可重复间隔将其输出高和低切换。PWM0D 是输出占空比，输出周期为 PWM0PRD + 1。占空比必须满足此式：死区 ≤ 占空比 ≤ (周期 - 死区)。

PWM0 的输出波形如下所示。



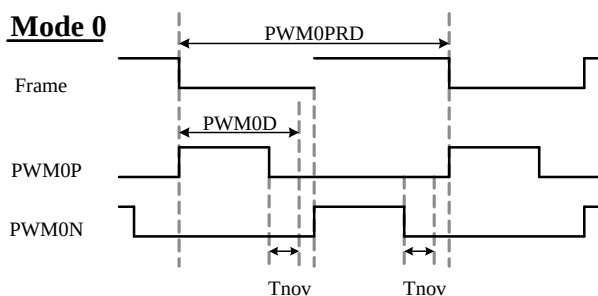
半桥模式

半桥模式 PWM0 类似于正常模式,但是禁用死区 (SFR PWM0DZ 必需设置为 0)。它在一个周期内有两个帧, PWM0P 仅在第一帧输出, PWM0N 仅在第二帧输出。这两个帧的宽度必须相同,因此它们的宽度是 PWM0PRD / 2 的整数部分。由于每个输出通道仅在一帧中输出,因此最大占空比与帧的宽度相同。如果 PWM0D 大于 PWM0PRD / 2, H / W 将强制将占空比设置为 PWM0PRD / 2。下图显示了输出波形和输出模式

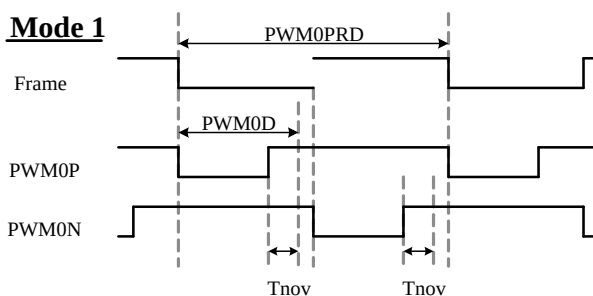


PWM0半桥模式输出波形(PWM0OM=0, PWM0DZ=0)

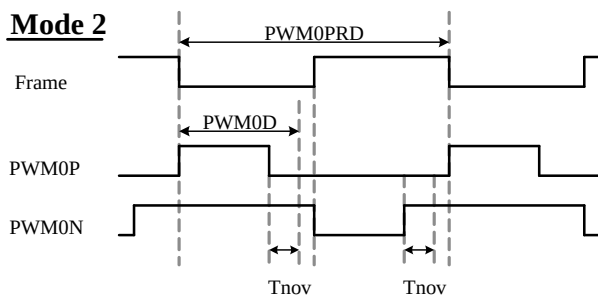
Mode 0



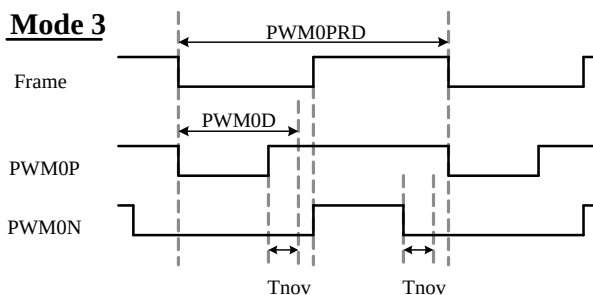
Mode 1



Mode 2



Mode 3



PWM0 半桥模式输出模式

10.2 PWM1 (PWM1, PWM2 和 PWM3)

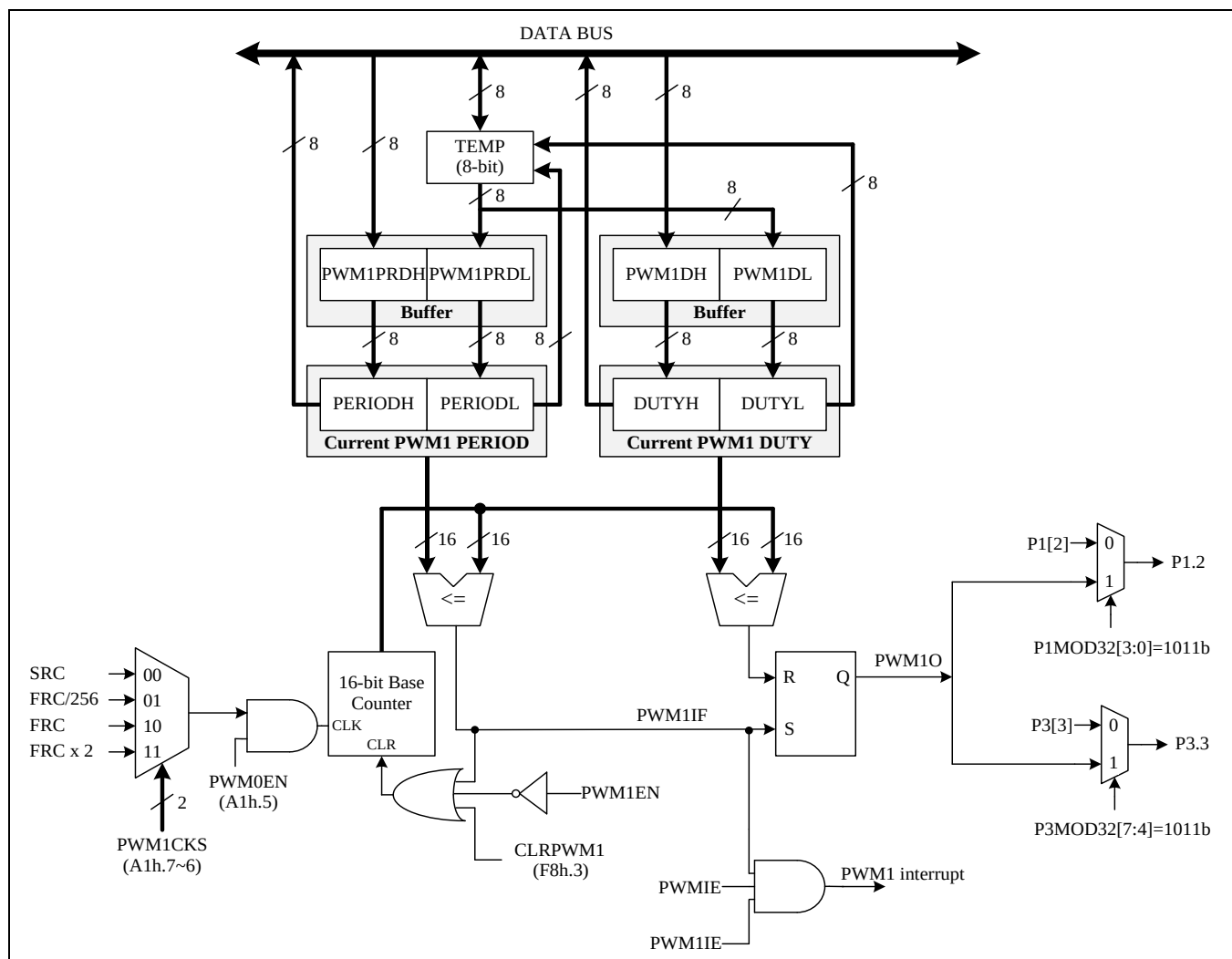
16 位的 PWM1 有 3 个输出 PWM1/PWM2/PWM3 共享同一个 16 位周期, 但是独立的占空比且无死区设置。当 CLRPWM1 设置为 1 时, 将清除并保持 PWM1/PWM2/PWM3, 否则 PWM1/PWM2/PWM3 会维持运行。PWM1/2/3 则基于 PWM1 时钟, PWM1/2/3 可以根据 PWM1 时钟产生 65536 占空比分辨率的变化频率波形。

以下以 PWM1 为例进行说明 PWM1 的结构。PWM1 占空比可以通过写入 SFR PWM1DUTY 来改变。每当 16 位的基数计数器与 16 位 PWM1 占空比寄存器 {PWM1DH, PWM1DL} 匹配时, PWM1 输出信号就

会复位为低电平。PWM1 的周期可以通过写入 SFR PWM1PRD 来设置。写入 PWM 占空比或周期寄存器后，新值将立即保存到其自己的缓冲区中。H/W 将在当前周期结束时或在 PWM1 清零时更新这些值。PWM1 有一个相应的中断标志，在周期结束时会产生一个中断标志。

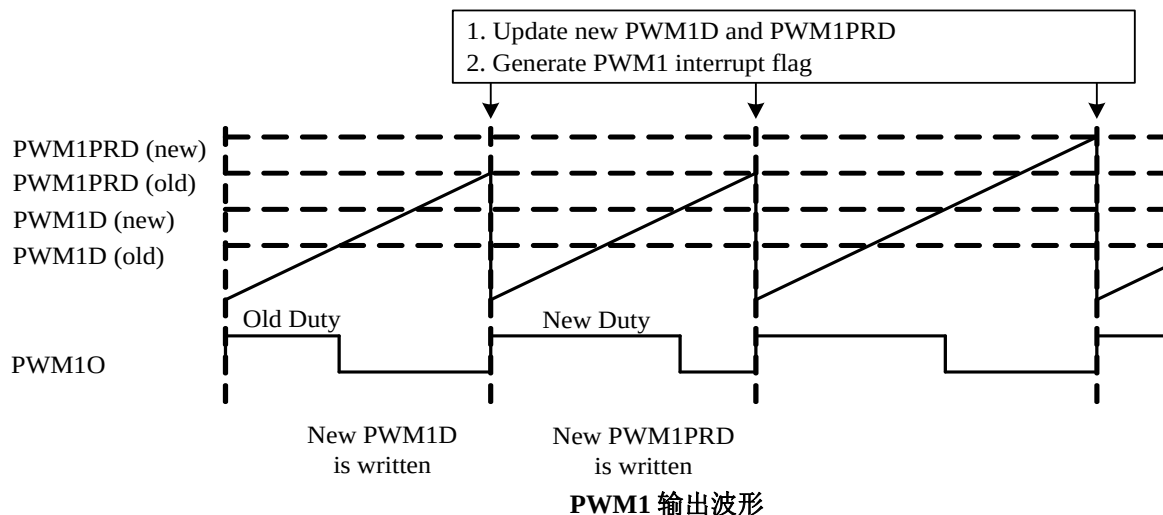
{PWM1DH, PWM1DL}或 PWM1PRD 为 16 位操作，程序在高字节和低字节写入和读取时，应该避免发生中断。假如在读写这些 16 位的寄存器其间发生中断。而中断内又对这些寄存器做读写。则容易造成读写的错误。16 位 PWM 周期与占空比的读写，建议只在主程序内更新数据，或只在中断内更新数据，以避免可能的错误产生。

PWM1 结构如下所示



PWM1结构

PWM1 是一种简单的结构，它以均匀的可重复间隔将其输出高和低切换。PWM2/PWM3 有和PWM1相同的架构,共享PWM1中断，时钟源和周期，但有各自独立使用的占空比。



SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE			EEPIE	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0			0	0	0	0	0

A9h.7 **PWMIE**: PWM0~1 中断使能
0: 禁止 PWM0~1 中断
1: 使能 PWM0~1 中断

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	—	—	—	—	—	PWM1IE	PWM0IE
R/W	—	—	—	—	—	—	W	W
Reset	—	—	—	—	—	—	0	0

84h.6 **PWM1IE**: PWM1 中断使能
0: 禁止
1: 使能

84h.5 **PWM0IE**: PWM0 中断使能
0: 禁止
1: 使能

SFR 86h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTPWM	—	—	—	—	—	—	PWM1IF	PWM0IF
R/W	—	—	—	—	—	—	R/W	R/W
Reset	—	—	—	—	—	—	0	0

86h.1 **PWM1IF**: PWM1 中断旗标
0: S/W 写入 0 清除
1: 周期结束由硬件设置

86h.0 **PWM0IF**: PWM0 中断旗标
0: S/W 写入 0 清除
1: 周期结束由硬件设置

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		PWM0NMSK	PWM0PMSK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A1h.7~6 **PWM1CKS**: PWM1 时钟源
00: SRC
01: FRC/256
10: FRC
11: FRC x 2 ($V_{CC} > 3.0V$)
- A1h.5 **PWM1EN**: PWM1~3 使能
0: PWM1~3 禁用
1: PWM1~3 使能
- A1h.4 **PWM0EN**: PWM0 使能
0: PWM0 禁用
1: PWM0 使能
- A1h.3~2 **PWM0CKS**: PWM0 时钟源
00: SRC
01: FRC/256
10: FRC
11: FRC x 2 ($V_{CC} > 3.0V$)
- A1h.1 **PWM0NMSK**: PWM0N 掩码数据。如果 CLRPWM0=1, PMW0MSKE=1, 则 PWM0N 将输出此掩码数据。
- A1h.0 **PWM0PMSK**: PWM0P 掩码数据。如果 CLRPWM0=1, PMW0MSKE=1, 则 PWM0P 将输出此掩码数据。

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	PWM0MOD	PWM0MSKE	PWM0OM		PWM0DZ			
R/W	R/W	R/W	R/W		R/W			
Reset	0	0	0	0	0	0	0	0

- A7h.7 **PWM0MOD**: PWM0 模式选择
0: 正常模式
1: 半桥模式
- A7h.6 **PWM0MSKE**: 屏蔽输出使能
0: 禁用
1: 使能, 当 CLRPWM0 = 1 时, PWM0PMSK/PWM0NMSK 输出数据到 PWM0P/PWM0N
- A7h.5~4 **PWM0OM**: PWM0 输出模式选择
00: Mode0
01: Mode1
10: Mode2
11: Mode3
- A7h.3~0 **PWM0DZ**: PWM0 死区 (半桥模式时禁止使用死区)
0000: 禁用, $0 \times T_{PWMCLK}$
0001: $1 \times T_{PWMCLK}$
...
1111: $15 \times T_{PWMCLK}$

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

- D1h.7~0 **PWM0DH**: PWM0 占空比高字节
写顺序: 先写 PWM0DL, 然后再写 PWM0DH
读顺序: 先读 PWM0DH, 然后再读 PWM0DL

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DL	PWM0DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D2h.7~0 **PWM0DL**: PWM0 占空比低字节
写顺序: 先写 PWM0DL, 然后再写 PWM0DH
读顺序: 先读 PWM0DH, 然后再读 PWM0DL

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D3h.7~0 **PWM1DH**: PWM1 占空比高字节
写顺序: 先写 PWM1DL, 然后再写 PWM1DH
读顺序: 先读 PWM1DH, 然后再读 PWM1DL

SFR D4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DL	PWM1DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D4h.7~0 **PWM1DL**: PWM1 占空比低字节
写顺序: 先写 PWM1DL, 然后再写 PWM1DH
读顺序: 先读 PWM1DH, 然后再读 PWM1DL

SFR D5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DH	PWM2DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D5h.7~0 **PWM2DH**: PWM2 占空比高字节
写顺序: 先写 PWM2DL, 然后再写 PWM2DH
读顺序: 先读 PWM2DH, 然后再读 PWM2DL

SFR D6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DL	PWM2DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D6h.7~0 **PWM2DL**: PWM2 占空比低字节
写顺序: 先写 PWM2DL, 然后再写 PWM2DH
读顺序: 先读 PWM2DH, 然后再读 PWM2DL

SFR D9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDH	PWM0PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

D9h.7~0 **PWM0PRDH**: PWM0周期高字节
写顺序: 先写PWM0PRDL, 然后再写PWM0PRDH
读顺序: 先读PWM0PRDH, 然后再读PWM0PRDL

SFR DAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDL	PWM0PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DAh.7~0 **PWM0PRDL**: PWM0周期低字节
写顺序: 先写PWM0PRDL, 然后再写PWM0PRDH
读顺序: 先读PWM0PRDH, 然后再读PWM0PRDL

SFR DBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDH	PWM1PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DBh.7~0 **PWM1PRDH**: PWM1周期高字节

写顺序: 先写PWM1PRDL, 然后再写PWM1PRDH

读顺序: 先读PWM1PRDH, 然后再读PWM1PRDL

SFR DCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDL	PWM1PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DCh.7~0 **PWM1PRDL**: PWM1周期低字节

写顺序: 先写PWM1PRDL, 然后再写PWM1PRDH

读顺序: 先读PWM1PRDH, 然后再读PWM1PRDL

SFR DDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3DH	PWM3DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DDh.7~0 **PWM3DH**: PWM3 占空比高字节

写顺序: 先写 PWM3DL, 然后再写 PWM3DH

读顺序: 先读PWM3DH, 然后再读PWM3DL

SFR DEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3DL	PWM3DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DEh.7~0 **PWM3DL**: PWM3 占空比低字节

写顺序: 先写 PWM3DL, 然后再写 PWM3DH

读顺序: 先读PWM3DH, 然后再读PWM3DL

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD10	P1MOD1				P1MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

91h.7~4 **P1MOD1**: P1.1引脚控制

0000~1111: 设1011 可将PWM0P 输出到P1.1; 见表7.1

91h.3~0 **P1MOD0**: P1.0引脚控制

0000~1111: 设1011 可将PWM0N 输出到P1.0; 见表7.1

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD32	P1MOD3				P1MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

92h.7~4 **P1MOD3**: P1.3引脚控制

0000~1111: 设1011 可将PWM2 输出到P1.3; 见表7.1

92h.3~0 **P1MOD2**: P1.2引脚控制

0000~1111: 设1011 可将PWM1 输出到P1.2; 见表7.1

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD54	P1MOD5				P1MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ah.7~4 **P1MOD5**: P1.5引脚控制

0000~1111: 见表7.1

9Ah.3~0 **P1MOD4**: P1.4引脚控制

0000~1111: 设1011 可将PWM3 输出到P1.4;见表7.1

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD32	P3MOD3				P3MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ch.7~4 **P3MOD3**: P3.3引脚控制

0000~1111: 设1011 可将PWM1 输出到P3.3; 见表7.1

9Ch.3~0 **P3MOD2**: P3.2引脚控制

0000~1111: 设1011 可将PWM0N 输出到P3.2; 见表7.1

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD54	P3MOD5				P3MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Dh.7~4 **P3MOD5**: P3.5引脚控制

0000~1111: 见表7.1

9Dh.3~0 **P3MOD4**: P3.4引脚控制

0000~1111: 设1011 可将PWM2 输出到P3.4;见表7.1

SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD76	P3MOD7				P3MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Eh.7~4 **P3MOD7**: P3.7引脚控制

0000~1111: 设1011 可将PWM3 输出到P3.7; 见表7.1

9Eh.3~0 **P3MOD6**: P3.6引脚控制

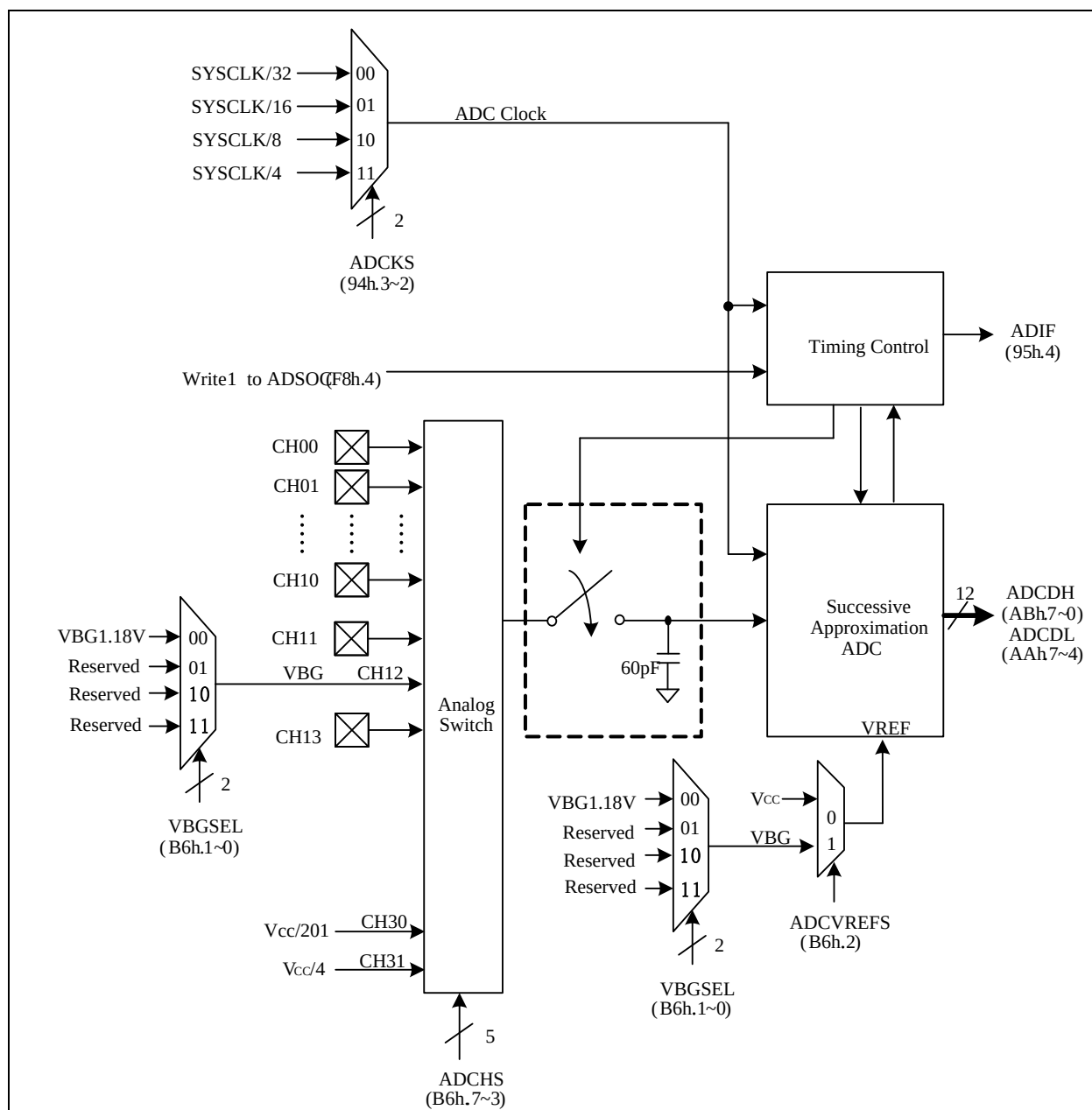
0000~1111: 设1011 可将PWM0P 输出到P3.6; 见表7.1

11. ADC

该芯片提供 12 位 ADC，由 13 通道模拟输入多路复用器、控制寄存器、时钟发生器、12 位逐次逼近寄存器和输出数据寄存器组成。通常，ADC 时钟频率小于 1 MHz，用户可以参考电气特性章节了解详细信息。

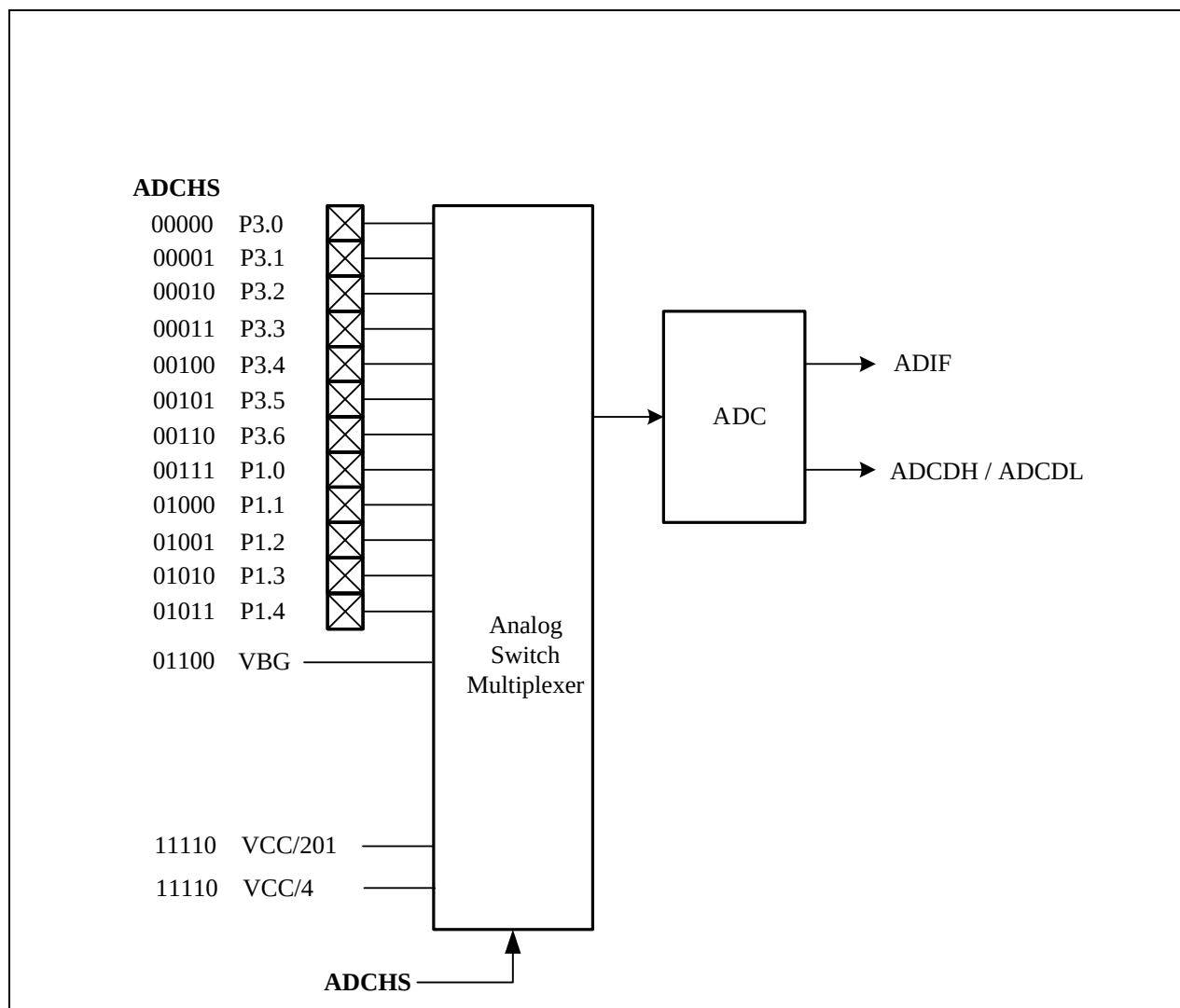
要使用 ADC，请先设置 ADCKS 位以选择合适的 ADC 时钟频率。然后，用户通过设置 ADSOC 位启动 ADC 转换，H/W 将在转换结束时自动清除它。转换结束后，如果使能 ADC 中断，H/W 将设置 ADIF 位并生成中断。ADIF 位可以通过向该位写入 0 或设置 ADSOC 位来清除。模拟输入电平必须保持在 VSS 至 VCC 的范围内。

使用 ADCVREFS 选项，ADC 内部基准电压源（VREF）可以选择为 VCC 或 VBG。当 ADCVREFS=1 时，设置 VBGSEL=00 来选择 VBG 为 1.18V



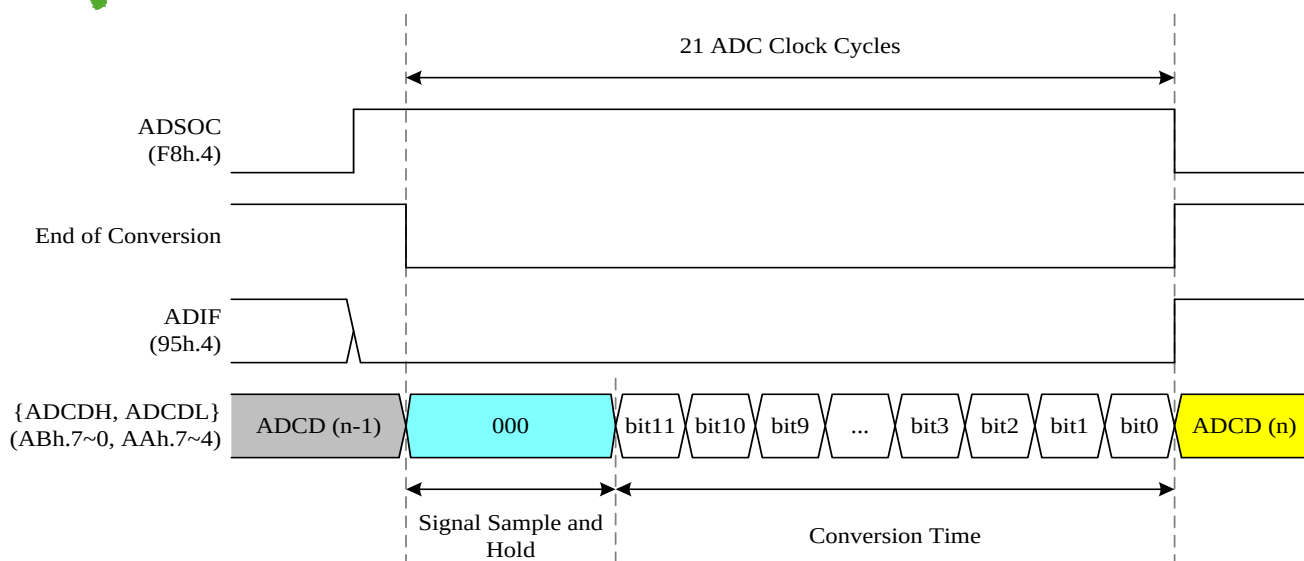
11.1 ADC 通道

ADC 通道通过类比开关多路复用器连接到类比输入引脚。类比开关多路复用器由 ADCHS 寄存器控制。该芯片提供多达 13 个 IO 输入引脚。此外，还有 4 个内部基准电压（VBG、VSS、VCC/4、VCC /201）。当 ADCHS 设置为 01100b 时，模拟输入将连接到 VBG，当 ADCHS 设置为 01001b 时，模拟输入将连接到 P1.2 输入引脚，此时还须将 P1.2 设置为 ADC 通道模式。如 P1MOD32 低 4 位设置为 0011。



11.2 ADC 转换时间

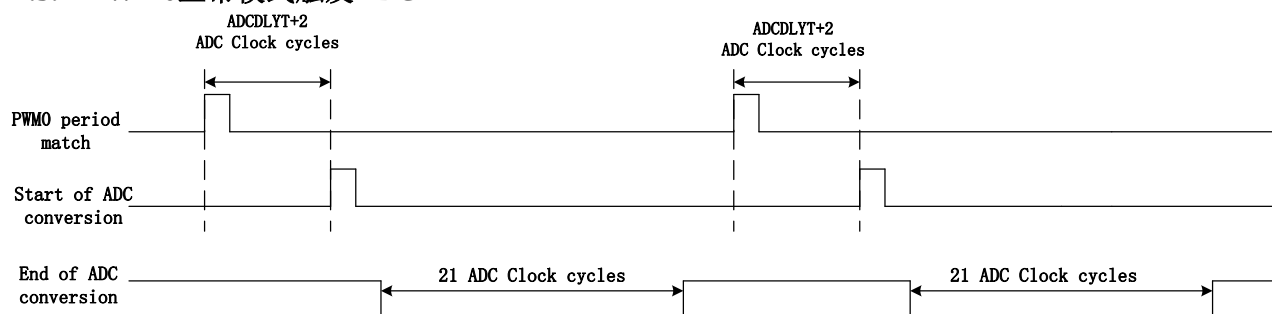
转换时间是ADC转换电压所需要的时间。执行完整的转换总共需要21个ADC时钟周期。当转换时间结束，H/W会产生ADIF中断标志，并将12位A/D转换结果加载到ADCDH和ADC DL寄存器。



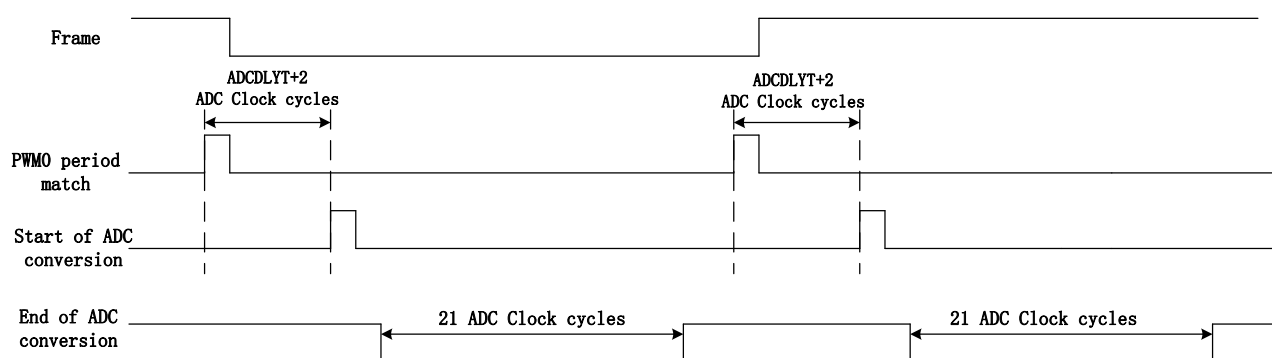
11.3 PWM0 触发 ADC

PWM触发ADC的机制可以透过非零ADCDLY寄存器实现。当PWM0计数器匹配周期寄存器时，如果开启PWM触发ADC的机制，硬件将在依定延迟时间后自动启动ADC转换。

11.3.1 PWM0正常模式触发ADC

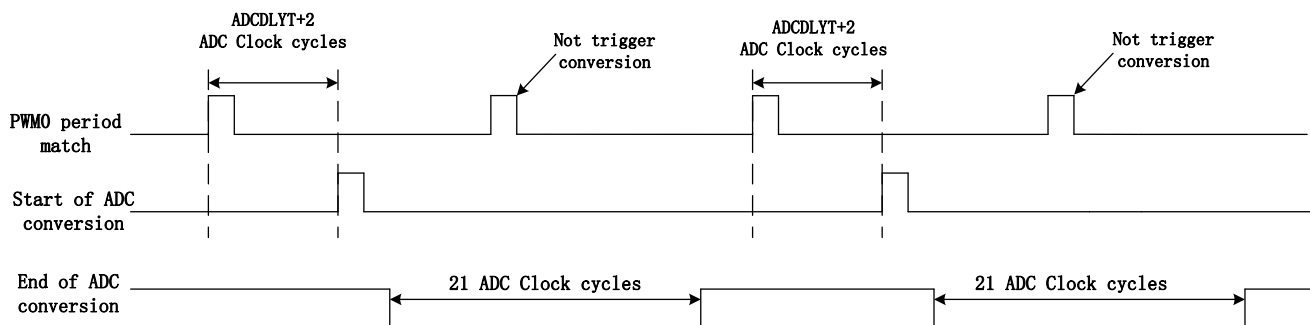


11.3.2 PWM0 半桥触发 ADC



11.3.3 未转换的情况

当 ADC 转换正在进行时，P W M 0 周期匹配是件不会触发新的 ADC 转换



SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE			EEPIE	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0			0	0	0	0	0

A9h.3 **ADIE:** ADC 中断使能控制
0:禁用 ADC 中断
1:允许 ADC 中断

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	–	TM3CKS	WDTPSC		ADCKS		–	–
R/W	–	R/W	R/W		R/W		–	–
Reset	–	0	0	0	–	–	0	0

94h.3~2 **ADCKS:** ADC 时钟频率选择
00: $F_{SYSCLK}/32$
01: $F_{SYSCLK}/16$
10: $F_{SYSCLK}/8$
11: $F_{SYSCLK}/4$

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	–	–	PCIF	TF3
R/W	R/W	R/W	R	R/W	–	–	R/W	R/W
Reset	0	0	0	0	–	–	0	0

95h.4 **ADIF:** ADC 中断标志
于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

注: S/W 可以写 0 清除 INTFLG 中的标志，但写 1 没有任何效果。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC DL	ADC DL				–	–	–	–
R/W	R				–	–	–	–
Reset	–	–	–	–	–	–	–	–

AAh.7~4 **ADC DL:** ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC DH	ADC DH							
R/W	R							
Reset	–	–	–	–	–	–	–	–

ABh.7~0 **ADC DH:** ADC 数据位 11~4

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHSEL	ADCHS					ADCVREFS	VBGSEL	
R/W	R/W					R/W	R/W	
Reset				1	1	0	0	0

B6h.4~0 **ADCHS**: ADC 通道选择

00000: CH0 (P3.0) 01001: CH9 (P1.2)
00001: CH1 (P3.1) 01010: CH10 (P1.3)
00010: CH2 (P3.2) 01011: CH11 (P1.4)
00011: CH3 (P3.3) 01100: CH12 VBG (内部带隙参考电压源)
00100: CH4 (P3.4) others: 保留
00101: CH5 (P3.5) 11110: VCC/201
00110: CH6 (P3.6) 11111: VCC/4
00111: CH7 (P1.0)
01000: CH8 (P1.1)

B6h.2 **ADCVREFS**: ADC 参考电压选择

0: VCC
1: VBG

B6h.1~0 **VBGSEL**: VBG 电压选择

00: 1.18V
01: 保留
10: 保留
11: 保留

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T0SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	1	0	1	0	0	0

F8h.4 **ADSOC**: 启动 ADC 转换

设置 ADSOC 位启动 ADC 转换, ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDLYT	ADCDLYT							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

ACh.7~0 **ADCDLYT**: PWM0 周期匹配和 A D C 启动的延迟时间

8'h00:禁用 PWM0 触发 ADC 启动

8'h01~8'hFF: 使能和延迟时间((ADCDLYT[7:0]+2)/Fadc)到 ADC 启动转换

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD10	P1MOD1				P1MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

91h.7~4 **P1MOD1**: P1.1引脚控制

0000~1111: 见表7.1

91h.3~0 **P1MOD0**: P1.0引脚控制

0000~1111: 见表7.1

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD32	P1MOD3				P1MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

92h.7~4 **P1MOD3**: P1.3引脚控制

0000~1111: 见表7.1

92h.3~0 **P1MOD2**: P1.2引脚控制

0000~1111: 见表7.1

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD54	P1MOD5				P1MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ah.7~4 **P1MOD5**: P1.5引脚控制
0000~1111: 见表7.1

9Ah.3~0 **P1MOD4**: P1.4引脚控制
0000~1111: 见表7.1

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD10	P3MOD1				P3MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Bh.7~4 **P3MOD1**: P3.1引脚控制
0000~1111: 见表7.1

9Bh.3~0 **P3MOD0**: P3.0引脚控制
0000~1111: 见表7.1

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD32	P3MOD3				P3MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ch.7~4 **P3MOD3**: P3.3引脚控制
0000~1111: 见表7.1

9Ch.3~0 **P3MOD2**: P3.2引脚控制
0000~1111: 见表7.1

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD54	P3MOD5				P3MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Dh.7~4 **P3MOD5**: P3.5引脚控制
0000~1111: 见表7.1

9Dh.3~0 **P3MOD4**: P3.4引脚控制
0000~1111: 见表7.1

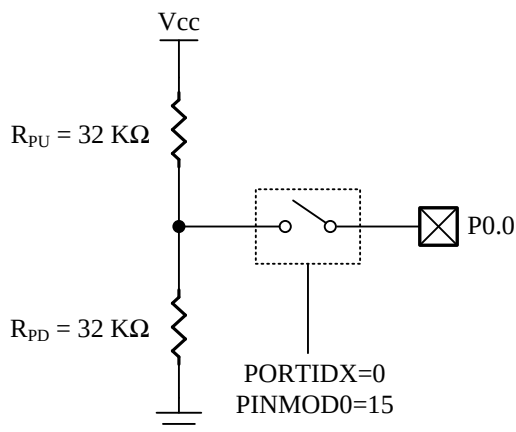
SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD76	P3MOD7				P3MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Eh.7~4 **P3MOD7**: P3.7引脚控制
0000~1111: 见表7.1

9Eh.3~0 **P3MOD6**: P3.6引脚控制
0000~1111: 见表7.1

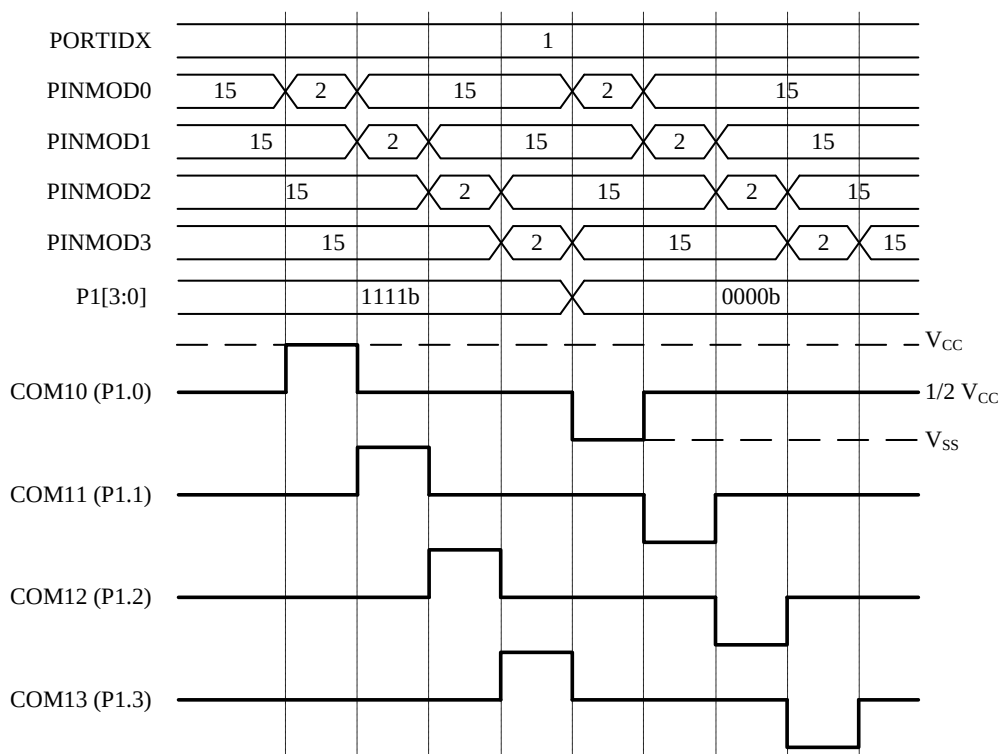
12. S/W 控制的 LCD 驱动器

TM52E5223 支持由 S/W 控制的 LCD 驱动器。所有的 I/O 引脚都能够设置为 COM，用户可以灵活调整 COM 引脚和 SEG 引脚，通过 7 个 Commons (COM) 和 7 个 Segments (SEG) 驱动（最大）49 点的 LCD 面板。P1.0~P1.5 可设置为 COM10~COM15。P3.0~P3.7 可设置为 COM30~COM37。而剩余的引脚用来当做 SEG。TM52E5223 的 LCD 驱动器仅能驱动 1/2 偏压，透过设置相应的引脚模式为模式 15 来达成（参见第 7 节）。相关电路请参考下图。



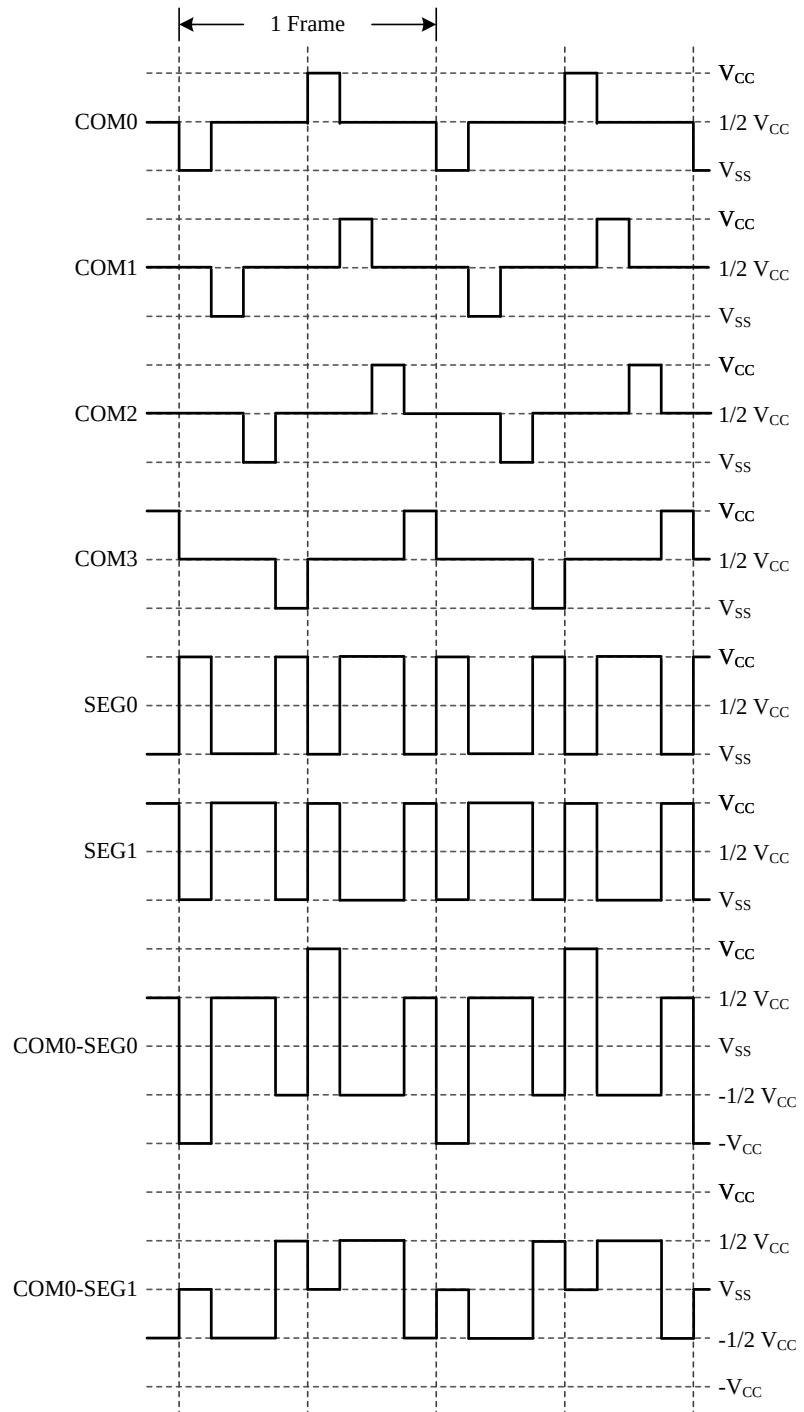
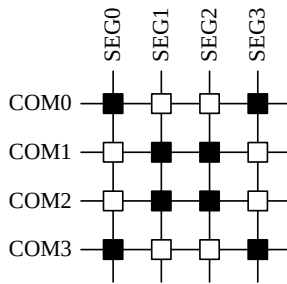
LCD COM00偏压电路

任何 COM 引脚上的重复波形输出的频率可以用来表示 LCD 的帧速率。下图显示了一个 LCD 帧。



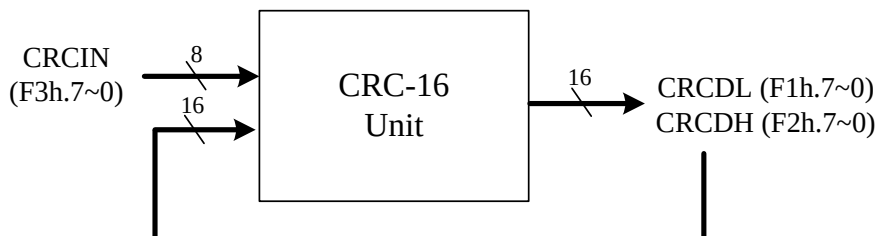
S/W 控制的 LCD COM0~13 扫描

1/4 占空比,1/2 偏压输出波形



13. 循环冗余校验码(CRC)

此芯片支持 16 位的循环冗余校验功能。循环冗余校验（CRC）计算单元是一种错误检测技术测试算法，用于验证数据传输或存储数据的正确性。CRC 计算采用 8 位数据流或数据块作为输入，并产生 16 位输出余数。数据流由同一生成多项式计算。



CRC 框图

CRC 生成器提供了基于 CRC-16-IBM 多项式的 16 位 CRC 结果计算。在这个 CRC 生成器中，只有一个多项式(如下)可用于数值计算，它不支持其他任何多项式的 16 位 CRC 计算。对 CRCIN 寄存器的每次写入操作，将被创建存储在 CRCDH 和 CRCDL 寄存器中的前一个 CRC 值的组合中，这将需要一个 MCU 指令周期来计算。

IBM 的 CRC-16 多项式表示（Modbus）： $X^{16} + X^{15} + X^2 + 1$

SFR F1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDL	CRCDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F1h.7~0 CRCDL: 16 位 CRC 校验和数据位 7~0

SFR F2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDH	CRCDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F2h.7~0 CRCDL: 16 位 CRC 校验和数据位 15~8

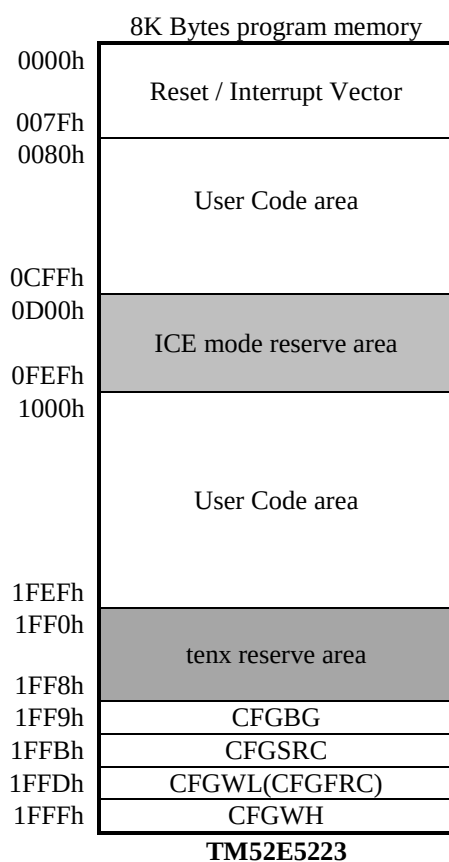
SFR F3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCIN	CRCIN							
W	W							
Reset	—	—	—	—	—	—	—	—

F3h.7~0 CRCIN: CRC输入数据寄存器

14. 在线仿真器(ICE)模式

该设备可以支持在线仿真模式。要使用 ICE 模式，用户只需将 P3.0 和 P3.1 引脚连接到 tenx 专有 EV 模块。好处是用户可以仿真整个系统，而无需更改板载目标设备。但是 ICE 模式有一些限制，如下所示。

1. 设备必须处于未保护状态。
2. 设备的 P3.0 和 P3.1 引脚必须在输入模式下工作。
3. Tenx EV 模块占用了程序存储器的寻址空间 D00h~FFFh 和 0033h~003Ah。因此，用户程序无法访问这些空间。
4. 无法模拟 HT-Link 通信引脚的功能。
5. VDD 电平由 HT-Link 模块控制。



SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	0000-0000	P0	–	–	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
84h	xxxx-xx00	INTE2	–	–	–	–	–	–	PWM1IE	PWM0IE
86h	xxxx-x000	INTPWM	–	–	–	–	–	–	PWM1IF	PWM0IF
87h	0xxx-0000	PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
90h	1111-1111	P1			P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	0001-0001	P1MOD10	P1MOD1				P1MOD0			
92h	0001-0001	P1MOD32	P1MOD3				P1MOD2			
93h	0000-0000	UARTCON	–					UARTPS		
94h	0000-0000	OPTION	–	TM3CKS	WDTPSC		ADCKS		–	–
95h	0000-xx00	INTFLG	LVDIF	EEPIF	EEPBUSY	ADIF	–	–	PCIF	TF3
96h										
97h	xxxx-xx00	SWCMD	SWRST / WDTO							
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
9Ah	0001-0001	P1MOD54	P1MOD5				P1MOD4			
9Bh	0001-0001	P3MOD10	P3MOD1				P3MOD0			
9Ch	0001-0001	P3MOD32	P3MOD3				P3MOD2			
9Dh	0001-0001	P3MOD54	P3MOD5				P3MOD4			
9Eh	0001-0001	P3MOD76	P3MOD7				P3MOD6			
9Fh	0000-0000	UARTBRP	UARTBRP							
A1h	xx10-1010	PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		PWM0NMSK	PWM0PMSK
A7h	0000-0000	PWMCON2	PWM0MOD	PWM0MSKE	PWM0OOM		PWM0DZ			
A8h	0x00-0000	IE	EA	–		ES	ET1	EX1	ET0	EX0
A9h	0000-0000	INTE1	PWMIE	–	–	EEPIE	ADIE	LVDIE	PCIE	TM3IE
AAh	xxxx-xxxx	ADCDL	ADCDL				–			
ABh	xxxx-xxxx	ADCDH	ADCDH							
ACH	0000-0000	ADCDLYT	ADCDLYT							
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B6h	xxx1-1111	ADCHSEL	ADCHS					ADCVREFS	VBGSEL	
B8h	xx00-0000	IP	–	–	–	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	–	–	–	PSH	PT1H	PX1H	PT0H	PX0H
BAh	000x-0000	IP1	PPWM	–	–	PEEP	PADI	PLVD	PPC	PT3
BBh	000x-0000	IP1H	PPWMH	–	–	PEEPH	PADIH	PLVDH	PPCH	PT3H
BFh	000x-0000	LVDS	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
C9h	0000-0000	EEPCON	EEPWE / EEPTO							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D1h	0000-0000	PWM0DH	PWM0DH							
D2h	0000-0000	PWM0DL	PWM0DL							
D3h	0000-0000	PWM1DH	PWM1DH							

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
D4h	0000-0000	PWM1DL	PWM1DL							
D5h	0000-0000	PWM2DH	PWM2DH							
D6h	0000-0000	PWM2DL	PWM2DL							
D7h	0000-0000	FRCFT	–	–	–	FRCFT				
D8h	00x0-0011	CLKCON	–	–	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
D9h	1111-1111	PWM0PRDH	PWM0PRDH							
DAh	1111-1111	PWM0PRDL	PWM0PRDL							
DBh	1111-1111	PWM1PRDH	PWM1PRDH							
DCh	1111-1111	PWM1PRDL	PWM1PRDL							
DDh	0000-0000	PWM3DH	PWM3DH							
DEh	0000-0000	PWM3DL	PWM3DL							
DFh	0000-0101	RDCTL	–	–	–	–	–	ATDEN	ATDT	
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
E3h	x100-0000	LVRCON	–	–	–	LVRPD	LVRSEL			
E5h	0000-0x00	EFTCON	EFT2CS	EFT1CS	EFT1S		EFTSLOW	–	EFTWOUT	CKHLDE
EAh	xxxx-xxxx	CFGSRC	–	–	–	SRCTRIM				
EFh	xx00-0000	AUX3	warmtime	TM3PSC			–	IOVIS	–	–
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	1111-1111	CRCDL	CRCDL							
F2h	1111-1111	CRCDH	CRCDH							
F3h	0000-0000	CRCIN	CRCIN							
F5h	xxxx-xxxx	CFGBG	–	–	–	BGTRIM1				
F6h	xxxx-xxxx	CFGWL	–	FRCTRIM						
F7h	0000-0110	AUX2	WDTE		PWRSV	VBGOUT		EEPTE		
F8h	0010-1000	AUX1	CLRWD T	CLRTM3	CLRPWM0	ADSOC	CLRPWM1	T0SEL	T1SEL	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1FF9h	CFGGBG	–	–	–	BGTRIM1				
1FFBh	CFGSRC	–	–	–	SRCTRIM				
1FFDh	CFGWL	–	FTCTRIM						
1FFFh	CFGWH	PROT	XRSTE	PORSEL	–	–	–	–	–

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
84h	INTE2	1	PWM1IE	R/W	0	PWM1 Interrupt Enable 0: disable PWM1 ~ PWM3 interrupt 1: enable (note: PWMIE must be 1 at the same time to generate PWM interrupt)
		0	PWM0IE	W	0	PWM0 Interrupt Enable 0: disable PWM0 interrupt 1: enable (note: PWMIE must be 1 at the same time to generate PWM interrupt)
86h	INTPWM	1	PWM1IF	W	0	PWM1~PWM3 interrupt Flag. Set by H/W at the end of PWM1 period, S/Wwrite 1h to clear int flag
		0	PWM0IF	R/W	0	PWM0 Interrupt Flag. Set by H/W at the end of PWM0 period, S/Wwrite 2h to clear int flag
87h	PCON	7	SMOD	R/W	0	Set 1 to enable UART double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter Halt/Stop mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter Idle mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P1MOD10	7~4	P1MOD1	R/W	0001	P1.1 Pin Control 0000~1111: see table 7.1
		3~0	P1MOD0	R/W	0001	P1.0 Pin Control 0000~1111: see table 7.1
92h	P1MOD32	7~4	P1MOD3	R/W	0001	P1.3 Pin Control 0000~1111: see table 7.1
		3~0	P1MOD2	R/W	0001	P1.2 Pin Control 0000~1111: see table 7.1
93h	UARTCON	2~0	UARTPS	R/W	000	UART Pin Select 000: RXD/TXD = P3.0/P3.1 001: RXD/TXD = P3.2/P3.3 010: RXD/TXD = P3.1/P3.0 011: RXD/TXD = P3.3/P3.2 100: RXD/TXD = P3.1/P3.1; 1-wire 101: RXD/TXD = P3.3/P3.3; 1-wire 110: RXD/TXD = P3.0/P3.0; 1-wire 111: RXD/TXD = P3.2/P3.2; 1-wire
94h	OPTION	6	TM3CKS	R/W	0	Timer3 Clock Source Select. 0: Slow clock/4 (SRC/4 32KHz) 1: FRC/512 (32KHz)
		5~4	WDTOSC	R/W	00	Watchdog Timer pre-scalar time select 00: 480 ms WDT overflow rate 01: 240 ms WDT overflow rate 10: 124 ms WDT overflow rate 11: 60 ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSClk} /32 01: F _{SYSClk} /16 10: F _{SYSClk} /8 11: F _{SYSClk} /4
95h	INTFLG	7	LVDIF	R	0	Low Voltage Detect flag Set by H/W when a low voltage occurs.
		6	EEPIF	R/W	0	EEP write finish interrupt Set by H/W when write EEP finish, S/W can write 0 to clear it
		5	EEPBUSY	R	0	EEP Busy Flag is set high when write EEP
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		1	PCIF	R/W	0	Port1/Port3 Pin change interrupt flag Set by H/W when Port1/Port3 pin state change is detected and its interrupt enable bit is set. It is cleared automatically when the program performs the interrupt service routine. S/W can write 0 to clear all pin interrupt flags (Port1/Port3), it will also clear PIN0IF~PIN7IF and P11F/P3IF.
		0	TF3	R/W	0	Timer3 Interrupt Flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		1	WDTO	R	0	WatchDog Time-Out flag
98h	SCON	7	SM0	R/W	0	UART Serial port mode select bit 0, 1 (SM0, SM1) = 00: Mode0: Not Support 01: Mode1: 8 bit UART, Baud Rate is Fsys/16/UARTBRP 10: Mode2: Not Support 11: Mode3: 9 bit UART, Baud Rate is Fsys/16/UARTBRP
		6	SM1	R/W	0	
		5	SM2	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	Set 1 to enable UART Reception
		3	TB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit is Mode 1 if SM2=0
		1	TI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
99h	SBUF	7~0	SBUF	R/W	–	UART transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
9Ah	P1MOD54	7~4	P1MOD5	R/W	0001	P1.5 Pin Control 0000~1111: see table 7.1
		3~0	P1MOD4	R/W	0001	P1.4 Pin Control 0000~1111: see table 7.1
9Bh	P3MOD10	7~4	P3MOD1	R/W	0001	P3.1 Pin Control 0000~1111: see table 7.1
		3~0	P3MOD0	R/W	0001	P3.0 Pin Control 0000~1111: see table 7.1
9Ch	P3MOD32	7~4	P3MOD3	R/W	0001	P3.3 Pin Control 0000~1111: see table 7.1
		3~0	P3MOD2	R/W	0001	P3.2 Pin Control 0000~1111: see table 7.1
9Dh	P3MOD54	7~4	P3MOD5	R/W	0001	P3.5 Pin Control 0000~1111: see table 7.1
		3~0	P3MOD04	R/W	0001	P3.4 Pin Control 0000~1111: see table 7.1
9Eh	P3MOD76	7~4	P3MOD7	R/W	0001	P3.7 Pin Control 0000~1111: see table 7.1
		3~0	P3MOD6	R/W	0001	P3.6 Pin Control 0000~1111: see table 7.1

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
9Fh	UARTBRP	7~0	UARTBRP	W	00h	UART Baud rate Control UART BAUD Rate = Fsys/16/UARTBRP
A1h	PWMCON	7~6	PWM1CKS	R/W	00	PWM1~5 clock source 00: F _{SYSCLK} 01: FRC/256 10: FRC 11: FRC x 2 (V _{CC} > 3.0V)
		5	PWM1EN	R/W	0	PWM1~5 Enable. 0: PWM1~5 Disable 1: PWM1~5 enable
		4	PWM0EN	R/W	0	PWM0 Enable. 0: PWM0 Disable 1: PWM0 enable
		3~2	PWM0CKS	R/W	00	PWM0 clock source 00: F _{SYSCLK} 01: FRC/256 10: FRC 11: FRC x 2 (V _{CC} > 3.0V)
		1	PWM0NMSK	R/W	0	PWM0N Mask Data. while CLRPWM0=1 and PMW0MSKE=1
		0	PWM0PMSK	R/W	0	PWM0P Mask Data. while CLRPWM0=1 and PMW0MSKE=1
A7h	PWMCON2	7	PWM0MOD	R/W	0	PWM0 mode select 0: Normal mode 1: Half-bridge mode
		6	PWM0MSKE	R/W	0	PWM0 mask output enable 0: Disable 1: Enable, PWM0P/PWM0N output data by PWM0PMSK/PWM0NMSK while CLRPWM0=1
		5~4	PWM0OM	R/W	00	PWM0 output mode select 00: Mode0 01: Mode1 10: Mode2 11: Mode3
		3~0	PWM0DZ	R/W	0000	PWM0 dead zone (Dead zone is prohibited in half-bridge mode) 0000: Disable 0001: 1 x T _{PWMCLK} 1111: 15 x T _{PWMCLK}
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		4	ES	R/W	0	Set 1 to enable Serial Port UART Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Halt/Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Halt/Stop mode wake up capability
A9h	INTE1	7	PWMIE	R/W	0	Set 1 to enable PWM0~PWM1 interrupt
		4	EEPIE	R/W	0	Set 1 to enable EEP write finish interrupt
		3	ADIE	R/W	0	Set 1 to enable ADC Interrupt
		2	LVDIE	R/W	0	Set 1 to enable LVD interrupt
		1	PCIE	R/W	0	Set 1 to enable Port1,Port3 Pin Change Interrupt
		0	TM3IE	R/W	0	Set 1 to enable Timer3 Interrupt
AAh	ADCDL	7~4	ADCDL	R	–	ADC data bit 3~0
ABh	ADCDH	7~0	ADCDH	R	–	ADC data bit 11~4
ACh	ADCPLYT	7~0	ADCPLYT	R/W	0	PWM period match to delay trigger ADC start 8'h00: Disable PWM trigger ADC satrt 8'h01~8'hFF: enable and delay time (ADCPLYT[7:0]/Fadcks) to ADC start

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B6h	ADCHS	7~3	ADCHS	R/W	1Fh	ADC Channel Select 00000: CH0 (P3.0) 00001: CH1 (P3.1) 00010: CH2 (P3.2) 00011: CH3 (P3.3) 00100: CH4 (P3.4) 00101: CH5 (P3.5) 00110: CH6 (P3.6) 00111: CH7 (P1.0) 01000: CH8 (P1.1) 01001: CH9 (P1.2) 01010: CH10 (P1.3) 01011: CH11(P1.4) 01100: CH12 V _{BG} (Internal Bandgap Reference Voltage) 01101: CH13 (P1.5) Others: reserved 11110: CH30(VCC/201) 11111: CH31(VCC/4)
		2	ADCVREFS	R/W	0	ADC reference voltage 0: V _{CC} 1: VBG
		1~0	VBGSEL	R/W	00	VBG voltage select, When ADCVREF is selected as VBG 00: 1.18V; 01: Reserved; 10: Reserved; 11: Reserved
B8h	IP	4	PS	R/W	0	Serial Port UART Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	4	PSH	R/W	0	Serial Port UART Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	7	PPWM	R/W	0	PWM Interrupt Priority Low bit
		4	PEEP	R/W	0	EEP Interrupt Priority Low bit
		3	PADI	R/W	0	ADC Interrupt Priority Low bit
		2	PLVD	R/W	0	LVD Interrupt Priority Low bit
		1	PPC	R/W	0	Port1/Port3 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit
		7	PPWMH	R/W	0	PWM Interrupt Priority High bit
BBh	IP1H	4	PEEPH	R/W	0	EEP Interrupt Priority High bit
		3	PADIH	R/W	0	ADC Interrupt Priority High bit
		2	PLVDH	R/W	0	LVD Interrupt Priority High bit
		1	PPCH	R/W	0	Port1/Port3 pin change Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
BFh	LVDS	7	LVDM	R/W	0	0: VCC < VLVD (LVDIF = 1 while LVDO = 1) 1: VCC > VLVD (LVDIF = 1 while LVDO = 0)
		6	LVDO	R	0	LVD real-time Output
		5	LVDHYS	R/W	0	LVD Hysteresis Enable 0: LVD Hysteresis disable 1: LVD Hysteresis enable
		4	LVDPD	R/W	0	LVD Power Down. 0: LVD Enable, 1: LVD Disable
		3~0	LVDSEL	R/W	0h	Low Voltage Detect (LVD) select. 0000: set LVD at 1.62V 0001: set LVD at 1.71V 0010: set LVD at 1.83V 0011: set LVD at 1.95V 0100: set LVD at 2.07V 0101: set LVD at 2.19V 0110: set LVD at 2.31V 0111: set LVD at 2.43V 1000: set LVD at 2.56V 1001: set LVD at 2.68V 1010: set LVD at 2.81V 1011: set LVD at 2.93V 1100: set LVD at 3.05V 1101: set LVD at 3.17V 1110: set LVD at 3.30V 1111: set LVD at 3.42V
C9h	EEPCON	7~0	EEPCON	W	–	Write E2h to set EEPWE flag; write other value to clear EEPWE flag. It is recommended to clear it immediately after EEPROM write.
		5	EEPWE	R	0	Flag indicates EEPROM memory can be written or not 0: EEPROM Write disable 1: EEPROM Write enable
		3	EEPTO	R	0	Time-Out flag of EEPROM write Set by H/W when EEPROM write Time-out occurs. Cleared this flag by H/W when EEPWE=0.
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D1h	PWM0DH	7~0	PWM0DH	R/W	00h	PWM0 duty high byte
D2h	PWM0DL	7~0	PWM0DL	R/W	00h	PWM0 duty low byte
D3h	PWM1DH	7~0	PWM1DH	R/W	00h	PWM1 duty high byte
D4h	PWM1DL	7~0	PWM1DL	R/W	00h	PWM1 duty low byte
D5h	PWM2DH	7~0	PWM2DH	R/W	00h	PWM2 duty high byte
D6h	PWM2DL	7~0	PWM2DL	R/W	00h	PWM2 duty low byte
D7h	FRCFT	4~0	FRCFT	R/W	00	FRC Fine Tune
D8h	CLKCON	5	STPSCK	R/W	1	Set 1 to stop Slow clock in PDOWN mode
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
						00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
D9h	PWM0PRDH	7~0	PWM0PRDH	R/W	FFh	PWM0 period high byte
DAh	PWM0PRDL	7~0	PWM0PRDL	R/W	FFh	PWM0 period low byte
DBh	PWM1PRDL	7~0	PWM1PRDL	R/W	FFh	PWM1/2/3 period low byte
DCh	PWM1PRDL	7~0	PWM1PRDL	R/W	FFh	PWM1/2/3 period low byte
DDh	PWM3DL	7~0	PWM3DL	R/W	00h	PWM3 duty low byte
DEh	PWM3DL	7~0	PWM3DL	R/W	00h	PWM3 duty low byte
DFh	RDCTL	2	ATDEN	R/W	1	MTP ATD(Address Transition Detection) read control enable; 0: MTP Read always=1 1: MTP Read use ATD (for power saving at at slow clock)
		1~0	ATDT	R/W	1h	ATD timing controlwhen ATDEN=1 0: 6.8ns@5V or 10.7ns@3V 1: 12.2ns@5V or 19.4ns@3V 2: 17.6ns@5V or 28ns@3V 3: 23ns@5V or 37ns@3V
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
E3h	LVRCON	4	LVRPD	R/W	0	LVR Power Down. 0: LVR Enable, 1: LVR Disable
		3~0	LVRSEL	R/W	0	Low Voltage Reset (LVR) select. 0000: set LVR at 1.62V 0001: set LVR at 1.69V 0010: set LVR at 1.82V 0011: set LVR at 1.94V 0100: set LVR at 2.06V 0101: set LVR at 2.17V 0110: set LVR at 2.29V 0111: set LVR at 2.41V 1000: set LVR at 2.54V 1001: set LVR at 2.66V 1010: set LVR at 2.78V 1011: set LVR at 2.90V 1100: set LVR at 3.03V 1101: set LVR at 3.15V 1110: set LVR at 3.27V 1111: set LVR at 3.39V
E5h	EFTCON	7	EFT2CS	W	0	EFT2 Detector enable 0: Disable EFT2 1: Enable EFT2
		6	EFT1CS	W	0	EFT1 Detector enable 0: Disable EFT1 1: Enable EFT1
		5~4	EFT1S	W	00	EFT1 Detector sensitivity adjustment
		3	EFTSLOW	W	0	Force SYSCLK to SLOWCLK while EFT detected 0: Disable; 1: Enable
		1	EFTWOUT	W	0	EFTWAIT output to pin 0: P3.6 = normal I/O 1: P3.6 = EFTWAIT
		0	CKHLDE	W	0	clock hold enable 0: Disabl; 1: Enable
EAh	CFGSRC	4~0	SRCTRIM	R/W	-	SRC trimming value
EFh	AUX3	7	warmtime	R/W	0	Warm-up time for wake-up from Power Down mode 0: 128 Clock 1: 64 Clock

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		6~4	TM3PSC	R/W	000	Timer3 Interrupt rate 000: Timer3 Interrupt rate is 65536 Timer3 clock cycle 001: Timer3 Interrupt rate is 32768 Timer3 clock cycle 010: Timer3 Interrupt rate is 16384 Timer3 clock cycle 011: Timer3 Interrupt rate is 8192 Timer3 clock cycle 100: Timer3 Interrupt rate is 4096 Timer3 clock cycle 101: Timer3 Interrupt rate is 2048 Timer3 clock cycle 110: Timer3 Interrupt rate is 1024 Timer3 clock cycle 111: Timer3 Interrupt rate is 512 Timer3 clock cycle
		2	IOVIS	R/W	0	GPIO VIH/VIL selection 0: VIH=0.7VDD, VIL=0.3VDD 1: VIH=0.4VDD, VIL=0.2VDD (仿真不支援)
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	–	CRC input data
F5h	CFGBG	4~0	BG1TRIM	R/W	–	VBG trimming value
F6h	CFGWL	6~0	FRCTRIM	R/W	–	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency
F7h	AUX2	7~6	WDTE	R/W	00	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Halt/Stop mode 11: WDT always enable
		5	PWRSAPV	R/W	0	Set 1 to reduce the chip's power consumption at Idle/Halt/Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin
		2~1	EEPTE	R/W	00	EEP watchdog timer enable 00: Disable 01: wait 7.7 ms trigger watchdog time-out flag 10: wait 31ms trigger watchdog time-out flag 11: wait 62 ms trigger watchdog time-out flag
F8h	AUX1	7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear Timer3, HW auto clear it at next clock cycle.
		5	CLRPWM0	R/W	0	PWM0 clear enable 0: PWM0 is running 1: PWM0 is cleared and held
		4	ADSOC	W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
			ADSOC	R	0	When ADCDLYT=0 (ref. SFR ACh)
			ADC EOC	R	0	When ADCDLY!=0 (ref. SFR ACh)
		3	CLRPWM1	R/W	0	PWM1/2/3 clear enable 0: PWM1/2/3 is running 1: PWM1/2/3 is cleared and held
		2	T0SEL	R/W	0	Timer0 counter mode (CT0N=1) input select 0: P3.4 pin 1: Slow clock divide by 4 (SLOWCLK/4)
		1	T1SEL	R/W	0	Timer1 counter mode (CT1N=1) input select 0: P3.5 (T1) pin (8051 standard) 1: Slow clock divide by 4 (SLOWCLK/4)
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
1FF9h	CFGBG	4~0	BG1TRIM	VBG2 adjustment. VBG is trimmed to 1.18V in chip manufacturing.
1FFBh	CFGSRC	4~0	SRCTRIM	SRC frequency adjustment. SRC is trimmed to 131KHz in chip manufacturing.
1FFDh	CFGWL	6~0	FRCTRIM	FRC frequency adjustment. FRC is trimmed to 16.5888 MHz in chip manufacturing.
1FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset enable, 1=enable.
		5~0	-	Reserved

注: 上表列出所有的SFR,特地保留原始英文,以供使用者交互参考。



指令集

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A, Rn	Add register to A	1	2	28-2F
ADD A, dir	Add direct byte to A	2	2	25
ADD A, @Ri	Add indirect memory to A	1	2	26-27
ADD A, #data	Add immediate to A	2	2	24
ADDC A, Rn	Add register to A with carry	1	2	38-3F
ADDC A, dir	Add direct byte to A with carry	2	2	35
ADDC A, @Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A, #data	Add immediate to A with carry	2	2	34
SUBB A, Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A, dir	Subtract direct byte from A with borrow	2	2	95
SUBB A, @Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A, #data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8 / 16	A4
DIV AB	Divide A by B	1	8/16/32	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A, Rn	AND register to A	1	2	58-5F
ANL A, dir	AND direct byte to A	2	2	55
ANL A, @Ri	AND indirect memory to A	1	2	56-57
ANL A, #data	AND immediate to A	2	2	54
ANL dir, A	AND A to direct byte	2	2	52
ANL dir, #data	AND immediate to direct byte	3	4	53
ORL A, Rn	OR register to A	1	2	48-4F
ORL A, dir	OR direct byte to A	2	2	45
ORL A, @Ri	OR indirect memory to A	1	2	46-47
ORL A, #data	OR immediate to A	2	2	44
ORL dir, A	OR A to direct byte	2	2	42
ORL dir, #data	OR immediate to direct byte	3	4	43
XRL A, Rn	Exclusive-OR register to A	1	2	68-6F
XRL A, dir	Exclusive-OR direct byte to A	2	2	65
XRL A, @Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A, #data	Exclusive-OR immediate to A	2	2	64
XRL dir, A	Exclusive-OR A to direct byte	2	2	62
XRL dir, #data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A, Rn	Move register to A	1	2	E8-EF
MOV A, dir	Move direct byte to A	2	2	E5
MOV A, @Ri	Move indirect memory to A	1	2	E6-E7
MOV A, #data	Move immediate to A	2	2	74
MOV Rn, A	Move A to register	1	2	F8-FF
MOV Rn, dir	Move direct byte to register	2	4	A8-AF
MOV Rn, #data	Move immediate to register	2	2	78-7F
MOV dir, A	Move A to direct byte	2	2	F5
MOV dir, Rn	Move register to direct byte	2	4	88-8F
MOV dir, dir	Move direct byte to direct byte	3	4	85
MOV dir, @Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir, #data	Move immediate to direct byte	3	4	75
MOV @Ri, A	Move A to indirect memory	1	2	F6-F7
MOV @Ri, dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri, #data	Move immediate to indirect memory	2	2	76-77
MOV DPTR, #data	Move immediate to data pointer	3	4	90
MOVC A, @A+DPTR	Move code byte relative DPTR to A	1	8	93
MOVC A, @A+PC	Move code byte relative PC to A	1	8	83
MOVB A, @Ri	Move external data (A8) to A	1	8	E2-E3
MOVB A, @DPTR	Move external data (A16) to A	1	8	E0
MOVB @Ri, A	Move A to external data (A8)	1	8	F2-F3
MOVB @DPTR, A	Move A to external data (A16)	1	8	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A, Rn	Exchange A and register	1	2	C8-CF
XCH A, dir	Exchange A and direct byte	2	2	C5
XCH A, @Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A, @Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C, bit	AND direct bit to carry	2	4	82
ANL C, /bit	AND direct bit inverse to carry	2	4	B0
ORL C, bit	OR direct bit to carry	2	4	72
ORL C, /bit	OR direct bit inverse to carry	2	4	A0
MOV C, bit	Move direct bit to carry	2	2	A2
MOV bit, C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	6	11-F1
LCALL addr 16	Long jump to subroutine	3	6	12
RET	Return from subroutine	1	6	22
RETI	Return from interrupt	1	6	32
AJMP addr 11	Absolute jump unconditional	2	6	01-E1
LJMP addr 16	Long jump unconditional	3	6	02
SJMP rel	Short jump (relative address)	2	6	80
JC rel	Jump on carry = 1	2	4 (or 6)	40
JNC rel	Jump on carry = 0	2	4 (or 6)	50
JB bit, rel	Jump on direct bit = 1	3	4 (or 6)	20
JNB bit, rel	Jump on direct bit = 0	3	4 (or 6)	30
JBC bit, rel	Jump on direct bit = 1 and clear	3	4 (or 6)	10
JMP @A+DPTR	Jump indirect relative DPTR	1	6	73
JZ rel	Jump on accumulator = 0	2	4 (or 6)	60
JNZ rel	Jump on accumulator ≠ 0	2	4 (or 6)	70
CJNE A, dir, rel	Compare A, direct, jump not equal relative	3	4 (or 6)	B5
CJNE A, #data, rel	Compare A, immediate, jump not equal relative	3	4 (or 6)	B4
CJNE Rn, #data, rel	Compare register, immediate, jump not equal relative	3	4 (or 6)	B8-BF
CJNE @Ri, #data, rel	Compare indirect, immediate, jump not equal relative	3	4 (or 6)	B6-B7
DJNZ Rn, rel	Decrement register, jump not zero relative	2	4 (or 6)	D8-DF
DJNZ dir, rel	Decrement direct byte, jump not zero relative	3	4 (or 6)	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

指令都是 1, 2 或 3 个字节长如“字节”列所示。每条指令需要 2~8 个系统时钟周期来执行如“周期”列中所示。

在上表中，如E8-EF中的指令操作码(十六进制)指示用于一个连续的块的8个不同的寄存器，寄存器编号，由其相应的操作码的最低3位定义。码的不连续的块，如11-F1(举例)，用于绝对跳转和调用，码的前3位用于指示目的地址的顶部3位。

电器特性
1. 最大绝对额定值($T_A=25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS} - 0.3 \sim V_{SS} + 5.5$	V
输入电压	$V_{SS} - 0.3 \sim V_{CC} + 0.3$	
输出电压	$V_{SS} - 0.3 \sim V_{CC} + 0.3$	
全部引脚高电位输出电流	-80	
全部引脚低电位输出电流	+150	
最大工作电压	5.5	V
工作温度	$-40 \sim +105$	$^{\circ}\text{C}$
储存温度	$-65 \sim +150$	

2. DC 特性($T_A=25^{\circ}\text{C}, V_{CC}=1.8\text{V} \sim 5.5\text{V}$)

参数	符号	条件	最小值	典型值	最大值	单位
工作电压	V_{CC}	$\text{FSYSCLK} = \text{FRC}/1 = 16.5888\text{MHz}$	2.4	—	5.5	V
		$\text{FSYSCLK} \leq \text{FRC}/2 = 8.2944\text{MHz}$	1.8	—	5.5	
输入高电压	V_{IH}	所有输入	$V_{CC}=5\text{V}, \text{IOVIS}=0$	—	—	V
			$V_{CC}=5\text{V}, \text{IOVIS}=1$	—	—	V
输入低电压	V_{IL}	所有输入	$V_{CC}=5\text{V}, \text{IOVIS}=0$	—	$0.3V_{CC}$	V
			$V_{CC}=5\text{V}, \text{IOVIS}=1$	—	$0.2V_{CC}$	V
I/O 端口 拉电流	I_{OH}	相关引脚 (P1.0~P1.5, P3.0~P3.7)	$V_{CC}=5\text{V},$ $V_{OH}=0.9V_{CC}$	12	13.5	mA
			$V_{CC}=5\text{V},$ $V_{OH}=0.6V_{CC}$	36	40	
			$V_{CC}=3\text{V},$ $V_{OH}=0.9V_{CC}$	5	5.5	
			$V_{CC}=3\text{V},$ $V_{OH}=0.66V_{CC}$	14	15.5	
I/O 端口 灌电流	I_{OL}	所有输出	$V_{CC}=5\text{V},$ $V_{OL}=0.1V_{CC}$	37	41	mA
			$V_{CC}=3\text{V},$ $V_{OL}=0.1V_{CC}$	9	18.5	
电源电流	I_{DD}	快钟模式 $V_{CC}=5\text{V}, \text{No Load}$	$\text{FRC}=16.5888\text{MHz}$	—	6	mA
			$\text{FRC}=8.2944\text{MHz}$	—	4	
		快钟模式 $V_{CC}=3\text{V}, \text{No Load}$	$\text{FRC}=16.5888\text{MHz}$	—	3.3	
			$\text{FRC}=8.2944\text{MHz}$	—	2.4	
		慢钟模式 No Load	$V_{CC}=5\text{V}$	—	65	μA
			$V_{CC}=3\text{V}$	—	34	
		空闲模式 $\text{PWRSV}=0$ No Load	$\text{SRC}, V_{CC}=5\text{V}$ POR ON	—	16	μA
			$\text{SRC}, V_{CC}=5\text{V}$ LVR ON	—	70	
			$\text{SRC}, V_{CC}=3\text{V}$ POR ON	—	6	
			$\text{SRC}, V_{CC}=3\text{V}$ LVR ON	—	44	
		空闲模式 $\text{PWRSV}=1$ No Load	$\text{SRC}, V_{CC}=5\text{V}$	—	16	
			$\text{SRC}, V_{CC}=3\text{V}$	—	6	

参数	符号	条件		最小值	典型值	最大值	单位
		停止模式 PWRSAP=1 No Load	V _{CC} =5V	—	0.7	—	
			V _{CC} =3V	—	0.5	—	
		暂停模式 PWRSAP=1 No Load	V _{CC} =5V (Timer3=0.5秒唤醒)	—	12	—	
			V _{CC} =3V (Timer3=0.5秒唤醒)	—	4	—	
系统时钟频率	FSYSCLK	V _{CC} > LVR _{TH}	V _{CC} =2.4V	—	—	16.5888	MHz
LVR参考电压	V _{LVR}	T _A =25°C		—	3.39	—	V
				—	3.27	—	
				—	3.15	—	
				—	3.03	—	
				—	2.90	—	
				—	2.78	—	
				—	2.66	—	
				—	2.54	—	
				—	2.41	—	
				—	2.29	—	
				—	2.17	—	
				—	2.06	—	
				—	1.94	—	
				—	1.82	—	
				—	1.69	—	
				—	1.62	—	

参数	符号	条件		最小值	典型值	最大值	单位
LVD参考电压	V _{LVD}	T _A =25°C		—	3.42	—	V
				—	3.3	—	
				—	3.17	—	
				—	3.05	—	
				—	2.93	—	
				—	2.81	—	
				—	2.68	—	
				—	2.56	—	
				—	2.43	—	
				—	2.31	—	
				—	2.19	—	
				—	2.07	—	
				—	1.95	—	
				—	1.83	—	
				—	1.71	—	
				—	1.62	—	
LVR滞后电压	V _{HYST}	T _A =25°C		—	±0.1	—	V
低电压检测时间	t _{LVR}	T _A =25°C		100	—	—	μs
上拉电阻	R _{PU}	V _{IN} =0V	V _{CC} =5V	—	32	—	KΩ
			V _{CC} =3V	—	32	—	
下拉电阻	R _{PD}	V _{IN} =0V	V _{CC} =5V	—	32	—	
			V _{CC} =3V	—	32	—	

3. 时钟时序($T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$)

参数	条件	最小值	典型值	最大值	单位
内部RC频率	25°C, $V_{CC}=5.0\text{V}$	-1%	16.5888	+1%	MHz
	-40°C ~ 105°C, $V_{CC}=5.0\text{V}$	-1.5%	16.5888	+1.5%	
	-40°C ~ 105°C, $V_{CC}=3.0 \sim 5.0\text{V}$	-2.5%	16.5888	+2.5%	

4. 复位时序特性($T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input $V_{CC}=5\text{V} \pm 10\%$	30	—	—	μs
WDT 时间	$V_{CC}=5\text{V}$, WDTOSC=11	—	60	—	ms
	$V_{CC}=3\text{V}$, WDTOSC=11	—	78	—	
CPU启动时间	$V_{CC} = 5\text{V}$	—	8.6	—	ms

5. ADC 电气特性($T_A = 25^{\circ}\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$, $V_{SS} = 0\text{V}$)

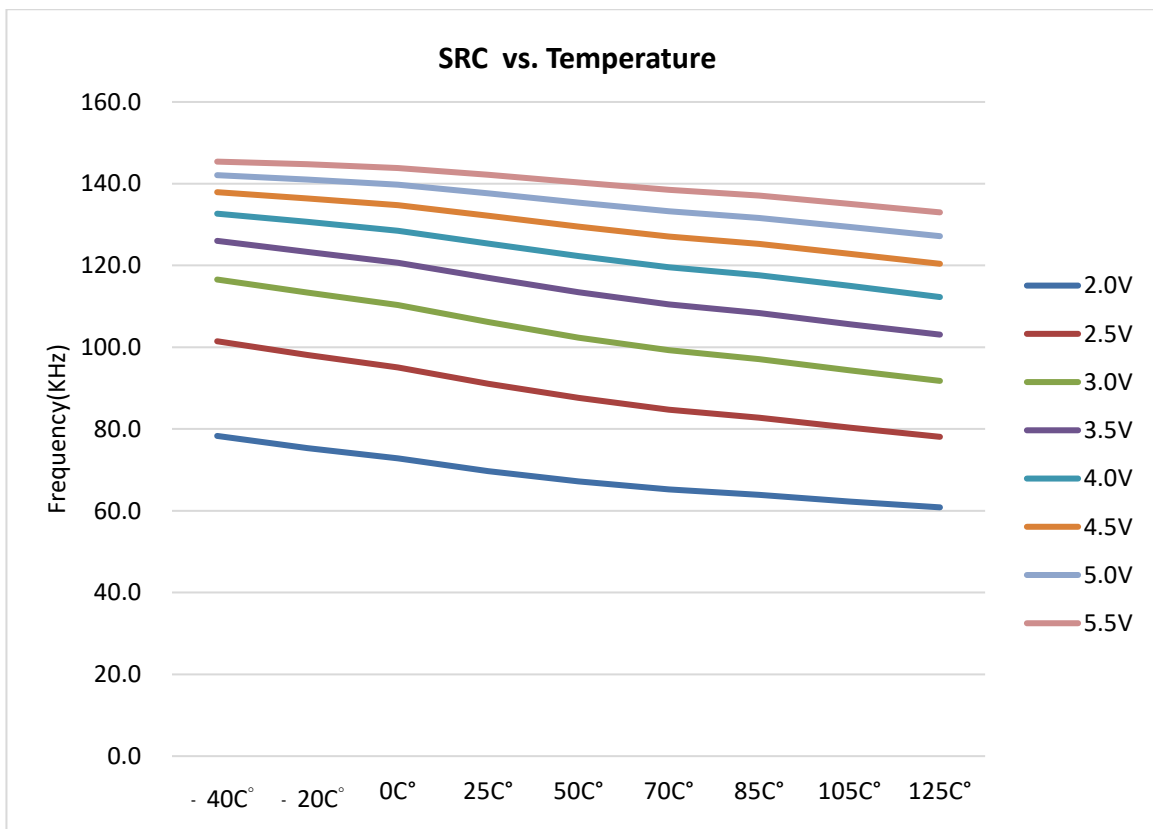
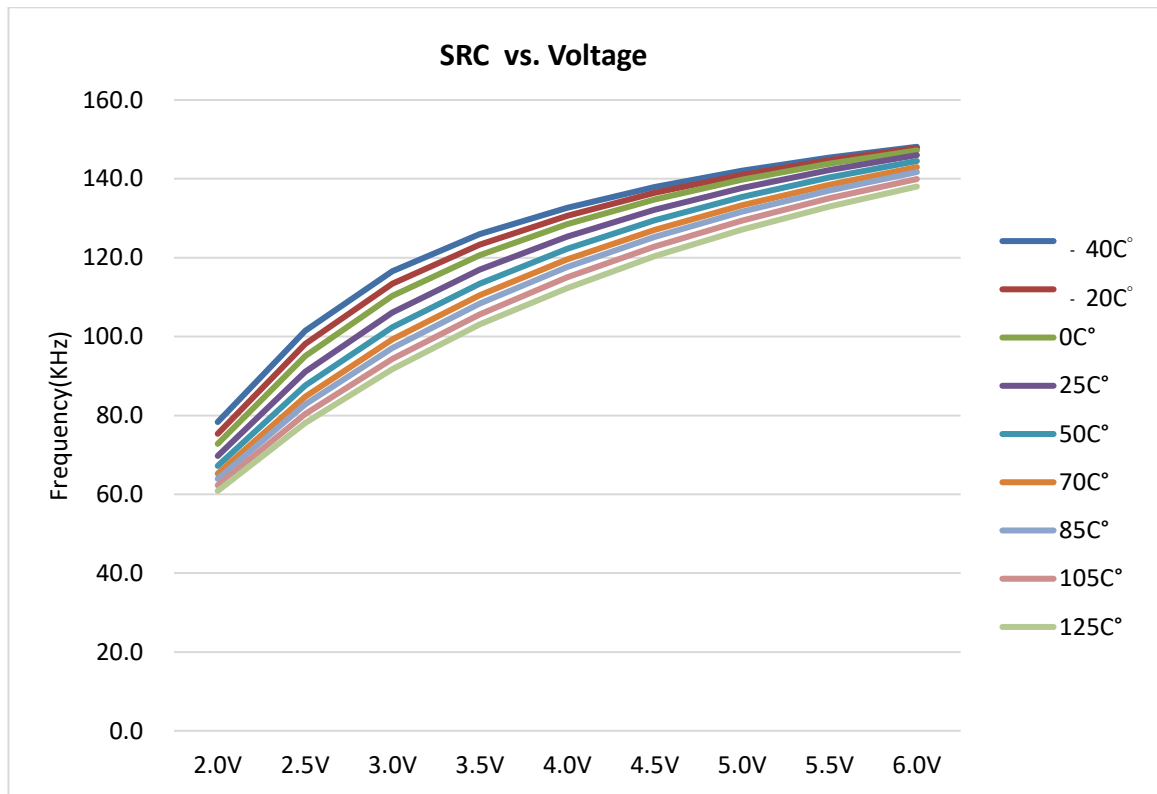
参数	条件		最小值	典型值	最大值	单位
总绝对误差	$V_{CC}=5.12\text{V}$, $V_{SS}=0\text{V}$		—	± 2.5	± 4	LSB
积分非线性误差			—	± 3.2	± 5	
最大输入时钟(f_{ADC})	信号驱动源阻抗($R_s < 10\text{K ohm}$)		—	—	2	MHz
	信号驱动源阻抗($R_s < 20\text{K ohm}$)		—	—	1	
	信号驱动源阻抗($R_s < 50\text{K ohm}$)		—	—	0.5	
	信号来号是 V_{BG} (ADCHS=01100b)		—	—	2.3	
转换时间	$F_{\text{ADC}} = 1\text{MHz}$		—	50	—	μs
带隙基准电压 (V_{BG})	$V_{BGSEL}=00$	$V_{CC}=2.5\text{V} \sim 5.2\text{V}$ -40°C ~ 105°C	-1.5%	1.18	1.5%	V
ADC参考电压 (V_{ADC})	$\text{ADCVREFS}=1$	$V_{CC}=3\text{V} \sim 5.2\text{V}$ -40°C ~ 105°C	-1.5%	1.18	+1.5%	
$V_{CC}/4$ 基准电压 ($V_{1/4}$)	—	$V_{CC}=5\text{V}$, 25°C	-0.8%	1.26	+0.8%	
		$V_{CC}=3.6\text{V}$, 25°C	-0.8%	0.907	+0.8%	
输入电压	—		V_{SS}	—	V_{CC}	

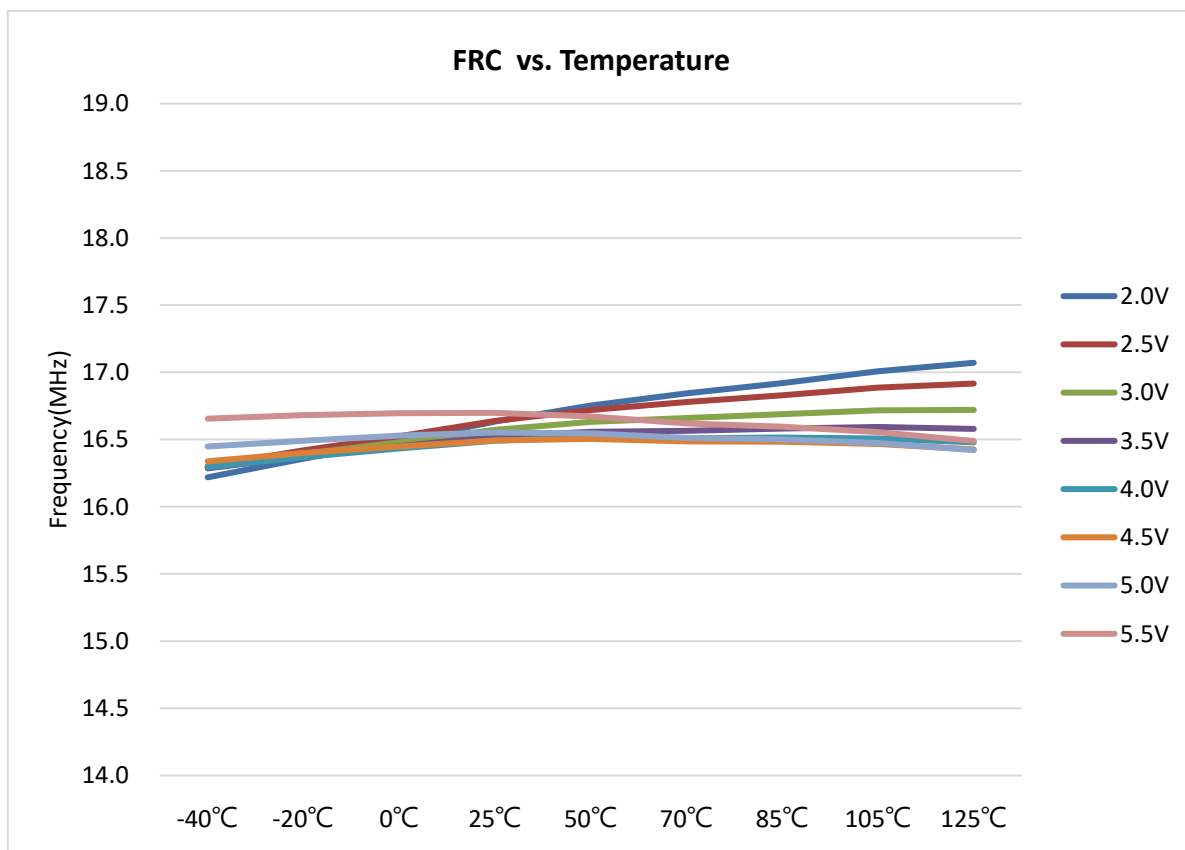
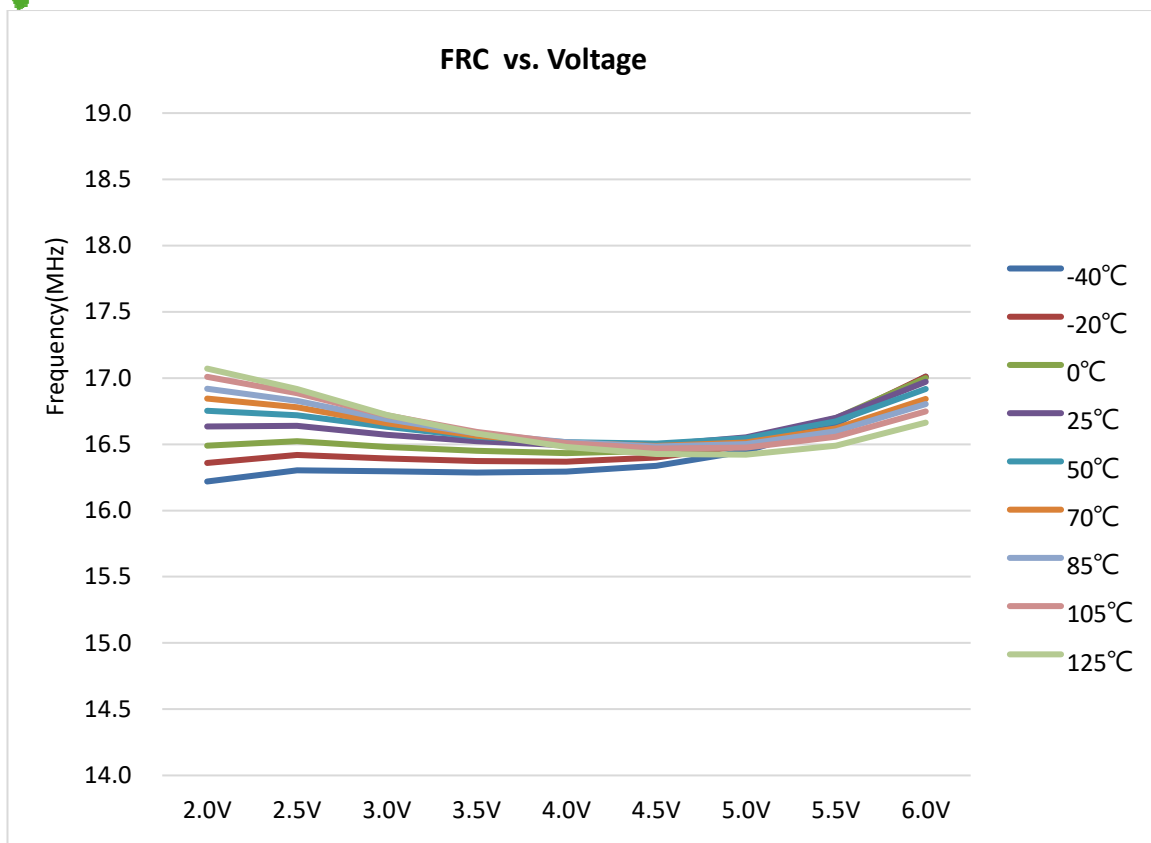
6. EEPROM 特性

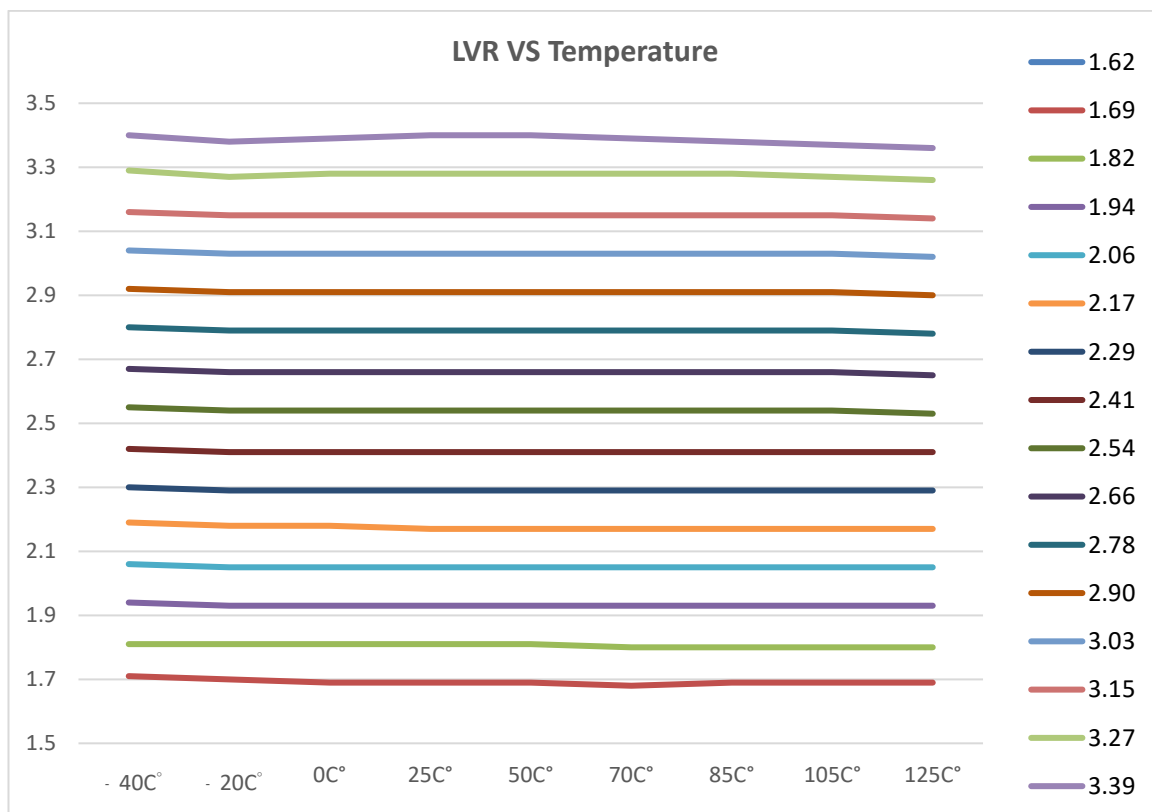
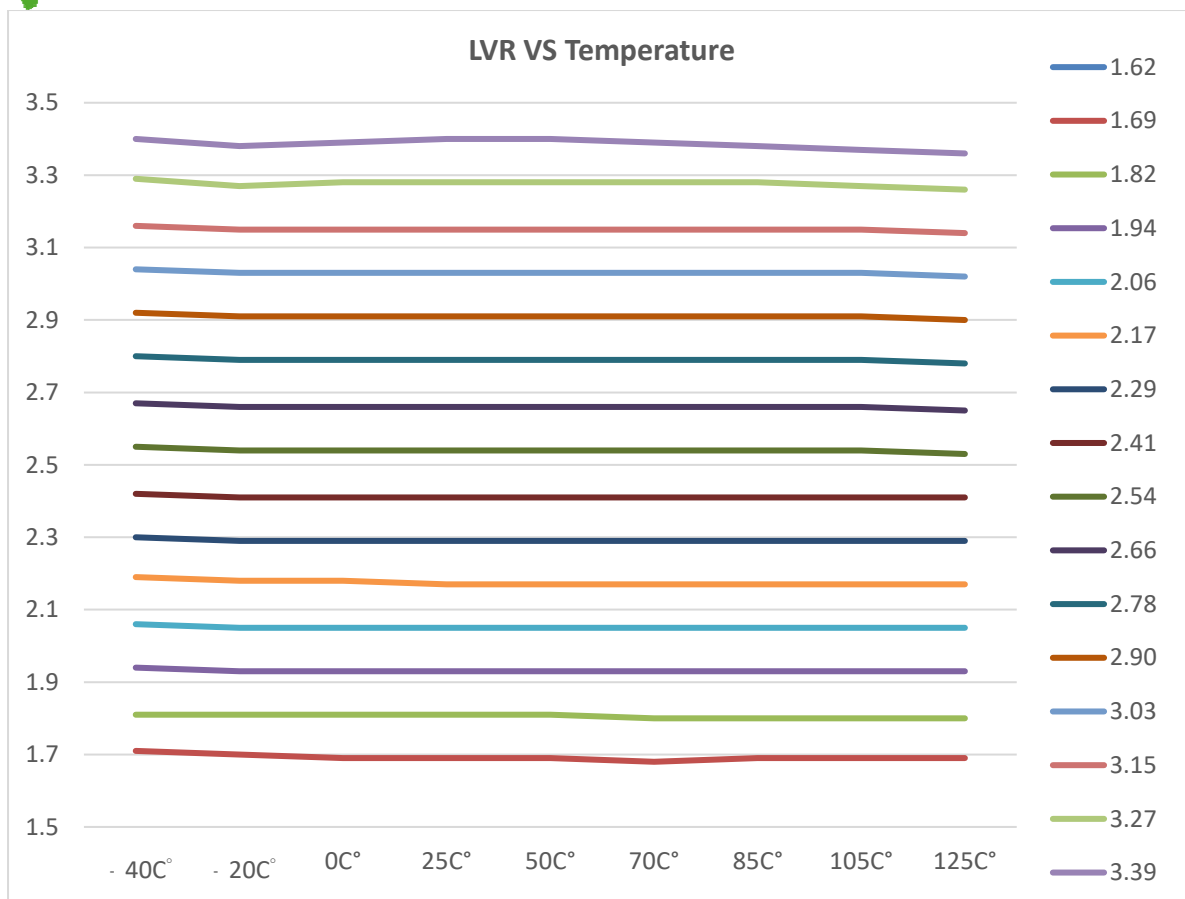
参数	条件	最小值	典型值	最大值	单位
写电压 V_{EEWR}	-40°C ~ 105°C $F_{\text{sys}}=\text{FRC}/1$, $V_{CC}/47\mu\text{F}$	3.0		5.5	V
	-40°C ~ 105°C $F_{\text{sys}}=\text{FRC}/2$, $V_{CC}/47\mu\text{F}$	2.5		5.5	
读电压 V_{EERD}	-40°C ~ 105°C $F_{\text{sys}}=\text{FRC}/1$, $V_{CC}/47\mu\text{F}$	2.0		5.5	
*写耐用性 N_{EE}	$V_{CC} = 2.5 \sim 5.5\text{V}$, -40°C ~ 105°C	20K	—	—	周期数
	$V_{CC} = 2.5 \sim 5.5\text{V}$, -20°C ~ 85°C	30K	—	—	
	$V_{CC} = 3.0 \sim 5.5\text{V}$, 0°C ~ 70°C	50K	—	—	
写时间 T_{EEWR}	$V_{CC} = 5.0\text{V}$, 25°C, WDT disable		1.5		mS
	$V_{CC} = 2.5\text{V}$, 25°C, WDT disable		4		
	$V_{CC} = 3.0\text{V}$, 105°C, WDT disable		15		
数据保存 Y_{RET}		10			Year

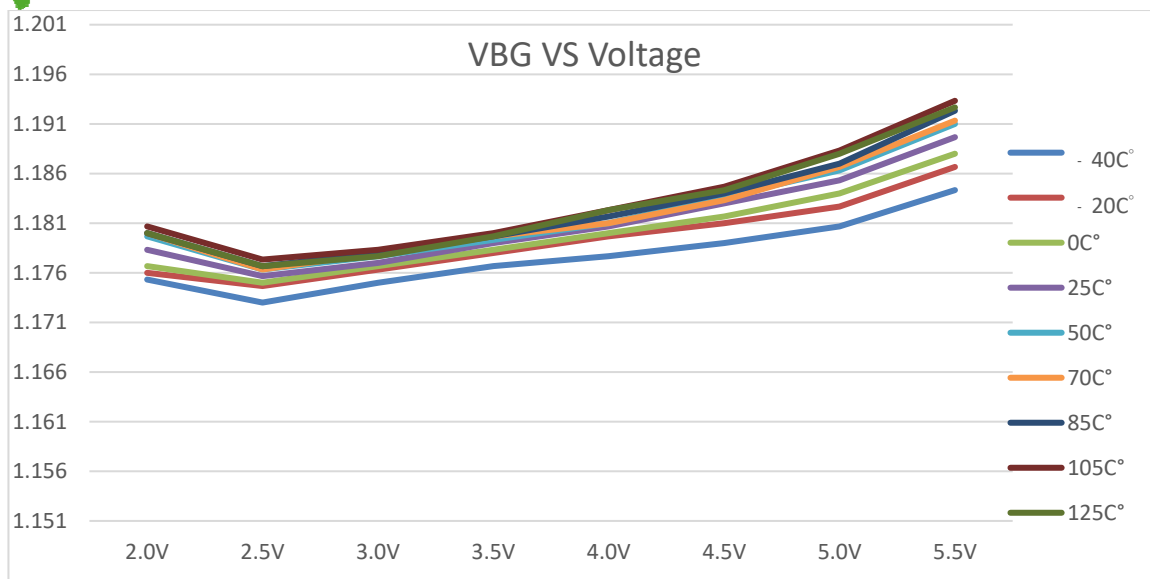
注：此参数数值是基于测试样本的特性值。

7. 特性曲线图









封装说明

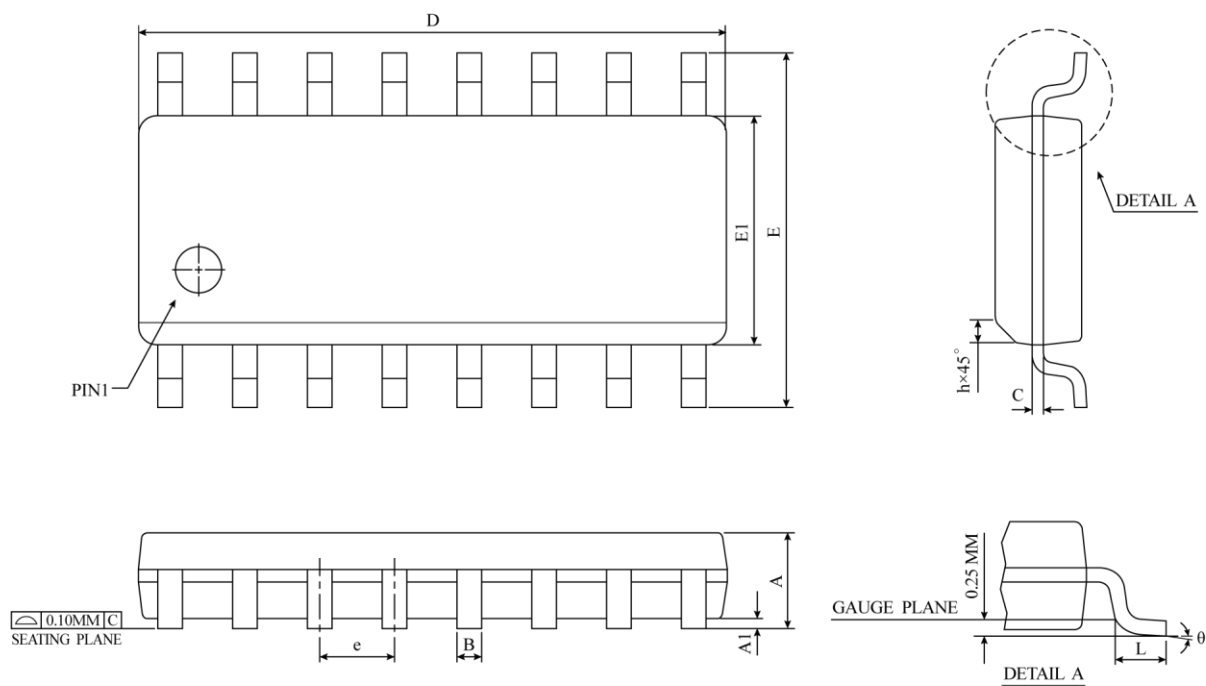
请注意，此處提供的包装信息仅供参考。 由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

Ordering number	Package
TM52E5223-MTP	Wafer/Dice blank chip
TM52E5223-COD	Wafer/Dice with code
TM52E5223S1	SOP 16-pin (150 mil)
TM52E5223ES	SOP 14-pin (150 mil)
TM52E5223IS	SOP 8-pin (150 mil)

包装信息

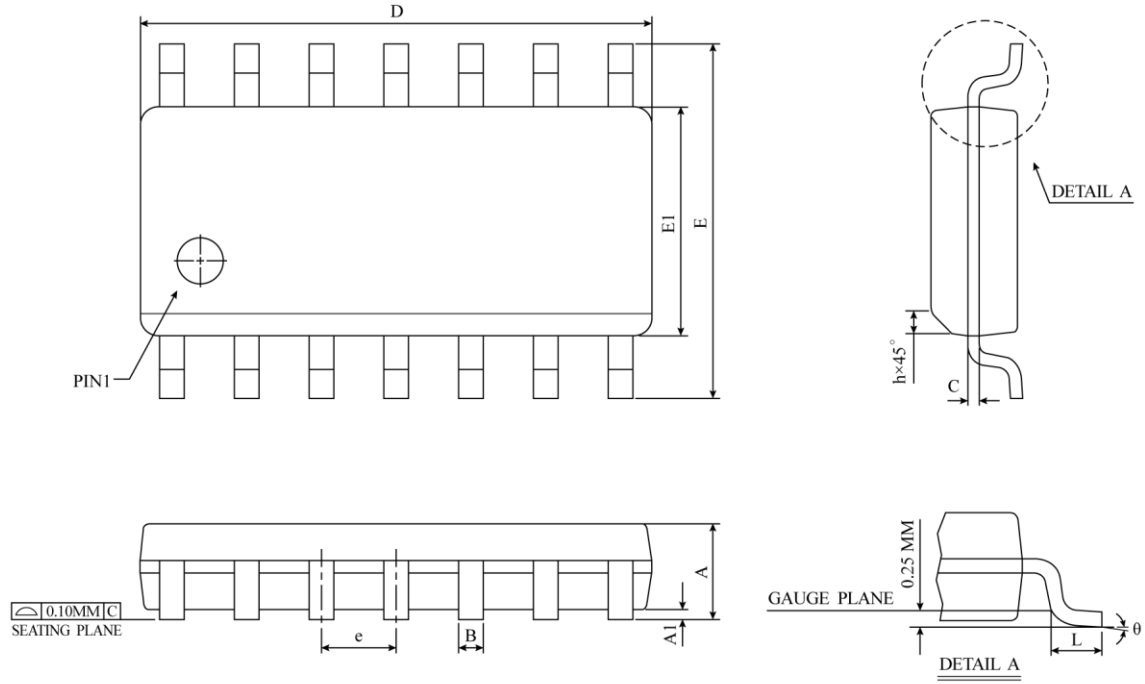
● SOP-16引脚 (150mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	9.80	9.90	10.00	0.3859	0.3898	0.3937
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

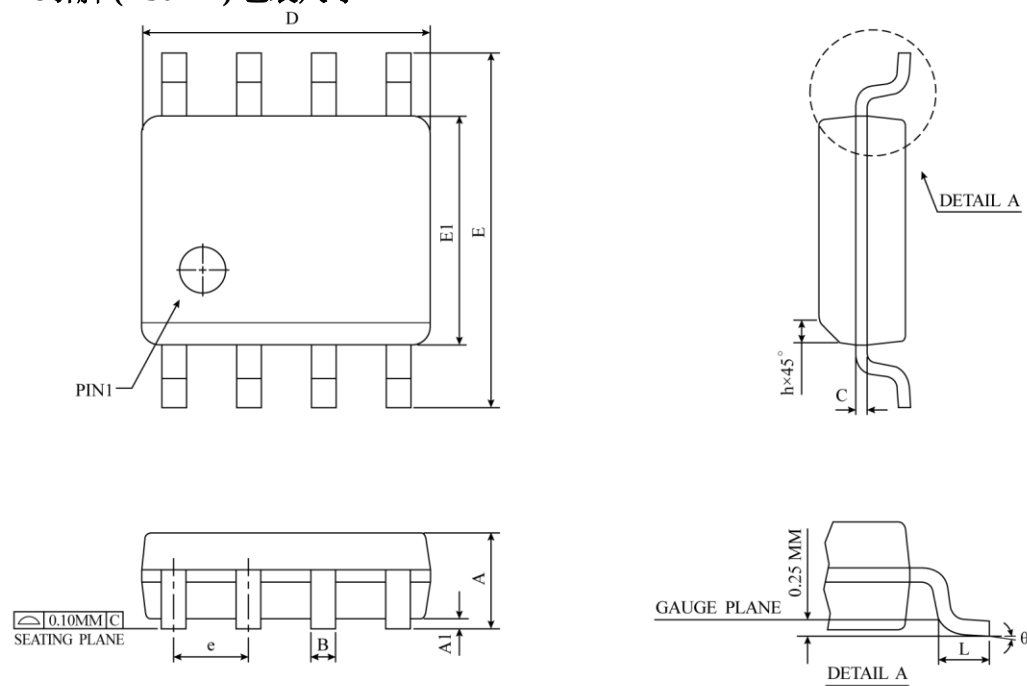
● SOP-14引脚 (150mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	8.55	8.65	8.75	0.3367	0.3410	0.3444
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AB)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

● SOP-8引脚 (150mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	4.80	4.90	5.00	0.1890	0.1939	0.1988
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AA)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.