

RS1328 具有轨到轨输出的 12 位低功耗八通道数模转换器

1 特性

- 确保单调性
- 低功耗运行
- 轨到轨电压输出
- 菊花链能力
- 上电复位至 0V
- 同步输出更新
- 单通道关断功能
- 宽电源电压范围: **2.7 V ~ 5.5 V**
- 双通道基准电压, 范围 **0.5V ~ V_A**
- 工作温度范围: **-40°C ~ +125°C**
- 小型封装
- 分辨率: **12 位**
- **INL ± 2 LSB** (典型值)
- **DNL +0.3/-0.15 LSB** (典型值)
- 建立时间: **2 μ s** (典型值)
- 零码误差: **4mV** (典型值)
- 满量程误差: **-0.04%FSR** (典型值)
- 电源功耗
2.10mW (3V)/ 4.55mW (5V) (典型值)
- 关断模式功耗 **0.3 μ W (3V)/1 μ W (5V)** (典型值)

2 应用

- 电池供电仪器
- 数字增益和偏移调节
- 可编程电压和电流源
- 可编程衰减器
- **ADC 电压基准源**
- 传感器电源电压
- 范围检测器

3 概述

RS1328 是一款功能全面的通用型八通道 12 位电压输出数模转换器 (DAC), 可在 2.7V 至 5.5V 单电源电压范围内工作, 功耗分别为 3V 时 2.10mW 和 5V 时 4.55mW。该器件采用 16 引脚 TSSOP 封装, 内置输出放大器可实现轨到轨输出摆幅, 其三线串行接口在全电源电压范围内支持高达 40MHz 的时钟速率。该串行接口兼容标准 SPI™、QSPI、MICROWIRE 及 DSP 接口。RS1328 还支持菊花链扩展功能, 通过单个串行接口可同时更新任意数量的 RS1328 器件。

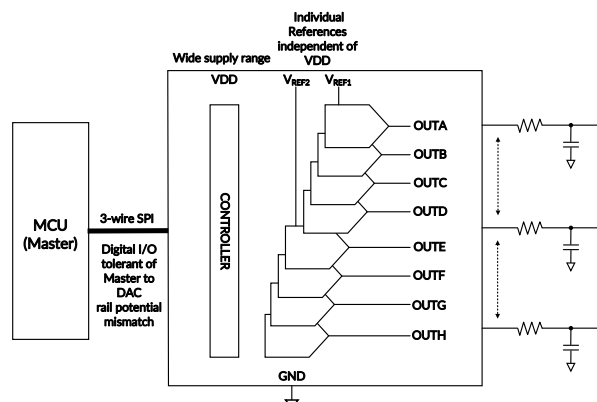
RS1328 配备两个基准电压输入通道: A 至 D 通道由其中一个基准源控制, E 至 H 通道则由另一个基准源管理。每个基准源均可独立调节至 0.5V 至 V_A 电压范围, 从而实现最宽的输出动态范围。该器件内置 16 位输入移位寄存器, 可精准调控工作模式、关断状态以及数模转换器各通道的寄存器/输出值。所有八个数模转换器输出既可同步更新, 也可单独调整。

器件信息 (1)

型号	封装	封装尺寸 (标称值)
RS1328	TSSOP16	5.00mm×4.40mm

(1) 详细的订单型号说明, 请参考数据表后的封装选项部分。

简化示意图



目录

1 特性.....	1
2 应用.....	1
3 概述.....	1
4 修订历史.....	3
5 描述.....	4
6 封装和订单说明 ⁽¹⁾	5
7 引脚定义和功能（顶视图）.....	6
8 规格.....	7
8.1 绝对最大额定参数.....	7
8.2 ESD 等级.....	7
8.3 推荐工作条件.....	8
8.4 典型电气参数.....	9
8.5 交流和时序特性.....	12
8.6 典型参数曲线.....	14
9 详细说明.....	19
9.1 概览.....	19
9.2 功能框图.....	19
9.3 特性说明.....	20
9.3.1 DAC 架构.....	20
9.3.2 输出放大器.....	21
9.3.3 参考电压.....	21
9.3.4 串行接口.....	21
9.3.5 菊花链操作.....	22
9.3.6 DAC 输入数据更新机制.....	23
9.3.7 上电复位.....	24
9.3.8 传输特性.....	25
9.4 器件功能模式.....	25
9.4.1 关断模式.....	25
9.5 编程.....	25
9.5.1 RS1328 编程.....	26
10 应用与设计.....	27
10.1 应用信息.....	27
10.1.1 使用参考源作为电源.....	27
10.2 应用信息.....	27
10.2.1 设计要求.....	27
10.2.2 设计要求.....	27
11 电源建议.....	28
12 PCB 版图设计.....	28
12.1 PCB 布局设计注意事项.....	28
12.2 PCB 布局示意图.....	28
13 封装规格尺寸.....	29
14 包装规格尺寸.....	30

4 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2025/07/09	初始版
A.0.1	2025/08/28	更新典型电气参数

Preliminary version

5 描述

上电复位电路确保 DAC 输出电压在器件上电时达到零伏并保持该状态，直至接收到有效写入指令。RS1328 的断电功能支持每个 DAC 独立供电，并提供三种不同的端接选项。当所有 DAC 通道均处于断电状态时，3V 电压下的功耗低于 0.3 μ W，5V 电压下则低于 1 μ W。RS1328 的低功耗特性和小型封装使其成为电池供电设备的理想选择。RS1328 在扩展的工业温度范围 -40°C 至 125°C 内工作。

Preliminary version

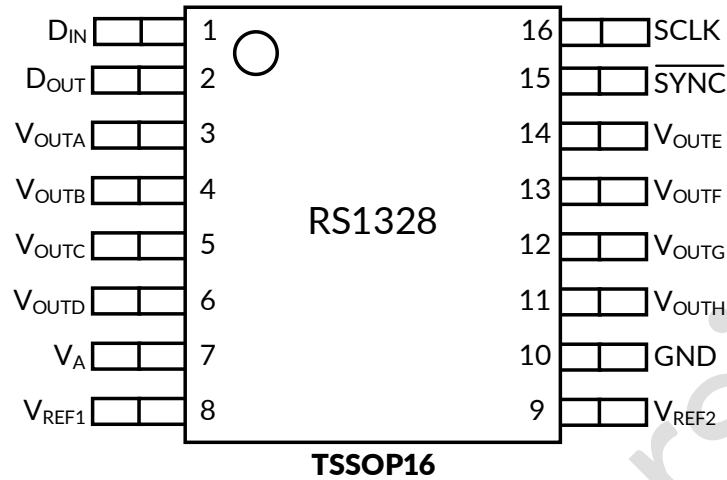
6 封装和订单说明⁽¹⁾

产品名称	订单型号	温度范围	封装类型	丝印 ⁽²⁾	MSL ⁽³⁾	包装规格
RS1328	RS1328XTSS16	-40°C ~ 125°C	TSSOP16	RS1328	MSL1	Tape and Reel, 4000

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) Runic 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 Runic 技术支持联系。

7 引脚定义和功能（顶视图）



引脚功能

引脚名称	引脚	类型	功能说明
D _{IN}	1	数字输入	串行数据输入。在 SYNC 下降沿后，数据在 SCLK 下降沿被时钟输入至 16 位移位寄存器。
D _{OUT}	2	数字输出	串行数据输出。D _{OUT} 用于菊花链操作，可直接连接至另一片 RS1328 的 D _{IN} 引脚。仅当 SYNC 保持低电平超过 16 个 SCLK 周期时，D _{OUT} 才会输出有效数据。
V _{OUTA}	3	模拟输出	通道 A 模拟输出电压。
V _{OUTB}	4	模拟输出	通道 B 模拟输出电压。
V _{OUTC}	5	模拟输出	通道 C 模拟输出电压。
V _{OUTD}	6	模拟输出	通道 D 模拟输出电压。
V _A	7	模拟输出	电源输入。必须与 GND 去耦。
V _{REF1}	8	模拟输入	A、B、C 和 D 通道共享的无缓冲参考电压。必须与 GND 去耦
V _{REF2}	9	模拟输入	E、F、G 和 H 通道共享的无缓冲参考电压，必须与 GND 解耦。
GND	10	接地	所有片上电路的基准地。
V _{OUTH}	11	模拟输出	通道 H 模拟输出电压。
V _{OUTG}	12	模拟输出	通道 G 模拟输出电压。
V _{OUTF}	13	模拟输出	通道 F 模拟输出电压。
V _{OUTE}	14	模拟输出	通道 E 模拟输出电压。
SYNC	15	数字输入	帧同步输入。该引脚变为低电平时，数据在 SCLK 下降沿被写入 DAC 输入移位寄存器。SCLK 第 16 个下降沿后，SYNC 的上升沿将触发 DAC 更新。若 SYNC 在 SCLK 第 15 个下降沿前变为高电平，其上升沿将作为中断信号，该写入序列将被 DAC 忽略。
SCLK	16	数字输入	串行时钟输入。数据在此引脚的下降沿被时钟输入至移位寄存器。

8 规格

8.1 绝对最大额定参数

在自然通风温度范围内（除非特别注明）⁽¹⁾⁽²⁾

		最小值	最大值	单位
电源电压, V_A			6.5	V
任意输入引脚上的电压		-0.3	6.5	V
任意引脚的输入电流 ⁽³⁾			10	mA
封装输入电流 ⁽³⁾			30	mA
$T_A = 25^\circ\text{C}$ 功耗		See ⁽⁴⁾		
结至环境热阻, θ_{JA} ⁽⁵⁾	TSSOP16		135	$^\circ\text{C}/\text{W}$
结温			150	$^\circ\text{C}$
储存温度, T_{stg}		-65	150	$^\circ\text{C}$

- (1) 这里只表示产品在测试条件下得到的极限值，并不表示产品在这些条件下或者其他超出规格限定的参数条件下能够正常工作，超过上述绝对最大额定值所规定的范围将对产品造成损害，无法预测产品在上述条件外的工作状态。如果产品长期在上述条件外的条件下工作，可能影响产品性能。
- (2) 所有电压测量均以接地端 (GND=0V) 为基准，除非特别注明。
- (3) 当任意引脚输入电压超过电源范围（即低于 GND 或高于工作电压 V_A ）时，该引脚电流必须限制在 10mA 以内。因封装最大输入电流额定值为 20mA，故最多允许两个引脚在超过电源范围时以 10mA 电流工作。
- (4) 器件最高结温 (T_{JMAX}) 为 150°C 。最大允许功耗由 T_{JMAX} 、结至环境热阻 (θ_{JA}) 及环境温度 (T_A) 共同决定，计算公式为： $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ 。需注意，最大功耗值仅在严重故障状态下才会达到（例如输入/输出引脚电压超出电源范围或电源极性反接），此类情况必须严格避免。
- (5) 封装热阻根据 JESD-51 标准计算。

8.2 ESD 等级

以下 ESD 信息仅针对在防静电保护区内操作的敏感设备。

		标称值	单位
$V_{(ESD)}$ 静电放电	人体模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 规范 ⁽¹⁾	± 2500	V
	带电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 规范 ⁽²⁾	± 1000	V

(1) JEDEC 文件 JEP155 指出，500V HBM 允许使用标准 ESD 控制过程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250V CDM 允许使用标准 ESD 控制过程进行安全制造。



ESD 灵敏性警告

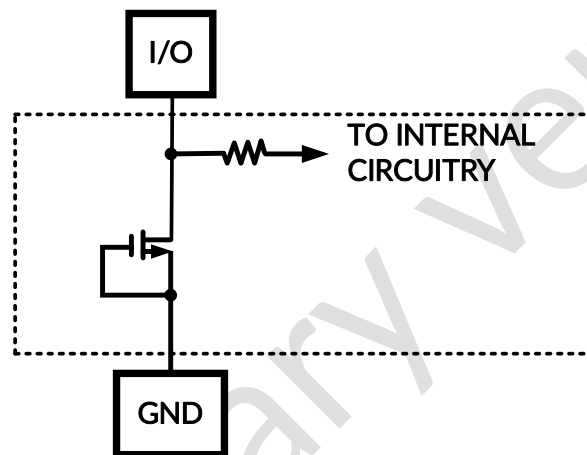
ESD 损坏的范围可以从细微的性能下降到完全的设备失效。精密集成电路可能更容易受到损坏，因为非常小的参数变化有可能导致器件不符合其公布的参数规格。

8.3 推荐工作条件

在自然通风温度范围内（除非特别注明）

	最小值	最大值	单位
自然通风条件下的工作温度范围	-40	125	°C
电源电压, V_A	2.7	5.5	V
参考电压, $V_{REF1,2}$	0.5	V_A	V
数字输入电压 ⁽¹⁾	0	5.5	V
输出负载	0	1500	pF
SCLK 频率		40	MHz

- (1) 输入保护如下所示，输入电压幅值高达 5.5V，无论 V_A 是多少都不会引起转换结果错误，例如 V_A 为 3V 时，数字输入引脚可由 5V 逻辑器件驱动。



8.4 典型电气参数

以下规格适用于 $V_A = 2.7V$ 至 $5.5V$ 、 $V_{REF1} = V_{REF2} = V_A$ 、 $C_L = 200pF$ 至 GND、 $f_{SCLK} = 30\text{ MHz}$ 、输入码范围 48 至 4047。所有有限值均适用于 $T_A = 25^\circ\text{C}$ ，除非特别注明。

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
分辨率		$T_{MIN} \leq T_A \leq T_{MAX}$	12			Bits
单调性		$T_{MIN} \leq T_A \leq T_{MAX}$	12			Bits
INL	积分非线性	$T_A = 25^\circ\text{C}$		± 2	± 3.5	LSB
		$T_{MIN} \leq T_A \leq T_{MAX}$		± 3		LSB
DNL	微分非线性	$T_A = 25^\circ\text{C}$	-0.5	+0.3/-0.15	0.7	LSB
		$T_{MIN} \leq T_A \leq T_{MAX}$		+0.4/-0.3		LSB
ZE	零码误差	$V_A = 2.7\text{ V}, I_{OUT} = 0$		3	6	mV
		$T_{MIN} \leq T_A \leq T_{MAX}$		4.5		
		$V_A = 5.5\text{ V}, I_{OUT} = 0$		4	7	mV
		$T_{MIN} \leq T_A \leq T_{MAX}$		6		
FSE	满量程误差	$I_{OUT} = 0$		-0.04	± 0.12	%FSR
		$T_{MIN} \leq T_A \leq T_{MAX}$		± 0.06		
GE	增益误差	$T_A = 25^\circ\text{C}$		-0.15	± 0.25	%FSR
		$T_{MIN} \leq T_A \leq T_{MAX}$		-0.2		
ZCED	零码误差温漂			20		$\mu\text{V}/^\circ\text{C}$
TC GE	增益误差温漂			-0.6		ppm/ $^\circ\text{C}$
输出特性						
	输出电压范围	$T_{MIN} \leq T_A \leq T_{MAX}$	0		$V_{REF1,2}$	V
I_{OZ}	高阻抗输出漏电流 ⁽¹⁾	$T_{MIN} \leq T_A \leq T_{MAX}$		± 0.1		μA
ZCO	零码输出	$V_A = 3\text{ V}, I_{OUT} = 200\text{ }\mu\text{A}$		9	11	mV
		$V_A = 3\text{ V}, I_{OUT} = 1\text{ mA}$		35	45	
		$V_A = 5\text{ V}, I_{OUT} = 200\text{ }\mu\text{A}$		6	8	
		$V_A = 5\text{ V}, I_{OUT} = 1\text{ mA}$		25	31	
FSO	满量程输出	$V_A = 3\text{ V}, I_{OUT} = 200\text{ }\mu\text{A}$	2.887	2.988		V
		$V_A = 3\text{ V}, I_{OUT} = 1\text{ mA}$	2.942	2.948		
		$V_A = 5\text{ V}, I_{OUT} = 200\text{ }\mu\text{A}$	4.990	4.992		
		$V_A = 5\text{ V}, I_{OUT} = 1\text{ mA}$	4.961	4.965		
I_{OS}	输出短路电流 (I_{SOURCE}) ⁽²⁾	$V_A = 3\text{ V}, V_{OUT} = 0\text{ V}$, 输入码 = FFFh		-35		mA
		$V_A = 5\text{ V}, V_{OUT} = 0\text{ V}$, 输入码 = FFFh		-38		
I_{OS}	输出短路电流 (I_{SINK}) ⁽²⁾	$V_A = 3\text{ V}, V_{OUT} = 3\text{ V}$, 输入码 = 000h		57		mA
		$V_A = 5\text{ V}, V_{OUT} = 5\text{ V}$, 输入码 = 000h		58		
I_O	每通道持续输出电流 ⁽¹⁾	$T_A = 105^\circ\text{C}$			8	mA
		$T_A = 125^\circ\text{C}$			4.5	mA
C_L	最大负载电容	$R_L = \infty$		1500		pF
		$R_L = 2\text{ k}\Omega$		1500		
Z_{OUT}	直流输出阻抗	$V_A = 2.7\text{ V}$, 输入码 = 7FFh		0.5	1	Ω
		$V_A = 5.5\text{ V}$, 输入码 = 7FFh		0.5	1	Ω

典型电气参数（续）

以下规格适用于 $V_A = 2.7\text{ V}$ 至 5.5 V 、 $V_{REF1} = V_{REF2} = V_A$ 、 $C_L = 200\text{ pF}$ 至 GND 、 $f_{SCLK} = 30\text{ MHz}$ 、输入码范围 48 至 4047。
所有限值均适用于 $T_A = 25^\circ\text{C}$ ，除非特别注明。

参数		测试条件	最小值	典型值	最大值	单位
基准输入特性						
$V_{REF1,2}$	最小输入范围	$T_A = 25^\circ\text{C}$		0.5		V
		$T_{MIN} \leq T_A \leq T_{MAX}$	2.7			
	最大输入范围	$T_{MIN} \leq T_A \leq T_{MAX}$			V_A	V
	输入阻抗			30		k Ω
逻辑输入特性						
I_{IN}	输入电流 ⁽¹⁾	$T_{MIN} \leq T_A \leq T_{MAX}$		± 0.1		μA
V_{IL}	输入低电压	$V_A = 2.7\text{ V to } 3.6\text{ V}$		0.6		V
		$V_A = 2.7\text{ V to } 3.6\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$			0.6	
		$V_A = 4.5\text{ V to } 5.5\text{ V}$		1.1		V
		$V_A = 4.5\text{ V to } 5.5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$			0.8	
V_{IH}	输入高电压	$V_A = 2.7\text{ V to } 3.6\text{ V}$		1.5		V
		$V_A = 2.7\text{ V to } 3.6\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	2.1			
		$V_A = 4.5\text{ V to } 5.5\text{ V}$		2.2		V
		$V_A = 4.5\text{ V to } 5.5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	2.4			
C_{IN}	输入引脚电容 ⁽¹⁾	$T_{MIN} \leq T_A \leq T_{MAX}$			3	pF
电源要求						
V_A	最小电源电压	$T_{MIN} \leq T_A \leq T_{MAX}$	2.7			V
	最大电源电压	$T_{MIN} \leq T_A \leq T_{MAX}$			5.5	V
I_N	电源引脚 V_A 正常电源电流	$f_{SCLK} = 30\text{ MHz},$ $f_{SYNC} = 176\text{ KHz},$ 空载输出	$V_A = 3\text{ V}$		496	μA
			$V_A = 3\text{ V},$ $T_{MIN} \leq T_A \leq T_{MAX}$		553	μA
			$V_A = 5\text{ V}$		573	μA
			$V_A = 5\text{ V},$ $T_{MIN} \leq T_A \leq T_{MAX}$		632	μA
	V_{REF1} 或 V_{REF2} 正常电源电流	$f_{SCLK} = 30\text{ MHz},$ 空载输出	$V_A = 3\text{ V}$		102	μA
			$V_A = 3\text{ V},$ $T_{MIN} \leq T_A \leq T_{MAX}$		102	μA
			$V_A = 5\text{ V}$		170	μA
			$V_A = 5\text{ V},$ $T_{MIN} \leq T_A \leq T_{MAX}$		170	μA
I_{ST}	电源引脚 V_A 静态电源电流	$f_{SCLK} = 0\text{ MHz},$ 空载输出	$V_A = 3\text{ V}$		433	μA
			$V_A = 5\text{ V}$		480	μA
	V_{REF1} 或 V_{REF2} 静态电源电流	$f_{SCLK} = 0\text{ MHz},$ 空载输出	$V_A = 3\text{ V}$		102	μA
			$V_A = 5\text{ V}$		170	μA

(1) 该参数由设计和/或特性确定，未在生产中进行测试。

(2) 该参数并不代表 DAC 可以持续维持的条件。请参阅连续输出电流规范，了解每个通道的最大 DAC 输出电流。

典型电气参数（续）

以下规格适用于 $V_A = 2.7\text{ V}$ 至 5.5 V 、 $V_{REF1} = V_{REF2} = V_A$ 、 $C_L = 200\text{ pF}$ 至 GND 、 $f_{SCLK} = 30\text{ MHz}$ 、输入码范围 48 至 4047。
所有限值均适用于 $T_A = 25^\circ\text{C}$ ，除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
I_{PD}	所有 PD 模式的总电源关断电流 ⁽¹⁾ $f_{SCLK} = 30\text{ MHz}$, $\overline{SYNC} = V_A$ and $D_{IN} = 0\text{ V}$, PD 模式负载后	$V_A = 3\text{ V}$	26		μA
		$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	51		μA
		$V_A = 5\text{ V}$	62		μA
		$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	98		μA
	所有 PD 模式的总电源关断电流 ⁽¹⁾ $f_{SCLK} = 0\text{ MHz}$, $\overline{SYNC} = V_A$ and $D_{IN} = 0\text{ V}$, PD 模式负载后	$V_A = 3\text{ V}$	0.1	0.3	μA
		$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	2.5		μA
		$V_A = 5\text{ V}$	0.2	0.5	μA
		$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	3.6		μA
P_N	总功耗 (空载输出) $f_{SCLK} = 30\text{ MHz}$, $f_{SYNC} = 176\text{ KHz}$, 空载输出	$V_A = 3\text{ V}$	2.10		mW
		$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	2.27		
		$V_A = 5\text{ V}$	4.55		mW
		$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	4.86		
	总功耗 (空载输出) $f_{SCLK} = 0\text{ MHz}$, 空载输出	$V_A = 3\text{ V}$	1.91		mW
		$V_A = 5\text{ V}$	4.10		mW
P_{PD}	所有 PD 模式的总功耗 ⁽¹⁾ $f_{SCLK} = 30\text{ MHz}$, $\overline{SYNC} = V_A$ and $D_{IN} = 0\text{ V}$, PD 模式负载后	$V_A = 3\text{ V}$	78		μW
		$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	153		
		$V_A = 5\text{ V}$	310		μW
		$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	490		
	所有 PD 模式的总功耗 ⁽¹⁾ $f_{SCLK} = 0\text{ MHz}$, $\overline{SYNC} = V_A$ and $D_{IN} = 0\text{ V}$, PD 模式负载后	$V_A = 3\text{ V}$	0.3	0.9	μW
		$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	7.35		
		$V_A = 5\text{ V}$	1	2.5	μW
		$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	18		

8.5 交流和时序特性

以下规格适用于 $V_A = 2.7\text{ V}$ 至 5.5 V 、 $V_{REF1} = V_{REF2} = V_A$ 、 $C_L = 200\text{ pF}$ 至 GND 、 $f_{\text{SCLK}} = 30\text{ MHz}$ 、输入码范围 48 至 4047。
所有限值均适用于 $T_A = 25^\circ\text{C}$ ，除非特别注明。

参数		测试条件	最小值	典型值	最大值	单位
f_{SCLK}	SCLK 频率	$T_A = 25^\circ\text{C}$			40	MHz
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$			30	MHz
t_s	输出电压建立时间 ⁽¹⁾	400h 至 C00h 代码变更 $R_L = 2\text{ k}\Omega$, $C_L = 200\text{ pF}$		2		μs
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$		3		
SR	输出压摆率			1		$\text{V}/\mu\text{s}$
GI	毛刺脉冲	代码从 800h 变更至 7FFh		40		nV-sec
DF	数字馈通			0.5		nV-sec
DC	数字串扰			0.5		nV-sec
CROSS	数模转换器间串扰			1.6		nV-sec
MBW	倍增带宽	$V_{\text{REF1,2}} = 2.5\text{ V} \pm 2\text{ Vpp}$		400		kHz
THD+N	总谐波失真加噪声	$V_{\text{REF1,2}} = 2.5\text{ V} \pm 0.5\text{ Vpp}$ $100\text{ Hz} < f_{\text{IN}} < 20\text{ kHz}$		-77		dB
ONSD	输出噪声频谱密度 ⁽¹⁾	DAC 码 = 800 h, 10kHz		40		$\text{nV}/\sqrt{\text{Hz}}$
ON	输出噪声 ⁽¹⁾	$\text{BW} = 30\text{ kHz}$		14		μV
t_{WU}	唤醒时间	$V_A = 3\text{ V}$		5		μsec
		$V_A = 5\text{ V}$		3		μsec
$1/f_{\text{SCLK}}$	SCLK 周期时间	$T_A = 25^\circ\text{C}$	25			ns
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	33			ns
t_{CH}	SCLK 高电平时间	$T_A = 25^\circ\text{C}$		7		ns
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	10			ns
t_{CL}	SCLK 低电平时间	$T_A = 25^\circ\text{C}$		7		ns
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	10			ns
t_{SS}	SCLK 下降沿前 SYNC 建立时间	$T_A = 25^\circ\text{C}$		4		ns
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	10			ns
t_{DS}	SCLK 下降沿前数据建立时间	$T_A = 25^\circ\text{C}$		4		ns
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	5			ns
t_{DH}	SCLK 下降沿后数据保持时间	$T_A = 25^\circ\text{C}$		4		ns
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	5			ns
t_{SH}	SCLK 第 16 个下降沿后 SYNC 保持时间	$T_A = 25^\circ\text{C}$		5		ns
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	6			ns
t_{SYNC}	SYNC 高电平时间	$T_A = 25^\circ\text{C}$		10		ns
		$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	15			ns

(1) 该参数由设计和/或特性确定，未在生产中进行测试。

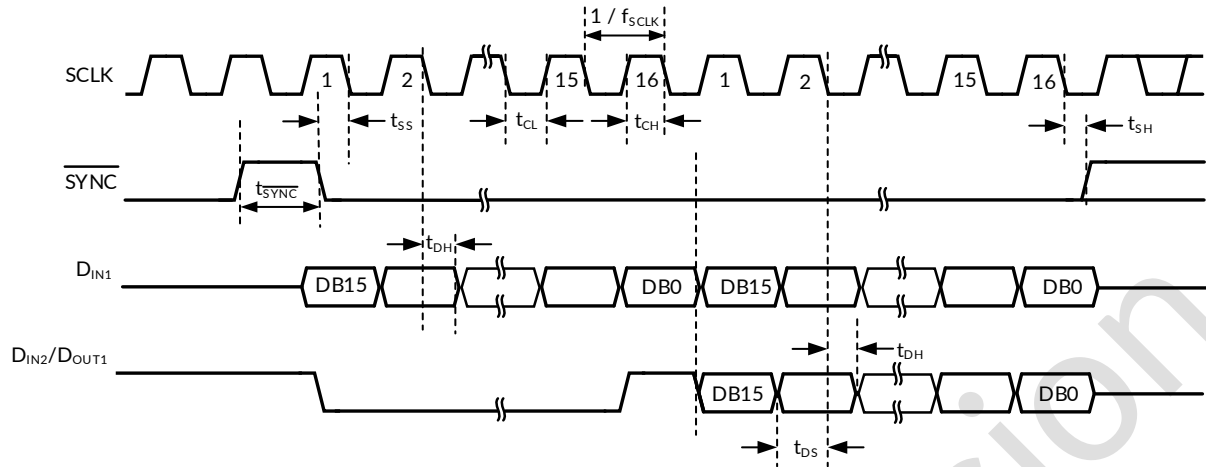


图 1. 串行时序图

8.6 典型参数曲线

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{REF1,2} = V_A$, $f_{SCLK} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非特别注明。

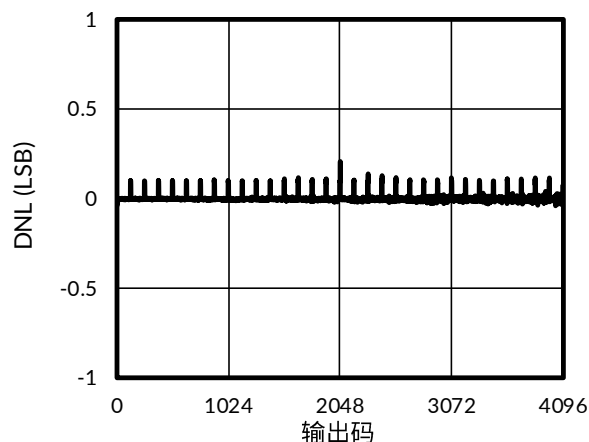


图 2. $V_A = 3\text{ V}$ 时的微分非线性 (DNL) 曲线

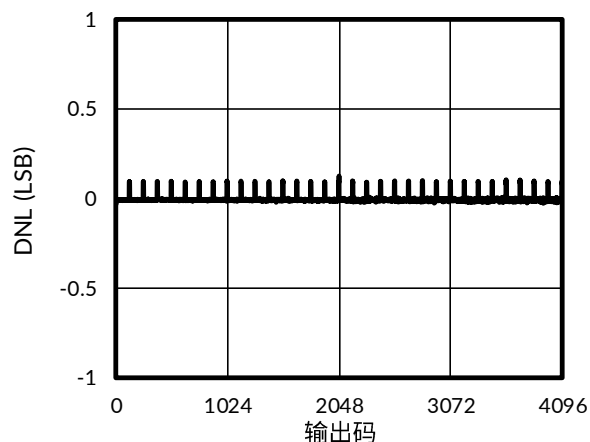


图 3. $V_A = 5\text{ V}$ 时的微分非线性 (DNL) 曲线

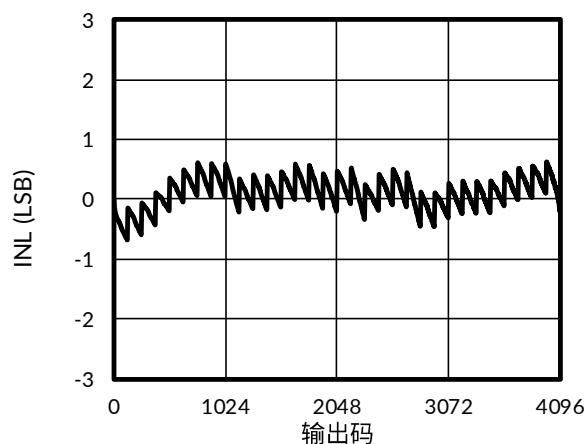


图 4. $V_A = 3\text{ V}$ 时的积分非线性 (INL) 曲线

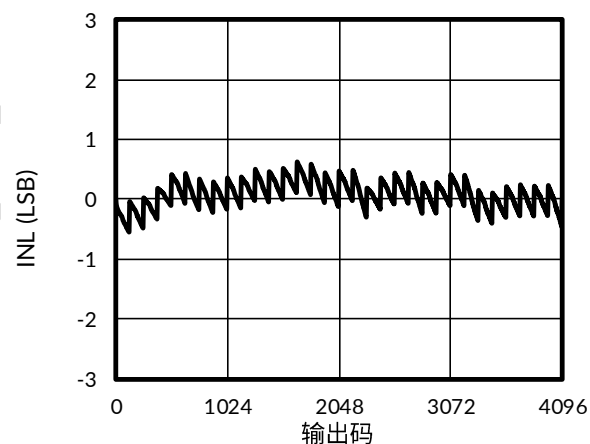


图 5. $V_A = 5\text{ V}$ 时的积分非线性 (INL) 曲线

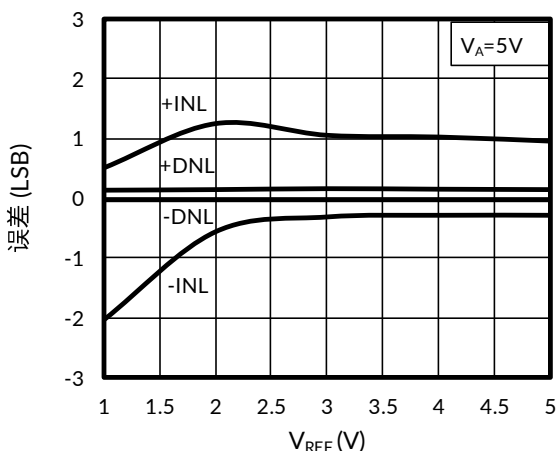


图 6. INL/DNL 与 V_{REF} 的关系

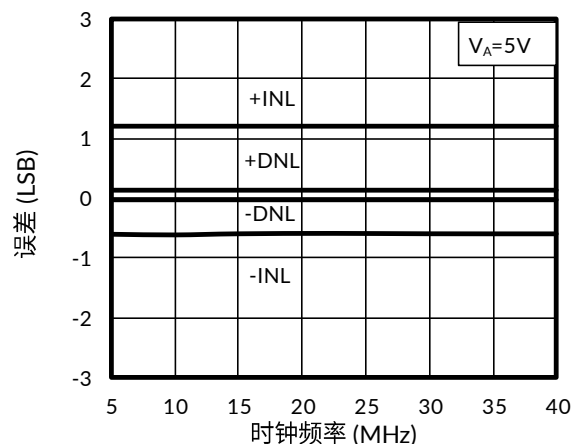


图 7. INL / DNL 与时钟频率 (f_{SCLK}) 的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{\text{REF}1,2} = V_A$, $f_{\text{SCLK}} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非特别注明。

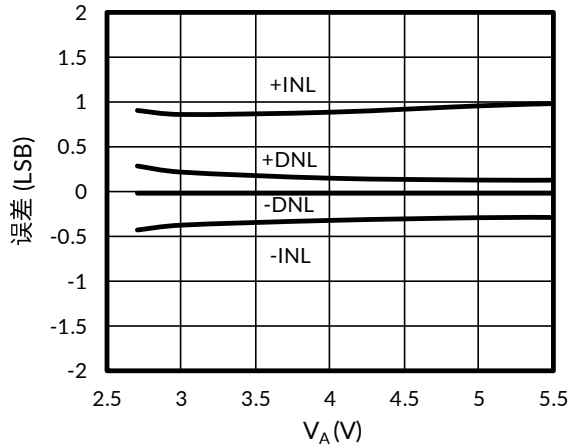


图 8. INL / DNL 与电源电压 (V_A) 的关系

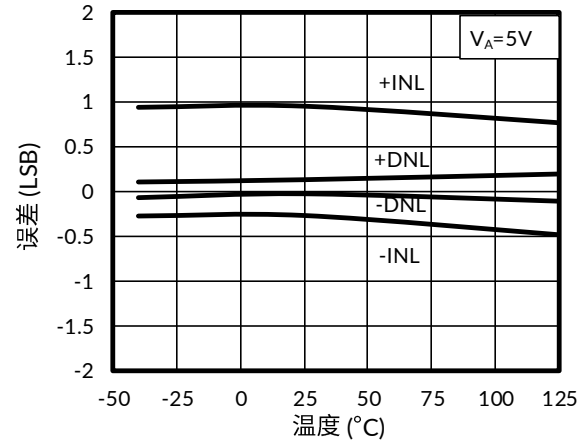


图 9. INL / DNL 与温度的关系

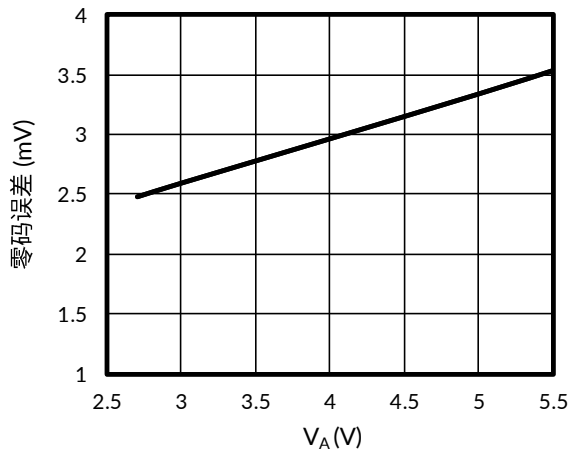


图 10. 零码误差与电源电压 (V_A) 的关系

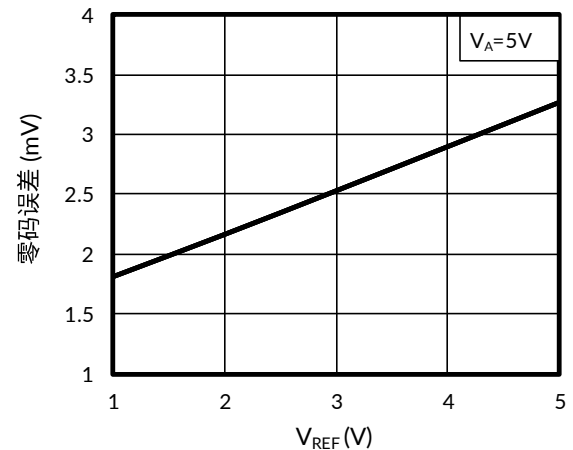


图 11. 零码误差与 V_{REF} 的关系

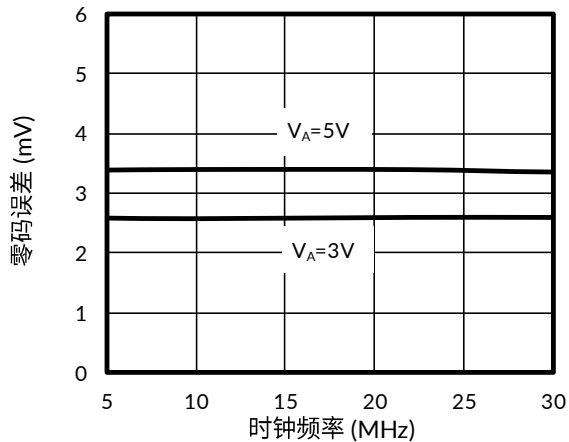


图 12. 零码误差与时钟频率 (f_{SCLK}) 的关系

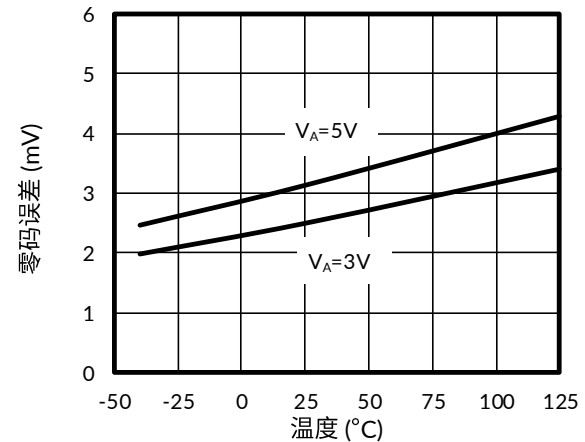


图 13. 零码误差与温度的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{\text{REF}1,2} = V_A$, $f_{\text{SCLK}} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非特别注明。

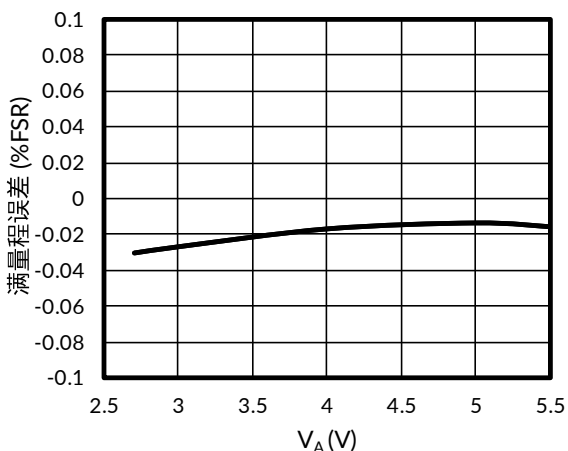


图 14. 满量程误差与电源电压(V_A)的关系

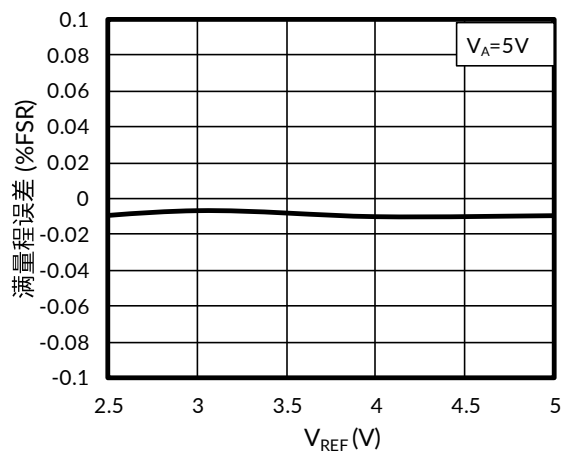


图 15. 满量程误差与 V_{REF} 的关系

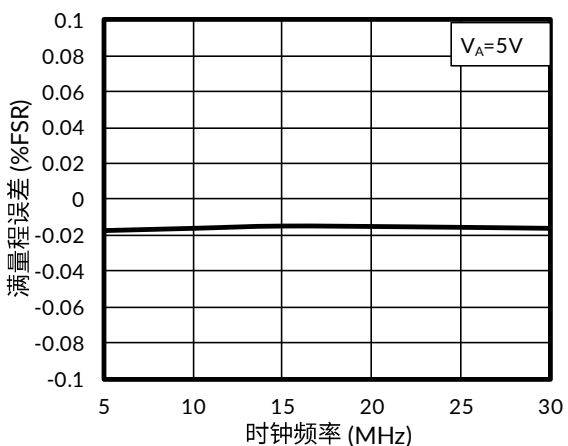


图 16. 满量程误差与时钟频率(f_{SCLK})的关系

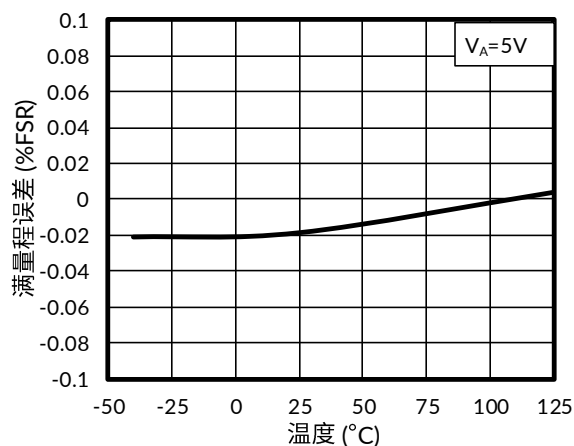


图 17. 满量程误差与温度的关系

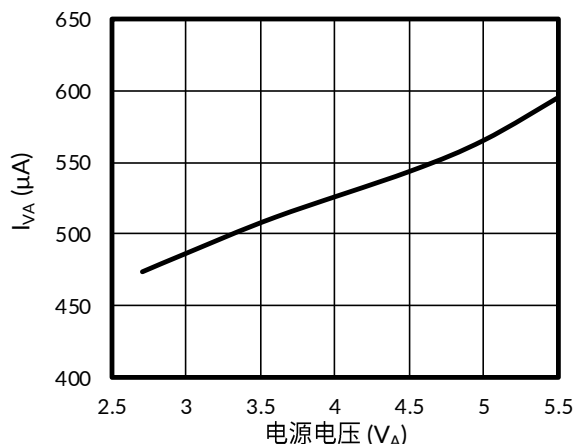


图 18. 电源电流(I_{VA})与电源电压(V_A)的关系

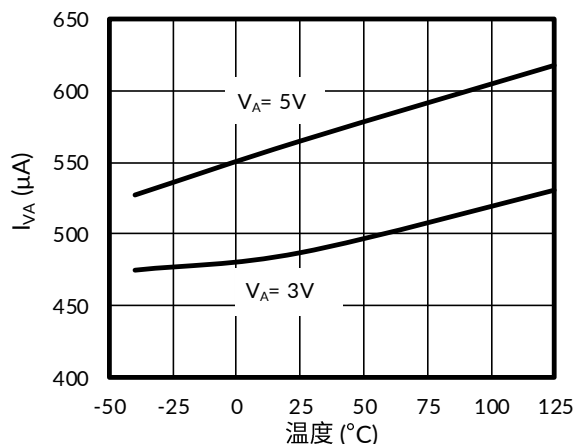


图 19. 电源电流(I_{VA})与温度的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{REF1,2} = V_A$, $f_{SCLK} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非特别注明。

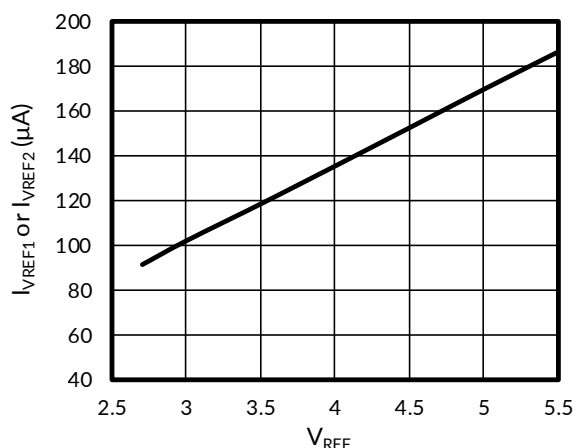


图 20. I_{VREF} 与 V_{REF} 的关系

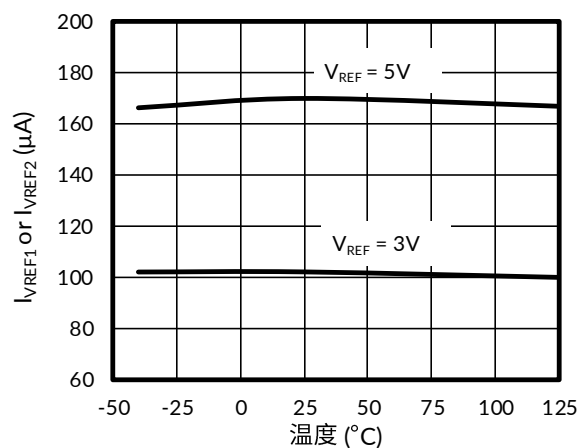


图 21. I_{VREF} 与温度的关系

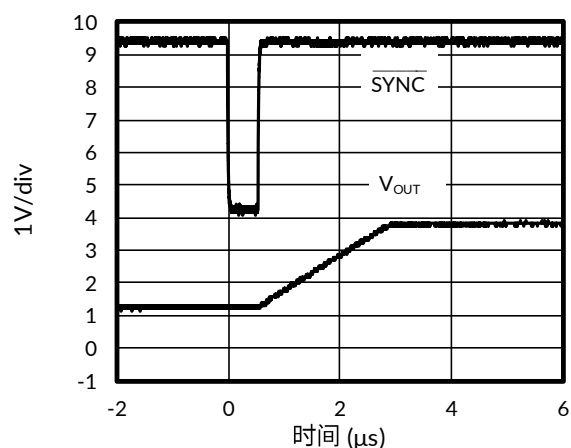


图 22. 建立时间

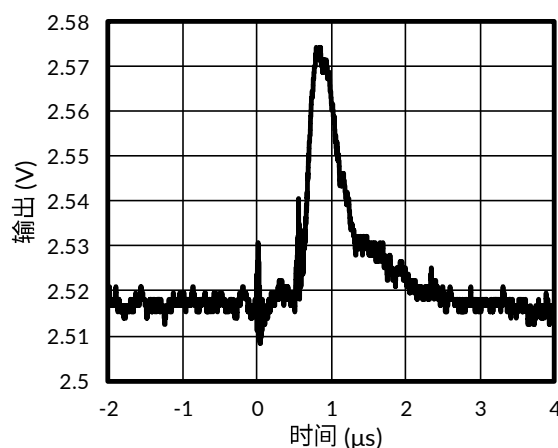


图 23. 故障响应

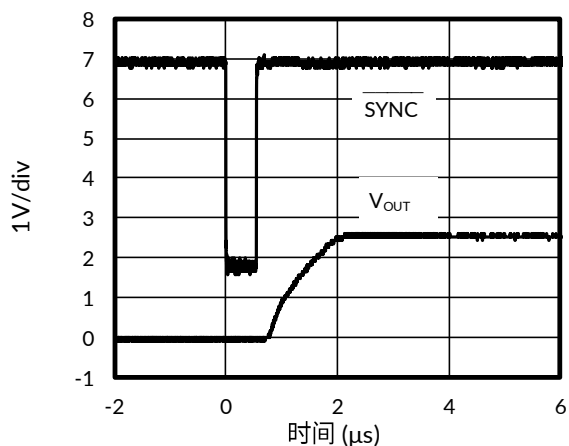


图 24. 唤醒时间

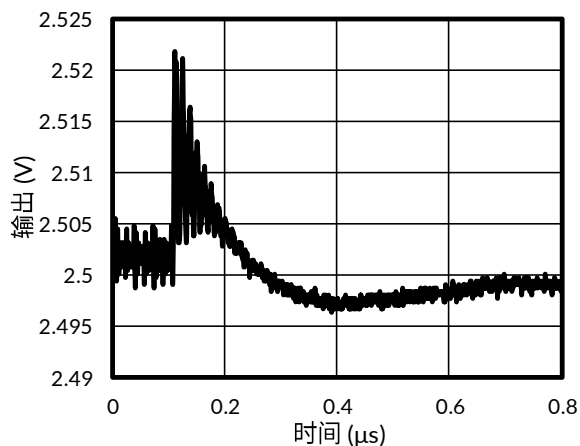


图 25. 数模转换器间串扰

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{\text{REF}1,2} = V_A$, $f_{\text{SCLK}} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非特别注明。

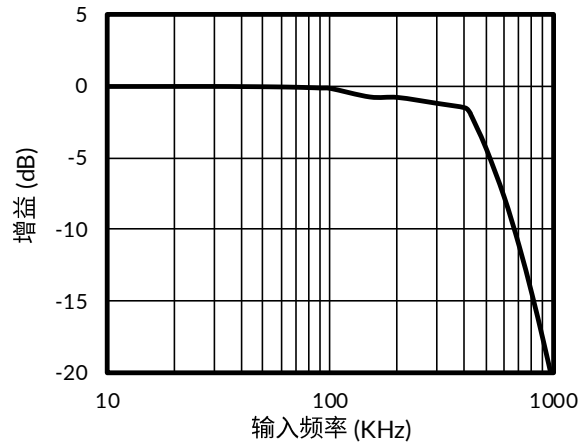


图 26. 倍增带宽

9 详细说明

9.1 概览

RS1328 采用 CMOS 工艺制造，其架构包含开关和电阻串，后接输出缓冲器。DAC 通道 A 到 D 的基准电压由外部施加在 V_{REF1} ，DAC 通道 E 到 H 的基准电压由外部施加在 V_{REF2} 。

9.2 功能框图

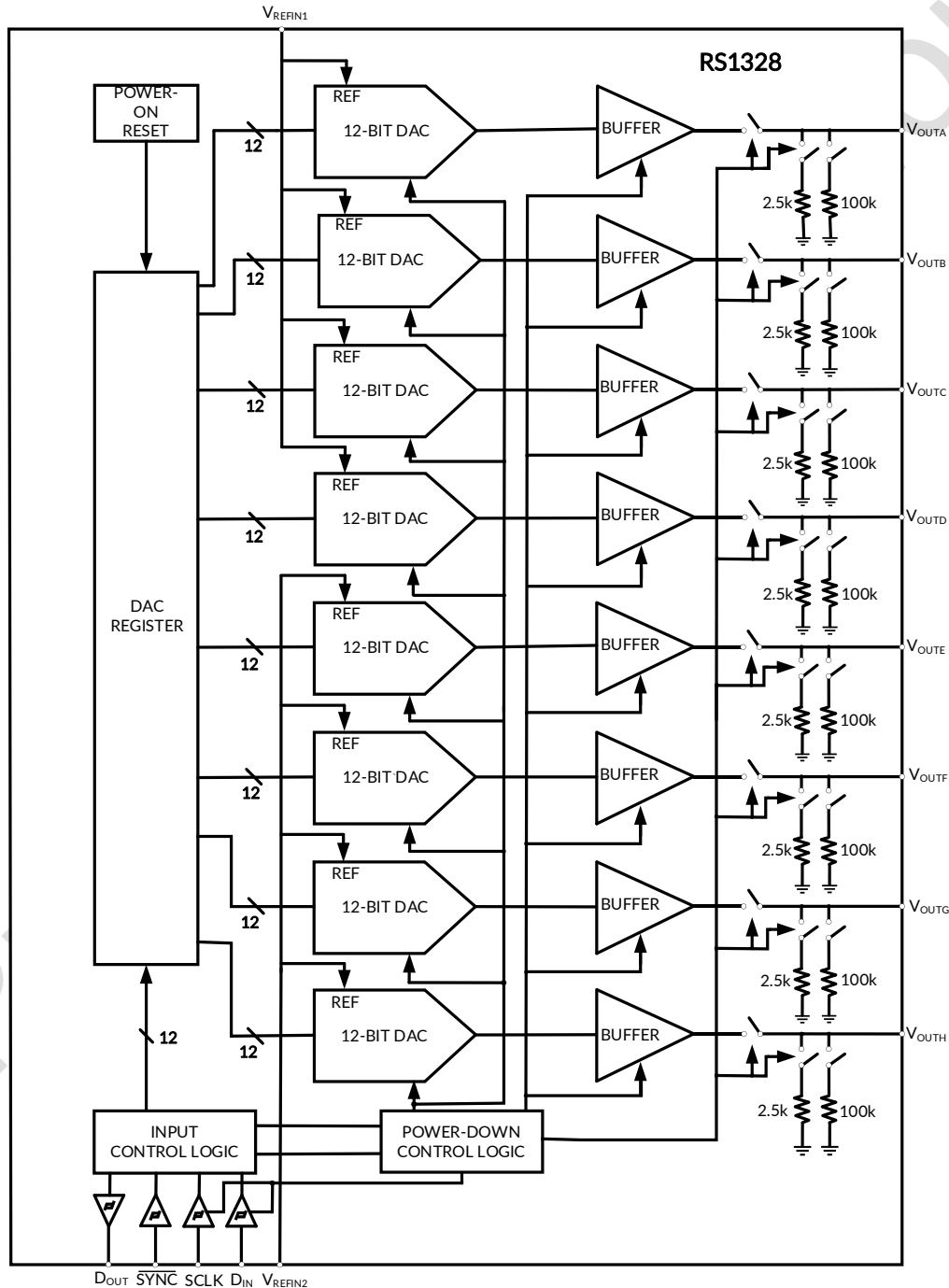


图 27. 功能框图

9.3 特性说明

9.3.1 DAC 架构

电阻串结构如图 28 所示，由 4096 个等值电阻组成，每个电阻连接点处设有一个开关，并且还有一个接地开关。载入 DAC 寄存器的代码决定了闭合哪个开关，从而将正确的节点连接到放大器。输入编码采用纯二进制形式，其理想输出电压为：

$$V_{OUTA,B,C,D} = V_{REF1} \times (D / 4096)$$

其中

D 是载入 DAC 寄存器的二进制码对应的十进制数值。

$$V_{OUTE,F,G,H} = V_{REF2} \times (D / 4096)$$

D 可以取 0 到 4095 之间的任何值。此配置确保了 DAC 的单调性。

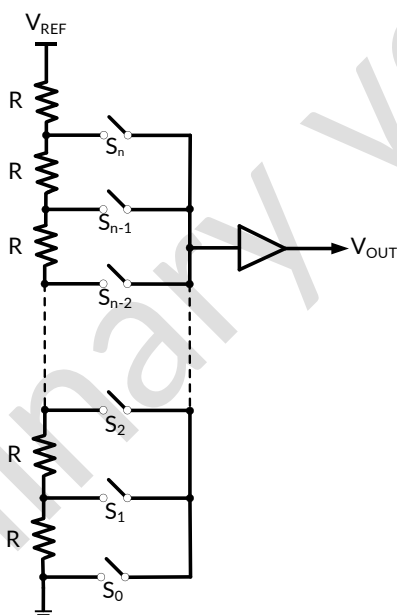


图 28. DAC 电阻串

由于 RS1328 芯片的八个数模转换器（DAC）通道均可独立控制，每个通道均由一个 DAC 寄存器和一个 12 位数模转换器组成。图 29 展示了该器件单个通道的简易框图。根据工作模式的不同，数据写入 DAC 寄存器会直接更新 12 位数模转换器的输出，若需更新则需额外发送指令。关于各工作模式的详细说明，请参阅串行接口章节。

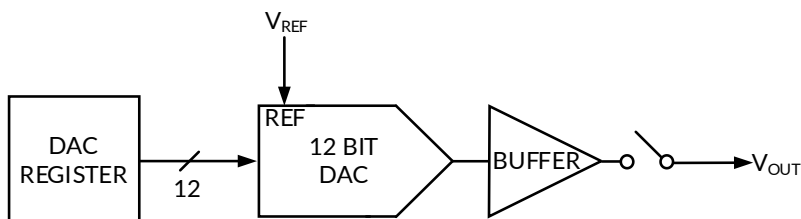


图 29. 单通道框图

9.3.2 输出放大器

输出缓冲放大器采用轨到轨设计，可提供 0V 至 V_A 的输出电压范围。所有放大器（包括轨到轨类型）在接近电源轨（本例中为 0V 和 V_A ）时都会出现线性度下降现象。因此，其线性度指标通常限定在小于其完整输出范围的区间内。但需注意的是，若参考电压低于 V_A ，则仅最低电平码会出现线性度损失。

输出放大器可并联负载 $2k\Omega$ 至接地或 V_{A0} 。在典型电气参数中，可获得给定负载电流的零码和满量程输出。

9.3.3 参考电压

RS1328 采用双通道外部参考电压源 V_{REF1} 和 V_{REF2} ，这两个参考电压源分别由通道 A、B、C、D 以及通道 E、F、G、H 共享。参考电压引脚未配备缓冲功能，输入阻抗为 $30k\Omega$ 。RS 建议使用低输出阻抗的电源驱动 V_{REF1} 和 V_{REF2} 。其参考电压范围覆盖 0.5V 至 V_A ，可提供最宽广的输出动态范围。

9.3.4 串行接口

三线接口兼容 SPI、QSPI、MICROWIRE 以及大多数 DSP 的通信协议，并且在高达 40 MHz 的时钟速率下运行。有效的串行帧包含 SCLK 的 16 个下降沿。写入序列信息详见表 1。

写入序列的启动需要先将 $\overline{SYNC}$ 拉低。当 $\overline{SYNC}$ 处于低电平时， D_{IN} 上的数据会在 SCLK 信号的下降沿被时钟同步到 16 位串行输入寄存器中。为避免数据在移位寄存器中出现时序错误，必须确保 $\overline{SYNC}$ 不会在 SCLK 信号的下降沿被拉低（详见交流与时序特性表中的 $\overline{SYNC}$ 最小/最大建立时间参数及图 30）。在 SCLK 信号第 16 个下降沿，最后一个数据位会被时钟同步至寄存器。写入序列通过将 $\overline{SYNC}$ 拉高来完成。当 $\overline{SYNC}$ 线转为高电平后，预设功能（如 DAC 通道地址变更、工作模式切换或寄存器内容修改）将被执行。同样为防止数据时序错误，必须确保 $\overline{SYNC}$ 在 SCLK 信号第 16 至 17 个下降沿之间保持高电平（参见交流与时序特性表中的 $\overline{SYNC}$ 最小/最大保持时间参数及图 30）。

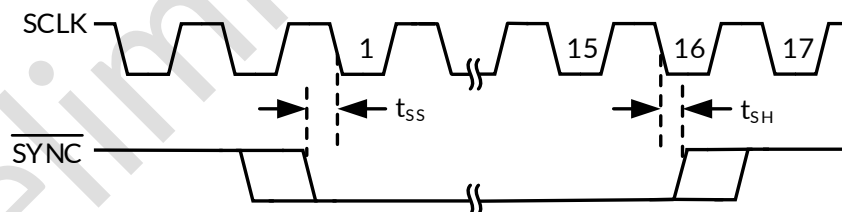


图 30. 单通道框图

若在 SCLK 信号第 15 个下降沿前将 $\overline{SYNC}$ 置为高电平，则写入序列将被中止，输入寄存器中已移入的数据将被丢弃。若在 SCLK 信号第 17 个下降沿后 $\overline{SYNC}$ 仍保持低电平，则 D_{IN} 端口接收的串行数据将开始通过 D_{OUT} 端口输出。关于该工作模式的更多细节可参阅菊花链操作章节。无论哪种情况， $\overline{SYNC}$ 都必须在下一次写入序列启动前（即在 $\overline{SYNC}$ 信号的下一个下降沿之前）保持高电平至少达到规定时间。

由于 D_{IN} 缓冲器在高电平时会消耗更多电流，因此应在写入序列之间将其置于低电平闲置状态以尽量减少功耗。另一方面， $\overline{SYNC}$ 应保持高电平闲置状态，以避免在 D_{OUT} 处于活动状态时激活菊花链操作。

9.3.5 菊花链操作

菊花链操作允许使用单个串行接口与任意数量的 RS1328 进行通信。只要在写入序列中输入正确数量的数据位（16 的倍数），上升沿 $\overline{\text{SYNC}}$ 就会正确更新系统中的所有 DAC。

为了在菊花链配置中支持多个器件，所有 RS1328 芯片共享时钟信号 SCLK 和同步信号 $\overline{\text{SYNC}}$ ，且首级 DAC 的 D_{OUT} 端口连接至次级 DAC 的 D_{IN} 端口。图 31 展示了三个 RS1328 器件以菊花链方式连接的示意图。与单通道写入序列类似，菊花链操作的转换过程始于 $\overline{\text{SYNC}}$ 信号的下降沿，并在 $\overline{\text{SYNC}}$ 信号的上升沿结束。对于包含 n 个器件的菊花链配置，有效写入序列需要经历 n 次 16 个下降沿才能完成整个输入数据流的传输。该菊花链操作模式的最大时钟频率为 30MHz。

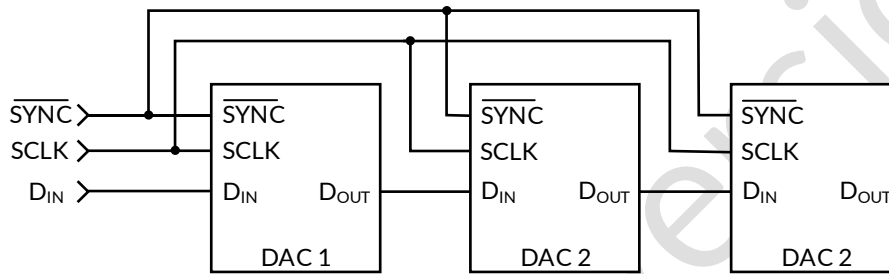


图 31. 菊花链配置

RS1328 的 D_{OUT} 串行数据输出引脚支持系统内多器件菊花链连接。在写入操作中， D_{OUT} 引脚会在 SCLK 信号前 14 个下降沿保持低电平，直到第 15 个下降沿才转为高电平。随后 SCLK 信号的接下来 16 个下降沿将输出 D_{IN} 输入端输入的前 16 位数据。图 31 展示了三个 RS1328 的时序关系，如图 32 所示。整个过程需要经过 48 个 SCLK 下降沿，随后通过 $\overline{\text{SYNC}}$ 上升沿完成所有三个 RS1328 的寄存器数据加载。当 $\overline{\text{SYNC}}$ 信号出现上升沿时，各 RS1328 会同步执行预设功能。

在采用菊花链配置连接多个器件时，需特别注意 RS1328 器件会在 SCLK 时钟的下降沿更新 D_{OUT} 信号，而该信号将在下个时钟下降沿被菊花链中的下一个数模转换器采样。务必确保满足时序要求以保证正常工作。具体而言，需重点关注 SCLK 下降沿后的数据保持时间 (t_{DH}) 要求。不当的布局或负载可能导致器件间时钟信号延迟。若延迟到数据在满足保持时间要求前发生改变，则可能采样到错误数据。若无法解决时钟延迟问题，可考虑在菊花链中某器件的 D_{OUT} 与后续器件的 D_{IN} 之间增加延迟。这能扩大保持时间裕度并确保正确采样。但需注意，这种解决方案的代价是过多延迟最终会影响建立时间。

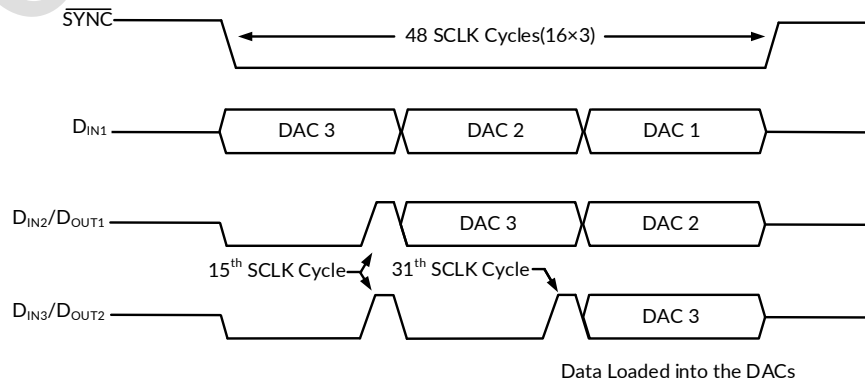


图 32. 菊花链时序图

9.3.6 DAC 输入数据更新机制

RS1328 器件具备两种工作模式及若干特殊指令操作。这两种工作模式分别是寄存器写入模式（WRM）和直写模式（WTM）。本文后续部分将统一使用缩写 WRM 和 WTM 指代这两种模式。特殊指令操作独立于 WRM 和 WTM 之外，因为它们不受当前工作模式限制而可随时调用。工作模式由控制寄存器 DB15 至 DB12 的前四位控制，具体参数详见表 1。

表 1. 寄存器写入模式与直写模式

DB[15:12]	DB[11:0]	模式说明
1000	XXXXXXXXXX	WRM: 可以写入每个 DAC 通道的寄存器，而不会改变其输出。
1001	XXXXXXXXXX	WTM: 将数据写入通道寄存器会导致 DAC 输出发生变化。

当 RS1328 首次启动时，DAC 处于 WRM 模式。在此模式下，各通道的寄存器可进行写入操作而无需更新 DAC 输出。具体实现方式为：将 DB15 置为 0，指定要写入的 DAC 寄存器地址（DB[14:12]），并在 DB[11:0] 中输入新的寄存器设置值（参见表 2）。RS1328 会保持 WRM 状态直至工作模式切换至 WTM 模式。通过将 DB[15:12] 设为 0x1001 即可完成模式切换。进入 WTM 后，向 DAC 通道寄存器写入数据时，DAC 输出也会同步更新。在 WTM 模式下修改通道寄存器的操作方式与 WRM 相同，但需注意：此时 DAC 寄存器和输出将在指令执行完成后才更新（参见表 2）。同理，当 DB[15:12] 被设为 0x1000 时，RS1328 将恢复 WRM 模式。

表 2. 受 WRM/WTM 影响的指令

DB15	DB[14:12]	DB[11:0]	模式说明
0	000	D11 D10 ... D1 D0	WRM: D[11:0] 数据仅写入通道 A 的数据寄存器 WTM: 通道 A 的输出由 D[11:0] 数据更新
0	001	D11 D10 ... D1 D0	WRM: D[11:0] 数据仅写入通道 B 的数据寄存器 WTM: 通道 B 的输出由 D[11:0] 数据更新
0	010	D11 D10 ... D1 D0	WRM: D[11:0] 数据仅写入通道 C 的数据寄存器 WTM: 通道 C 的输出由 D[11:0] 数据更新
0	011	D11 D10 ... D1 D0	WRM: D[11:0] 数据仅写入通道 D 的数据寄存器 WTM: 通道 D 的输出由 D[11:0] 数据更新
0	100	D11 D10 ... D1 D0	WRM: D[11:0] 数据仅写入通道 E 的数据寄存器 WTM: 通道 E 的输出由 D[11:0] 数据更新
0	101	D11 D10 ... D1 D0	WRM: D[11:0] 数据仅写入通道 F 的数据寄存器 WTM: 通道 F 的输出由 D[11:0] 数据更新
0	110	D11 D10 ... D1 D0	WRM: D[11:0] 数据仅写入通道 G 的数据寄存器 WTM: 通道 G 的输出由 D[11:0] 数据更新
0	111	D11 D10 ... D1 D0	WRM: D[11:0] 数据仅写入通道 H 的数据寄存器 WTM: 通道 H 的输出由 D[11:0] 数据更新

特殊指令操作可在任意工作模式下随时执行。共有三种特殊指令操作：第一种指令通过将数据位 DB[15:12] 设置为 0x1010 来触发。该指令允许用户将多个 DAC 输出同时更新为各自控制寄存器当前加载的数值。当需要使各 DAC 输出保持不同电压值，同时仍能同步调整所有输出至对应数值时（参见表 3），此指令具非常关键。

第二个特殊指令允许用户通过单个写入帧调整通道 A 的 DAC 输出。该指令的操作方式是将数据位 DB[15:12] 设置为 0x1011，并将数据位 DB[11:0] 设置为所需的控制寄存器值。此指令还会使其他通道的 DAC 输出更新为其当前控制寄存器值。用户可选择执行此指令来保存写入序列。例如，若需同时更新包括通道 A 在内的多个 DAC 输出，为了以最少写入帧数完成该任务，用户需在 WRM 模式下调整除通道 A 外所有 DAC 通道的控制寄存器值。最后一个写入帧将用于执行通道 A 写入模式的特殊指令。除通道 A 的控制寄存器值更新外，其他所有通道也会同步更新。完成这一系列写入帧后，RS1328 仍会保持 WRM 模式运行（参见表 3）。

第三个特殊指令允许用户将所有 DAC 控制寄存器和输出设置为同一电平。该指令通常被称为“广播模式”，因为相同的数据位会同时广播到所有通道。通过将数据位 DB[15:12] 设为 0x1100，并将数据位 DB[11:0] 设置为用户希望广播至所有 DAC 控制寄存器的值即可触发此指令。执行后，每个 DAC 输出都会根据新的控制寄存器值进行更新。该指令常用于将所有 DAC 输出设置为特定电压值，例如 0V、 $V_{REF}/2$ 或满量程。相关指令的详细说明可参见表 3。

表 3. 特殊指令操作

DB[15:12]	DB[11:0]	模式说明
1010	XXXXHGFEDCBA	选择更新：在 DB[7:0] 中置位为 1 的通道，其 DAC 输出将同步更新至各自控制寄存器中的值。
1011	D11 D10 ... D1 D0	通道 A 写入：将通道 A 的控制寄存器和 DAC 输出更新为 DB[11:0] 中的数据，其他七个通道的输出也根据其各自的控制寄存器值进行更新。
1100	D11 D10 ... D1 D0	广播：DB[11:0] 中的数据同步写入所有通道控制寄存器和 DAC 输出。

9.3.7 上电复位

上电复位电路在上电期间控制控制八个 DAC 的输出电压。在上电时，DAC 寄存器自动清零，输出电压锁定为 0V，并保持此状态，直到对 DAC 执行有效的写入操作。

9.3.8 传输特性

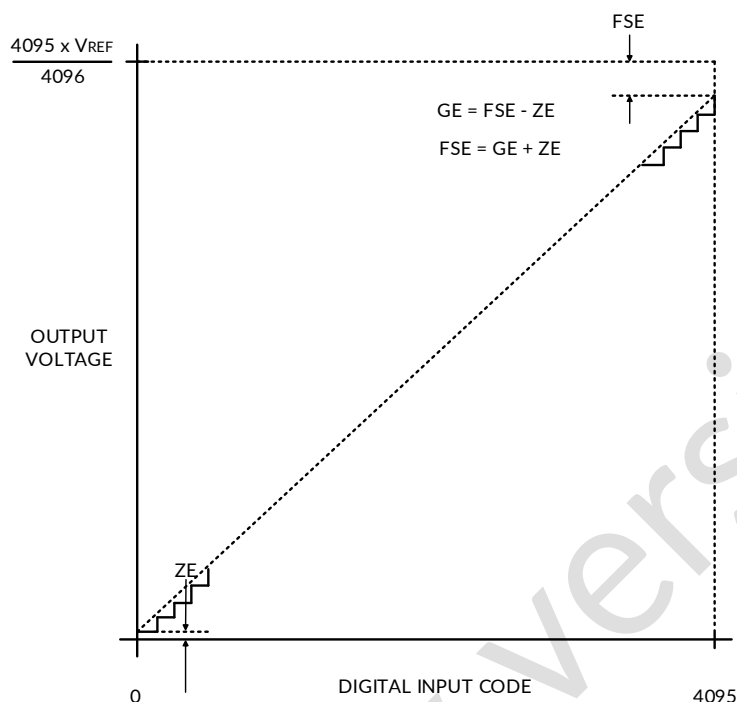


图 33. 输入/输出传输特性

9.4 器件功能模式

9.4.1 关断模式

RS1328 器件具备三种电源关断模式，可选择不同的输出端接方式（详见表 4）。当所有通道均处于关闭状态时，3V 电压下的供电电源电流降至 0.1 μ A，5V 电压下则为 0.2 μ A。通过在 DB[7:0] 寄存器中设置 1 来选择待关闭通道，既可单独关闭单个通道，也可同时关闭多个通道。三种输出端接方式包括高阻抗输出、100k Ω 接地和 2.5k Ω 接地。

在任何关断模式下，输出放大器、电阻串及其他线性电路均会被关闭。但偏置发生器仅在所有通道进入关断模式时才会停止工作。即使处于关断状态，DAC 寄存器的内容也不会改变，除非在写入序列中触发恢复电源的指令，否则每个寄存器都会保持断电前的数值。当采用 SYNC 高电平保持、DIN 低电平保持且 SCLK 禁用的配置时，可实现最低功耗。通常情况下，3V 电压下的唤醒时间约为 5 μ sec，5V 电压下则为 3 μ sec。

表 4. 特殊指令操作

DB[15:12]	DB[11:8]	7	6	5	4	3	2	1	0	输出阻抗
1101	XXXX	H	G	F	E	D	C	B	A	高阻态输出
1110	XXXX	H	G	F	E	D	C	B	A	100 k Ω 输出
1111	XXXX	H	G	F	E	D	C	B	A	2.5 k Ω 输出

9.5 编程

9.5.1 RS1328 编程

本节提供了对串行输入寄存器进行编程的分步说明。

9.5.1.1 同步更新 DAC 输出

当 RS1328 首次通电时，数模转换器会以 WRM 模式运行。这种工作模式允许用户对多个 DAC 通道的寄存器进行编程设置，而无需更新 DAC 输出信号。例如，以下步骤说明如何将通道 A 设置为满量程输出、通道 B 设置为四分之三满量程、通道 C 设置为半量程、通道 D 设置为四分之一满量程，并实现所有 DAC 输出信号的同步更新。

如前所述，RS1328 在 WRM 模式下启动。如果器件之前处于 WTM 模式，则需要额外步骤将 DAC 设置为 WRM 模式。首先，必须将 DAC 寄存器编程为所需值。要将通道 A 设置为满量程输出，请向控制寄存器写入 0x0FFF。

首先，通过向控制寄存器写入 0x1C00 将通道 A 的数据寄存器更新为四分之三满量程输出，此时通道 A 和通道 B 的输出均未更新，因为 DAC 处于 WRM 工作模式。接着，通过写入 0x2800 将通道 C 设置为半量程输出。随后，写入 0x3400 将通道 D 调整为四分之一满量程输出。最后，通过写入 0xA00F 同时更新所有四个 DAC 通道的输出。该操作流程允许用户通过五个步骤实现四个通道的同时更新。

由于 A 通道是需要更新的 DAC 之一，若最后写入 A 通道可以省去一个命令步骤。具体操作时，先依次写入 B、C、D 通道，再使用特殊指令“通道 A 写入”来更新 A 通道的 DAC 寄存器和输出值。该特殊指令在更新 A 通道时还能同步调整所有 DAC 输出。通过这种顺序操作，用户只需四个步骤就能同时更新四个通道。相关指令说明详见表 3。

9.5.1.2 独立更新 DAC 输出

若 RS1328 当前处于 WRM 工作模式，可通过向控制寄存器写入 0x9XXX 将工作模式切换至 WTM。当 DAC 进入 WTM 工作模式后，所有通道均可通过单步操作完成数据更新。例如：若设计要求将 G 通道设置为半量程，用户可向控制寄存器写入 0x6800 来更新 G 通道的数据寄存器和 DAC 输出；同理，向控制寄存器写入 0x5FFF 则可将 F 通道的输出设为满量程。A 通道是唯一支持特殊指令的通道，无论工作模式如何，其 DAC 输出均可通过单条指令完成更新。向控制寄存器写入 0xBFFF 即可实现 A 通道 DAC 输出的全量程单步设定。

10 应用与设计

以下应用设计部分中的信息不属于 Runic 器件规格的范围，Runic 不保证其准确性和完整性。Runic 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

10.1 应用信息

10.1.1 使用参考源作为电源

虽然 RS1328 的简洁设计看似便于操作，但需注意其参考输入端 ($V_{REF1,2}$) 到 DAC 输出端的供电路径存在零电源抑制比 (PSRR)。因此，用户必须为 $V_{REF1,2}$ 提供无噪声的电源电压。要充分发挥 RS1328 的动态范围，可将电源引脚 (V_A) 与 $V_{REF1,2}$ 连接并共享同一电源电压。由于 RS1328 功耗极低，既可直接使用参考源作为输入端，也可采用参考源作为电源电压。相较于稳压器，参考源的优势在于更高的精度和稳定性。部分低噪声稳压器同样适用。下文列举了 RS1328 的几种参考源及电源选项。

10.2 应用信息

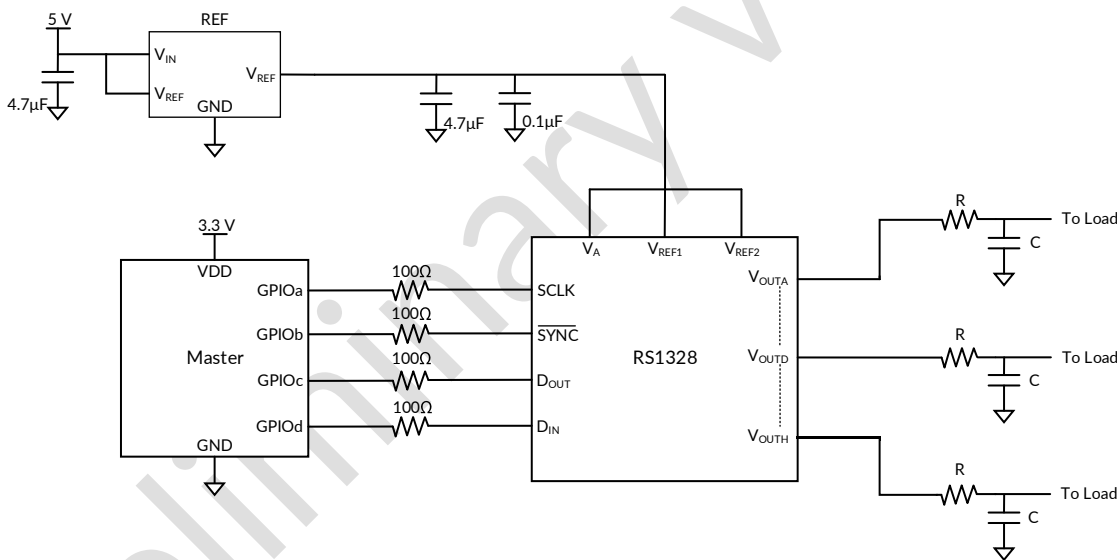


图 34. 典型应用电路

10.2.1 设计要求

RS1328 有两个参考输入端，其中一个参考输入端用于 A 至 D 通道，另一个参考输入端用于 E 至 H 通道。RS1328 的 16 位输入移位寄存器控制着工作模式、断电状态以及 DAC 通道寄存器/输出值。所有八个 DAC 输出都可以同时更新或单独更新。

10.2.2 设计要求

每个参考输入引脚可以独立设置，或者如图 34 所示将参考引脚短接。可接受的参考电压为 0.5V 至 V_{A0} 。在输出端使用 RC 滤波器来衰减输出噪声是可选的。

11 电源建议

为确保最佳性能，RS1328 电源适配器应至少配备一个 $1\mu\text{F}$ 电容和一个 $0.1\mu\text{F}$ 电容进行旁路。 $0.1\mu\text{F}$ 电容必须直接安装在器件的电源引脚上。 $1\mu\text{F}$ 或更大容量的电容可选用钽电容，而 $0.1\mu\text{F}$ 电容则需采用低 ESL（等效串联电感）和低 ESR（等效串联电阻）的陶瓷电容。若使用低 ESL、低 ESR 的陶瓷电容替代 $1\mu\text{F}$ 电容并能直接安装在电源引脚上，则可省去 $0.1\mu\text{F}$ 电容。这类电容通常与 $0.1\mu\text{F}$ 电容处于相同频率范围，因此无需额外配置。RS1328 电源仅适用于模拟电路。

避免模拟信号和数字信号的交叉。这有助于将数字信号转换产生的噪声对敏感模拟信号（例如参考引脚和 DAC 输出）的影响降至最低。

12 PCB 版图设计

12.1 PCB 布局设计注意事项

为确保最佳精度和最小噪声，PCB 需划分独立模拟/数字区域。这两个区域由模拟与数字电源平面的位置共同界定，且必须位于同一布线层。优先采用单点接地层，但需确保数字回流路径不穿越模拟地区域。通常单点接地方案会采用隔离技术来防止模拟与数字地电流混合，但仅在隔离技术失效时才需单独设置接地平面。所有独立接地平面必须集中连接，最佳位置应靠近 RS1328 器件。需特别注意：严禁高速数字信号跨越分割地，其走线下方需保证完整回流路径。

12.2 PCB 布局示意图

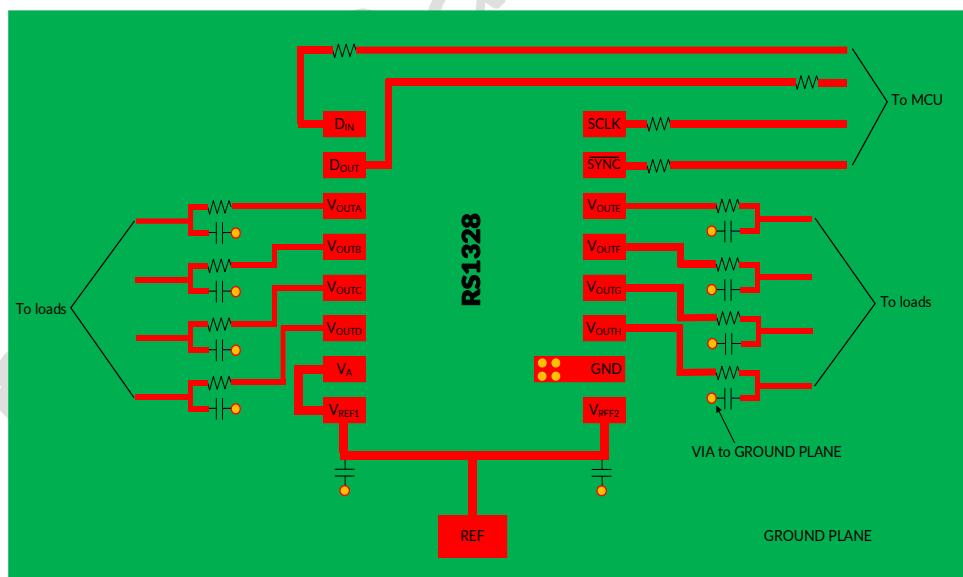
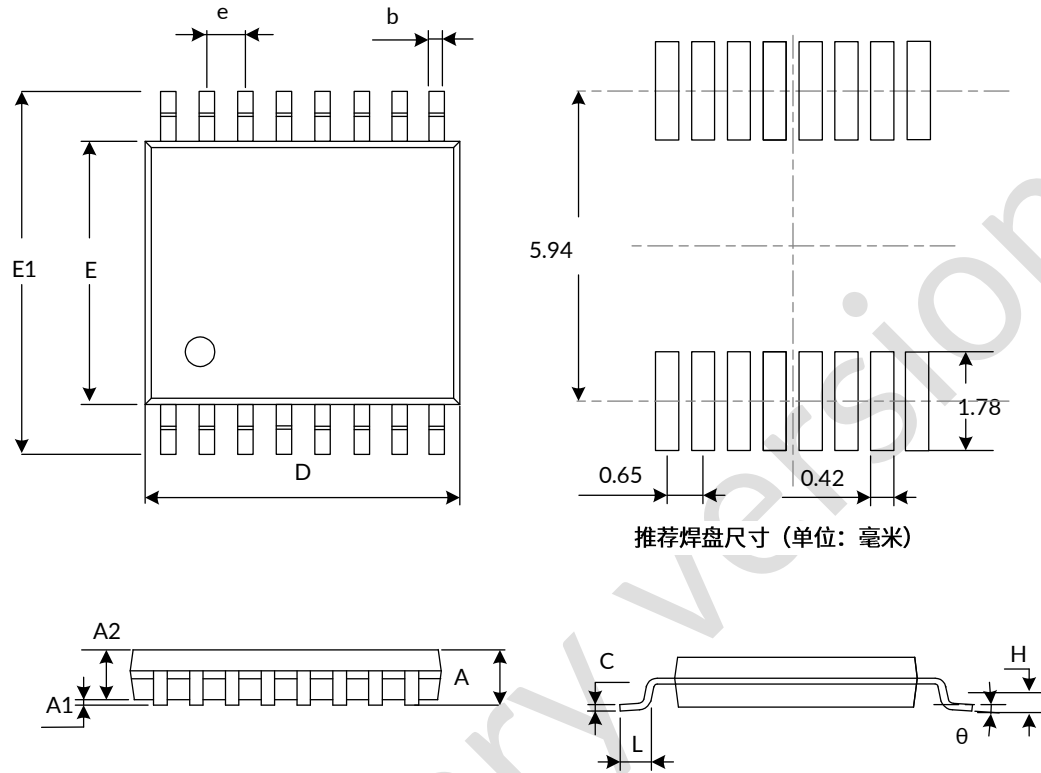


图 35. PCB 布局示例

13 封装规格尺寸

TSSOP16 ⁽³⁾



符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾		1.200		0.047
A1	0.050	0.150	0.002	0.006
A2	0.800	1.050	0.031	0.041
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
D ⁽¹⁾	4.860	5.100	0.191	0.201
E ⁽¹⁾	4.300	4.500	0.169	0.177
E1	6.200	6.600	0.244	0.260
e	0.650 (BSC) ⁽²⁾		0.026 (BSC) ⁽²⁾	
L	0.500	0.700	0.020	0.028
H	0.250 TYP		0.010 TYP	
θ	1°	7°	1°	7°

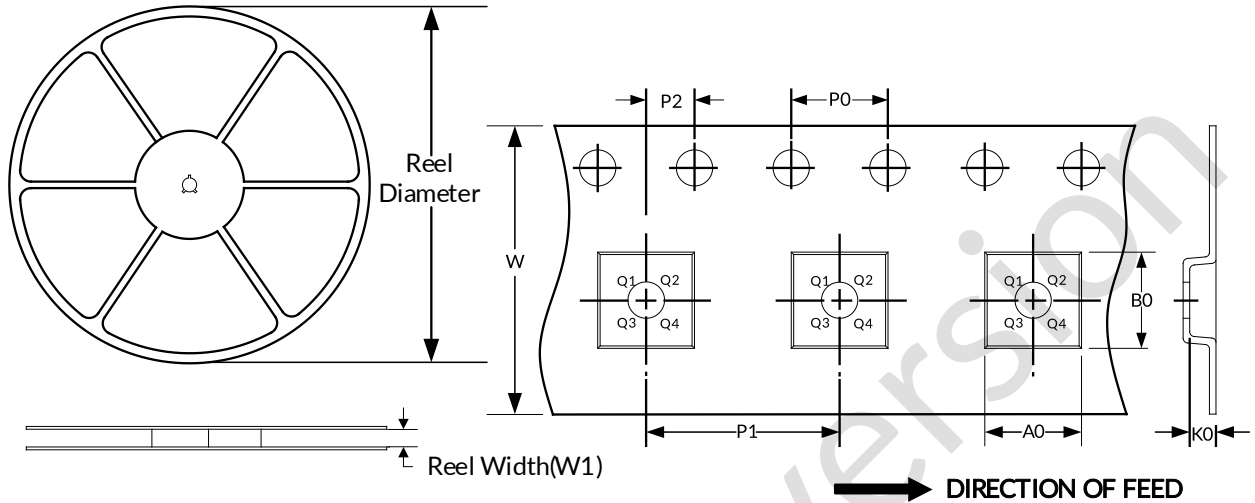
注意:

1. 不包括每侧最大 0.15mm 的塑封料或金属突起。
2. BSC (基本中心间距), “基本”间距为标称间距。
3. 本图如有更改, 恕不另行通知。

14 包装规格尺寸

卷盘尺寸

编带尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter	Reel Width(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
TSSOP16	13"	12.4	6.90	5.60	1.20	4.0	8.0	2.0	12.0	Q1

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。

重要通知及免责声明

江苏 Runic 科技有限公司将准确可靠地提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、WEB 工具、安全信息等资源, 不保证无任何缺陷, 也不作任何明示或暗示的保证, 包括但不限于适用性保证, 暗示其适用于特定目的的应用。且没有侵犯任何第三方的知识产权。

这些资源适用于使用 Runic 产品设计的熟练开发人员, 您将全权负责: (1)为您的应用程序选择合适的产品; (2) 设计、验证和测试您的应用程序; (3) 确保您的应用程序符合适用标准、安全标准或其他要求; (4) Runic 及 Runic 标识为 Runic Incorporated 的注册商标。所有商标均为其各自所有者的财产; (5) 对于发生改变细节, 应查看修订文件中包含的修订历史。资源如有更改, 恕不另行通知。本公司对使用本芯片设计的终端产品的侵犯专利的行为或侵犯第三方知识产权的行为不承担任何连带责任。