

产品特点

- 工作频率：4~8Gsp/s
- 输出带宽：4GHz
- 输出满量程：1000mV（差分）
- 同步方式：subclass1
- 总功耗：~2.5W
- 封装形式：QFN-68
- 引脚间距：0.4mm

产品描述

ADA14S8000 是采用 CMOS 工艺制造的高速数模转换芯片。该芯片可通过符合 JESD204B 标准的高速串行数据接口，将高速数字信号输入到芯片并转换为模拟信号输出。输出模拟信号共模约为 1.8V，差模满量程峰值为 1000mV，输入串行接口数据率为

10Gbps/lane。芯片采用+1.8V/ +1.2V/ +0.9V/ -0.6V 多电源供电，总功耗约为 2.5W，采用 pitch 为 0.4mm 的 QFN-68 封装。

应用范围

- 4G/5G 移动基站
- 宽带通信系统
- 高速数据产生系统
- 仪器仪表

主要性能指标

- 分辨率：14Bits
- 最高转换速率：8Gsp/s（typ）
- 输出满量程：1000mV（typ）
- 功耗：~2.5 W（typ）

结构框图

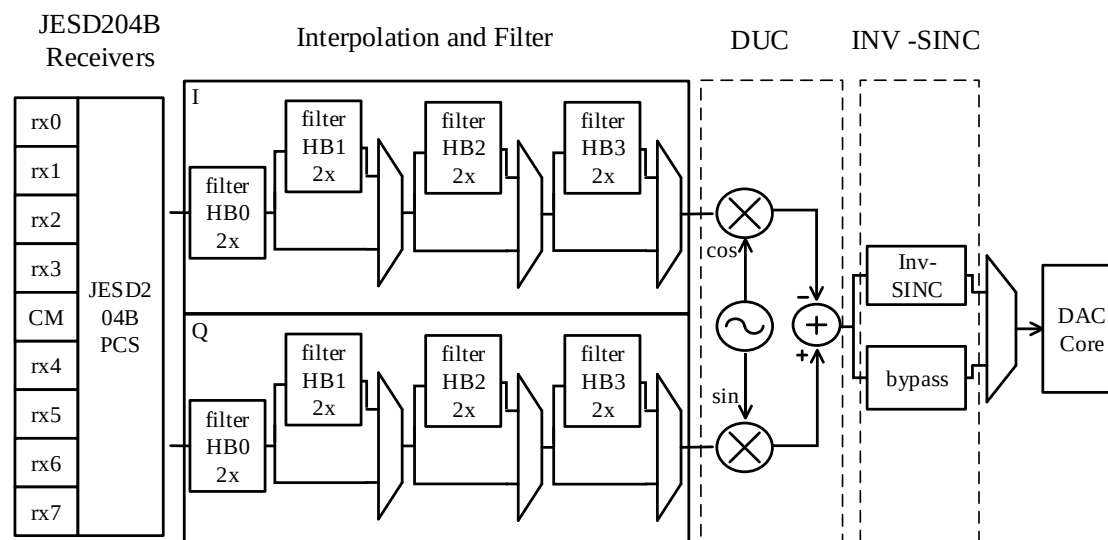


图 1：ADA14S8000 结构框图

芯片外形与引脚图:

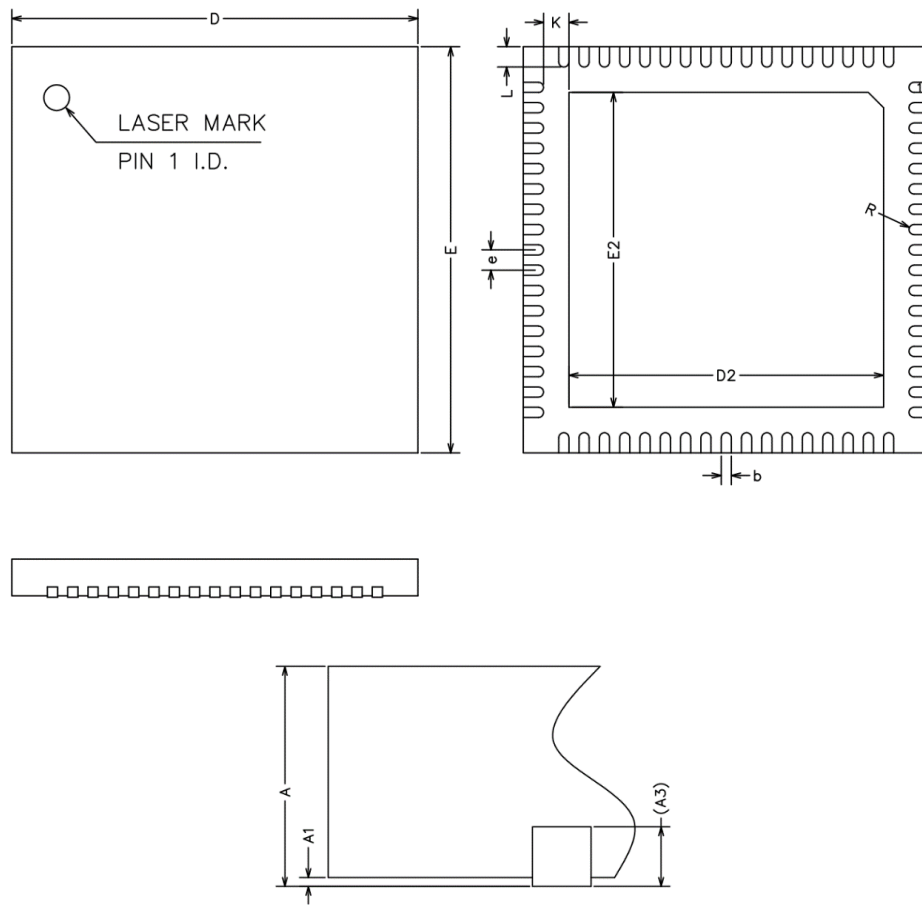


图 2: ADA14S8000 芯片封装引脚图

SYMBOL	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.20REF		
b	0.15	0.20	0.25
D	7.90	8.00	8.10
E	7.90	8.00	8.10
D2	-	-	-
E2	-	-	-
e	0.30	0.40	0.50
K	0.20	-	-
L	0.35	0.40	0.45
R	0.09	-	-

注:

- (1) 所有单位均为 mm。
- (2) 芯片底部的裸焊盘必须在焊接时接地以保证芯片的性能可靠。

引脚说明:

编号	引脚名称	功能	备注
3,6,12,15,20,35, 38-39,41,45,48,54,66,69	GND	地	0V
31,44,49	VDD18	模拟电源	+1.8V
40,50,51,55	VDD12	模拟电源	+1.2V
42-43	VSS_TAIL	模拟电源	-0.6V
24-27,36-37,60-62	VDD09	数字电源	+0.9V
23,63	VDDA_CORE	串行接口电源	+0.9V
9,22,64	VDDA_CIO	串行接口电源	+1.2V
21,65	VDDA_CIO_H	串行接口电源	+1.8V
46	OUTN	输入负端	需外接直流偏压+1.8V
47	OUTP	输入正端	
52	CLKP	时钟输入正端	时钟输入, 交流耦合, 输入阻抗差分 100 欧姆, 时钟频率 4GHz @8GSps
53	CLKN	时钟输入负端	
56	SYSREFP	SYSREF 正端	JESD204B SYSREF 信号输入, LVDS 电平
57	SYSREFN	SYSREF 负端	
58	SYNCB_N	SYNCB 负端	JESD204B SYNCB 信号输出, LVDS 电平
59	SYNCB_P	SYNCB 正端	
28	SEL	选择 SPI 或 JTAG, 低电平是 SPI 模式, 高电平时 JTAG 模式	SPI 控制接口, 1.8V CMOS 电平
29	RST	SPI 复位	
30	CSN	SPI 片选信号	
32	SCLK	SPI 时钟	
33	SDI	SPI 数据输入	
34	SDO	SPI 数据输出	
67/68	RXN0/RXP0	输入负端 0 输出正端 0	交流耦合至 FPGA 串行接口, 端接差分 100 欧姆负载
1/2	RXN1/RXP1	输入负端 1/输入正端 1	
4/5	RXN2/RXP2	输入负端 2/输入正端 2	
7/8	RXN3/RXP3	输入负端 3/输入正端 3	
11/10	RXN4/RXP4	输入负端 4/输入正端 4	
14/13	RXN5/RXP5	输入负端 5/输入正端 5	

编号	引脚名称	功能	备注
17/16	RXN6/RXP6	输入负端 6/输入正端 6	
19/18	RXN7/RXP7	输入负端 7/输入正端 7	



本产品内置防静电保护装置有限，为了防止静电损坏门电路，在储存或处理过程中应使引脚短接在一起或将产品放置在导电泡沫材料中。

封装热阻：

以下规格基于空气自然对流环境，JEDEC 标准 4 层 PCB 板。

封装类型	θ_{JA} Ambient(°C/W)	θ_{JC} Top of Package(°C/W)	θ_{JC} Thermal Pad(°C/W)
QFN-68	32	TBD	TBD

转换器电性特征：

以下规格适用于 $T_A=+25^{\circ}\text{C}$, $V_{DD18}/V_{DD_CIO_H}$: +1.8V, V_{DD12}/V_{DD_CIO} : +1.2V, $V_{DD09}/V_{DDD_CORE}/V_{DDA_CORE}$: +0.9V, V_{SS_TAIL} : -0.6V。黑体界限适用于温度 $T_A=T_{MIN}$ to T_{MAX} 。除非另行说明所有其他的界限均适用于温度 $T_A=25^{\circ}\text{C}$ 。

参数	最小值	典型值	最大值	单位
最高采样率	-	8	-	GS/s
输入最高时钟频率	-	4	-	GHz
差分输出满量程	-	1000	-	mV
输出端共模电压	-	1800	-	mV
输入时钟信号幅度 (差分峰峰值)	400	600	800	mV
无杂散动态范围	-	70@Low Freq 50@Nyquist	-	dBc
电源电压: V_{DD18}	-	1.8	-	V
消耗电流: V_{DD18}	-	50	-	mA
电源电压: V_{DD12}	-	1.2	-	V
消耗电流: V_{DD12}	-	240	-	mA
电源电压: V_{SS_TAIL}	-	-0.6	-	V
消耗电流: V_{SS_TAIL}	-	44	-	mA
电源电压: V_{DD09}	-	0.9	-	V
消耗电流: V_{DD09}	-	900	-	mA
电源电压: V_{DDD_CORE}	-	0.9	-	V
消耗电流: V_{DDD_CORE}	-	1000	-	mA
电源电压: V_{DDA_CORE}	-	0.9	-	V
消耗电流: V_{DDA_CORE}	-	148	-	mA
电源电压: V_{DDA_CIO}	-	1.2	-	V
消耗电流: V_{DDA_CIO}	-	121	-	mA

参数	最小值	典型值	最大值	单位
电源电压: VDDA_CIO_H	-	1.8	-	V
消耗电流: VDDA_CIO_H	-	31	-	mA

典型测试结果:

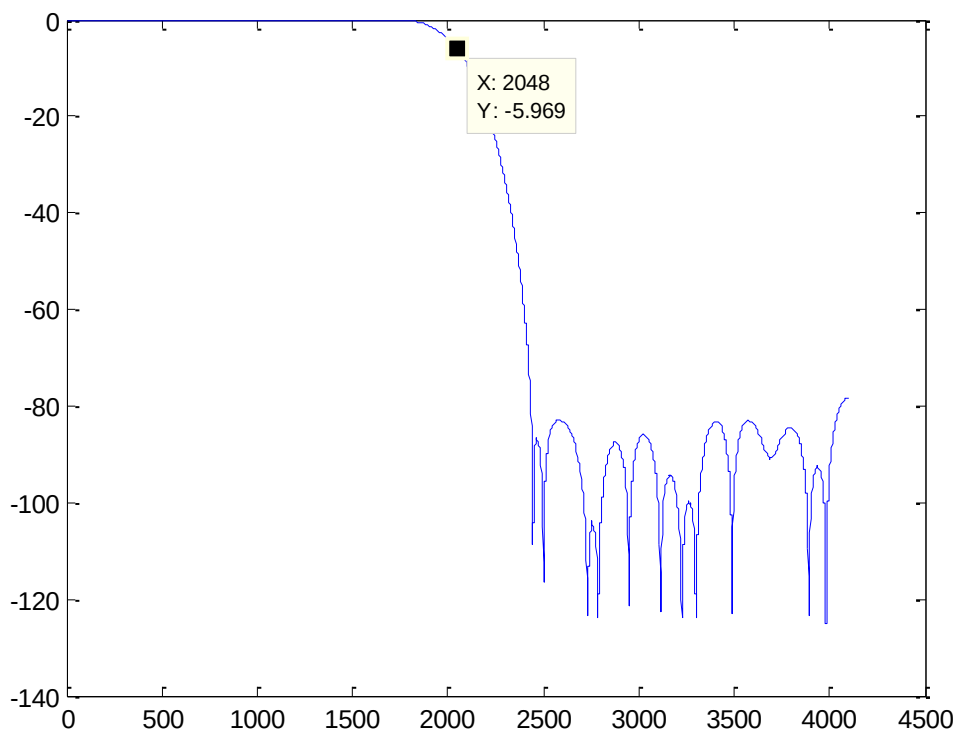


图 3: X2 模式频率响应

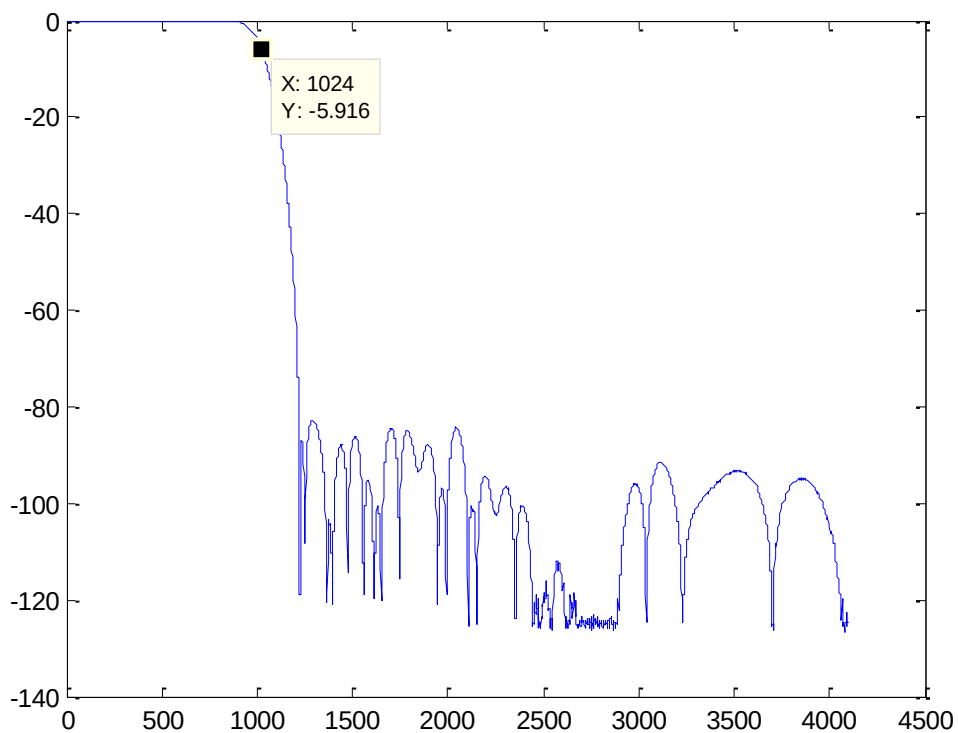


图 4: X4 模式频率响应

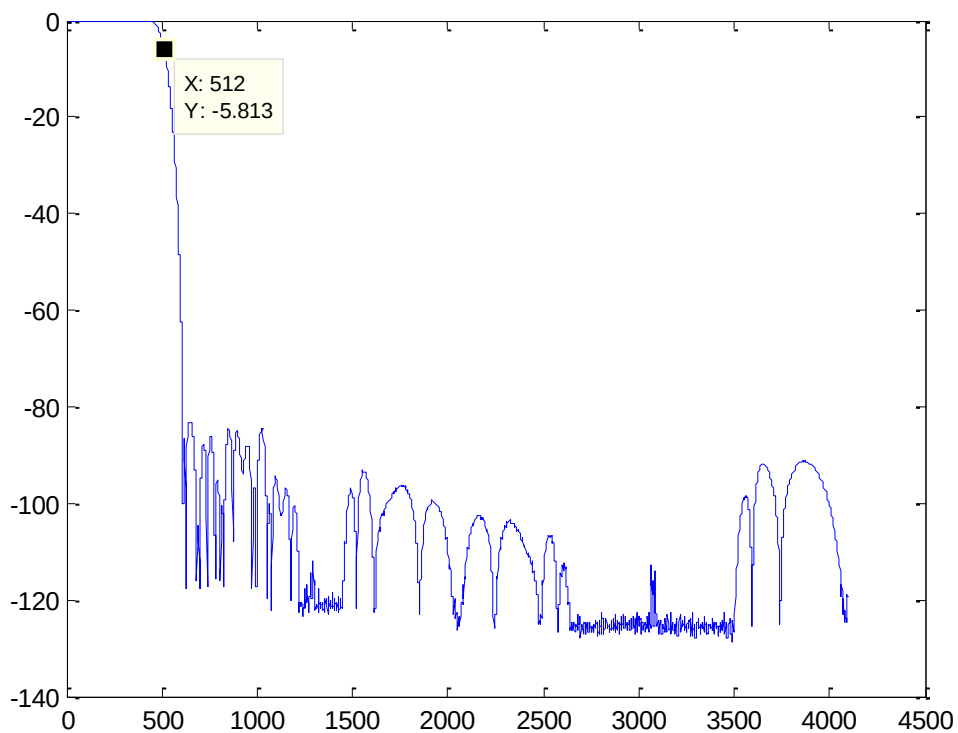


图 5: X8 模式频率响应

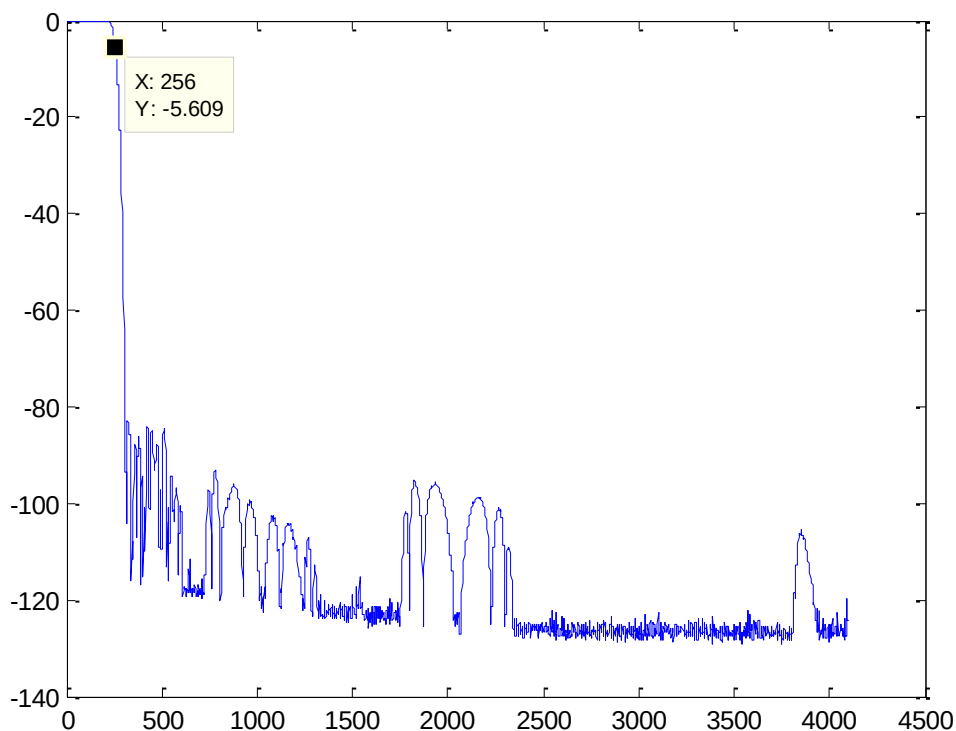


图 6: X16 模式频率响应

差值滤波器系数

表 1: 差值滤波器系数

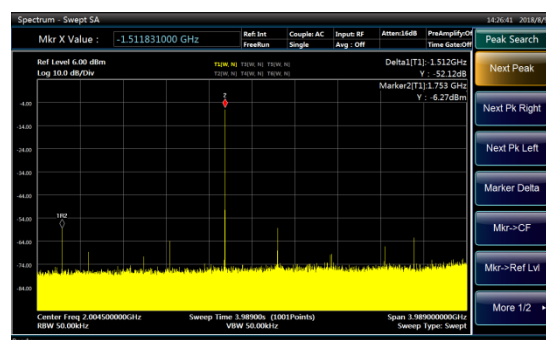
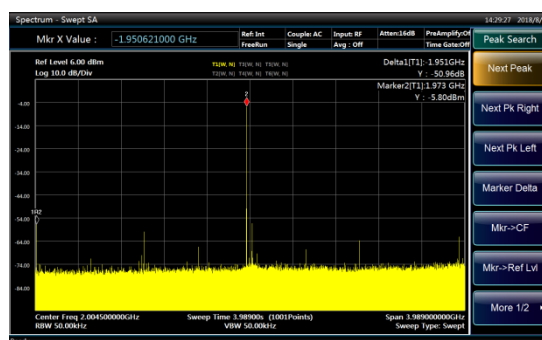
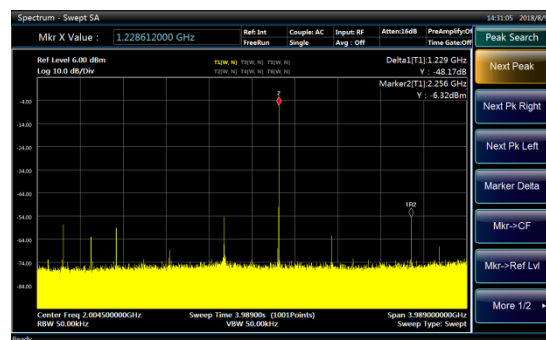
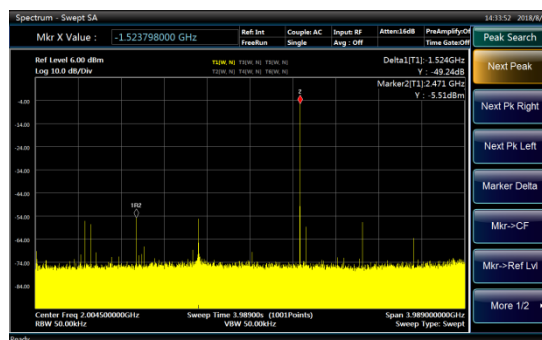
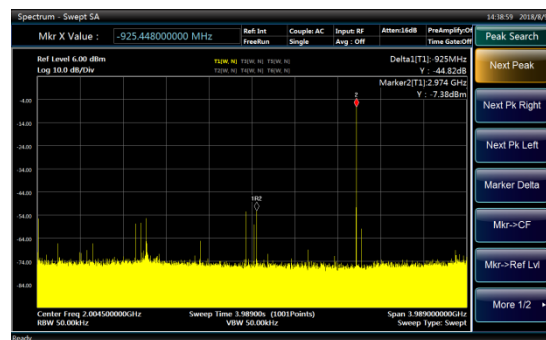
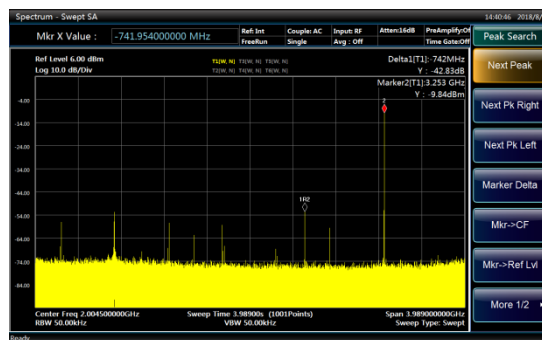
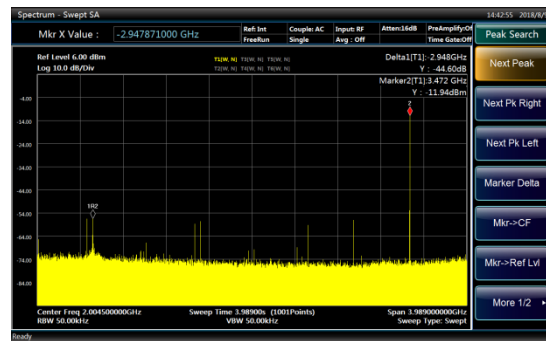
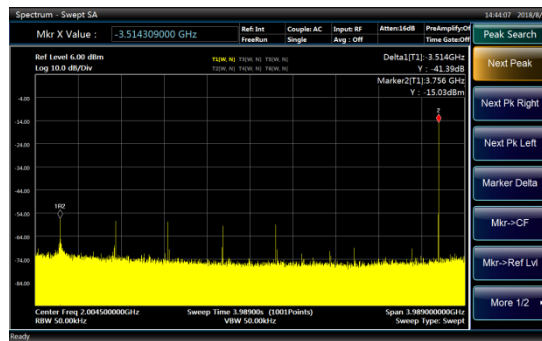
	HB0	HB1	HB2	HB3	Fir_invs
0	2	-12	232	192	28
1	0	0	0	0	-111
2	-5	84	-1712	-1600	360
3	0	0	0	0	-1384
4	12	-336	9672	9600	16384
5	0	0	16384	16384	-1384
6	-25	1006	9672	9600	360
7	0	0	0	0	-111
8	48	-2691	-1712	-1600	28
9	0	0	0	0	
10	-85	10141	232	192	
11	0	16384			
12	143	10141			
13	0	0			
14	-228	-2691			
15	0	0			
16	352	1006			
17	0	0			
18	-530	-336			



ADA14S8000

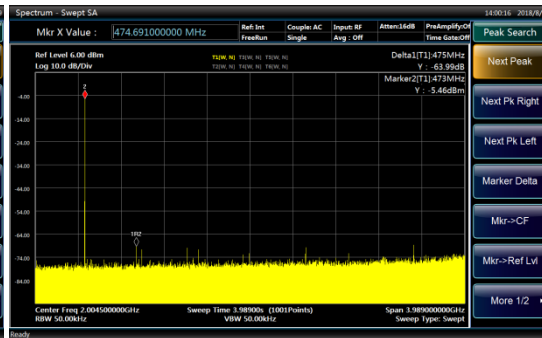
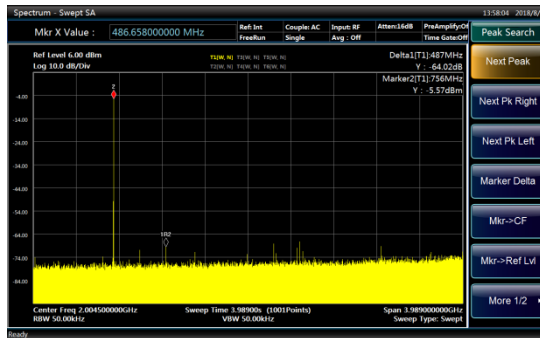
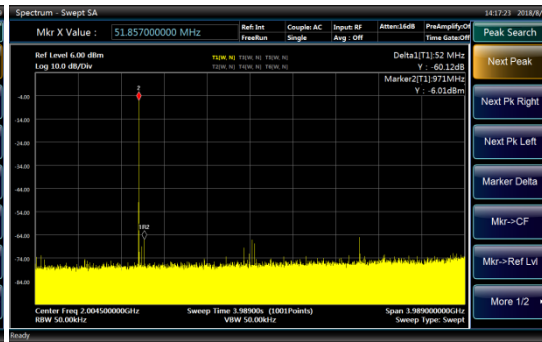
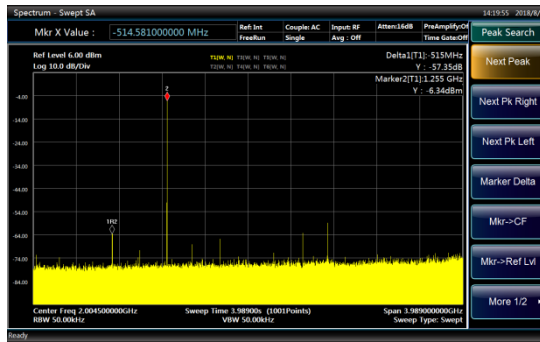
	HB0	HB1	HB2	HB3	Fir_invs
19	0	0			
20	788	84			
21	0	0			
22	-1182	-12			
23	0				
24	1855				
25	0				
26	-3333				
27	0				
28	10382				
29	16384				
30	10382				
31	0				
32	-3333				
33	0				
34	1855				
35	0				
36	-1182				
37	0				
38	788				
39	0				
40	-530				
41	0				
42	352				
43	0				
44	-228				
45	0				
46	143				
47	0				
48	-85				
49	0				
50	48				
51	0				
52	-25				
53	0				
54	12				
55	0				
56	-5				
57	0				
58	2				

单音信号测试结果: (-3dBFS)

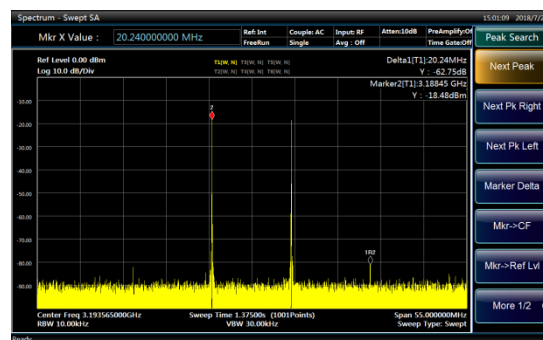
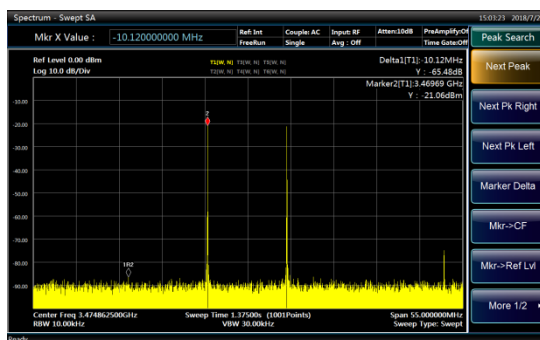
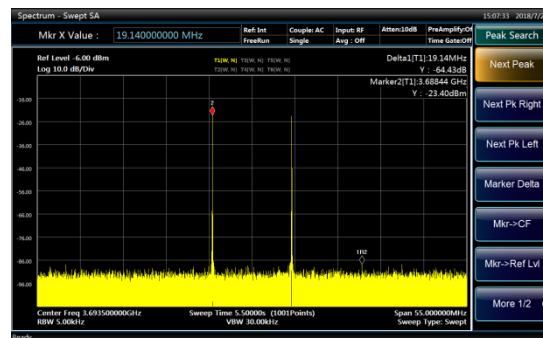
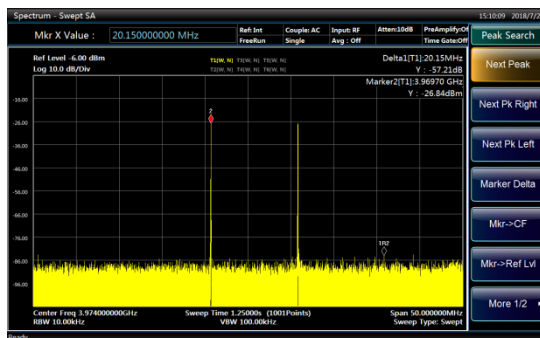


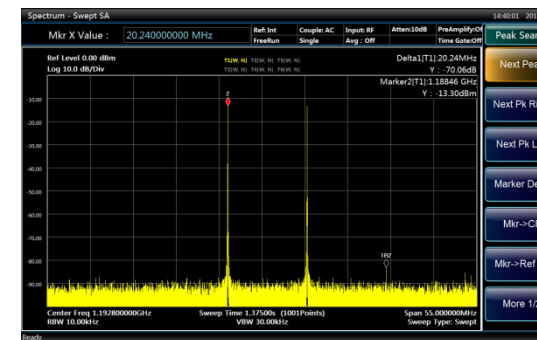
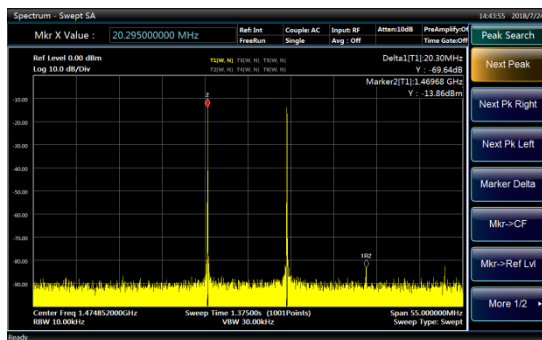
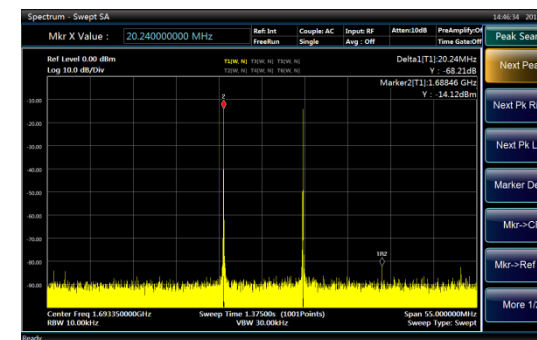
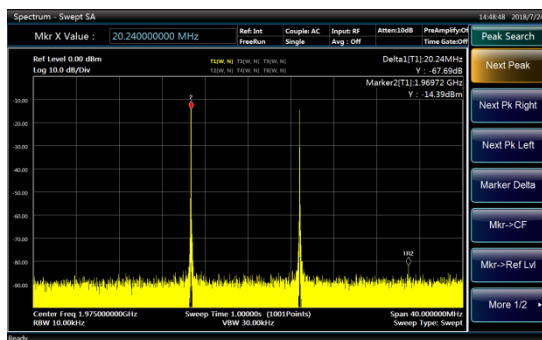
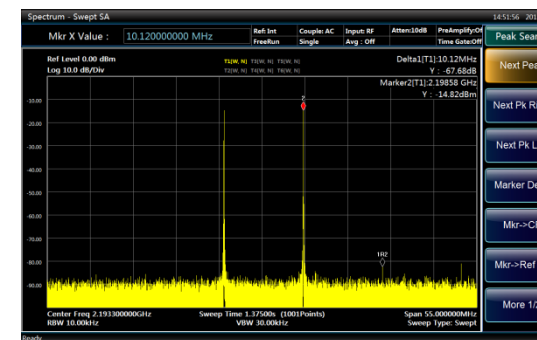
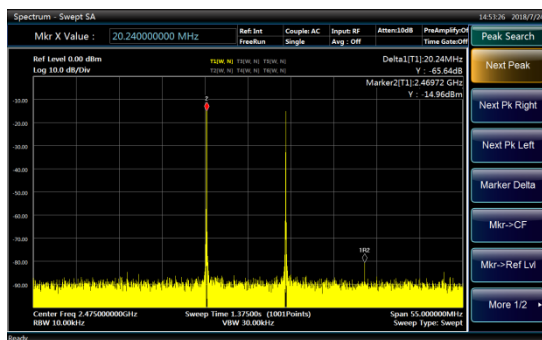
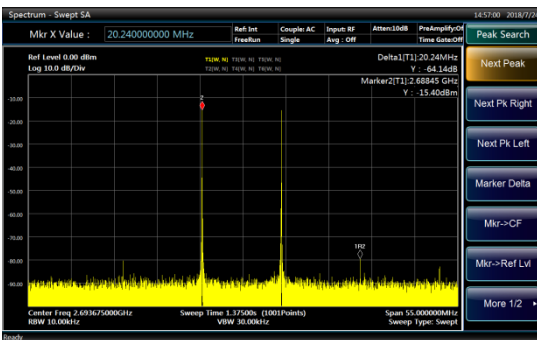
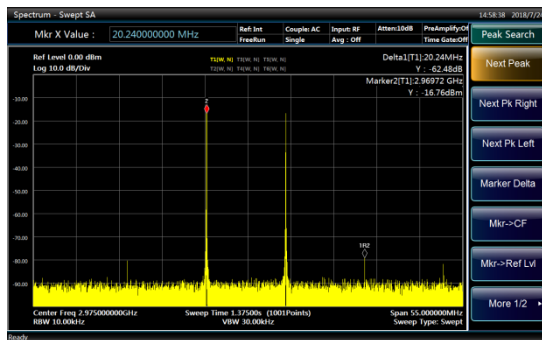
ADA14S8000

ADA14S8000

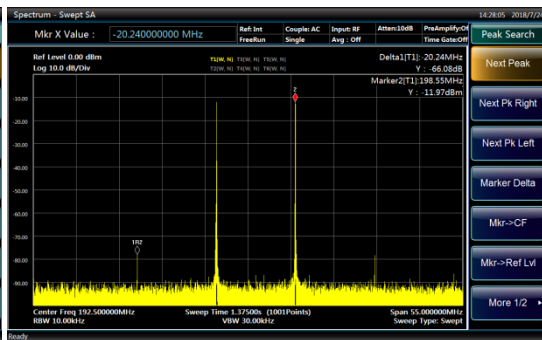
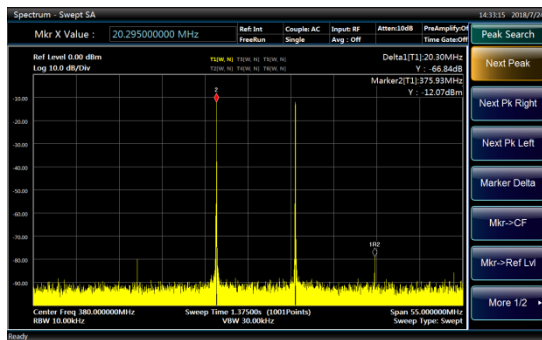
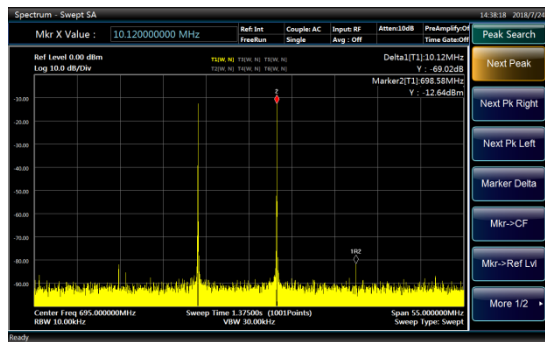
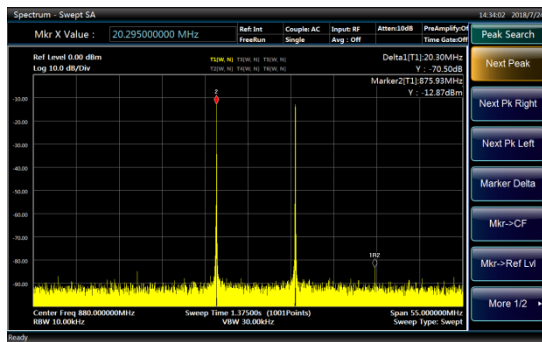


双音信号测试结果: (-3dBFS 10MHz_offset)





ADA14S8000



功能描述:

1. 概述

ADA14S8000 芯片是基于 CMOS 40nm 工艺自主研发的高速数模转换器芯片, 该芯片可通过符合 JESD204B 标准的高速串行数据接口, 将高速数字信号输入到芯片并转换为模拟信号输出。输出模拟信号共模约为 1.8V, 差模满量程峰峰值为 1000mV, 输入串行接口数据率为 10Gbps/lane。

2. 电源输入

随着对数模转换器芯片的需求向更高的采样带宽去走, 芯片的尺寸越来越精细。但是, 同时对数据转换器的性能, 例如噪声和线性度的期望仍然存在。这使得开发模拟电路以工作在高采样速率并保持相同的噪声/线性度性能所需的裕量大大降低。当超快电路在非常近的距离内运行时, 各个模块之间总会存在耦合或振荡的风险。为了改善隔离, 设计者必须考虑各种耦合机制。

考虑到综合供电效率和性能, 推荐采用 DC-DC 和 LDO 混合的方式为 ADA14S8000 芯片供电。主电源通过 LDO 产生 1.8V 电源接至 VDD18 和 VDDA_CIO_H, 可以通过磁珠将 VDD18 和 VDDA_CIO_H 电源隔开, VDD18 和 VDDA_CIO_H 电源应通过并联 100 μ F 和 10 μ F 的电容去耦; 主电源通过 LDO 产生 1.2V 电源接至 VDD12 与 VDDA_CIO, 可以通过磁珠将 VDD12 与 VDDA_CIO 电源隔开, VDD12 与 VDDA_CIO 电源应通过并联 100 μ F 和 10 μ F 的电容去耦; 主电源通过 LDO 产生 0.9V 电源接至 VDDA_CORE, 通过磁珠 (如 MPZ1608S221ATD25) 连接至 VDD09A 并对地去耦; 主电源 0.9V 可以由 DC-DC 产生, 直接供电 VDDD_CORE 与 VDD09; 负电源-0.6V 可以由 DC-DC 产生 (-1.8V), 再通过 LDO 产生-0.6V, 负压需要越纯净越好。

2.1. 电源芯片选型

ADA14S8000 芯片的 0.9V 电源推荐选择 DC-DC 供电, 电源芯片推荐: TPS82140 芯片; 0.9V/1.2V/1.8V 电源推荐采用 LDO 供电, 电源芯片推荐: TPS7A92 或 TPS7A91 芯片; -0.6V 负压电源也推荐采用 LDO 供电, 电源芯片推荐选择: ADP7183 负线性稳压器, 获得负压。

2.2. 推荐上电顺序

ADA14S8000 芯片电源电压的上电顺序推荐电压由低至高逐个进行上电, 最后上负压。即先上 0.9V 电源, 再上 1.2V 电源, 然后再上 1.8V 电源, 最后上-0.6V 电源。

3. 模拟输出

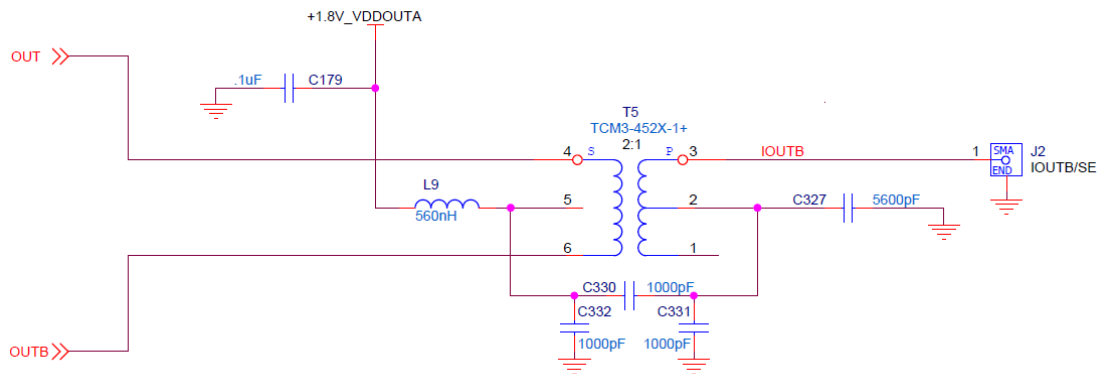


图 7: ADA14S8000 输出接口连接示意图

4. SPI 端口说明:

SPI 总线控制，一次有 36bits 数据进行交互，其数据顺序为：1bit 读写使能位+15bits 地址位 +4bits 预留数据位+16bits 读写数据位，先发送高位，再发送地位。

名称	输入/输出	功能	电平
SDI	输入	串行数据输入	0/1.8 V
SDO	输出	串行数据输出	0/1.8 V
CSN	输入	片选使能信号	0/1.8 V
SCLK	输入	时钟信号	0/1.8 V
RST	输入	复位信号，高电平复位	0/1.8 V

4.1. 读写时序

1) 写寄存器

首先将CS_N信号拉低，在前16个SCLK时钟周期通过SDIN写入1bit的写命令和15bits的地址位，等待4个SCLK时钟周期后，在接下来的16个SCLK写入16bits的数据，最后将CS_N信号拉高。

2) 读寄存器

首先将CS_N信号拉低，在前16个SCLK时钟周期通过SDIN写入1bit的读命令和15bits的地址位，等待4个SCLK时钟周期后，在接下来的16个SCLK时钟周期通过SDOUT读取16bits的数据，最后将CS_N信号拉高。

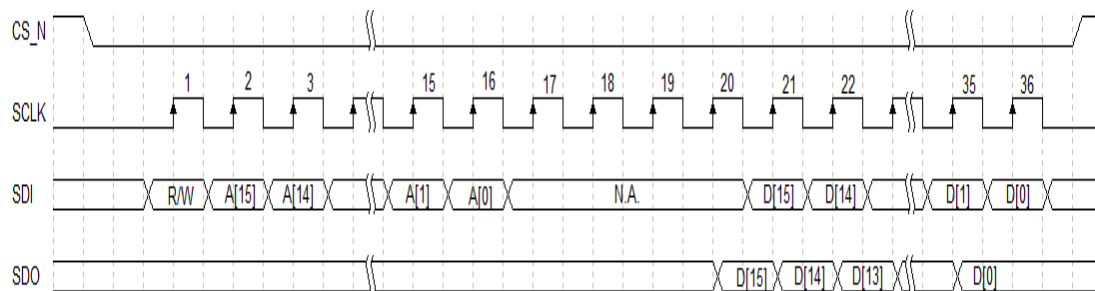


图 8: SPI 接口读写时序图

SPI 时钟频率最高支持 10MHz。

5. 寄存器说明:

地址		描述		读写	默认值
母地址[14:13]	子地址[12:0]				
b00 ANA 全局控制	0x0000	[11:8]	芯片类型	R	0x022X
		[7:4]	子类		
		[3:0]	版本		
	0x0001	[6]	clr_scan, 内部 sysref 边缘检测电路状态寄存器清零	R/W	0x02
		[5]	enb_nco_sync, 内部 NCO 同步电路使能开关, 低电平有效, 默认状态下, 同步功能处于打开状态		
		[4]	enb_clk_syncs, 时钟同步电路使能开关, 低电平有效, 默认状态下, 同步功能处于打开状态		
		[3]	保留寄存器		
		[2]	en_duty_cycle_cal, 时钟占空比校准开关, 高电平有效		
		[1]	enb_dem, 动态单元匹配电路使能开关, 低电平有效		
		[0]	sys_rst, 全局复位开关		
	0x0002	[5:3]	amp_ctrl, 输出信号幅度控制	R/W	0x20
		[2]	reserved		
		[1]	edge_sel, 保留寄存器		
		[0]	sysref_enb, sysref 使能, 低电平有效		
	0x0003	[8:0]	duty_cycl_cal, 占空比校准控制字	R/W	0x100
	0x0010	[0]	sync_scan_status, 内部 sysref 边缘检测电路状态寄存器	R	0x0
	0x0020	[3]	interp_o, 保留寄存器	R	0x0
		[2]	pslverr_o, 保留寄存器		
		[1]	strdata_valid_o, 保留寄存器		
		[0]	pll_locked, 高速串行数据接收器内部 PLL 锁定信号		
b01 DUC	0x0001	[9]	invs_en, 反 sinc 滤波器使能开关	R/W	0x09
		[8]	data_rev_en, MIX 模式使能开关, 该模式下相邻的数据位符号取反		
		[4:0]	mode, 寄存器说明见表 2		
	0x0002	[15:0]	Fctrl[15:0], 内部 NCO 频率控制字	R/W	0x0000
	0x0003	[15:0]	Fctrl[31:16], 内部 NCO 频率控制字	R/W	0x0000
	0x0004	[3:0]	Fctrl[35:32], 内部 NCO 频率控制字	R/W	0x2

ADA14S8000

地址		描述		读写	默认值
母地址[14:13]	子地址[12:0]				
	0x0005	[15:0]	Actrl[15:0], 内部 NCO 幅度控制字	R/W	0x4DB0
	0x0006	[8]	ovf_clr, 数据溢出指示位, 一旦数据溢出, 除非收到 ovf_clr 信号, 否则该状态位不清零	R/W	0x0
		[0]	set_nco, 内部 NCO 参数更新控制, 置 1 时 Fctrl 以及 Actrl 刷新, 恢复初始相位, 置 0 时保持之前的状态		
	0x0010	[0]	ovf, 数据溢出指示位, 一旦数据溢出, 除非收到 ovf_clr 信号, 否则该状态位不清零	R	0x0
	0x0011	[15:0]	data_read_back, 分别读取 8 个通道 JESD204B 接收信号	R	0x0
	0x0012		data_read_back, 分别读取 8 个通道 JESD204B 接收信号	R	0x0
	0x0013		data_read_back, 分别读取 8 个通道 JESD204B 接收信号	R	0x0
	0x0014		data_read_back, 分别读取 8 个通道 JESD204B 接收信号	R	0x0
	0x0015		data_read_back, 分别读取 8 个通道 JESD204B 接收信号	R	0x0
	0x0016		data_read_back, 分别读取 8 个通道 JESD204B 接收信号	R	0x0
	0x0017		data_read_back, 分别读取 8 个通道 JESD204B 接收信号	R	0x0
	0x0018		data_read_back, 分别读取 8 个通道 JESD204B 接收信号	R	0x0
b10 JESD (此类寄存器每次须对两个相邻的地址连续操作,且第一个地址为偶数。)	0x0C34	[12:8]	physical_map1[4:0], 逻辑 lane1 对应的物理 lane。(0-7)	R/W	0x1
		[4:0]	physical_map0[4:0], 逻辑 lane0 对应的物理 lane 的映射。(0-7)	R/W	0x0
	0x0C35	[12:8]	physical_map3[4:0], 逻辑 lane3 对应的物理 lane。(0-7)	R/W	0x3
		[4:0]	physical_map2[4:0], 逻辑 lane2 对应的物理 lane。(0-7)	R/W	0x2
	0x0C38	[12:8]	physical_map5[4:0], 逻辑 lane5 对应的物理 lane。(0-7)	R/W	0x5
		[4:0]	physical_map4[4:0], 逻辑 lane4 对应的物理 lane。(0-7)	R/W	0x4

地址		描述		读写	默认值
母地址[14:13]	子地址[12:0]				
	0x0C39	[12:8]	physical_map7[4:0], 逻辑 lane7 对应的物理 lane。(0-7)	R/W	0x7
		[4:0]	physical_map6[4:0], 逻辑 lane6 对应的物理 lane。(0-7)	R/W	0x6
	0x0000 ~ 0x0700	[7]	通道 0-7 配置, 保留寄存器	R/W	0x0
		[6]	通道 0-7 配置, 保留寄存器	R/W	0x1
		[5]	通道 0-7 配置, 保留寄存器	R/W	0x0
		[4]	Polarity_inv, 通道 0-7 的 RXP/RXN 的极性, 0: 不反转; 1: 反转	R/W	0x0
		[1:0]	保留寄存器	R/W	0x1
	0x0001 ~ 0x0701	[15:0]	通道 0-7 配置, 保留寄存器	R/W	0x3200
	0x0C04	[0]	JESD204b_enable, 置 1 使能 JESD204B。	R/W	0x0
	0x0C05	[15:0]	保留寄存器	R/W	0x0
	0x0C08	[15:0]	保留寄存器	R/W	0x0
	0x0C09	[15]	scr, 加扰使能	R/W	0x0
		[12:8]	L[4:0], 表示每个转换器中 lane 的数量, 寄存器配置的值应为 lane 的数量减 1	R/W	0xF
	0x0C0C	[12:8]	K[4:0], 表示每个多帧中的帧数, 寄存器配置的值应为帧数减 1	R/W	0xF
		[7:0]	F[7:0], 表示每一帧中的字节数, 寄存器配置的值应为字节数减 1	R/W	0x1
	0x0C0D	[15:14]	CS[1:0], 表示每个采样点中的控制位数	R/W	0x0
		[12:8]	N[4:0], 表示转换器的分辨率	R/W	0xF
		[7:0]	M[7:0], 表示每个器件的转换器数量, 寄存器配置的值应为转换器数量减 1	R/W	0x0

地址		描述		读写	默认值
母地址[14:13]	子地址[12:0]				
	0x0C10	[15:13]	保留寄存器	R/W	0x1
		[12:8]	S[4:0], 表示每个转换器的每一帧中的采样点数, 寄存器配置的值应为采样点数减 1	R/W	0x0
		[7:5]	保留寄存器	R/W	0x1
		[4:0]	N'[4:0], 表示每一个采样点的 bit 位数, 寄存器配置的值应为 bit 位数减 1	R/W	0xF
	0x0C11	[4:0]	cf[4:0], 每个链路中的每个帧时钟周期的控制字数量。支持的值有 0,1,2,4,8。	R/W	0x0
		[7]	hd, 高密度模式。此寄存器为 1 时, 启动高密度模式。	R/W	0x0

5.1. 工作模式说明:

表 2: DAC 芯片工作模式

MODE[4:0]	HB1	HB2	HB3	HB4	NCOI	NCOQ	LANE	说明
IQ X4 (0x01)	√	√			√	√	8	数字上变频+插值模式
IQ X8 (0x02)	√	√	√		√	√	4	
IQ X16 (0x03)	√	√	√	√	√	√	2	
I X2 (0x09)	√						8	插值模式
I X4 (0x0a)	√	√					4	
I X8 (0x0b)	√	√	√				2	
I X16 (0x0c)	√	√	√	√			1	
NCO M1 (0x11)					√		0	NCO 模式
NCO M2 (0x12)						√	0	

5.2. JESD204B 数据组码模式

MODE	JESD204B Parameters	Lane No	Frame	
			Oct_0	Oct_1
IQ ×4	L=8, M=2, F=2, S=4	Lane 0	I0[7:0]	I0[15:8]
		Lane 1	Q0[7:0]	Q0[15:8]
		Lane 2	I1[7:0]	I1[15:8]

MODE	JESD204B Parameters	Lane No	Frame	
			Oct_0	Oct_1
		Lane 3	Q1[7:0]	Q1[15:8]
		Lane 4	I2[7:0]	I2[15:8]
		Lane 5	Q2[7:0]	Q2[15:8]
		Lane 6	I3[7:0]	I3[15:8]
		Lane 7	Q3[7:0]	Q3[15:8]
		Lane 0	I0[7:0]	I0[15:8]
IQ ×8	L=4, M=2, F=2, S=2	Lane 1	Q0[7:0]	Q0[15:8]
		Lane 2	I1[7:0]	I1[15:8]
		Lane 3	Q1[7:0]	Q1[15:8]
		Lane 0	I0[7:0]	I0[15:8]
IQ ×16	L=2, M=2, F=2, S=1	Lane 1	Q0[7:0]	Q0[15:8]
		Lane 0	I0[7:0]	I0[15:8]
I ×2	L=8, M=1, F=2, S=8	Lane 1	I1[7:0]	I1[15:8]
		Lane 2	I2[7:0]	I2[15:8]
		Lane 3	I3[7:0]	I3[15:8]
		Lane 4	I4[7:0]	I4[15:8]
		Lane 5	I5[7:0]	I5[15:8]
		Lane 6	I6[7:0]	I6[15:8]
		Lane 7	I7[7:0]	I7[15:8]
		Lane 0	I0[7:0]	I0[15:8]
I ×4	L=4, M=1, F=2, S=4	Lane 1	I1[7:0]	I1[15:8]
		Lane 2	I2[7:0]	I2[15:8]
		Lane 3	I3[7:0]	I3[15:8]
		Lane 0	I0[7:0]	I0[15:8]
I ×8	L=2, M=1, F=2, S=2	Lane 1	I1[7:0]	I1[15:8]
		Lane 0	I0[7:0]	I0[15:8]
I ×16	L=1, M=1, F=2, S=1	Lane 0	I0[7:0]	I0[15:8]

6. 输出等效电路结构

ADA14S8000 由 NMOS 电流源阵列组成，最大可以输出 20mA 的满幅电流。差分电流开关可以将电流直接输出到任意的差分输出端。推荐采用差分输出，从而可以消除由于数字馈通、片内噪声和 PCB 噪声造成的共模噪声，直流偏置，以及偶数阶的失真。

DAC 输出等效电路结构如图 9：DAC 输出等效电路所示。其中 $I_1=I_2$ ，为常开电流源。差分短路输出电流 $I_{DIFF}=I_{CP}-I_{CN}$ 。

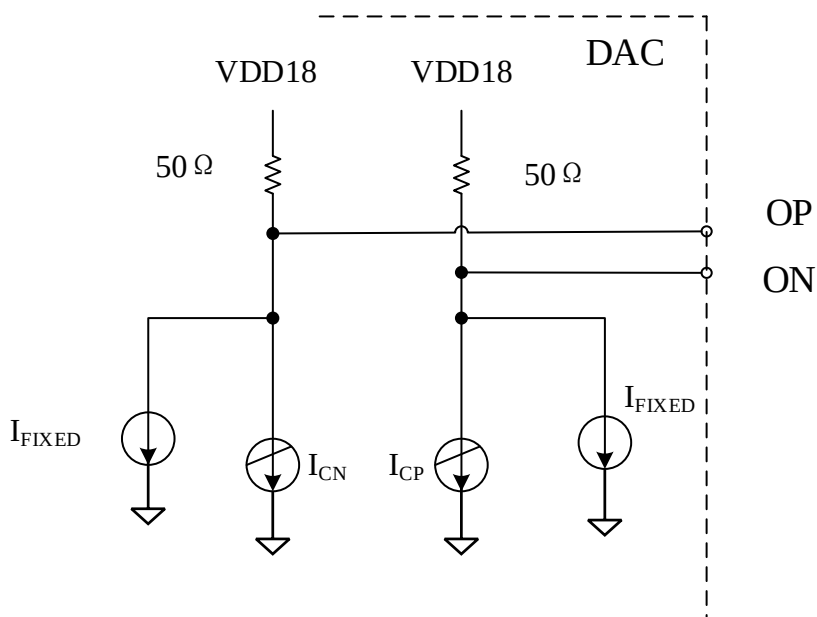


图 9: DAC 输出等效电路

I_{DIFF} 的大小请参照下表:

CODE	I_{DIFF}
01_1111_1111_1111	20mA
.....	
00_0000_0000_0000	
11_1111_1111_1111	
.....	
10_0000_0000_0000	-20mA

其中 CODE 是 14 位 DAC 数据输入字的二进制表示, 需要注意的是, 由于 DAC 的输入信号是 16 比特的, 因此需要将低位的 2 比特数据舍弃掉。



订购信息:

型号	温度范围	封装描述
ADA14S8000	TBD	68 引脚增强型导热焊盘 QFN 封装
AFMCP201	NA	评估板

ADA14S8000

版本记录:

[illegible]

声明

苏州迅芯微电子有限公司及其分公司和经销商有权对其公司所提供的半导体产品进行修正、增强、提高以及做出其他的改变，同时有在最新版产品已经发布的基础上，中止任何一款产品和服务的权利。购买者应在下单前获取相关的最新信息，并确认这些信息的有效性和完整性。所有被售出的半导体产品都必须遵循苏州迅芯微电子有限公司在接到订单确认时的销售条款和条件。

根据苏州迅芯微电子有限公司销售的半导体产品的保修条款，苏州迅芯微电子有限公司担保组件的性能规范适用于销售之时。本公司采取了必要的测试和质量控制方式来支持产品达到这样的程度。除非有法律的具体规定，并不是每个组件的所有参数都是必须要执行测试的。

苏州迅芯微电子有限公司对购买者使用产品做出的设计和应用不承担任何的连带责任，您应对使用了苏州迅芯微电子有限公司组件的产品和应用自负其责。购买者应采取适当的设计和操作系统时的具体保护措施来使您所购买产品的风险降至最低。

对于任何使用苏州迅芯微电子有限公司的组件和服务的所有相关的组合、设备或过程，苏州迅芯微电子有限公司不保证或代表许可——无论是明示或暗示——授予其使用任何相关的专利权、版权或其他任何知识产权。苏州迅芯微电子有限公司对第三方产品或服务不构成许可使用这些产品或服务的保修或背书。使用这样的信息可能需要从第三方的专利或第三方的其他知识产权获得许可或授权，或从苏州迅芯微电子有限公司获得专利和其他知识产权的授权。

从苏州迅芯微电子有限公司的产品手册和数据手册中复制重要的章节是被允许的，只要复制时没有更改，同时附上所有相关的担保、条件、限制和告示信息。苏州迅芯微电子有限公司不对这些修改后的文件承担任何责任，第三方的信息可能会受到附加条件的约束。

超出苏州迅芯微电子有限公司所标明的组件或服务的参数范围或在与之不同参数下转售苏州迅芯微电子的组件或服务，或对苏州迅芯微电子有限公司的组件或服务无法提供有效服务并且暗含担保无效的行为，都是一种不公平且带有欺骗性质的商业行为。苏州迅芯微电子有限公司不为这样的声明承担任何责任。

购买者确认并同意，尽管苏州迅芯微电子有限公司可能提供了与应用相关的信息或支持，但您将自行负责遵守与您的产品以及在使用任何苏州迅芯微电子有限公司的组件有关的所有法律、法规和安全方面的要求。购买者表示并同意您具备所有必要的专业知识，能够创建和实施安全措施以预测故障的危险后果、监控故障及其后果、降低可能导致伤害的故障可能性并采取适当的补救措施。购买者将全额赔偿因在重大的安全应用中使用任何苏州迅芯微电子有限公司组件而对苏州迅芯微电子有限公司及其所代表方造成的所有损失。

在某些情况下，为了推广安全相关应用，有可能对苏州迅芯微电子有限公司的组件进行专门提升。借助于这样的组件，苏州迅芯微电子有限公司的目标旨在帮助客户设计和创立其特有的可满足功能性安全标准和要求的终端产品解决方案。尽管如此，此类组件仍然遵守本条款。

苏州迅芯微电子有限公司的组件未被许可用于 FDA III 类（或类似关系生命安危的医疗设备），除非各方授权代表已经达成专门管控此类使用的特别协议。

只有苏州迅芯微电子有限公司特别注明属于军用等级或“增强型塑料”的组件才是设计且专门用于军事/航空应用或环境的组件。购买者确认并同意，如果将未注明的组件用于军事或航空应用，则由您单方面承担所有风险，且您应自行负责遵守与此类使用有关的所有法律和法规要求负全部责任。