

AAD12D3000

6GSPS 单通道或 3GSPS 双通道 12 位模数转换器(ADC)

1 产品特点

- ADC 内核特性
 - 12 位分辨率
 - 单通道模式最高 6GSPS 采样
 - 双通道模式最高 3GSPS 采样
- 输入满量程: 0.68~1.66Vpp
- 支持确定性延迟和多芯片同步
- JESD204B 串行数据接口
 - 最大通道速率: 8Gbps
 - 支持子类 1 同步
- 电源: 1.8V/1.0V/-0.6V

2 产品描述

AAD12D3000 是一款射频采样高速模数转换器, 可对从直流到 7GHz 以上的输入频率进行直接采样, AAD12D3000 可配置为双通道 3GSPS 模式或单通道 6GSPS 模式。

AAD12D3000 使用多达 16 个串行通道的高速 JESD204B 输出接口, 支持最高 8Gbps 的线速率。通过 JESD204B 子类 1 支持确定性延迟和多芯片同步。

3 应用范围

- 示波器和宽带波形记录仪
- 通信测试仪 (5G, WIFI 7/8)
- 软件定义无线电 (SDR)
- 电子对抗 (DRFM)
- 卫星通信 (SATCOM)
- 激光雷达 (LIDAR)
- 激光通信
- 光谱测量

4 主要性能指标

- ENOB:
 - 8.6bits@0.34GHz (-3dBFS, typ, 单通道)
 - 8.5bits@1.1GHz (-3dBFS, typ, 单通道)
 - 8.0bits@2.4GHz (-3dBFS, typ, 单通道)
- SFDR:
 - 59.9dBc@0.34GHz (-3dBFS, typ, 单通道)
 - 59.7dBc@1.1GHz (-3dBFS, typ, 单通道)
 - 58.5dBc@2.4GHz (-3dBFS, typ, 单通道)
- DNL/INL: ± 0.4 LSB/ ± 4 LSB
- 模拟输入带宽: 7GHz (-3dB, 双通道)
5GHz (-3dB, 单通道)
- 典型功耗: 4.4W

器件信息

器件型号	封装	封装尺寸
AAD12D3000	FCBGA(144)	10mm×10mm

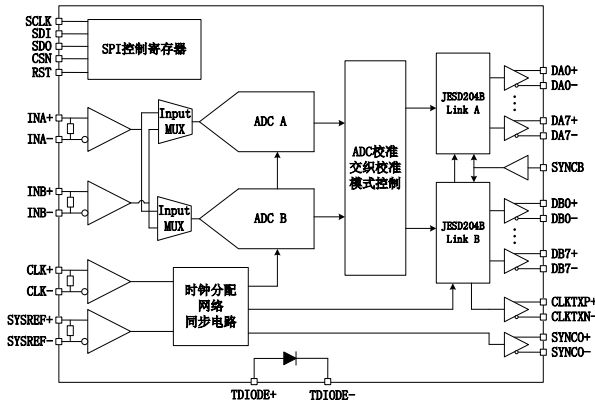


图 4-1 AAD12D3000 结构框图

目录

1	产品特点	1
2	产品描述	1
3	应用范围	1
4	主要性能指标	1
	目录	2
5	引脚配置	3
5.1	引脚分布图	3
5.2	引脚详细说明	3
6	性能参数	6
6.1	绝对最大额定值	6
6.2	封装热阻	6
6.3	建议工作条件	6
6.4	电气性能 - 直流	7
6.5	电气性能 - 交流	7
6.6	典型测试结果	9
7	产品详细描述	12
7.1	概述	12
7.2	电源电压	12
7.3	控制接口	12
7.4	寄存器表	13
7.5	主要寄存器说明	35
8	封装和订购信息	36
9	修订版次	37
10	声明	38

5 引脚配置

5.1 引脚分布图

	1	2	3	4	5	6	7	8	9	10	11	12	
A	GND	GND	GND	INA+	INA-	GND	GND	DA3+	DA3-	DA2+	DA2-	GND	A
B	SYNCO+	GND	GND	GND	GND	GND	GND	DA7+	DA7-	DA6+	DA6-	GND	B
C	SYNCO-	SYNCB	VPLDO	VA18	VA10	GND	ANAOUTA	CLKTXP	VD10	VD10	DA5+	DA1+	C
D	GND	VA10	VA10	VA18	VA10	GND	VN06	CLKTXN	GND	GND	DA5-	DA1-	D
E	GND	VA18	VA18	VA18	VA10	GND	EXTCAP	CSN	VD10	VD10	DA4+	DA0+	E
F	CLK+	GND	GND	VA18	VA10	GND	<DUMMY_N ET>	SCLK	GND	GND	DA4-	DA0-	F
G	CLK-	GND	GND	VA18	VA10	GND	VD10	SDI	GND	GND	DB4-	DB0-	G
H	GND	VA18	VA18	VA18	VA10	GND	VD10	SDO	VD10	VD10	DB4+	DB0+	H
J	GND	VA10	VA10	VA18	VA10	GND	VN06	CLKGON	GND	GND	DB5-	DB1-	J
K	SYSREF+	TDIODE+	TDIODE-	VA18	VA10	RST	ANAOUTB	CLKGOF	VD10	VD10	DB5+	DB1+	K
L	SYSREF-	GND	GND	GND	GND	GND	GND	DB7+	DB7-	DB6+	DB6-	GND	L
M	GND	GND	GND	INB+	INB-	GND	GND	DB3+	DB3-	DB2+	DB2-	GND	M
	1	2	3	4	5	6	7	8	9	10	11	12	

图 5-1 AAD12D3000_BGA144 封装引脚分布图（顶视图）

5.2 引脚详细说明

表 5-1 AAD12D3000_BGA144 引脚说明

引脚		类型	功能描述
引脚编号	引脚名称		
A1, A2, A3, A6, A7, B2, B3, B4, B5, B6, B7, C6, D1, D6, E1, E6, F2, F3, F6, G2, G3, G6, H1, H6, J1, J6, L2, L3, L4, L5, L6, L7, M1, M2, M3, M6, M7, A12, B12, D9, D10, F9, F10, G9, G10, J9, J10, L12, M12	GND	地	模拟与数字地管脚，器件共用统一的模拟、数字、IO 地，PCB 设计需注意器件良好接地
C5, D2, D3, D5, E5, F5, G5, H5, J2, J3, J5, K5	VA10	电源	模拟电源，1.0V

C9, C10, E9, E10, G7, H7, H9, H10, K9, K10	VD10	电源	数字电源, 1.0V
C4, D4, E2, E3, E4, F4, G4, H2, H3, H4, J4, K4	VA18	电源	模拟电源, 1.8V
J7, D7	VN06	电源	模拟电源, -0.6V
K1	SYSREF+	输入	同步信号输入端口, 快沿脉冲信号, 直流耦合, LVDS 电平标准
L1	SYSREF-	输入	
F1	CLK+	输入	采样时钟输入端口, 频率为采样率的一半, 典型 频率 3GHz
G1	CLK-	输入	
B1	SYNCO+	输出	同步信号输出端口, LVDS 电平, 可用于同步另 一个器件
C1	SYNCO-	输出	
K2	TDIODE+	输入输出	温度监控端口, 连接外部温度监控芯片后可获得 芯片内部结温
K3	TDIODE-	输入输出	
C2	SYNCB	输入	JESD204B 单端 SYNC 信号, 低电平开启一次 新的建链过程
C3	VPLDO	输出	内部 PLL LDO 电源输出
M4	INB+	输入	B 通道模拟输入, 共模电压约 0.9V
M5	INB-	输入	
A4	INA+	输入	A 通道模拟输入, 共模电压约 0.9V
A5	INA-	输入	
K7	ANAOUSB	输出	内部模拟电压监控端口 B
C7	ANAOUTA	输出	内部模拟电压监控端口 A
E7	EXTCAP	PLL 环路滤波外接电容	内部 PLL 环路滤波外接电容
F7	DUMMY_NET	浮空管脚	N/C, 无内部电气连接
K8	CLKGOP	输出	芯片内部数字部分时钟输出
J8	CLKGON	输出	
C8	CLKTXP	输出	高速串行接口内部时钟输出
D8	CLKTXN	输出	
K6	RST	输入	SPI 复位, 高电平有效
H8	SDO	输出	SPI 数据输出
G8	SDI	输入	SPI 数据输入
F8	SCLK	输入	SPI 时钟输入
E8	CSN	输入	SPI 片选, 低电平有效
M8	DB3+	输出	通道 B Lane3 正端输出
M9	DB3-	输出	通道 B Lane3 负端输出
L8	DB7+	输出	通道 B Lane7 正端输出
L9	DB7-	输出	通道 B Lane7 负端输出
M10	DB2+	输出	通道 B Lane2 正端输出
M11	DB2-	输出	通道 B Lane2 负端输出
L10	DB6+	输出	通道 B Lane6 正端输出
L11	DB6-	输出	通道 B Lane6 负端输出
K12	DB1+	输出	通道 B Lane1 正端输出
J12	DB1-	输出	通道 B Lane1 负端输出

K11	DB5+	输出	通道 B Lane5 正端输出
J11	DB5-	输出	通道 B Lane5 负端输出
H12	DB0+	输出	通道 B Lane0 正端输出
G12	DB0-	输出	通道 B Lane0 负端输出
H11	DB4+	输出	通道 B Lane4 正端输出
G11	DB4-	输出	通道 B Lane4 负端输出
A8	DA3+	输出	通道 A Lane3 正端输出
A9	DA3-	输出	通道 A Lane3 负端输出
B8	DA7+	输出	通道 A Lane7 正端输出
B9	DA7-	输出	通道 A Lane7 负端输出
A10	DA2+	输出	通道 A Lane2 正端输出
A11	DA2-	输出	通道 A Lane2 负端输出
B10	DA6+	输出	通道 A Lane6 正端输出
B11	DA6-	输出	通道 A Lane6 负端输出
C12	DA1+	输出	通道 A Lane1 正端输出
D12	DA1-	输出	通道 A Lane1 负端输出
C11	DA5+	输出	通道 A Lane5 正端输出
D11	DA5-	输出	通道 A Lane5 负端输出
E12	DA0+	输出	通道 A Lane0 正端输出
F12	DA0-	输出	通道 A Lane0 负端输出
E11	DA4+	输出	通道 A Lane4 正端输出
F11	DA4-	输出	通道 A Lane4 负端输出

6 性能参数

6.1 绝对最大额定值

注意，超出绝对最大额定值可能会导致器件永久性损坏。绝对最大额定值仅代表产品的压力等级，不作为实现产品功能的工作条件的限值，超过本手册中推荐工作条件章节的限值均是不推荐的行为。

	最小值	最大值	单位
VAN06	-0.8	0.2	V
VA18	-0.2	2.1	V
VA10	-0.2	1.3	V
VD10	-0.2	1.3	V
VPLDO	-0.2	2.1	V
EXTCAP	-0.2	2.1	V
ANAOUT[A/B]	-0.2	2.1	V
CLK[+/-]	-0.2	1.2	V
D[A/B][7:0][+/-]	-0.2	1.2	V
SYNCO[+/-]	-0.2	2.1	V
CLKTX[P/N]/CLKGO[P/N]	-0.2	2.1	V
IN[A/B][+/-]	0.3	1.5	V
SYNCB/RST/SCLK/CSN/SDI/SDO	-0.2	2.1	V
SYSREF[+/-]	-0.2	2.1	V
TDIODE[+/-]	-0.2	2.1	V
差模电压（IN[A/B][+/-]）	-	1.8	V _{pp}
壳温	-40	+85	°C
储藏温度	-65	+150	°C

6.2 封装热阻

以下数据为封装热阻仿真结果，仿真条件为自然空气对流环境，JEDEC 2s2p PCB。为了使芯片发挥更佳性能，推荐用户在芯片顶部增加辅助散热装置。

封装类型	θ_{JA}	θ_{JC-TOP}	θ_{JC-Bot}
BGA144	17.0°C/W	0.5°C/W	4.1°C/W

6.3 ESD 信息

注意：本产品内置防静电保护装置有限，为了防止静电损坏门电路，在储存或处理过程中应使引脚短接在一起或将产品放置在导电泡沫材料中。

HBM（ANSI/ESDA/JEDEC JS 001 2017）：HBM 耐压值 1000V；HBM 等级：1C

6.4 建议工作条件

参数	最小值	标准值	最大值	单位
输入时钟频率	-	3.0	-	GHz
输入时钟幅度	0.4	1.2	1.8	V _{pp}
输入时钟占空比	45	50	55	%
输入时钟抖动	-	50	-	fs rms
输入时钟共模	0.3	0.5	0.7	V
模拟输入共模电压	0.85	0.9	1	V
模拟输入满量程	0.683	1.196	1.66	V _{pp}
SYSREF 输入频率	-	-	100	MHz
SYSREF 输入共模	1	1.2	1.5	V
SYSREF 输入电压	0.4	0.7	1.8	V _{pp}
TDIODE 偏置电流	-	100	-	μA
VAN06	-0.7	-0.6	-0.5	V
VD10	0.9	1.0	1.1	V

参数	最小值	标准值	最大值	单位
VA10	0.9	1.0	1.1	V
VA18	1.7	1.8	1.9	V

6.5 电气性能 - 直流

以下规格适用于 $T_A=+25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 。

参数		测试条件	最小值	典型值	最大值	单位
I _{VA} N06	-0.6V 电源电流	F _{CLK} =3GHz, 单通道 F _{IN} =113MHz	-	0.34	-	A
I _{VA} 10	1.0V 电源电流		-	0.44	-	A
I _{VD} 10	1.0V 电源电流		-	0.63	-	A
I _{VA} 18	1.8V 电源电流		-	1.734	-	A
P	功耗		-	4.397	-	W
R _{IN}	模拟输入直流阻抗	-	-	100	-	Ω
R _{IN-CLK}	差分时钟输入阻抗	-	-	100	-	Ω
V _{CM}	模拟输入共模	-	0.85	0.9	1.0	V
V _{CM-CLK}	时钟输入共模	-	0.3	0.5	0.7	V
V _{CM-SYSREF}	SYSREF 输入共模	-	1	1.2	1.5	V
V _{IN-FSR}	差分输入满量程	F _{CLK} =3GHz, 单通道 F _{IN} =113MHz	0.683	1.196	1.66	V _{pp}
DNL	微分非线性	F _{CLK} =3GHz, 单通道 F _{IN} =10MHz	-	±0.4	-	LSB
INL	积分非线性		-	±4	-	LSB
OffsetError	失调误差	F _{CLK} =3GHz, 单通道 F _{IN} =113MHz	-	0.05	-	%FSR
GainError	增益误差		-	0.08	-	%FSR
SkewError	时钟相位误差		-	0.05	-	ps

6.6 电气性能 - 交流

以下规格适用于 $T_A=+25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 。

参数		测试条件	最小值	典型值	最大值	单位
F _{BW}	模拟输入带宽	F _{CLK} =3GHz, 双通道 -3dB	-	7	-	GHz
		F _{CLK} =3GHz, 单通道 -3dB	-	5	-	GHz
F _{CLK}	输入时钟频率	-	-	3.0	-	GHz
Amp _{clk}	输入时钟幅度	-	0.4	1.2	1.8	Vpp
Jitter	时钟抖动	-	-	140	-	fs rms
NOISE	等效输入噪声	F _{CLK} =3GHz, 无输入	-	2.32	-	LSB rms
NF	噪声系数	F _{CLK} =3GHz, 单通道 F _{IN} =1.137GHz, -20dBFS	-	22.6	-	dB
CER	误码率	F _{CLK} =3GHz, 单通道, F _{IN} =1.137MHz, - 0.5dBFS 25℃~85℃	-	10 ⁻¹⁵	-	Errors
SINAD	信纳比	F _{CLK} =3GHz, 双通道 F _{IN} =347MHz, -3dBFS	-	51.50	-	dB
SNR	信噪比		-	54.89	-	dBFS
THD	总谐波失真		-	-63.03	-	dBc
SFDR	无杂散动态范围		-	63.77	-	dBc
ENOB	有效比特位		-	8.77	-	Bits
SINAD	信纳比	F _{CLK} =3GHz, 双通道 F _{IN} =1.137GHz, -3dBFS	-	50.19	-	dB
SNR	信噪比		-	53.76	-	dBFS
THD	总谐波失真		-	-59.61	-	dBc
SFDR	无杂散动态范围		-	63.74	-	dBc
ENOB	有效比特位		-	8.55	-	Bits
SINAD	信纳比	F _{CLK} =3GHz, 双通道 F _{IN} =2.413GHz, -3dBFS	-	48.13	-	dB
SNR	信噪比		-	51.75	-	dBFS
THD	总谐波失真		-	-57.10	-	dBc
SFDR	无杂散动态范围		-	58.95	-	dBc

参数	测试条件	最小值	典型值	最大值	单位
ENOB 有效比特位	$F_{CLK}=3GHz$, 单通道 $F_{IN}=347MHz$, -3dBFS	-	8.20	-	Bits
SINAD 信纳比		-	50.56	-	dB
SNR 信噪比		-	53.87	-	dBFS
THD 总谐波失真		-	-63.34	-	dBc
SFDR 无杂散动态范围		-	59.98	-	dBc
ENOB 有效比特位		-	8.61	-	Bits
SINAD 信纳比	$F_{CLK}=3GHz$, 单通道 $F_{IN}=1.137GHz$, -3dBFS	-	49.9	-	dB
SNR 信噪比		-	53.30	-	dBFS
THD 总谐波失真		-	-61.06	-	dBc
SFDR 无杂散动态范围		-	59.78	-	dBc
ENOB 有效比特位		-	8.50	-	Bits
SINAD 信纳比	$F_{CLK}=3GHz$, 单通道 $F_{IN}=2.413GHz$, -3dBFS	-	46.90	-	dB
SNR 信噪比		-	50.40	-	dBFS
THD 总谐波失真		-	-56.84	-	dBc
SFDR 无杂散动态范围		-	58.58	-	dBc
ENOB 有效比特位		-	8.00	-	Bits

6.7 典型测试结果

非特别注明，以下测试均在 $T_A=25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ ， $F_{\text{CLK}}=3\text{GHz}$ ，到芯片端口时钟幅度 $\sim 1.2\text{Vpp}$ ，单音信号输入， $V_{\text{AN06}}=-0.6\text{V}$ ， $V_{\text{A18}}=1.8\text{V}$ ， $V_{\text{D10}}=V_{\text{A10}}=1.0\text{V}$ ，并在校准后所得：

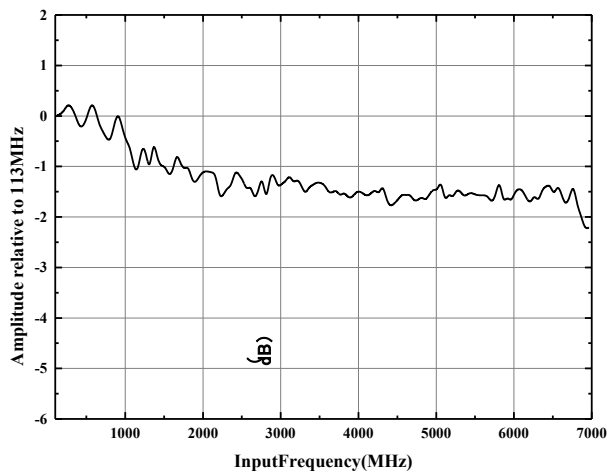


图 6-1 输入幅度 VS 输入频率(双通道 3GSPS)

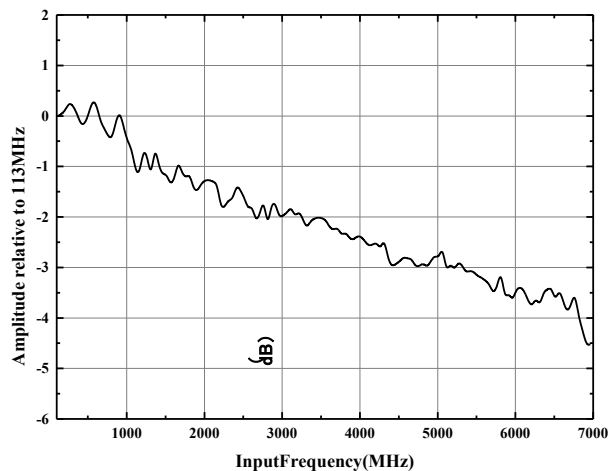


图 6-2 输入幅度 VS 输入频率(单通道 6GSPS)

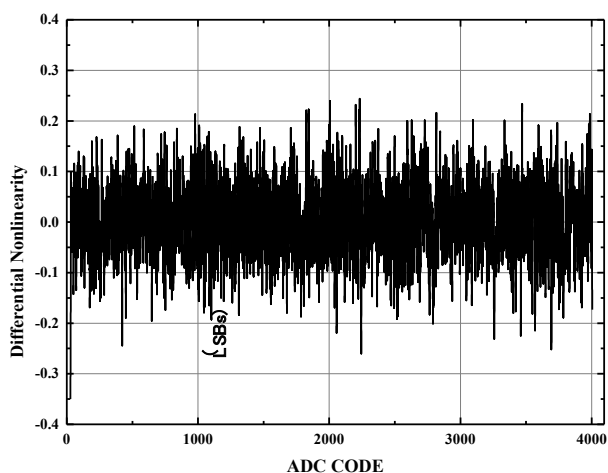


图 6-3 微分非线性 DNL@10MHz

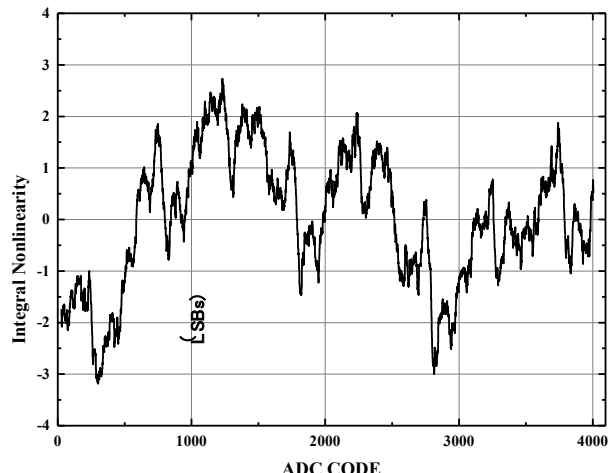


图 6-4 积分非线性 INL@10MHz

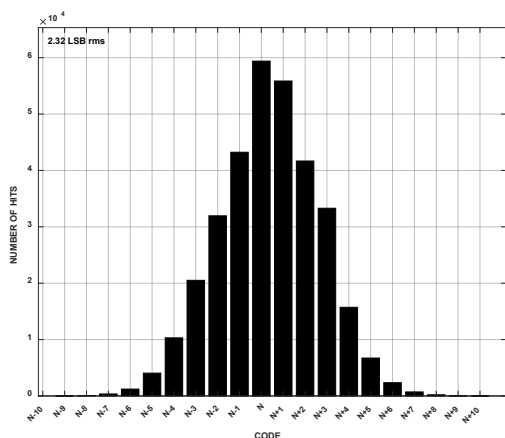


图 6-5 等效输入噪声

典型测试结果（续）

非特别注明，以下测试均在 $T_A=25^{\circ}\text{C}\pm 5^{\circ}\text{C}$ ， $F_{\text{CLK}}=3\text{GHz}$ ，到芯片端口时钟幅度 $\sim 1.2\text{Vpp}$ ，ADC 输入幅值为 -3dBFS ，单音信号输入， $\text{VAN06}=-0.6\text{V}$ ， $\text{VA18}=1.8\text{V}$ ， $\text{VD10}=\text{VA10}=1.0\text{V}$ ，并在校准后所得：

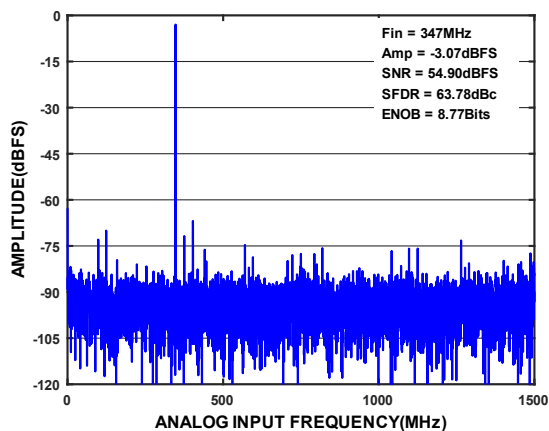


图 6-6 $\text{Fin} = 347\text{MHz}@$ 双通道 3GSPS

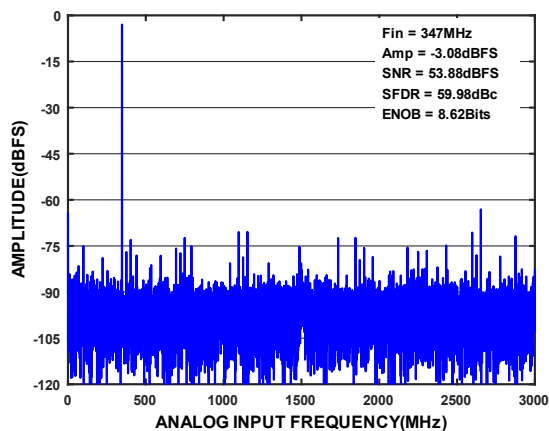


图 6-7 $\text{Fin} = 347\text{MHz}@$ 单通道 6GSPS

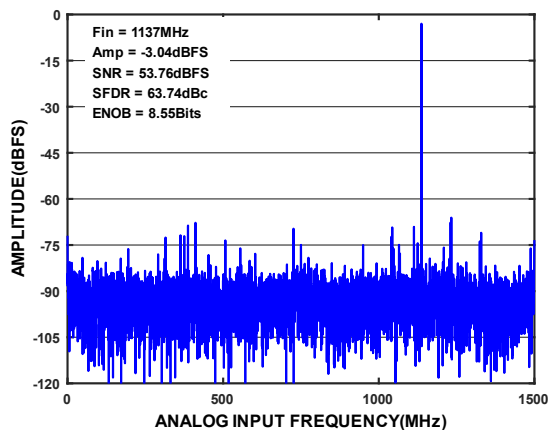


图 6-8 $\text{Fin} = 1.137\text{GHz}@$ 双通道 3GSPS

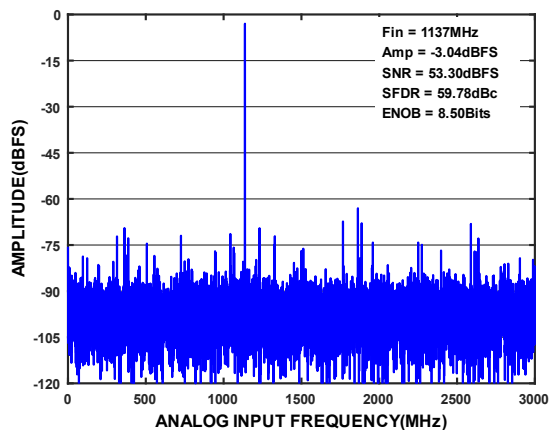


图 6-9 $\text{Fin} = 1.137\text{GHz}@$ 单通道 6GSPS

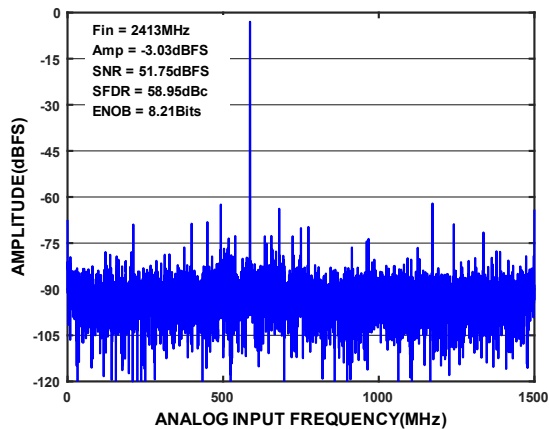


图 6-10 $\text{Fin} = 2.413\text{GHz}@$ 双通道 3GSPS

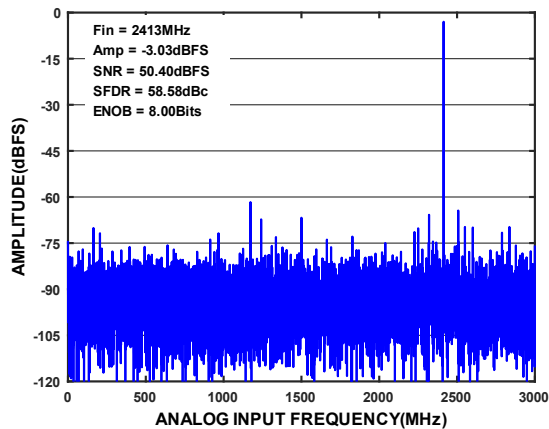


图 6-11 $\text{Fin} = 2.413\text{GHz}@$ 单通道 6GSPS

典型测试结果（续）

非特别注明，以下测试均在 $F_{CLK}=3GHz$ ，到芯片端口时钟幅度~1.2Vpp，ADC 输入幅值为-3dBFS，单音信号输入， $V_{AN06}=-0.6V$ ， $V_{A18}=1.8V$ ， $V_{D10}=V_{A10}=1.0V$ ，并在校准后所得：

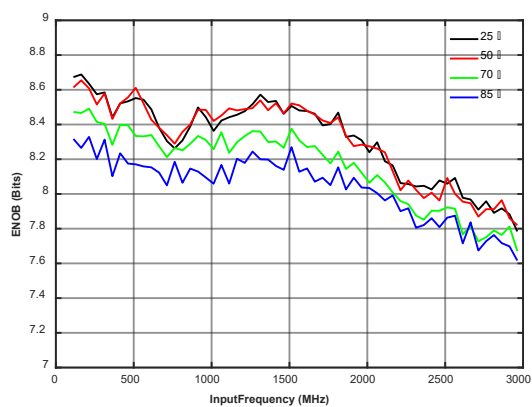


图 6-12 ENOB vs Inputfrequency and Temperature

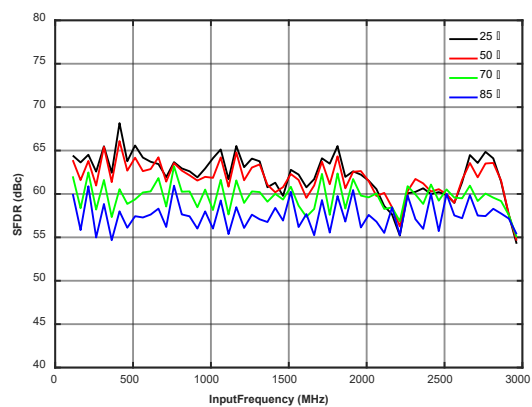


图 6-13 SFDR vs Inputfrequency and Temperature

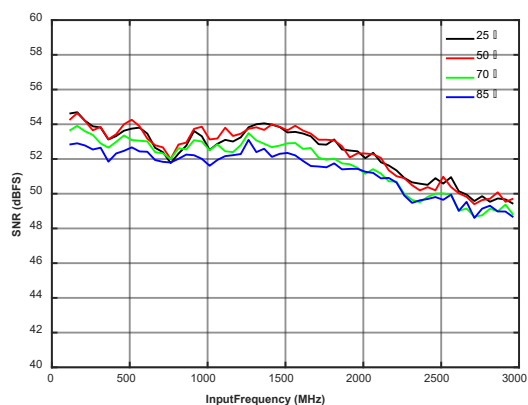


图 6-112 SNR vs Inputfrequency and Temperature

7 产品详细描述

7.1 概述

AAD12D3000 是一款射频采样高速模数转换器，可对从直流到 7GHz 以上的输入频率进行直接采样，AAD12D3000 可配置为双通道 3GSPS 模式或单通道 6GSPS 模式。

AAD12D3000 使用多达 16 个串行通道的高速 JESD204B 输出接口，支持最高 8Gbps 的线速率。通过 JESD204B 子类 1 支持确定性延迟和多芯片同步。

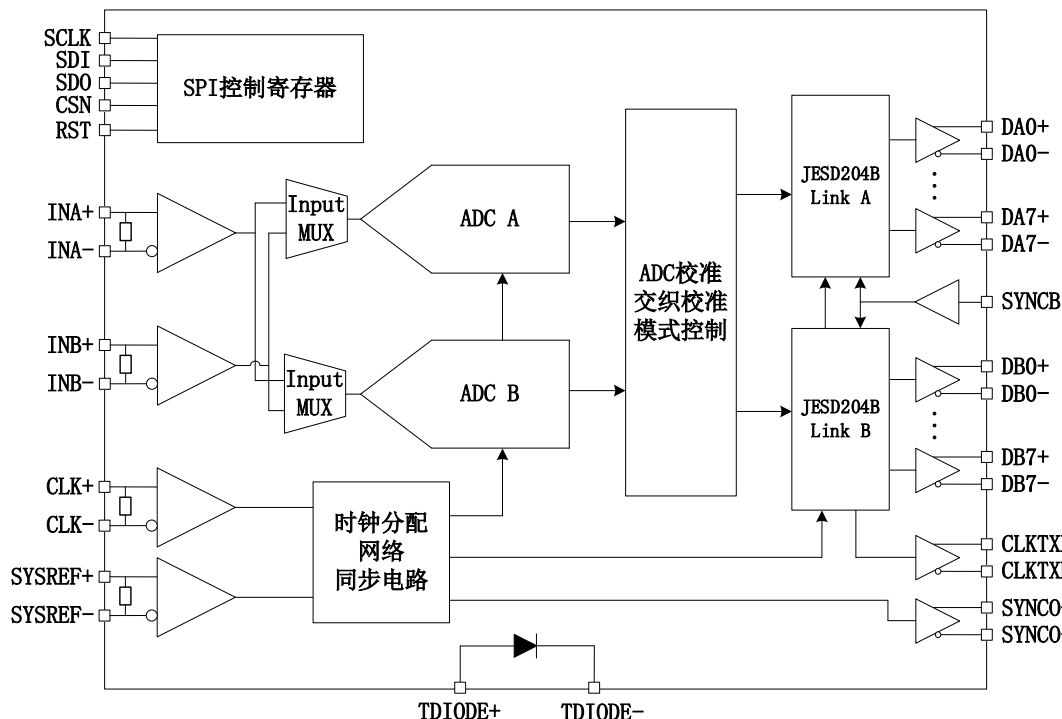


图 7-1 AAD12D3000 结构框图

7.2 电源电压

AAD12D3000 采用 1.8V/1.0V/-0.6V 三种电源电压供电。其中，VA18 典型工作电流约 2.2A，为实现最佳性能，建议采用低噪声 LDO 供电；VD10、VA10 典型工作电流为 0.64A、0.57A，分别为高速串行接口以及数字电路供电电压，建议采用 LDO 供电；VN06 典型工作电流为 0.34A，为模拟输入缓冲电路供电电源，建议采用低噪声 LDO 供电。

7.3 控制接口

SPI 总线控制，一次发送 32bit 数据，发送顺序依次为 1bit 的读写使能位，15bit 的地址位以及 16bit 的数据位，其中读写使能位配置高电平为写使能，低电平为读使能。电平标准为 CMOS 1.8V，最大支持 10MHz 速率读写。SPI 接口时序如图 7-2 所示，时序定义如表 7-1。

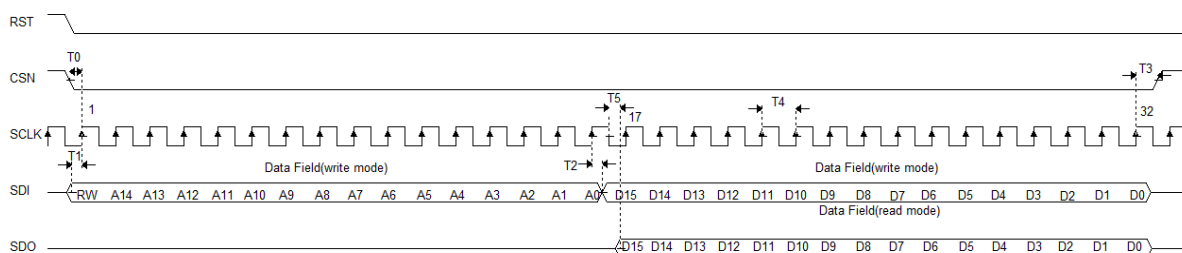


图 7-2 SPI 接口时序

表 7-2 SPI 接口时序定义

名称	最小值	最大值	描述
T0	8ns	-	csn 到 sclk 上升沿建立时间
T1	8ns	-	sdi 到 sclk 上升沿建立时间
T2	8ns	-	sdi 到 sclk 上升沿保持时间
T3	8ns	-	csn 到 sclk 上升沿保持时间
T4	100ns	-	sclk 时钟周期
T5	-	8ns	sclk 上升沿后数据输出延迟时间

7.4 寄存器表

表 7-3 寄存器表

地址	描述		读写	默认值
15'h0	[15:0]	ChipID	R	16'h0311
15'h1	[11:8]	ANA2_CTRL_SPI, 模拟电压监控端口 B 电压选择	R/W	4'b0000
	[7:4]	THA_CURR_SPI, 采保偏置控制	R/W	4'b1000
	[3:0]	ANA_CTRL_SPI, 模拟电压监控端口 MUX 选择	R/W	4'b0000
15'h2	[14:12]	REF500_SPI, AMUX 偏置电压	R/W	3'b010
	[9:8]	SPI_INPUT_VCM, VCM 内部环路控制, 高有效	R/W	2'b0
	[6:4]	REF900_SPI, 内部 0.9V 电压控制	R/W	3'b010
	[2:0]	REF1000_SPI, 内部 1V 电压控制	R/W	3'b011
15'h3	[8]	SPI_AMUX_POSI, AMUX 负阻性能优化使能, 高有效	R/W	1'b1
	[6:4]	SPI_THS_TURN, 采保时钟顺序切换	R/W	3'b001
	[3:0]	SPI_OUTBUF_POSI, OutBuf 使能, 低有效	R/W	4'b1111
15'h4	[5:0]	SPI_TI_SINGLE, 输入通道配置切换	R/W	6'b000111
15'h5	[9:0]	VDL_MAIN1, 主时钟延迟	R/W	10'b01111100000
15'h6	[9:0]	VDL_MAIN2, 主时钟延迟	R/W	10'b01111100000
15'h7	[9:0]	VDL_TH1, 采保 1-ADC1 时钟延迟, 详细说明见 7.5 章节	R/W	10'b01111100000
15'h8	[9:0]	VDL_TH2, 采保 2-ADC2 时钟延迟, 详细说明见 7.5 章节	R/W	10'b01111100000
15'h9	[9:0]	VDL_TH3, 采保 3-ADC3 时钟延迟, 详细说明见 7.5 章节	R/W	10'b01111100000
15'hA	[9:0]	VDL_TH4, 采保 4-ADC4 时钟延迟, 详细说明见 7.5 章节	R/W	10'b01111100000
15'hB	[9:0]	VDL_BTH1, 采保 5-BADC1 时钟延迟, 详细说明见 7.5 章节	R/W	10'b01111100000
15'hC	[9:0]	VDL_BTH2, 采保 6-BADC2 时钟延迟, 详细说明见 7.5 章节	R/W	10'b01111100000
15'hD	[9:0]	VDL_BTH3, 采保 7-BADC3 时钟延迟, 详细说明见 7.5 章节	R/W	10'b01111100000
15'hE	[9:0]	VDL_BTH4, 采保 8-BADC4 时钟延迟, 详细说明见 7.5 章节	R/W	10'b01111100000
15'hF	[15:12]	SPI_MDAC1_PH3_MUX[3:0], CHA_UP-ADC15/ADC13 MDAC1 采样时钟延迟器	R/W	4'b0111
	[11:8]	SPI_MDAC1_PH2_MUX[3:0], CHB_BE-ADC48/BADC24 MDAC1 采样时钟延迟器	R/W	4'b0111
	[7:4]	SPI_MDAC1_PH1_MUX[3:0], CHA_BE-ADC37/ADC24 MDAC1 采样时钟延迟器	R/W	4'b0111
	[3:0]	SPI_MDAC1_PH0_MUX[3:0], CHB_UP-ADC26/BADC13 MDAC1 采样时钟延迟器	R/W	4'b0111
15'h10	[0]	MAIN_VDL_MUX_SPI, 可变延迟器选择	R/W	1'b1
15'h11	[15:8]	SYN_DEC_VDL[7:0], SYNC 内部模拟延迟	R/W	8'b10001000
	[6:4]	SYNC_DFF[2:0], SYNC 内部整延迟	R/W	3'b010

地址	描述		读写	默认值
	[1]	DIG_SYNC_EN_SPI, 使能数字接口 SYNC 功能, 高有效	R/W	1'b0
	[0]	ADC_SYNC_EN_SPI, 使能 ADC SYNC 功能, 高有效	R/W	1'b0
15'h12	[7:0]	SYN_OUT_VDL[7:0], SYNC 输出延迟	R/W	8'b10001000
15'h13	[4]	EDGE_SEL, 上升下降沿选择, 0 为上升沿	R/W	1'b0
	[0]	CK_RST_SPI, 边沿检测电路复位, 低有效	R/W	1'b1
15'h14	[6:4]	SPI_CLK_TI[3:1], 时钟交织模式调节	R/W	3'b100
	[3:0]	LVDS_CURR_SPI[3:0], 复位输出 LVDS 电流调节, 默认 4'b1000	R/W	4'b1000
15'h15	[10:8]	ADC1_SPI_REF_CON[2:0], ADC1-Reference Buffer 电流控制	R/W	3'b011
	[7:4]	ADC1_BIAS_OP_D_SPI[3:0], ADC1 运放偏置电流控制	R/W	4'b1000
15'h17	[7:0]	ADC1_BIAS_CTRL_SPI[25:0], REF1200_LDO/REF600_LDO/REF1200_ref/REF900/REF600_ref/REF400 /ADC1 偏置控制	R/W	26'b1000_0111_10 00_010_0111_010 _1000
15'h16	[15:12]			
	[10:8]			
	[7:4]			
	[2:0]			
15'h15	[3:0]			
15'h18	[7:4]	ADC1_CMP_BIAS_ENB_SPI, 比较器偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
	[3:0]	ADC1_BIAS_ENB_SPI, 共模反馈偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
15'h19	[1:0]	ADC1_C2_ST1_SPI[2:1], ADC1 第一级 Dither 使能	R/W	2'b00
	[4]	ADC1_C2_ST2_SPI, ADC1 第二级 Dither 使能	R/W	1'b0
	[8]	ADC1_C2_ST3_SPI, ADC1 第三级 Dither 使能	R/W	1'b0
	[12]	ADC1_C2_ST4_SPI, ADC1 第四级 Dither 使能	R/W	1'b0
15'h1A	[15:0]	ADC1_CMP_ST1_SPI[16:1], ADC1 第一级比较器校准	R/W	16'b0111_0111_01 11_0111
15'h1B	[6:4]	ADC1_D_DITHER_SPI[2:0], ADC1 LargeDither 比例控制	R/W	3'b100
	[0]	ADC1_DITHER_RST_SPI, ADC1 Dither 码复位	R/W	1'b0
15'h1C	[8:0]	ADC1_DITHER_S0_SPI[9:1], ADC1 Dither 码控制	R/W	9'b000000000
15'h1D	[8:0]	ADC1_DITHER_S1_SPI[9:1], ADC1 Dither 码控制	R/W	9'b000000000
15'h1E	[15:2]	ADC1_RESERVED, ADC1 预留	R/W	16'h0000
	[1]	ADC1_RST_BTS_ENB_SPI, 复位电路电压移位使能	R/W	1'b0
	[0]	ADC1_CKO_INV_CTRL, CKO 时钟极性控制	R/W	1'b0
15'h1F	[10:8]	ADC2_SPI_REF_CON[2:0], ADC2-Reference Buffer 电流控制	R/W	3'b011
	[7:4]	ADC2_BIAS_OP_D_SPI[3:0], ADC2 运放偏置电流控制	R/W	4'b1000
15'h21	[7:0]	ADC2_BIAS_CTRL_SPI[25:0], REF1200_LDO/REF600_LDO/REF1200_ref/REF900/REF600_ref/REF400 /ADC2 偏置控制	R/W	26'b1000_0111_10 00_010_0111_010 _1000
15'h20	[15:12]			
	[10:8]			
	[7:4]			
	[2:0]			
15'h1F	[3:0]			
15'h22	[7:4]	ADC2_CMP_BIAS_ENB_SPI, 比较器偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
	[3:0]	ADC1_BIAS_ENB_SPI, 共模反馈偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
15'h23	[1:0]	ADC2_C2_ST1_SPI[2:1], ADC2 第一级 Dither 使能	R/W	2'b00

地址	描述		读写	默认值
	[4]	ADC2_C2_ST2_SPI, ADC2 第二级 Dither 使能	R/W	1'b0
	[8]	ADC2_C2_ST3_SPI, ADC2 第三级 Dither 使能	R/W	1'b0
	[12]	ADC2_C2_ST4_SPI, ADC2 第四级 Dither 使能	R/W	1'b0
15'h24	[15:0]	ADC2_CMP_ST1_SPI[16:1], ADC2 第一级比较器校准	R/W	16'b0111_0111_0111_0111
15'h25	[6:4]	ADC2_D_DITHER_SPI[2:0], ADC2 LargeDither 比例控制	R/W	3'b100
	[0]	ADC2_DITHER_RST_SPI, ADC2 Dither 码复位	R/W	1'b0
15'h26	[8:0]	ADC2_DITHER_S0_SPI[9:1], ADC2 Dither 码控制	R/W	9'b000000000
15'h27	[8:0]	ADC2_DITHER_S1_SPI[9:1], ADC2 Dither 码控制	R/W	9'b000000000
15'h28	[15:2]	ADC2_RESERVED, ADC2 预留	R/W	16'h0000
	[1]	ADC2_RST_BTS_ENB_SPI, 复位电路电压移位使能	R/W	1'b0
	[0]	ADC2_CKO_INV_CTRL, CKO 时钟极性控制	R/W	1'b0
15'h29	[10:8]	ADC3_SPI_REF_CON[2:0], ADC3-Reference Buffer 电流控制	R/W	3'b011
	[7:4]	ADC3_BIAS_OP_D_SPI[3:0], ADC3 运放偏置电流控制	R/W	4'b1000
15'h2B	[7:0]	ADC3_BIAS_CTRL_SPI[25:0], REF1200_LDO/REF600_LDO/REF1200_ref/REF900/REF600_ref/REF400 /ADC3 偏置控制	R/W	26'b1000_0111_1000_010_0111_010_1000
15'h2A	[15:12]			
	[10:8]			
	[7:4]			
	[2:0]			
15'h29	[3:0]			
15'h2C	[7:4]	ADC3_CMP_BIAS_ENB_SPI, 比较器偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
	[3:0]	ADC3_BIAS_ENB_SPI, 共模反馈偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
15'h2D	[1:0]	ADC3_C2_ST1_SPI[2:1], ADC3 第一级 Dither 使能	R/W	2'b00
	[4]	ADC3_C2_ST2_SPI, ADC3 第二级 Dither 使能	R/W	1'b0
	[8]	ADC3_C2_ST3_SPI, ADC3 第三级 Dither 使能	R/W	1'b0
	[12]	ADC3_C2_ST4_SPI, ADC3 第四级 Dither 使能	R/W	1'b0
15'h2E	[15:0]	ADC3_CMP_ST1_SPI[16:1], ADC3 第一级比较器校准	R/W	16'b0111_0111_0111_0111
15'h2F	[6:4]	ADC3_D_DITHER_SPI[2:0], ADC3 LargeDither 比例控制	R/W	3'b100
	[0]	ADC3_DITHER_RST_SPI, ADC3 Dither 码复位	R/W	1'b0
15'h30	[8:0]	ADC3_DITHER_S0_SPI[9:1], ADC3 Dither 码控制	R/W	9'b000000000
15'h31	[8:0]	ADC3_DITHER_S1_SPI[9:1], ADC3 Dither 码控制	R/W	9'b000000000
15'h32	[15:2]	ADC3_RESERVED, ADC3 预留	R/W	16'h0000
	[1]	ADC3_RST_BTS_ENB_SPI, 复位电路电压移位使能	R/W	1'b0
	[0]	ADC3_CKO_INV_CTRL, CKO 时钟极性控制	R/W	1'b0
15'h33	[10:8]	ADC4_SPI_REF_CON[2:0], ADC4-Reference Buffer 电流控制	R/W	3'b011
	[7:4]	ADC4_BIAS_OP_D_SPI[3:0], ADC4 运放偏置电流控制	R/W	4'b1000
15'h35	[7:0]	ADC4_BIAS_CTRL_SPI[25:0], REF1200_LDO/REF600_LDO/REF1200_ref/REF900/REF600_ref/REF400 /ADC4 偏置控制	R/W	26'b1000_0111_1000_010_0111_010_1000
15'h34	[15:12]			
	[10:8]			
	[7:4]			
	[2:0]			
15'h33	[3:0]			

地址	描述		读写	默认值
15'h36	[7:4]	ADC4_CMP_BIAS_ENB_SPI, 比较器偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
	[3:0]	ADC4_BIAS_ENB_SPI, 共模反馈偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
15'h37	[1:0]	ADC4_C2_ST1_SPI[2:1], ADC4 第一级 Dither 使能	R/W	2'b00
	[4]	ADC4_C2_ST2_SPI, ADC4 第二级 Dither 使能	R/W	1'b0
	[8]	ADC4_C2_ST3_SPI, ADC4 第三级 Dither 使能	R/W	1'b0
	[12]	ADC4_C2_ST4_SPI, ADC4 第四级 Dither 使能	R/W	1'b0
15'h38	[15:0]	ADC4_CMP_ST1_SPI[16:1], ADC4 第一级比较器校准	R/W	16'b0111_0111_0111_0111
15'h39	[6:4]	ADC4_D_DITHER_SPI[2:0], ADC4 LargeDither 比例控制	R/W	3'b100
	[0]	ADC4_DITHER_RST_SPI, ADC4 Dither 码复位	R/W	1'b0
15'h3A	[8:0]	ADC4_DITHER_S0_SPI[9:1], ADC4 Dither 码控制	R/W	9'b000000000
15'h3B	[8:0]	ADC4_DITHER_S1_SPI[9:1], ADC4 Dither 码控制	R/W	9'b000000000
15'h3C	[15:2]	ADC4_RESERVED, ADC4 预留	R/W	16'h0000
	[1]	ADC4_RST_BTS_ENB_SPI, 复位电路电压移位使能	R/W	1'b0
	[0]	ADC4_CKO_INV_CTRL, CKO 时钟极性控制	R/W	1'b0
15'h3D	[10:8]	BADC1_SPI_REF_CON[2:0], BADC1-Reference Buffer 电流控制	R/W	3'b011
	[7:4]	BADC1_BIAS_OP_D_SPI[3:0], BADC1 运放偏置电流控制	R/W	4'b1000
15'h3F	[7:0]	BADC1_BIAS_CTRL_SPI[25:0], REF1200_LDO/REF600_LDO/REF1200_ref/REF900/REF600_ref/REF400 /BADC1 偏置控制	R/W	26'b1000_0111_1000_010_0111_010_1000
15'h3E	[15:12]			
	[10:8]			
	[7:4]			
15'h3D	[2:0]			
15'h40	[7:4]	BADC1_CMP_BIAS_ENB_SPI, 比较器偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
	[3:0]	BADC1_BIAS_ENB_SPI, 共模反馈偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
15'h41	[1:0]	BADC1_C2_ST1_SPI[2:1], BADC1 第一级 Dither 使能	R/W	2'b00
	[4]	BADC1_C2_ST2_SPI, BADC1 第二级 Dither 使能	R/W	1'b0
	[8]	BADC1_C2_ST3_SPI, BADC1 第三级 Dither 使能	R/W	1'b0
	[12]	BADC1_C2_ST4_SPI, BADC1 第四级 Dither 使能	R/W	1'b0
15'h42	[15:0]	BADC1_CMP_ST1_SPI[16:1], BADC1 第一级比较器校准	R/W	16'b0111_0111_0111_0111
15'h43	[6:4]	BADC1_D_DITHER_SPI[2:0], BADC1 LargeDither 比例控制	R/W	3'b100
	[0]	BADC1_DITHER_RST_SPI, BADC1 Dither 码复位	R/W	1'b0
15'h44	[8:0]	BADC1_DITHER_S0_SPI[9:1], BADC1 Dither 码控制	R/W	9'b000000000
15'h45	[8:0]	BADC1_DITHER_S1_SPI[9:1], BADC1 Dither 码控制	R/W	9'b000000000
15'h46	[15:2]	BADC1_RESERVED, BADC1 预留	R/W	16'h0000
	[1]	BADC1_RST_BTS_ENB_SPI, 复位电路电压移位使能	R/W	1'b0
	[0]	BADC1_CKO_INV_CTRL, CKO 时钟极性控制	R/W	1'b0
15'h47	[10:8]	BADC2_SPI_REF_CON[2:0], BADC2-Reference Buffer 电流控制	R/W	3'b011
	[7:4]	BADC2_BIAS_OP_D_SPI[3:0], BADC2 运放偏置电流控制	R/W	4'b1000
15'h49	[7:0]	BADC2_BIAS_CTRL_SPI[25:0], REF1200_LDO/REF600_LDO/REF1200_ref/REF900/REF600_ref/REF400 /BADC2 偏置控制	R/W	26'b1000_0111_1000_010_0111_010_1000
15'h48	[15:12]			
	[10:8]			

地址	描述		读写	默认值
15'h47	[7:4]			
	[2:0]			
	[3:0]			
15'h4A	[7:4]	BADC2_CMP_BIAS_ENB_SPI, 比较器偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
	[3:0]	BADC2_BIAS_ENB_SPI, 共模反馈偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
15'h4B	[1:0]	BADC2_C2_ST1_SPI[2:1], BADC2 第一级 Dither 使能	R/W	2'b00
	[4]	BADC2_C2_ST2_SPI, BADC2 第二级 Dither 使能	R/W	1'b0
	[8]	BADC2_C2_ST3_SPI, BADC2 第三级 Dither 使能	R/W	1'b0
	[12]	BADC2_C2_ST4_SPI, BADC2 第四级 Dither 使能	R/W	1'b0
15'h4C	[15:0]	BADC2_CMP_ST1_SPI[16:1], BADC2 第一级比较器校准	R/W	16'b0111_0111_0111_0111
15'h4D	[6:4]	BADC2_D_DITHER_SPI[2:0], BADC2 LargeDither 比例控制	R/W	3'b100
	[0]	BADC2_DITHER_RST_SPI, BADC2 Dither 码复位	R/W	1'b0
15'h4E	[8:0]	BADC2_DITHER_S0_SPI[9:1], BADC2 Dither 码控制	R/W	9'b000000000
15'h4F	[8:0]	BADC2_DITHER_S1_SPI[9:1], BADC2 Dither 码控制	R/W	9'b000000000
15'h50	[15:2]	BADC2_RESERVED, BADC2 预留	R/W	16'h0000
	[1]	BADC2_RST_BTS_ENB_SPI, 复位电路电压移位使能	R/W	1'b0
	[0]	BADC2_CKO_INV_CTRL, CKO 时钟极性控制	R/W	1'b0
15'h51	[10:8]	BADC3_SPI_REF_CON[2:0], BADC3-Reference Buffer 电流控制	R/W	3'b011
	[7:4]	BADC3_BIAS_OP_D_SPI[3:0], BADC3 运放偏置电流控制	R/W	4'b1000
15'h53	[7:0]	BADC3_BIAS_CTRL_SPI[25:0], REF1200_LDO/REF600_LDO/REF1200_ref/REF900/REF600_ref/REF400 /BADC3 偏置控制	R/W	26'b1000_0111_1000_010_0111_010_1000
15'h52	[15:12]			
	[10:8]			
	[7:4]			
	[2:0]			
15'h51	[3:0]			
15'h54	[7:4]	BADC3_CMP_BIAS_ENB_SPI, 比较器偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
	[3:0]	BADC3_BIAS_ENB_SPI, 共模反馈偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
15'h55	[1:0]	BADC3_C2_ST1_SPI[2:1], BADC3 第一级 Dither 使能	R/W	2'b00
	[4]	BADC3_C2_ST2_SPI, BADC3 第二级 Dither 使能	R/W	1'b0
	[8]	BADC3_C2_ST3_SPI, BADC3 第三级 Dither 使能	R/W	1'b0
	[12]	BADC3_C2_ST4_SPI, BADC3 第四级 Dither 使能	R/W	1'b0
15'h56	[15:0]	BADC3_CMP_ST1_SPI[16:1], BADC3 第一级比较器校准	R/W	16'b0111_0111_0111_0111
15'h57	[6:4]	BADC3_D_DITHER_SPI[2:0], BADC3 LargeDither 比例控制	R/W	3'b100
15'h57	[0]	BADC3_DITHER_RST_SPI, BADC3 Dither 码复位	R/W	1'b0
15'h58	[8:0]	BADC3_DITHER_S0_SPI[9:1], BADC3 Dither 码控制	R/W	9'b000000000
15'h59	[8:0]	BADC3_DITHER_S1_SPI[9:1], BADC3 Dither 码控制	R/W	9'b000000000
15'h5A	[15:2]	BADC3_RESERVED, BADC3 预留	R/W	16'h0000
	[1]	BADC3_RST_BTS_ENB_SPI, 复位电路电压移位使能	R/W	1'b0
	[0]	BADC3_CKO_INV_CTRL, CKO 时钟极性控制	R/W	1'b0
15'h5B	[10:8]	BADC4_SPI_REF_CON[2:0], BADC4-Reference Buffer 电流控制	R/W	3'b011
	[7:4]	BADC4_BIAS_OP_D_SPI[3:0], BADC4 运放偏置电流控制	R/W	4'b1000

地址	描述		读写	默认值
15'h5D	[7:0]	BADC4_BIAS_CTRL_SPI[25:0], REF1200_LDO/REF600_LDO/REF1200_ref/REF900/REF600_ref/REF400 /BADC4 偏置控制	R/W	26'b1000_0111_10 00_010_0111_010 _1000
15'h5C	[15:12]			
	[10:8]			
	[7:4]			
	[2:0]			
15'h5B	[3:0]			
15'h5E	[7:4]	BADC4_CMP_BIAS_ENB_SPI, 比较器偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
	[3:0]	BADC4_BIAS_ENB_SPI, 共模反馈偏置控制, 只有为 4'b1010 时生效	R/W	4'b0000
15'h5F	[1:0]	BADC4_C2_ST1_SPI[2:1], BADC4 第一级 Dither 使能	R/W	2'b00
	[4]	BADC4_C2_ST2_SPI, BADC4 第二级 Dither 使能	R/W	1'b0
	[8]	BADC4_C2_ST3_SPI, BADC4 第三级 Dither 使能	R/W	1'b0
	[12]	BADC4_C2_ST4_SPI, BADC4 第四级 Dither 使能	R/W	1'b0
15'h60	[15:0]	BADC4_CMP_ST1_SPI[16:1], BADC4 第一级比较器校准	R/W	16'b0111_0111_01 11_0111
15'h61	[6:4]	BADC4_D_DITHER_SPI[2:0], BADC4 LargeDither 比例控制	R/W	3'b100
	[0]	BADC4_DITHER_RST_SPI, BADC4 Dither 码复位	R/W	1'b0
15'h62	[8:0]	BADC4_DITHER_S0_SPI[9:1], BADC4 Dither 码控制	R/W	9'b000000000
15'h63	[8:0]	BADC4_DITHER_S1_SPI[9:1], BADC4 Dither 码控制	R/W	9'b000000000
15'h64	[15:2]	BADC4_RESERVED, BADC4 预留	R/W	16'h0000
	[1]	BADC4_RST_BTS_ENB_SPI, 复位电路电压移位使能	R/W	1'b0
	[0]	BADC4_CKO_INV_CTRL, CKO 时钟极性控制	R/W	1'b0
15'h65	[0]	MEAS[0], 边沿区间检测结果	R	-
	[1]	MEAS[1], 边沿区间检测结果	R	-
15'h66	[0]	mem_lock, memory 数据锁存信号	R/W	1'b0
15'h67	[15:0]	mem_data, memory 数据, memory 包含 1024 个采样数据。在数据锁存后, 重复读取该寄存器的值可以得到 1024 个数据。	R	-
15'h68	[15:0]	efuse_password, efuse 密码寄存器, 用于保护 efuse, 防止出现误操作。当用户在该寄存器中写入正确的密码 0x956D 时, efuse 才运行写入数据	R/W	16'h0000
15'h69	[10:0]	efuse_tpp, 调节 efuse 的写操作的 tpp 脉宽, 需要根据当前的采样率进行设置。默认值是 10G 采样率下的 tpp 参数	R/W	11'd938
15'h6A	[0]	efuse_wr, efuse 读写控制, 高电平为写, 低电平为读	R/W	1'b0
15'h6B	[0]	efuse_exec, efuse 读写执行寄存器, 该寄存器从低到高的过程将触发一次读写操作, 若进行第二次读写时必须将该寄存器先置低再置高。	R/W	1'b0
15'h6C	[9:0]	efuse_addr, efuse 地址寄存器, 0~335 对应 efuse1, 512~847 对应 efuse2	R/W	10'd0
15'h6D	[7:0]	efuse_wdata, efuse 的写数据, 当 efuse_exec 从低到高时且 efuse_wr 为 1 时, 该数据会写入对应地址的存储区内	R/W	8'd0
15'h6E	[7:0]	efuse_rdata, efuse 的读数据, 当 efuse_exec 从低到高时且 efuse_wr 为 0 时, 该寄存器会返回对应地址内的数据	R	-
15'h6F	[0]	efuse_busy, efuse 忙信号, 若当前正在 efuse 的读/写操作过程中, 该寄存器的返回值为 1, 否则为 0	R	-
15'h2000	[12]	TX0_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX0_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000

地址	描述		读写	默认值
	[7]	TX0_DRV_EN, TX0 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX0_BITCLKGEN_EN, TX0 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX0_BIAS_EN, TX0 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX0_RSTN, TX0 总使能端, 高有效	R/W	1'b1
	[3:2]	TX0_SYMBOL_MODE, TX0 输入比特模式控制	R/W	2'b01
	[1:0]	TX0_SYMBOL_WIDTH, TX0 输入比特数控制	R/W	2'b01
15'h2001	[13:8]	TX0_POST_LEVEL, TX0 去加重强度控制	R/W	6'b000000
	[5:0]	TX0_LEVEL, TX0 输出摆幅控制	R/W	6'b000000
15'h2002	[8:4]	TX0_PRE_LEVEL, TX0 预加重强度控制	R/W	5'b00100
	[3:0]	TX0_TERM_CTRL, TX0 输出阻抗控制	R/W	4'b0000
15'h2003	[15:0]	TX0_RESERVED, 预留	R/W	16'h0000
15'h2004	[12]	TX1_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX1_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX1_DRV_EN, TX1 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX1_BITCLKGEN_EN, TX1 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX1_BIAS_EN, TX1 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX1_RSTN, TX1 总使能端, 高有效	R/W	1'b1
	[3:2]	TX1_SYMBOL_MODE, TX1 输入比特模式控制	R/W	2'b01
	[1:0]	TX1_SYMBOL_WIDTH, TX1 输入比特数控制	R/W	2'b01
15'h2005	[13:8]	TX1_POST_LEVEL, TX1 去加重强度控制	R/W	6'b000000
	[5:0]	TX1_LEVEL, TX1 输出摆幅控制	R/W	6'b000000
15'h2006	[8:4]	TX1_PRE_LEVEL, TX1 预加重强度控制	R/W	5'b00100
	[3:0]	TX1_TERM_CTRL, TX1 输出阻抗控制	R/W	4'b0000
15'h2007	[15:0]	TX1_RESERVED, 预留	R/W	16'h0000
15'h2008	[12]	TX2_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX2_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX2_DRV_EN, TX2 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX2_BITCLKGEN_EN, TX2 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX2_BIAS_EN, TX2 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX2_RSTN, TX2 总使能端, 高有效	R/W	1'b1
	[3:2]	TX2_SYMBOL_MODE, TX2 输入比特模式控制	R/W	2'b01
	[1:0]	TX2_SYMBOL_WIDTH, TX2 输入比特数控制	R/W	2'b01
15'h2009	[13:8]	TX2_POST_LEVEL, TX2 去加重强度控制	R/W	6'b000000
	[5:0]	TX2_LEVEL, TX2 输出摆幅控制	R/W	6'b000000
15'h200A	[8:4]	TX2_PRE_LEVEL, TX2 预加重强度控制	R/W	5'b00100
	[3:0]	TX2_TERM_CTRL, TX2 输出阻抗控制	R/W	4'b0000
15'h200B	[15:0]	TX2_RESERVED, 预留	R/W	16'h0000
15'h200C	[12]	TX3_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX3_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX3_DRV_EN, TX3 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX3_BITCLKGEN_EN, TX3 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX3_BIAS_EN, TX3 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX3_RSTN, TX3 总使能端, 高有效	R/W	1'b1

地址	描述		读写	默认值
	[3:2]	TX3_SYMBOL_MODE, TX3 输入比特模式控制	R/W	2'b01
	[1:0]	TX3_SYMBOL_WIDTH, TX3 输入比特数控制	R/W	2'b01
15'h200D	[13:8]	TX3_POST_LEVEL, TX3 去加重强度控制	R/W	6'b000000
	[5:0]	TX3_LEVEL, TX3 输出摆幅控制	R/W	6'b000000
15'h200E	[8:4]	TX3_PRE_LEVEL, TX3 预加重强度控制	R/W	5'b00100
	[3:0]	TX3_TERM_CTRL, TX3 输出阻抗控制	R/W	4'b0000
15'h200F	[15:0]	TX3_RESERVED, 预留	R/W	16'h0000
15'h2010	[12]	TX4_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX4_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX4_DRV_EN, TX4 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX4_BITCLKGEN_EN, TX4 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX4_BIAS_EN, TX4 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX4_RSTN, TX4 总使能端, 高有效	R/W	1'b1
	[3:2]	TX4_SYMBOL_MODE, TX4 输入比特模式控制	R/W	2'b01
	[1:0]	TX4_SYMBOL_WIDTH, TX4 输入比特数控制	R/W	2'b01
15'h2011	[13:8]	TX4_POST_LEVEL, TX4 去加重强度控制	R/W	6'b000000
	[5:0]	TX4_LEVEL, TX4 输出摆幅控制	R/W	6'b000000
15'h2012	[8:4]	TX4_PRE_LEVEL, TX4 预加重强度控制	R/W	5'b00100
	[3:0]	TX4_TERM_CTRL, TX4 输出阻抗控制	R/W	4'b0000
15'h2013	[15:0]	TX4_RESERVED, 预留	R/W	16'h0000
15'h2014	[12]	TX5_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX5_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX5_DRV_EN, TX5 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX5_BITCLKGEN_EN, TX5 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX5_BIAS_EN, TX5 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX5_RSTN, TX5 总使能端, 高有效	R/W	1'b1
	[3:2]	TX5_SYMBOL_MODE, TX5 输入比特模式控制	R/W	2'b01
	[1:0]	TX5_SYMBOL_WIDTH, TX5 输入比特数控制	R/W	2'b01
15'h2015	[13:8]	TX5_POST_LEVEL, TX5 去加重强度控制	R/W	6'b000000
	[5:0]	TX5_LEVEL, TX5 输出摆幅控制	R/W	6'b000000
15'h2016	[8:4]	TX5_PRE_LEVEL, TX5 预加重强度控制	R/W	5'b00100
	[3:0]	TX5_TERM_CTRL, TX5 输出阻抗控制	R/W	4'b0000
15'h2017	[15:0]	TX5_RESERVED, 预留	R/W	16'h0000
15'h2018	[12]	TX6_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX6_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX6_DRV_EN, TX6 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX6_BITCLKGEN_EN, TX6 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX6_BIAS_EN, TX6 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX6_RSTN, TX6 总使能端, 高有效	R/W	1'b1
	[3:2]	TX6_SYMBOL_MODE, TX6 输入比特模式控制	R/W	2'b01
	[1:0]	TX6_SYMBOL_WIDTH, TX6 输入比特数控制	R/W	2'b01
15'h2019	[13:8]	TX6_POST_LEVEL, TX6 去加重强度控制	R/W	6'b000000
	[5:0]	TX6_LEVEL, TX6 输出摆幅控制	R/W	6'b000000

地址	描述		读写	默认值
15'h201A	[8:4]	TX6_PRE_LEVEL, TX6 预加重强度控制	R/W	5'b00100
	[3:0]	TX6_TERM_CTRL, TX6 输出阻抗控制	R/W	4'b0000
15'h201B	[15:0]	TX6_RESERVED, 预留	R/W	16'h0000
15'h201C	[12]	TX7_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX7_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX7_DRV_EN, TX7 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX7_BITCLKGEN_EN, TX7 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX7_BIAS_EN, TX7 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX7_RSTN, TX7 总使能端, 高有效	R/W	1'b1
	[3:2]	TX7_SYMBOL_MODE, TX7 输入比特模式控制	R/W	2'b01
	[1:0]	TX7_SYMBOL_WIDTH, TX7 输入比特数控制	R/W	2'b01
15'h201D	[13:8]	TX7_POST_LEVEL, TX7 去加重强度控制	R/W	6'b000000
	[5:0]	TX7_LEVEL, TX7 输出摆幅控制	R/W	6'b000000
15'h201E	[8:4]	TX7_PRE_LEVEL, TX7 预加重强度控制	R/W	5'b00100
	[3:0]	TX7_TERM_CTRL, TX7 输出阻抗控制	R/W	4'b0000
15'h201F	[15:0]	TX7_RESERVED, 预留	R/W	16'h0000
15'h2020	[12]	TX8_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX8_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX8_DRV_EN, TX8 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX8_BITCLKGEN_EN, TX8 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX8_BIAS_EN, TX8 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX8_RSTN, TX8 总使能端, 高有效	R/W	1'b1
	[3:2]	TX8_SYMBOL_MODE, TX8 输入比特模式控制	R/W	2'b01
	[1:0]	TX8_SYMBOL_WIDTH, TX8 输入比特数控制	R/W	2'b01
15'h2021	[13:8]	TX8_POST_LEVEL, TX8 去加重强度控制	R/W	6'b000000
	[5:0]	TX8_LEVEL, TX8 输出摆幅控制	R/W	6'b000000
15'h2022	[8:4]	TX8_PRE_LEVEL, TX8 预加重强度控制	R/W	5'b00100
	[3:0]	TX8_TERM_CTRL, TX8 输出阻抗控制	R/W	4'b0000
15'h2023	[15:0]	TX8_RESERVED, 预留	R/W	16'h0000
15'h2024	[12]	TX9_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX9_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX9_DRV_EN, TX9 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX9_BITCLKGEN_EN, TX9 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX9_BIAS_EN, TX9 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX9_RSTN, TX9 总使能端, 高有效	R/W	1'b1
	[3:2]	TX9_SYMBOL_MODE, TX9 输入比特模式控制	R/W	2'b01
	[1:0]	TX9_SYMBOL_WIDTH, TX9 输入比特数控制	R/W	2'b01
15'h2025	[13:8]	TX9_POST_LEVEL, TX9 去加重强度控制	R/W	6'b000000
	[5:0]	TX9_LEVEL, TX9 输出摆幅控制	R/W	6'b000000
15'h2026	[8:4]	TX9_PRE_LEVEL, TX9 预加重强度控制	R/W	5'b00100
	[3:0]	TX9_TERM_CTRL, TX9 输出阻抗控制	R/W	4'b0000
15'h2027	[15:0]	TX9_RESERVED, 预留	R/W	16'h0000
15'h2028	[12]	TX10_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0

地址	描述		读写	默认值
	[10:8]	TX10_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX10_DRV_EN, TX10 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX10_BITCLKGEN_EN, TX10 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX10_BIAS_EN, TX10 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX10_RSTN, TX10 总使能端, 高有效	R/W	1'b1
	[3:2]	TX10_SYMBOL_MODE, TX10 输入比特模式控制	R/W	2'b01
	[1:0]	TX10_SYMBOL_WIDTH, TX10 输入比特数控制	R/W	2'b01
15'h2029	[13:8]	TX10_POST_LEVEL, TX10 去加重强度控制	R/W	6'b000000
	[5:0]	TX10_LEVEL, TX10 输出摆幅控制	R/W	6'b000000
15'h202A	[8:4]	TX10_PRE_LEVEL, TX10 预加重强度控制	R/W	5'b00100
	[3:0]	TX10_TERM_CTRL, TX10 输出阻抗控制	R/W	4'b0000
15'h202B	[15:0]	TX10_RESERVED, 预留	R/W	16'h0000
15'h202C	[12]	TX11_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX11_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX11_DRV_EN, TX11 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX11_BITCLKGEN_EN, TX11 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX11_BIAS_EN, TX11 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX11_RSTN, TX11 总使能端, 高有效	R/W	1'b1
	[3:2]	TX11_SYMBOL_MODE, TX11 输入比特模式控制	R/W	2'b01
	[1:0]	TX11_SYMBOL_WIDTH, TX11 输入比特数控制	R/W	2'b01
15'h202D	[13:8]	TX11_POST_LEVEL, TX11 去加重强度控制	R/W	6'b000000
	[5:0]	TX11_LEVEL, TX11 输出摆幅控制	R/W	6'b000000
15'h202E	[8:4]	TX11_PRE_LEVEL, TX11 预加重强度控制	R/W	5'b00100
	[3:0]	TX11_TERM_CTRL, TX11 输出阻抗控制	R/W	4'b0000
15'h202F	[15:0]	TX11_RESERVED, 预留	R/W	16'h0000
15'h2030	[12]	TX12_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX12_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX12_DRV_EN, TX12 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX12_BITCLKGEN_EN, TX12 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX12_BIAS_EN, TX12 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX12_RSTN, TX12 总使能端, 高有效	R/W	1'b1
	[3:2]	TX12_SYMBOL_MODE, TX12 输入比特模式控制	R/W	2'b01
	[1:0]	TX12_SYMBOL_WIDTH, TX12 输入比特数控制	R/W	2'b01
15'h2031	[13:8]	TX12_POST_LEVEL, TX12 去加重强度控制	R/W	6'b000000
	[5:0]	TX12_LEVEL, TX12 输出摆幅控制	R/W	6'b000000
15'h2032	[8:4]	TX12_PRE_LEVEL, TX12 预加重强度控制	R/W	5'b00100
	[3:0]	TX12_TERM_CTRL, TX12 输出阻抗控制	R/W	4'b0000
15'h2033	[15:0]	TX12_RESERVED, 预留	R/W	16'h0000
15'h2034	[12]	TX13_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX13_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX13_DRV_EN, TX13 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX13_BITCLKGEN_EN, TX13 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX13_BIAS_EN, TX13 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1

地址	描述		读写	默认值
	[4]	TX13_RSTN, TX13 总使能端, 高有效	R/W	1'b1
	[3:2]	TX13_SYMBOL_MODE, TX13 输入比特模式控制	R/W	2'b01
	[1:0]	TX13_SYMBOL_WIDTH, TX13 输入比特数控制	R/W	2'b01
15'h2035	[13:8]	TX13_POST_LEVEL, TX13 去加重强度控制	R/W	6'b000000
	[5:0]	TX13_LEVEL, TX13 输出摆幅控制	R/W	6'b000000
15'h2036	[8:4]	TX13_PRE_LEVEL, TX13 预加重强度控制	R/W	5'b00100
	[3:0]	TX13_TERM_CTRL, TX13 输出阻抗控制	R/W	4'b0000
15'h2037	[15:0]	TX13_RESERVED, 预留	R/W	16'h0000
15'h2038	[12]	TX14_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX14_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX14_DRV_EN, TX14 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX14_BITCLKGEN_EN, TX14 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX14_BIAS_EN, TX14 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX14_RSTN, TX14 总使能端, 高有效	R/W	1'b1
	[3:2]	TX14_SYMBOL_MODE, TX14 输入比特模式控制	R/W	2'b01
15'h2039	[13:8]	TX14_POST_LEVEL, TX14 去加重强度控制	R/W	6'b000000
	[5:0]	TX14_LEVEL, TX14 输出摆幅控制	R/W	6'b000000
15'h203A	[8:4]	TX14_PRE_LEVEL, TX14 预加重强度控制	R/W	5'b00100
	[3:0]	TX14_TERM_CTRL, TX14 输出阻抗控制	R/W	4'b0000
15'h203B	[15:0]	TX14_RESERVED, 预留	R/W	16'h0000
15'h203C	[12]	TX15_AC_COUPLE, 1 为 AC 耦合	R/W	1'b0
	[10:8]	TX15_BITCLK_DIVCTR, VCO 分频后级联的额外分频器分频比例控制	R/W	3'b000
	[7]	TX15_DRV_EN, TX15 驱动电路使能, 高有效	R/W	1'b1
	[6]	TX15_BITCLKGEN_EN, TX15 时钟电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[5]	TX15_BIAS_EN, TX15 偏置电路使能, 高有效, 上电时间 10us	R/W	1'b1
	[4]	TX15_RSTN, TX15 总使能端, 高有效	R/W	1'b1
	[3:2]	TX15_SYMBOL_MODE, TX15 输入比特模式控制	R/W	2'b01
15'h203D	[13:8]	TX15_POST_LEVEL, TX15 去加重强度控制	R/W	6'b000000
	[5:0]	TX15_LEVEL, TX15 输出摆幅控制	R/W	6'b000000
15'h203E	[8:4]	TX15_PRE_LEVEL, TX15 预加重强度控制	R/W	5'b00100
	[3:0]	TX15_TERM_CTRL, TX15 输出阻抗控制	R/W	4'b0000
15'h203F	[15:0]	TX15_RESERVED, 预留	R/W	16'h0000
15'h2040	[15:12]	PLL_IVCO_SEL, VCO 电流控制	R/W	4'b0101
	[10:8]	PLL_FVCO_SEL<3:1>, 控制 VCO 固定电容阵列	R/W	3'b011
	[4]	PLL_VCO_SEL, 高电平使用高频 VCO, 低电平使用低频 VCO	R/W	1'b1
	[0]	PLL_CK_EXT_SEL, 高电平直接使用外部时钟	R/W	1'b0
15'h2041	[14:12]	PLL_ICP_BIAS_BIT, 控制电荷泵电流偏置	R/W	3'b100
	[9:8]	PLL_ICP_CP_BIT, 控制电荷泵电流	R/W	2'b10
	[4]	PLL_LDO_PD, 低电平打开 LDO	R/W	1'b0
	[0]	PLL_RES_LFP_HALF, 改变环路滤波器电阻	R/W	1'b0
15'h2042	[13:8]	PLL_LDO_REF_BIT, 控制 LDO 电压	R/W	6'b110000

地址	描述		读写	默认值
	[5:0]	PLL_BIAS_REF_BIT, 偏置电流参考电压控制	R/W	6'b111000
15'h2043	[12:8]	PLL_CK20G_OFFSET, PLL 外部输入时钟失调电压控制	R/W	5'b10000
	[5]	PLL_DIV2OR1_SEL, 低电平 32/40 分频, 高电平 64/80 分频	R/W	1'b0
	[4]	PLL_DIV4OR5_SEL, 低电平 4 分频, 高电平 5 分频	R/W	1'b1
	[1]	PLL_REF_CLK_SEL, PLL 参考时钟使能	R/W	1'b1
	[0]	PLL_PLL_PD, 低电平 PLL 工作	R/W	1'b0
15'h2044	[15:3]	PLL_RESERVED, PLL 保留	R/W	16'h0003
	[2]	PLL_FVCO_SEL<0>, 控制 VCO 固定电容阵列	R/W	1'b0
	[1:0]	PLL_I960U_SEL<1:0>, TX 时钟缓冲器控制	R/W	2'b11
15'h2800	[13:0]	a_ad1_regs.weight_st1_bit3, a_ad1 的 st1 bit3 电容失配权重	R/W	16'h2000
15'h2801	[13:0]	a_ad1_regs.weight_st1_bit2, a_ad1 的 st1 bit2 电容失配权重	R/W	16'h2000
15'h2802	[13:0]	a_ad1_regs.weight_st1_bit1, a_ad1 的 st1 bit1 电容失配权重	R/W	16'h2000
15'h2803	[13:0]	a_ad1_regs.weight_st1_bit0, a_ad1 的 st1 bit0 电容失配权重	R/W	16'h2000
15'h2804	[12:0]	a_ad1_regs.weight_st2_bit1, a_ad1 的 st2 bit1 电容失配权重	R/W	16'h1000
15'h2805	[12:0]	a_ad1_regs.weight_st2_bit0, a_ad1 的 st2 bit0 电容失配权重	R/W	16'h1000
15'h2806	[11:0]	a_ad1_regs.weight_st3_bit1, a_ad1 的 st3 bit1 电容失配权重	R/W	16'h0800
15'h2807	[11:0]	a_ad1_regs.weight_st3_bit0, a_ad1 的 st3 bit0 电容失配权重	R/W	16'h0800
15'h2808	[10:0]	a_ad1_regs.weight_st4_bit1, a_ad1 的 st4 bit1 电容失配权重	R/W	16'h0400
15'h2809	[10:0]	a_ad1_regs.weight_st4_bit0, a_ad1 的 st4 bit0 电容失配权重	R/W	16'h0400
15'h280A	[11:0]	a_ad1_regs.C_ST1, a_ad1 的第一级 dither 常数	R/W	16'h0800
15'h280B	[10:0]	a_ad1_regs.C_ST2, a_ad1 的第二级 dither 常数	R/W	16'h0400
15'h280C	[9:0]	a_ad1_regs.C_ST3, a_ad1 的第三级 dither 常数	R/W	16'h0200
15'h280D	[8:0]	a_ad1_regs.C_ST4, a_ad1 的第四级 dither 常数	R/W	16'h0100
15'h280E	[13:0]	a_ad1_regs.PLD, a_ad1 的 PLD 初值	R/W	16'h184d
15'h280F	[13:0]	a_ad1_regs.G1, a_ad1 的级间校准初始值 G1	R/W	16'h1000
15'h2810	[13:0]	a_ad1_regs.G2, a_ad1 的级间校准初始值 G2	R/W	16'h1000
15'h2811	[13:0]	a_ad1_regs.G3, a_ad1 的级间校准初始值 G3	R/W	16'h1000
15'h2812	[13:0]	a_ad1_regs.G4, a_ad1 的级间校准初始值 G4	R/W	16'h1000
15'h2813	[11:0]	a_ad1_regs.chop_cal, a_ad1 的 chop 校准的手动配置值	R/W	16'h0010
15'h2814	[11:0]	a_ad1_regs.chop_cal_offset, a_ad1 的 chop 校准的 offset 偏差	R/W	16'h0000
15'h2815	[9:0]	a_ad1_regs.large_dither_c2, 有符号数 a_ad1 的 large dither bit3 的调节系数在原系数为 4 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2816	[9:0]	a_ad1_regs.large_dither_c1, 有符号数 a_ad1 的 large dither bit2 的调节系数在原系数为 2 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2817	[9:0]	a_ad1_regs.large_dither_c0, 有符号数 a_ad1 的 large dither bit1 的调节系数在原系数为 1 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2818	[12:0]	a_ad1_regs.offset_0, a_ad1 的 offset 值, 范围 -512~+511.875 步进 1/8	R/W	16'h0000
15'h2819	[15:0]	reserved	R/W	16'h0000
15'h281A	[12:0]	a_ad1_regs.gain_0, a_ad1 的 gain 值, 范围 75%~125% 步进 1/16384	R/W	16'h0000
15'h281B	[15:0]	reserved	R/W	16'h0000
15'h281C	[11:0]	a_ad1_regs.memory_factor, a_ad1 的 memory 效应系数 有符号数, 步进为 1/4096	R/W	16'h0000

地址	描述		读写	默认值
15'h281D	[15:0]	a_ad1_regs.reserve0, a_ad1 的保留寄存器	R/W	16'h0000
15'h281E	[15:0]	a_ad1_regs.reserve1, a_ad1 的保留寄存器	R/W	16'h0000
15'h281F	[15:0]	a_ad1_regs.reserve2, a_ad1 的保留寄存器	R/W	16'h0000
15'h2820	[13:0]	a_ad2_regs.weight_st1_bit3, a_ad2 的 st1 bit3 电容失配权重	R/W	16'h2000
15'h2821	[13:0]	a_ad2_regs.weight_st1_bit2, a_ad2 的 st1 bit2 电容失配权重	R/W	16'h2000
15'h2822	[13:0]	a_ad2_regs.weight_st1_bit1, a_ad2 的 st1 bit1 电容失配权重	R/W	16'h2000
15'h2823	[13:0]	a_ad2_regs.weight_st1_bit0, a_ad2 的 st1 bit0 电容失配权重	R/W	16'h2000
15'h2824	[12:0]	a_ad2_regs.weight_st2_bit1, a_ad2 的 st2 bit1 电容失配权重	R/W	16'h1000
15'h2825	[12:0]	a_ad2_regs.weight_st2_bit0, a_ad2 的 st2 bit0 电容失配权重	R/W	16'h1000
15'h2826	[11:0]	a_ad2_regs.weight_st3_bit1, a_ad2 的 st3 bit1 电容失配权重	R/W	16'h0800
15'h2827	[11:0]	a_ad2_regs.weight_st3_bit0, a_ad2 的 st3 bit0 电容失配权重	R/W	16'h0800
15'h2828	[10:0]	a_ad2_regs.weight_st4_bit1, a_ad2 的 st4 bit1 电容失配权重	R/W	16'h0400
15'h2829	[10:0]	a_ad2_regs.weight_st4_bit0, a_ad2 的 st4 bit0 电容失配权重	R/W	16'h0400
15'h282A	[11:0]	a_ad2_regs.C_ST1, a_ad2 的第一级 dither 常数	R/W	16'h0800
15'h282B	[10:0]	a_ad2_regs.C_ST2, a_ad2 的第二级 dither 常数	R/W	16'h0400
15'h282C	[9:0]	a_ad2_regs.C_ST3, a_ad2 的第三级 dither 常数	R/W	16'h0200
15'h282D	[8:0]	a_ad2_regs.C_ST4, a_ad2 的第四级 dither 常数	R/W	16'h0100
15'h282E	[13:0]	a_ad2_regs.PLD, a_ad2 的 PLD 初值	R/W	16'h184d
15'h282F	[13:0]	a_ad2_regs.G1, a_ad2 的级间校准初始值 G1	R/W	16'h1000
15'h2830	[13:0]	a_ad2_regs.G2, a_ad2 的级间校准初始值 G2	R/W	16'h1000
15'h2831	[13:0]	a_ad2_regs.G3, a_ad2 的级间校准初始值 G3	R/W	16'h1000
15'h2832	[13:0]	a_ad2_regs.G4, a_ad2 的级间校准初始值 G4	R/W	16'h1000
15'h2833	[11:0]	a_ad2_regs.chop_cal, a_ad2 的 chop 校准的手动配置值	R/W	16'h0010
15'h2834	[11:0]	a_ad2_regs.chop_cal_offset, a_ad2 的 chop 校准的 offset 偏差	R/W	16'h0000
15'h2835	[9:0]	a_ad2_regs.large_dither_c2, 有符号数 a_ad2 的 large dither bit3 的调节系数在原系数为 4 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2836	[9:0]	a_ad2_regs.large_dither_c1, 有符号数 a_ad2 的 large dither bit2 的调节系数在原系数为 2 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2837	[9:0]	a_ad2_regs.large_dither_c0, 有符号数 a_ad2 的 large dither bit1 的调节系数在原系数为 1 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2838	[12:0]	a_ad2_regs.offset, a_ad2 的 offset 值, 范围-512~+511. 875 步进 1/8	R/W	16'h0000
15'h2839	[15:0]	reserved	R/W	16'h0000
15'h283A	[12:0]	a_ad2_regs.gain, a_ad2 的 gain 值, 范围 75%~125% 步进 1/16384	R/W	16'h0000
15'h283B	[15:0]	reserved	R/W	16'h0000
15'h283C	[11:0]	a_ad2_regs.memory_factor, a_ad2 的 memory 效应系数 有符号数, 步进为 1/4096	R/W	16'h0000
15'h283D	[15:0]	a_ad2_regs.reserve0, a_ad2 的保留寄存器	R/W	16'h0000
15'h283E	[15:0]	a_ad2_regs.reserve1, a_ad2 的保留寄存器	R/W	16'h0000
15'h283F	[15:0]	a_ad2_regs.reserve2, a_ad2 的保留寄存器	R/W	16'h0000
15'h2840	[13:0]	a_ad3_regs.weight_st1_bit3, a_ad3 的 st1 bit3 电容失配权重	R/W	16'h2000
15'h2841	[13:0]	a_ad3_regs.weight_st1_bit2, a_ad3 的 st1 bit2 电容失配权重	R/W	16'h2000
15'h2842	[13:0]	a_ad3_regs.weight_st1_bit1, a_ad3 的 st1 bit1 电容失配权重	R/W	16'h2000
15'h2843	[13:0]	a_ad3_regs.weight_st1_bit0, a_ad3 的 st1 bit0 电容失配权重	R/W	16'h2000

地址	描述		读写	默认值
15'h2844	[12:0]	a_ad3_regs.weight_st2_bit1, a_ad3 的 st2 bit1 电容失配权重	R/W	16'h1000
15'h2845	[12:0]	a_ad3_regs.weight_st2_bit0, a_ad3 的 st2 bit0 电容失配权重	R/W	16'h1000
15'h2846	[11:0]	a_ad3_regs.weight_st3_bit1, a_ad3 的 st3 bit1 电容失配权重	R/W	16'h0800
15'h2847	[11:0]	a_ad3_regs.weight_st3_bit0, a_ad3 的 st3 bit0 电容失配权重	R/W	16'h0800
15'h2848	[10:0]	a_ad3_regs.weight_st4_bit1, a_ad3 的 st4 bit1 电容失配权重	R/W	16'h0400
15'h2849	[10:0]	a_ad3_regs.weight_st4_bit0, a_ad3 的 st4 bit0 电容失配权重	R/W	16'h0400
15'h284A	[11:0]	a_ad3_regs.C_ST1, a_ad3 的第一级 dither 常数	R/W	16'h0800
15'h284B	[10:0]	a_ad3_regs.C_ST2, a_ad3 的第二级 dither 常数	R/W	16'h0400
15'h284C	[9:0]	a_ad3_regs.C_ST3, a_ad3 的第三级 dither 常数	R/W	16'h0200
15'h284D	[8:0]	a_ad3_regs.C_ST4, a_ad3 的第四级 dither 常数	R/W	16'h0100
15'h284E	[13:0]	a_ad3_regs.PLD, a_ad3 的 PLD 初值	R/W	16'h184d
15'h284F	[13:0]	a_ad3_regs.G1, a_ad3 的级间校准初始值 G1	R/W	16'h1000
15'h2850	[13:0]	a_ad3_regs.G2, a_ad3 的级间校准初始值 G2	R/W	16'h1000
15'h2851	[13:0]	a_ad3_regs.G3, a_ad3 的级间校准初始值 G3	R/W	16'h1000
15'h2852	[13:0]	a_ad3_regs.G4, a_ad3 的级间校准初始值 G4	R/W	16'h1000
15'h2853	[11:0]	a_ad3_regs.chop_cal, a_ad3 的 chop 校准的手动配置值	R/W	16'h0010
15'h2854	[11:0]	a_ad3_regs.chop_cal_offset, a_ad3 的 chop 校准的 offset 偏差	R/W	16'h0000
15'h2855	[9:0]	a_ad3_regs.large_dither_c2, 有符号数 a_ad3 的 large dither bit3 的调节系数在原系数为 4 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2856	[9:0]	a_ad3_regs.large_dither_c1, 有符号数 a_ad3 的 large dither bit2 的调节系数在原系数为 2 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2857	[9:0]	a_ad3_regs.large_dither_c0, 有符号数 a_ad3 的 large dither bit1 的调节系数在原系数为 1 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2858	[12:0]	a_ad3_regs.offset, a_ad3 的 offset 值, 范围-512~+511. 875 步进 1/8	R/W	16'h0000
15'h2859	[15:0]	reserved	R/W	16'h0000
15'h285A	[12:0]	a_ad3_regs.gain, a_ad3 的 gain 值, 范围 75%~125% 步进 1/16384	R/W	16'h0000
15'h285B	[15:0]	reserved	R/W	16'h0000
15'h285C	[11:0]	a_ad3_regs.memory_factor, a_ad3 的 memory 效应系数 有符号数, 步进为 1/4096	R/W	16'h0000
15'h285D	[15:0]	a_ad3_regs.reserve0, a_ad3 的保留寄存器	R/W	16'h0000
15'h285E	[15:0]	a_ad3_regs.reserve1, a_ad3 的保留寄存器	R/W	16'h0000
15'h285F	[15:0]	a_ad3_regs.reserve2, a_ad3 的保留寄存器	R/W	16'h0000
15'h2860	[13:0]	a_ad4_regs.weight_st1_bit3, a_ad4 的 st1 bit3 电容失配权重	R/W	16'h2000
15'h2861	[13:0]	a_ad4_regs.weight_st1_bit2, a_ad4 的 st1 bit2 电容失配权重	R/W	16'h2000
15'h2862	[13:0]	a_ad4_regs.weight_st1_bit1, a_ad4 的 st1 bit1 电容失配权重	R/W	16'h2000
15'h2863	[13:0]	a_ad4_regs.weight_st1_bit0, a_ad4 的 st1 bit0 电容失配权重	R/W	16'h2000
15'h2864	[12:0]	a_ad4_regs.weight_st2_bit1, a_ad4 的 st2 bit1 电容失配权重	R/W	16'h1000
15'h2865	[12:0]	a_ad4_regs.weight_st2_bit0, a_ad4 的 st2 bit0 电容失配权重	R/W	16'h1000
15'h2866	[11:0]	a_ad4_regs.weight_st3_bit1, a_ad4 的 st3 bit1 电容失配权重	R/W	16'h0800
15'h2867	[11:0]	a_ad4_regs.weight_st3_bit0, a_ad4 的 st3 bit0 电容失配权重	R/W	16'h0800
15'h2868	[10:0]	a_ad4_regs.weight_st4_bit1, a_ad4 的 st4 bit1 电容失配权重	R/W	16'h0400
15'h2869	[10:0]	a_ad4_regs.weight_st4_bit0, a_ad4 的 st4 bit0 电容失配权重	R/W	16'h0400
15'h286A	[11:0]	a_ad4_regs.C_ST1, a_ad4 的第一级 dither 常数	R/W	16'h0800

地址	描述		读写	默认值
15'h286B	[10:0]	a_ad4_regs.C_ST2, a_ad4 的第二级 dither 常数	R/W	16'h0400
15'h286C	[9:0]	a_ad4_regs.C_ST3, a_ad4 的第三级 dither 常数	R/W	16'h0200
15'h286D	[8:0]	a_ad4_regs.C_ST4, a_ad4 的第四级 dither 常数	R/W	16'h0100
15'h286E	[13:0]	a_ad4_regs.PLD, a_ad4 的 PLD 初值	R/W	16'h184d
15'h286F	[13:0]	a_ad4_regs.G1, a_ad4 的级间校准初始值 G1	R/W	16'h1000
15'h2870	[13:0]	a_ad4_regs.G2, a_ad4 的级间校准初始值 G2	R/W	16'h1000
15'h2871	[13:0]	a_ad4_regs.G3, a_ad4 的级间校准初始值 G3	R/W	16'h1000
15'h2872	[13:0]	a_ad4_regs.G4, a_ad4 的级间校准初始值 G4	R/W	16'h1000
15'h2873	[11:0]	a_ad4_regs.chop_cal, a_ad4 的 chop 校准的手动配置值	R/W	16'h0010
15'h2874	[11:0]	a_ad4_regs.chop_cal_offset, a_ad4 的 chop 校准的 offset 偏差	R/W	16'h0000
15'h2875	[9:0]	a_ad4_regs.large_dither_c2, 有符号数 a_ad4 的 large dither bit3 的调节系数在原系数为 4 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2876	[9:0]	a_ad4_regs.large_dither_c1, 有符号数 a_ad4 的 large dither bit2 的调节系数在原系数为 2 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2877	[9:0]	a_ad4_regs.large_dither_c0, 有符号数 a_ad4 的 large dither bit1 的调节系数在原系数为 1 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2878	[12:0]	a_ad4_regs.offset, a_ad4 的 offset 值, 范围-512~+511. 875 步进 1/8	R/W	16'h0000
15'h2879	[15:0]	reserved	R/W	16'h0000
15'h287A	[12:0]	a_ad4_regs.gain, a_ad4 的 gain 值, 范围 75%~125% 步进 1/16384	R/W	16'h0000
15'h287B	[15:0]	reserved	R/W	16'h0000
15'h287C	[11:0]	a_ad4_regs.memory_factor, a_ad4 的 memory 效应系数 有符号数, 步进为 1/4096	R/W	16'h0000
15'h287D	[15:0]	a_ad4_regs.reserve0, a_ad4 的保留寄存器	R/W	16'h0000
15'h287E	[15:0]	a_ad4_regs.reserve1, a_ad4 的保留寄存器	R/W	16'h0000
15'h287F	[15:0]	a_ad4_regs.reserve2, a_ad4 的保留寄存器	R/W	16'h0000
15'h2880	[13:0]	b_ad1_regs.weight_st1_bit3, b_ad1 的 st1 bit3 电容失配权重	R/W	16'h2000
15'h2881	[13:0]	b_ad1_regs.weight_st1_bit2, b_ad1 的 st1 bit2 电容失配权重	R/W	16'h2000
15'h2882	[13:0]	b_ad1_regs.weight_st1_bit1, b_ad1 的 st1 bit1 电容失配权重	R/W	16'h2000
15'h2883	[13:0]	b_ad1_regs.weight_st1_bit0, b_ad1 的 st1 bit0 电容失配权重	R/W	16'h2000
15'h2884	[12:0]	b_ad1_regs.weight_st2_bit1, b_ad1 的 st2 bit1 电容失配权重	R/W	16'h1000
15'h2885	[12:0]	b_ad1_regs.weight_st2_bit0, b_ad1 的 st2 bit0 电容失配权重	R/W	16'h1000
15'h2886	[11:0]	b_ad1_regs.weight_st3_bit1, b_ad1 的 st3 bit1 电容失配权重	R/W	16'h0800
15'h2887	[11:0]	b_ad1_regs.weight_st3_bit0, b_ad1 的 st3 bit0 电容失配权重	R/W	16'h0800
15'h2888	[10:0]	b_ad1_regs.weight_st4_bit1, b_ad1 的 st4 bit1 电容失配权重	R/W	16'h0400
15'h2889	[10:0]	b_ad1_regs.weight_st4_bit0, b_ad1 的 st4 bit0 电容失配权重	R/W	16'h0400
15'h288A	[11:0]	b_ad1_regs.C_ST1, b_ad1 的第一级 dither 常数	R/W	16'h0800
15'h288B	[10:0]	b_ad1_regs.C_ST2, b_ad1 的第二级 dither 常数	R/W	16'h0400
15'h288C	[9:0]	b_ad1_regs.C_ST3, b_ad1 的第三级 dither 常数	R/W	16'h0200
15'h288D	[8:0]	b_ad1_regs.C_ST4, b_ad1 的第四级 dither 常数	R/W	16'h0100
15'h288E	[13:0]	b_ad1_regs.PLD, b_ad1 的 PLD 初值	R/W	16'h184d
15'h288F	[13:0]	b_ad1_regs.G1, b_ad1 的级间校准初始值 G1	R/W	16'h1000
15'h2890	[13:0]	b_ad1_regs.G2, b_ad1 的级间校准初始值 G2	R/W	16'h1000
15'h2891	[13:0]	b_ad1_regs.G3, b_ad1 的级间校准初始值 G3	R/W	16'h1000

地址	描述		读写	默认值
15'h2892	[13:0]	b_ad1_regs.G4, b_ad1 的级间校准初始值 G4	R/W	16'h1000
15'h2893	[11:0]	b_ad1_regs.chop_cal, b_ad1 的 chop 校准的手动配置值	R/W	16'h0010
15'h2894	[11:0]	b_ad1_regs.chop_cal_offset, b_ad1 的 chop 校准的 offset 偏差	R/W	16'h0000
15'h2895	[9:0]	b_ad1_regs.large_dither_c2, 有符号数 b_ad1 的 large dither bit3 的调节系数在原系数为 4 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2896	[9:0]	b_ad1_regs.large_dither_c1, 有符号数 b_ad1 的 large dither bit2 的调节系数在原系数为 2 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2897	[9:0]	b_ad1_regs.large_dither_c0, 有符号数 b_ad1 的 large dither bit1 的调节系数在原系数为 1 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h2898	[12:0]	b_ad1_regs.offset, b_ad1 的 offset 值, 范围-512~+511. 875 步进 1/8	R/W	16'h0000
15'h2899	[15:0]	reserved	R/W	16'h0000
15'h289A	[12:0]	b_ad1_regs.gain, b_ad1 的 gain 值, 范围 75%~125% 步进 1/16384	R/W	16'h0000
15'h289B	[15:0]	reserved	R/W	16'h0000
15'h289C	[11:0]	b_ad1_regs.memory_factor, b_ad1 的 memory 效应系数 有符号数, 步进为 1/4096	R/W	16'h0000
15'h289D	[15:0]	b_ad1_regs.reserve0, b_ad1 的保留寄存器	R/W	16'h0000
15'h289E	[15:0]	b_ad1_regs.reserve1, b_ad1 的保留寄存器	R/W	16'h0000
15'h289F	[15:0]	b_ad1_regs.reserve2, b_ad1 的保留寄存器	R/W	16'h0000
15'h28A0	[13:0]	b_ad2_regs.weight_st1_bit3, b_ad2 的 st1 bit3 电容失配权重	R/W	16'h2000
15'h28A1	[13:0]	b_ad2_regs.weight_st1_bit2, b_ad2 的 st1 bit2 电容失配权重	R/W	16'h2000
15'h28A2	[13:0]	b_ad2_regs.weight_st1_bit1, b_ad2 的 st1 bit1 电容失配权重	R/W	16'h2000
15'h28A3	[13:0]	b_ad2_regs.weight_st1_bit0, b_ad2 的 st1 bit0 电容失配权重	R/W	16'h2000
15'h28A4	[12:0]	b_ad2_regs.weight_st2_bit1, b_ad2 的 st2 bit1 电容失配权重	R/W	16'h1000
15'h28A5	[12:0]	b_ad2_regs.weight_st2_bit0, b_ad2 的 st2 bit0 电容失配权重	R/W	16'h1000
15'h28A6	[11:0]	b_ad2_regs.weight_st3_bit1, b_ad2 的 st3 bit1 电容失配权重	R/W	16'h0800
15'h28A7	[11:0]	b_ad2_regs.weight_st3_bit0, b_ad2 的 st3 bit0 电容失配权重	R/W	16'h0800
15'h28A8	[10:0]	b_ad2_regs.weight_st4_bit1, b_ad2 的 st4 bit1 电容失配权重	R/W	16'h0400
15'h28A9	[10:0]	b_ad2_regs.weight_st4_bit0, b_ad2 的 st4 bit0 电容失配权重	R/W	16'h0400
15'h28AA	[11:0]	b_ad2_regs.C_ST1, b_ad2 的第一级 dither 常数	R/W	16'h0800
15'h28AB	[10:0]	b_ad2_regs.C_ST2, b_ad2 的第二级 dither 常数	R/W	16'h0400
15'h28AC	[9:0]	b_ad2_regs.C_ST3, b_ad2 的第三级 dither 常数	R/W	16'h0200
15'h28AD	[8:0]	b_ad2_regs.C_ST4, b_ad2 的第四级 dither 常数	R/W	16'h0100
15'h28AE	[13:0]	b_ad2_regs.PLD, b_ad2 的 PLD 初值	R/W	16'h184d
15'h28AF	[13:0]	b_ad2_regs.G1, b_ad2 的级间校准初始值 G1	R/W	16'h1000
15'h28B0	[13:0]	b_ad2_regs.G2, b_ad2 的级间校准初始值 G2	R/W	16'h1000
15'h28B1	[13:0]	b_ad2_regs.G3, b_ad2 的级间校准初始值 G3	R/W	16'h1000
15'h28B2	[13:0]	b_ad2_regs.G4, b_ad2 的级间校准初始值 G4	R/W	16'h1000
15'h28B3	[11:0]	b_ad2_regs.chop_cal, b_ad2 的 chop 校准的手动配置值	R/W	16'h0010
15'h28B4	[11:0]	b_ad2_regs.chop_cal_offset, b_ad2 的 chop 校准的 offset 偏差	R/W	16'h0000
15'h28B5	[9:0]	b_ad2_regs.large_dither_c2, 有符号数 b_ad2 的 large dither bit3 的调节系数在原系数为 4 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h28B6	[9:0]	b_ad2_regs.large_dither_c1, 有符号数 b_ad2 的 large dither bit2 的调节系数在原系数为 2 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000

地址	描述		读写	默认值
15'h28B7	[9:0]	b_ad2_regs.large_dither_c0, 有符号数 b_ad2 的 large dither bit1 的调节系数在原系数为 1 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h28B8	[12:0]	b_ad2_regs.offset, b_ad2 的 offset 值, 范围-512~+511. 875 步进 1/8	R/W	16'h0000
15'h28B9	[15:0]	reserved	R/W	16'h0000
15'h28BA	[12:0]	b_ad2_regs.gain, b_ad2 的 gain 值, 范围 75%~125% 步进 1/16384	R/W	16'h0000
15'h28BB	[15:0]	reserved	R/W	16'h0000
15'h28BC	[11:0]	b_ad2_regs.memory_factor, b_ad2 的 memory 效应系数有符号数, 步进为 1/4096	R/W	16'h0000
15'h28BD	[15:0]	b_ad2_regs.reserve0, b_ad2 的保留寄存器	R/W	16'h0000
15'h28BE	[15:0]	b_ad2_regs.reserve1, b_ad2 的保留寄存器	R/W	16'h0000
15'h28BF	[15:0]	b_ad2_regs.reserve2, b_ad2 的保留寄存器	R/W	16'h0000
15'h28C0	[13:0]	b_ad3_regs.weight_st1_bit3, b_ad3 的 st1 bit3 电容失配权重	R/W	16'h2000
15'h28C1	[13:0]	b_ad3_regs.weight_st1_bit2, b_ad3 的 st1 bit2 电容失配权重	R/W	16'h2000
15'h28C2	[13:0]	b_ad3_regs.weight_st1_bit1, b_ad3 的 st1 bit1 电容失配权重	R/W	16'h2000
15'h28C3	[13:0]	b_ad3_regs.weight_st1_bit0, b_ad3 的 st1 bit0 电容失配权重	R/W	16'h2000
15'h28C4	[12:0]	b_ad3_regs.weight_st2_bit1, b_ad3 的 st2 bit1 电容失配权重	R/W	16'h1000
15'h28C5	[12:0]	b_ad3_regs.weight_st2_bit0, b_ad3 的 st2 bit0 电容失配权重	R/W	16'h1000
15'h28C6	[11:0]	b_ad3_regs.weight_st3_bit1, b_ad3 的 st3 bit1 电容失配权重	R/W	16'h0800
15'h28C7	[11:0]	b_ad3_regs.weight_st3_bit0, b_ad3 的 st3 bit0 电容失配权重	R/W	16'h0800
15'h28C8	[10:0]	b_ad3_regs.weight_st4_bit1, b_ad3 的 st4 bit1 电容失配权重	R/W	16'h0400
15'h28C9	[10:0]	b_ad3_regs.weight_st4_bit0, b_ad3 的 st4 bit0 电容失配权重	R/W	16'h0400
15'h28CA	[11:0]	b_ad3_regs.C_ST1, b_ad3 的第一级 dither 常数	R/W	16'h0800
15'h28CB	[10:0]	b_ad3_regs.C_ST2, b_ad3 的第二级 dither 常数	R/W	16'h0400
15'h28CC	[9:0]	b_ad3_regs.C_ST3, b_ad3 的第三级 dither 常数	R/W	16'h0200
15'h28CD	[8:0]	b_ad3_regs.C_ST4, b_ad3 的第四级 dither 常数	R/W	16'h0100
15'h28CE	[13:0]	b_ad3_regs.PLD, b_ad3 的 PLD 初值	R/W	16'h184d
15'h28CF	[13:0]	b_ad3_regs.G1, b_ad3 的级间校准初始值 G1	R/W	16'h1000
15'h28D0	[13:0]	b_ad3_regs.G2, b_ad3 的级间校准初始值 G2	R/W	16'h1000
15'h28D1	[13:0]	b_ad3_regs.G3, b_ad3 的级间校准初始值 G3	R/W	16'h1000
15'h28D2	[13:0]	b_ad3_regs.G4, b_ad3 的级间校准初始值 G4	R/W	16'h1000
15'h28D3	[11:0]	b_ad3_regs.chop_cal, b_ad3 的 chop 校准的手动配置值	R/W	16'h0010
15'h28D4	[11:0]	b_ad3_regs.chop_cal_offset, b_ad3 的 chop 校准的 offset 偏差	R/W	16'h0000
15'h28D5	[9:0]	b_ad3_regs.large_dither_c2, 有符号数 b_ad3 的 large dither bit3 的调节系数在原系数为 4 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h28D6	[9:0]	b_ad3_regs.large_dither_c1, 有符号数 b_ad3 的 large dither bit2 的调节系数在原系数为 2 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h28D7	[9:0]	b_ad3_regs.large_dither_c0, 有符号数 b_ad3 的 large dither bit1 的调节系数在原系数为 1 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h28D8	[12:0]	b_ad3_regs.offset, b_ad3 的 offset 值, 范围-512~+511. 875 步进 1/8	R/W	16'h0000
15'h28D9	[15:0]	reserved	R/W	16'h0000
15'h28DA	[12:0]	b_ad3_regs.gain, b_ad3 的 gain 值, 范围 75%~125% 步进 1/16384	R/W	16'h0000
15'h28DB	[15:0]	reserved	R/W	16'h0000

地址	描述		读写	默认值
15'h28DC	[11:0]	b_ad3_regs.memory_factor, b_ad3 的 memory 效应系数 有符号数, 步进为 1/4096	R/W	16'h0000
15'h28DD	[15:0]	b_ad3_regs.reserve0, b_ad3 的保留寄存器	R/W	16'h0000
15'h28DE	[15:0]	b_ad3_regs.reserve1, b_ad3 的保留寄存器	R/W	16'h0000
15'h28DF	[15:0]	b_ad3_regs.reserve2, b_ad3 的保留寄存器	R/W	16'h0000
15'h28E0	[13:0]	b_ad4_regs.weight_st1_bit3, b_ad4 的 st1 bit3 电容失配权重	R/W	16'h2000
15'h28E1	[13:0]	b_ad4_regs.weight_st1_bit2, b_ad4 的 st1 bit2 电容失配权重	R/W	16'h2000
15'h28E2	[13:0]	b_ad4_regs.weight_st1_bit1, b_ad4 的 st1 bit1 电容失配权重	R/W	16'h2000
15'h28E3	[13:0]	b_ad4_regs.weight_st1_bit0, b_ad4 的 st1 bit0 电容失配权重	R/W	16'h2000
15'h28E4	[12:0]	b_ad4_regs.weight_st2_bit1, b_ad4 的 st2 bit1 电容失配权重	R/W	16'h1000
15'h28E5	[12:0]	b_ad4_regs.weight_st2_bit0, b_ad4 的 st2 bit0 电容失配权重	R/W	16'h1000
15'h28E6	[11:0]	b_ad4_regs.weight_st3_bit1, b_ad4 的 st3 bit1 电容失配权重	R/W	16'h0800
15'h28E7	[11:0]	b_ad4_regs.weight_st3_bit0, b_ad4 的 st3 bit0 电容失配权重	R/W	16'h0800
15'h28E8	[10:0]	b_ad4_regs.weight_st4_bit1, b_ad4 的 st4 bit1 电容失配权重	R/W	16'h0400
15'h28E9	[10:0]	b_ad4_regs.weight_st4_bit0, b_ad4 的 st4 bit0 电容失配权重	R/W	16'h0400
15'h28EA	[11:0]	b_ad4_regs.C_ST1, b_ad4 的第一级 dither 常数	R/W	16'h0800
15'h28EB	[10:0]	b_ad4_regs.C_ST2, b_ad4 的第二级 dither 常数	R/W	16'h0400
15'h28EC	[9:0]	b_ad4_regs.C_ST3, b_ad4 的第三级 dither 常数	R/W	16'h0200
15'h28ED	[8:0]	b_ad4_regs.C_ST4, b_ad4 的第四级 dither 常数	R/W	16'h0100
15'h28EE	[13:0]	b_ad4_regs.PLD, b_ad4 的 PLD 初值	R/W	16'h184d
15'h28EF	[13:0]	b_ad4_regs.G1, b_ad4 的级间校准初始值 G1	R/W	16'h1000
15'h28F0	[13:0]	b_ad4_regs.G2, b_ad4 的级间校准初始值 G2	R/W	16'h1000
15'h28F1	[13:0]	b_ad4_regs.G3, b_ad4 的级间校准初始值 G3	R/W	16'h1000
15'h28F2	[13:0]	b_ad4_regs.G4, b_ad4 的级间校准初始值 G4	R/W	16'h1000
15'h28F3	[11:0]	b_ad4_regs.chop_cal, b_ad4 的 chop 校准的手动配置值	R/W	16'h0010
15'h28F4	[11:0]	b_ad4_regs.chop_cal_offset, b_ad4 的 chop 校准的 offset 偏差	R/W	16'h0000
15'h28F5	[9:0]	b_ad4_regs.large_dither_c2, 有符号数 b_ad4 的 large dither bit3 的调节系数在原系数为 4 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h28F6	[9:0]	b_ad4_regs.large_dither_c1, 有符号数 b_ad4 的 large dither bit2 的调节系数在原系数为 2 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h28F7	[9:0]	b_ad4_regs.large_dither_c0, 有符号数 b_ad4 的 large dither bit1 的调节系数在原系数为 1 基础上调节范围 -0.25~+0.248046875 步进 1/512	R/W	16'h0000
15'h28F8	[12:0]	b_ad4_regs.offset, b_ad4 的 offset 值, 范围-512~+511. 875 步进 1/8	R/W	16'h0000
15'h28F9	[15:0]	reserved	R/W	16'h0000
15'h28FA	[12:0]	b_ad4_regs.gain, b_ad4 的 gain 值, 范围 75%~125% 步进 1/16384	R/W	16'h0000
15'h28FB	[15:0]	reserved	R/W	16'h0000
15'h28FC	[11:0]	b_ad4_regs.memory_factor, b_ad4 的 memory 效应系数 有符号数, 步进为 1/4096	R/W	16'h0000
15'h28FD	[15:0]	b_ad4_regs.reserve0, b_ad4 的保留寄存器	R/W	16'h0000
15'h28FE	[15:0]	b_ad4_regs.reserve1, b_ad4 的保留寄存器	R/W	16'h0000
15'h28FF	[15:0]	b_ad4_regs.reserve2, b_ad4 的保留寄存器	R/W	16'h0000
15'h2900	[5:0]	a_ad_factor_large, a_ad 的 Large dither 的更新因子	R/W	16'h001c
15'h2901	[5:0]	a_ad_factor_st1, a_ad 的第一级 dither 的更新因子	R/W	16'h001c

地址	描述		读写	默认值
15'h2902	[5:0]	a_ad_factor_st2, a_ad 的第二级 dither 的更新因子	R/W	16'h001b
15'h2903	[5:0]	a_ad_factor_st3, a_ad 的第三级 dither 的更新因子	R/W	16'h001a
15'h2904	[5:0]	a_ad_factor_st4, a_ad 的第四级 dither 的更新因子	R/W	16'h0019
15'h2905	[5:0]	a_ad_factor_chop, a_ad 的 chop 的更新因子	R/W	16'h0012
15'h2906	[15:0]	a_ad_data_en, a_ad 的校准数据使能, 为 1 时 ADC 数据进入校准环路; 为 0 时 ADC 数据不进入环路	R/W	16'h0001
15'h2907	[15:0]	a_ad_large_dither_en, a_ad 的 Large dither 校准使能	R/W	16'h0001
15'h2908	[15:0]	a_ad_st1_dither_en, a_ad 的第一级 dither 校准使能	R/W	16'h0001
15'h2909	[15:0]	a_ad_st2_dither_en, a_ad 的第二级 dither 校准使能	R/W	16'h0001
15'h290A	[15:0]	a_ad_st3_dither_en, a_ad 的第三级 dither 校准使能	R/W	16'h0001
15'h290B	[15:0]	a_ad_st4_dither_en, a_ad 的第四级 dither 校准使能	R/W	16'h0001
15'h290C	[15:0]	a_ad_G1_en, a_ad 的第一级增益校准使能	R/W	16'h0001
15'h290D	[15:0]	a_ad_G2_en, a_ad 的第二级增益校准使能	R/W	16'h0001
15'h290E	[15:0]	a_ad_G3_en, a_ad 的第三级增益校准使能	R/W	16'h0001
15'h290F	[15:0]	a_ad_G4_en, a_ad 的第四级增益校准使能	R/W	16'h0001
15'h2910	[15:0]	a_ad_G1G2_en, a_ad 的第一 二级增益校准使能	R/W	16'h0001
15'h2911	[15:0]	a_ad_G1G2G3_en, a_ad 的第一 二 三级增益校准使能	R/W	16'h0001
15'h2912	[15:0]	a_ad_G1G2G3G4_en, a_ad 的第一 二 三 四级增益校准使能	R/W	16'h0001
15'h2913	[15:0]	a_ad_chop_cal_sel, a_ad 的 chop 校准选择开关, 1 时选择 spi 输入的 cal 值, 0 时选择环路迭代产生的 cal 值	R/W	16'h0000
15'h2914	[15:0]	a_ad_chop_en, a_ad 的 chop 使能开关, 1 有效	R/W	16'h0001
15'h2915	[15:0]	a_ad_offset_cal_en, a_ad 的 offset 校准使能开关	R/W	16'h0001
15'h2916	[15:0]	a_ad_gain_cal_en, a_ad 的 gain 校准使能开关	R/W	16'h0001
15'h2917	[5:0]	b_ad_factor_large, b_ad 的 Large dither 的更新因子	R/W	16'h001c
15'h2918	[5:0]	b_ad_factor_st1, b_ad 的第一级 dither 的更新因子	R/W	16'h001c
15'h2919	[5:0]	b_ad_factor_st2, b_ad 的第二级 dither 的更新因子	R/W	16'h001b
15'h291A	[5:0]	b_ad_factor_st3, b_ad 的第三级 dither 的更新因子	R/W	16'h001a
15'h291B	[5:0]	b_ad_factor_st4, b_ad 的第四级 dither 的更新因子	R/W	16'h0019
15'h291C	[5:0]	b_ad_factor_chop, b_ad 的 chop 的更新因子	R/W	16'h0012
15'h291D	[15:0]	b_ad_data_en, b_ad 的校准数据使能, 为 1 时 ADC 数据进入校准环路; 为 0 时 ADC 数据不进入环路	R/W	16'h0001
15'h291E	[15:0]	b_ad_large_dither_en, b_ad 的 Large dither 校准使能	R/W	16'h0001
15'h291F	[15:0]	b_ad_st1_dither_en, b_ad 的第一级 dither 校准使能	R/W	16'h0001
15'h2920	[15:0]	b_ad_st2_dither_en, b_ad 的第二级 dither 校准使能	R/W	16'h0001
15'h2921	[15:0]	b_ad_st3_dither_en, b_ad 的第三级 dither 校准使能	R/W	16'h0001
15'h2922	[15:0]	b_ad_st4_dither_en, b_ad 的第四级 dither 校准使能	R/W	16'h0001
15'h2923	[15:0]	b_ad_G1_en, b_ad 的第一级增益校准使能	R/W	16'h0001
15'h2924	[15:0]	b_ad_G2_en, b_ad 的第二级增益校准使能	R/W	16'h0001
15'h2925	[15:0]	b_ad_G3_en, b_ad 的第三级增益校准使能	R/W	16'h0001
15'h2926	[15:0]	b_ad_G4_en, b_ad 的第四级增益校准使能	R/W	16'h0001

地址	描述		读写	默认值
15'h2927	[15:0]	b_ad_G1G2_en, b_ad 的第一 二级增益校准使能	R/W	16'h0001
15'h2928	[15:0]	b_ad_G1G2G3_en, b_ad 的第一 二 三级增益校准使能	R/W	16'h0001
15'h2929	[15:0]	b_ad_G1G2G3G4_en, b_ad 的第一 二 三 四级增益校准使能	R/W	16'h0001
15'h292A	[15:0]	b_ad_chop_cal_sel, b_ad 的 chop 校准选择开关, 1 时选择 spi 输入的 cal 值, 0 时选择环路迭代产生的 cal 值	R/W	16'h0000
15'h292B	[15:0]	b_ad_chop_en, b_ad 的 chop 使能开关, 1 有效	R/W	16'h0001
15'h292C	[15:0]	b_ad_offset_cal_en, b_ad 的 offset 校准使能开关	R/W	16'h0001
15'h292D	[15:0]	b_ad_gain_cal_en, b_ad 的 gain 校准使能开关	R/W	16'h0001
15'h292E	[15:0]	digit_rst, 数字复位	R/W	16'h0000
15'h292F	[1:0]	data_mode, 数据模式: 0: pattern; 1: 数据; 2: 原始模式 0; 3: 原始模式 1	R/W	16'h0001
15'h2930	[15:0]	pattern, pattern 值	R/W	16'h55AA
15'h2931	[15:0]	lock_reg, 数据锁存信号, 上升沿锁定, 锁定后 16'h2946~16'h2991 寄存器 数据将保持稳定, 以便读取	R/W	16'h0000
15'h2932	[15:0]	sysrst, 204B IP 复位	R/W	16'h0000
15'h2934	[15:0]	rst_fifo, 时钟域转换 fifo 的复位	R/W	16'h0000
15'h2935	[7:0]	global_gain, 全局增益 无符号, 范围 0~2 步进 1/128	R/W	16'h0080
15'h2936	[1:0]	skew_cal_en, skew 自动校准开关, 00: 关闭, 01: 只打开 A 路, 10: 只 打开 B 路, 11: A B 路都打开	RW	16'h0000
15'h2937	[0:0]	interleaved_two_ch_en, 两通道交织使能, 1: 两通道校准, 0: 单通道校 准	RW	16'h0000
15'h2938	[5:0]	factor_gain, 收敛速度因子 ,数值每增加 1, 收敛慢 1 倍, 精度越高 范围 0~36	RW	16'h0020
15'h2939	[5:0]	factor_offset, 收敛速度因子 ,数值每增加 1, 收敛慢 1 倍, 精度越高 范围 0~36	RW	16'h0020
15'h293A	[5:0]	factor_skew, 收敛速度因子 ,数值每增加 1, 收敛慢 1 倍, 精度越高 范围 0~36	RW	16'h0020
15'h293B	[0:0]	skew_mode, skew 的模式 , 0: 累加器 两通道之差, 适用于奈奎斯特一 区, 1: 累加器加两通道之差, 适用于奈奎斯特二区	RW	16'h0000
15'h293C	[15:0]	statistic_num_a, 每轮统计数据个数 无符号数 范围 0~65535	RW	16'h0100
15'h293D	[15:0]	mean_th_value_a, 直方图分布的阈值, 无符号数, 范围 0~63, 大于此值 则成功一轮, 完成 N 轮后, 开启 offset gain 自动校准	RW	16'h0028
15'h293E	[15:0]	bias_th_value_a, 相邻数据差绝对值累加值阈值, 连续 N 轮, 大于此值开 启 skew 自动校准 无符号数 范围 0~65535 开启 skew	RW	16'h1D4C
15'h293F	[6:0]	assert_th_value_a, 判断的轮数 N, 连续 N 次满足条件后才能打开校准	RW	16'h000A
15'h2940	[15:0]	statistic_num_b, 每轮统计数据个数 无符号数 范围 0~65535	RW	16'h0100
15'h2941	[15:0]	mean_th_value_b, 直方图分布的阈值, 无符号数, 范围 0~63, 大于此值 则成功一轮, 完成 N 轮后, 开启 offset gain 自动校准	RW	16'h0028
15'h2942	[15:0]	bias_th_value_b, 相邻数据差绝对值累加值阈值, 连续 N 轮, 大于此值开 启 skew 自动校准 无符号数 范围 0~65535 开启 skew	RW	16'h1D4C
15'h2943	[6:0]	assert_th_value_b, 判断的轮数 N, 连续 N 次满足条件后才能打开校准	RW	16'h000A

地址	描述		读写	默认值
15'h2944	[15:0]	data_inverted, 204B 数据到 serdes 数据的翻转	RW	16'h0000
15'h2945	[0:0]	offset_mode, offset 的模式, 0: 与 adc3 做参考, 1: 与 0 做参考	RW	16'h0000
15'h2946	[13:0]	a_ad1_regs.PLD_debug	R	16'h0000
15'h2947	[13:0]	a_ad1_regs.G1_debug	R	16'h0000
15'h2948	[13:0]	a_ad1_regs.G2_debug	R	16'h0000
15'h2949	[13:0]	a_ad1_regs.G3_debug	R	16'h0000
15'h294A	[13:0]	a_ad1_regs.G4_debug	R	16'h0000
15'h294B	[11:0]	a_ad1_regs.chop_cal_debug	R	16'h0000
15'h294C	[13:0]	a_ad2_regs.PLD_debug	R	16'h0000
15'h294D	[13:0]	a_ad2_regs.G1_debug	R	16'h0000
15'h294E	[13:0]	a_ad2_regs.G2_debug	R	16'h0000
15'h294F	[13:0]	a_ad2_regs.G3_debug	R	16'h0000
15'h2950	[13:0]	a_ad2_regs.G4_debug	R	16'h0000
15'h2951	[11:0]	a_ad2_regs.chop_cal_debug	R	16'h0000
15'h2952	[13:0]	a_ad3_regs.PLD_debug	R	16'h0000
15'h2953	[13:0]	a_ad3_regs.G1_debug	R	16'h0000
15'h2954	[13:0]	a_ad3_regs.G2_debug	R	16'h0000
15'h2955	[13:0]	a_ad3_regs.G3_debug	R	16'h0000
15'h2956	[13:0]	a_ad3_regs.G4_debug	R	16'h0000
15'h2957	[11:0]	a_ad3_regs.chop_cal_debug	R	16'h0000
15'h2958	[13:0]	a_ad4_regs.PLD_debug	R	16'h0000
15'h2959	[13:0]	a_ad4_regs.G1_debug	R	16'h0000
15'h295A	[13:0]	a_ad4_regs.G2_debug	R	16'h0000
15'h295B	[13:0]	a_ad4_regs.G3_debug	R	16'h0000
15'h295C	[13:0]	a_ad4_regs.G4_debug	R	16'h0000
15'h295D	[11:0]	a_ad4_regs.chop_cal_debug	R	16'h0000
15'h295E	[13:0]	b_ad1_regs.PLD_debug	R	16'h0000
15'h295F	[13:0]	b_ad1_regs.G1_debug	R	16'h0000
15'h2960	[13:0]	b_ad1_regs.G2_debug	R	16'h0000
15'h2961	[13:0]	b_ad1_regs.G3_debug	R	16'h0000
15'h2962	[13:0]	b_ad1_regs.G4_debug	R	16'h0000
15'h2963	[11:0]	b_ad1_regs.chop_cal_debug	R	16'h0000
15'h2964	[13:0]	b_ad2_regs.PLD_debug	R	16'h0000
15'h2965	[13:0]	b_ad2_regs.G1_debug	R	16'h0000
15'h2966	[13:0]	b_ad2_regs.G2_debug	R	16'h0000
15'h2967	[13:0]	b_ad2_regs.G3_debug	R	16'h0000
15'h2968	[13:0]	b_ad2_regs.G4_debug	R	16'h0000
15'h2969	[11:0]	b_ad2_regs.chop_cal_debug	R	16'h0000
15'h296A	[13:0]	b_ad3_regs.PLD_debug	R	16'h0000
15'h296B	[13:0]	b_ad3_regs.G1_debug	R	16'h0000
15'h296C	[13:0]	b_ad3_regs.G2_debug	R	16'h0000
15'h296D	[13:0]	b_ad3_regs.G3_debug	R	16'h0000
15'h296E	[13:0]	b_ad3_regs.G4_debug	R	16'h0000

地址	描述		读写	默认值
15'h296F	[11:0]	b_ad3_regs.chop_cal_debug	R	16'h0000
15'h2970	[13:0]	b_ad4_regs.PLD_debug	R	16'h0000
15'h2971	[13:0]	b_ad4_regs.G1_debug	R	16'h0000
15'h2972	[13:0]	b_ad4_regs.G2_debug	R	16'h0000
15'h2973	[13:0]	b_ad4_regs.G3_debug	R	16'h0000
15'h2974	[13:0]	b_ad4_regs.G4_debug	R	16'h0000
15'h2975	[11:0]	b_ad4_regs.chop_cal_debug	R	16'h0000
15'h2976	[12:0]	a_ad1_regs.offset_cal_debug	R	16'h0000
15'h2977	[12:0]	a_ad1_regs.gain_cal_debug	R	16'h0000
15'h2978	[9:0]	a_ad1_regs.skew_cal_debug	R	16'h0000
15'h2979	[12:0]	a_ad2_regs.offset_cal_debug	R	16'h0000
15'h297A	[12:0]	a_ad2_regs.gain_cal_debug	R	16'h0000
15'h297B	[9:0]	a_ad2_regs.skew_cal_debug	R	16'h0000
15'h297C	[12:0]	a_ad3_regs.offset_cal_debug	R	16'h0000
15'h297D	[12:0]	a_ad3_regs.gain_cal_debug	R	16'h0000
15'h297E	[9:0]	a_ad3_regs.skew_cal_debug	R	16'h0000
15'h297F	[12:0]	a_ad4_regs.offset_cal_debug	R	16'h0000
15'h2980	[12:0]	a_ad4_regs.gain_cal_debug	R	16'h0000
15'h2981	[9:0]	a_ad4_regs.skew_cal_debug	R	16'h0000
15'h2982	[12:0]	b_ad1_regs.offset_cal_debug	R	16'h0000
15'h2983	[12:0]	b_ad1_regs.gain_cal_debug	R	16'h0000
15'h2984	[9:0]	b_ad1_regs.skew_cal_debug	R	16'h0000
15'h2985	[12:0]	b_ad2_regs.offset_cal_debug	R	16'h0000
15'h2986	[12:0]	b_ad2_regs.gain_cal_debug	R	16'h0000
15'h2987	[9:0]	b_ad2_regs.skew_cal_debug	R	16'h0000
15'h2988	[12:0]	b_ad3_regs.offset_cal_debug	R	16'h0000
15'h2989	[12:0]	b_ad3_regs.gain_cal_debug	R	16'h0000
15'h298A	[9:0]	b_ad3_regs.skew_cal_debug	R	16'h0000
15'h298B	[12:0]	b_ad4_regs.offset_cal_debug	R	16'h0000
15'h298C	[12:0]	b_ad4_regs.gain_cal_debug	R	16'h0000
15'h298D	[9:0]	b_ad4_regs.skew_cal_debug	R	16'h0000
15'h298E	[6:0]	cnt_mean_th_meet_static_a	R	16'h0000
15'h298F	[6:0]	cnt_mean_th_meet_static_b	R	16'h0000
15'h2990	[15:0]	cnt_bias_th_meet_static_a	R	16'h0000
15'h2991	[15:0]	cnt_bias_th_meet_static_b	R	16'h0000

7.5 主要寄存器说明

7.5.1 VDL_TH*与 VDL_BTH*

VDL_TH*与 VDL_BTH* 寄存器用来调节每一路子 ADC 采样保持器的采样时刻。下表给出双通道与单通道两种模式推荐配置下，VDL_TH*与 VDL_BTH* 寄存器与子 ADC 的对应关系。

表 7-4 单通道模式下子 ADC 和采保时刻寄存器对应关系

子 ADC	寄存器地址
ADC1	0x09
ADC2	0x0C
ADC3	0x0D
ADC4	0x08
BADC1	0x0E
BADC2	0x0B
BADC3	0x0A
BADC4	0x07

表 7-5 双通道模式下子 ADC 和采保时刻寄存器对应关系

子 ADC	寄存器地址
ADC1	0x07
ADC2	0x0E
ADC3	0x0B
ADC1	0x0A
BADC1	0x09
BADC2	0x0C
BADC3	0x0D
BADC4	0x08

VDL_TH*与 VDL_BTH* 寄存器的调控分为高 4 位和低 6 位，分别由两个不同权重的 DAC 调节延迟，使得最终调节趋势如图 7-2 所示。

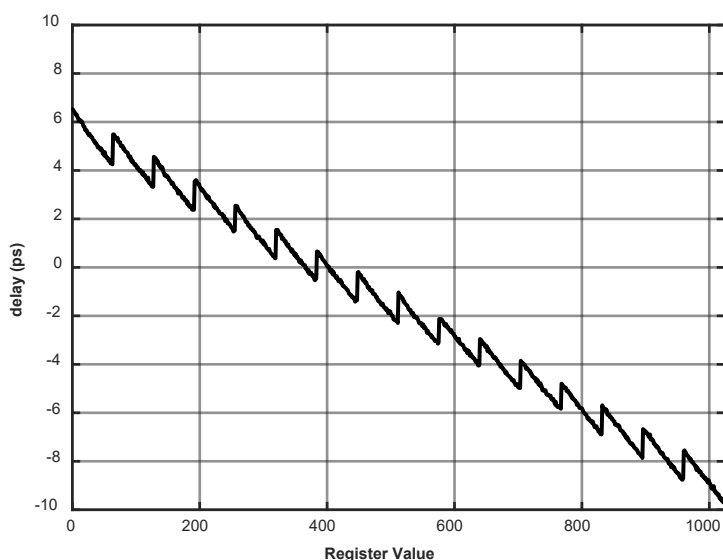


图 7-2 采保时刻寄存器码字和子 ADC 延迟调节对应关系

8 封装和订购信息

封装	温度范围(芯片壳温)	输出接口	封装描述
AAD12D3000	-	JESD204B	BGA144_10×10

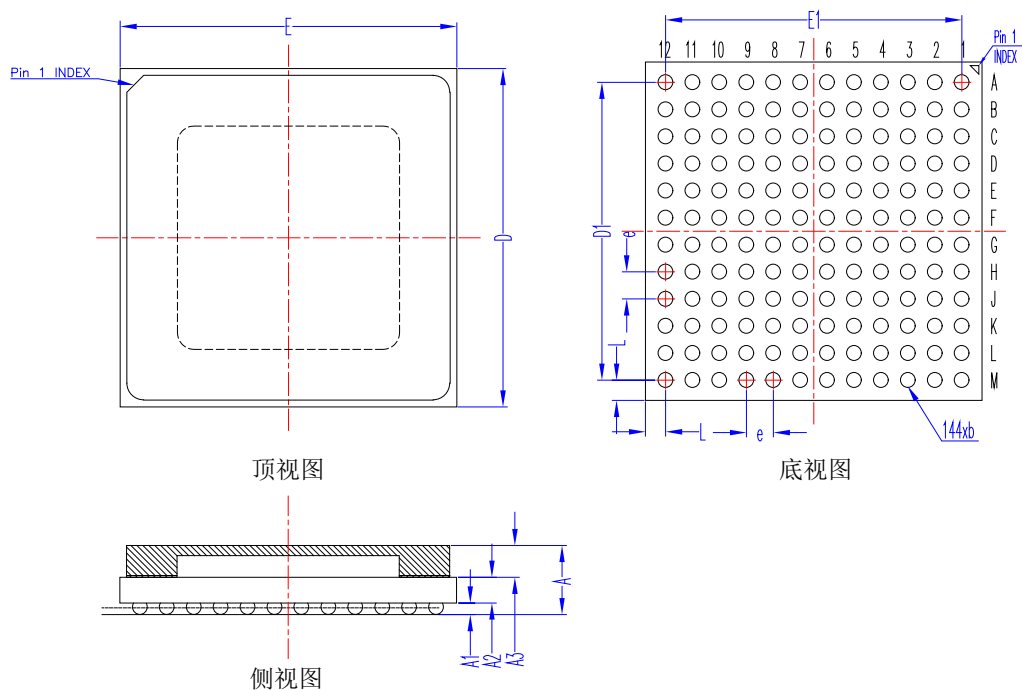


图 8-1 AAD12D3000_BGA144 封装示意图

表 8-1 AAD12D3000 封装尺寸表

器件标识	尺寸(mm)		
	MIN	NOM	MAX
A	1.863	2.043	2.223
A1	0.293	0.343	0.393
A2	0.680	0.760	0.840
A3	0.890	0.940	0.990
D	9.9	10.0	10.1
E	9.9	10.0	10.1
D1	8.80REF		
E1	8.80REF		
L	0.60REF		
e	0.80REF		
b	0.40	0.45	0.50

Phone: 0512-62928177 | Web: www.acelamicro.com | Email: sales@acelamicro.com

9 修订版次

版本信息	日期	版本号
1、预发布版本	2026.01	Rev0.0
1、补充误码率测试条件 2、更新典型测试结果的频谱图 3、更新控制接口 SPI 时序图	2026.01	Rev0.1
1、更新 ESD 信息	2026.02	Rev0.2
1、更新封装图纸	2026.02	Rev0.3

10 声明

迅芯微电子（苏州）股份有限公司及其分公司和经销商有权对其公司提供的半导体产品进行修正、增强、提高及做出其他的改变。同时也拥有在最新版产品已经发布的基础上，中止任何一款产品和服务的权利。购买者应在下单前获取相关的最新信息，并确认这些信息的有效性和完整性。所有售出的半导体产品都必须遵循迅芯微电子（苏州）股份有限公司在接到订单确认时的销售条款和条件。

根据迅芯微电子（苏州）股份有限公司销售的半导体产品的保修条款，迅芯微电子（苏州）股份有限公司担保器件的性能规范适用于销售之时。本公司采取了必要的测试和质量控制手段来支持产品达到这样的品质。除非有法律的具体规定，否则并不是每个器件的所有参数都是必须要执行测试的。

迅芯微电子（苏州）股份有限公司对购买者使用产品做出的设计和应用不承担任何的连带责任，购买者应对使用了迅芯微电子（苏州）股份有限公司器件的产品和应用自负其责。并应采取适当的设计或操作时的具体保护措施来使您所设计的产品风险降至最低。

对于任何使用迅芯微电子（苏州）股份有限公司的器件和服务的所有相关的组合、设备或过程，迅芯微电子（苏州）股份有限公司不保证或代表许可——无论是明示或暗示——授予其使用任何相关的专利权、版权或其他任何知识产权。迅芯微电子（苏州）股份有限公司对第三方产品或服务不构成许可使用这些产品或服务的保修或背书。使用这样的信息可能需要从第三方的专利或第三方的其他知识产权获得许可或授权，或从迅芯微电子（苏州）股份有限公司获得专利和其他知识产权的授权。

从迅芯微电子（苏州）股份有限公司的数据手册中复制重要的章节是被允许的，只要复制时没有更改，同时附上所有相关的担保、条件、限制和告示信息。迅芯微电子（苏州）股份有限公司不对这些修改后的文件承担任何责任，第三方的信息可能会受到附加条件的约束。

超出迅芯微电子（苏州）股份有限公司所标明的器件或服务的参数范围或在与之不同参数下转售迅芯微电子（苏州）股份有限公司的器件或服务，或对迅芯微电子（苏州）股份有限公司的器件或服务无法提供有效服务并且暗含担保无效的行为，都是一种不公平且带有欺骗性质的商业行为。迅芯微电子（苏州）股份有限公司不为这样的声明承担任何责任。

购买者应确认并同意，尽管迅芯微电子（苏州）股份有限公司可能提供了与应用相关的信息或支持，但您将自行负责遵守与您的产品以及在应用中使用任何迅芯微电子（苏州）股份有限公司的器件有关的所有法律、法规和安全方面的要求。购买者应表示并同意您具备所有必要的专业知识，能够创建和实施安全措施以预测故障的危险后果、监控故障及其后果、降低可能导致伤害的故障的可能性并采取适当的补救措施。购买者将全额赔偿因在重大的安全应用中使用任何迅芯微电子（苏州）股份有限公司器件而对迅芯微电子（苏州）股份有限公司及其所代表方造成的所有损失。

在某些情况下，为了推广安全相关应用，有可能对迅芯微电子（苏州）股份有限公司的器件进行专门提升。借助于这样的器件，迅芯微电子（苏州）股份有限公司的目标旨在帮助客户设计和创立其特有的可满足功能性安全标准和要求的终端产品解决方案。尽管如此，此类器件仍然遵守本条款。