

8 通道、350KSPS16Bits、同步采样模数转换器(ADC)

- 8 通道同步采样输入
- 双极模拟输入范围: $\pm 12.5\text{V}$, $\pm 10\text{V}$, $\pm 5\text{V}$
- 单 5V 电源工作和 2.5V-5V 数字接口电压
- 模拟输入保护
- 具有 $1\text{M}\Omega$ 模拟输入阻抗的输入缓冲器
- 灵活的串/并行接口, 可兼容 SPI/DSP

AAD16E350K 是一款 16 位、同步采样、模数转换数据采集系统 (DAS)，具有 8 个通道，每个通道均内置包含模拟输入位保护、一阶抗混叠滤波器、跟踪保持放大器、16 位电荷再分配连续近似模数转换器(ADC)、灵活的数字滤波器、2.5V 参考和参考缓冲器以及高速串行和并行接口。

以承受 $\pm 16.5V$ 的电压。无论采样频率如何，AAD16E350K 都具有 $1M\Omega$ 模拟输入阻抗。单电源操作、片上滤波和高输入阻抗消除了对驱动运放和外部双极电源的需求。

- 电力线路监控和保护
- 多相电机控制
- 仪器仪表和控制系统
- 多轴定位系统
- 数据采集系统

- 分辨率: 16Bits
- SNR: 89dB@±10V
- SFDR: 105dBc@±10V
- 输入电压范围: ±10V/±5V/±12.5V
- DNL/INL: ±2LSB/±2LSB (TYP)
- 功耗: 250mW@f_{sample}=350kSPS



目录

1	产品特点	1
2	产品描述	1
3	应用范围	1
4	主要性能指标	1
5	引脚配置	3
6	性能参数	6
6.1	绝对最大额定值	6
6.2	封装热阻	6
6.3	ESD 信息	6
6.4	技术规格	6
6.5	时序规格	9
6.6	典型测试结果	13
7	产品详细描述	14
7.1	工作原理	14
7.1.1	模拟前端	14
7.1.2	模拟输入范围	14
7.1.3	模拟输入阻抗	14
7.1.4	输入钳位保护	14
7.1.5	模拟输入抗混叠滤波器	14
7.1.6	SAR ADC	14
7.1.7	ADC 转换函数	15
7.1.8	基准电压源	15
7.1.9	典型连接图	15
7.1.10	掉电模式	15
7.1.11	转换控制	16
7.2	数字接口	16
7.2.1	并行接口 (PAR/SER/BYTE SEL=0)	16
7.2.2	并行字节接口 (PAR/SER/BYTE SEL=1, DB15=1)	17
7.2.3	串行接口 (PAR/SER/BYTE SEL=1, DB15=0)	17
7.2.4	转换期间读取	18
7.2.5	数字滤波器	18
8	PCB 设计	19
9	封装和订购信息	20
10	修订版次	21
11	声明	22

5 引脚配置

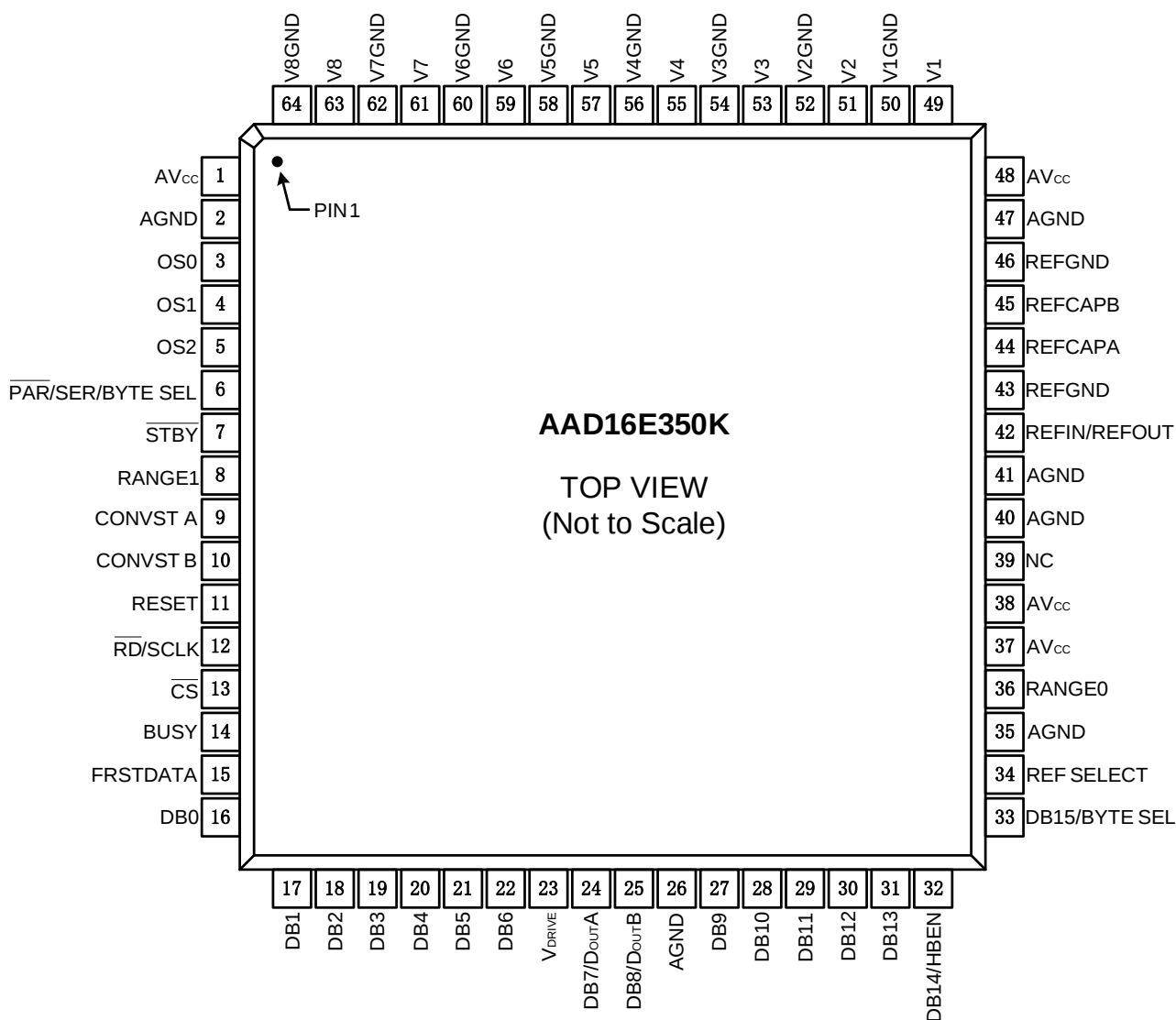


图 5-1 AAD16E350K 封装引脚分布图（顶视图）

表 5-1 AAD16E350K 引脚说明

编号	类型	名称	描述
1,37,38,48	P	AV _{CC}	模拟电源电压，4.75V 至 5.25V。这是内部前端放大器和 ADC 内核的电源电压。将这些电源引脚去耦至 AGND。
2,26,35,40,41,47	P	AGND	模拟地。这些引脚是 AAD16E350K 上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都必须参考这些引脚。所有六个 AGND 引脚必须连接到系统的 AGND 层。
5,4,3	DI	OS[2:0]	过采样模式引脚。这些输入选择过采样率或使能高带宽模式（过采样引脚解码参见表 12）。关于过采样工作模式的更多信息，参见“数字滤波器”部分。
6	DI	$\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$	并行/串行/字节接口选择输入。逻辑输入引脚。当该引脚接低电平时，将选择并行接口；接高电平时，将选择串行接口。当该引脚为高电平且 DB15/BYTE SEL 引脚也为高电平时，将选择并行字节接口模式（详见表 7-3）。 串行模式下， $\overline{\text{RD}}/\text{SCLK}$ 引脚作为串行时钟输入引脚，DB7/D _{out} A 引脚和 DB8/D _{out} B 引脚作为串行数据输出引脚。选择串行接口时，需将 DB15 至 DB9 引脚、DB6 至 DB0 引脚接地。 字节模式下，DB15 引脚与 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$ 引脚配合，用于选择并行字节工作模式（详见表 7-3）；DB14 引脚作为高字节使能引脚。16 位转换结果将通过两次读操作由 DB7 至 DB0 引脚传

			输，其中 DB0 为数据传输的最低有效位。
7	DI	$\overline{\text{STBY}}$	待机模式输入引脚。该引脚用于将 AAD16E350K 芯片置于两种掉电模式中的一种：待机模式或关断模式。进入的掉电模式类型由 RANGE 引脚的电平状态决定，具体详见表 7-2。待机模式下，除片内基准源、稳压器及稳压器缓冲电路外，所有电路均掉电；关断模式下，所有电路均处于掉电状态。
8,36	DI	RANGE[1:0]	模拟输入量程选择：逻辑输入引脚。该引脚的电平极性决定模拟输入通道的输入量程。当 RANGE[1:0]=2'b10 时，所有通道的模拟输入量程为 $\pm 10\text{V}$ ；当 RANGE[1:0]=2'b11 时，所有通道的模拟输入量程为 $\pm 12.5\text{V}$ ；当 RANGE1=0 时，所有通道的模拟输入量程为 $\pm 5\text{V}$ 。该引脚的电平状态发生变化，会立即改变模拟输入量程。对于高吞吐率的应用场景，不建议在转换过程中改变该引脚的电平状态。更多信息请参见模拟输入章节。
9,10	DI	CONVST A, CONVST B	转换启动输入 A、转换启动输入 B。逻辑输入引脚。此类逻辑输入引脚用于触发模拟输入通道的模数转换。若需对所有输入通道进行同步采样，可将 CONVST A 与 CONVST B 短接，仅施加一路转换启动信号即可。也可分别使用两路引脚触发不同通道的同步采样：CONVST A 用于触发模拟输入通道 V1、V2、V3、V4 的同步采样；CONVST B 用于触发模拟输入通道 V5、V6、V7、V8 的同步采样。该操作仅在过采样功能未开启时生效。
11	DI	RESET	复位输入引脚。当该引脚置为高电平时，复位信号的上升沿将对芯片执行复位操作。芯片上电后应立即接入复位脉冲，复位高电平脉冲的典型宽度为 50ns。若在模数转换过程中施加复位脉冲，转换过程将被中止；若在数据读取过程中施加复位脉冲，输出寄存器中的数据将被复位为全零。
12	DI	$\overline{\text{RD}}/\text{SCLK}$	并行接口选通时为并行数据读取控制输入 ($\overline{\text{RD}}$) / 串行接口选通时为串行时钟输入 (SCLK)。并行模式下，当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为低电平时，输出总线被使能。串行模式下，该引脚作为数据传输的串行时钟输入。 $\overline{\text{CS}}$ 下降沿将 D _{out} A 和 D _{out} B 数据输出线退出三态，并将转换结果的最高有效位移出。串行时钟 (SCLK) 上升沿将后续所有数据位移至 D _{out} A 和 D _{out} B 串行数据输出端。有关详细信息，请参阅转换控制章节。
13	DI	$\overline{\text{CS}}$	片选。该引脚为低电平有效的逻辑输入，用于同步数据传输时序。并行模式下，当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为低电平时，16 位并行数据输出总线 DB[15:0] 被使能，转换结果将通过该并行数据总线输出；串行模式下， $\overline{\text{CS}}$ 用于同步串行读取传输的时序，并将串行输出数据的最高有效位 (MSB) 移出。
14	DO	BUSY	输出繁忙。该引脚在 CONVST A 和 CONVST B 均出现上升沿后跳转为高电平，表明转换过程已启动。BUSY 输出端将保持高电平，直至所有通道的转换过程全部完成。BUSY 引脚的下降沿表示转换数据正被锁存至输出数据寄存器，经过 t ₄ 时长后即可读取。若在 BUSY 为高电平期间读取数据，均须在 BUSY 下降沿出现前完成读取操作。BUSY 信号为高电平时，CONVST A 或 CONVST B 的上升沿均不产生任何作用。
15	DO	FRSTDATA	第一个数据输出。FRSTDATA 输出信号用于指示首个通道 V1 的转换结果正通过并行、字节或串行接口被回读。当 $\overline{\text{CS}}$ 输入为高电平时，FRSTDATA 输出引脚处于三态； $\overline{\text{CS}}$ 下降沿使 FRSTDATA 引脚退出三态。并行模式下，与 V1 通道转换结果对应的读信号 $\overline{\text{RD}}$ 下降沿会将 FRSTDATA 引脚置为高电平，表明 V1 通道的转换结果已出现在输出数据总线上，待下一个 $\overline{\text{RD}}$ 下降沿到来后，FRSTDATA 输出将恢复为低电平。串行模式下， $\overline{\text{CS}}$ 下降沿会使 FRSTDATA 置高（因该下降沿会将 V1 通道的最高有效位通过 D _{out} A 引脚移出），在 $\overline{\text{CS}}$ 下降沿之后的第 16 个串行时钟 (SCLK) 下降沿到来时，FRSTDATA 将恢复为低电平。更多细节请参阅转换控制章节。
22 to 16	DO	DB[6:0]	并行输出数据位。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$ 引脚为低电平时，本组引脚为三态并行数字输入/输出引脚；当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为低电平时，该组引脚用于输出转换结果的 DB6 至 DB0 位。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$ 引脚为高电平时，本组引脚应接模拟地 (AGND)。工作于并行字节接口模式时，16 位转换结果将通过两次读信号 $\overline{\text{RD}}$ 操作，由 DB[7:0] 引脚分字节输出，其中 DB7 (24 号引脚) 为最高有效位，DB0 为最低有效位。
23	P	V _{DRIVE}	逻辑电源输入。该引脚输入的电压 (2.5V 至 5.25V) 决定接口的工作电压，此引脚的标称供电电压应与主机接口（如数字信号处理器、现场可编程门阵列）的供电电压保持一致。
24	DO	DB7/D _{out} A	并行输出数据位 7 (DB7) / 串行接口数据输出引脚 (D _{out} A)。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$ 为低电平

			时, 该引脚为三态并行数字输入/输出引脚; 当 $\overline{CS}$ 和 $\overline{RD}$ 均为低电平时, 此引脚用于输出转换结果的 DB7 位。当 $\overline{PAR/SER/BYTE SEL}$ 为高电平时, 该引脚作为 D _{outA} 引脚使用, 输出串行转换数据 (详细信息请参阅转换控制章节)。工作于并行字节模式时, DB7 为该字节的最高有效位 (MSB)。
25	DO	DB8/D _{outB}	并行输出数据位 8 (DB8) / 串行接口数据输出引脚 (D _{outB})。当 $\overline{PAR/SER/BYTE SEL}$ 为低电平时, 该引脚为三态并行数字输入/输出引脚; 当 $\overline{CS}$ 和 $\overline{RD}$ 均为低电平时, 此引脚用于输出转换结果的 DB8 位。当 $\overline{PAR/SER/BYTE SEL}$ 为高电平时, 该引脚作为 D _{outB} 引脚工作, 输出串行转换数据 (详细信息请参阅转换控制章节)。
31 to 27	DO	DB[13:9]	并行输出数据位, DB13 至 DB9。当 $\overline{PAR/SER/BYTE SEL}$ 为低电平时, 这些引脚用作三态并行数字输入/输出引脚。当 $\overline{CS}$ 和 $\overline{RD}$ 均为低电平时, 这些引脚用于输出转换结果的 DB13 至 DB9。当 $\overline{PAR/SER/BYTE SEL}$ 为高电平时, 这些引脚应连接至 AGND。
32	DO/DI	DB14/HBEN	并行输出数据位 14 (DB14)/高字节使能 (HBEN)。当 $\overline{PAR/SER/BYTE SEL}$ 为低电平时, 此引脚用作三态并行数字输出引脚。当 $\overline{CS}$ 和 $\overline{RD}$ 均为低电平时, 此引脚用于输出转换结果的 DB14。当 $\overline{PAR/SER/BYTE SEL}$ 为高电平且 DB15/BYTE SEL 为高电平时, 芯片工作于并行字节接口模式。在并行字节模式下, HBEN 引脚用于选择转换结果是先输出最高有效字节 (MSB) 还是最低有效字节 (LSB)。 当 HBEN=1 时, 先输出 MSB, 后输出 LSB。 当 HBEN=0 时, 先输出 LSB, 后输出 MSB。 在串行模式下, 此引脚应连接到 AGND。
33	DO/DI	DB15/BYTE SEL	并行输出数据位 15 (DB15)/并行字节模式选择 (BYTE SEL)。当 $\overline{PAR/SER/BYTE SEL}$ 为低电平时, 此引脚作为三态并行数字输出引脚。当 $\overline{CS}$ 和 $\overline{RD}$ 均为低电平时, 该引脚用于输出转换结果的 DB15。当 $\overline{PAR/SER/BYTE SEL}$ 为高电平时, BYTE SEL 引脚用于在串行接口模式和并行字节接口模式之间进行选择 (参见表 7-3)。当 $\overline{PAR/SER/BYTE SEL}$ 为高电平且 DB15/BYTE SEL 为低电平时, 芯片工作于串行接口模式。当 $\overline{PAR/SER/BYTE SEL}$ 为高电平且 DB15/BYTE SEL 为高电平时, 芯片工作于并行字节接口模式。
34	DI	REF SELECT	内部/外部基准电压源选择输入。逻辑输入。若将此引脚设置为逻辑高电平, 则选择并启用内部基准电压源。若将此引脚设置为逻辑低电平, 则禁用内部基准电压源, 必须向 REF _{IN} /REF _{OUT} 引脚施加外部基准电压。
39		NC	不需要连接, 内部下拉, 片外可接电容或接 AGND。
42	REF	REF _{IN} /REF _{OUT}	基准电压输入 (REF _{IN})/基准电压输出 (REF _{OUT})。若 REF SELECT 引脚设置为逻辑高电平, 则片上 2.5V 基准电压源可通过此引脚供外部使用。或者, 可通过将 REF SELECT 引脚设置为逻辑低电平来禁用内部基准电压源, 并向该输入施加 2.5V 的外部基准电压 (请参阅内部/外部基准电压源章节)。无论选择内部还是外部基准电压源, 此引脚均需进行去耦处理。应在此引脚与靠近 REF _{GND} 引脚的地之间连接一个 10μF 的电容。
43,46	REF	REF _{GND}	基准电压接地引脚。这些引脚必须连接到 AGND。
44,45	REF	REF _{CAPA} , REF _{CAPB}	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起, 并通过低 ESR (有效串联电阻) 10μF 陶瓷电容去耦至 AGND。这些引脚上的电压通常为 4.4V。
49	AI	V1	通道 1 正模拟输入引脚。
50	AI GND	V1 _{GND}	通道 1 负模拟输入引脚。
51	AI	V2	通道 2 正模拟输入引脚。
52	AI GND	V2 _{GND}	通道 2 负模拟输入引脚。
53	AI	V3	通道 3 正模拟输入引脚。
54	AI GND	V3 _{GND}	通道 3 负模拟输入引脚。
55	AI	V4	通道 4 正模拟输入引脚。
56	AI GND	V4 _{GND}	通道 4 负模拟输入引脚。
57	AI	V5	通道 5 正模拟输入引脚。

58	AI GND	V5GND	通道 5 负模拟输入引脚。
59	AI	V6	通道 6 正模拟输入引脚。
60	AI GND	V6GND	通道 6 负模拟输入引脚。
61	AI	V7	通道 7 正模拟输入引脚。
62	AI GND	V7GND	通道 7 负模拟输入引脚。
63	AI	V8	通道 8 正模拟输入引脚。
64	AI GND	V8GND	通道 8 负模拟输入引脚。

6 性能参数

6.1 绝对最大额定值

注意，超出绝对最大额定值可能会导致器件永久性损坏。绝对最大额定值仅代表产品的压力等级，不作为实现产品功能的工作条件的限值，超过本手册中推荐工作条件章节的限值均是不推荐的行为。

表 6-1

参数	最小值	最大值
AV _{CC} 至 AGND	-0.3V	+7V
V _{DRIVE} 至 AGND	-0.3V	AV _{CC} +0.3V
模拟输入电压至 AGND	-16.5V	+16.5V
数字输入电压至 AGND	-0.3V	V _{DRIVE} +0.3V
数字输出电压至 AGND	-0.3V	V _{DRIVE} +0.3V
REFIN 至 AGND	-0.3V	AV _{CC} +0.3V
输入电流至除电源外的任何引脚	-10mA	+10mA
工作温度范围	-40°C	+125°C
存储温度范围	-65°C	+150°C
结温	-	+150°C
铅锡焊接温度回流焊(10 秒至 30 秒)	-	+240°C
无铅回流焊温度	-	+260°C

6.2 封装热阻

以下数据为封装热阻仿真结果，仿真条件为自然空气对流环境，采用 JEDEC 2S2P PCB 测试板。

表 6-2

封装类型	θ_{JA}	θ_{JC}
64 脚 LQFP	45°C/W	11°C/W

6.3 ESD 信息

注意：本产品内置防静电保护装置有限，为了防止静电损坏门电路，在储存或处理过程中应使引脚短接在一起或将产品放置在导电泡沫材料中。

表 6-3

参数	最小值	最大值
HBM	除模拟输入外的所有管脚	2000V
	仅模拟输入管脚	7000V

6.4 技术规格

除非另有说明，VREF=2.5V 内部基准电压,低带宽模式，AV_{CC}=4.75V 至 5.25V，V_{DRIVE}=2.5V 至 5.25V，f_{SAMPLE} = 350kSPS，T_A=-40°C 至 125°C。

表 6-4

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	除非另有说明输入为正弦波 $f_{IN}=1\text{kHz}$				
信噪比(SNR)	16 倍过采样; $\pm 12.5\text{V}$ 输入范围; $f_{IN}=130\text{Hz}$		92.8		dB
	16 倍过采样; $\pm 10\text{V}$ 输入范围; $f_{IN}=130\text{Hz}$		92.6		dB
	16 倍过采样; $\pm 5\text{V}$ 输入范围; $f_{IN}=130\text{Hz}$		92.4		dB
	无过采样; $\pm 12.5\text{V}$ 输入范围		88.7		dB
	无过采样; $\pm 10\text{V}$ 输入范围		88.6		dB
	无过采样; $\pm 5\text{V}$ 输入范围		88.5		dB
信噪失真比(SINAD)	无过采样; $\pm 12.5\text{V}$ 输入范围		88.2		dB
	无过采样; $\pm 10\text{V}$ 输入范围		88.1		dB
	无过采样; $\pm 5\text{V}$ 输入范围		88.2		dB
动态范围	无过采样; $\pm 12.5\text{V}$ 输入范围		TBD		dB
	无过采样; $\pm 10\text{V}$ 输入范围		TBD		dB
	无过采样; $\pm 5\text{V}$ 输入范围		TBD		dB
总谐波失真(THD)	所有输入范围		-100	-98	dB
无杂散动态范围(SFDR)	所有输入范围		101	105	dB
通道间隔离	未选中通道 f_{IN} 最高可达 160kHz		TBD		dB
模拟输入滤波器					
全功率带宽	-3dB; $\pm 12.5\text{V}$ 输入范围; 低带宽模式		27.26		kHz
	-3dB; $\pm 10\text{V}$ 输入范围; 低带宽模式		23.12		kHz
	-3dB; $\pm 5\text{V}$ 输入范围; 低带宽模式		13.08		kHz
	-3dB; $\pm 12.5\text{V}$ 输入范围; 高带宽模式		81.91		kHz
	-3dB; $\pm 10\text{V}$ 输入范围; 高带宽模式		78.67		kHz
	-3dB; $\pm 5\text{V}$ 输入范围; 高带宽模式		65.61		kHz
	-0.1dB; $\pm 12.5\text{V}$ 输入范围; 低带宽模式		2.81		kHz
	-0.1dB; $\pm 10\text{V}$ 输入范围; 低带宽模式		2.29		kHz
	-0.1dB; $\pm 5\text{V}$ 输入范围; 低带宽模式		1.58		kHz
	-0.1dB; $\pm 12.5\text{V}$ 输入范围; 高带宽模式		8.67		kHz
	-0.1dB; $\pm 10\text{V}$ 输入范围; 高带宽模式		8.43		kHz
	-0.1dB; $\pm 5\text{V}$ 输入范围; 高带宽模式		4.98		kHz
直流精度					
分辨率	无失码	16			位
微分非线性(DNL)		-1		2	LSB
积分非线性(INL)		-2		2	LSB
正满量程误差	外部基准电压源		TBD		LSB
	内部基准电压源		TBD		LSB
正满量程误差漂移	外部基准电压源		TBD		ppm/°C
	内部基准电压源		TBD		ppm/°C
正满量程误差匹配	$\pm 10\text{V}$ 输入范围		TBD		LSB
双极性零代码误差	$\pm 10\text{V}$ 输入范围		TBD		LSB
双极性零代码误差漂移	$\pm 10\text{V}$ 输入范围		TBD		ppm/°C
双极性零代码误差匹配	$\pm 10\text{V}$ 输入范围		TBD		LSB
负满量程误差	外部基准电压源		TBD		LSB
	内部基准电压源		TBD		LSB

参数	测试条件/注释	最小值	典型值	最大值	单位
负满量程误差漂移	外部基准电压源		TBD		ppm/°C
	内部基准电压源		TBD		ppm/°C
负满量程误差匹配	±10V 输入范围		TBD		LSB
模拟输入					
输入电压范围	RANGE[1:0]=2'b11	-12.5		12.5	V
	RANGE[1:0]=2'b10	-10		10	V
	RANGE1=0	5		5	V
模拟输入电流	12.5V		8.9		μA
	10V		6.7		μA
	5V		2.5		μA
输入阻抗			1		MΩ
基准电压输入/输出					
基准输入电压		2.475	2.5	2.525	V
直流漏电流			13.7		μA
基准输出电压	REFIN/REFOUT		2.5		V
基准源温度系数			3		ppm/°C
逻辑输入					
输入高电压(V _{IHH})		0.7×V _{DRIVE}			V
输入低电压(V _{IHL})				0.3×V _{DRIVE}	V
输入电流(I _{IN})				±2	μA
输入电容			5		pF
逻辑输出					
输出高电压(V _{OH})	拉电流(I _{SOURCE}) = 100μA	V _{DRIVE} -0.2			V
输出低电压(V _{OL})	灌电流(I _{SINK}) = 100μA			0.2	V
浮空态漏电流			±1	±20	μA
输出电容			5		pF
输出编码	二进制补码				
转换速率					
转换时间	见表 6-5		2.1		μs
采集时间		0.75			μs
吞吐速率	每通道			350	kSPS
电源要求					
AV _{CC}		4.75	5	5.25	V
V _{DRIVE}		2.5		5.25	V
AV _{CC} 电流	工作模式		49.5		mA
	待机模式		15.5		mA
	关断模式		2		mA
V _{DRIVE} 电流	工作模式		1		mA
	待机模式		0		mA
	关断模式		0		mA
功耗	工作模式		250.8		mW
	待机模式		77.5		mW
	关断模式		10		mW

6.5 时序规格

除非另有说明, VREF=2.5V 外部/内部基准电压, AVCC=4.75V 至 5.25V, VDRIVE=2.5V 至 5.25V, TA=TMIN 至 TMAX。样品在初次发布时经过测试以确保符合规范。所有输入信号均按以下条件规定: tr = tf = 5 ns(VDRIVE 的 10%至 90%), 且时序以 1.6V 的电压电平为基准。

表 6-5

参数	最小值	典型值	最大值	单位	描述
并行/串行/字节 模式					
tCYCLE		2.85		μs	1/吞吐率
		4.5		μs	并行模式, 转换后读取或转换期间读取
		8		μs	串行模式双线: VDRIVE=3.3V, 转换期间读取, 用 DOUTA 和 DOUTB 输出 串行模式单线: VDRIVE=3.3V, 转换期间读取, 用 DOUTA 或 DOUTB 输出
tCONV		2.105		μs	转换时间
		4.63		μs	无过采样
		9.675		μs	2 倍过采样
		19.775		μs	4 倍过采样
		39.965		μs	8 倍过采样
		80.33		μs	16 倍过采样
		161.065		μs	32 倍过采样
tWAKE-UP STANDBY		100		μs	STBY 上升沿到 CONVST x 上升沿; 待机模式后唤醒时间
tWAKE-UP SHUTDOWN	内部基准	180		ms	STBY 上升沿到 CONVST x 上升沿; 关断模式后唤醒时间
	外部基准	13		ms	STBY 上升沿到 CONVST x 上升沿; 关断模式后唤醒时间
tRESET		100		ns	RESET 高电平脉冲宽度
tOS_SETUP	20			ns	BUSY 到 OS x 建立时间
tOS_HOLD	20			ns	BUSY 到 OS x 保持时间
t1		40		ns	CONVST 高电平至 BUSY 高电平延迟时间
t2	25			ns	CONVST 低电平脉冲宽度
t3	25			ns	CONVST 高电平脉冲宽度
t4	20			ns	BUSY 下降沿到 CS 下降沿建立时间
t5		0.5		ms	CONVST A 上升沿和 CONVST B 上升沿间的延迟时间
t6	110			ns	最后一个 CS 上升沿到 BUSY 下降沿的时间
t7	50			ns	RESET 低电平到 CONVST x 高电平延迟时间
并行/字节读取操作					
t8	40			ns	CS 到 RD 建立时间
t9	5			ns	CS 到 RD 保持时间
t10	TBD			ns	RD 低电平脉冲宽度
	21			ns	VDRIVE>3.3V
	TBD			ns	VDRIVE>2.5V
t11	10			ns	RD 高电平脉冲宽度
t12	10			ns	CS 高电平脉冲宽度, 相连的 CS 和 RD
t13			TBD	ns	从 CS 有效到 DB[15:0]退出高阻态
			31	ns	VDRIVE>4.75V VDRIVE>3.3V

参数	最小值	典型值	最大值	单位	描述
			TBD	ns	$V_{DRIVE} > 2.5V$
t ₁₄			TBD	ns	$\overline{RD}$ 下降沿后的数据访问时间
			30	ns	$V_{DRIVE} > 4.75V$
			TBD	ns	$V_{DRIVE} > 3.3V$
t ₁₅	6			ns	$V_{DRIVE} > 2.5V$
t ₁₆	6			ns	$\overline{CS}$ 到 DB[15:0] 保持时间
t ₁₇			22	ns	$\overline{CS}$ 上升沿到 DB[15:0] 高阻态
串行读取操作					
f _{SCLK}			TBD	MHz	串行读取时钟频率
			17	MHz	$V_{DRIVE} > 4.75V$
			TBD	MHz	$V_{DRIVE} > 3.3V$
t ₁₈					$V_{DRIVE} > 2.5V$
t ₁₈			TBD	ns	从 $\overline{CS}$ 有效到 D _{out} A/D _{out} B 三态禁用的延迟/从 $\overline{CS}$ 有效到 MSB 有效的延迟
			25	ns	$V_{DRIVE} > 4.75V$
			TBD	ns	$V_{DRIVE} > 3.3V$
t ₁₉					$V_{DRIVE} > 2.5V$
t ₁₉			TBD	ns	SCLK 上升沿后的数据访问时间
			30	ns	$V_{DRIVE} > 4.75V$
			TBD	ns	$V_{DRIVE} > 3.3V$
t ₂₀	0.4t _{SCLK}			ns	$V_{DRIVE} > 2.5V$
t ₂₁	0.4t _{SCLK}			ns	SCLK 低电平脉冲宽度
t ₂₂	7			ns	SCLK 高电平脉冲宽度
t ₂₃			22	ns	SCLK 上升沿到 D _{out} A/D _{out} B 有效的保持时间
第一个数据输出操作					
t ₂₄			TBD	ns	$\overline{CS}$ 上升沿到 D _{out} A/D _{out} B 高阻态
			20	ns	从 $\overline{CS}$ 有效到 FRSTDATA 三态禁用的延迟
			TBD	ns	$V_{DRIVE} > 4.75V$
t ₂₅					$V_{DRIVE} > 3.3V$
t ₂₅			TBD	ns	$V_{DRIVE} > 2.5V$
			20	ns	从 $\overline{CS}$ 下降沿到 FRSTDATA 高电平的延迟, 串行模式
			TBD	ns	$V_{DRIVE} > 4.75V$
t ₂₆					$V_{DRIVE} > 3.3V$
t ₂₆			TBD	ns	$\overline{RD}$ 下降沿到 FRSTDATA 高电平的延迟
			25	ns	$V_{DRIVE} > 4.75V$
			TBD	ns	$V_{DRIVE} > 3.3V$
t ₂₇					$V_{DRIVE} > 2.5V$
t ₂₇			25	ns	$\overline{RD}$ 下降沿到 FRSTDATA 低电平的延迟
			TBD	ns	$V_{DRIVE} = 3.3V$ 到 5.25V
				ns	$V_{DRIVE} = 2.5V$ 到 2.7V
t ₂₈					$V_{DRIVE} = 3.3V$ 到 5.25V
t ₂₈			30	ns	SCLK 第 16 个下降沿到 FRSTDATA 低电平的延迟
			TBD	ns	$V_{DRIVE} = 3.3V$ 到 5.25V
				ns	$V_{DRIVE} = 2.5V$ 到 2.7V
t ₂₉			24	ns	$\overline{CS}$ 上升沿到 FRSTDATA 高阻态

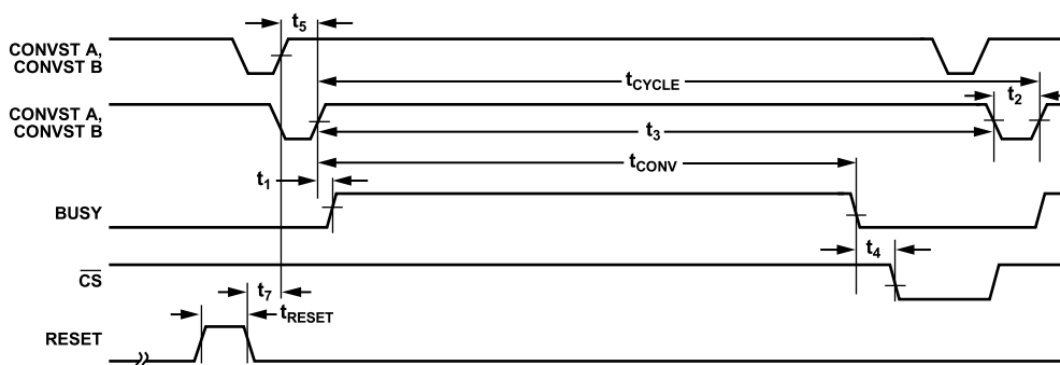


图 6-1 转换时序——转换后读取

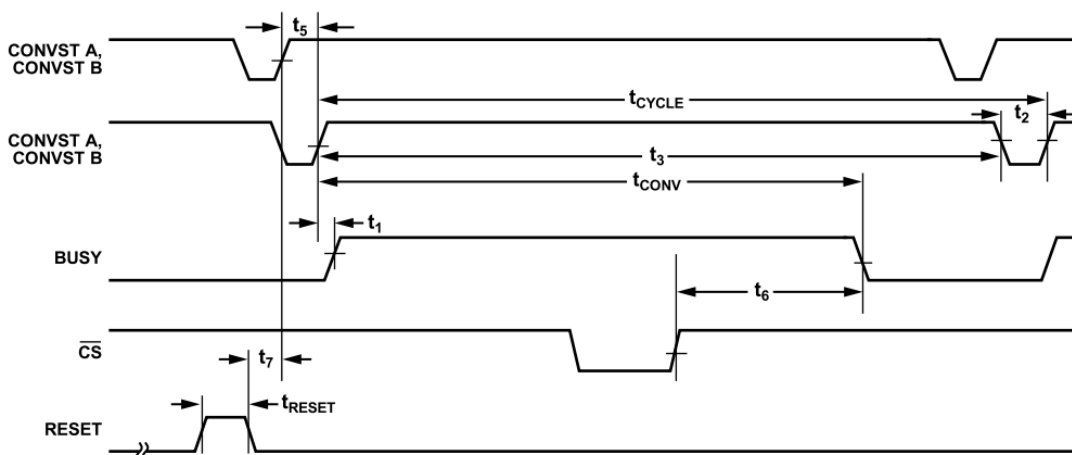


图 6-2 转换时序——转换期间读取

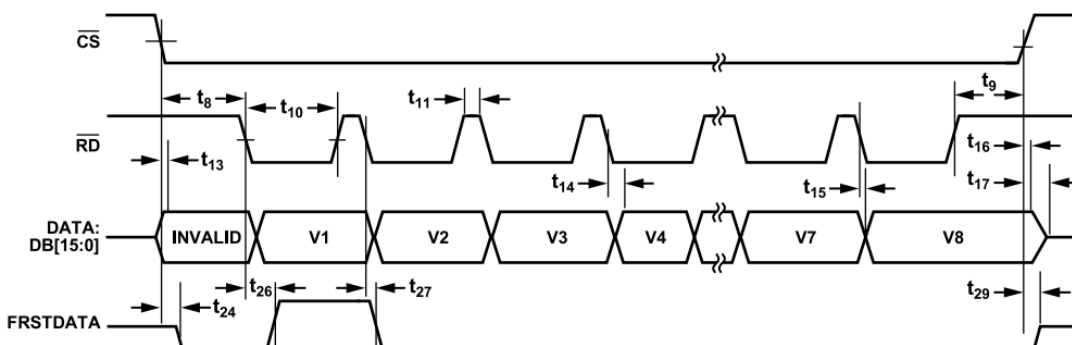


图 6-3 并行模式读取时序图，分离的 $\overline{CS}$ 和 $\overline{RD}$ 脉冲

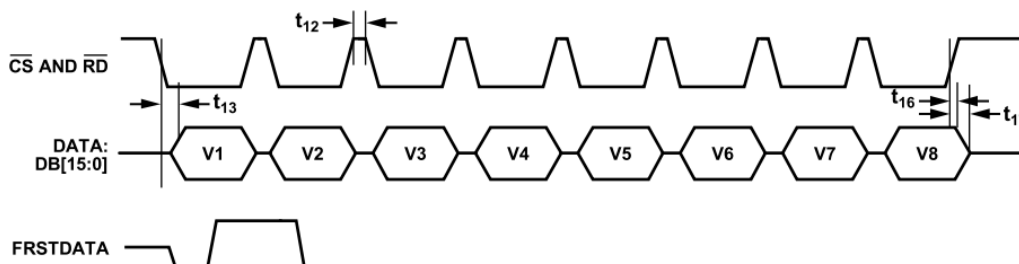


图 6-4 并行模式读取时序图，相连的 $\overline{CS}$ 和 $\overline{RD}$ 脉冲

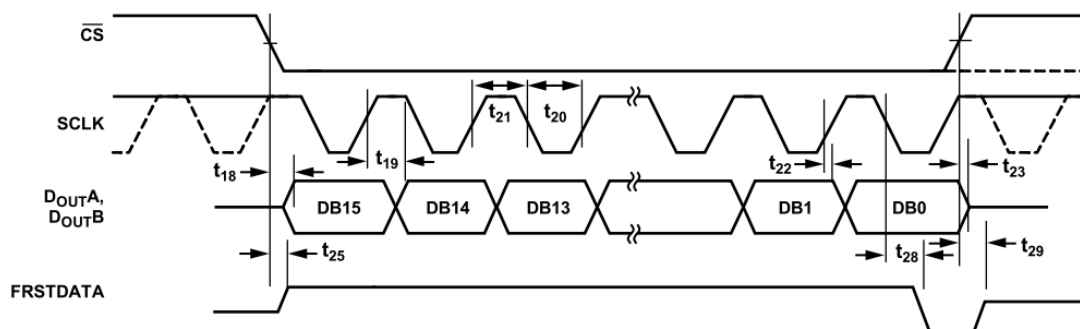


图 6-5 串行读取操作（通道 1）

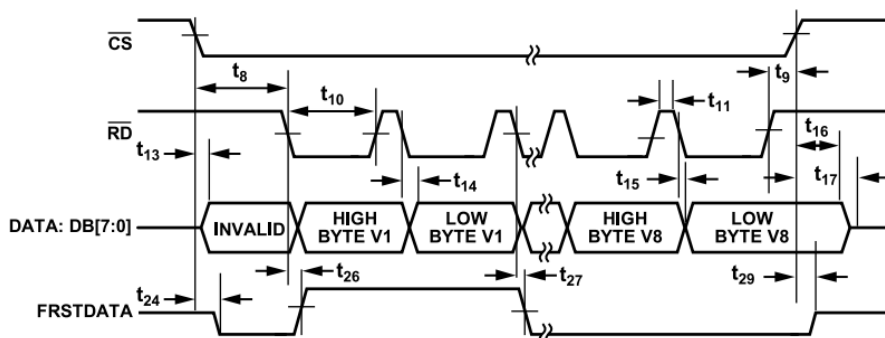


图 6-6 字节模式读取操作

6.6 典型测试结果

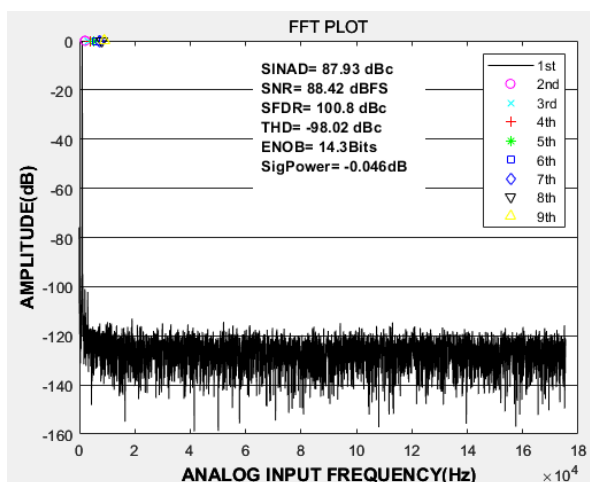


图 6-7 快速傅立叶变换(FFT), $\pm 10V$ 范围

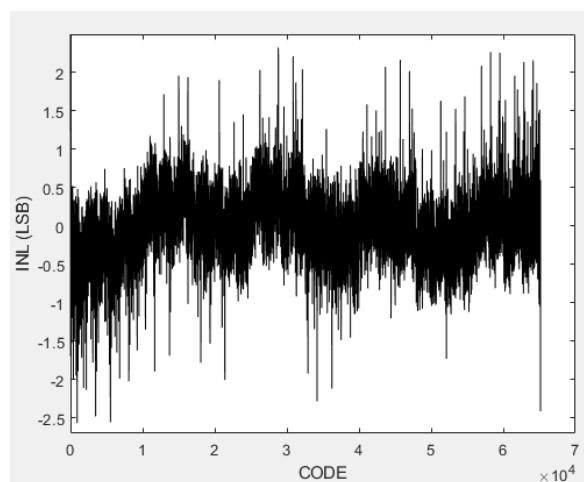


图 6-10 典型 INL, $\pm 10V$ 范围

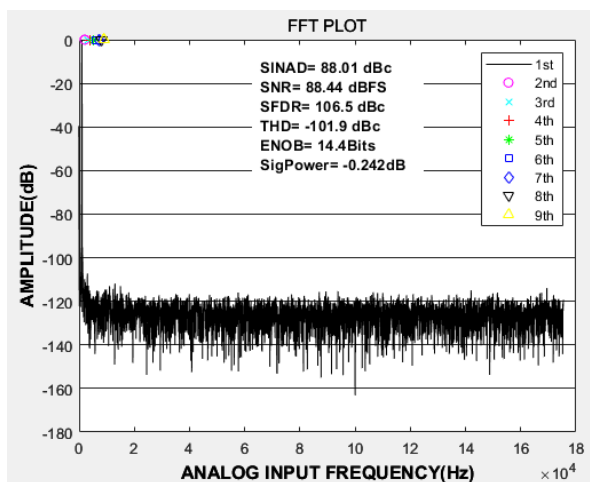


图 6-8 快速傅立叶变换(FFT), $\pm 5V$ 范围

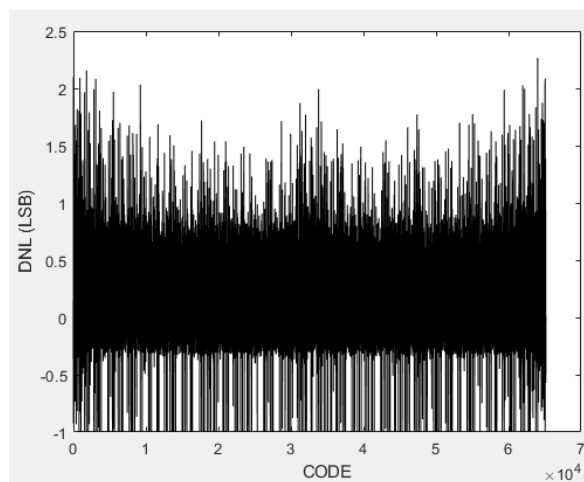


图 6-11 典型 DNL, $\pm 10V$ 范围

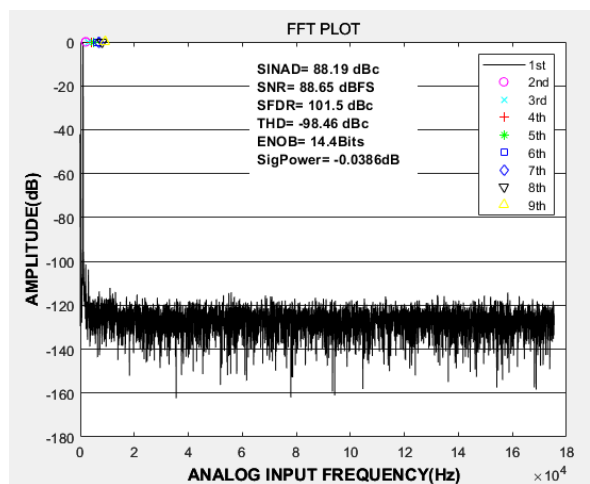


图 6-9 快速傅立叶变换(FFT), $\pm 12.5V$ 范围

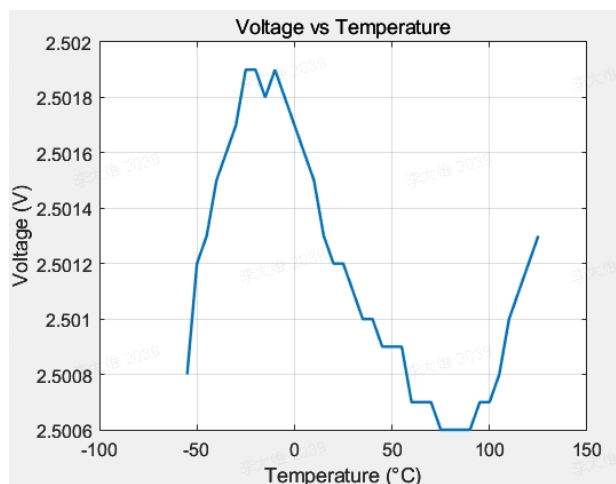


图 6-12 基准输出随温度的变化

7 产品详细描述

7.1 工作原理

7.1.1 模拟前端

AAD16E350K 是一款 16 位同步采样模数转换数据采集系统（DAS），具有 8 个通道。每个通道都内置模拟输入箝位保护、PGA、低通滤波器和 16 位 SAR ADC。

7.1.2 模拟输入范围

AAD16E350K 可以处理真双极性单端输入电压。RANGE[1:0]引脚的电平决定了所有模拟输入通道的模拟输入范围。当 RANGE[1:0]=2'b10 时，所有通道的模拟输入量程为 $\pm 10\text{V}$ ；当 RANGE[1:0]=2'b11 时，所有通道的模拟输入量程为 $\pm 12.5\text{V}$ ；当 RANGE1=0 时，所有通道的模拟输入量程为 $\pm 5\text{V}$ ，如表 7-1 所示。

RANGE[1:0]引脚的逻辑状态改变会立即影响模拟输入范围。然而，除了正常采集时间要求外，通常还需要大约 80 μs 的建立时间。对于快速吞吐速率应用，转换期间建议不要更改 RANGE[1:0]引脚的逻辑状态。

表 7-1 模拟输入范围选择

RANGE[1:0]	模拟输入范围 (V)
RANGE1 = 1, RANGE0 = 0	± 10
RANGE1 = 1, RANGE0 = 1	± 12.5
RANGE1 = 0	± 5

7.1.3 模拟输入阻抗

AAD16E350K 的模拟输入阻抗为 1M Ω 。这是一个固定的输入阻抗，不随 AAD16E350K 的采样频率变化。这种高模拟输入阻抗使得在 AAD16E350K 前端无需使用驱动放大器，可直接连接信号源或传感器。由于无需驱动放大器，信号链中可省去双电源（双电源通常是系统中的噪声来源之一）。

7.1.4 输入钳位保护

AAD16E350K 的每个模拟输入通道均内置箝位保护电路。尽管器件采用单 5V 电源供电，该模拟输入箝位保护功能可承受高达 $\pm 16.5\text{V}$ 的输入过压。

建议在模拟输入通道上放置一个串联电阻，以在输入电压大于 $\pm 16.5\text{V}$ 时将电流限制在 $\pm 10\text{mA}$ 。在模拟输入通道 Vx 上有串联电阻(R)的应用中，建议电阻(R)与 VxGND 上的电阻相匹配，以消除任何引入系统的失调。

在正常操作期间，建议不要将 AAD16E350K 置于模拟输入长时间大于输入范围的情况下，因为这会降低双极性零代码误差性能。

7.1.5 模拟输入抗混叠滤波器

AAD16E350K 提供了模拟抗混叠滤波器，分为低带宽和高带宽两种模式。当 OS[2:0]=3'b111 时，进入高带宽模式；当 OS[2:0] $\neq$ 3'b111 时，进入低带宽模式。在输入范围为 $\pm 10\text{V}$ 时，低带宽模式-3dB 带宽典型值为 23kHz，高带宽模式-3dB 带宽典型值为 78kHz。

7.1.6 SAR ADC

AAD16E350K 允许 ADC 以 16 位分辨率精确采集满量程幅度的输入信号。在 CONVST A 信号的上升沿，输入 V1、V2、V3、V4 对应的 4 个 SAR ADC 同时对相应的输入进行采样；在 CONVST B 信号的上升沿，输入 V5、V6、V7、V8 对应的 4 个 SAR ADC 同时对相应的输入进行采样。

BUSY 信号表示转换正在进行。因此，当 CONVST A 和 CONVST B 信号都施加上升沿时，BUSY 引脚变为逻辑高电平，在整个转换过程结束时变为低电平。BUSY 信号的下降沿指示所有 8 个通道的转换过程结束。当 BUSY 信号沿下降时，下一组转换的采集时间开始。当 BUSY 信号为高电平时，CONVST A 或 CONVST B 信号的上升沿无作用。

在 BUSY 输出变为低电平后，新数据可通过并行或串行接口从输出寄存器读取。或者，先前转换的数据可在 BUSY 引脚为高电平时读取，如“转换期间读取”部分所述。

7.1.7 ADC 转换函数

AAD16E350K 的输出码为二进制补码。所设计的码转换在连续 LSB 整数值的中间（即 $1/2$ LSB 和 $3/2$ LSB）进行。AAD16E350K 的 LSB 大小为 $FSR/65,536$ 。

7.1.8 基准电压源

AAD16E350K 内置一个 2.5V 带隙基准源。REFIN/REFOUT 引脚可用于访问该 2.5V 基准（内部将升压生成 4.4V 基准），也可用于向器件施加外部 2.5V 基准电压。外部施加的 2.5V 基准电压同样会通过内部缓冲器升压至 4.4V，该缓冲后的 4.4V 基准电压将供 SAR ADC 使用。

REF SELECT 引脚为逻辑输入引脚，用户可通过该引脚选择内部基准或外部基准。若该引脚设置为逻辑高电平，则选择并启用内部基准；若设置为逻辑低电平，则禁用内部基准，此时必须向 REFIN/REFOUT 引脚施加外部基准电压。内部基准缓冲器始终保持启用状态。复位后，AAD16E350K 将按照 REF SELECT 引脚选定的基准模式工作。无论选择内部基准还是外部基准，REFIN/REFOUT 引脚均需进行去耦处理，建议在该引脚连接一个 $10\mu\text{F}$ 陶瓷电容。

为确保基准缓冲器处于闭环工作状态，必须将 REFCAPA 和 REFCAPB 引脚在外部短接，并向 REFGND 连接一个 $10\mu\text{F}$ 陶瓷电容。

7.1.9 典型连接图

图 7-1 为 AAD16E350K 的典型连接示意图。该器件包含四个 AV_{CC} 电源引脚，每个引脚应通过一个 100nF 电容进行去耦，并在电源端配备一个 $10\mu\text{F}$ 电容。AAD16E350K 可采用内部基准或外部基准工作，本配置中器件设置为使用内部基准模式。当电路板上使用单个 AAD16E350K 器件时，REFIN/REFOUT 引脚需通过一个 $10\mu\text{F}$ 电容去耦。REFCAPA 和 REFCAPB 引脚应短接并通过一个 $10\mu\text{F}$ 陶瓷电容去耦。

V_{DRIVE} 电源需连接至处理器的相同电源。 V_{DRIVE} 电压用于控制输出逻辑信号的电压电平。有关布局、去耦和接地建议，请参阅“PCB 设计”章节。

向 AAD16E350K 供电后，必须对器件执行复位操作，以确保其正确配置为所需的工作模式。

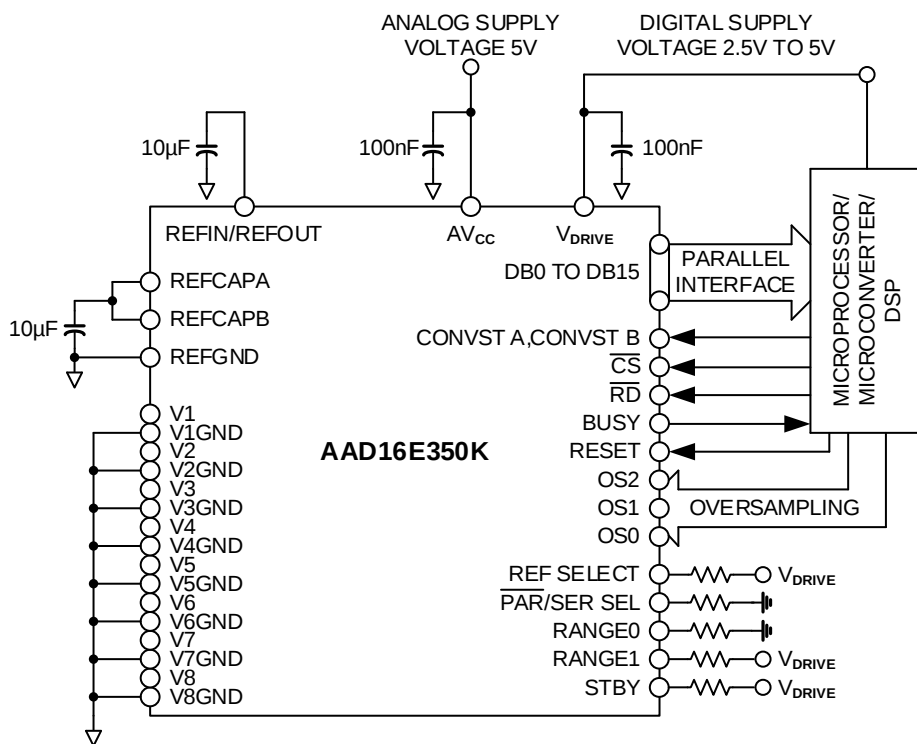


图 7-1 AAD16E350K 典型连接图

7.1.10 掉电模式

AAD16E350K 提供两种关断模式：待机模式和完全关断模式。 $\overline{\text{STBY}}$ 引脚用于控制器件是处于正常工作模式还是其中一种关断模式。

当 $\overline{\text{STBY}}$ 引脚为低电平时，具体关断模式由 RANGE1 引脚的状态选择。表 7-2 列出了选择不同关断模式所需的配置。当 AAD16E350K 进入待机模式时，最大电流消耗为 16mA，且由于 REFCAPA 和 REFCAPB 引脚上的电容需要充电，上电时间约为 100 μs 。在待机模式下，片内基准电压源和稳压器保持上电状态，而放大器和 ADC 核心则处于掉电状态。

当 AAD16E350K 进入关断模式时，最大电流消耗为 2mA，上电时间约为 13 毫秒（外部基准模式）。在此模式下，所有内部电路均会断电。当器件从关断模式重新上电时，必须在所需的上电时间结束后向 AAD16E350K 发送一个 RESET 信号。

表 7-2 掉电模式选择

掉电模式	$\overline{\text{STBY}}$	RANGE1
待机模式	0	1
关断模式	0	0

7.1.11 转换控制

所有模拟输入通道同步采样

AAD16E350K 支持所有模拟输入通道同步采样。当两个 CONVST 引脚（CONVST A 和 CONVST B）连接在一起时，所有通道的采样将同步进行。使用单个 CONVST 信号即可控制两个 CONVST x 输入。该共用 CONVST 信号的上升沿会同时启动所有模拟输入通道的采样。

AAD16E350K 内置一个用于执行转换的片内振荡器。所有 ADC 通道的转换时间为 t_{CONV} 。BUSY 信号用于向用户指示转换状态：当 CONVST 上升沿触发时，BUSY 变为逻辑高电平，并在整个转换过程结束时恢复为低电平。BUSY 信号的下降沿将使所有八个采样保持电路返回跟踪模式。BUSY 的下降沿也表明此时可以从并行总线（DB[15:0]）、串行数据线 DOUTA 和 DOUTB，或并行字节总线 DB[7:0]读取新的转换数据。

双通道组同步采样

AAD16E350K 也支持将模拟输入通道分为两组进行同步采样。这种功能可应用于电力线路保护和测量系统中，以补偿由电压互感器（PT）和电流互感器（CT）引入的相位差。在 50Hz 系统中，该功能可实现最高 9° 的相位补偿；在 60Hz 系统中，则最高可实现 10° 的相位补偿。

此功能通过独立触发两个 CONVST 引脚实现，且仅在不使用过采样功能时可用。CONVST A 用于启动第一组通道的同步采样（对应 V1 至 V4）；CONVST B 用于启动第二组模拟输入通道的同步采样（对应 V5 至 V8）。在 CONVST A 的上升沿，第一组通道的采样保持电路进入保持模式；在 CONVST B 的上升沿，第二组通道的采样保持电路进入保持模式。转换过程需在两组 CONVST x 的上升沿均触发后才开始，因此 BUSY 信号将在后触发的 CONVST x 信号上升沿变为高电平。表 6-5 中的时间参数 t_{S} 指明了 CONVST x 采样点之间的最大允许间隔。

使用两个独立的 CONVST x 信号时，数据读取过程保持不变。

所有未使用的模拟输入通道应连接至 AGND。由于所有通道始终参与转换，未使用通道的转换结果仍会包含在读取数据中。

7.2 数字接口

AAD16E350K 提供三种接口选项：并行接口、高速串行接口和并行字节接口。所需接口模式通过 $\overline{\text{PAR/SER/BYTE SEL}}$ 和 DB15/BYTE SEL 引脚进行选择。

表 7-3

$\overline{\text{PAR/SER/BYTE SEL}}$	DB15/BYTE SEL	接口模式
0	0	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

7.2.1 并行接口（ $\overline{\text{PAR/SER/BYTE SEL}}=0$ ）

可通过标准的 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 信号，从 AAD16E350K 的并行数据总线读取数据。若要通过并行总线读取数据，

应将 $\overline{\text{PAR/SER/BYTE SEL}}$ 引脚置为低电平。 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 输入信号在内部经过门控处理，使转换结果能输出到数据总线上。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为逻辑低电平时，数据线 DB15 至 DB0 将脱离高阻态。

$\overline{\text{CS}}$ 输入信号的上升沿将使总线进入三态（高阻）状态，而其下降沿则使总线脱离高阻状态。 $\overline{\text{CS}}$ 是控制数据线使能的关键信号，其功能允许多个 AAD16E350K 器件共享同一条并行数据总线。

$\overline{\text{CS}}$ 信号可永久保持低电平，此时可通过 $\overline{\text{RD}}$ 信号读取转换结果，如图 6-3 所示。新数据的读取操作可在 BUSY 信号变低后进行（参见图 6-1）；或者，也可在 BUSY 为高电平时读取前一次转换过程的数据（参见图 6-2）。

$\overline{\text{RD}}$ 引脚用于从输出转换结果寄存器读取数据。向 AAD16E350K 的 $\overline{\text{RD}}$ 引脚施加一系列脉冲，可按升序将各通道的转换结果依次输出到并行总线 DB[15:0]上。在 BUSY 信号变低后，第一个 $\overline{\text{RD}}$ 下降沿将输出通道 V1 的转换结果；第二个 $\overline{\text{RD}}$ 下降沿更新为通道 V2 的转换结果，依此类推。第八个 $\overline{\text{RD}}$ 下降沿输出通道 V8 的转换结果。

当 $\overline{\text{RD}}$ 信号为逻辑低电平时，每个通道的数据转换结果将被传输至数字主机（如 DSP、FPGA）。

若系统/电路板中仅有一个 AAD16E350K 且不共享并行总线，则只需一个来自数字主机的控制信号即可读取数据。如图 6-4 所示，可将 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 信号连接在一起。此时，数据总线将在 $\overline{\text{CS/RD}}$ 的下降沿脱离三态。 $\overline{\text{CS}}$ 与 $\overline{\text{RD}}$ 的组合信号能够将数据从 AAD16E350K 输出，并被数字主机读取。在此配置下， $\overline{\text{CS}}$ 用于为每个数据通道的数据传输提供帧同步。

7.2.2 并行字节接口（ $\overline{\text{PAR/SER/BYTE SEL}}=1$, DB15=1）

并行字节接口模式的操作方式与并行接口模式类似，区别在于每个通道的转换结果需要分两次进行 8 位传输读取。因此，从 AAD16E350K 读取全部八个转换结果需要 16 个 $\overline{\text{RD}}$ 脉冲读取所有通道结果。要将 AAD16E350K 配置为并行字节模式，需将 $\overline{\text{PAR/SER/BYTE SEL}}$ 和 DB15/BYTE SEL 引脚接逻辑高电平（见表 7-3）。在并行字节模式下，数据通过 DB[7:0]传输至数字主机，其中 DB0 为数据传输的最低位（LSB），DB7 为最高位（MSB）。同时，DB14 引脚在该模式下用作 HBEN 功能引脚：当 DB14/HBEN 接逻辑高电平时，转换结果的最高有效字节（MSB）首先输出，随后是最低有效字节（LSB）；若接逻辑低电平，则先输出 LSB 再输出 MSB。FRSTDATA 引脚将保持高电平，直到 V1 通道的全部 16 位转换结果从 AAD16E350K 读取完毕。

7.2.3 串行接口（ $\overline{\text{PAR/SER/BYTE SEL}}=1$, DB15=0）

若要通过串行接口从 AAD16E350K 读取数据，必须将 $\overline{\text{PAR/SER/BYTE SEL}}$ 引脚置为高电平。 $\overline{\text{CS}}$ 和 SCLK 信号用于从 AAD16E350K 传输数据。AAD16E350K 提供两个串行数据输出引脚：DOUTA 和 DOUTB。数据可通过其中一条或同时两条 DOUT 线路读取。通道 V1 至 V4 的转换结果首先出现在 DOUTA 上，通道 V5 至 V8 的转换结果首先出现在 DOUTB 上。

$\overline{\text{CS}}$ 下降沿将使数据输出线 DOUTA 和 DOUTB 脱离三态，并输出转换结果的最高位（MSB）。随后的 SCLK 上升沿将所有后续数据位输出到串行数据线 DOUTA 和 DOUTB 上。在整个串行读取过程中， $\overline{\text{CS}}$ 输入可保持低电平，也可通过脉冲信号为每组 16 个 SCLK 周期的通道读取操作提供帧同步。图 7-2 展示了使用 AAD16E350K 的两条 DOUT 线路读取八个同步转换结果的情况。此时，通过 64 个 SCLK 周期传输数据，且 $\overline{\text{CS}}$ 保持低电平以帧同步整个 64 个 SCLK 周期。数据也可仅通过一条 DOUT 线路输出，此时建议使用 DOUTA 读取所有转换数据，因为通道数据按升序输出。对于 AAD16E350K，若通过单条 DOUT 线路读取全部八个转换结果，共需 128 个 SCLK 周期。这 128 个 SCLK 周期可由一个 $\overline{\text{CS}}$ 信号帧同步，也可通过 $\overline{\text{CS}}$ 信号分别对每组 16 个 SCLK 周期进行独立帧同步。仅使用一条 DOUT 线路的缺点是，若在转换完成后读取数据，会降低吞吐率。在串行模式下，未使用的 DOUT 线应保持悬空。若将 DOUTB 作为单条数据线使用，通道结果的输出顺序为：V5、V6、V7、V8、V1、V2、V3、V4；但 FRSTDATA 指示信号在通过 DOUTB 读取 V5 后即变为低电平。

图 6-5 显示了在串行模式下从 AAD16E350K 读取单通道数据的时序图，该操作由 $\overline{\text{CS}}$ 信号进行帧同步。SCLK 输入信号为串行读取操作提供时钟源。 $\overline{\text{CS}}$ 信号置低时，可从 AAD16E350K 访问数据。

$\overline{\text{CS}}$ 的下降沿使总线脱离三态，并输出 16 位转换结果的最高位（MSB）。该 MSB 在 $\overline{\text{CS}}$ 下降沿之后的第一个 SCLK 下降沿有效。随后的 15 位数据在 SCLK 上升沿从 AAD16E350K 输出，并在 SCLK 下降沿保持有

效。读取每个转换结果时，需向 AAD16E350K 提供 16 个时钟周期。

FRSTDATA 输出信号用于指示何时正在回读第一个通道 V1 的数据。当 $\overline{CS}$ 输入为高电平时，FRSTDATA 输出引脚处于高阻态。在串行模式下， $\overline{CS}$ 的下降沿使 FRSTDATA 脱离高阻态并将该引脚置为高电平，表示通道 V1 的转换结果已在 DOUTA 输出数据线上就绪。在第 16 个 SCLK 下降沿之后，FRSTDATA 输出恢复为逻辑低电平。若所有通道数据均通过 DOUTB 读取，则当 V1 的数据通过该串行数据输出引脚输出时，FRSTDATA 不会变为高电平；仅当 V1 的数据在 DOUTA 上可用时（此时 DOUTB 上对应的为 V5 数据），FRSTDATA 才会置为高电平。

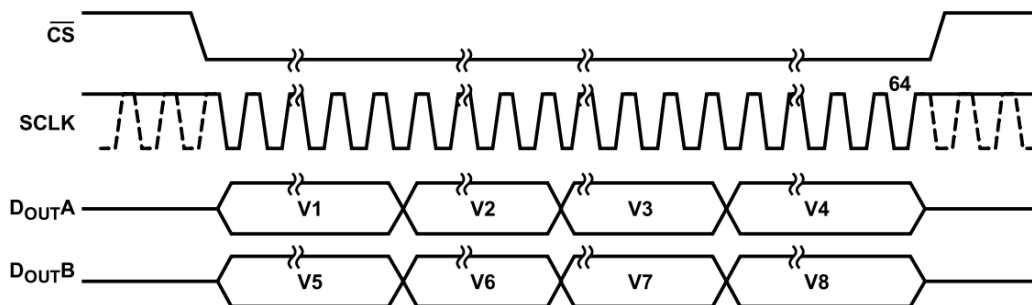


图 7-2 AAD16E350K 双 DOUT 线路串行接口

7.2.4 转换期间读取

在 BUSY 为高电平且转换正在进行时，仍可从 AAD16E350K 读取数据。这对转换器的性能影响甚微，且有助于实现更高的吞吐量。无论在转换过程中是否启用过采样功能，均可执行并行、并行字节或串行读取操作。图 6-2 展示了在并行或串行模式下 BUSY 为高电平期间进行读取操作的时序图。在转换过程中读取数据，配合 V_{DRIVE} 高于 4.75V 的串行接口使用，可实现最大吞吐量。

除了 BUSY 下降沿时刻（此时输出数据寄存器正在更新为新的转换数据），其他任何时间均可从 AAD16E350K 读取数据。在此情况下，需遵循表 6-5 中列出的时间参数 t_6 的要求。

7.2.5 数字滤波器

AAD16E350K 内置一个可选的数字一阶 sinc 滤波器，适用于需要较低吞吐量或追求更高信噪比与动态范围的应用场景。该数字滤波器的过采样比由过采样引脚 OS[2:0] 控制（参见表 7-4），其中 OS2 为最高有效控制位，OS0 为最低有效控制位。表 7-4 提供了不同过采样率选择的引脚解码配置。OS 引脚的状态在 BUSY 下降沿被锁存，从而为下一次转换设定过采样率。除过采样功能外，输出结果会经过抽取处理，最终以 16 位分辨率输出。

若将 OS 引脚设置为选择 8 倍的过采样率，则下一个 CONVST x 上升沿将对每个通道进行首次采样，而其余七次采样将由内部生成的采样信号完成。随后对这些采样值进行平均处理，从而提升信噪比性能。随着过采样率的增加，信噪比相应提高。当过采样率增大时，3dB 频率会降低，同时允许的采样频率也随之下降。在需要 20kSPS 采样频率的应用中，最高可使用 16 倍过采样率。此配置下，应用系统的信噪比将得到改善，但输入信号的 3dB 带宽将限制在约 6kHz。

当过采样功能启用时，CONVST A 和 CONVST B 引脚必须连接在一起或由同一信号驱动。当过采样功能开启后，转换过程中 BUSY 信号的高电平时间会延长。实际的 BUSY 高电平时间取决于所选的过采样率：过采样率越高，BUSY 高电平持续时间（即总转换时间）越长（参见表 6-5）。

过采样仅可在低带宽模式下使用，高带宽下无法使用过采样功能。

表 7-4

OS[2:0]	过采样率	最大采样频率 (kHz)
000	无过采样	350
001	2	175
010	4	87.5
011	8	43.75
100	16	21.875
101	32	10.9375

OS[2:0]	过采样率	最大采样频率 (kHz)
110	64	5.46875
111	无过采样 (高带宽模式)	350

8 PCB 设计

用于安装 AAD16E350K 的印刷电路板应进行合理设计，将模拟部分与数字部分分隔并布置在电路板的不同区域。至少应设置一个接地平面，该平面可为数字和模拟部分共用，也可采用分割平面设计。若采用分割接地平面，数字地与模拟地仅应在单点连接，且该连接点应尽可能靠近 AAD16E350K 器件。

若 AAD16E350K 处于多器件均需连接模拟地与数字地的系统中，仍应仅通过单点连接：建立一个尽可能靠近 AAD16E350K 的星型接地点。所有接地引脚应通过独立的过孔或多重过孔与接地平面实现良好连接，避免多个接地引脚共用单一连接路径。

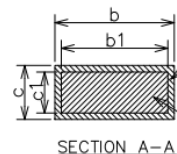
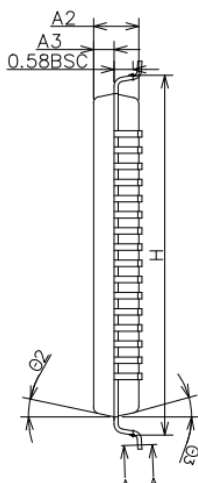
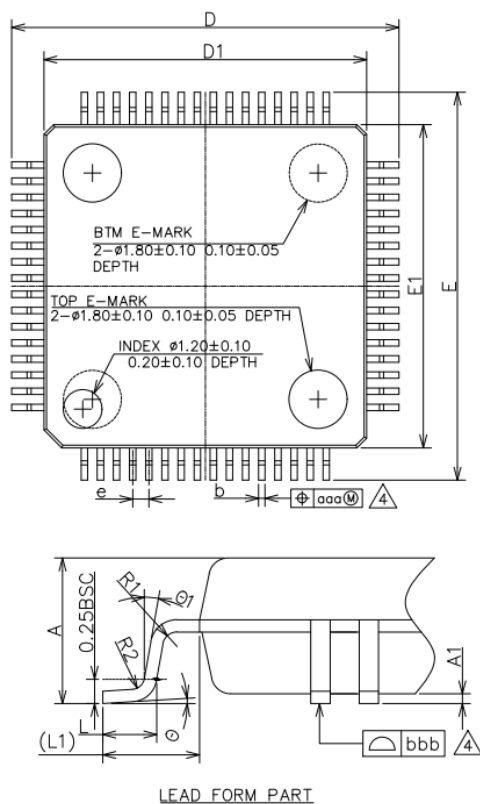
应避免在器件下方走数字信号线，否则会将噪声耦合至芯片内部。模拟地平面应延伸至 AAD16E350K 下方以减少噪声耦合。对于 CONVST A、CONVST B 或时钟等快速切换信号，应采用数字地进行屏蔽，防止噪声辐射至电路板其他区域，且这些信号切勿靠近模拟信号路径。需避免数字与模拟信号的交叉走线，相邻信号层的走线应相互垂直布置，以降低电路板层间串扰的影响。

连接至 AAD16E350K 的 AV_{CC} 和 V_{DRIVE} 引脚的电源线应尽可能采用宽走线，以提供低阻抗路径并降低电源线上的瞬态干扰影响。在可行的情况下，应使用电源平面布局，并确保 AAD16E350K 电源引脚与电路板电源走线间实现良好连接。每个电源引脚需通过单个或多个过孔进行连接。

良好的去耦设计对于降低呈现给 AAD16E350K 的电源阻抗、减小电源尖峰幅度也至关重要。去耦电容应尽量靠近(理想情况下紧贴)这些引脚及其对应的地引脚。REFIN/REFOUT 引脚以及 REFCAPA 和 REFCAPB 引脚的去耦电容应尽可能靠近各自对应的 AAD16E350K 引脚，并尽量与 AAD16E350K 器件布置在电路板的同一侧。

9 封装和订购信息

下单料号	温度范围	输出接口	封装描述	包装形式	包装数量
AAD16E350K_LQFP64	-40℃~125℃	CMOS	64 引脚薄型四方扁 平封装[LQFP]	Tray	



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.10
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
e	0.40	0.50	0.60
H	11.09	11.13	11.17
L	0.53	—	0.70
L1	1.00REF		
R1	0.15REF		
R2	0.13REF		
Ø	0°	3.5°	7°
Ø1	0°	—	—
Ø2	11°	12°	13°
Ø3	11°	12°	13°
aaa	0.08		
bbb	0.08		

NOTES:

- ALL DIMENSIONS REFER TO JEDEC STANDARD MS026 BCD
DO NOT INCLUDE MOLD FLASH,GATE BURR OR PROTRUSION.

10 修订版次

版本信息	日期	版本号
初始版本	2026/02/04	Rev1.0

11 声明

迅芯微电子（苏州）股份有限公司及其分公司和经销商有权对其公司提供的半导体产品进行修正、增强、提高及做出其他的改变。同时也拥有在最新版产品已经发布的基础上，中止任何一款产品和服务的权利。购买者应在下单前获取相关的最新信息，并确认这些信息的有效性和完整性。所有售出的半导体产品都必须遵循迅芯微电子（苏州）股份有限公司在接到订单确认时的销售条款和条件。

根据迅芯微电子（苏州）股份有限公司销售的半导体产品的保修条款，迅芯微电子（苏州）股份有限公司担保器件的性能规范适用于销售之时。本公司采取了必要的测试和质量控制手段来支持产品达到这样的品质。除非有法律的具体规定，否则并不是每个器件的所有参数都是必须要执行测试的。

迅芯微电子（苏州）股份有限公司对购买者使用产品做出的设计和应用不承担任何的连带责任，购买者应对使用了迅芯微电子（苏州）股份有限公司器件的产品和应用自负其责。并应采取适当的设计或操作时的具体保护措施来使您所设计的产品风险降至最低。

对于任何使用迅芯微电子（苏州）股份有限公司的器件和服务的所有相关的组合、设备或过程，迅芯微电子（苏州）股份有限公司不保证或代表许可——无论是明示或暗示——授予其使用任何相关的专利权、版权或其他任何知识产权。迅芯微电子（苏州）股份有限公司对第三方产品或服务不构成许可使用这些产品或服务的保修或背书。使用这样的信息可能需要从第三方的专利或第三方的其他知识产权获得许可或授权，或从迅芯微电子（苏州）股份有限公司获得专利和其他知识产权的授权。

从迅芯微电子（苏州）股份有限公司的数据手册中复制重要的章节是被允许的，只要复制时没有更改，同时附上所有相关的担保、条件、限制和告示信息。迅芯微电子（苏州）股份有限公司不对这些修改后的文件承担任何责任，第三方的信息可能会受到附加条件的约束。

超出迅芯微电子（苏州）股份有限公司所标明的器件或服务的参数范围或在与之不同参数下转售苏州迅芯微电子的器件或服务，或对迅芯微电子（苏州）股份有限公司的器件或服务无法提供有效服务并且暗含担保无效的行为，都是一种不公平且带有欺骗性质的商业行为。迅芯微电子（苏州）股份有限公司不为这样的声明承担任何责任。

购买者应确认并同意，尽管迅芯微电子（苏州）股份有限公司可能提供了与应用相关的信息或支持，但您将自行负责遵守与您的产品以及在应用中使用任何迅芯微电子（苏州）股份有限公司的器件有关的所有法律、法规和安全方面的要求。购买者应表示并同意您具备所有必要的专业知识，能够创建和实施安全措施以预测故障的危险后果、监控故障及其后果、降低可能导致伤害的故障的可能性并采取适当的补救措施。购买者将全额赔偿因在重大的安全应用中使用任何迅芯微电子（苏州）股份有限公司器件而对迅芯微电子（苏州）股份有限公司及其所代表方造成的所有损失。

在某些情况下，为了推广安全相关应用，有可能对迅芯微电子（苏州）股份有限公司的器件进行专门提升。借助于这样的器件，迅芯微电子（苏州）股份有限公司的目标旨在帮助客户设计和创立其特有的可满足功能性安全标准和要求的终端产品解决方案。尽管如此，此类器件仍然遵守本条款。