

产品特点

- 模拟输入带宽：DC~6GHz(-3dB)
- 高采样率： 四通道模式 2.5GSPS
双通道模式 5GSPS
交织模式 10GSPS
- 输出电平：LVDS
- 支持多芯片同步
- 支持数据编程接口(SPI)

产品描述

AAD8400 是采用 Si 基工艺制造的高速宽带模数转换器。该芯片可将差分 600mV 输入模拟信号转换成 8bit 数字信号，芯片内包含四个可最高工作在 2.5GSPS 的子 ADC，可工作在交织和非交织模式，配置成四通道、双通道或单通道，在对数据进行 2 倍解复用（Demux）之后通过 LVDS 接口输出。输出

信号包括 4 路时钟（8 分频）、64 路数据输出以及 4 路超量程比特位输出，均为 LVDS 电平标准。芯片采用+3.3V/+1.8V 电源供电，总功耗约为 8.5W。芯片有 392 引脚，为 Flip Chip-BGA 封装。

产品应用

- 高速示波器
- 高速数据采集卡
- 宽带通信

主要性能指标

- 分辨率：8Bits
- 最高转换速率：10GPSP(min)
- ENOB：6.5Bits(typ)@113MHz
- DNL：±0.5LSB(typ)
- 功耗：8.5W(typ)
- 通道数：4

产品功能结构框图

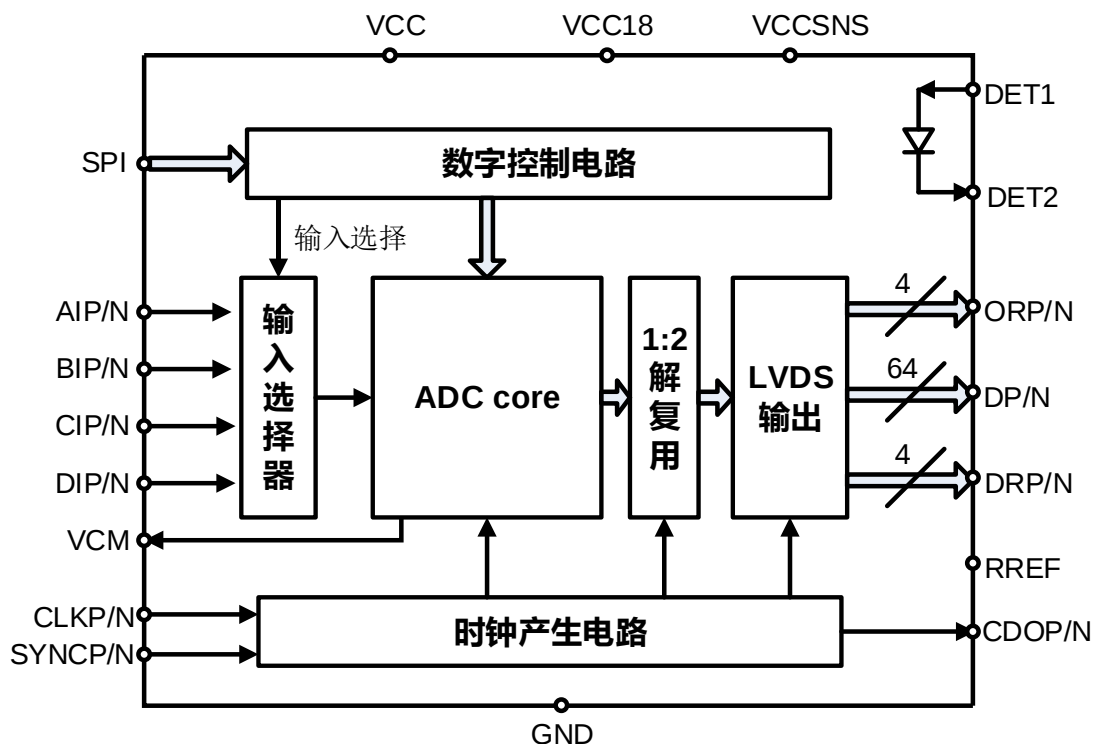


图 1：AAD8400 功能结构框图



目录

产品特点.....	1
产品描述.....	1
产品应用.....	1
主要性能指标.....	1
产品功能结构框图.....	1
目录	2
封装尺寸信息.....	3
引脚分布及功能描述.....	5
推荐工作条件.....	9
转换器电气性能指标.....	9
典型测试结果.....	12
绝对最大额定值.....	21
封装热阻.....	21
产品详细描述.....	22
1. 概述.....	22
2. 电源.....	22
3. 模拟输入.....	23
4. 时钟.....	24
5. 数字输出和分频时钟输出(CDOP/CDON)	25
6. 主同步输入.....	28
7. 片内终端电阻 R_{REF}	28
8. 输入共模参考输出.....	28
9. 温度测量二极管.....	28
10. VCC 片上取样.....	29
11. 接口同步.....	29
12. 交织校准.....	30
12.1. 芯片内置的手动校准模式.....	30
13. SPI 接口	31
13.1. 简要说明.....	31
13.2. 读写时序.....	31
13.3. 寄存器表.....	32
13.4. 寄存器说明.....	33
13.4.1. Control1 寄存器.....	33
13.4.2. Control2 寄存器.....	34
14. 布线规则.....	35
产品应用信息.....	37
订购信息.....	38
修订版次.....	39
声明	40

AAD8400

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
A	GND	VCC	AHDP0	ALDN0	AORP	GND	AIN	AIP	GND	BN	BIP	GND	GND	CIN	CIP	GND	DIN	DIP	GND	BORP	BLDN0	BHDP0	VCC	GND	A
B	GND	VCC	AHDP0	ALDP0	AORN	GND	GND	GND	GND	GND	GND	CMR	RREF	GND	GND	GND	GND	GND	GND	BORN	BLDP0	BHDP0	VCC	GND	B
C	N/A	N/A	VCC	GND	VCC	VCC	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	VCC	VCC	GND	VCC	N/A	N/A	C
D	ALDN1	ALDP1	VCC	GND	VCC18	VCC	VCC	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	VCC	VCC	VCC18	GND	VCC	BLDP1	BLDN1	D
E	AHDP1	AHDP1	VCC18	GND	GND	VCC18	VCC	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	VCC	VCC18	GND	GND	VCC18	BHDP1	BHDP1	E
F	ALDN2	ALDP2	VCC18	GND	GND															GND	GND	VCC18	BLDP2	BLDN2	F
G	AHDP3	AHDP3	AHDP3	AHDP2	GND															GND	BHDP2	BHDP2	BHDP2	BHDP2	G
H	AHDP4	AHDP4	ALDN3	ALDP3	VCC18															VCC18	BLDP3	BLDN3	BHDP4	BHDP4	H
J	ALDN5	ALDP5	ALDN4	ALDP4	GND															GND	BLDP4	BLDN4	BLDP5	BLDN5	J
K	AHDP6	AHDP6	AHDP6	AHDP5	VCC															VCC	BHDP5	BHDP5	BHDP5	BHDP5	K
L	ALDN6	ALDP6	ALDN7	ALDP7	GND															GND	BLDP7	BLDN7	BLDP6	BLDN6	L
M	AHDP7	AHDP7	ADRN	ADRP	VCC															VCC	BDRP	BDRN	BHDP7	BHDP7	M
N	CLDN0	CLDP0	CDRN	CDRP	VCC															VCC	DDRP	DDRN	DLDP0	DLDN0	N
P	CLDN1	CLDP1	CHDN0	CHDP0	GND															GND	DHDP0	DHDP0	DLDP1	DLDN1	P
R	CHDN2	CHDP2	CLDN2	CLDP2	VCC															VCC	DLDP2	DLDN2	DHDP2	DHDP2	R
T	CLDP3	CLDN3	CHDN1	CHDP1	GND															GND	DHDP1	DHDP1	DLDN3	DLDP3	T
U	CLDN4	CLDP4	CHDP3	CHDN3	VCC18															VCC18	DHDP3	DHDP3	DLDP4	DLDN4	U
V	CLDP5	CLDN5	CHDP4	CHDN4	GND															GND	DHDP4	DHDP4	DLDN5	DLDP5	V
W	CHDN5	CHDP5	VCC18	GND	GND															GND	GND	VCC18	DHDP5	DHDP5	W
Y	CLDN6	CLDP6	VCC18	GND	GND	VCC18	VCC	GND	GND	VCC	VCC	GND	GND	VCC	VCC	GND	GND	VCC	VCC18	GND	GND	VCC18	DLDP6	DLDN6	Y
AA	CHDN6	CHDP6	VCC	GND	VCC18	VCC	VCC	GND	GND	VCC	VCC	GND	GND	VCC	VCC	GND	GND	VCC	VCC	VCC18	GND	VCC	DHDP6	DHDP6	AA
AB	N/A	N/A	VCC	GND	VCC	GND	VCC	GND	GND	VCC	N/A	GND	GND	VCC	VCC	GND	GND	VCC	GND	VCC	GND	VCC	N/A	N/A	AB
AC	GND	VCC	CLDP7	CHDP7	CORN	GND	DET2	CDON	N/A	N/A	SYNCP	GND	GND	VCCSNS	RST	CSN	MISO	VCC	GND	DORP	DHDP7	DLDP7	VCC	GND	AC
AD	GND	VCC	CLDN7	CHDN7	CORP	GND	DET1	CDOP	N/A	SYNCP	GND	CLKN	CLKP	GND	N/A	SCLK	MOSI	VCC	GND	DORN	DHDP7	DLDN7	VCC	GND	AD
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	

图 3：AAD8400_FCBGA392 引脚分布图(Top View)



引脚分布及功能描述

引脚编号	引脚名称	功能描述	备注
A1, A6, A9, A12, A13, A16, A19, A24, B1, B6, B7, B8, B9, B10, B11, B14, B15, B16, B17, B18, B19, B24, C4, C7, C8, C9, C10, C11, C12, C13, C14, C15, C16, C17, C18, C21, D4, D8, D9, D10, D11, D12, D13, D14, D15, D16, D17, D21, E4, E5, E8, E9, E10, E11, E12, E13, E14, E15, E16, E17, E20, E21, F4, F5, F20, F21, G5, G20, J5, J20, L5, L20, P5, P20, T5, T20, V5, V20, W4, W5, W20, W21, Y4, Y5, Y8, Y9, Y12, Y13, Y16, Y17, Y20, Y21, AA4, AA8, AA9, AA12, AA13, AA16, AA17, AA21, AB4, AB6, AB8, AB9, AB12, AB13, AB16, AB17, AB19, AB21, AC1, AC6, AC12, AC13, AC19, AC24, AD1, AD6, AD11, AD14, AD19, AD24, AE7, AE8, AE9, AE10, AE11, AE12	GND	Ground	所有引脚统一接地
A2, A23, B2, B23, C3, C5, C6, C19, C20, C22, D3, D6, D7, D18, D19, D22, E7, E18, K5, K20, M5, M20, N5, N20, R5, R20, Y7, Y10, Y11, Y14, Y15, Y18, AA3, AA6, AA7, AA10, AA11, AA14, AA15, AA18, AA19, AA22, AB3, AB5, AB7, AB10, AB14, AB15, AB18, AB20, AB22, AC2, AC18, AC23, AD2,	VCC	+3.3V	电源



引脚编号	引脚名称	功能描述	备注
AD18, AD23, AE1, AE2, AE3, AE4, AE5, AE6			
D5, D20, E3, E6, E19, E22, F3, F22, H5, H20, U5, U20, W3, W22, Y3, Y6, Y19, Y22, AA5, AA20	VCC18	+1.8V	数字电源
A7/A8	AIN/AIP	Input	A 路信号输入端
M3/M4	ADRN/ADRP	Data Clock Output	A 路数据时钟输出
B5/A5	AORN/AORP	Out of Range	A 路数据超量程溢出位
B3/ A3, E1/ E2, G3/ G4, G1/ G2, H1/ H2, K3/ K4, K1/ K2, M1/ M2	AHDN0/AHDP0... AHDN7/AHDP7	Output	A 路 H 组数据输出
A4/ B4, D1/ D2, F1/ F2, H3/ H4, J3/ J4, J1/ J2, L1/ L2, L3/ L4	ALDN0/ALDP0... ALDN7/ALDP7	Output	A 路 L 组数据输出
A10/A11	BIN/BIP	Input	B 路信号输入端
M22/M21	BDRN/BDRP	Data Clock Output	B 路数据时钟输出
B20/A20	BORN/BO RP	Out of Range	B 路数据超量程溢出位
B22/ A22, E24/ E23, G22/ G21, G24/ G23, H24/ H23, K22/ K21, K24/ K23, M24/ M23	BHDN0/BHDP0.....B HDN7/BHDP7	Output	B 路 H 组数据输出
A21/ B21, D24/ D23, F24/ F23, H22/ H21, J22/ J21, J24/ J23, L24/ L23, L22/ L21	BLDN0/BLDP0... BLDN7/B	Output	B 路 L 组数据输出



引脚编号	引脚名称	功能描述	备注
	LDP7		
A14/A15	CIN/CIP	Input	C 路信号输入端
N3/N4	CDRN/CD RP	Data Clock Output	C 路数据时钟输出
AC5/AD5	CORN/CO RP	Out of Range	C 路数据超量程溢出位
P3/ P4, T3/ T4, R1/ R2, U4/ U3, V4/ V3, W1/ W2, AA1/ AA2, AD4/ AC4	CHDN0/C HDP0... .. CHDN7/C HDP7	Output	C 路 H 组数据输出
N1/ N2, P1/ P2, R3/ R4, T2/ T1, U1/ U2, V2/ V1, Y1/ Y2, AD3/ AC3	CLDN0/C LDP0... .. CLDN7/C LDP7	Output	C 路 L 组数据输出
A17/A18	DIN/DIP	Input	D 路信号输入端
N22/N21	DDRN/DD RP	Data Clock Output	D 路数据时钟输出
AD20/AC20	DORN/DO RP	Out of Range	D 路数据超量程溢出位
P22/ P21, T22/ T21, R24/ R23, U21/ U22, V21/ V22, W24/ W23, AA24/ AA23, AD21/ AC21	DHDN0/D HDP0... .. DHDN7/D HDP7	Output	D 路 H 组数据输出
N24/ N23, P24/ P23, R22/ R21, T23/ T24, U24/ U23, V23/ V24, Y24/ Y23, AD22/ AC22	DLDN0/D LDP0... .. DLDN7/D LDP7	Output	D 路 L 组数据输出
AC8/AD8	CDON/CD OP	Clock divide output	采样时钟的 128 分频时钟 输出, LVDS 逻辑电平, 不用时接 100Ω负载



引脚编号	引脚名称	功能描述	备注
AD12/AD13	CLKN/CLKP	Clock Input	时钟信号输入端
B12	CMR	Common Mode Reference Voltage	输入共模电压参考
AC16	CSN	Chip Select Negative	片选信号（低电平有效）
AD7, AC7	DET1, DET2	Thermal Detector	温度测量二极管
AC11/AD10	SYNCP/SYNCP	Synchronization	同步控制信号输入，LVDS 电平，不用时需要接低电平，不能悬空。
AC15	RST	SPI Reset	SPI 异步复位信号（高电平有效）
AD16	SCLK	SPI Clock	SPI 时钟信号
AC17	MISO	Master Input Slave Output	输入，SPI 主入从出信号，+3.3V 电平
AD17	MOSI	Master Output Slave Input	输出，SPI 主出从入信号，+3.3V 电平
B13	RREF	Reference Resistor	终端电阻校准基准电阻
AC14	VCCSNS		VCC 片上取样
C1, C2, C23, C24, AB1, AB2, AB11, AB23, AB24, AC9, AC10, AD9, AD15	N/A	None Application	引脚未定义，悬空



推荐工作条件

参数	最小值	标准值	最大值	单位
模拟电源 VCC		+3.3		V
数字电源 VCC18		+1.8		V
模拟输入差模电压（差分峰峰值）		600		mVPP
模拟输入共模电压		CMR		V
数字输入		VIL: $0.15 \times V_{CC}$ VIH: $0.85 \times V_{CC}$		V
时钟输入摆幅（差分峰峰值）		600		mVPP
时钟输入频率		5		GHz
功耗				

转换器电气性能指标

以下规格适用于 $V_{CC}=+3.3V$ ， $V_{CC18}=+1.8V$ ；模数转换器输出幅值-1dBFS，交流耦合正弦波输入时钟， $f_{CLK}=5GHz$ ，50%时钟占空比；模拟信号源阻抗 100Ω ；1：2 解复用模式。**黑体界限适用于温度 $T_A=T_{MIN}$ to T_{MAX} 。除非另行说明所有其他的界限值均适用于问题 $T_A=25^\circ C$ 。**

符号	参数	测试条件	标准值	范围	单位
电源特性					
V _{CC}	+3.3V 电源电压	-	+3.3	+3.25 (min)	V
				+3.35 (max)	V
V _{CC18}	+1.8V 电源电压	-	+ 1.8	+1.7 (min)	V
				+1.9 (max)	V
I _{CC}	+3.3V 电源电流	-	2600	-	mA
I _{CC18}	+1.8V 电源电流	-	80	-	mA
静态特性					
INL	积分非线性	满量程 10MHz 低失真正弦信号	-	-2.0 (min) +2.0 (max)	LSB LSB

符号	参数	测试条件	标准值	范围	单位
DNL	微分非线性		-	-0.6 (min) +0.6 (max)	LSB LSB
Resolution	分辨率	-	-	- 8 (max)	- Bits
V _{OFFSET}	失调误差	-	-	-2.0 (min) +2.0 (max)	LSB LSB
-	超出范围输出码	V _{IN+} -V _{IN-} > 正向满摆幅 V _{IN+} -V _{IN-} < 负向满摆幅	-	255 0	-
C.E.R.	误码率	-	TBD	-	Error/Sample
动态特性（非交织模式）					
ENOB	有效位	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	6.16 6.45	-	Bits Bits
SINAD	信号和噪声失真比	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	37.83 39.64	-	dBc dBc
SNR	信噪比	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	43.99 44.49	-	dBFS dBFS
THD	总谐波失真	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	-39.41 -41.90	-	dBc dBc
SFDR	无杂散动态范围	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	40.71 43.27	-	dBFS dBFS
动态特性（两路交织模式）					
ENOB	有效位	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	6.45 6.53	-	Bits Bits
SINAD	信号和噪声失真比	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	40.60 41.08	-	dBc dBc
SNR	信噪比	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	42.59 42.92	-	dBFS dBFS
THD	总谐波失真	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	-42.86 -43.65	-	dBc dBc
SFDR	无杂散动态范围	f _{IN} = 1.013147GHz f _{IN} = 113.147MHz	43.02 43.80	-	dBFS dBFS
动态特性（四路交织模式）					



符号	参数	测试条件	标准值	范围	单位
ENOB	有效位	$f_{IN} = 1.013147\text{GHz}$ $f_{IN} = 113.147\text{MHz}$	6.37 6.49	-	Bits Bits
SINAD	信号和噪声失真比	$f_{IN} = 1.013147\text{GHz}$ $f_{IN} = 113.147\text{MHz}$	40.10 40.75	-	dBc dBc
SNR	信噪比	$f_{IN} = 1.013147\text{GHz}$ $f_{IN} = 113.147\text{MHz}$	42.70 42.90	-	dBFS dBFS
THD	总谐波失真	$f_{IN} = 1.013147\text{GHz}$ $f_{IN} = 113.147\text{MHz}$	-41.79 -42.88	-	dBc dBc
SFDR	无杂散动态范围	$f_{IN} = 1.013147\text{GHz}$ $f_{IN} = 113.147\text{MHz}$	41.94 43.07	-	dBFS dBFS
模拟输入及参考源特性					
V_{FSR}	满摆幅模拟信号差分输入范围	-	600	-	mV _{PP} mV _{PP}
R_{IN}	差分输入阻抗	-	100	-	Ω
FPBW	模拟输入带宽	-	5	-	GHz
模拟输出特性					
V_{CM}	共模输出电压	-	1.75	-	V
时钟输入特性					
V_{CLK_D}	-	-	-	0.4 (min) 1.2 (max)	V_{PP} V_{PP}
LVDS 输出特性					
V_{OD}	LVDS 差分输出	差分测量	-	470 (min) 920 (max)	mV _{PP} mV _{PP}
V_{OS}	LVDS 输出共模电压	-	-	950 (min) 1550 (max)	mV mV
交流特性					
f_{CLK}	输入时钟频率	-	-	- 5 (max)	- GHz

典型测试结果

非特别注明，以下所有测量均在 $T_A = 25^\circ\text{C}$, $V_{CC} = +3.3\text{V}$, $V_{CC18} = +1.8\text{V}$, $f_{CLK} = 5\text{GHz}$, 0dBm , 50% 占空比, ADC 工作在四路交织模式, 单音信号输入, 交织校准后, 转换器输出幅度为 -1dBFS 下取得:

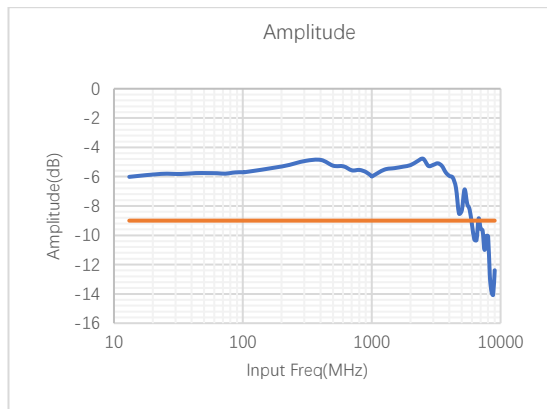


图 4: 模数转换器幅频特性曲线

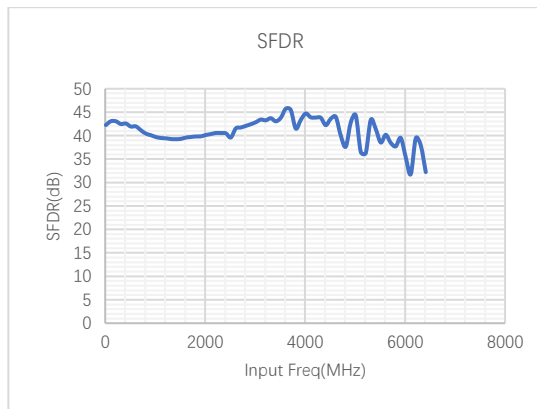


图 5: 无杂散动态范围 VS. 输入频率

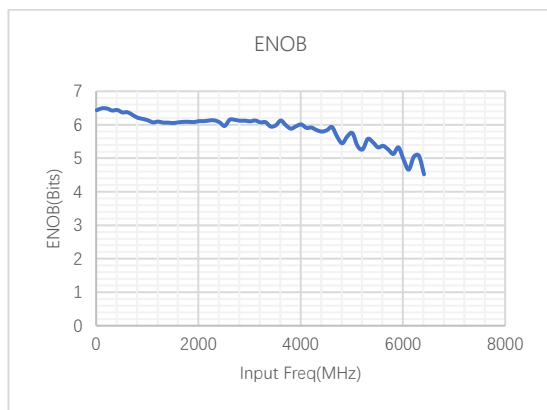


图 6: 有效位 VS. 输入频率

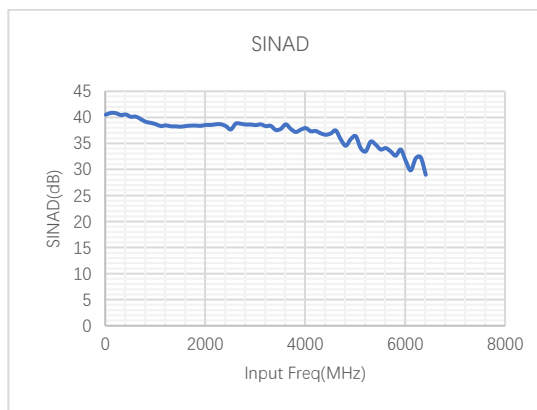


图 7: 信纳比 VS. 输入频率

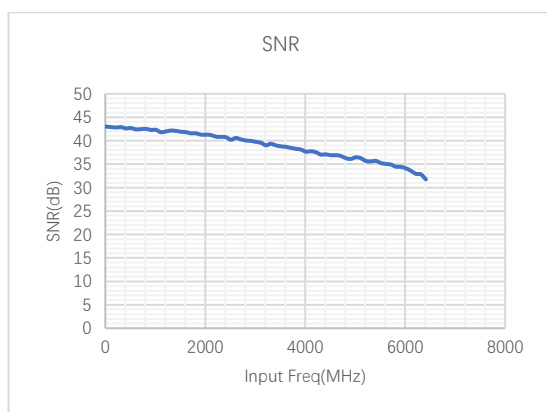


图 8: 信噪比 VS. 输入频率

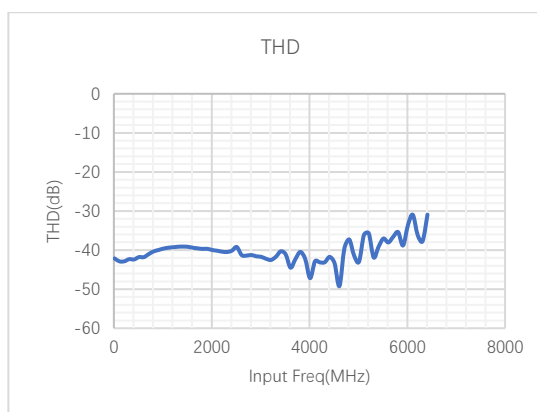


图 9: 总谐波失真 VS. 输入频率

非特别注明，以下所有测量均在 $T_A = 25^{\circ}\text{C}$, $V_{CC}=+3.3\text{V}$, $V_{CC18}=+1.8\text{V}$, $f_{CLK} = 5\text{GHz}$, 0dBm , 50% 占空比, ADC 工作在两路交织模式, 单音信号输入, 交织校准后, 转换器输出幅度为 -1dBFS 下取得:

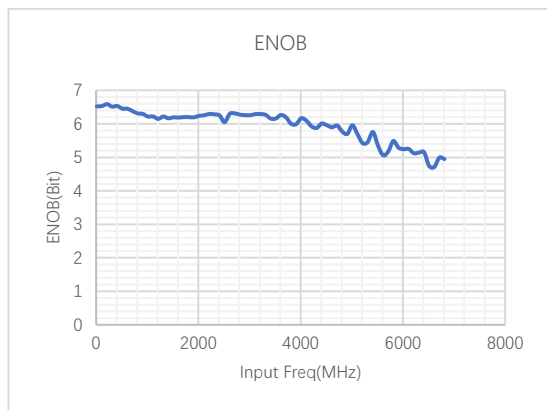


图 10: 有效位 VS.输入频率

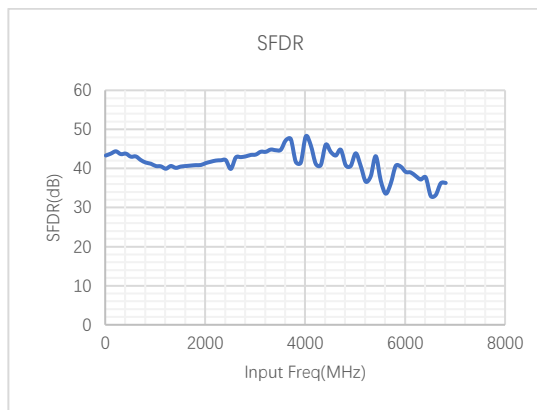


图 11: 无杂散动态范围 VS.输入频率

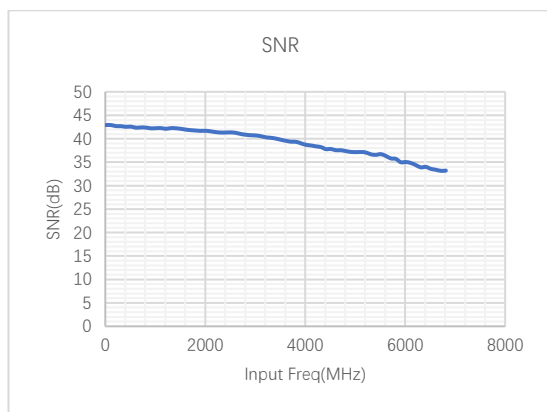


图 12: 信噪比 VS.输入频率

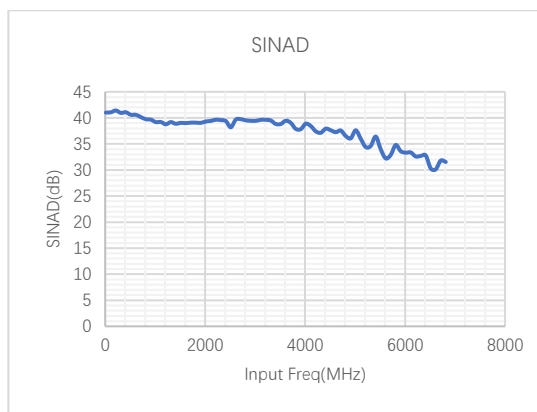


图 13: 信纳比 VS.输入频率

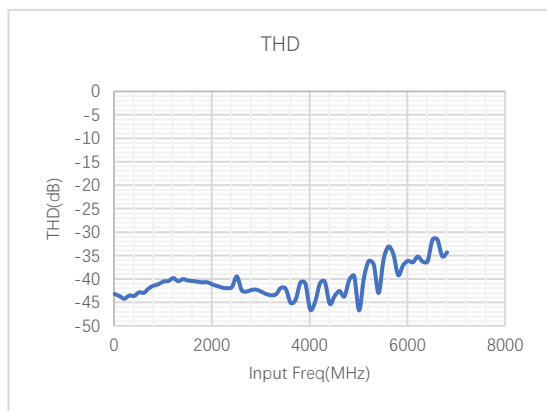


图 14: 总谐波失真 VS.输入频率

非特别注明，以下所有测量均在 $T_A = 25^\circ\text{C}$, $V_{CC} = +3.3\text{V}$, $V_{CC18} = +1.8\text{V}$, $f_{CLK} = 5\text{GHz}$, 0dBm , 50% 占空比, ADC 工作在非交织模式, 单音信号输入, 转换器输出幅度为 -1dBFS 下取得:

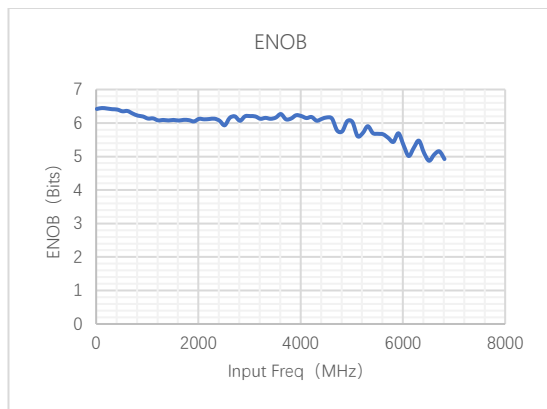


图 15: 有效位 VS.输入频率

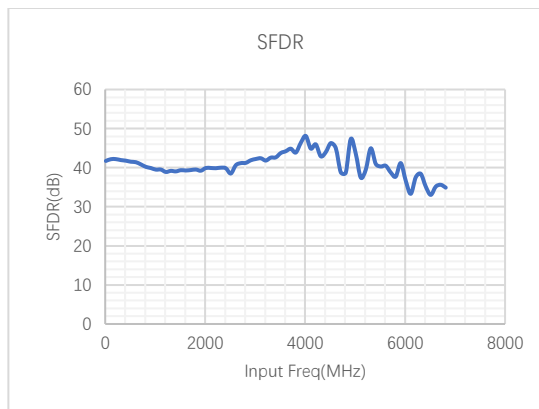


图 16: 无杂散动态范围 VS.输入频率

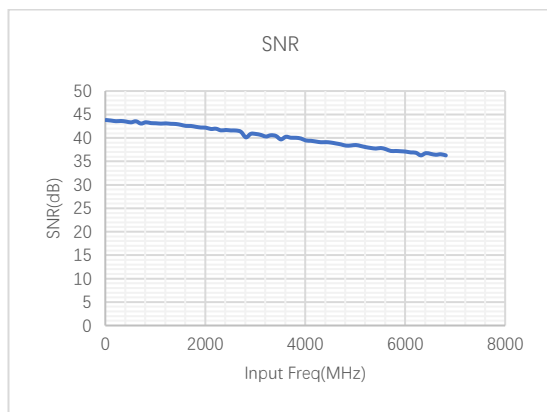


图 17: 信噪比 VS.输入频率

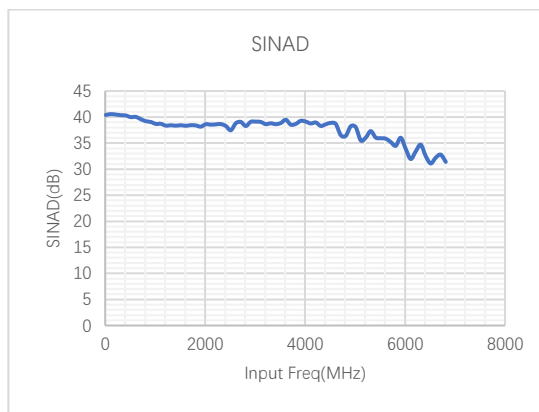


图 18: 信纳比 VS.输入频率

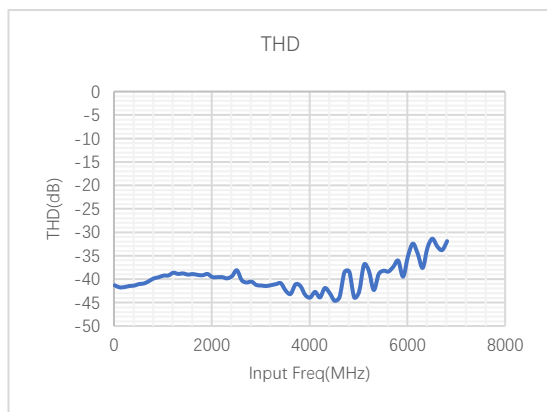


图 19: 总谐波失真 VS.输入频率

非特别注明，以下所有测量均在 $T_A = 25^\circ\text{C}$, $V_{CC} = +3.3\text{V}$, $V_{CC18} = +1.8\text{V}$, $f_{IN} = 250.137\text{MHz}/1250.137\text{MHz}/2250.137\text{MHz}/3250.137\text{MHz}$, ADC 工作在交织模式下，经交织校准后取得：

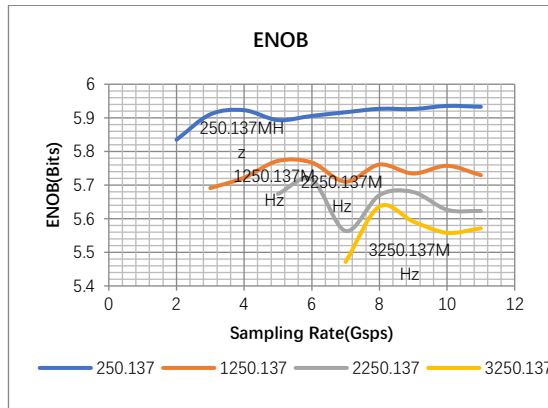


图 20：有效位 VS.采样率

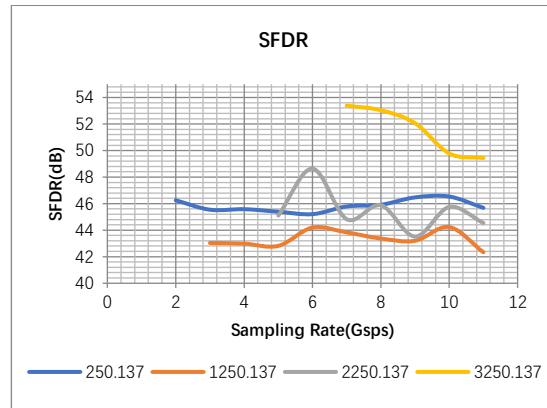


图 21：无杂散动态范围 VS.采样率

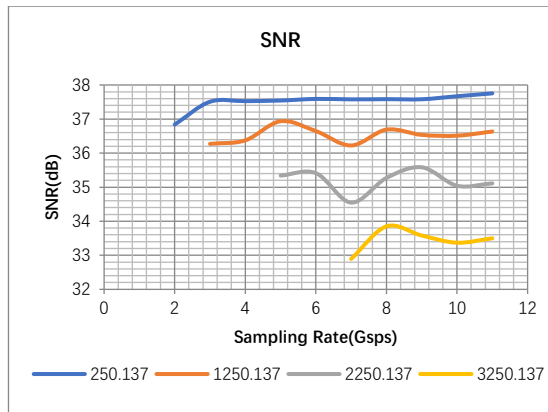


图 22：信噪比 VS.采样率

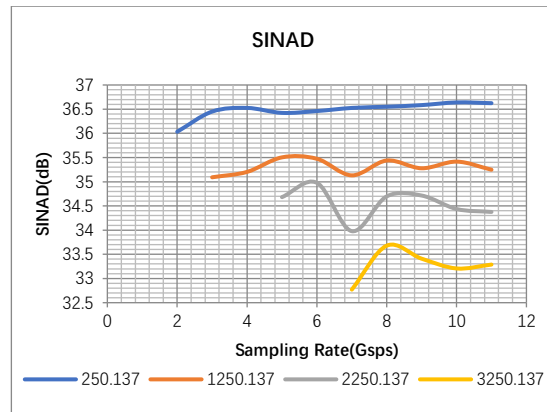


图 23：信纳比 VS.采样率

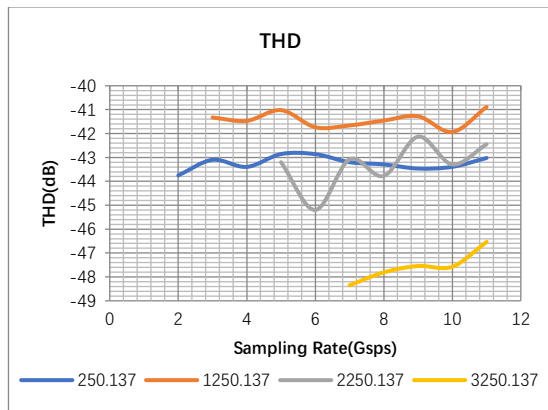


图 24：总谐波失真 VS.采样率

非特别注明，以下所有测量均在 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ ， $V_{CC} = +3.3\text{V}$ ， $V_{CC18} = +1.8\text{V}$ ， $f_{CLK} = 5\text{GHz}$ ， 0dBm ，50%占空比，ADC工作在交织模式下，单音信号输入，经交织校准后，转换器输出幅度为-1dBFS下取得：

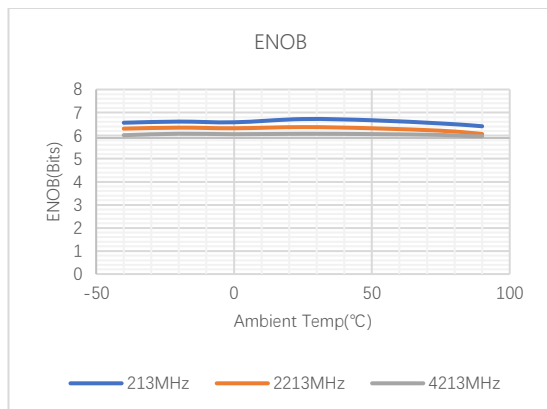


图 25: 有效位 VS.环境温度

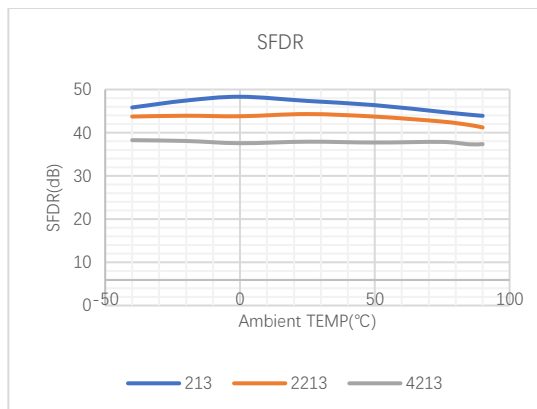


图 26: 无杂散动态范围 VS.环境温度

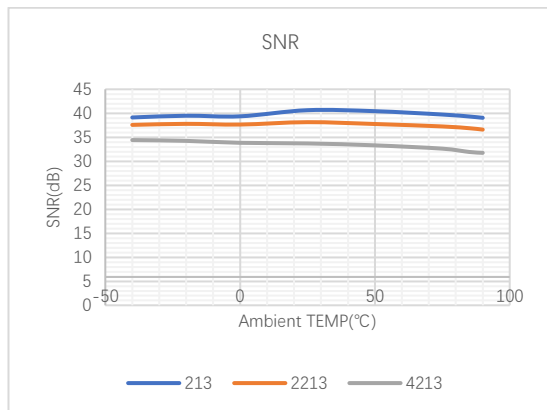


图 27: 信噪比 VS.环境温度

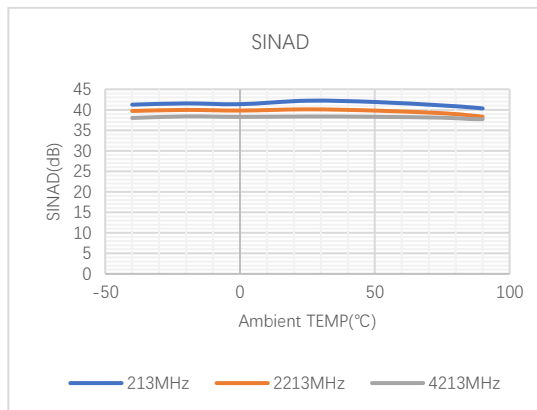


图 28: 信纳比 VS.环境温度

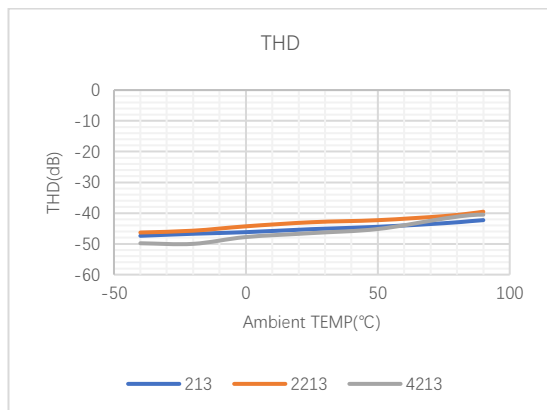


图 29: 总谐波失真 VS.环境温度

非特别注明，以下所有测量均在 $T_A = 25^\circ\text{C}$, $V_{CC} = +3.3\text{V}$, $V_{CC18} = +1.8\text{V}$, $f_{CLK} = 5\text{GHz}$, 0dBm , 50% 占空比, ADC 工作在非交织模式下, 单音信号输入, 转换器输出幅度为 -1dBFS 下取得:

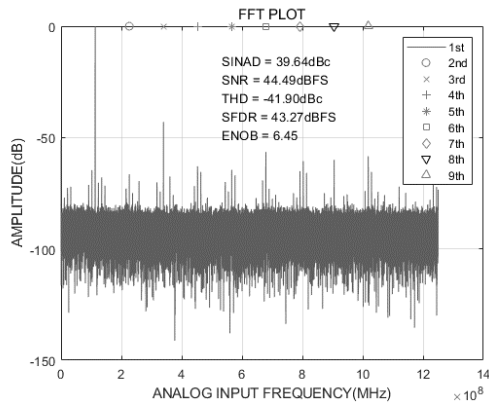


图 30: Single-Tone FFT; FIN=113.147MHz

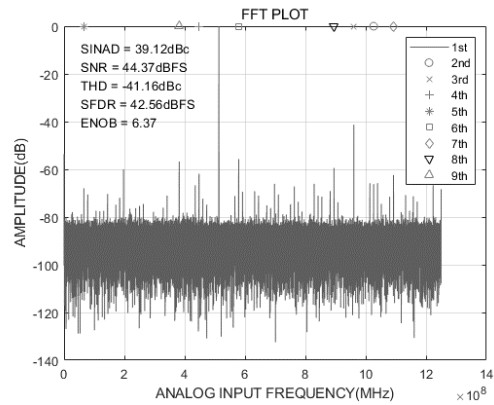


图 31: Single-Tone FFT; FIN=513.147MHz

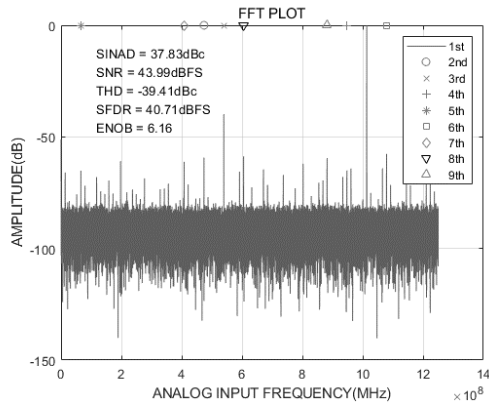


图 32: Single-Tone FFT; FIN=1013.147MHz

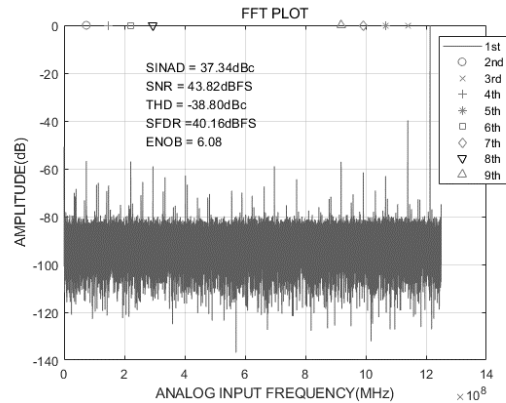


图 33: Single-Tone FFT; FIN=1213.147MHz

非特别注明，以下所有测量均在 $T_A = 25^\circ\text{C}$, $V_{CC} = +3.3\text{V}$, $V_{CC18} = +1.8\text{V}$, $f_{CLK} = 5\text{GHz}$, 0dBm , 50% 占空比, ADC 工作在两路交织模式下, 单音信号输入, 经交织校准后, 转换器输出幅度为 -1dBFS 下取得:

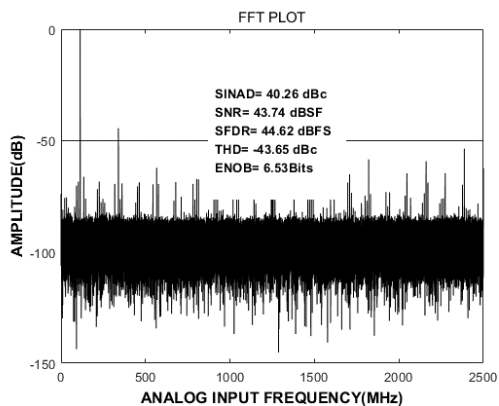


图 34: Single-Tone FFT; FIN=113.147MHz

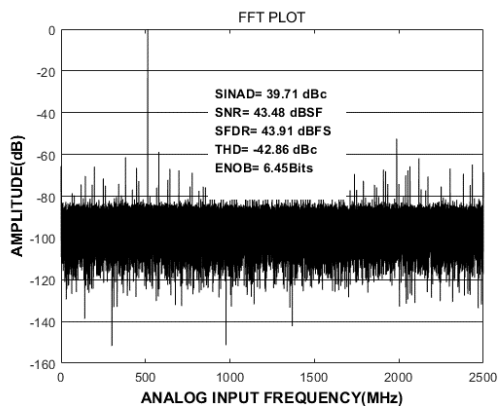


图 35: Single-Tone FFT; FIN=513.147MHz

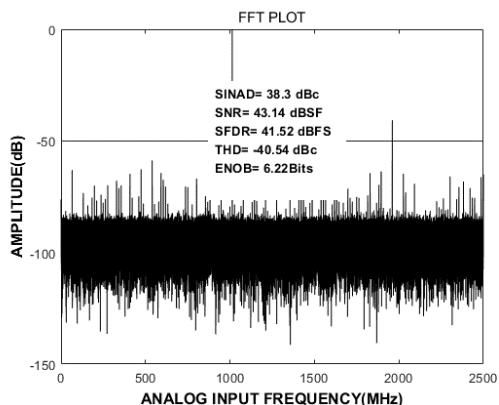


图 36: Single-Tone FFT; FIN=1013.147MHz

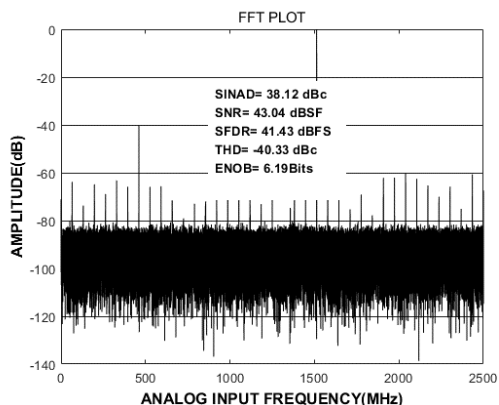


图 37: Single-Tone FFT; FIN=1513.147MHz

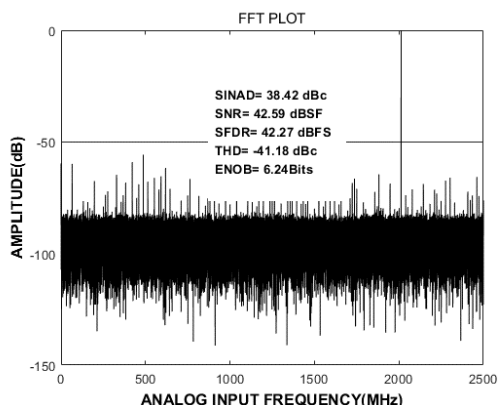


图 38: Single-Tone FFT; FIN=2013.147MHz

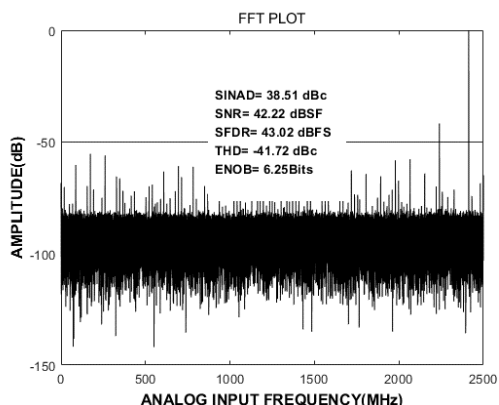


图 39: Single-Tone FFT; FIN=2413.147MHz

非特别注明，以下所有测量均在 $T_A = 25^\circ\text{C}$, $V_{CC} = +3.3\text{V}$, $V_{CC18} = +1.8\text{V}$, $f_{CLK} = 5\text{GHz}$, 0dBm, 50%占空比, ADC 工作在四路交织模式下, 单音信号输入, 经交织校准后, 转换器输出幅度为-1dBFS 下取得:

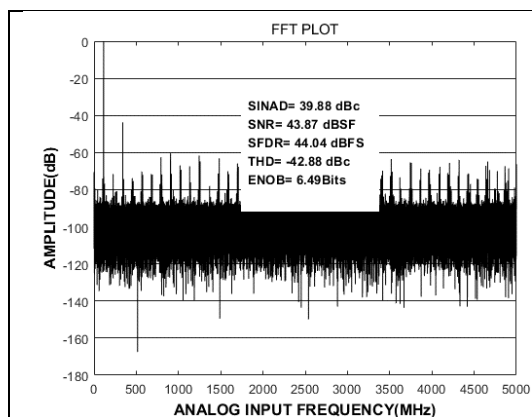


图 40: Single-Tone FFT; FIN=113.147MHz

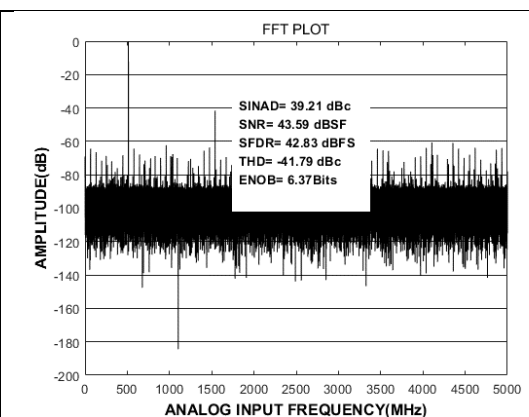


图 41: Single-Tone FFT; FIN=513.147MHz

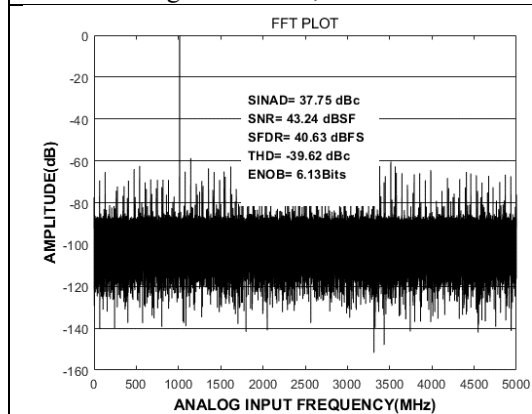


图 42: Single-Tone FFT; FIN=1013.147MHz

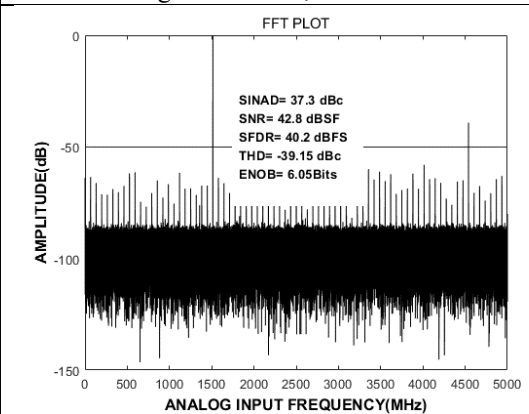


图 43: Single-Tone FFT; FIN=1513.147MHz

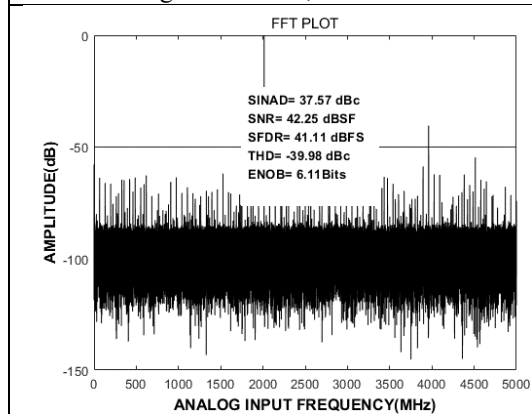


图 44: Single-Tone FFT; FIN=2013.147MHz

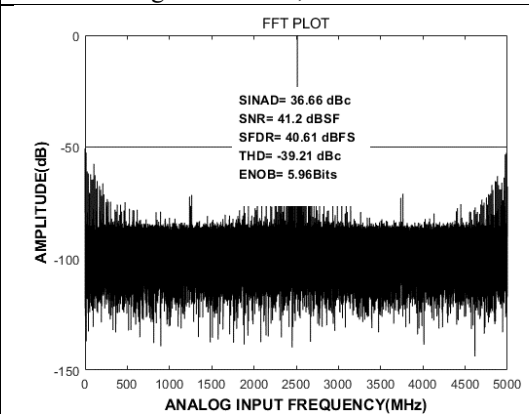


图 45: Single-Tone FFT; FIN=2513.147MHz

AAD8400

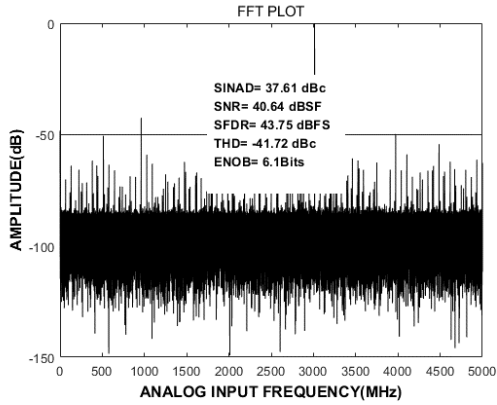


图 46: Single-Tone FFT; FIN=3013.147MHz

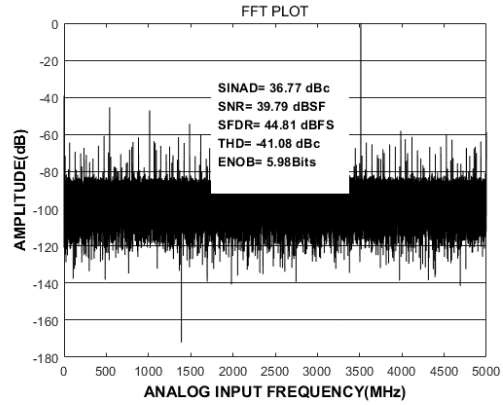


图 47: Single-Tone FFT; FIN=3513.147MHz

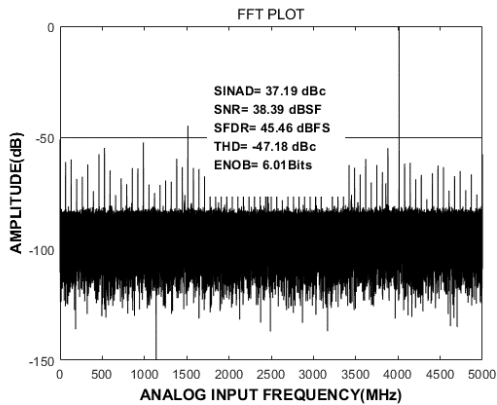


图 48: Single-Tone FFT; FIN=4013.147MHz

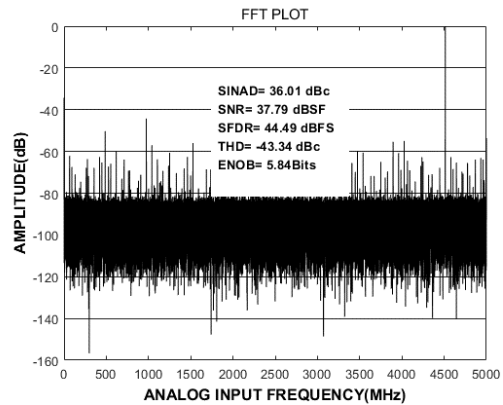


图 49: Single-Tone FFT; FIN=4513.147MHz



绝对最大额定值

注意：超出下表所给出的最大额定值可能会导致器件永久性损坏。这里给出的只是额定最值，不表示在这些条件下或者在任何其他超出本规范操作章节中所示规格的条件下，器件能够正常工作。长期处于绝对最大额定值条件下工作会影响器件的可靠性。

模拟电源(V_{CC})	-0.3V~+4.0V
数字电源(V_{CC18})	-0.3V~+2.2V
模拟时钟输入端电压(V_{IN})	-0.3V~+3.3V
时钟输入端电压(V_{CLK})	-0.3V~+3.3V
工作温度	-40°C~+85°C
贮存温度	-65°C~+150°C

封装热阻

封装类型	θ_{JA} Ambient	θ_{JC} Top of Package	θ_{JC} Thermal Pad
FC-BGA392	TBD	TBD	TBD



本产品内置防静电保护装置有限，为了防止静电损坏门电路，在储存或处理过程中应使引脚短接在一起或将产品放置在导电泡沫材料中。

产品详细描述

AAD8400 是一款拥有全新架构的多功能高速模数转换器，该芯片应用的解决方案控制简单易行。该芯片的最佳性能要求遵循此处所讨论的规范，或请参考应用信息章节。

虽然将芯片引脚悬空并不是一个特别好的做法，但是 AAD8400 这款芯片的引脚 C1, C2, C23, C24, AB1, AB2, AB11, AB23, AB24, AC9, AC10, AD9, AD15 被设计为悬空不会有任何风险。

1. 概述

本芯片采用折叠内插架构最高可达 6.5 个有效比特位，其中折叠放大器的使用大大降低了比较器的数目。另外，芯片集成的片上校验也大大降低了折叠架构常见的积分非线性误差的曲线效应。这些做法共同造就了一个非常快速且高性能的转换器。

理想情况下，在转换器输入电压范围之内的模拟输入信号将在 2GSPS 到 10GSPS 的采样率下被量化为 8 位数字信号。不管差分输入电压的哪端低于负的满量程电压还是高过正的满量程电压均会触发转换器的溢出位生效。

转换器中每个子 ADC 都有一个可提供两路 LVDS 总线的 1:2 多路输出选择器。每路总线的数据输出速率是 ADC 采样率的八分之一，用户可以将其交织使用，使数据输出速率达到转换器的全速。

2. 电源

AAD8400 芯片额定的工作电压分别是+3.3VV 和+1.8V，需要非常注意的是，如果芯片长期工作在超出额定工作电压值范围的电源驱动电压下，则非常容易造成芯片的寿命降低。

即使在上电和断电时，也要严格遵守最大有效值范围的要求。在电源打开和关闭时产生的电源脉冲可能会损坏 AAD8400 芯片。图 50 提供了一种电源的过电保护方案。

除非提供一个非常小的负载，否则很多线性稳压器都会在上电时产生一个输出脉冲。除非电源电压达到几百个毫伏，否则有源器件产生的电流会很小。因此除非给电源一个很小的负载，否则这将会导致产生一个足以破坏 AAD8400 芯片的上电脉冲。推荐的做法是选择一个低噪声的 LDO 电压稳压器来降低上电时的脉冲。

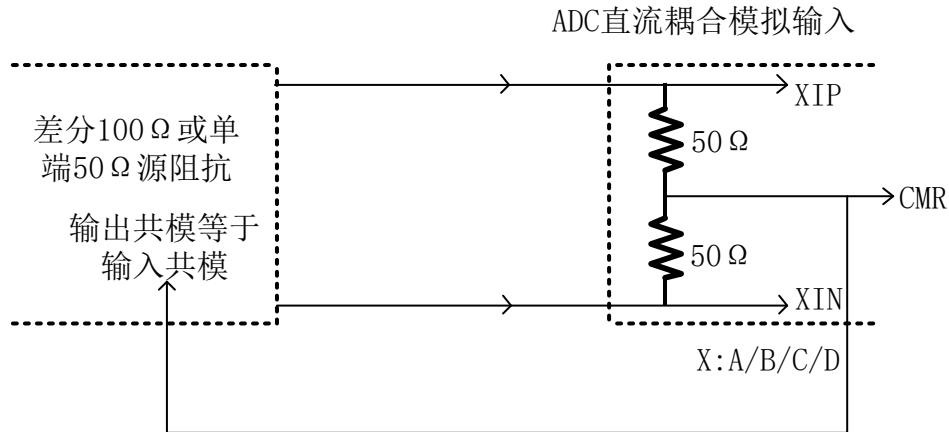


图 52：模拟输入直流耦合等效电路

重要的是，无论是输入的是交流耦合信号还是直流耦合型号，都必须提供一个和 CMR 输出一样的共模电压。

表 1：差分输入和输出的关系

V_{IN+}	V_{IN-}	输出代码
$V_{CM} - 300mV$	$V_{CM} + 300mV$	0000 0000
$V_{CM} - 150mV$	$V_{CM} + 150mV$	0100 0000
V_{CM}	V_{CM}	0111 1111/1000 0000
$V_{CM} + 150mV$	$V_{CM} - 150mV$	1100 0000
$V_{CM} + 300mV$	$V_{CM} - 300mV$	1111 1111

并没有强制要求 AAD8400 芯片不能采用单端输入信号，对于单端输入信号的最佳做法是将其输入 ADC 前，将该单端信号转换成差分信号。为了实现单端信号到差分信号的转换，最简单的做法是使用合适的巴伦连接器。

4. 时钟

AAD8400 芯片的时钟为差分输入模式，需要交流耦合，如图 53 所示。时钟输入幅值推荐差分 600mVPP（范围：差分峰峰值 400mVPP~1200mVPP）。如果不超过规定的最高环境温度，转换器工作在转换电性特征表所示的高采样率是可能的。但是超出环境温度范围，或者工作在高采样率下可能会导致降低芯片可靠性和产品寿命。这是因为转换器芯片工作在高采样率下有较高的功耗和较高的芯片内部温度。因此，正确的温度处理对产品可靠性来说也是非常重要的。

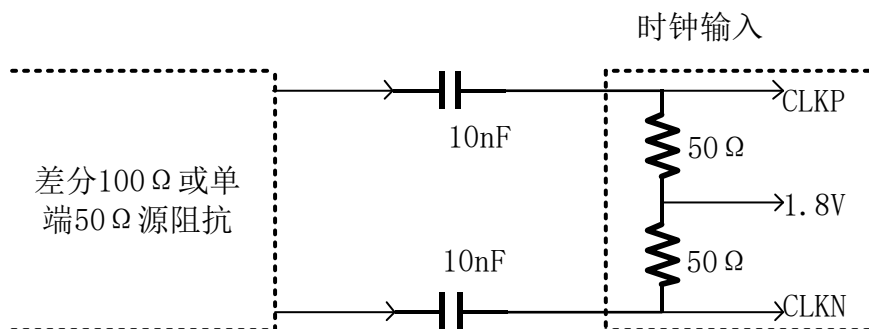


图 53：时钟输入等效电路

这对差分输入时钟应有 100 欧姆的特性阻抗（当使用巴伦时），并且被该 100 欧姆特性阻抗在时钟源所终止。输入时钟线应尽可能的短和直接，AAD8400 时钟输入将被一个未经调整的 100 欧姆电阻从内部终止。

功能不全的输入时钟电平会导致较差的转换器动态性能，而过高的输入时钟电平会导致模拟输入补偿电压的改变。为了避免这些问题，须保证时钟电平在转换器电气特性表所指示的范围之内。

像 AAD8400 这样的高速、高性能 ADC 都需要一个非常稳定的很小的相位噪声和抖动的输入时钟信号。ADC 的抖动要求由 ADC 分辨率（比特位）来定义，ADC 的最大输入频率和输入信号功率跟 ADC 芯片的输入满刻度范围有关。

为了防止抖动引起的信噪比降低而允许的最大抖动是：

$$t_{J(MAX)} = \frac{V_{INFSR}}{V_{IN(P-P)}} \times \frac{1}{2^{(N+1)} \times \prod f_{IN}}$$

其中， $t_{J(MAX)}$ 是几秒内所有抖动源的均方根值， $V_{IN(P-P)}$ 是模拟输入信号的峰峰值， V_{INFSR} 是转换器的满幅范围，“N”指的是转换器的分辨率位数， f_{IN} 是转换器的模拟输入最高频率，单位为赫兹。

请注意，上述的最大抖动是所有抖动来源的均方根的平方和，其中包括 ADC 的输入时钟，以及系统和 ADC 本身所附加的 ADC 输入时钟和输入信号。既然 ADC 附加的有效抖动超出了用户的控制，那么用户可做的最好的方法就是保持外部附加的输入时钟抖动总和以及模拟电路到附加到模拟信号的抖动降到最低。

转换电气特性表所示的输入时钟功率会导致输入补偿电压增大。这将导致转换器产生一个另外的输出码，而不是预期的两个潜在代码 127 或 128。

5. 数字输出和分频时钟输出(CDOP/CDON)

AAD8400 芯片将四个子 ADC 的输出数据分解为两个 LVDS 输出总线（共有 8 个总线，每

个子 ADC 两个)。与此同时，还有四路溢出位、四路 DDR 参考时钟以及一路分频时钟输出，均为 LVDS 逻辑电平。信号共模电平为 1.25V，输出信号摆幅可调范围为 300 mV~440mV。

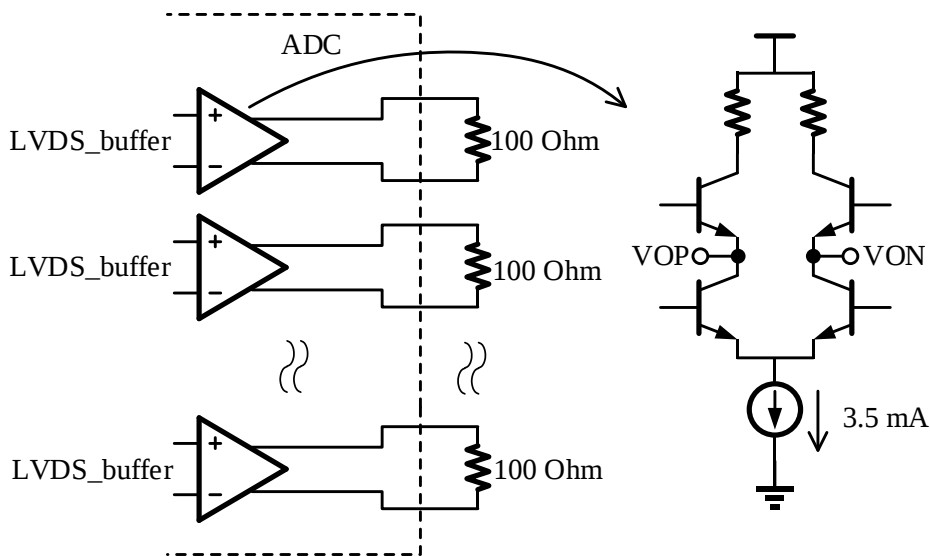


图 54: LVDS 输出等效电路

ADC 两路交织输出信号和输入信号的时序如图 55、图 56 所示：

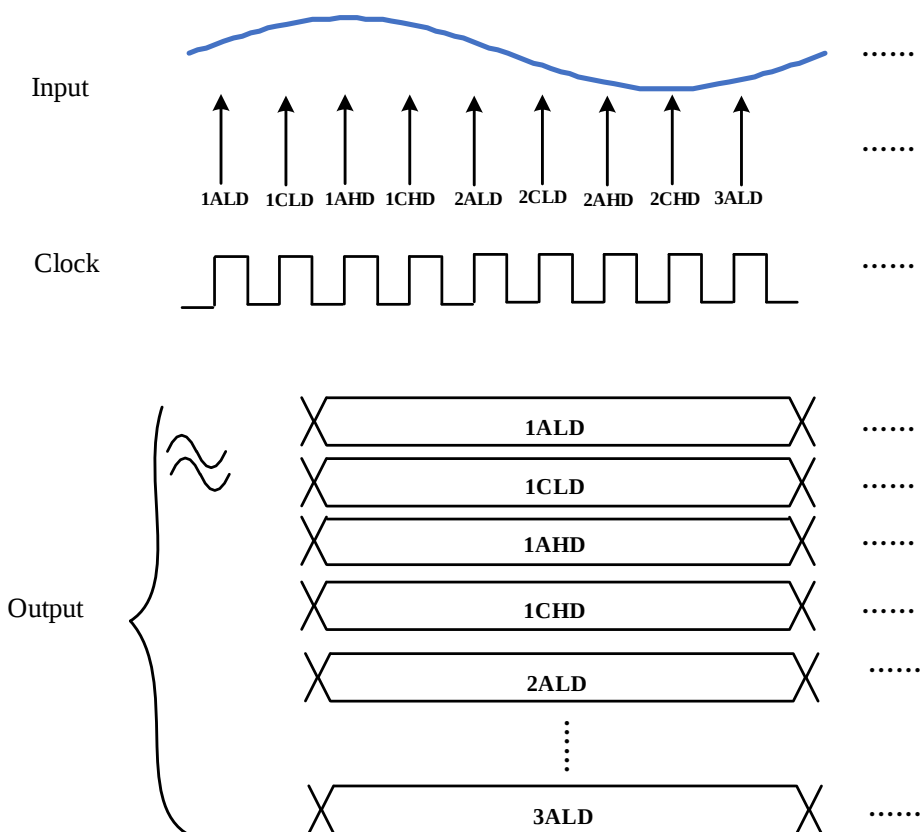


图 55: ADC A/C 两路交织输入输出时序图

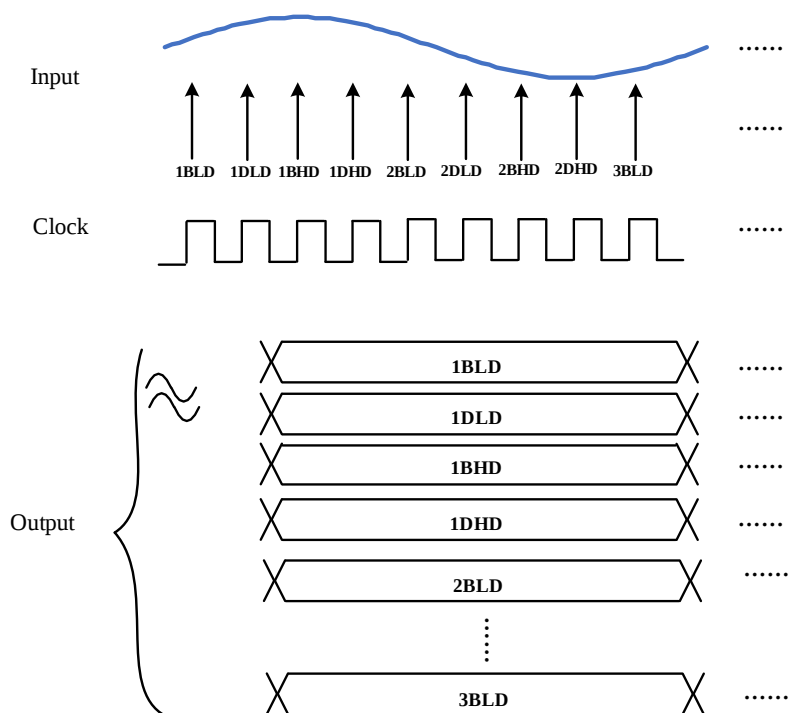


图 56: ADC B/D 两路交织输入输出时序图

ADC 四路交织输出信号和输入信号的时序如图 57 所示:

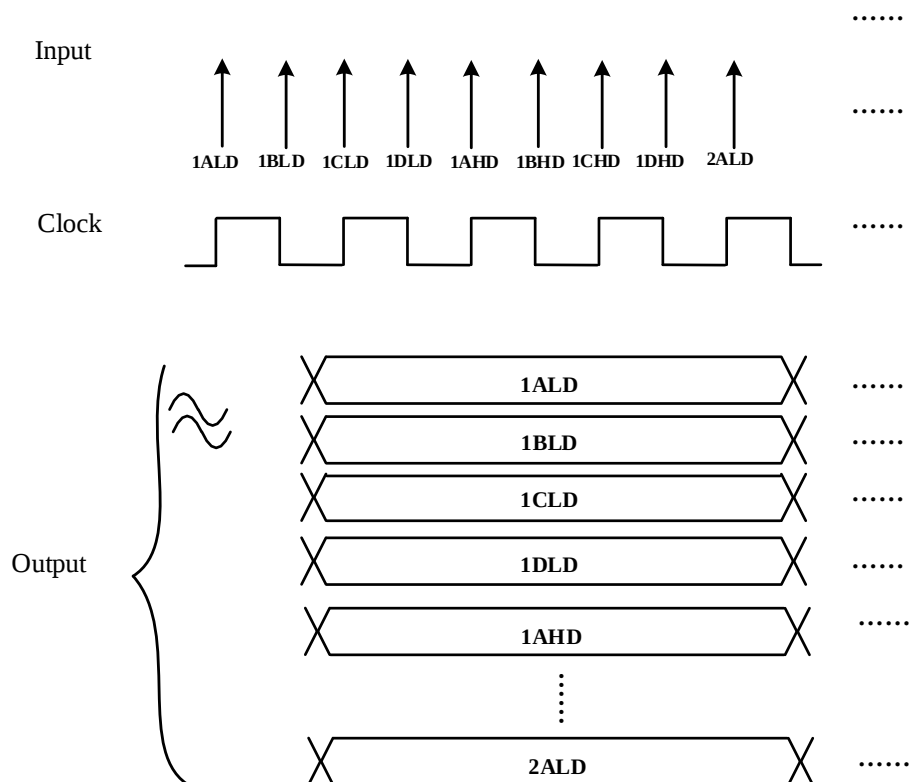


图 57: ADC 四路交织输入输出时序图

6. 主同步输入

主同步采用 LVDS 逻辑电平输入，内部共模电压约 1.2V，使用时采用直流耦合方式。

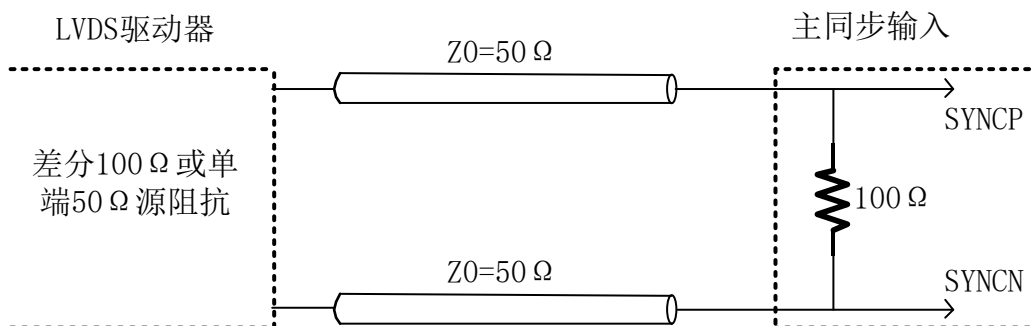


图 58：主同步输入等效电路

7. 片内终端电阻 R_{REF}

AAD8400 可以通过该引脚来获取片内终端电阻的精确值。使用时可以将该引脚作为测试点引出。直接测量处片内终端电阻值。如果不用，该引脚可以悬空。

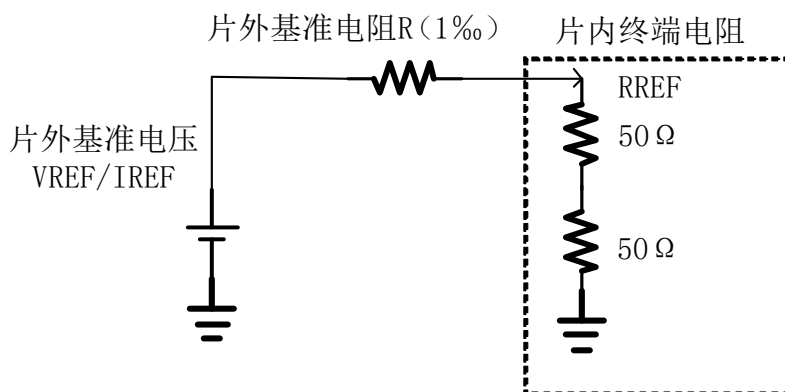


图 59：片内终端电阻等效电路

8. 输入共模参考输出

CMR 是芯片内部根据 VCC 电压产生的一个共模参考电压输出，电压典型值为 1.8V，用于提供给外部驱动电路作为其共模输出电平的参考；ADC 模拟输入无论是采用直流耦合的方式还是交流耦合的方式时，均建议采用这个电压作为共模参考电压。

9. 温度测量二极管

为了便于用户使用，AAD8400 芯片内部有一个温度测量二极管可以用来帮助监测芯片的内部结温，如图 60 所示。其中，DET1 为二极管正极，DET2 为二极管负极，建议将 DET1 接 1.5K 电阻至 VCC，DET2 接地。不用时该管脚可以悬空。图 61 是该温度测量二极管的典型温度特性曲线。

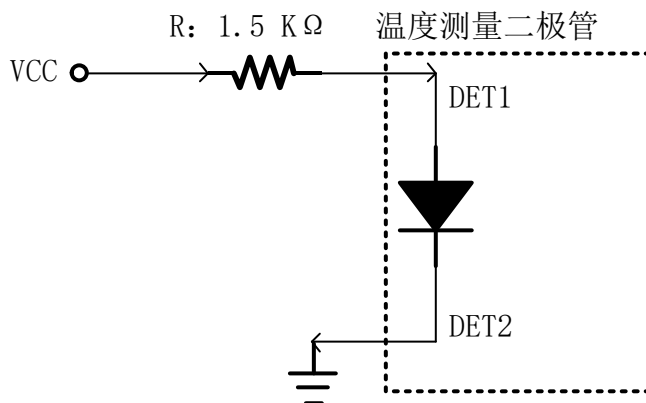


图 60: 温度二极管等效电路

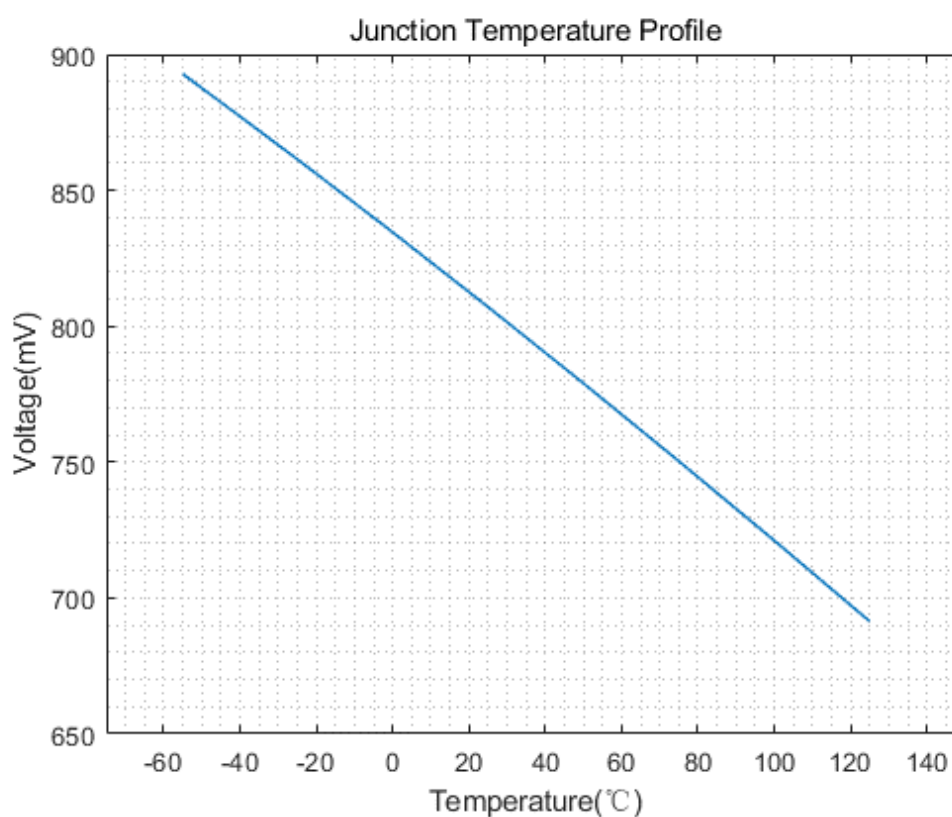


图 61: 典型温度特性曲线

10. VCC 片上取样

VCC 片上取样用于芯片 (VCCSNS) 内部供电电源 VCC 的片上取样, 可以通过该管脚实时监测内部供电 VCC 的值, 使用时直接作为测试点引出即可, 如果不用建议该管脚直接悬空。

11. 接口同步

经过 AAD8400 芯片转换后的 68 路数字信号需要先进行数据对齐, 然后再输入 FPGA 或 ASCII 芯片进行处理。

在进行数据同步之前首先要选择芯片的模式为 **pattern** 模式，此时，芯片输出特定的数据码流，具体请参考寄存器说明表。

ADC 的输出 **pattern** 码流有两种，分别对应 **patternL** 和 **patternH**：

patternL = 32'b1010_1010_1010_1010_0101_0101_0101_0101

patternH = 32'b0101_0101_0101_0100_1010_1010_1010_1011

AAD8400 芯片的 64 路数据输出端口分别对应的 **pattern** 码流如下表所示：

表 2：Pattern 码流表

数据接口	Pattern 码流	数据接口	Pattern 码流
AHD[n]	patternH	BHD[n]	patternH
ALD[n]	patternL	BLD[n]	patternL
CHD[n]	patternH	DHD[n]	patternH
CLD[n]	patternL	DLD[n]	patternL

12. 交织校准

AAD8400 可在交织模式下手动校准四路通道之间的 **Gain**、**Offset** 和 **Skew** 误差。

Skew、**Gain**、**Offset** 寄存器说明：高 8 位控制 B、D 路，低 8 位控制 A、C 路，**Skew** 寄存器值越大延迟越大，**Skew** 可调节范围约为±20ps，**Gain** 可调节范围约为±10%，**Offset** 可调节范围约为±10LSB。

12.1. 芯片内置的手动校准模式

ADC 各个通道之间存在很多差异，如：**Offset** 误差、**Gain** 误差，**Skew** 误差等，这些差异严重制约交织型 ADC 的转换精度。因此，需要对这些通道间的误差进行校准。该模块主要是对三种误差校准算法的实现，三种算法各自独立，互不影响。

FPGA 逻辑根据 ADC 采集转换后的数字信号，分别依据不同误差的校准算法实时计算出误差值，以命令形式传给 **SPI_CTRL**，而后实时发送给 ADC 芯片，直至收敛校准完成。三种校准方法对应的 SPI 命令地址为 0x09/0x08、0x07/0x06、0x05/0x04，其中在对 **Gain** 误差和 **Skew** 误差进行校准时，需要固定住其中一路，A 路或者 B/C/D 路其中一路来作为基准，去校准另外三路，所以在 ADC 测试逻辑中会看见在发送校准命令时，固定了 A 路，发送默认值 0x80，然后去校准 B/C/D 路。

通常，可以采用外部输入数个固定电压来校准 **Gain**、**Offset** 误差，输入正弦波来校准 **Skew**

误差，但是，也可以直接输入正弦波来同时校准 Gain、Offset、Skew 三项误差。

13. SPI 接口

SPI 串行接口管脚 SCLK、MOSI、MISO、CSN、RST 均为 3.3V CMOS 逻辑电平，其中 MISO 管脚为三态输出。

13.1. 简要说明

ADC 采用 SPI 总线控制芯片，SPI 电平标准为 3.3V。SPI 控制总线一次发送 24bits 数据，先发送高位，再发送低位，发送顺序依此为 1bit 的读写使能位、7bits 的地址位以及（读写）16bits 的数据位；SPI 在进行读操作时，在第 9 个 SCLK 的时候开始接收数据，共接收 16bits 数据。

1. 总共 24bits 控制字（R/W，A[6:0]，D[15:0]），高位先发送，低位后发送；
2. 最高位为 R/W 指示位，1 表示写，0 表示读；
3. A[6:0]为地址位，可支持 128 种命令；
4. D[15:0]为数据位。

13.2. 读写时序

1) 写寄存器

例如：向 0x01 寄存器地址，写入 0x5555：

首先，先将 CS_N 拉低，在前 8 个 SCLK 通过 SDIN 写入 1bit 的写命令和 7bits 的地址位，在接下来的 16 个 SCLK 写入 16bits 的数据 0x5555，最后将 CS_N 拉高。图中黄线为开始发送数据的时刻。

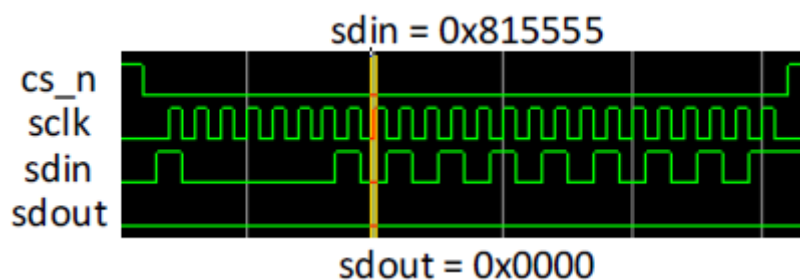


图 62：SPI 写时序

2) 读寄存器

例如：读取 0x01 寄存器地址的值：

首次将 CS_N 拉低，在前 8 个 SCLK 写入 1bit 的读命令和 7bits 的地址位，在接下来的 16 个 SCLK SDOUT 读取 16bits 的数据 0x5555，最后将 CS_N 拉高。图中黄线为

开始接收数据的时刻。

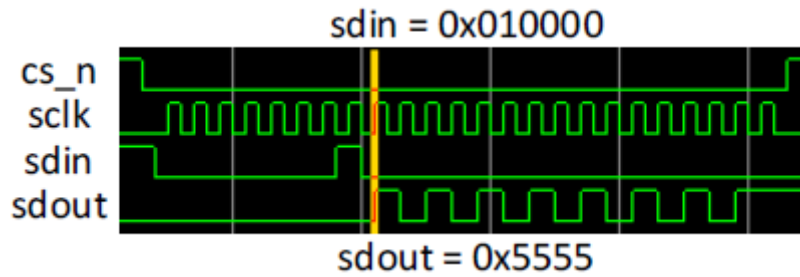


图 63：SPI 读时序

13.3. 寄存器表

表 3：寄存器表

地址	名称	描述				读写	默认值
0x00	ChipID	芯片号				只读	0x012X
0x01	Control1	[15:8]	CTR, input mux, 详见表 5			读/写	0x0010
		[7:4]	sync, 0~11 dff				
		[3]	sync_type	0	Clock stop		
				1	Auto sync		
		[2]	sync_edge	0	Pos edge		
				1	Neg edge		
		[1]	PG1, pattern gen				
[0]	rst, for clock dividers, active high						
0x02	Control2	[13:12]	mod_sel, 详见表 7。			0x0400	
		[10:8]	lvds_cmp, lvds amplitude				
		[2:0]	Reg_delay, 详见表 7				
0x03	Comdelay	[12:8]	Q, comparator delay A C			0x1010	
		[4:0]	I, comparator delay B D				



地址	名称	描述		读写	默认值
0x04	SkewAB	[15:8]	B		0x8080
		[7:0]	A		
0x05	SkewCD	[15:8]	D		0x8080
		[7:0]	C		
0x06	GainAB	[15:8]	B		0x8080
		[7:0]	A		
0x07	GainCD	[15:8]	D		0x8080
		[7:0]	C		
0x08	OffsetAB	[15:8]	B		0x8080
		[7:0]	A		
0x09	OffsetCD	[15:8]	D		0x8080
		[7:0]	C		

13.4. 寄存器说明

13.4.1. Control1 寄存器

表 4：Control1 寄存器默认值和配置(0x0010)

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Control1 寄存器[15:8]为 CTR 寄存器，配置的是 input_mux 可选，其中每 2 个比特位分别对应 D、C、B、A 四个子 ADC，其值 00 表示选择 A 通道输入，01 表示选择 B 通道输入，10 表示

选择 C 通道输入，11 表示选择 D 通道输入。

表 5: Control1 寄存器配置描述

Bit	Field	Type	Default	Descripton
15: 14	Input_mux	R/W	00	子 ADC4, 00: A Channel; 01: B Channel; 10: C Channel; 11: D Channel
13: 12		R/W	00	子 ADC3, 00: A Channel; 01: B Channel; 10: C Channel; 11: D Channel
11: 10		R/W	00	子 ADC2, 00: A Channel; 01: B Channel; 10: C Channel; 11: D Channel
9: 8		R/W	00	子 ADC1, 00: A Channel; 01: B Channel; 10: C Channel; 11: D Channel
7: 4	Sync	R/W	0001	Sync, 0~11 dff
3	Sync_type	R/W	0	0: clock stop; 1: auto sync
2	Sync_edge	R/W	0	0: pos edge; 1: neg edge
1	PG1	R/W	0	Pattern generator
0	RST	R/W	0	Reset for clock dividers, active high

13.4.2. Control2 寄存器

表 6: Control2 寄存器默认值和配置(0x0400)

15	14	13	12	11	10	9	8
0	0	0	0	0	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Control2 寄存器[13: 12]配置的是 mod_sel 转换器模式可选，该配置需要与 Control1 寄存器[15:8]的 input_mux 寄存器配合使用，首先选择 ADC 芯片的工作模式是交织模式或非交织模式，再确定芯片的模拟输入通道与芯片内部的子 ADC。例如：使用默认值的情况下，表示信号从 A



路输入，ABCD 四个子 ADC 工作在交织模式，此时，ADC 芯片输出为数据模式，而非 pattern 模式。

注意：AAD8400 在非交织情况下可以选择任意通道输入，任意子 ADC 进行数据转换；但是，在两路交织的情况下，只能选择 A/C 两个子 ADC 或者 B/D 两个子 ADC 进行交织。

表 7：Control2 寄存器配置描述

Bit	Field	Type	Default	Descripton	
15: 14	Reserved	R/W	00	Reserved	
13: 12	Mod_sel	R/W	00	00/01: four channels interleaved, none sync;	
				10: two channels interleaved, two sync;	
				11: none interleaved, four sync	
11	Reserved	R/W	0	Reserved	
10: 8	Lvds_cmp	R/W	100	LVDS output amplitude	
7: 4	Reserved	R/W	0000	Reserved	
3: 0	Reg_delay	R/W	0000	000	Delay 00001
				001	Delay 00010
				010	Delay 00100
				011	Delay 01000
				100	Delay 10000
				101	
				110	
				111	

14. 布线规则

由于设计的要求，在 PCB 布局时，如黄色虚线所示的区域为禁止布线区域，不能有任何通孔或走线。该区域仅靠近芯片一侧的禁止布线，其他侧是可以布线的。

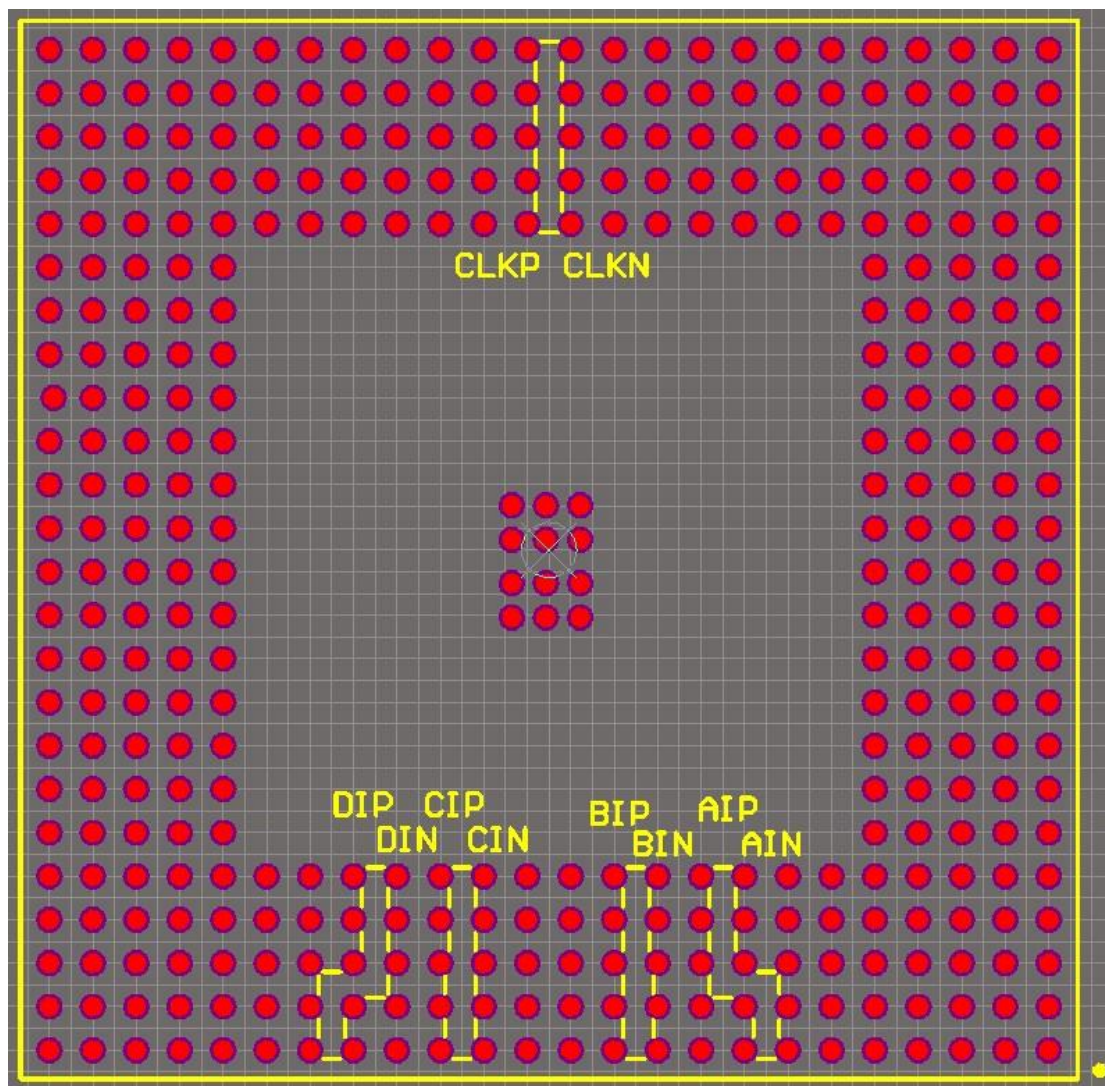


图 64：芯片布线示意图



产品应用信息

TBD

AAD8400



AAD8400

订购信息

封装	温度范围	输出接口	封装描述
FC-BGA392 31×31mm	-40℃~+85℃	LVDS	392 脚倒装焊球阵列



修订版次

初始版本	Rev1.0

AAD8400



声明

苏州迅芯微电子有限公司及其分公司和经销商有权对其公司提供的半导体产品进行修正、增强、提高及做出其他的改变。同时也拥有在最新版产品已经发布的基础上，中止任何一款产品和服务的权利。购买者应在下单前获取相关的最新信息，并确认这些信息的有效性和完整性。所有售出的半导体产品都必须遵循苏州迅芯微电子有限公司在接到订单确认时的销售条款和条件。

根据苏州迅芯微电子有限公司销售的半导体产品的保修条款，苏州迅芯微电子有限公司担保器件的性能规范适用于销售之时。本公司采取了必要的测试和质量控制手段来支持产品达到这样的品质。除非有法律的具体规定，否则并不是每个器件的所有参数都是必须要执行测试的。

苏州迅芯微电子有限公司对购买者使用产品做出的设计和应用不承担任何的连带责任，购买者应对使用了苏州迅芯微电子有限公司器件的产品和应用自负其责。并应采取适当的设计或操作时的具体保护措施来使您所设计的产品风险降至最低。

对于任何使用苏州迅芯微电子有限公司的器件和服务的所有相关的组合、设备或过程，苏州迅芯微电子有限公司不保证或代表许可——无论是明示或暗示——授予其使用任何相关的专利权、版权或其他任何知识产权。苏州迅芯微电子有限公司对第三方产品或服务不构成许可使用这些产品或服务的保修或背书。使用这样的信息可能需要从第三方的专利或第三方的其他知识产权获得许可或授权，或从苏州迅芯微电子有限公司获得专利和其他知识产权的授权。

从苏州迅芯微电子有限公司的数据手册中复制重要的章节是被允许的，只要复制时没有更改，同时附上所有相关的担保、条件、限制和告示信息。苏州迅芯微电子有限公司不对这些修改后的文件承担任何责任，第三方的信息可能会受到附加条件的约束。

超出苏州迅芯微电子有限公司所标明的器件或服务的参数范围或在与之不同参数下转售苏州迅芯微电子的器件或服务，或对苏州迅芯微电子有限公司的器件或服务无法提供有效服务并且暗含担保无效的行为，都是一种不公平且带有欺骗性质的商业行为。苏州迅芯微电子有限公司不为这样的声明承担任何责任。

购买者应确认并同意，尽管苏州迅芯微电子有限公司可能提供了与应用相关的信息或支持，但您将自行负责遵守与您的产品以及在使用任何苏州迅芯微电子有限公司的器件有关的所有法律、法规和安全方面的要求。购买者应表示并同意您具备所有必要的专业知识，能够创建和实施安全措施以预测故障的危险后果、监控故障及其后果、降低可能导致伤害的故障的可能性并采取适当的补救措施。购买者将全额赔偿因在重大的安全应用中使用任何苏州迅芯微电子有限公司器件而对苏州迅芯微电子有限公司及其所代表方造成的所有损失。

在某些情况下，为了推广安全相关应用，有可能对苏州迅芯微电子有限公司的器件进行专门提升。借助于这样的器件，苏州迅芯微电子有限公司的目标旨在帮助客户设计和创立其特有的可满足功能性安全标准和要求的终端产品解决方案。尽管如此，此类器件仍然遵守本条款。