CH32H417、H416、H415 数据手册

V1.8

概述

CH32H417 是基于青稞 RISC-V5F 和 RISC-V3F 双内核设计的互联型通用微控制器。CH32H417 集成了 USB 3.2 Gen1 控制器和收发器、百兆以太网 MAC 及 PHY、SerDes 高速隔离收发器、Type-C/PD 控制器及 PHY，提供 SD/EMMC 控制器 SDMMC、500MBytes 通用高速接口 UHSIF、DVP 数字图像接口、单线协议主接口 SWPMI、可编程协议 I/O 控制器 PIOC、灵活存储控制器 FMC、DFSDM、LTDC、GPHA、DMA 控制器、多组定时器、8 组串口、I3C、4 组 I2C、2 组 QSPI、4 组 SPI，2 组 I2S、3 组 CAN 等外设资源，内置了 5M 采样率双 12 位 ADC 单元、20M 采样率 10 位高速 HSADC 单元、16 路 Touchkey、双 DAC 单元、3 组运放 OPA、电压比较器 CMP 等模拟资源，支持 10M/100M 以太网通讯，支持 USB 2.0 和 USB 3.0，支持 USB Host 主机和 USB Device 设备功能、Type-C 和 PDUSB 快充功能，支持 SerDes 高速隔离及远距离传输，支持双内核分工提升网络协议处理效率和通讯响应速度。

产品特性

- **内核 Core：**
  - 双内核结构：青稞 RISC-V5F 和 RISC-V3F
  - 快速可编程中断控制器+硬件中断堆栈
  - V5F 最高频率 400MHz，V3F 最高频率 160MHz
- **存储器：**
  - 896KB 易失数据存储区 SRAM
    （包含 128KB ITCM 和 256KB DTCM）
  - 960KB 程序存储区 CodeFlash
  - 56KB 系统引导程序存储区 BootLoader
  - 256B 用户自定义信息存储区
- **电源管理和低功耗：**
  - 系统供电 V_{DD33} 额定：3.3V
  - 常规 GPIO 供电 V_{DDIO}，额定 3.3V，支持 1.8V
  - 高速 GPIO 供电 V_{IO18}，可选 1.2/1.8/2.5/3.3V
  - V_{BAT} 电源独立为 RTC、LSE 供电
  - 低功耗模式：睡眠、停止
- **系统时钟和复位：**
  - 内置出厂调校的 25MHz 的 RC 振荡器
  - 内置约 40kHz 的 RC 振荡器
  - 高速振荡器支持外部 25MHz 晶体
  - 低速振荡器支持外部 32kHz 晶体
  - 上电/下电复位、可编程电压监测器
- **2 组共 16 路通用 DMA 控制器：**
  - 共 16 个通道，支持环形缓冲区管理
- **2 组 12 位模数转换 ADC：**
  - 模拟输入范围：V_{SS}～V_{DDIO}
  - 16 路外部信号通道+2 路内部信号通道
  - 采样速率高达 5Msps，支持双 ADC 转换模式
- **16 路 TouchKey 通道检测**
- **1 组 10 位高速模数转换 HSADC：**
  - 模拟输入范围：V_{SS}～V_{DDIO}
  - 7 路外部信号通道
  - 采样速率高达 20Msps
- **2 组 12 位数模转换 DAC**
- **32 位宽度 125MHz 通用高速接口 UHSIF**
- **150MHz 数字图像接口 DVP**
- **200MHz SD/EMMC 控制器：支持单双沿**
- **SDIO 主机/从机接口：支持 SD/SDIO/MMC 口**
- **单线协议主接口 SWPMI**
- **可编程协议 I/O 控制器 PIOC：**
  - 可编程，支持多种单线接口、两线接口
  - 支持单线 RGB 芯片多级串联
- **以太网控制器 MAC 及 10M/100M PHY：**
  - MAC 和 100M PHY 全集成，外围只需要电容
  - 支持 Auto-MDIX 线路自动转换和极性自适应
  - 提供 RGMII 接口，可连接外置 1000M PHY
  - 内置预分配的全球唯一 MAC 地址
- **5Gbps 超高速 USB 3.0 控制器及 PHY：**
  - 支持超高速的 Host 和 Device 模式
  - 支持驱动 USB 3.0 HUB
  - 高速一体化设计，实测每秒 450Mbytes
- **480Mbps 高速 USB 2.0 控制器及 PHY：**
  - 支持高速/全速的 Host 和 Device 模式
  - 支持 1024 字节数据包
  - 支持 USART 串口或 I2C 引脚映射
- **全速 USB 2.0 控制器及 PHY：**
  - 支持全速/低速的 Host 和 Device 模式
  - 支持 OTG 功能

- **远距离 SerDes 控制器及 PHY：**
  - 支持千伏级高压信号隔离传输
  - 支持百米差分网线远距离传输
- **随机数发生器 RNG**
- **USB PD 和 Type-C 控制器及 PHY：**
  - 支持 DRP、Sink 和 Source 应用，支持 PDUSB
  - 支持 PD3.2 和 EPR，支持 100W 或 240W 快充
- **模拟电压比较器 CMP：**
  - 2 路输入通道，输出到外设或者 I/O
- **3 组运放 OPA/PGA/电压比较器：**
  - 各多路输入通道及输出通道
  - 低失调电压，多档增益，支持高速模式
- **多组定时器：**
  - 2 个 16 位高级定时器
  - 4 个 16 位和 4 个 32 位通用定时器
  - 2 个 16 位基本定时器
  - 2 个 16 位低功耗定时器
  - 2 个看门狗定时器：独立和窗口型
  - 2 个 32 位系统时基定时器
- **实时时钟 RTC：32 位独立定时器**
- **8 组 USART 串口：支持 LIN**
- **4 组 I2C 接口**
- **I3C 接口**
- **4 组 SPI 接口（SPI2、SPI3 用于 I2S2、I2S3）**
- **2 组 QuadSPI 接口**
- **3 组 CAN 接口（2.0B 主动）**
- **数字滤波器，用于ΣΔ调制器 DFSDM**
- **串行音频接口 SAI**
- **LCD-TFT 显示控制器 LTDC**
- **图形处理硬件加速器 GPHA**
- **灵活存储控制器 FMC：**
  - 支持 FSMC 接口和 SDRAM 接口
  - 支持外扩低成本的 PSRAM
- **快速 GPIO 端口：**
  - 6 组 GPIO 端口，95 个 I/O 口
  - 映射 16 个外部中断
- **ECDC 加密模块：**
  - 支持 AES128/192/256 算法
  - 支持 SM4 算法
- **调试模式：**
  - 支持单线（默认）和双线两种调试模式
- **封装形式：QFN**

资源差异	产品型号	CH32H417			CH32H416	CH32H415
		QEU6	MEU6	WEU6	RDU6	REU6
芯片引脚数		128	88	68	60	60
非零等待 Code FLASH		960KB	960KB	960KB	480KB	960KB
SRAM	内核 1 高速 ITCM	128KB	128KB	128KB	128KB	128KB
	内核 1 高速 DTCM	256KB	256KB	256KB	256KB	256KB
	共享代码和数据区	512KB	512KB	512KB	512KB	512KB
GPIO 端口数		95	65	50	48	54
定时器	高级（16 位）	2	2	2	2	2
	通用（16 位）	4	4	4	4	4
	通用（32 位）	4	4	4	4	4
	基本（16 位）	2	2	2	2	2
	LPTIM	2	2	2	2	2
	看门狗	WWDG+IWDG			WWDG+IWDG	WWDG+IWDG
	系统时基 32 位	2	2	2	2	2
RTC		√	√	√	√	√
ADC/TKey	单元数	2	2	2	2	2
	通道数	16+2	9+2	7+2	16+2	15+2
HSADC	单元数	1	1	1	1	1
	通道数	7	4	4	7	4
DAC（单元）		2	2	1（DAC2）	2	2
OPA		3	2（OPA1/3）	1（OPA1）	3	2（OPA1/3）
CMP		1	1	1	1	1
DFSDM		1	1	1	1	1
RNG		1	1	1	1	1
LTDC		1	1	1	1	1
GPHA[5]		1	1	1	1	1
DVP		1	1	1	1	1
USART		8	8	7	7	8
SPI/I2S		4/2	4/2	3/2	3/2	4/2
QSPI		2	1（QSPI2）	1（QSPI2）	1（QSPI2）	–
I2C		4	4	4	4	4
I3C		1	1	1	1	1
UHSIF		1	1	1[1]	–	–
CAN[5]		3	3	3	3	3
SDIO		1	–	–	–	1
SDMMC		1	1	1	1	–
SAI		1	1	1	1	1
SWPMI		1	1	1	1	1
PDUSB	USBFS/OTG_FS	1	1	–	1	1
	USBHS（USB 2.0）	1	1	1	1	1
	USBSS（USB 3.0）	1	1	1	1	–
	USBPD Type-C	1	1	–	1 内置 Rd[4]	1

资源差异 \ 产品型号		CH32H417			CH32H416	CH32H415
		QEU6	MEU6	WEU6	RDU6	REU6
SerDes (5)		1	1	-	-	-
Ethernet (5)		MAC+ 10/100M PHY	MAC+ 10/100M PHY	MAC+ 10/100M PHY	-	-
FMC	FSMC	1	1 (2)	1 (2)	-	-
	SDRAM	1	1	1 (3)	-	-
PIOC		1	1	1	1	1
封装形式		QFN128	QFN88	QFN68	QFN60X6	QFN60X6

注：1. 不完整，仅支持大部分功能。

2. 不完整，仅支持 8 位和 16 位。

3. 不完整，仅支持 8 位和 16 位。

4. CH32H416RDU6 内置 Type-C 规范定义的可控 Rd 下拉电阻，约 5.1kΩ。

5. 对于批号第 5 位为 0 的产品，未提供 GPHA、Ethernet、SerDes、CAN 功能。

第 1 章 规格信息

1.1 系统架构

微控制器基于 RISC-V 指令集设计，其架构中将两个青稞微处理器的内核、仲裁单元、DMA 模块、SRAM 存储等部件通过多组总线实现交互。集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，应用多级时钟管理机制降低了外设的运行功耗，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列芯片内部总体架构框图。

图 1-1-1 CH32H417 系统框图

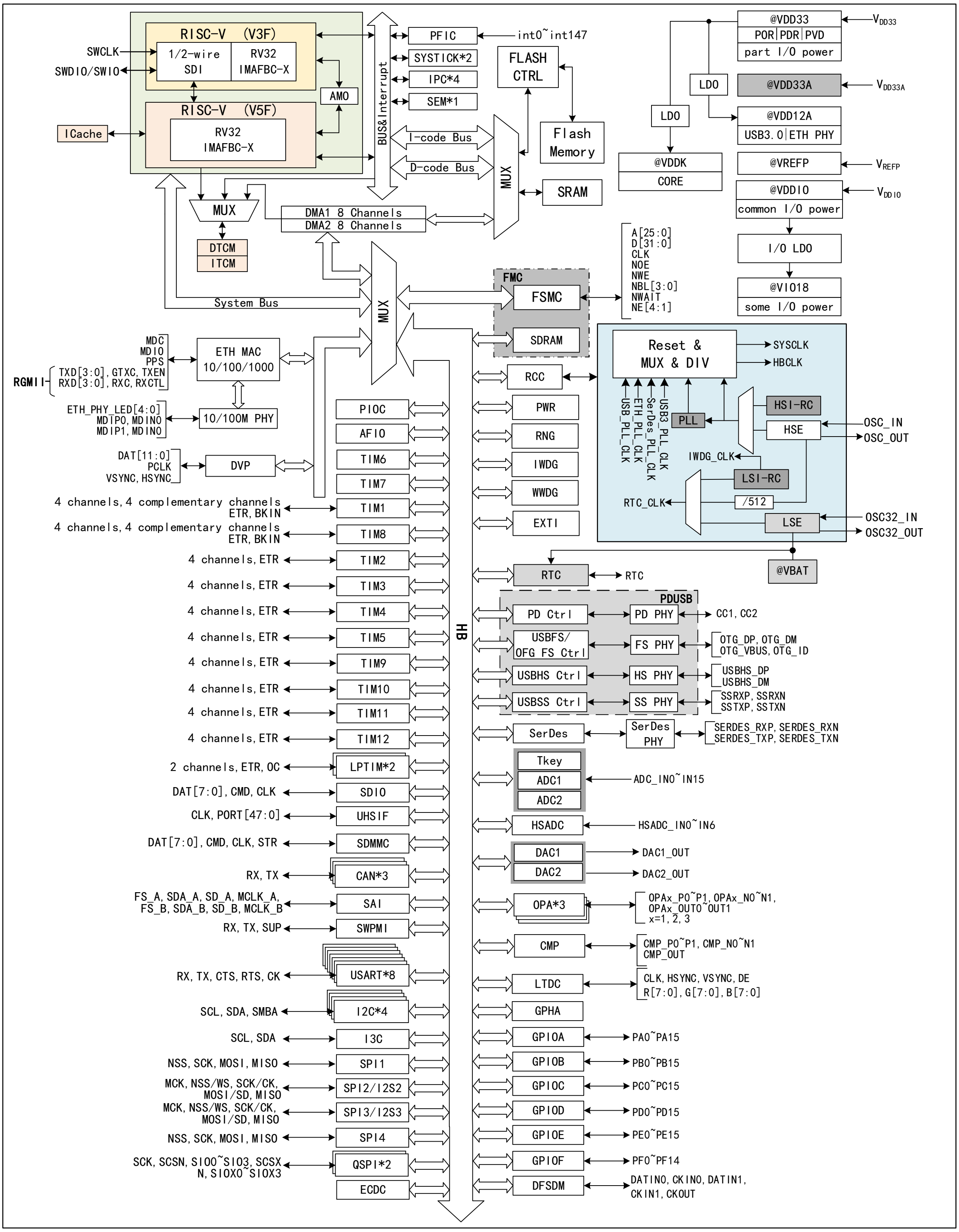


图 1-1-2 CH32H416 系统框图

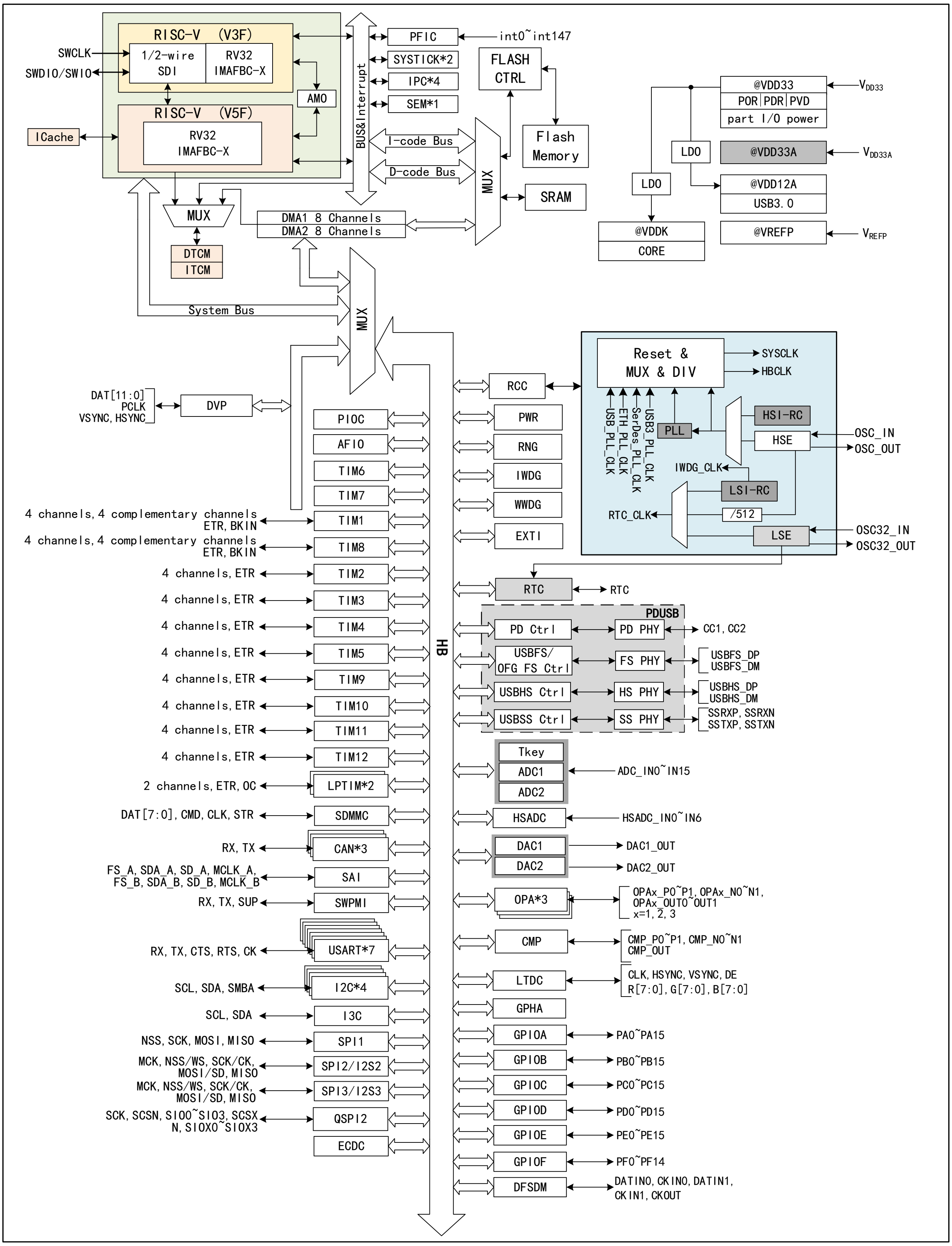
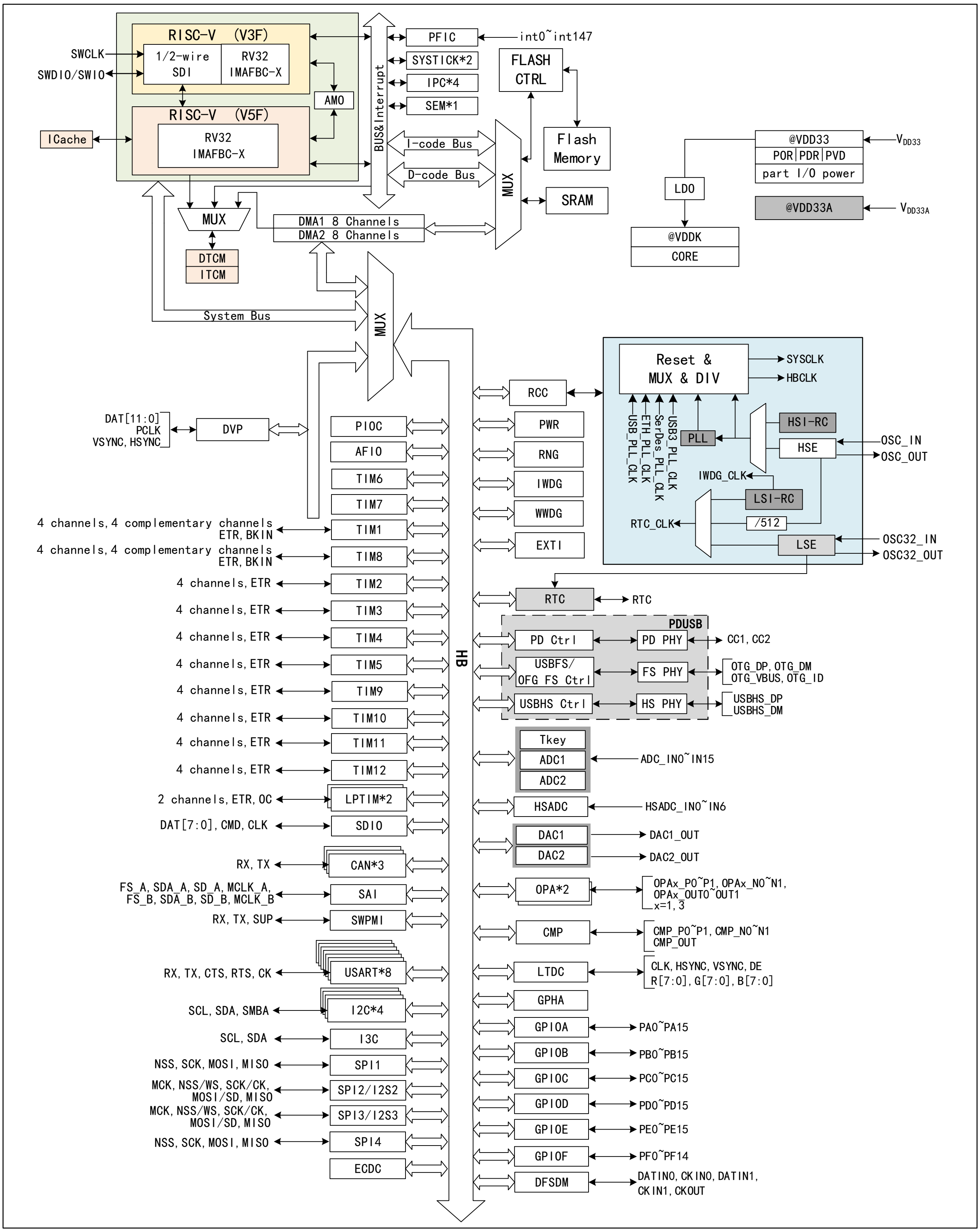
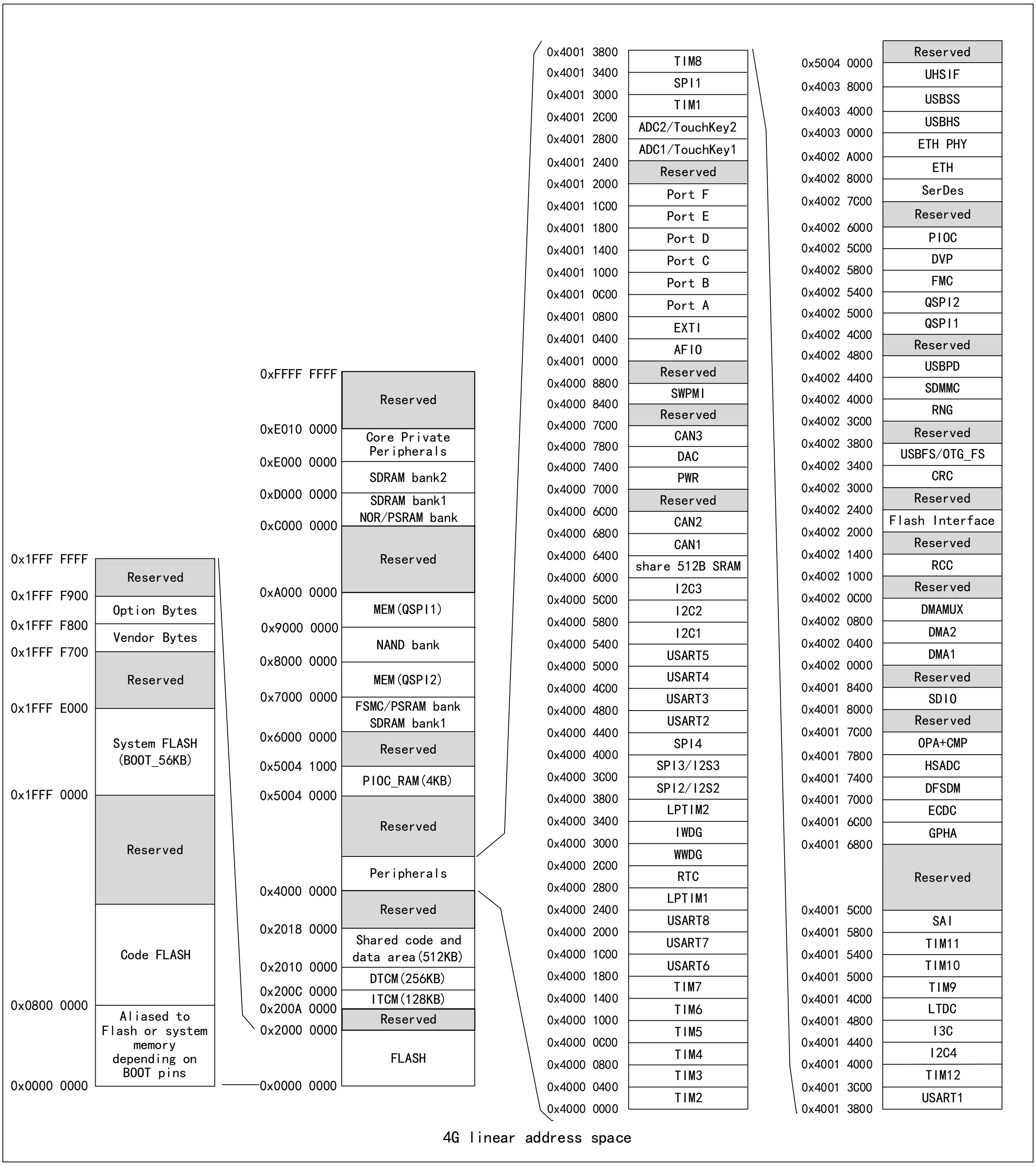


图 1-1-3 CH32H415 系统框图



1.2 存储器映射表

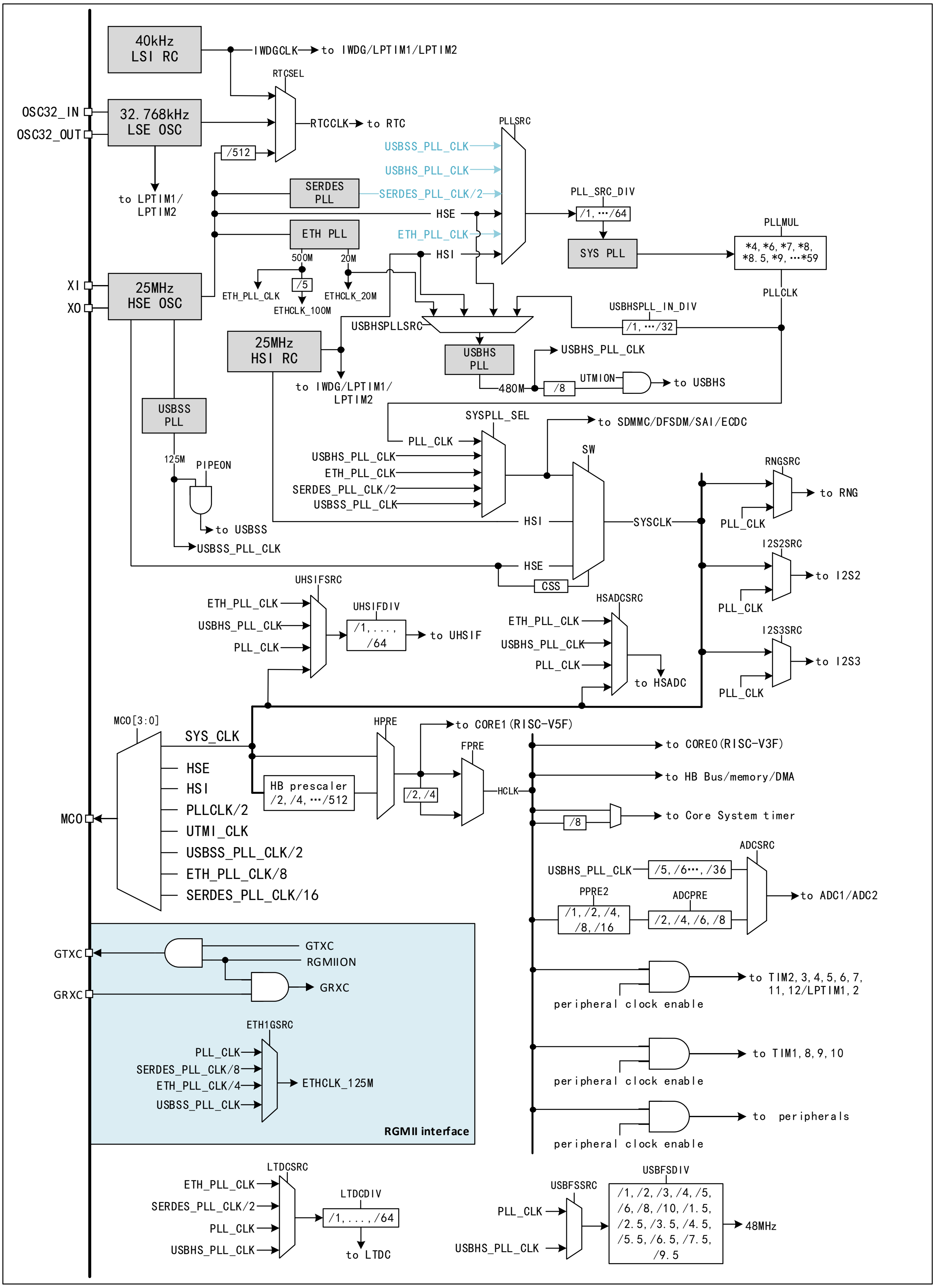
图 1-2 存储器地址映射



1.3 时钟树

系统中引入 4 组时钟源：内部高频 RC 振荡器（HSI）、内部低频 RC 振荡器(LSI)、外接高频振荡器(HSE)和外接低频振荡器(LSE)。

图 1-3 时钟树框图



注：上图中标蓝的部分仅适用于批号第五位大于 0 的芯片。

1.4 功能概述

1.4.1 双内核：RISC-V5F 处理器和 RISC-V3F 处理器

芯片内部集成大小双内核结构：RISC-V5F（CORE1/内核 1）与 RISC-V3F（CORE0/内核 0）。两个处理器均支持指令集 RV32IMAFBC-X，内部以模块化管理，还包含快速可编程中断控制器 PFIC、内存保护、分支预测模式、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景、高性能应用操作系统场景等。

RISC-V5F 处理器：

- 乱序多发架构
- 内置 32KB 的指令缓存
- 高主频，高性能，侧重于运算
- 提供一个不可屏蔽中断 NMI
- 4 通道物理内存保护（PMP）
- 4 通道硬件断点
- 8 级中断嵌套
- 快速可编程中断控制器（PFIC）
- 支持单精度浮点指令
- 支持位操作指令
- 支持自定义扩展指令
- 硬件压栈

RISC-V3F 处理器：

- 顺序单发架构
- 3 级流水线
- 低主频，低功耗，侧重于控制
- 提供一个不可屏蔽中断 NMI
- 4 通道物理内存保护（PMP）
- 4 通道硬件断点
- 2 级中断嵌套
- 快速可编程中断控制器（PFIC）
- 支持单精度浮点指令
- 支持位操作指令
- 支持自定义扩展指令
- 硬件压栈

1.4.2 片上存储器

内置总容量 896K 字节的 SRAM，部分用于数据区，部分用于零等待代码区，掉电后数据丢失。上述 SRAM 分为 3 块：128KB 的 ITCM 内核 1 紧耦合零等待代码区、256KB 的 DTCM 内核 1 紧耦合零等待数据区、剩余的 512KB 共享代码和数据区。另外，内核 1 还有 32KB 的高速指令缓存区。

512KB 共享区可配置为 RISC-V3F 的零等待代码区和数据区，建议以 128KB 为单位根据需要灵活分配。

作为选项，128KB 的 ITCM 和 256KB 的 DTCM 合计 384KB 均可以配置为 RISC-V5F 的代码区，其中 DTCM 作为代码区在发生跳转时会增加 1 个时钟等待。

RISC-V3F 可以按 HCLK 时钟 2 个等待访问 ITCM 或 DTCM。

RISC-V5F 和 RISC-V3F 可以按 HCLK 时钟零等待访问 512KB 共享区。

内置 256 字节系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

内置 256 字节用户自定义信息存储区，用于用户选择字存储。

用户区和 BOOT 区大小通过 R32_FLASH_CFGR0 寄存器的 DBMODE 位读取：

当 DBMODE = 1 时：内置 960K 字节非零等待的程序闪存存储区（Code FLASH），即用户区，用于用户的应用程序和常量数据存储，等效频率约 25MHz。内置最大 56K 字节系统存储区（System FLASH），即 BOOT 区，用于系统引导程序存储，内置自举加载程序。

当 DBMODE = 0 时：内置 480K 字节非零等待的程序闪存存储区（Code FLASH），即用户区，用于用户的应用程序和常量数据存储，等效频率约 12.5MHz。内置最大 28K 字节系统存储区（System FLASH），即 BOOT 区，用于系统引导程序存储，内置自举加载程序。

1.4.3 供电方案

（1）CH32H417

- V_{DD33} = 2.4～3.6V：为部分 I/O 引脚和系统电压调节器 LDO 供电，包括内置的 USB 2.0、以太网 PHY，同时，V_{DD33}通过向内置的系统电压调节器 LDO 供电并在 V_{DD12A}和 V_{DDK}引脚上输出稳压电源，建议各外接 0.1uF 的高频电容，主 V_{DD33}（与以太网信号引脚相邻）还需再并联至少 10uF 电容。当用于 USB 2.0 或者以太网时，V_{DD33}范围建议为 3.15～3.45V。当使用调压器为低功耗模式的停止模式或 V_{IO18}由低压切换到高压时，V_{DD33}不能低于 2.7V。
- V_{DD33A} = 1.8～3.6V：为 ADC、温度传感器、HSADC、OPA、CMP、DAC 及 PLL 的模拟部分供电，建议外接 0.1uF 容量的高频电容。使用 OPA 或 DAC 时，V_{DD33A}与 V_{DDIO}建议为相同电压；不使用 OPA 或 DAC 时，V_{DD33A}可以高于 V_{DDIO}电压。使用 HSADC 时，V_{DD33A}建议不低于 3.0V，使用 ADC 和 DAC 时，V_{DD33A}建议不低于 2.4V。
- V_{DD12A} = 1.17～1.27V：为内置的 USB 3.0 模块和 ETH PHY 模块供电，建议外接 0.1uF 并联 2.2uF 容量的高频电容。正常工作时，V_{DD12A}电压由 V_{DD33}供电的系统电压调节器 LDO 产生。为减少芯片 LDO 导致的自身发热，可选外供此电源（可由外部 DC-DC 产生），外供电压建议略高于内部 LDO 输出电压值。
- V_{DDIO} = 1.65～3.6V：为部分常规 I/O 引脚供电，决定了引脚输出高压幅值，同时，V_{DDIO}通过向内置的 I/O 引脚 LDO 调节器供电在 V_{IO18}引脚上输出稳压电源，建议各外接 0.1uF 的高频电容，主 V_{DDIO}（与 V_{IO18}相邻）还需再并联至少 10uF 电容。当 V_{IO18}由低压切换到高压时，V_{DDIO}引脚电容须远大于 V_{IO18}引脚的累计电容量，以减缓 V_{IO18}升压瞬间，V_{DDIO}的电压跌落。V_{DDIO}电压不能高于 V_{DD33}电压，V_{DDIO}电压也不能高于 V_{DD33A}电压。
- V_{IO18} = 1.1～3.6V：为部分高速 I/O 引脚供电，决定了引脚输出高压幅值，建议各外接 0.1uF 的高频电容，主 V_{IO18}（与 V_{DDIO}相邻）还需再并联 2.2uF 电容。正常工作时，V_{IO18}电压由 V_{DDIO}供电的 I/O 引脚 LDO 调节器产生，并可以用软件动态配置为 1.2V、1.8V、2.5V、3.3V 或关闭；上电后 V_{IO18}的默认电压可以由 XO 引脚外部连接的下拉电阻选择，参考表 3-2；无需支持低压时，V_{IO18}可以固定短接到 V_{DDIO}。
- V_{REFP} = 2.4～3.6V：用于 ADC、HSADC、DAC 的参考电压，建议外接 0.1uF 容量的高频电容。V_{REFP}不得高于 V_{DD33A}电压。
- V_{BAT} = 1.8～3.6V：可选的备用电源，当关闭 V_{DD33}和 V_{DD33A}时，内部电源切换器将 V_{BAT}切换用于单独为 RTC、外部低频振荡器供电。
- V_{DDK} = 1.17～1.27V：为内核电路供电，建议各外接 0.1uF 的高频电容，主 V_{DDK}（与 V_{DD33}相邻）还需再并联 2.2uF 电容。正常工作时，V_{DDK}电压由 V_{DD33}供电的系统电压调节器 LDO 产生。为减少芯片 LDO 导致的自身发热，可选外供此电源（可由外部 DC-DC 产生），外供电压建议略高于内部 LDO 输出电压值。

以上同名电源引脚必须短接，电压关系：$V_{DD33} \geq V_{DD33A} \geq V_{DDIO} \geq V_{IO18}$；并且 $V_{DD33A} \geq V_{REFP}$。

（2）CH32H416

- V_{DD33} = 2.4～3.6V：为 I/O 引脚和系统电压调节器 LDO 供电，包括内置的 USB 2.0，同时，V_{DD33}通过向内置的系统电压调节器 LDO 供电并在 V_{DD12A}和 V_{DDK}引脚上输出稳压电源，建议各外接 0.1uF 的高频电容，主 V_{DD33}（与 V_{DDK}引脚相邻）还需再并联至少 10uF 电容。当用于 USB 2.0 时，V_{DD33}范围建议为

3.15～3.45V。当使用调压器为低功耗模式的停止模式时，V_{DD33}不能低于 2.7V。

- V_{DD33A} = 1.8～3.6V：为 ADC、温度传感器、HSADC、OPA、CMP、DAC 及 PLL 的模拟部分供电，建议外接 0.1uF 容量的高频电容。使用 HSADC 时，V_{DD33A}建议不低于 3.0V，使用 ADC 和 DAC 时，V_{DD33A}建议不低于 2.4V。
- V_{DD12A} = 1.17～1.27V：为内置的 USB 3.0 模块供电，建议外接 0.1uF 并联 2.2uF 容量的高频电容。正常工作时，V_{DD12A}电压由 V_{DD33}供电的系统电压调节器 LDO 产生。为减少芯片 LDO 导致的自身发热，可选外供此电源（可由外部 DC-DC 产生），外供电压建议略高于内部 LDO 输出电压值。
- V_{REFP} = 2.4～3.6V：用于 ADC、HSADC、DAC 的参考电压，建议外接 0.1uF 容量的高频电容。V_{REFP}不得高于 V_{DD33A}电压。
- V_{DDK} = 1.17～1.27V：为内核电路供电，建议外接 0.1uF 并联 2.2uF 容量的高频电容。正常工作时，V_{DDK}电压由 V_{DD33}供电的系统电压调节器 LDO 产生。为减少芯片 LDO 导致的自身发热，可选外供此电源（可由外部 DC-DC 产生），外供电压建议略高于内部 LDO 输出电压值。

以上同名电源引脚必须短接，电压关系：V_{DD33} = V_{DD33A}；并且 V_{DD33A} ≥ V_{REFP}。

（3）CH32H415

- V_{DD33} = 2.4～3.6V：为 I/O 引脚和系统电压调节器 LDO 供电，包括内置的 USB 2.0，同时，V_{DD33}通过向内置的系统电压调节器 LDO 供电并在 V_{DDK}引脚上输出稳压电源，建议各外接 0.1uF 的高频电容，主 V_{DD33}(与 V_{DDK}引脚相邻)还需再并联至少 4.7uF 电容。当用于 USB 2.0 时，V_{DD33}范围建议为 3.15～3.45V。当使用调压器为低功耗模式的停止模式时，V_{DD33}不能低于 2.7V。
- V_{DD33A} = 1.8～3.6V：为 ADC、温度传感器、HSADC、OPA、CMP、DAC 及 PLL 的模拟部分供电，建议外接 0.1uF 容量的高频电容。使用 HSADC 时，V_{DD33A}建议不低于 3.0V，使用 ADC 和 DAC 时，V_{DD33A}建议不低于 2.4V。
- V_{DDK} = 1.17～1.27V：为内核电路供电，建议外接 0.1uF 并联 2.2uF 容量的高频电容。正常工作时，V_{DDK}电压由 V_{DD33}供电的系统电压调节器 LDO 产生。为减少芯片 LDO 导致的自身发热，可选外供此电源（可由外部 DC-DC 产生），外供电压建议略高于内部 LDO 输出电压值。

以上同名电源引脚必须短接，电压关系：V_{DD33} = V_{DD33A}。

1.4.4 供电监控器

芯片内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态；当 V_{DD33}低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器（PVD），需要通过软件开启，用于比较 V_{DD33}供电与设定的阈值 V_{PVD}的电压大小。关于 $V_{POR/PDR}$和 V_{PVD}的值参考第 3 章。

1.4.5 系统电压调节器 LDO

复位后，系统电压调节器自动开启，根据应用方式有两种操作模式。

- 正常模式：正常的运行操作，提供稳定的内核电源。
- 低功耗模式：配置位 LPDS = 1 且 CPU 进入停止模式后，调压器可进入低功耗模式，此时内核电压适当降低。

1.4.6 低功耗模式

系统支持两种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式（SLEEP）

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 停止模式（STOP）

停止模式是在内核 V3F 和 V5F 均进入深睡眠（SLEEPDEEP）的基础上结合了外设的时钟控制机制。

V3F 和 V5F 均进入此模式：高频时钟（HSE/HSI/PLL）域被关闭，SRAM 和寄存器内容保持，I/O 引脚状态保持。该模式唤醒后系统可以继续运行，HSI 为默认系统时钟。

可通过配置位 LPDS = 1 使调压器 LDO 由正常模式进入低功耗模式，从而达到更低功耗的状态。

退出条件：任意唤醒事件（EXTI 信号）、RST 上的外部复位信号和 IWDG 复位。其中，EXTI 信号包括 95 个外部 I/O 口之一、RTC 闹钟、SWPMI 唤醒信号、LPTIM 唤醒信号、I3C 唤醒信号、USART 唤醒信号、USBPD 唤醒信号、以太网唤醒信号、USBFS 唤醒信号以及 USBHS 唤醒信号等。

1.4.7 CRC（循环冗余校验）计算单元

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

1.4.8 快速可编程中断控制器（PFIC）

芯片内置快速可编程中断控制器（PFIC），最多支持 256 个中断向量，以最小的中断延迟提供了灵活的中断管理功能。芯片中两个内核各自管理 32 个内核私有中断，并共享管理其他中断。可通过 PFIC 的配置寄存器，对 117 个外设中断源进行分配。共享中断源只能向分配的内核产生中断请求。

- 支持硬件中断堆栈（HPE），无需指令开销
- 提供 4 路免表中断（VTF）
- 向量表支持地址或指令模式
- 内核 RISC-V3F 最高支持可配置的 2 级中断嵌套
- 内核 RISC-V5F 最高支持可配置的 8 级中断嵌套
- 支持低功耗睡眠和唤醒管理

1.4.9 外部中断/事件控制器（EXTI）

外部中断/事件控制器总共包含 27 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。EXTI 可以检测到脉冲宽度小于内部 HB 的时钟周期。多达 95 个通用 I/O 口都可选择连接到 16 个外部中断线。

1.4.10 通用 DMA 控制器

芯片内置 2 组通用 DMA 控制器，总共管理 16 个通道，其中 DMA1 包含 8 个通道，DMA2 包含 8 个通道。能灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输，支持环形缓冲区方式。支持外设与 DMA 之间重新配置 DMA 请求线，并支持软件触发；通过配置相关寄存器，DMA 的每个通道可选择支持相关外设的请求；可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括：通用/高级/基本定时器 TIMx、ADC、DAC、I2S、USART、I2C、SPI、SDIO、SAI、DFSDM、SWPMI、I3C、QSPI、FMC。

注：DMA1、DMA2 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

1.4.11 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 25MHz 的 RC 振荡器作为默认的 CPU 时钟，随后可以另外选择外部 25MHz 时钟或 PLL 时钟。当打开时钟安全模式后，如果 HSE 用作系统时钟（直接或间接），此时检测到外部时钟失效，系统时钟将自动切换到内部 RC 振荡器，同时 HSE 和 PLL 自动关闭；对于关闭时钟的低功耗模式，唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了

时钟中断，软件可以接收到相应的中断。

1.4.12 RTC（实时时钟）

RTC 在系统内部处于后备供电区域，在 V_{DD33} 有效时由 V_{DD33} 供电，在 V_{DD33} 无效时内部自动切换到由 V_{BAT} 引脚供电。

RTC 实时时钟是一组 32 位可编程计数器，时基支持 20 位预分频，用于较长时间段的测量。时钟基准来源高速的外部时钟 512 分频（HSE/512）、外部晶体低频振荡器（LSE）或内部低功耗 RC 振荡器（LSI）。其中 LSE 也存在后备供电区域，所以，当选择 LSE 做 RTC 时基时，系统复位或从停止模式唤醒后，RTC 的设置和时间能够保持不变。

1.4.13 ADC（模拟/数字转换器）和触摸按键电容检测（TouchKey）

芯片内置 2 个 12 位的模拟/数字转换器（ADC），共用多达 16 个外部通道和 2 个内部通道采样，其采样速率可达 5Msps，提供可编程的通道采样时间，可以实现单次、连续、扫描或间断转换，且支持双 ADC 转换模式。提供模拟看门狗功能允许非常精准地监控一路或多路选中的通道，用于监测通道信号电压。支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。

ADC 内部通道分别是 ADC_IN16～ADC_IN17。温度传感器被连接到 IN16 输入通道上；内部参考电压 V_{REFINT} 被连接到 IN17 输入通道上。

触摸按键电容检测单元，提供了多达 16 个检测通道，复用 ADC 模块的外部通道。检测结果通过 ADC 模块转换输出结果，通过软件计算识别触摸按键状态。

1.4.14 HSADC（高速模拟/数字转换器）

芯片内置 1 个 10 位的高速模拟/数字转换器（HSADC），提供多达 7 个外部通道采样，其采样速率高达 20Msps，可以实现连续转换，支持使用 DMA 操作。

1.4.15 DAC（数字/模拟转换器）

芯片内置 2 个 12 位电压输出数字/模拟转换器（DAC），转换 2 路数字信号为 2 路模拟电压信号并输出，支持双 DAC 通道独立或同步转换，支持 12 位数据左对齐或右对齐，支持 12 位或 8 位数据，支持外部事件触发转换。可实现三角波、噪声生成。支持 DMA 功能。

1.4.16 定时器及看门狗

系统中的定时器包括高级定时器、通用定时器、基本定时器、看门狗定时器以及系统时基定时器，具体参考表 1-1。

表 1-1 定时器比较

定时器		分辨率	计数类型	时基	DMA	功能作用
高级定时器	TIM1	16 位	向上 向下 向上/下	16 位分频器	支持	PWM 互补输出，单脉冲输出 输入捕获 输出比较 定时计数
	TIM8					
通用定时器	TIM2	16 位	向上 向下 向上/下	16 位分频器	支持	PWM 生成，单脉冲输出 输入捕获 输出比较 定时计数
	TIM3					
	TIM4					
	TIM5					
	TIM9	32 位	向上 向下 向上/下	32 位分频器	支持	PWM 生成，单脉冲输出 输入捕获 输出比较
	TIM10					
	TIM11					

	TIM12					定时计数
基本定时器	TIM6	16 位	向上	16 位分频器	支持	定时计数
	TIM7					
低功耗定时器	LPTIM1	16 位	向上	3 位分频器	不支持	定时计数
	LPTIM2					
窗口看门狗		7 位	向下	4 种分频	不支持	定时 复位系统（正常工作）
独立看门狗		12 位	向下	7 种分频	不支持	定时 复位系统（正常+低功耗工作）
系统时基定时器 1		32 位	向上或下	SYSCLK 或 SYSCLK/8	不支持	定时
系统时基定时器 2		32 位	向上或下	SYSCLK 或 SYSCLK/8	不支持	定时

- 高级定时器（TIM1/8）

高级定时器模块包含是 2 个 16 位的自动装载递加/递减计数器（TIM1 和 TIM8），具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级定时器可以通过定时器链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

- 通用定时器（TIM2/3/4/5/9/10/11/12）

通用定时器模块包含 4 个 16 位可自动重装的定时器（TIM2、TIM3、TIM4 和 TIM5）和 4 个 32 位可自动重装的定时器（TIM9、TIM10、TIM11 和 TIM12），用于测量脉冲宽度或者产生特定频率的脉冲、PWM 波等。可用于自动化控制、电源等领域。

TIM2/3/4/5/9/10/11/12 均具有 4 个独立的通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。还能通过定时器链接功能与高级定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。任意通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

- 基本定时器（TIM6/7）

基本定时器模块包含 2 个 16 位可自动重装的定时器（TIM6 和 TIM7），用于计数和在更新事件产生中断或 DMA 请求。TIM6 和 TIM7 支持 16 位可编程预分频器。可以为数模转换（DAC）提供时钟，触发 DAC 的同步电路。基本定时器之间是互相独立的，互不共享任何资源。

- 低功耗定时器（LPTIM1/LPTIM2）

LPTIM 为 16 位上行计数的定时器，具有 3 位可编程的预分频器，支持 8 种分频系数（1、2、4、8、16、32、64、128）。支持连续/单触发模式，可选择软件或者硬件输入触发，支持 PWM 输出，支持 I/O 极性可配置。

LPTIM 具有多种可选的时钟源，内部时钟源为 LSE、LSI、HSI 或 PB1 时钟，外部时钟源为 LPTIM 输入上的外部时钟。LPTIM 在没有内部时钟源的情况下也能运行，依此可以将 LPTIM 当作“脉冲计数器”使用。除此之外，LPTIM 还能将系统从低功耗模式唤醒，所以 LPTIM 很适合以极低的功耗实现“超时功能”。

- 独立看门狗（IWDG）

独立看门狗是一个自由运行的 12 位递减计数器，支持 7 种分频系数。由一个内部独立的约 40kHz 的 RC 振荡器（LSI）提供时钟；因为 LSI 独立于主时钟，所以可运行于停止模式。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

- 窗口看门狗（WWDG）

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生问题时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器（SysTick）

系统提供 2 个 32 位递增/递减的计数器，用于产生 SYSTICK 异常，可专用于实时操作系统，为系统提供“心跳”节律，也可当成 2 个标准的 32 位计数器。具有自动重加载功能及可编程的时钟源。

1.4.17 通用同步/异步收发器（USART）

芯片内置 8 组通用同步/异步收发器（USART1/2/3/4/5/6/7/8）。支持全双工异步串口通信以及半双工单线通信，也支持 LIN(局部互连网)，兼容 IrDA SIR ENDEC 传输编解码规范，以及调制解调器(CTS/RTS 硬件流控)操作，还支持多处理器通信。其采用分数波特率发生器系统，支持 DMA 操作连续通讯。

1.4.18 串行外设接口（SPI）

芯片内置 4 组串行外设 SPI 接口（SPI1/2/3/4），支持主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位，数据位宽提供 8 或 16 位选择，可靠通信的硬件 CRC 产生/校验，支持 DMA 操作连续通讯。

1.4.19 I2S（音频）接口

最高 2 组标准的 I2S 接口（与 SPI2 和 SPI3 复用）工作于主或从模式。软件可配置为 16/24/32 位数据包传输帧，支持音频采样频率从 8kHz 到 562.2kHz，支持 4 种音频标准。在主模式下，其主时钟可以以固定的 256 倍音频采样频率输出到外部的 DAC 或 CODEC（解码器），支持 DMA。

1.4.20 QSPI 接口

芯片内置两组专用的 QSPI 通信接口（QuadSPI），连接单、双或四（条数据线）SPI 的 FLASH 存储介质。主要特性为：

- 三种功能模式：间接模式、状态轮询模式和内存映射模式
- 双闪存模式，通过并行访问两个 FLASH
- 集成 FIFO，用于发送和接收
- 支持 SDR 模式
- 针对间接模式和内存映射模式，完全可编程帧格式
- 针对间接模式和内存映射模式，完全可编程操作码
- 在达到 FIFO 阈值和传输完成时生成 DMA 触发信号
- 在达到 FIFO 阈值、超时、操作完成以及发生访问错误时产生中断

1.4.21 I2C 总线

芯片内置多达 4 个 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度，同时与 SMBus2.0 兼容。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器

/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

1.4.22 I3C 总线

I3C 总线是一种双线制串行单端多分支总线，旨在对传统的 I2C 总线进行改进。I3C 接口负责处理本设备与连接在 I3C 总线上的其他设备之间的通信。它本身支持作为主设备和从设备，当作为控制器时，能够增强 I2C 接口的功能，同时保持一定程度的向后兼容性。主要特性包括：

- 支持主设备和从设备
- 支持 MIPI I3C 规范 v1.1
- 支持多主机功能
- 支持 DMA
- 支持带内中断（IBI）功能
- 内置错误检测和恢复
- I3C SCL 总线时钟最高可达 12.5MHz
- 支持动态分配地址，直接和广播通用命令代码（CCC）和私有读写传输

1.4.23 USB PD 及 Type-C 控制器（USB PD）

内置 USB Power Delivery 控制器和 PD 物理层收发器 PHY，支持 USB Type-C 主从检测，自动 BMC 编解码和 CRC，CC 引脚支持硬件边沿控制。

支持 USB PD2.0 和 PD3.0 以及 PD3.2 电力传送，支持 SPR 和 EPR，支持 100W 或 240W 快充，支持 PD 受电端 Sink 和 PD 供电端 Source 以及 DRP 应用。支持 PDUSB，支持 UFP 和 DFP 以及 DRD 应用。

其中，CH32H416RDU6 芯片的 CC 引脚 PB3/CC1R 和 PB4/CC2R 内置 Type-C 规范定义的可控 Rd 下拉电阻 5K1。

1.4.24 通用串行总线 USB 2.0 全速主机/设备控制器（USBFS/OTG_FS）

USB 2.0 全速主机控制器和设备控制器（USBFS），遵循 USB 2.0 Fullspeed 标准。提供 16 个可配置的 USB 设备端点及一组主机端点。支持控制/批量/同步/中断传输，双缓冲区机制，USB 总线挂起/恢复操作，并提供待机/唤醒功能。

OTG_FS 是双重角色 USB 控制器，支持主机端和设备端的功能，兼容 On-The-Go Supplement to the USB 2.0 规范。同时，该控制器也可配置为仅支持主机端或仅支持设备端功能的控制器，兼容 USB 2.0 全速规范。主要特性包括：

- 支持在（OTG_FS 控制器的物理层）USB On-The-Go Supplement，Revision1.3 规范中定义为可选项目 OTG 协议
- 通过软件可配置 USB 全速主机、USB 全速/低速设备、USB 双重角色设备
- 提供省电功能
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 提供总线复位、挂起、唤醒和恢复功能
- 支持最大 64 字节的数据包，内置 FIFO，支持中断和 DMA

1.4.25 通用串行总线 USB 2.0 高速主机/设备控制器（USBHS）

USB 2.0 高速控制器具有主机控制器和设备控制器双重角色，内置 480Mbps 的 USB-PHY 物理层收发器。当作为主机控制器时，它可支持低速、全速和高速的 USB 设备。当作为设备控制器时，可以灵活设置为低速、全速或高速模式以适应各种应用。主要特性包括：

- 支持 USB 2.1、USB 2.0、USB 1.1、USB 1.0 协议规范
- 支持 USB Host 主机功能和 USB Device 设备功能
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 提供总线复位、挂起、唤醒和恢复功能

- 主机支持 USB HUB
- 非 0 端点均支持最大 1024 字节数据包，内置 FIFO，支持中断和 DMA
- 支持 USART 串口或 I2C 引脚映射，兼用于两线调试

1.4.26 通用串行总线 USB 3.0 超高速主机/设备控制器（USBSS）

USB 3.0 超高速控制器具有主机控制器和设备控制器双重角色，内置超高速的 USB PHY 物理层收发器，可实现 USB 3.0 接口产品功能，支持 5Gbps 的 USBSS 超高速信号。

此控制器模块为应用代码提供了链接层寄存器访问接口，用于管理设备的连接和断开、总线状态、电源模式。提供了主机（HOST）功能访问接口，设备（DEVICE）功能访问接口，用于实现 USB 3.0 协议规范的各种数据传输及上层协议。主要特性包括：

- 支持 USB 3.0 协议规范和 USB 3.2 Gen1
- 支持 USB Host 主机功能和 USB Device 设备功能
- 电源管理模式支持 U1/U2/U3 低功耗状态
- 支持驱动 USB 3.0 HUB
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 非 0 端点均支持最大 1024 字节的数据包，支持突发模式
- 支持 DMA 方式直接访问各端点缓冲区的数据
- 自研控制器和收发器，高速一体化设计，实测每秒 450Mbytes

1.4.27 串并互转控制器及收发器（SerDes）

芯片内置一组支持信号隔离和远距离传输的 SerDes 模块,该模块包含两个独立的 SerDes 控制器，支持 1.5Gbps 高速差分信号（SERDES_RXP、SERDES_RXN、SERDES_TXP、SERDES_TXN 引脚），可以通过光纤模块或网线中的一个差分对等传输媒体，进行远距离数据传输。

SerDes 模块集成全双工 PHY（物理层接口）及两路独立控制单元，其中两路控制单元可分别与 PHY 的接收（Rx）通道、发送（Tx）通道进行功能对接。需明确：单路控制单元不得同时对接接收与发送通道，通过配置两个控制器到两个通道，可实现 SerDes 全双工通信功能。

主要特性包括：

- 可编程的传输数据速率，最高支持 1.5Gbps
- 支持网络变压器高压信号隔离，也支持电容低压隔离
- 内置 8bit/10bit 编解码和 CRC 校验，支持序列号匹配
- 内置 FIFO，支持收发双缓冲模式
- 支持 DMA 功能，访问地址支持字节对齐
- 提供多种传输中断标志和状态，及时向应用层反馈信息
- 差分收发，可直接驱动光纤模块

1.4.28 控制器区域网络（CAN）

芯片内置 3 组 CAN 接口，兼容规范 2.0A 和 2.0B(主动)，波特率高达 1Mbits/s，支持时间触发通信功能。可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个 3 级深度接收 FIFO。

1.4.29 数字图像接口（DVP）

数字图像接口 DVP（Digital Video Port）用来连接摄像头模块获取图像数据流。提供了 8/10/12 位并行接口方式通讯，支持最高 150MHz 像素时钟输入频率。支持按原始的行、帧格式组织的图像数据，如 YUV、RGB 等，也支持如 JPEG 格式的压缩图像数据，能够接收外部 8 位、10 位、12 位的摄像头模块输出的高速并行数据流。接收时，主要依靠 VSYNC 和 HSYNC 信号同步。支持图像裁剪功能。

1.4.30 随机数发生器（RNG）

芯片内置一个硬件随机数发生器，以连续模拟噪声为基础，它通过内部的模拟电路提供一个 32 位的随机数。

1.4.31 以太网控制器及收发器（MAC+PHY）

芯片内置符合 IEEE 802.3-2002 标准的千兆以太网控制器（MAC），充当数据链路层的角色，其 Link 速率最高支持 1Gbps，支持千兆、百兆及十兆速度自适应，并提供 RGMII 接口连接外置的 PHY 芯片。应用时，结合 TCP/IP 协议栈实现网络产品的开发。

CH32H417 芯片还内置 10/100Mbps 以太网 PHY 物理层收发器。单芯片即可实现以太网通讯。主要特性包括：

- 符合 IEEE 802.3 协议规范及设计
- 提供 RGMII 接口，可连接外置的以太网 PHY 收发器
- 支持全双工操作，支持 10/100/1000Mbps 的数据传输速率
- 硬件自动完成 IPv4 和 IPv6 包完整性校验，IP/ICMP/UDP/TCP 包校验和计算及自动填充
- 多种 MAC 地址过滤模式
- 支持 LED
- SMI 接口可对外置 PHY 进行配置和管理
- 支持以太网控制器 MAC + 内置 10/100Mbps PHY
- 可选以太网控制器 MAC + 外置 1Gbps PHY
- 支持 Auto-MDIX 交换 RX/TX，自动识别正负信号线

1.4.32 SDIO 主机/从机控制器

SDIO 主机接口提供了多媒体卡（MMC）、SD 存储卡、SDIO 卡以及 CE-ATA 设备的操作接口。支持 3 种不同的数据总线模式：1 位（默认）、4 位和 8 位。在 8 位模式下，该接口数据传输的时钟最大可达 100MHz。目前该接口全兼容多媒体卡系统规范 4.5（向前兼容）、SDIO 卡规范 2.0、SD 存储卡规范 2.0、CE-ATA 数字协议规范 1.1。主要特性包括：

- 支持 SD 卡、SDIO 卡和 MMC 卡
- 支持 1 位、4 位和 8 位总线模式
- 最高通讯时钟可达 100MHz
- 兼容 MMC 规范 4.5（向前兼容）
- 兼容 SD 卡规范 2.0，SDIO 卡规范 2.0
- 不兼容 SPI 和 QSPI

1.4.33 SD/EMMC 主机/从机控制器（SDMMC）

芯片内置 1 组 SDMMC 控制器主机/从机接口，传输时钟最高可达 200MHz，支持 1/4/8 线通讯模式，支持单双沿采样，可外接 SD/TF 卡、EMMC 卡等器件。应用程序代码可灵活设置数据收发的各种命令、应答包、有效数据包的模式和长度，双缓冲长度切换界限等参数。

- 支持SD物理层1.0、2.0规范，支持SD3.0规范的UHS-I SDR50、DDR50和SDR104模式
- 符合EMMC卡4.4和4.5.1规范；支持EMMC卡5.0规范的HS200，HS400
- 通讯模式支持单线、四线、八线模式
- 最高通讯时钟单沿可达200MHz、双沿可达180MHz
- 支持双沿采样
- 灵活可设置的数据包长度、命令格式、应答状态
- 提供硬件自动在数据块间隔时停止时钟功能
- 支持SD卡、SDIO卡、EMMC卡等符合SD接口协议的设备
- 支持SDIO从机接口，可以完成支持SDIO主机接口的芯片的数据交换

- DMA双缓冲功能

1.4.34 可编程协议 I/O 控制器（PIOC）

可编程协议 I/O 控制器基于单时钟周期的专用精简指令集 RISC 内核，运行于系统主频，具有 2K 指令的程序 ROM 和 49 个 SFR 寄存器及 PWM 定时/计数器，支持 2 个 I/O 引脚的协议控制。

- RISC 内核，优化的单周期位操作指令集，全静态指令集
- 复用了 4K 字节的系统 SRAM 作为 2K 字容量的程序 ROM，支持程序暂停和动态加载
- 提供 33 字节的双向和单向各 1 个寄存器，提供 6 级独立堆栈
- 支持 2 个通用双向 I/O 协议控制，支持输入电平变化检测
- 通过动态加载不同的协议程序，可以支持多种协议规格的单线接口和两线接口
- 支持单线 ARGB 芯片 1024 级串联

1.4.35 串行音频接口（SAI）

芯片内置 1 组串行音频接口（SAI），支持 I2S 标准、LSB 或 MSB 对齐、PCM/DSP、TDM 和 AC’97 等多种音频协议，适用于单声道和立体声应用，支持 SPDIF 输出。为了实现 SAI 接口的灵活性和可配置性，SAI 包含 A/B 一共 2 组控制模块，每组模块包含多达 4 个 I/O 引脚（SD，SCK，FS 和 MCLK）。

SAI 可以配置成主/从、发送/接收的任何组合，根据音频子模块同步/异步配置，可以设置其操作模式为全双工/单工。

- 支持 I2S 标准、LSB 或 MSB 对齐、PCM/DSP、TDM 和 AC’97 等多种音频协议
- 提供 2 组独立的控制模块，每个音频子模块可以配置成主/从、发送/接收的任何组合，并都具有一个 8 字的 FIFO
- A 和 B 这 2 组控制模块间可以是同步或异步模式，主/从配置相互独立
- 高达 16 个 Slot，每个 Slot 能够支持一个大小为 8 位、10 位、16 位、20 位、24 位或 32 位的数据
- 支持 SPDIF 输出
- 帧同步配置（有效电平、有效长度和偏移）
- 支持 LSB 或 MSB 数据传输
- 支持立体声/单声道音频功能，支持静音模式
- 串行时钟选通边沿选择（SCK）
- 每个音频子模块都有 2 个独立的 DMA 接口，支持频率高达 4MHz 的从机模式
- 错误标志位和中断源：

- FIFO 上溢和下溢
- 从模式时，帧同步提前检测
- 从模式时，帧同步滞后检测
- AC’97 编解码器未就绪
- 时钟配置错误

1.4.36 单线协议主接口（SWPMI）

单线协议主接口（SWPMI）是一种全双工单线通信的技术，该技术基于 ETSI TS 102 613 标准规范实现单线协议（SWP）通信。

在 SWPMI 中，数据可以通过两种物理方式传输：第一种是通过电压域（S1 信号）来实现从主设备到从设备的数据传输；第二种是通过电流域（S2 信号）来实现从从设备到主设备的数据传输。S1 信号使用脉冲宽度调制的数字调制方式传输，而 S2 信号则从电流变化中传输数据。其主要特性如下：

- 支持全双工通信模式
- 支持自动处理填充位
- 支持自动 SWP 总线状态管理

- 提供回送模式用于测试
- 支持自动处理帧起始(SOF)和自动处理帧结束(EOF)
- 支持比特率可配置，高达 2Mbit/s，支持中断可配置
- 提供 CRC 错误、下溢、上溢和从器件恢复监测标志
- 支持 CRC-16 的计算、生成与检验

1.4.37 通用高速接口（Universal High-Speed Interface,UHSIF）

芯片内置一组通用高速接口 UHSIF，传输时钟最高可达 125MHz，支持 8 位、16 位或 32 位数据宽度，理论最高速度 500Mbytes/s。

1.4.38 运放/比较器（OPA）

芯片内置 3 组可独立配置的低失调电压运放（OPA1/2/3），也可用作电压比较器。每组运放的输入和输出均可通过更改配置对多个通道进行选择。OPA1 额外还有一个内部输出通道直连到 CMP 的输入端 CMP_P2。3 组 OPA 均支持可编程增益运放（PGA），支持高速模式，可通过设置高速模式来提高压摆率。

1.4.39 电压比较器（CMP）

一组轨到轨通用电压比较器，支持可选迟滞特性和数字滤波。电压比较器的输入 CMP_P0～CMP_P1 和 CMP_N0～CMP_N1 分别连接至 GPIO,而其他输入 CMP_P2 和 CMP_N2 分别在芯片内部接入 OPA1 和 DAC2 的输出通道；其电压比较结果可通过配置位 CMP_MODE 选择 GPIO 输出或复用为 TIM 内部采样通道（释放了 I/O 的控制用作其他用途）。

1.4.40 LCD-TFT 显示控制器（LTDC）

LCD-TFT（Liquid Crystal Display - Thin Film Transistor）显示控制器（LTDC）主要提供并行数字 RGB 以及水平同步、垂直同步、像素时钟和数据使能的信号，可作为输出信号到不同 LCD 和 TFT 面板接口。其主要特性有：

- 提供 24 位 RGB 并行像素输出：每像素 8 位（RGB888）
- 提供 2 个显示层，包含了专有的 8*256 位 FIFO
- 支持查色表（CLUT），每个图层高达 256 种颜色
- 支持可编程不同显示面板的时序
- 支持可编程背景色
- 支持可编程 HSYNC，VSYNC 和数据使能信号的极性
- 每个显示层可选择高达 8 个输入颜色的格式:ARGB8888、RGB888、RGB565、ARGB1555、ARGB4444、L8(8 位 luminance 或 CLUT)、AL44(4 位 alpha+4 位 luminance)、AL88(8 位 alpha+8 位 luminance)
- 支持使用 alpha 值（每像素或常数）的两层之间进行灵活的混合
- 支持色键（透明颜色）
- 支持可编程窗口位置和大小
- 支持薄膜晶体管（TFT）彩色显示器
- 支持高达 3 个可编程中断时间

1.4.41 图形处理硬件加速器（Graphics Processing Hardware Accelerator,GPHA）

GPHA 是一种专门用于图片处理的 DMA。提供索引颜色模式和直接颜色模式，支持所有经典颜色编码方案，支持每像素 4 位到最高 32 位。此外，GPHA 模块还带有自身专有的颜色查找表（CULT）。其主要特性有：

- 支持单 HB 主设备总线架构
- HB 从机编程接口支持 8/16/32 位访问（除了 32 位的 CLUT 访问）
- 支持可编程源区域和目标区域的大小和偏移

- 支持用户可编程源地址和目标地址
- 支持 Alpha 值可调（源值、固定值、调制值）
- 支持高达 2 个源的混合操作
- 支持可编程的源颜色格式和目标颜色格式，支持多达 11 种颜色格式且每像素最高可达 32 位
- 在间接颜色模式下，支持 2 个内部存储器用于存储 CLUT
- 支持可编程 CLUT 的大小，可通过 CPU 自动加载 CLUT 或编程 CLUT
- 支持内部定时器控制 HB 的带宽
- 支持 3 种工作模式：寄存器到存储器、存储器到存储器且支持像素格式转换、存储器到存储器且支持像素格式转换和混合
- 支持对目标图像的指定部分或全部区域填充特定颜色
- 支持源图像的部分或全部内容复制到目标图像对应的部分或全部中
- 支持源图像的部分或全部内容至目标图像的部分或全部内容的像素格式转换复制
- 支持将像素格式不同的两个源图像部分和/或全部混合，再将结果复制到颜色格式不同的部分或整个目标图像中
- 支持中止、挂起 GPHA 运行
- 支持在出现总线错误或者访问冲突时生成中断
- 支持在流程完成时生成中断

1.4.42 可变存储控制器（FMC）

FMC 模块包括可配置的静态存储器控制器(FSMC)、同步动态随机存储器（SDRAM）以及 HB 接口，支持 SRAM、SDRAM、PSRAM、NOR 及 NAND 等器件，支持将内部 HB 的传输信号转换成合适的外部通讯协议，并通过灵活配置采样延迟时间以满足不同器件时序。

此外，FSMC 控制器也可用于多数图形 LCD 控制器接口，支持 Intel 8080 和 Motorola 6800 的模式，方便构建简易的图形应用环境，或用于专用加速控制器的高性能方案。

FMC 模块主要特性有：

- 支持连接 SRAM、SDRAM、PSRAM、NOR 及 NAND 等器件
- 支持突发模式，可更加快速地访问 NOR、PSRAM 和 SDRAM
- 支持可编程连续时钟输出以实现异步和同步访问
- 支持 8/16/32 位数据的连续访问
- 每个存储区域均支持独立的片选控制与独立配置
- 支持写使能和字节通道选择输出
- 支持外部异步等待控制
- 支持 16*32 位深度写 FIFO
- SDRAM 支持可缓存的 6*32 位深度读 FIFO（6*14 位地址标记）
- 支持 DMA 方式访问存储设备

1.4.43 数字滤波器，用于 ΣΔ 调制器（DFSDM）

DFSDM 是一种专用于将外部 ΣΔ 调制器连接到 MCU 的高性能模块。它包含 2 个外部数字串行接口和 2 个数字滤波器，具有灵活的 ΣΔ 数字处理选项，能提供高达 24 位的 ADC 最终分辨率。DFSDM 还特有可选择来自内部 ADC 外设或者设备存储器的并行数据流输入。其主要特性有：

- 提供 2 个复用输入数字串行通道
- 2 个内部数字并行通道支持可选的输入
- 支持可调节的数字信号处理
- 支持高达 24 位的输出数据分辨率
- 支持有符号的数据格式
- 支持自动的数据偏移校正（偏移值由用户存储在寄存器里）

- 包含两个转换模式：单个转换模式和连续转换模式
- 可通过软件触发、内部定时器、外部事件、使用第一个 DFSDM 滤波器同步开启转换
- 支持模拟看门狗
- 内置短路检测器来检测饱和的模拟输入值（下限和上限）
- 支持发生模拟看门狗事件和短路监测事件时产生断路
- 内置极值检测器
- 支持中断和 DMA

1.4.44 加密模块（ECDC）

芯片内置分组密码算法模块，支持 AES 和 SM4 两种分组密码算法以及电子密码本(ECB)和计数器(CTR)模式。模块以 128 位数据大小为基本单位完成一次加解密过程，提供了对内存中数据以 DMA 方式加解密以及 SFR 寄存器单次加解密模式。其主要特性有：

- SM4 算法 128 位密钥的 ECB 模式和 CTR 模式
- AES 算法 128/192/256 位密钥的 ECB 模式和 CTR 模式
- 支持软件写 SFR 的方式直接加解密单个 128 位数据
- 支持 DMA 的方式（存储器到存储器）加解密软件指定长度的数据块

1.4.45 通用输入输出接口（GPIO）

芯片内置 6 组 GPIO 端口(PA0～PA15、PB0～PB15、PC0～PC15、PD0～PD15、PE0～PE15、PF0～PF14)，共 95 个 GPIO 引脚。多数引脚都可以由软件配置成输出（推挽或开漏）、输入(带或不带上拉或下拉)或复用的外设功能端口。

引脚 PA9～PA12、PC13～PC15、PE3～PE6 由 V_{DD33} 供电，额定 3.3V 供电。其中，在 V_{DD33} 掉电时，引脚 PC13～PC15 自动切换到由 V_{BAT} 供电。

引脚 PA0～PA8、PB2～PB7、PB15、PC4～PC5、PD8、PE2、PF6～PF10 由 V_{DDIO} 供电，额定 3.3V 供电，支持 1.8V、2.5V、3.3V 电源。

高速引脚 PA13～PA15、PB0～PB1、PB10～PB14、PC0～PC3、PC6～PC12、PD0～PD7、PD9～PD15、PE0～PE1、PE7～PE15、PF0～PF5、PF11～PF14 由 V_{IO18} 供电，内置 I/O 引脚电压调节器，支持 1.2V、1.8V、2.5V、3.3V 电压并支持动态电源电压切换，支持 XO 引脚配置上电后的默认电压，具体配置信息请参考《CH32H417RM》手册的 PWR_CTLR 寄存器的[12:9]字段。

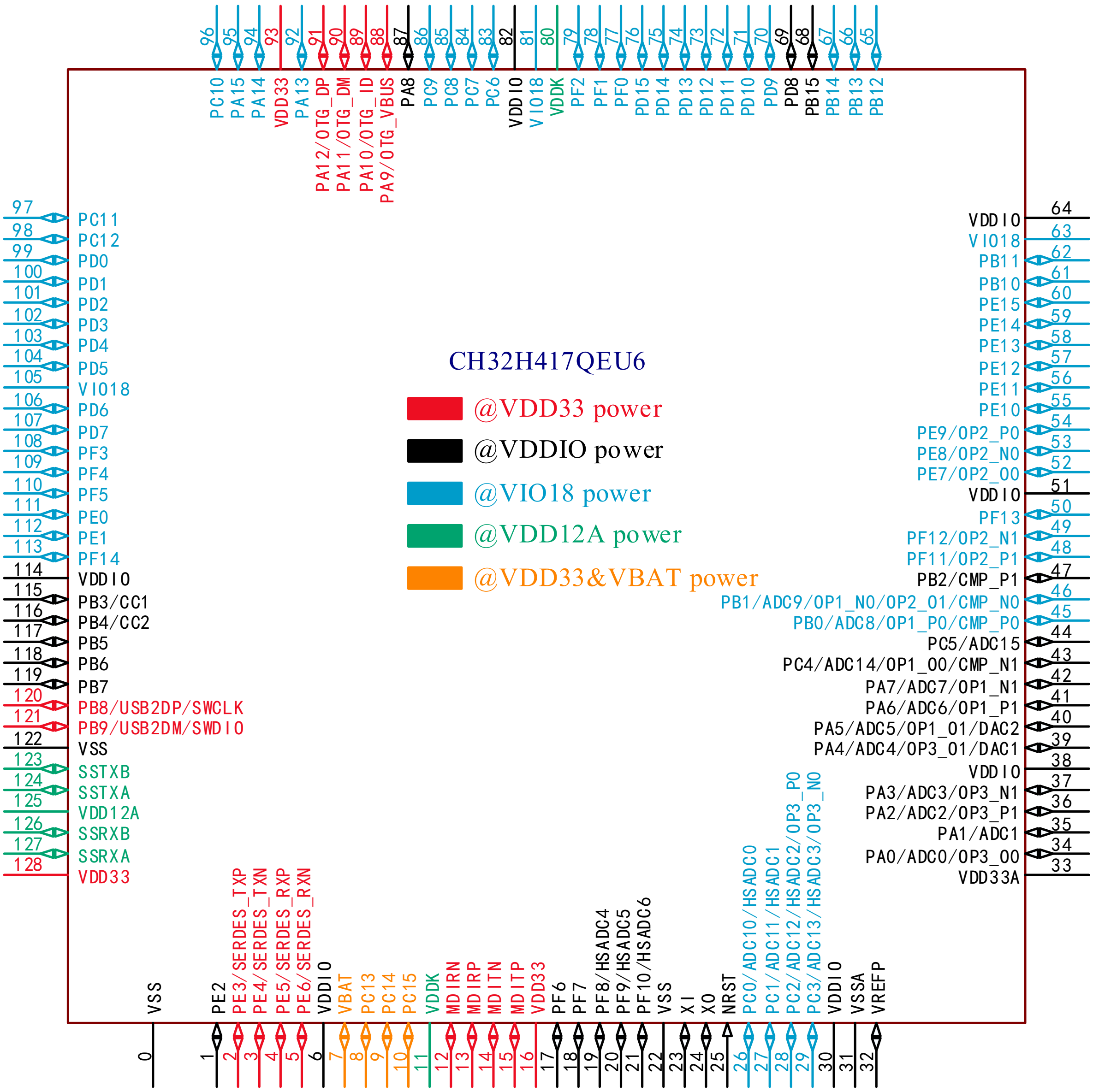
1.4.46 调试接口（Serial Debug Interface,SDI）

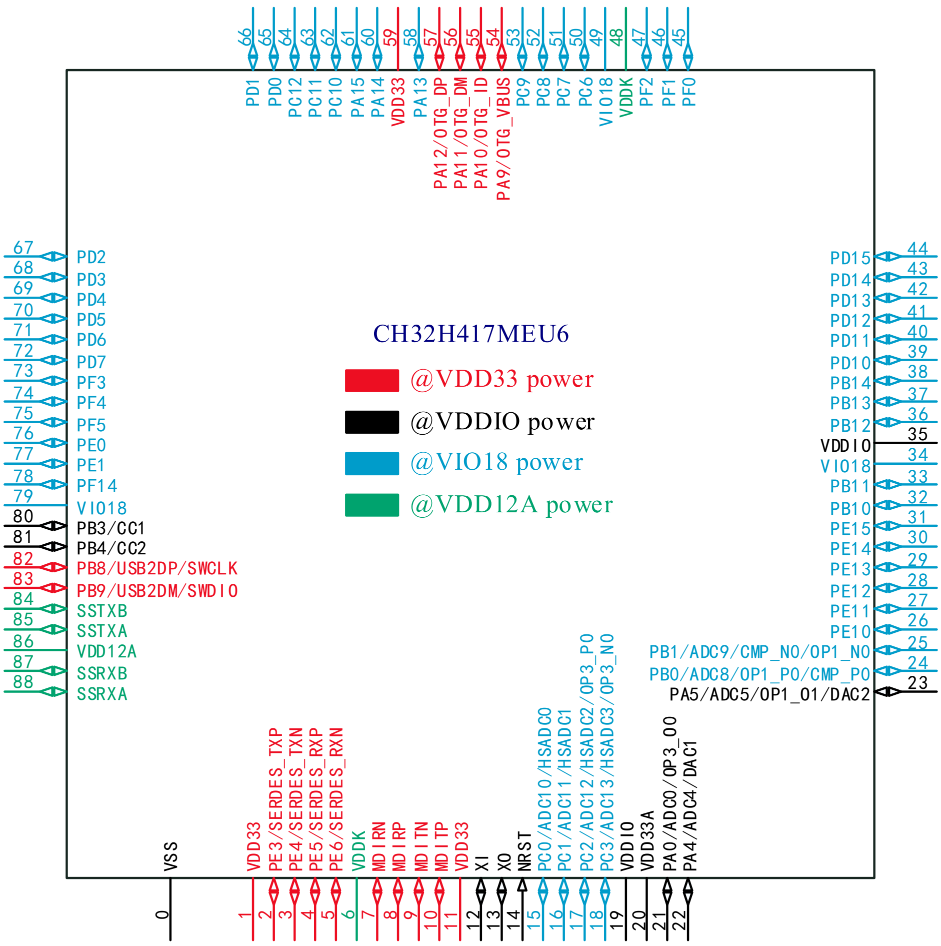
内核自带一个串行单线调试接口（1-wire SDI Serial Debug Interface）和一个串行 2 线调试接口（2-wire SDI Serial Debug Interface）。系统支持单双线两种调试模式；其中，单线调试为默认调试模式，对应 SWIO 引脚（Single Wire Input Output），而双线调试对应 SWDIO 和 SWCLK 引脚，应用于下载时可以提高速度。系统上电或复位后默认调试接口引脚功能开启，主程序运行后可以根据需要关闭 SDI。

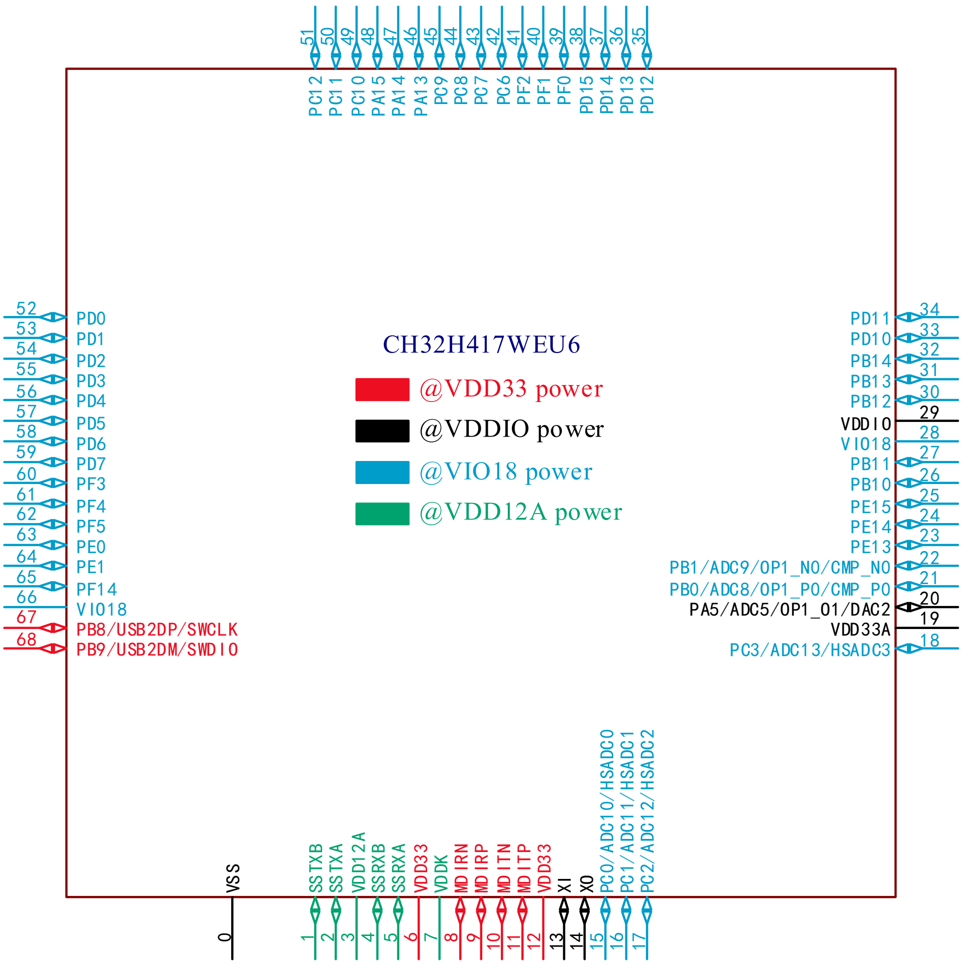
第 2 章 引脚信息

2.1 引脚排列

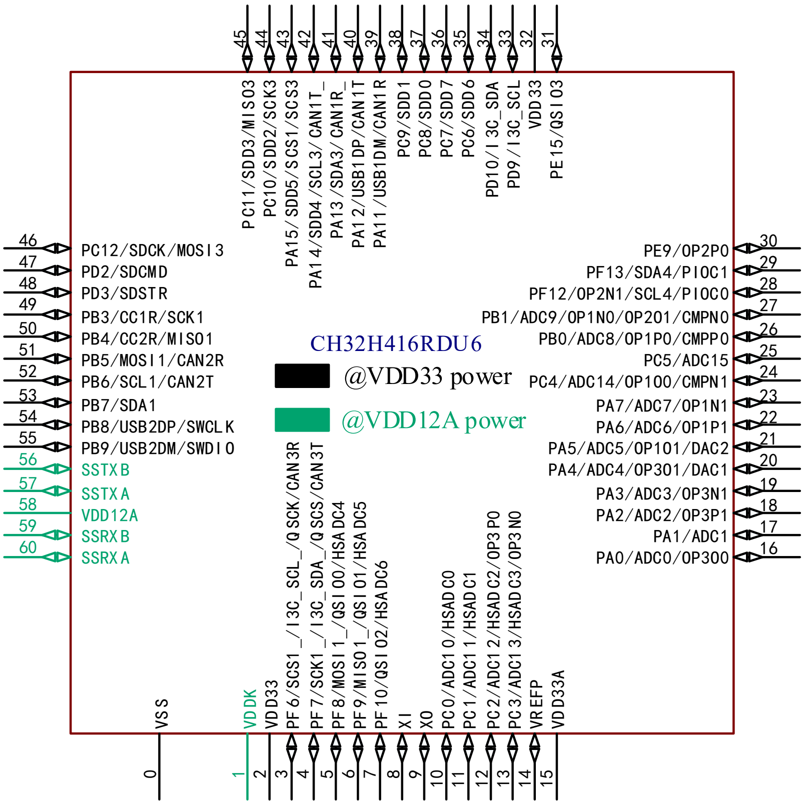
2.1.1 CH32H417 引脚排列



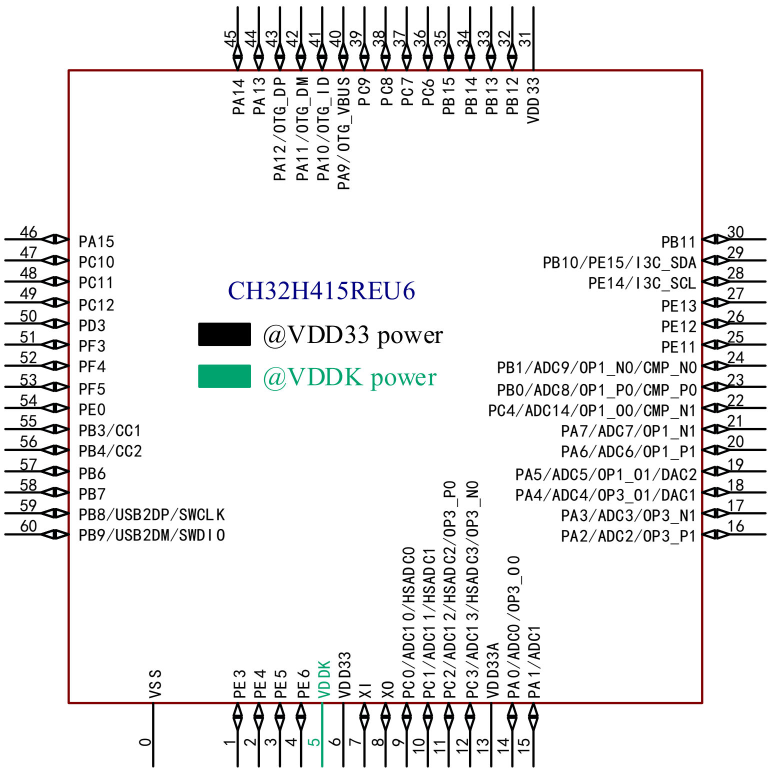

CH32H417MEU6
@VDD33 power
@VDDIO power
@VIO18 power
@VDD12A power


CH32H417WEU6
@VDD33 power
@VDDIO power
@VIO18 power
@VDD12A power

2.1.2 CH32H416 引脚排列



2.1.3 CH32H415 引脚排列



注：引脚图中复用功能均为缩写。

示例：ADC_:(ADC0:ADC_IN0)

HSADC_:(HSADC4:HSADC_IN4)

DAC_:(DAC1:DAC_OUT1)

USB2DP:USBHS_DP

USB2DN:USBHS_DN

SSRXA:USBSS_RXA

SSRXB:USBSS_RXB

SSTXA:USBSS_TXA

SSTXB:USBSS_TXB

OP:OPA_(OP1_P1:OPA1_P1、OP1_N1:OPA1_N1、OP1_O1:OPA1_OUT1)

2.2 引脚定义

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-1-1 CH32H417 引脚定义

引脚编号			引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
0	0	0	V_{SS}	P	–	V_{SS}		
6	1	–	V_{DD33}	P	–	V_{DD33}		
–	–	1	PE2	I/O	FT	PE2	USART5_RX(AF4)/SPI4_SCK(AF5)/SAI_MCLK_A(AF6)/USART6_CK(AF8)/SDRAM_CLK(AF9)/FSMC_A23(AF12)/DVP_D2(AF13)/LTDC_R6(AF14)	
–	2	2	PE3	I/O/SDP	–	PE3	SERDES_TXP/TIM8_CH1(AF0)/SDRAM_DQM1(AF1)/TIM4_CH1(AF2)/TIM12_CH1(AF3)/PIOC_IO0(AF5)/SAI_SD_B(AF6)/SDRAM_CS_N0(AF9)/USART5_TX(AF11)/FSMC_A19(AF12)/DVP_D3(AF13)	
–	3	3	PE4	I/O/SDP	–	PE4	SERDES_TXN/TIM8_CH2(AF0)/TIM4_CH2(AF2)/TIM12_CH2(AF3)/PIOC_IO1(AF4)/SPI4_NSS(AF5)/SAI_FS_A(AF6)/SDRAM_CS_N1(AF9)/FSMC_A20(AF12)/DVP_D4(AF13)/LTDC_B0(AF14)	
–	4	4	PE5	I/O/SDP	–	PE5	SERDES_RXP/TIM8_CH3(AF0)/TIM4_CH3(AF2)/TIM12_CH3(AF3)/TIM9_CH3(AF4)/SPI4_MISO(AF5)/SAI_SCK_A(AF6)/SDRAM_CKE0(AF9)/SDRAM_D27(AF10)/SDRAM_RAS_N(AF9)/FSMC_A21(AF12)/DVP_D6(AF13)/LTDC_G0(AF14)	
–	5	5	PE6	I/O/SDP	–	PE6	SERDES_RXN/TIM8_CH4(AF0)/TIM1_BKIN2(AF1)/TIM4_CH4(AF2)/TIM12_CH4(AF3)/TIM9_CH4(AF4)/SPI4_MOSI(AF5)/SAI_SD_A(AF6)/SDRAM_CKE1(AF7)/USART8_CK(AF8)/SDRAM_D28(AF10)/CMP_OUT(AF11)/FSMC_A22(AF12)/DVP_D7(AF13)/LTDC_G1(AF14)	
–	–	6	V_{DDIO}	P	–	V_{DDIO}		
–	–	7	V_{BAT}	P	–	V_{BAT}		
–	–	8	PC13[4]-RTC	I/O	–	PC13[5]	RTC(AF1)/FSMC_A5(AF12)/	

引脚编号			引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
							SDRAM_A5(AF12)	
–	–	9	PC14[4]–OSC32_IN	I/O/A	–	PC14[5]	OSC32_IN/SDRAM_CKE1(AF9)/FSMC_D16(AF12)/SDRAM_D16(AF12)	
–	–	10	PC15[4]–OSC32_OUT	I/O/A	–	PC15[5]	OSC32_OUT/SDRAM_RAS_N(AF9)/FSMC_D17(AF12)/SDRAM_D17(AF12)	
7	6	11	V_{DDK}	P	–	V_{DDK}	主 V_{DDK}	
8	7	12	MDIRN[6]	ETH	–	MDIRN		
9	8	13	MDIRP[6]	ETH	–	MDIRP		
10	9	14	MDITN[6]	ETH	–	MDITN		
11	10	15	MDITP[6]	ETH	–	MDITP		
12	11	16	V_{DD33}	P	–	V_{DD33}	主 V_{DD33}	
–	–	17	PF6	I/O	FT	PF6	CAN3_RX(AF2)/SPI1_NSS(AF3)/QSPI2_SCK(AF4)/I3C_SCL(AF5)/SAI_SD_B(AF6)/USART8_RX(AF7)/TIM10_CH3(AF9)/QSPI1_SIO3(AF10)/FSMC_D18(AF12)/SDRAM_D18(AF12)/TIM11_CH1(AF13)	
–	–	18	PF7	I/O	FT	PF7	CAN3_TX(AF2)/SPI1_SCK(AF3)/QSPI2_SCSN(AF4)/I3C_SDA(AF5)/SAI_MCLK_B(AF6)/USART8_TX(AF7)/TIM10_CH4(AF9)/QSPI1_SIO2(AF10)/FSMC_D19(AF12)/SDRAM_D19(AF12)/TIM11_CH2(AF13)	
–	–	19	PF8	I/O	–	PF8	HSADC_IN4/SPI1_MOSI(AF3)/QSPI2_SIO0(AF4)/SAI_SCK_B(AF6)/USART8_RTS(AF7)/QSPI2_SIO0(AF8)/TIM10_CH1(AF9)/TIM11_CH3(AF13)QSPI1_SIO0(AF10)/FSMC_D20(AF12)/SDRAM_D20(AF12)/	
–	–	20	PF9	I/O/A	–	PF9	HSADC_IN5/SPI1_MISO(AF3)/QSPI2_SIO1(AF4)/SAI_FS_B(AF6)/USART8_CTS(AF7)/TIM10_CH2(AF9)/USART8_RTS(AF11)/QSPI1_SIO1(AF10)/FSMC_D21(AF12)/SDRAM_D21(AF12)/TIM11_CH4(AF13)	
–	–	21	PF10	I/O/A	–	PF10	HSADC_IN6/QSPI2_SIO2(AF4)/USART8_CK(AF7)/TIM10_ETR(AF8)/USART8_CTS(AF11)/FSMC_D22(AF12)/SDRAM_D22(AF12)/DVP_D11(AF13)/LTDC_DE(AF14)	

引脚编号			引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
H417WEU6	H417MEU6	H417QEU6						
–	–	22	V_{SS}	P	–	V_{SS}		
13	12	23	XI	I/A	–	XI		
14	13	24	XO	O/A	–	XO		
–	14	25	NRST	I	–	NRST		
15	15	26	PC0	I/O/A	–	PC0	ADC_IN10/HSADC_IN0/ TIM8_BKIN(AF0)/ETH_MDC(AF1)/ DFSDM_CKIN0(AF3)/FSMC_D4(AF4)/ PIOC_IO1(AF5)/SAI_MCLK_A(AF7)/ I2C2_SCL(AF9)/QSPI2_SIO3(AF10)/ LTDC_G2(AF11)/SDRAM_WE_N(AF12)/ LTDC_R5(AF14)/SDRAM_CAS_N(AF15)	UHSIF_CLK_1
16	16	27	PC1	I/O/A	–	PC1	ADC_IN11/HSADC_IN1/ TIM8_CH1N(AF0)/ETH_MDIO(AF1)/ TIM5_CH1(AF2)/DFSDM_DATIN0(AF3)/ FSMC_D5(AF4)/SPI2_MOSI(AF5)/ I2S2_SD(AF5)/SAI_SD_A(AF7)/ PIOC_IO0(AF7)/I2C2_SDA(AF9)/ QSPI2_SCSXN(AF10)/SDIO_CK(AF11)/ LTDC_G5(AF14)/SDRAM_WE_N(AF15)	UHSIF_PORT0_2/ UHSIF_PORT0_3/ UHSIF_PORT3_1
17	17	28	PC2	I/O/A	–	PC2	ADC_IN12/HSADC_IN2/OPA3_P0/ TIM8_CH2N(AF0)/ETH_PPS(AF1)/ TIM5_CH2(AF2)/DFSDM_CKIN1(AF3)/ FSMC_D6(AF4)/SPI2_MISO(AF5)/ DFSDM_CKOUT(AF6)/SAI_SCK_A(AF7)/ PIOC_IO1(AF8)/I2C2_SMBA(AF9)/ QSPI2_SIOX0(AF10)/ SDRAM_CS_N0(AF12)/ SDRAM_DQM0(AF15)	UHSIF_PORT1_2/ UHSIF_PORT1_3/ UHSIF_PORT4_1
18	18	29	PC3	I/O/A	–	PC3	ADC_IN13/HSADC_IN3/ OPA3_N0/TIM8_CH3N(AF0)/ TIM5_CH3(AF2)/DFSDM_DATIN1(AF3)/ FSMC_D7(AF4)/SPI2_MOSI(AF5)/ I2S2_SD(AF5)/SAI_FS_A(AF7)/ QSPI2_SIOX1(AF10)/ SDRAM_D16(AF11)/FSMC_D16(AF11)/ SDRAM_CKE0(AF12)/ SDRAM_DQM1(AF15)	UHSIF_PORT2_2/ UHSIF_PORT2_3/ UHSIF_PORT5_1
–	19	30	V_{DDIO}	P	–	V_{DDIO}		
–	–	31	V_{SSA}	P	–	V_{SSA}		
–	–	32	V_{REFP}	P	–	V_{REFP}		

引脚编号			引脚名称	引脚类型[1]	I/O特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
19	20	33	V_{DD33A}	P	–	V_{DD33A}		
–	21	34	PA0	I/O/A	–	PA0	ADC_IN0/OPA3_OUT0/ TIM2_CH1_ETR(AF1)/TIM5_CH1(AF2)/ TIM8_ETR(AF3)/QSPI2_SIOX2(AF4)/ PIOC_IO0(AF5)/TIM9_CH1(AF6)/ USART2_CTS(AF7)/USART6_TX(AF8)/ SDIO_CMD(AF9)/FSMC_D23(AF12)/ SDRAM_D23(AF12)/LTDC_R0(AF14)/ SDRAM_DQM2(AF15)	
–	–	35	PA1	I/O/A	–	PA1	ADC_IN1/TIM2_CH2(AF1)/ TIM5_CH2(AF2)/QSPI2_SIOX3(AF4)/ TIM9_CH2(AF6)/USART2_RTS(AF7)/ USART6_RX(AF8)/QSPI1_SIO3(AF9)/ FSMC_D24(AF12)/SDRAM_D24(AF12)/ LTDC_R2(AF14)	
–	–	36	PA2	I/O/A	–	PA2	ADC_IN2/OPA3_P1/TIM2_CH3(AF1)/ TIM5_CH3(AF2)/USART6_CK(AF3)/ TIM9_CH3(AF4)/USART2_TX(AF7)/ FSMC_D25(AF12)/SDRAM_D25(AF12)/ LTDC_R1(AF14)	
–	–	37	PA3	I/O/A	–	PA3	ADC_IN3/OPA3_N1/TIM2_CH4(AF1)/ TIM5_CH4(AF2)/TIM9_CH4(AF4)/ USART2_RX(AF7)/TIM10_CH3(AF8)/ LTDC_B2(AF9)/FSMC_D26(AF12)/ SDRAM_D26(AF12)/LTDC_B5(AF14)	
–	–	38	V_{DDIO}	P	–	V_{DDIO}		
–	22	39	PA4	I/O/A	–	PA4	ADC_IN4/DAC1_OUT/OPA3_OUT1/ TIM5_ETR(AF2)/TIM9_ETR(AF4)/ SPI1_NSS(AF5)/SPI3_NSS(AF6)/ I2S3_WS(AF6)/USART2_CK(AF7)/ TIM10_CH4(AF9)/FSMC_D27(AF12) SDRAM_D27(AF12)/DVP_HSYNC(AF13)/ LTDC_VSYNC(AF14)	
20	23	40	PA5	I/O/A	–	PA5	ADC_IN5/DAC2_OUT/OPA1_OUT1/ TIM2_CH1_ETR(AF1)/ TIM1_BKIN2(AF2)/TIM8_CH1N(AF3)/ SPI1_SCK(AF5)/TIM10_ETR(AF9)/ DVP_VSYNC(AF11)/FSMC_D28(AF12)/ SDRAM_D28(AF12)/LTDC_R4(AF14)	
–	–	41	PA6	I/O/A	–	PA6	ADC_IN6/OPA1_P1/TIM1_BKIN(AF1)/	

引脚编号			引脚名称	引脚类型(1)	I/O特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
H417WEU6	H417MEU6	H417QEU6						
							TIM3_CH1(AF2)/TIM8_BKIN(AF3)/ SPI1_MISO(AF5)/SDRAM_DQM2(AF6)/ TIM10_CH1(AF9)/CMP_OUT(AF10)/ LTDC_HSYNC(AF11)/DVP_PCLK(AF13)/ LTDC_G2(AF14)	
–	–	42	PA7	I/O/A	–	PA7	ADC_IN7/OPA1_N1/TIM1_CH1N(AF1)/ TIM3_CH2(AF2)/TIM8_CH1N(AF3)/ SPI1_MOSI(AF5)/TIM10_CH2(AF9)/ SDRAM_WE_N(AF12)/ LTDC_VSYNC(AF14)/	
–	–	43	PC4	I/O/A	–	PC4	ADC_IN14/OPA1_OUT0/CMP_N1/ CAN3_RX(AF6)/I3C_SCL(AF7)/ SDRAM_CS_N0(AF12)/LTDC_R7(AF14)	
–	–	44	PC5	I/O/A	–	PC5	ADC_IN15/CAN3_TX(AF6)/ I3C_SDA(AF7)/SDRAM_CKE0(AF12)/ CMP_OUT(AF13)/LTDC_DE(AF14)	
21	24	45	PB0	I/O/A	–	PB0	ADC_IN8/OPA1_P0/CMP_P0/MCO(AF0)/ TIM1_CH2N(AF1)/TIM3_CH3(AF2)/ TIM8_CH2N(AF3)/TIM5_CH4(AF4)/ DFSDM_CKOUT(AF6)/SDRAM_DQM3(AF7) /USART6_CTS(AF8)/LTDC_R3(AF9)/ FSMC_D29(AF12)/SDRAM_D29(AF12)/ TIM12_ETR(AF13)/LTDC_G1(AF14)	UHSIF_PORT3_2/ UHSIF_PORT3_3/ UHSIF_PORT6_1
22	25	46	PB1	I/O/A	–	PB1	ADC_IN9/OPA1_N0/OPA2_OUT1/ CMP_N0/TIM1_CH3N(AF1)/ TIM3_CH4(AF2)/TIM8_CH3N(AF3)/ TIM12_CH1(AF5)/SDRAM_BA0(AF7)/ DFSDM_DATIN1(AF6)/LTDC_R6(AF9)/ FSMC_D30(AF12)/SDRAM_D30(AF12)/ LTDC_G0(AF14)	UHSIF_PORT4_2/ UHSIF_PORT4_3/ UHSIF_PORT7_1
–	–	47	PB2	I/O/A	FT	PB2	CMP_P1/DFSDM_CKIN1(AF4)/ TIM12_CH2(AF5)/SAI_SD_A(AF6)/ SPI3_MOSI(AF7)/I2S3_SD(AF7)/ QSPI1_SCK(AF9)/FSMC_D31(AF12) SDRAM_D31(AF12)/TIM11_ETR(AF13)	
–	–	48	PF11	I/O/A	–	PF11	OPA2_P1/UHSIF_CLK/ I2C4_SMBA(AF2)/SDRAM_RAS_N(AF12)	
–	–	49	PF12	I/O/A	–	PF12	OPA2_N1/UHSIF_PORT0/ I2C4_SCL(AF2)/PIOC_IO0(AF3)/ SDRAM_CAS_N(AF12)/	UHSIF_PORT0_1

引脚编号			引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
							TIM12_CH3(AF13)	
–	–	50	PF13	I/O	–	PF13	UHSIF_PORT1/I2C4_SDA(AF2)/PIOC_IO1(AF5)/DVP_PCLK(AF11)/TIM12_CH4(AF13)	UHSIF_PORT1_1
–	–	51	V_{DDIO}	P	–	V_{DDIO}		
–	–	52	PE7	I/O/A	–	PE7	OPA2_OUT0/UHSIF_PORT2/TIM1_ETR(AF1)/USART8_RX(AF7)/QSPI1_SIOX0(AF10)/FSMC_D4(AF12)/SDRAM_D4(AF12)	UHSIF_PORT2_1
–	–	53	PE8	I/O/A	–	PE8	OPA2_N0/UHSIF_PORT3/TIM1_CH1N(AF1)/USART8_TX(AF7)/SDIO_D0(AF8)/QSPI1_SIOX1(AF10)/FSMC_D5(AF12)/SDRAM_D5(AF12)	
–	–	54	PE9	I/O/A	–	PE9	OPA2_P0/UHSIF_PORT4/TIM1_CH1(AF1)/DFSDM_CKOUT(AF3)/SDIO_D1(AF8)/QSPI1_SIOX2(AF10)/FSMC_D6(AF12)/SDRAM_D6(AF12)	
–	26	55	PE10	I/O	–	PE10	UHSIF_PORT5/TIM1_CH2N(AF1)/SDRAM_D17(AF3)/SDIO_D2(AF8)/QSPI2_SCK(AF7)/QSPI1_SIOX3(AF10)/FSMC_D7(AF12)/SDRAM_D7(AF12)/SDRAM_BA1(AF15)	UHSIF_PORT5_2/UHSIF_PORT5_3
–	27	56	PE11	I/O	–	PE11	UHSIF_PORT6/TIM1_CH2(AF1)/SDRAM_D18(AF3)/SPI4_NSS(AF5)/QSPI2_SCSN(AF7)/SDIO_D3(AF8)/FSMC_D8(AF12)/SDRAM_D8(AF12)/LTDC_G3(AF14)/SDRAM_A0(AF15)	UHSIF_PORT6_2/UHSIF_PORT6_3
–	28	57	PE12	I/O	–	PE12	UHSIF_PORT7/TIM1_CH3N(AF1)/SDRAM_D19(AF3)/SPI4_SCK(AF5)/QSPI2_SIO0(AF7)/SDIO_D4(AF8)/FSMC_D9(AF12)/SDRAM_D9(AF12)/CMP_OUT(AF13)/LTDC_B4(AF14)/SDRAM_A1(AF15)	UHSIF_PORT7_2/UHSIF_PORT7_3
23	29	58	PE13	I/O	–	PE13	UHSIF_PORT8/TIM1_CH3(AF1)/TIM12_CH2(AF2)/SPI4_MISO(AF5)/QSPI2_SIO1(AF7)/SDIO_D5(AF8)/FSMC_D10(AF12)/SDRAM_D10(AF12)/LTDC_DE(AF14)/SDRAM_A2(AF15)	
24	30	59	PE14	I/O	–	PE14	UHSIF_PORT9/TIM1_CH4(AF1)/TIM12_CH3(AF2)/I3C_SCL(AF3)/	

引脚编号			引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
							SPI4_MOSI(AF5)/QSPI2_SIO2(AF7)/ SDIO_D6(AF8)/FSMC_D11(AF12)/ SDRAM_D11(AF12)/LTDC_CLK(AF13)/ SDRAM_A3(AF14)	
25	31	60	PE15	I/O	–	PE15	UHSIF_PORT10/TIM1_BKIN(AF1)/ TIM12_CH4(AF2)/I3C_SDA(AF3)/ QSPI2_SIO3(AF7)/SDIO_D7(AF8)/ USART5_CK(AF11)/FSMC_D12(AF12)/ SDRAM_D12(AF12)/CMP_OUT(AF13)/ LTDC_R7(AF14)/SDRAM_A4(AF15)	
26	32	61	PB10	I/O	–	PB10	UHSIF_PORT11/SDRAM_A5(AF0)/ TIM2_CH3(AF1)/TIM9_CH2(AF2)/ LPTIM2_CH1(AF3)/I2C2_SCL(AF4)/ SPI2_SCK(AF5)/I2S2_CK(AF5)/ FSMC_A19(AF6)/USART3_TX(AF7)/ SDIO_CMD(AF8)/USART6_CK(AF9)/ QSPI2_SCSXN(AF11)/ FSMC_A10(AF12)/SDRAM_A10(AF12)/ LTDC_G4(AF14)	SDMMC_D2_1[8]
27	33	62	PB11	I/O	–	PB11	UHSIF_PORT12/SDRAM_A6(AF0)/ TIM2_CH4(AF1)/FSMC_A20(AF2)/ LPTIM2_ETR(AF3)/I2C2_SDA(AF4)/ USART3_RX(AF7)/SDIO_CK(AF8)/ TIM9_CH4(AF9)/QSPI2_SIOX0(AF11)/ FSMC_A11(AF12)/SDRAM_A11(AF12)/ LTDC_G5(AF14)	SDMMC_D3_1[8]
28	34	63	V_{IO18}	P	–	V_{IO18}	主 V_{IO18}	
29	35	64	V_{DDIO}	P	–	V_{DDIO}	主 V_{DDIO}	
30	36	65	PB12	I/O	–	PB12	UHSIF_PORT13/SDRAM_A7(AF0)/ TIM1_BKIN(AF1)/TIM8_BKIN(AF2)/ FSMC_A21(AF3)/I2C2_SMBA(AF4)/ SPI2_NSS(AF5)/I2S2_WS(AF5)/ DFSDM_DATIN1(AF6)/ USART3_CK(AF7)/TIM9_CH3(AF8)/ CAN2_RX(AF9)/LTDC_VSYNC(AF10)/ QSPI2_SIOX1(AF11)/ FSMC_A12(AF12)/SDRAM_A12(AF12)/ CMP_OUT(AF13)/USART7_RX(AF14)/ DVP_PCLK(AF15)	
31	37	66	PB13	I/O	–	PB13	UHSIF_PORT14/SDRAM_A8(AF0)/	SDMMC_D0_1[8]

引脚编号			引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
							TIM1_CH1N(AF1)/TIM8_BKIN2(AF2)/ LPTIM2_OC(AF3)/TIM9_ETR(AF4)/ SPI2_SCK(AF5)/I2S2_CK(AF5)/ DFSDM_CKIN1(AF6)/ USART3_CTS(AF7)/DVP_HSYNC(AF8)/ CAN2_TX(AF9)/ETH_PHY_LED3(AF10)/ QSPI2_SIOX0(AF11)/ FSMC_A13(AF12)/DVP_D2(AF13)/ USART7_TX(AF14)/FSMC_A22(AF15)	
32	38	67	PB14	I/O	–	PB14	UHSIF_PORT15/FSMC_A23(AF0)/ TIM1_CH2N(AF1)/TIM9_CH1(AF2)/ TIM8_CH2N(AF3)/USART1_TX(AF4)/ SPI2_MISO(AF5)/LTDC_G0(AF6)/ USART3_RTS(AF7)/USART6_RTS(AF8)/ SDIO_D0(AF9)/ETH_PHY_LED4(AF10)/ QSPI2_SIOX1(AF11)/ FSMC_A14(AF12)/SDRAM_A9(AF0)/ SDRAM_BA0(AF12)/USART7_CK(AF13)/ LTDC_CLK(AF14)/DVP_VSYNC(AF15)	
–	–	68	PB15	I/O	FT	PB15	TIM1_CH3N(AF1)/TIM9_CH2(AF2)/ TIM8_CH3N(AF3)/USART1_RX(AF4)/ SPI2_MOSI(AF5)/I2S2_SD(AF5)/ USART6_CTS(AF8)/SDIO_D1(AF9)/ FSMC_A15(AF12)/SDRAM_BA1(AF12)/ LTDC_G7(AF14)	
–	–	69	PD8	I/O	FT	PD8	USART3_TX(AF7)/FSMC_D13(AF12)/ SDRAM_D13(AF12)/LTDC_B7(AF14)	
–	–	70	PD9	I/O	–	PD9	SDRAM_A9(AF0)/I3C_SCL(AF5)/ USART3_RX(AF7)/FSMC_D14(AF12)/ SDRAM_D14(AF12)	UHSIF_CLK_3
33	39	71	PD10	I/O	–	PD10	UHSIF_PORT16/SDRAM_A10(AF0)/ DFSDM_CKOUT(AF3)/ LPTIM2_ETR(AF4)/I3C_SDA(AF5)/ USART3_CK(AF7)/RGMII_TXD3(AF10)/ FSMC_D15(AF12)/SDRAM_D15(AF12)/ LTDC_B3(AF14)	SDMMC_STR_1
34	40	72	PD11	I/O	–	PD11	UHSIF_PORT17/SDRAM_A11(AF0)/ LPTIM1_ETR(AF1)/LPTIM2_CH2(AF3)/ I2C4_SMBA(AF4)/TIM5_ETR(AF6)/ USART3_CTS(AF7)/QSPI1_SIO0(AF9)/	SDMMC_SDCK_1 SDMMC_SLVCK_1

引脚编号			引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
H417WEU6	H417MEU6	H417QEU6						
							RGMII_TXD2(AF10)/LTDC_R4(AF11)/FSMC_A16(AF12)/USART1_CK(AF14)	
35	41	73	PD12	I/O	–	PD12	UHSIF_PORT18/SDRAM_A12(AF0)/LPTIM1_CH1(AF1)/TIM4_CH1(AF2)/LPTIM2_CH1(AF3)/I2C4_SCL(AF4)/CAN3_RX(AF5)/TIM5_CH1(AF6)/USART3_RTS(AF7)/QSPI1_SIO1(AF9)/RGMII_TXD1(AF10)/LTDC_R3(AF11)/FSMC_A17(AF12)/DVP_D4(AF13)/USART1_RX(AF14)	SDMMC_STS_1 SDMMC_CMD_1
36	42	74	PD13	I/O	–	PD13	UHSIF_PORT19/SDRAM_D0(AF0)/LPTIM1_OC(AF1)/TIM4_CH2(AF2)/LTDC_R2(AF3)/I2C4_SDA(AF4)/CAN3_TX(AF5)/TIM5_CH2(AF6)/QSPI1_SIO3(AF9)/RGMII_TXD0(AF10)/FSMC_A18(AF12)/DVP_D5(AF13)/USART1_TX(AF14)	
37	43	75	PD14	I/O	–	PD14	UHSIF_PORT20/SDRAM_D1(AF0)/LPTIM1_CH2(AF1)/TIM4_CH3(AF2)/TIM5_CH3(AF6)/LTDC_B1(AF8)/QSPI1_SIO2(AF9)/RGMII_TXEN(AF10)/FSMC_D0(AF12)/SDRAM_D0(AF12)/DVP_D6(AF13)/USART1_RTS(AF14)	
38	44	76	PD15	I/O	–	PD15	UHSIF_PORT21/SDRAM_D2(AF0)/TIM4_CH4(AF2)/TIM5_CH4(AF6)/LTDC_G2(AF7)/RGMII_GTXC(AF10)/FSMC_D1(AF12)/SDRAM_D1(AF12)/DVP_D7(AF13)/USART1_CTS(AF14)	
39	45	77	PF0	I/O	–	PF0	UHSIF_PORT22/SDRAM_D3(AF2)/SDRAM_CS_N1(AF4)/QSPI2_SCK(AF5)/USART4_CTS(AF7)/ETH_PHY_LED0(AF10)/LTDC_R1(AF11)/DVP_D11(AF12)/LTDC_R7(AF14)	
40	46	78	PF1	I/O	–	PF1	UHSIF_PORT23/SDRAM_D4(AF2)/QSPI2_SCSN(AF5)/SAI_MCLK_A(AF6)/USART4_CK(AF7)/LTDC_B0(AF8)/ETH_PHY_LED1(AF10)/FSMC_INT2(AF12)/LTDC_CLK(AF14)	

引脚编号			引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
H417WEU6	H417MEU6	H417QEU6						
41	47	79	PF2	I/O	–	PF2	UHSIF_PORT24/SDRAM_D5(AF2)/ TIM8_ETR(AF3)/QSPI2_SIO0(AF5)/ USART4_RTS(AF7)/ ETH_PHY_LED2(AF10)/ SDRAM_CLK(AF12)/LTDC_G7(AF14)	
–	48	80	V_{DDK}	P	–	V_{DDK}		
–	49	81	V_{IO18}	P	–	V_{IO18}		
–	–	82	V_{DDIO}	P	–	V_{DDIO}		
42	50	83	PC6	I/O	–	PC6	SDMMC_D6(8)/UHSIF_PORT25/ SDRAM_D6(AF0)/TIM3_CH1(AF2)/ TIM8_CH1(AF3)/FSMC_D8(AF4)/ I2S2_MCK(AF5)/USART4_TX(AF7)/ SDIO_D6(AF9)/SWPMI_IO(AF11)/ RGMII_RXD3(AF12)/DVP_D0(AF13)/ LTDC_HSYNC(AF14)	SDMMC_D6_1(8)
43	51	84	PC7	I/O	–	PC7	SDMMC_D7(8)/UHSIF_PORT26/ SDRAM_D7(AF0)/TIM3_CH2(AF2)/ TIM8_CH2(AF3)/FSMC_D9(AF4)/ I2S3_MCK(AF6)/USART4_RX(AF7)/ SDIO_D7(AF9)/SWPMI_TX(AF11)/ RGMII_RXD2(AF12)/DVP_D1(AF13)/ LTDC_G6(AF14)	SDMMC_D7_1(8)
44	52	85	PC8	I/O	–	PC8	SDMMC_D0/UHSIF_PORT27/ SDRAM_D8(AF0)/TIM3_CH3(AF2)/ TIM8_CH3(AF3)/FSMC_D13(AF4)/ TIM9_ETR(AF6)/USART4_CK(AF7)/ USART7_RTS(AF8)/SWPMI_RX(AF11)/ RGMII_RXD1(AF12)/DVP_D2(AF13)/ LTDC_G4(AF14)	
45	53	86	PC9	I/O	–	PC9	SDMMC_D1(8)/UHSIF_PORT28/ SDRAM_D9(AF0)/TIM3_CH4(AF2)/ TIM8_CH4(AF3)/I2C3_SDA(AF4)/ SPI3_MISO(AF5)/TIM9_CH1(AF6)/ FSMC_D14(AF7)/USART7_CTS(AF8)/ QSPI1_SIO0(AF9)/LTDC_G3(AF10)/ SWPMI_SUP(AF11)/ RGMII_RXD0(AF12)/DVP_D3(AF13)/ LTDC_B2(AF14)/SAI_MCLK_B(AF15)	SDMMC_D1_1(8)
–	–	87	PA8	I/O	FT	PA8	TIM1_CH1(AF1)/TIM8_BKIN2(AF3)/ I2C3_SCL(AF4)/SDRAM_DQM3(AF6)/	

引脚编号			引脚名称	引脚类型[(1)]	I/O特性[(1)]	主功能（复位后）	引脚功能[(2)]	重映射功能[(3)]
H417WEU6	H417MEU6	H417QEU6						
							USART1_CK(AF7)/USART8_RX(AF11)/CMP_OUT(AF12)/LTDC_B3(AF13)/LTDC_R6(AF14)	
-	54	88	PA9	I/O/A	FT	PA9	OTG_VBUS/SDRAM_D10(AF0)/TIM1_CH2(AF1)/I2C3_SMBA(AF4)/SPI2_SCK(AF5)/I2S2_CK(AF5)/USART1_TX(AF7)/SDRAM_D20(AF8)/DVP_D0(AF13)/LTDC_R5(AF14)	
-	55	89	PA10	I/O/A	FT	PA10	OTG_ID/SDRAM_D11(AF0)/TIM1_CH3(AF1)/USART6_CK(AF6)/USART1_RX(AF7)/SDRAM_D21(AF8)/FSMC_A6(AF10)/SDRAM_A6(AF10)/LTDC_B4(AF12)/DVP_D1(AF13)/LTDC_B1(AF14)	
-	56	90	PA11	I/O/A	FT	PA11	OTG_DM/SDRAM_D12(AF0)/TIM1_CH4(AF1)/USART3_CK(AF4)/SPI2_NSS(AF5)/I2S2_WS(AF5)/USART6_RX(AF6)/USART1_CTS(AF7)/SDRAM_D22(AF8)/CAN1_RX(AF9)/FSMC_A7(AF10)/SDRAM_A7(AF10)/LTDC_R4(AF14)	
-	57	91	PA12	I/O/A	FT	PA12	OTG_DP/SDRAM_D13(AF0)/TIM1_ETR(AF1)/USART3_RTS(AF4)/SPI2_SCK(AF5)/I2S2_CK(AF5)/USART6_TX(AF6)/USART1_RTS(AF7)/SDRAM_D23(AF8)/CAN1_TX(AF9)/FSMC_A8(AF10)/SDRAM_A8(AF10)/TIM1_BKIN2(AF12)/LTDC_R5(AF14)/	
46	58	92	PA13	I/O	-	PA13	UHSIF_PORT29/SDRAM_D14(AF0)/SPI3_MOSI(AF1)/I2S3_SD(AF1)/SDRAM_BA1(AF3)/USART3_TX(AF4)/CAN_RX(AF5)/I2C3_SDA(AF7)/LTDC_B2(AF8)/FSMC_A9(AF10)/SDRAM_A9(AF10)/SAI_SD_B(AF13)/	
-	59	93	V_{DD33}	P	-	V_{DD33}		
47	60	94	PA14	I/O	-	PA14	SDMMC_D4[(8)]/UHSIF_PORT30/SDRAM_D15(AF0)/SPI3_SCK(AF1)/I2S3_CK(AF1)/SDRAM_A0(AF3)/USART3_RX(AF4)/CAN_TX(AF5)/I2C3_SCL(AF7)/USART8_CK(AF11)/	SDMMC_D4_1[(8)]

引脚编号			引脚名称	引脚类型[1]	I/O特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
							RGMII_RXDV(AF12)/ SAI_SCK_B(AF13)/LTDC_B6(AF14)/ LTDC_R0(AF15)	
48	61	95	PA15	I/O	-	PA15	SDMMC_D5[8]/UHSIF_PORT31/ FSMC_NBL3(AF0)/SDRAM_DQM3(AF0)/ TIM2_CH1_ETR(AF1)/ RGMII_RXC(AF3)/USART3_CTS(AF4)/ SPI1_NSS(AF5)/SPI3_NSS(AF6)/ I2S3_WS(AF6)/I2C3_SMBA(AF7)/ USART6_RTS(AF8)/LTDC_R3(AF9)/ LTDC_B4(AF10)/USART8_TX(AF11)/ SDRAM_A1(AF12)/SAI_FS_B(AF13)/ LTDC_B6(AF14)/LTDC_CLK(AF15)	SDMMC_D5_1[8]
49	62	96	PC10	I/O	-	PC10	SDMMC_D2[8]/UHSIF_PORT32/ FSMC_NBL2(AF0)/SDRAM_DQM2(AF0)/ SDRAM_RAS_N(AF1)/TIM9_CH2(AF2)/ SDRAM_D24(AF3)/SPI3_SCK(AF6)/ I2S3_CK(AF6)/USART3_TX(AF7)/ USART6_TX(AF8)/QSPI1_SIO1(AF9)/ LTDC_B1(AF10)/SWPMI_RX(AF11)/ DVP_D8(AF13)/LTDC_R2(AF14)/ LTDC_HSYNC（AF15）	SDMMC_STS_2/ SDMMC_STS_3/ SDMMC_CMD_2/ SDMMC_CMD_3/ UHSIF_PORT32_2/ UHSIF_PORT32_3
50	63	97	PC11	I/O	-	PC11	SDMMC_D3[8]/UHSIF_PORT33/ FSMC_NBL1(AF0)/SDRAM_DQM1(AF0)/ TIM9_CH4(AF2)/SDRAM_D25(AF3)/ SPI3_MISO(AF6)/USART3_RX(AF7)/ USART6_RX(AF8)/QSPI1_SCSXN(AF9)/ DVP_D4(AF13)/LTDC_B4(AF14)/ LTDC_VSYNC(AF15)	SDMMC_STR_2/ SDMMC_STR_3/ UHSIF_PORT33_2/ UHSIF_PORT33_3
51	64	98	PC12	I/O	-	PC12	SDMMC_SDCK/SDMMC_SLVCK/ UHSIF_PORT34/FSMC_NBL0(AF0)/ SDRAM_DQM0(AF0)/TIM9_CH3(AF2)/ SDRAM_D26(AF3)/SPI3_MOSI(AF6)/ I2S3_SD(AF6)/USART3_CK(AF7)/ USART7_TX(AF8)/DVP_D9(AF13)/ LTDC_R6(AF14)/LTDC_DE(AF15)	SDMMC_SDCK_2/ SDMMC_SDCK_3/ SDMMC_SLVCK_2/ SDMMC_SLVCK_3/ UHSIF_PORT34_2/ UHSIF_PORT34_3
52	65	99	PD0	I/O	-	PD0	UHSIF_PORT35/SDRAM_D10(AF1)/ USART6_RX(AF8)/CAN1_RX(AF9)/ FSMC_D2(AF12)/SDRAM_D2(AF12)/ LTDC_B1(AF14)/LTDC_R3(AF15)	SDMMC_D0_2/ SDMMC_D0_3/ UHSIF_PORT35_2/ UHSIF_PORT35_3

引脚编号			引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
H417WEU6	H417MEU6	H417QEU6						
53	66	100	PD1	I/O	-	PD1	UHSIF_PORT36/SDRAM_D11(AF1)/ USART6_TX(AF8)/CAN1_TX(AF9)/ FSMC_D3(AF12)/SDRAM_D3(AF12)/ LTDC_R4(AF15)	SDMMC_D1_2(8)/ SDMMC_D1_3(8)/ UHSIF_PORT36_2/ UHSIF_PORT36_3
54	67	101	PD2	I/O	-	PD2	SDMMC_STS/SDMMC_CMD/ UHSIF_PORT37/SDRAM_D12(AF1)/ TIM3_ETR(AF2)/USART7_RX(AF8)/ LTDC_B7(AF9)/FSMC_A25(AF11)/ DVP_D11(AF13)/LTDC_B2(AF14)/ LTDC_R5(AF15)	SDMMC_D2_2(8)/ SDMMC_D2_3(8)/ UHSIF_PORT37_2/ UHSIF_PORT37_3
55	68	102	PD3	I/O	-	PD3	SDMMC_STR/UHSIF_PORT38/ SDRAM_D13(AF1)/TIM11_CH1(AF2)/ DFSDM_CKOUT(AF3)/SPI2_SCK(AF5)/ I2S2_CK(AF5)/USART2_CTS(AF7)/ USART6_CK(AF8)/TIM3_CH1(AF9)/ FSMC_CLK(AF12)/DVP_D5(AF13)/ LTDC_G7(AF14)/LTDC_R6(AF15)	SDMMC_D3_2(8)/ SDMMC_D3_3(8)/ UHSIF_PORT38_2/ UHSIF_PORT38_3
56	69	103	PD4	I/O	-	PD4	UHSIF_PORT39/SDRAM_D14(AF1)/ TIM11_CH2(AF2)/ USART2_RTS(AF7)/USART7_CK(AF8)/ TIM3_CH2(AF9)/FSMC_NOE(AF12)/ LTDC_B4(AF14)/LTDC_R7(AF15)	SDMMC_D4_2(8)/ SDMMC_D4_3(8)/ UHSIF_PORT39_2/ UHSIF_PORT39_3
57	70	104	PD5	I/O	-	PD5	UHSIF_PORT40/SDRAM_D15(AF1)/ TIM11_CH3(AF2)/USART2_TX(AF7)/ TIM3_CH3(AF9)/FSMC_NWE(AF12)/ TIM11_ETR(AF13)/LTDC_B5(AF14)/ LTDC_G2(AF15)	SDMMC_D5_2(8)/ SDMMC_D5_3(8)/ UHSIF_PORT40_2/ UHSIF_PORT40_3
-	-	105	V_{IO18}	P	-	V_{IO18}		
58	71	106	PD6	I/O	-	PD6	UHSIF_PORT41/TIM11_CH4(AF2)/ SDRAM_CS_NO(AF3)/ DFSDM_DATIN1(AF4)/ SPI3_MOSI(AF5)/ I2S3_SD(AF5)/SAI_SD_A(AF6)/ USART2_RX(AF7)/TIM3_CH4(AF9)/ USART5_CK(AF11)/ FSMC_NWAIT(AF12)/ DVP_D10(AF13)/LTDC_B2(AF14)/ LTDC_G3(AF15)	SDMMC_D6_2(8)/ SDMMC_D6_3(8)/ UHSIF_PORT41_2/ UHSIF_PORT41_3
59	72	107	PD7	I/O	-	PD7	UHSIF_PORT42/SDRAM_CS_N1(AF3)/ USART5_RTS(AF4)/SPI1_MOSI(AF5)/	SDMMC_D7_2(8)/ SDMMC_D7_3(8)/

引脚编号			引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
							DFSDM_CKIN1(AF6)/USART2_CK(AF7)/ FSMC_NE1(AF12)/TIM11_CH3(AF13)/ LTDC_B3(AF14)/LTDC_G4(AF15)	UHSIF_PORT42_2/ UHSIF_PORT42_3
60	73	108	PF3	I/O	-	PF3	UHSIF_PORT43/CAN3_TX(AF2)/ SDRAM_CKE0(AF4)/ SDRAM_RAS_N(AF3)/SPI1_MISO(AF5)/ USART4_RX(AF7)/QSPI1_SIOX2(AF9)/ DVP_D9(AF11)/FSMC_NE2(AF12)/ FSMC_NCE2(AF12)/DVP_VSYNC(AF13)/ LTDC_B0(AF14)/LTDC_G5(AF15)	UHSIF_PORT43_2/ UHSIF_PORT43_3
61	74	109	PF4	I/O	-	PF4	UHSIF_PORT44/LPTIM1_ETR(AF1)/ CAN3_RX(AF2)/SDRAM_CKE1(AF4)/ SPI1_NSS(AF5)/USART4_TX(AF7)/ LTDC_G3(AF9)/DVP_D8(AF11)/ FSMC_NE3(AF12)/DVP_D2(AF13)/ LTDC_B2(AF14)/LTDC_G6(AF15)	UHSIF_PORT44_2/ UHSIF_PORT44_3
62	75	110	PF5	I/O	-	PF5	UHSIF_PORT45/LPTIM1_CH2(AF1)/ SDRAM_D29(AF3)/USART5_RX(AF4)/ SPI1_SCK(AF5)/QSPI1_SIOX3(AF9)/ FSMC_A0(AF12)/SDRAM_A0(AF12)/ DVP_D3(AF13)/LTDC_B3(AF14)/ LTDC_G7(AF15)	UHSIF_PORT45_2/ UHSIF_PORT45_3
63	76	111	PE0	I/O	-	PE0	UHSIF_PORT46/LPTIM1_CH1(AF1)/ SDRAM_A3(AF0)/SDRAM_D30(AF3)/ USART5_TX(AF4)/USART4_RTS(AF7)/ LTDC_B4(AF9)/DVP_D0(AF11)/ FSMC_NE4(AF12)/TIM11_CH1(AF13)/ LTDC_B1(AF14)/LTDC_B3(AF15)	UHSIF_PORT46_2/ UHSIF_PORT46_3
64	77	112	PE1	I/O	-	PE1	UHSIF_PORT47/LPTIM1_OC(AF1)/ SDRAM_A4(AF0)/SDRAM_D31(AF3)/ USART5_CTS(AF4)/USART4_CTS(AF7)/ DVP_D1(AF11)/FSMC_A24(AF12)/ TIM11_CH2(AF13)/LTDC_R0(AF14)/ LTDC_B4(AF15)	UHSIF_PORT47_2/ UHSIF_PORT47_3
65	78	113	PF14	I/O	-	PF14	SDRAM_CLK(AF1)/PIOC_IO1(AF5)/ DVP_D5(AF11)/FSMC_NADV(AF12)/ LTDC_B5(AF15)	UHSIF_CLK_2
66	79	-	V_{IO18}	P	-	V_{IO18}		
-	-	114	V_{DDIO}	P	-	V_{DDIO}		
-	80	115	PB3	I/O	-	PB3	TIM2_CH2(AF1)/CC1(AF4)/	

引脚编号			引脚名称	引脚类型[1]	I/O特性[1]	主功能（复位后）	引脚功能[2]	重映射功能[3]
H417WEU6	H417MEU6	H417QEU6						
							SPI1_SCK(AF5)/SPI3_SCK(AF6)/I2S3_CK(AF6)/SDIO_D2(AF9)/USART8_RX(AF11)/FSMC_A1(AF12)/SDRAM_A1(AF12)/DVP_D5(AF13)/TIM12_ETR(AF14)	
–	81	116	PB4	I/O	–	PB4	TIM3_CH1(AF2)/CC2(AF4)/SPI1_MISO(AF5)/SPI3_MISO(AF6)/SPI2_NSS(AF7)/I2S2_WS(AF7)/SDIO_D3(AF9)/TIM4_ETR(AF10)/USART8_TX(AF11)/FSMC_A2(AF12)/SDRAM_A2(AF12)/USART7_CK(AF14)	
–	–	117	PB5	I/O	FT	PB5	TIM10_ETR(AF0)/TIM3_CH2(AF2)/LTDC_B5(AF3)/I2C1_SMBA(AF4)/SPI1_MOSI(AF5)/I2C4_SMBA(AF6)/SPI3_MOSI(AF7)/I2S3_SD(AF7)/I2S2_MCK(AF8)/CAN2_RX(AF9)/FSMC_D17(AF11)/SDRAM_D17(AF11)/SDRAM_CKE1(AF12)/DVP_D10(AF13)/USART7_RX(AF14)	
–	–	118	PB6	I/O	FT	PB6	TIM10_CH1(AF0)/FSMC_A5(AF1)/TIM4_CH1(AF2)/CAN1_RX(AF3)/I2C1_SCL(AF4)/I2S3_MCK(AF5)/I2C4_SCL(AF6)/USART1_TX(AF7)/CAN2_TX(AF9)/QSPI1_SCSN(AF10)/SDRAM_A5(AF11)/SDRAM_CS_N1(AF12)/DVP_D5(AF13)/USART7_TX(AF14)	
–	–	119	PB7	I/O	FT	PB7	TIM10_CH2(AF0)/TIM4_CH2(AF2)/CAN1_TX(AF3)/I2C1_SDA(AF4)/I2C4_SDA(AF6)/USART1_RX(AF7)/USART8_CK(AF10)/FSMC_NADV(AF12)/DVP_VSYNC(AF13)	
67	82	120	PB8	I/O/A	–	PB8	SWCLK/USBHS_DP/TIM10_CH3(AF1)/TIM4_CH3(AF2)/I2C1_SCL(AF4)/PIOC_IO0(AF5)/I2C4_SCL(AF6)/USART6_RX(AF8)/CAN1_RX(AF9)/SDIO_D4(AF10)/FSMC_A3(AF12)/SDRAM_A3(AF12)/DVP_D6(AF13)/LTDC_B6(AF14)	
68	83	121	PB9	I/O/A	–	PB9	SWIO/SWDIO/USBHS_DM/	

引脚编号			引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
H417WEU6	H417MEU6	H417QEU6						
							TIM10_CH4(AF1)/ TIM4_CH4(AF2)/SDRAM_DQM2(AF3)/ I2C1_SDA(AF4)/SPI2_NSS(AF5)/ I2S2_WS(AF5)/I2C4_SDA(AF6)/ PIOC_IO1(AF7)/USART6_TX(AF8)/ CAN1_TX(AF9)/SDIO_D5(AF10)/ I2C4_SMBA(AF11)/FSMC_A4(AF12)/ SDRAM_A4(AF12)/DVP_D7(AF13)/ LTDC_B7(AF14)	
–	–	122	V_{SS}	P	–	V_{SS}		
1	84	123	SSTXB(7)	USB3.0	–	SSTXB		
2	85	124	SSTXA(7)	USB3.0	–	SSTXA		
3	86	125	V_{DD12A}	P	–	V_{DD12A}		
4	87	126	SSRXB(7)	USB3.0	–	SSRXB		
5	88	127	SSRXA(7)	USB3.0	–	SSRXA		
–	–	128	V_{DD33}	P	–	V_{DD33}		

注 1：表格缩写解释：

I = TTL/CMOS电平斯密特输入；O = CMOS电平三态输出；A = 模拟信号输入或输出；P = 电源；FT = 耐受5V；USB3.0 = USB3.0信号；ETH = 以太网信号；SDP = SerDes PHY信号。

注2：I/O引脚通过一个复用器连接到板载外设/模块，该复用器一次仅允许一个外设的复用功能(AF)连接到I/O引脚。该复用器采用多达16路复用功能输入（AF0到AF15），可通过GPIOx_AFLR和GPIOx_AFHR寄存器对这些输入进行配置：复位后，复用器选择为复用功能0，即(AF0)。更多详细信息请参考《CH32H417RM》手册的复用功能I/O章节和调试设置章节。

注3：重映射功能下划线后的数值表示AFIO_PCFR1寄存器中相对应位的配置值。例如：UHSIF_CLK_1表示寄存器相应位配置为01b。

注4：V_{DD33}和V_{BAT}均可连接内部模拟开关为备份区域以及PC13、PC14和PC15引脚供电，这个模拟开关只能够通过有限的电流(3mA)。当由V_{DD33}供电时：PC14和PC15可用于GPIO或LSE引脚、PC13可作为通用I/O口、RTC校准时钟、RTC闹钟或秒输出；PC13、PC14和PC15作为GPIO输出脚时只能工作在2MHz模式下，最大驱动负载为30pF，并且不能作为电流源(如驱动LED)。而当由V_{BAT}供电时：PC14和PC15只能用于LSE引脚、PC13可作为RTC闹钟或秒输出。

注5：这些引脚在备份区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由后备域控制寄存器控制（这些寄存器不会被主复位系统所复位）。关于如何控制这些IO口的具体信息，请参考《CH32H417RM》手册的复位和时钟控制（RCC）章节。

注6：支持以太网引脚RX/TX收发识别和成对交换，支持引脚MDIRP/MDIRN正负识别和交换，支持引脚MDITP/MDITN正负识别和交换。

注7：USB3.0引脚信号支持正负识别和交换，PCB走线应该参考USB规范进行阻抗匹配，避免有过孔。SSRXA/SSRXB默认连接对方TXP/TXN，支持交叉连接TXN/TXP，SSTXA/SSTXB默认连接对方RXP/RXN，支持交叉连接RXN/RXP。

注8：SDMMC在使用单线或者四线模式时，未使用的数据线对应的GPIO引脚不能做复用输出使用，可用于复用输入，也可用于通用GPIO输出。

表 2-1-2 CH32H416 引脚定义

引脚编号 H416RDU6	引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
0	V_{SS}	P	–	V_{SS}		
1	V_{DDK}	P	–	V_{DDK}		
2	V_{DD33}	P	–	V_{DD33}	主 V_{DD33}	
3	PF6	I/O	FT	PF6	CAN3_RX(AF2)/SPI1_NSS(AF3)/ QSPI2_SCK(AF4)/I3C_SCL(AF5)/ SAI_SD_B(AF6)/USART8_RX(AF7)/ TIM10_CH3(AF9)/QSPI1_SIO3(AF10)/ TIM11_CH1(AF13)	
4	PF7	I/O	FT	PF7	CAN3_TX(AF2)/SPI1_SCK(AF3)/ QSPI2_SCSN(AF4)/I3C_SDA(AF5)/ SAI_MCLK_B(AF6)/USART8_TX(AF7)/ TIM10_CH4(AF9)/QSPI1_SIO2(AF10)/ TIM11_CH2(AF13)	
5	PF8	I/O	–	PF8	HSADC_IN4/SPI1_MOSI(AF3)/ QSPI2_SIO0(AF4)/SAI_SCK_B(AF6)/ USART8_RTS(AF7)/QSPI2_SIO0(AF8)/ TIM10_CH1(AF9)/TIM11_CH3(AF13) QSPI1_SIO0(AF10)	
6	PF9	I/O/A	–	PF9	HSADC_IN5/SPI1_MISO(AF3)/ QSPI2_SIO1(AF4)/SAI_FS_B(AF6)/ USART8_CTS(AF7)/TIM10_CH2(AF9)/ USART8_RTS(AF11)/ QSPI1_SIO1(AF10)/TIM11_CH4(AF13)	
7	PF10	I/O/A	–	PF10	HSADC_IN6/QSPI2_SIO2(AF4)/ USART8_CK(AF7)/TIM10_ETR(AF8)/ USART8_CTS(AF11)/DVP_D11(AF13)/ LTDC_DE(AF14)	
8	XI	I/A	–	XI		
9	XO	O/A	–	XO		
10	PC0	I/O/A	–	PC0	ADC_IN10/HSADC_IN0/ TIM8_BKIN(AF0)/ DFSDM_CKIN0(AF3)/PIOC_IO1(AF5)/ SAI_MCLK_A(AF7)/I2C2_SCL(AF9)/ QSPI2_SIO3(AF10)/LTDC_G2(AF11)/ LTDC_R5(AF14)	
11	PC1	I/O/A	–	PC1	ADC_IN11/HSADC_IN1/ TIM8_CH1N(AF0)/TIM5_CH1(AF2)/	

引脚编号 H416RDU6	引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
					DFSDM_DATIN0(AF3)/ SPI2_MOSI(AF5)/I2S2_SD(AF5)/ SAI_SD_A(AF7)/PIOC_IO0(AF7)/ I2C2_SDA(AF9)/QSPI2_SCSXN(AF10)/ SDIO_CK(AF11)/LTDC_G5(AF14)	
12	PC2	I/O/A	-	PC2	ADC_IN12/HSADC_IN2/OPA3_P0/ TIM8_CH2N(AF0)/TIM5_CH2(AF2)/ DFSDM_CKIN1(AF3)/SPI2_MISO(AF5)/ DFSDM_CKOUT(AF6)/SAI_SCK_A(AF7)/ PIOC_IO1(AF8)/I2C2_SMBA(AF9)/ QSPI2_SIOX0(AF10)	
13	PC3	I/O/A	-	PC3	ADC_IN13/HSADC_IN3/ OPA3_N0/TIM8_CH3N(AF0)/ TIM5_CH3(AF2)/DFSDM_DATIN1(AF3)/ SPI2_MOSI(AF5)/I2S2_SD(AF5)/ SAI_FS_A(AF7)/QSPI2_SIOX1(AF10)/	
14	V_{REFP}	P	-	V_{REFP}		
15	V_{DD33A}	P	-	V_{DD33A}		
16	PA0	I/O/A	-	PA0	ADC_IN0/OPA3_OUT0/ TIM2_CH1_ETR(AF1)/TIM5_CH1(AF2)/ TIM8_ETR(AF3)/QSPI2_SIOX2(AF4)/ PIOC_IO0(AF5)/TIM9_CH1(AF6)/ USART2_CTS(AF7)/USART6_TX(AF8)/ SDIO_CMD(AF9)/LTDC_R0(AF14)	
17	PA1	I/O/A	-	PA1	ADC_IN1/TIM2_CH2(AF1)/ TIM5_CH2(AF2)/QSPI2_SIOX3(AF4)/ TIM9_CH2(AF6)/USART2_RTS(AF7)/ USART6_RX(AF8)/QSPI1_SIO3(AF9)/ LTDC_R2(AF14)	
18	PA2	I/O/A	-	PA2	ADC_IN2/OPA3_P1/TIM2_CH3(AF1)/ TIM5_CH3(AF2)/USART6_CK(AF3)/ TIM9_CH3(AF4)/USART2_TX(AF7)/ LTDC_R1(AF14)	
19	PA3	I/O/A	-	PA3	ADC_IN3/OPA3_N1/TIM2_CH4(AF1)/ TIM5_CH4(AF2)/TIM9_CH4(AF4)/ USART2_RX(AF7)/TIM10_CH3(AF8)/ LTDC_B2(AF9)/LTDC_B5(AF14)	
20	PA4	I/O/A	-	PA4	ADC_IN4/DAC1_OUT/OPA3_OUT1/ TIM5_ETR(AF2)/TIM9_ETR(AF4)/	

引脚编号 H416RDU6	引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
					SPI1_NSS(AF5)/SPI3_NSS(AF6)/I2S3_WS(AF6)/USART2_CK(AF7)/TIM10_CH4(AF9)/DVP_HSYNC(AF13)/LTDC_VSYNC(AF14)	
21	PA5	I/O/A	-	PA5	ADC_IN5/DAC2_OUT/OPA1_OUT1/TIM2_CH1_ETR(AF1)/TIM1_BKIN2(AF2)/TIM8_CH1N(AF3)/SPI1_SCK(AF5)/TIM10_ETR(AF9)/DVP_VSYNC(AF11)/LTDC_R4(AF14)	
22	PA6	I/O/A	-	PA6	ADC_IN6/OPA1_P1/TIM1_BKIN(AF1)/TIM3_CH1(AF2)/TIM8_BKIN(AF3)/SPI1_MISO(AF5)/TIM10_CH1(AF9)/CMP_OUT(AF10)/LTDC_HSYNC(AF11)/DVP_PCLK(AF13)/LTDC_G2(AF14)	
23	PA7	I/O/A	-	PA7	ADC_IN7/OPA1_N1/TIM1_CH1N(AF1)/TIM3_CH2(AF2)/TIM8_CH1N(AF3)/SPI1_MOSI(AF5)/TIM10_CH2(AF9)/LTDC_VSYNC(AF14)/	
24	PC4	I/O/A	-	PC4	ADC_IN14/OPA1_OUT0/CMP_N1/CAN3_RX(AF6)/I3C_SCL(AF7)/LTDC_R7(AF14)	
25	PC5	I/O	-	PC5	ADC_IN15/CAN3_TX(AF6)/I3C_SDA(AF7)/CMP_OUT(AF13)/LTDC_DE(AF14)	
26	PB0	I/O/A	-	PB0	ADC_IN8/OPA1_P0/CMP_P0/MCO(AF0)/TIM1_CH2N(AF1)/TIM3_CH3(AF2)/TIM8_CH2N(AF3)/TIM5_CH4(AF4)/DFSDM_CKOUT(AF6)/USART6_CTS(AF8)/LTDC_R3(AF9)/TIM12_ETR(AF13)/LTDC_G1(AF14)	
27	PB1	I/O/A	-	PB1	ADC_IN9/OPA1_N0/OPA2_OUT1/CMP_N0/TIM1_CH3N(AF1)/TIM3_CH4(AF2)/TIM8_CH3N(AF3)/TIM12_CH1(AF5)/DFSDM_DATIN1(AF6)/LTDC_R6(AF9)/LTDC_G0(AF14)	
28	PF12	I/O/A	-	PF12	OPA2_N1/I2C4_SCL(AF2)/PIOC_IO0(AF3)/TIM12_CH3(AF13)	
29	PF13	I/O	-	PF13	I2C4_SDA(AF2)/PIOC_IO1(AF5)/	

引脚编号	引脚名称	引脚类型(1)	I/O特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
H416RDU6						
					DVP_PCLK(AF11)/TIM12_CH4(AF13)	
30	PE9	I/O/A	-	PE9	OPA2_P0/ TIM1_CH1(AF1)/DFSDM_CKOUT(AF3)/ SDIO_D1(AF8)/QSPI1_SIOX2(AF10)/	
31	PE15	I/O	-	PE15	TIM1_BKIN(AF1)/ TIM12_CH4(AF2)/I3C_SDA(AF3)/ QSPI2_SIO3(AF7)/SDIO_D7(AF8)/ USART5_CK(AF11)/CMP_OUT(AF13)/ LTDC_R7(AF14)	
32	V_{DD33}	P	-	V_{DD33}		
33	PD9	I/O	-	PD9	I3C_SCL(AF5)/USART3_RX(AF7)/	
34	PD10	I/O	-	PD10	DFSDM_CKOUT(AF3)/ LPTIM2_ETR(AF4)/I3C_SDA(AF5)/ USART3_CK(AF7)/LTDC_B3(AF14)	SDMMC_STR_1
35	PC6	I/O	-	PC6	SDMMC_D6(5)/TIM3_CH1(AF2)/ TIM8_CH1(AF3)/I2S2_MCK(AF5)/ USART4_TX(AF7)/SDIO_D6(AF9)/ SWPMI_IO(AF11)/DVP_D0(AF13)/ LTDC_HSYNC(AF14)	SDMMC_D6_1(5)
36	PC7	I/O	-	PC7	SDMMC_D7(5)/TIM3_CH2(AF2)/ TIM8_CH2(AF3)/I2S3_MCK(AF6)/ USART4_RX(AF7)/SDIO_D7(AF9)/ SWPMI_TX(AF11)/DVP_D1(AF13)/ LTDC_G6(AF14)	SDMMC_D7_1(5)
37	PC8	I/O	-	PC8	SDMMC_D0/TIM3_CH3(AF2)/ TIM8_CH3(AF3)/TIM9_ETR(AF6)/ USART4_CK(AF7)/USART7_RTS(AF8)/ SWPMI_RX(AF11)/DVP_D2(AF13)/ LTDC_G4(AF14)	
38	PC9	I/O	-	PC9	SDMMC_D1(5)/TIM3_CH4(AF2)/ TIM8_CH4(AF3)/I2C3_SDA(AF4)/ SPI3_MISO(AF5)/TIM9_CH1(AF6)/ USART7_CTS(AF8)/QSPI1_SIO0(AF9)/ LTDC_G3(AF10)/SWPMI_SUP(AF11)/ DVP_D3(AF13)/LTDC_B2(AF14)/ SAI_MCLK_B(AF15)	SDMMC_D1_1(5)
39	PA11	I/O/A	FT	PA11	OTG_DM/TIM1_CH4(AF1)/ USART3_CK(AF4)/SPI2_NSS(AF5)/ I2S2_WS(AF5)/USART6_RX(AF6)/	

引脚编号 H416RDU6	引脚名称	引脚类型[(1)]	I/O特性[(1)]	主功能（复位后）	引脚功能[(2)]	重映射功能[(3)]
					USART1_CTS(AF7)/CAN1_RX(AF9)/ LTDC_R4(AF14)	
40	PA12	I/O/A	FT	PA12	OTG_DP/TIM1_ETR(AF1)/ USART3_RTS(AF4)/SPI2_SCK(AF5)/ I2S2_CK(AF5)/USART6_TX(AF6)/ USART1_RTS(AF7)/CAN1_TX(AF9)/ TIM1_BKIN2(AF12)/LTDC_R5(AF14)/	
41	PA13	I/O	-	PA13	SPI3_MOSI(AF1)/I2S3_SD(AF1)/ USART3_TX(AF4)/CAN_RX(AF5)/ I2C3_SDA(AF7)/LTDC_B2(AF8)/ SAI_SD_B(AF13)/	
42	PA14	I/O	-	PA14	SDMMC_D4[(5)]/SPI3_SCK(AF1)/ I2S3_CK(AF1)/USART3_RX(AF4)/ CAN_TX(AF5)/I2C3_SCL(AF7)/ USART8_CK(AF11)/SAI_SCK_B(AF13)/ LTDC_B6(AF14)/LTDC_R0(AF15)	SDMMC_D4_1[(5)]
43	PA15	I/O	-	PA15	SDMMC_D5[(5)]/TIM2_CH1_ETR(AF1)/ USART3_CTS(AF4)/SPI1_NSS(AF5)/ SPI3_NSS(AF6)/I2S3_WS(AF6)/ I2C3_SMBA(AF7)/USART6_RTS(AF8)/ LTDC_R3(AF9)/LTDC_B4(AF10)/ USART8_TX(AF11)/SAI_FS_B(AF13)/ LTDC_B6(AF14)/LTDC_CLK(AF15)	SDMMC_D5_1[(5)]
44	PC10	I/O	-	PC10	SDMMC_D2[(5)]/TIM9_CH2(AF2)/ SPI3_SCK(AF6)/I2S3_CK(AF6)/ USART3_TX(AF7)/USART6_TX(AF8)/ QSPI1_SIO1(AF9)/LTDC_B1(AF10)/ SWPMI_RX(AF11)/DVP_D8(AF13)/ LTDC_R2(AF14)/LTDC_HSYNC （AF15)	SDMMC_STS_2/ SDMMC_STS_3/ SDMMC_CMD_2/ SDMMC_CMD_3
45	PC11	I/O	-	PC11	SDMMC_D3[(5)]/TIM9_CH4(AF2)/ SPI3_MISO(AF6)/USART3_RX(AF7)/ USART6_RX(AF8)/QSPI1_SCSXN(AF9)/ DVP_D4(AF13)/LTDC_B4(AF14)/ LTDC_VSYNC(AF15)	SDMMC_STR_2/ SDMMC_STR_3
46	PC12	I/O	-	PC12	SDMMC_SDCK/SDMMC_SLVCK/ TIM9_CH3(AF2)/SPI3_MOSI(AF6)/ I2S3_SD(AF6)/USART3_CK(AF7)/ USART7_TX(AF8)/DVP_D9(AF13)/ LTDC_R6(AF14)/LTDC_DE(AF15)	SDMMC_SDCK_2/ SDMMC_SDCK_3/ SDMMC_SLVCK_2/ SDMMC_SLVCK_3

引脚编号 H416RDU6	引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)	重映射功能(3)
47	PD2	I/O	-	PD2	SDMMC_STS/SDMMC_CMD/TIM3_ETR(AF2)/USART7_RX(AF8)/LTDC_B7(AF9)/DVP_D11(AF13)/LTDC_B2(AF14)/LTDC_R5(AF15)	SDMMC_D2_2(5)/SDMMC_D2_3(5)
48	PD3	I/O	-	PD3	SDMMC_STR/TIM11_CH1(AF2)/DFSDM_CKOUT(AF3)/SPI2_SCK(AF5)/I2S2_CK(AF5)/USART2_CTS(AF7)/USART6_CK(AF8)/TIM3_CH1(AF9)/DVP_D5(AF13)/LTDC_G7(AF14)/LTDC_R6(AF15)	SDMMC_D3_2(5)/SDMMC_D3_3(5)
49	PB3	I/O	-	PB3	TIM2_CH2(AF1)/CC1(AF4)/SPI1_SCK(AF5)/SPI3_SCK(AF6)/I2S3_CK(AF6)/SDIO_D2(AF9)/USART8_RX(AF11)/DVP_D5(AF13)/TIM12_ETR(AF14)	
50	PB4	I/O	-	PB4	TIM3_CH1(AF2)/CC2(AF4)/SPI1_MISO(AF5)/SPI3_MISO(AF6)/SPI2_NSS(AF7)/I2S2_WS(AF7)/SDIO_D3(AF9)/TIM4_ETR(AF10)/USART8_TX(AF11)/USART7_CK(AF14)	
51	PB5	I/O	FT	PB5	TIM10_ETR(AF0)/TIM3_CH2(AF2)/LTDC_B5(AF3)/I2C1_SMBA(AF4)/SPI1_MOSI(AF5)/I2C4_SMBA(AF6)/SPI3_MOSI(AF7)/I2S3_SD(AF7)/I2S2_MCK(AF8)/CAN2_RX(AF9)/DVP_D10(AF13)/USART7_RX(AF14)	
52	PB6	I/O	FT	PB6	TIM10_CH1(AF0)/FSMC_A5(AF1)/TIM4_CH1(AF2)/CAN1_RX(AF3)/I2C1_SCL(AF4)/I2S3_MCK(AF5)/I2C4_SCL(AF6)/USART1_TX(AF7)/CAN2_TX(AF9)/QSPI1_SCSN(AF10)/DVP_D5(AF13)/USART7_TX(AF14)	
53	PB7	I/O	FT	PB7	TIM10_CH2(AF0)/TIM4_CH2(AF2)/CAN1_TX(AF3)/I2C1_SDA(AF4)/I2C4_SDA(AF6)/USART1_RX(AF7)/USART8_CK(AF10)/DVP_VSYNC(AF13)	
54	PB8	I/O/A	-	PB8	SWCLK/USBHS_DP/TIM10_CH3(AF1)/TIM4_CH3(AF2)/I2C1_SCL(AF4)/PIOC_IO0(AF5)/I2C4_SCL(AF6)/	

引脚编号 H416RDU6	引脚名称	引脚类型[(1)]	I/O 特性[(1)]	主功能（复位后）	引脚功能[(2)]	重映射功能[(3)]
					USART6_RX(AF8)/CAN1_RX(AF9)/ SDIO_D4(AF10)/DVP_D6(AF13)/ LTDC_B6(AF14)	
55	PB9	I/O/A	–	PB9	SWIO/SWDIO/USBHS_DM/ TIM10_CH4(AF1)/TIM4_CH4(AF2)/ I2C1_SDA(AF4)/SPI2_NSS(AF5)/ I2S2_WS(AF5)/I2C4_SDA(AF6)/ PIOC_IO1(AF7)/USART6_TX(AF8)/ CAN1_TX(AF9)/SDIO_D5(AF10)/ I2C4_SMBA(AF11)/DVP_D7(AF13)/ LTDC_B7(AF14)	
56	SSTXB[(4)]	USB3.0	–	SSTXB		
57	SSTXA[(4)]	USB3.0	–	SSTXA		
58	V_{DD12A}	P	–	V_{DD12A}		
59	SSRXB[(4)]	USB3.0	–	SSRXB		
60	SSRXA[(4)]	USB3.0	–	SSRXA		

注 1：表格缩写解释：

I = TTL/CMOS电平斯密特输入；O = CMOS电平三态输出；A = 模拟信号输入或输出；

P = 电源；FT = 耐受5V。

注2：I/O引脚通过一个复用器连接到板载外设/模块，该复用器一次仅允许一个外设的复用功能(AF)连接到I/O引脚。该复用器采用多达16路复用功能输入(AF0到AF15)，可通过GPIOx_AFLR和GPIOx_AFHR寄存器对这些输入进行配置：复位后，复用器选择为复用功能0，即(AF0)。更多详细信息请参考《CH32H417RM》手册的复用功能I/O章节和调试设置章节。

注3：重映射功能下划线后的数值表示AFIO_PCFR1寄存器中相对应位的配置值。例如：SDMMC_STR_1表示寄存器相应位配置为01b。

注4：USB3.0引脚信号支持正负识别和交换，PCB走线应该参考USB规范进行阻抗匹配，避免有过孔。SSRXA/SSRXB默认连接对方TXP/TXN，支持交叉连接TXN/TXP，SSTXA/SSTXB默认连接对方RXP/RXN，支持交叉连接RXN/RXP。

注5：SDMMC在使用单线或者四线模式时，未使用的数据线对应的GPIO引脚不能做复用输出使用，可用于复用输入，也可用于通用GPIO输出。

表 2-1-3 CH32H415 引脚定义

引脚编号 H415REU6	引脚名称	引脚类型[(1)]	I/O 特性[(1)]	主功能（复位后）	引脚功能[(2)]
0	V_{SS}	P	–	V_{SS}	

引脚编号 H415REU6	引脚名称	引脚类型[(1)]	I/O 特性[(1)]	主功能（复位后）	引脚功能[(2)]
1	PE3	I/O	–	PE3	TIM8_CH1(AF0)/TIM4_CH1(AF2)/TIM12_CH1(AF3)/PIOC_IO0(AF5)/SAI_SD_B(AF6)/USART5_TX(AF11)/DVP_D3(AF13)
2	PE4	I/O	–	PE4	TIM8_CH2(AF0)/TIM4_CH2(AF2)/TIM12_CH2(AF3)/PIOC_IO1(AF4)/SPI4_NSS(AF5)/SAI_FS_A(AF6)/DVP_D4(AF13)/LTDC_B0(AF14)
3	PE5	I/O	–	PE5	TIM8_CH3(AF0)/TIM4_CH3(AF2)/TIM12_CH3(AF3)/TIM9_CH3(AF4)/SPI4_MISO(AF5)/SAI_SCK_A(AF6)/DVP_D6(AF13)/LTDC_G0(AF14)
4	PE6	I/O	–	PE6	TIM8_CH4(AF0)/TIM1_BKIN2(AF1)/TIM4_CH4(AF2)/TIM12_CH4(AF3)/TIM9_CH4(AF4)/SPI4_MOSI(AF5)/SAI_SD_A(AF6)/USART8_CK(AF8)/CMP_OUT(AF11)/DVP_D7(AF13)/LTDC_G1(AF14)
5	V_{DDK}	P	–	V_{DDK}	
6	V_{DD33}	P	–	V_{DD33}	主 V_{DD33}
7	XI	I/A	–	XI	
8	XO	O/A	–	XO	
9	PC0	I/O/A	–	PC0	ADC_IN10/HSADC_IN0/TIM8_BKIN(AF0)/DFSDM_CKIN0(AF3)/PIOC_IO1(AF5)/SAI_MCLK_A(AF7)/I2C2_SCL(AF9)/QSPI2_SIO3(AF10)/LTDC_G2(AF11)/LTDC_R5(AF14)/
10	PC1	I/O/A	–	PC1	ADC_IN11/HSADC_IN1/TIM8_CH1N(AF0)/TIM5_CH1(AF2)/DFSDM_DATIN0(AF3)/SPI2_MOSI(AF5)/I2S2_SD(AF5)/SAI_SD_A(AF7)/PIOC_IO0(AF7)/I2C2_SDA(AF9)/QSPI2_SCSXN(AF10)/SDIO_CK(AF11)/LTDC_G5(AF14)/
11	PC2	I/O/A	–	PC2	ADC_IN12/HSADC_IN2/OPA3_P0/TIM8_CH2N(AF0)/TIM5_CH2(AF2)/DFSDM_CKIN1(AF3)/SPI2_MISO(AF5)/DFSDM_CKOUT(AF6)/SAI_SCK_A(AF7)/

引脚编号 H415REU6	引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)
					PIOC_IO1(AF8)/I2C2_SMBA(AF9)/ QSPI2_SIOX0(AF10)
12	PC3	I/O/A	-	PC3	ADC_IN13/HSADC_IN3/ OPA3_N0/TIM8_CH3N(AF0)/ TIM5_CH3(AF2)/DFSDM_DATIN1(AF3)/ SPI2_MOSI(AF5)/I2S2_SD(AF5)/ SAI_FS_A(AF7)/QSPI2_SIOX1(AF10)
13	V_{DD33A}	P	-	V_{DD33A}	
14	PA0	I/O/A	-	PA0	ADC_IN0/OPA3_OUT0/ TIM2_CH1_ETR(AF1)/TIM5_CH1(AF2)/ TIM8_ETR(AF3)/QSPI2_SIOX2(AF4)/ PIOC_IO0(AF5)/TIM9_CH1(AF6)/ USART2_CTS(AF7)/USART6_TX(AF8)/ SDIO_CMD(AF9)/LTDC_R0(AF14)/
15	PA1	I/O/A	-	PA1	ADC_IN1/TIM2_CH2(AF1)/ TIM5_CH2(AF2)/QSPI2_SIOX3(AF4)/ TIM9_CH2(AF6)/USART2_RTS(AF7)/ USART6_RX(AF8)/QSPI1_SIO3(AF9)/ LTDC_R2(AF14)
16	PA2	I/O/A	-	PA2	ADC_IN2/OPA3_P1/TIM2_CH3(AF1)/ TIM5_CH3(AF2)/USART6_CK(AF3)/ TIM9_CH3(AF4)/USART2_TX(AF7)/ LTDC_R1(AF14)
17	PA3	I/O/A	-	PA3	ADC_IN3/OPA3_N1/TIM2_CH4(AF1)/ TIM5_CH4(AF2)/TIM9_CH4(AF4)/ USART2_RX(AF7)/TIM10_CH3(AF8)/ LTDC_B2(AF9)/LTDC_B5(AF14)
18	PA4	I/O/A	-	PA4	ADC_IN4/DAC1_OUT/OPA3_OUT1/ TIM5_ETR(AF2)/TIM9_ETR(AF4)/ SPI1_NSS(AF5)/SPI3_NSS(AF6)/ I2S3_WS(AF6)/USART2_CK(AF7)/ TIM10_CH4(AF9)/DVP_HSYNC(AF13)/ LTDC_VSYNC(AF14)
19	PA5	I/O/A	-	PA5	ADC_IN5/DAC2_OUT/OPA1_OUT1/ TIM2_CH1_ETR(AF1)/TIM1_BKIN2(AF2)/ TIM8_CH1N(AF3)/SPI1_SCK(AF5)/ TIM10_ETR(AF9)/DVP_VSYNC(AF11)/ LTDC_R4(AF14)
20	PA6	I/O/A	-	PA6	ADC_IN6/OPA1_P1/TIM1_BKIN(AF1)/

引脚编号 H415REU6	引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]
					TIM3_CH1(AF2)/TIM8_BKIN(AF3)/ SPI1_MISO(AF5)/TIM10_CH1(AF9)/ CMP_OUT(AF10)/LTDC_HSYNC(AF11)/ DVP_PCLK(AF13)/LTDC_G2(AF14)
21	PA7	I/O/A	-	PA7	ADC_IN7/OPA1_N1/TIM1_CH1N(AF1)/ TIM3_CH2(AF2)/TIM8_CH1N(AF3)/ SPI1_MOSI(AF5)/TIM10_CH2(AF9)/ LTDC_VSYNC(AF14)/
22	PC4	I/O/A	-	PC4	ADC_IN14/OPA1_OUT0/CMP_N1/ CAN3_RX(AF6)/I3C_SCL(AF7)/ LTDC_R7(AF14)
23	PB0	I/O/A	-	PB0	ADC_IN8/OPA1_P0/CMP_P0/MCO(AF0)/ TIM1_CH2N(AF1)/TIM3_CH3(AF2)/ TIM8_CH2N(AF3)/TIM5_CH4(AF4)/ DFSDM_CKOUT(AF6)/USART6_CTS(AF8)/ LTDC_R3(AF9)/TIM12_ETR(AF13)/ LTDC_G1(AF14)
24	PB1	I/O/A	-	PB1	ADC_IN9/OPA1_N0/CMP_N0/ TIM1_CH3N(AF1)/TIM3_CH4(AF2)/ TIM8_CH3N(AF3)/TIM12_CH1(AF5)/ DFSDM_DATIN1(AF6)/LTDC_R6(AF9)/ LTDC_G0(AF14)
25	PE11	I/O	-	PE11	TIM1_CH2(AF1)/SPI4_NSS(AF5)/ QSPI2_SCSN(AF7)/SDIO_D3(AF8)/ LTDC_G3(AF14)
26	PE12	I/O	-	PE12	TIM1_CH3N(AF1)/SPI4_SCK(AF5)/ QSPI2_SIO0(AF7)/SDIO_D4(AF8)/ CMP_OUT(AF13)/LTDC_B4(AF14)/
27	PE13	I/O	-	PE13	TIM1_CH3(AF1)/ TIM12_CH2(AF2)/SPI4_MISO(AF5)/ QSPI2_SIO1(AF7)/SDIO_D5(AF8)/ LTDC_DE(AF14)/
28	PE14	I/O	-	PE14	TIM1_CH4(AF1)/TIM12_CH3(AF2)/ I3C_SCL(AF3)/SPI4_MOSI(AF5)/ QSPI2_SIO2(AF7)/SDIO_D6(AF8)/ LTDC_CLK(AF13)
29	PE15[3]	I/O	-	PE15	TIM1_BKIN(AF1)/TIM12_CH4(AF2)/ I3C_SDA(AF3)/QSPI2_SIO3(AF7)/ SDIO_D7(AF8)/USART5_CK(AF11)/

引脚编号 H415REU6	引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)
					CMP_OUT(AF13)/LTDC_R7(AF14)/
	PB10(3)	I/O	-	PB10	TIM2_CH3(AF1)/TIM9_CH2(AF2)/ LPTIM2_CH1(AF3)/I2C2_SCL(AF4)/ SPI2_SCK(AF5)/I2S2_CK(AF5)/ USART3_TX(AF7)/SDIO_CMD(AF8)/ USART6_CK(AF9)/QSPI2_SCSXN(AF11)/ LTDC_G4(AF14)
30	PB11	I/O	-	PB11	TIM2_CH4(AF1)/LPTIM2_ETR(AF3)/ I2C2_SDA(AF4)/USART3_RX(AF7)/ SDIO_CK(AF8)/TIM9_CH4(AF9)/ QSPI2_SIOX0(AF11)/LTDC_G5(AF14)
31	V_{DD33}	P	-	V_{DD33}	
32	PB12	I/O	-	PB12	TIM1_BKIN(AF1)/TIM8_BKIN(AF2)/ I2C2_SMBA(AF4)/SPI2_NSS(AF5)/ I2S2_WS(AF5)/DFSDM_DATIN1(AF6)/ USART3_CK(AF7)/TIM9_CH3(AF8)/ CAN2_RX(AF9)/LTDC_VSYNC(AF10)/ QSPI2_SIOX1(AF11)/ CMP_OUT(AF13)/USART7_RX(AF14)/ DVP_PCLK(AF15)
33	PB13	I/O	-	PB13	TIM1_CH1N(AF1)/TIM8_BKIN2(AF2)/ LPTIM2_OC(AF3)/TIM9_ETR(AF4)/ SPI2_SCK(AF5)/I2S2_CK(AF5)/ DFSDM_CKIN1(AF6)/ USART3_CTS(AF7)/DVP_HSYNC(AF8)/ CAN2_TX(AF9)/QSPI2_SIOX0(AF11)/ DVP_D2(AF13)/USART7_TX(AF14)/
34	PB14	I/O	-	PB14	TIM1_CH2N(AF1)/TIM9_CH1(AF2)/ TIM8_CH2N(AF3)/USART1_TX(AF4)/ SPI2_MISO(AF5)/LTDC_G0(AF6)/ USART3_RTS(AF7)/USART6_RTS(AF8)/ SDIO_D0(AF9)/QSPI2_SIOX1(AF11)/ USART7_CK(AF13)/LTDC_CLK(AF14)/ DVP_VSYNC(AF15)
35	PB15	I/O	FT	PB15	TIM1_CH3N(AF1)/TIM9_CH2(AF2)/ TIM8_CH3N(AF3)/USART1_RX(AF4)/ SPI2_MOSI(AF5)/I2S2_SD(AF5)/ USART6_CTS(AF8)/SDIO_D1(AF9)/ LTDC_G7(AF14)

引脚编号 H415REU6	引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]
36	PC6	I/O	-	PC6	TIM3_CH1(AF2)/TIM8_CH1(AF3)/ I2S2_MCK(AF5)/USART4_TX(AF7)/ SDIO_D6(AF9)/SWPMI_IO(AF11)/ DVP_D0(AF13)/LTDC_HSYNC(AF14)
37	PC7	I/O	-	PC7	TIM3_CH2(AF2)/TIM8_CH2(AF3)/ I2S3_MCK(AF6)/USART4_RX(AF7)/ SDIO_D7(AF9)/SWPMI_TX(AF11)/ DVP_D1(AF13)/LTDC_G6(AF14)
38	PC8	I/O	-	PC8	TIM3_CH3(AF2)/TIM8_CH3(AF3)/ TIM9_ETR(AF6)/USART4_CK(AF7)/ USART7_RTS(AF8)/SWPMI_RX(AF11)/ DVP_D2(AF13)/LTDC_G4(AF14)
39	PC9	I/O	-	PC9	TIM3_CH4(AF2)/TIM8_CH4(AF3)/ I2C3_SDA(AF4)/SPI3_MISO(AF5)/ TIM9_CH1(AF6)/USART7_CTS(AF8)/ QSPI1_SIO0(AF9)/LTDC_G3(AF10)/ SWPMI_SUP(AF11)/DVP_D3(AF13)/ LTDC_B2(AF14)/SAI_MCLK_B(AF15)
40	PA9	I/O/A	FT	PA9	OTG_VBUS/TIM1_CH2(AF1)/ I2C3_SMBA(AF4)/SPI2_SCK(AF5)/ I2S2_CK(AF5)/USART1_TX(AF7)/ DVP_D0(AF13)/LTDC_R5(AF14)
41	PA10	I/O/A	FT	PA10	OTG_ID/TIM1_CH3(AF1)/ USART6_CK(AF6)/USART1_RX(AF7)/ LTDC_B4(AF12)/DVP_D1(AF13)/ LTDC_B1(AF14)
42	PA11	I/O/A	FT	PA11	OTG_DM/TIM1_CH4(AF1)/ USART3_CK(AF4)/SPI2_NSS(AF5)/ I2S2_WS(AF5)/USART6_RX(AF6)/ USART1_CTS(AF7)/CAN1_RX(AF9)/ LTDC_R4(AF14)
43	PA12	I/O/A	FT	PA12	OTG_DP/TIM1_ETR(AF1)/ USART3_RTS(AF4)/SPI2_SCK(AF5)/ I2S2_CK(AF5)/USART6_TX(AF6)/ USART1_RTS(AF7)/CAN1_TX(AF9)/ TIM1_BKIN2(AF12)/LTDC_R5(AF14)
44	PA13	I/O	-	PA13	SPI3_MOSI(AF1)/I2S3_SD(AF1)/ USART3_TX(AF4)/CAN_RX(AF5)/ I2C3_SDA(AF7)/LTDC_B2(AF8)/

引脚编号 H415REU6	引脚名称	引脚类型[(1)]	I/O 特性[(1)]	主功能（复位后）	引脚功能[(2)]
					SAI_SD_B(AF13)
45	PA14	I/O	-	PA14	SPI3_SCK(AF1)/I2S3_CK(AF1)/USART3_RX(AF4)/CAN_TX(AF5)/I2C3_SCL(AF7)/USART8_CK(AF11)/SAI_SCK_B(AF13)/LTDC_B6(AF14)/LTDC_R0(AF15)
46	PA15	I/O	-	PA15	TIM2_CH1_ETR(AF1)/USART3_CTS(AF4)/SPI1_NSS(AF5)/SPI3_NSS(AF6)/I2S3_WS(AF6)/I2C3_SMBA(AF7)/USART6_RTS(AF8)/LTDC_R3(AF9)/LTDC_B4(AF10)/USART8_TX(AF11)/SAI_FS_B(AF13)/LTDC_B6(AF14)/LTDC_CLK(AF15)
47	PC10	I/O	-	PC10	TIM9_CH2(AF2)/SPI3_SCK(AF6)/I2S3_CK(AF6)/USART3_TX(AF7)/USART6_TX(AF8)/QSPI1_SIO1(AF9)/LTDC_B1(AF10)/SWPMI_RX(AF11)/DVP_D8(AF13)/LTDC_R2(AF14)/LTDC_HSYNC（AF15）
48	PC11	I/O	-	PC11	TIM9_CH4(AF2)/SPI3_MISO(AF6)/USART3_RX(AF7)/USART6_RX(AF8)/QSPI1_SCSXN(AF9)/DVP_D4(AF13)/LTDC_B4(AF14)/LTDC_VSYNC(AF15)
49	PC12	I/O	-	PC12	TIM9_CH3(AF2)/SPI3_MOSI(AF6)/I2S3_SD(AF6)/USART3_CK(AF7)/USART7_TX(AF8)/DVP_D9(AF13)/LTDC_R6(AF14)/LTDC_DE(AF15)
50	PD3	I/O	-	PD3	TIM11_CH1(AF2)/DFSDM_CKOUT(AF3)/SPI2_SCK(AF5)/I2S2_CK(AF5)/USART2_CTS(AF7)/USART6_CK(AF8)/TIM3_CH1(AF9)/DVP_D5(AF13)/LTDC_G7(AF14)/LTDC_R6(AF15)
51	PF3	I/O	-	PF3	CAN3_TX(AF2)/SPI1_MISO(AF5)/USART4_RX(AF7)/QSPI1_SIOX2(AF9)/DVP_D9(AF11)/DVP_VSYNC(AF13)/LTDC_B0(AF14)/LTDC_G5(AF15)/
52	PF4	I/O	-	PF4	LPTIM1_ETR(AF1)/CAN3_RX(AF2)/SPI1_NSS(AF5)/USART4_TX(AF7)/

引脚编号 H415REU6	引脚名称	引脚类型(1)	I/O 特性(1)	主功能（复位后）	引脚功能(2)
					LTDC_G3(AF9)/DVP_D8(AF11)/ DVP_D2(AF13)/LTDC_B2(AF14)/ LTDC_G6(AF15)
53	PF5	I/O	-	PF5	LPTIM1_CH2(AF1)/USART5_RX(AF4)/ SPI1_SCK(AF5)/QSPI1_SIOX3(AF9)/ DVP_D3(AF13)/LTDC_B3(AF14)/ LTDC_G7(AF15)
54	PE0	I/O	-	PE0	LPTIM1_CH1(AF1)/USART5_TX(AF4)/ USART4_RTS(AF7)/LTDC_B4(AF9)/ DVP_D0(AF11)/TIM11_CH1(AF13)/ LTDC_B1(AF14)/LTDC_B3(AF15)
55	PB3	I/O	-	PB3	TIM2_CH2(AF1)/CC1(AF4)/ SPI1_SCK(AF5)/SPI3_SCK(AF6)/ I2S3_CK(AF6)/SDIO_D2(AF9)/ USART8_RX(AF11)/DVP_D5(AF13)/ TIM12_ETR(AF14)
56	PB4	I/O	-	PB4	TIM3_CH1(AF2)/CC2(AF4)/ SPI1_MISO(AF5)/SPI3_MISO(AF6)/ SPI2_NSS(AF7)/I2S2_WS(AF7)/ SDIO_D3(AF9)/TIM4_ETR(AF10)/ USART8_TX(AF11)/USART7_CK(AF14)
57	PB6	I/O	FT	PB6	TIM10_CH1(AF0)/TIM4_CH1(AF2)/ CAN1_RX(AF3)/I2C1_SCL(AF4)/ I2S3_MCK(AF5)/I2C4_SCL(AF6)/ USART1_TX(AF7)/CAN2_TX(AF9)/ QSPI1_SCSN(AF10)/DVP_D5(AF13)/ USART7_TX(AF14)
58	PB7	I/O	FT	PB7	TIM10_CH2(AF0)/TIM4_CH2(AF2)/ CAN1_TX(AF3)/I2C1_SDA(AF4)/ I2C4_SDA(AF6)/USART1_RX(AF7)/ USART8_CK(AF10)/DVP_VSYNC(AF13)
59	PB8	I/O/A	-	PB8	SWCLK/USBHS_DP/TIM10_CH3(AF1)/ TIM4_CH3(AF2)/I2C1_SCL(AF4)/ PIOC_IO0(AF5)/I2C4_SCL(AF6)/ USART6_RX(AF8)/CAN1_RX(AF9)/ SDIO_D4(AF10)/DVP_D6(AF13)/ LTDC_B6(AF14)
60	PB9	I/O/A	-	PB9	SWIO/SWDIO/USBHS_DM/ TIM10_CH4(AF1)/TIM4_CH4(AF2)/

引脚编号 H415REU6	引脚名称	引脚类型[1]	I/O 特性[1]	主功能（复位后）	引脚功能[2]
					I2C1_SDA(AF4)/SPI2_NSS(AF5)/ I2S2_WS(AF5)/I2C4_SDA(AF6)/ PIOC_IO1(AF7)/USART6_TX(AF8)/ CAN1_TX(AF9)/SDIO_D5(AF10)/ I2C4_SMBA(AF11)/DVP_D7(AF13)/ LTDC_B7(AF14)

注 1：表格缩写解释：

I = TTL/CMOS电平斯密特输入；O = CMOS电平三态输出；A = 模拟信号输入或输出；

P = 电源；FT = 耐受5V。

注2：I/O引脚通过一个复用器连接到板载外设/模块，该复用器一次仅允许一个外设的复用功能(AF)连接到I/O引脚。该复用器采用多达16路复用功能输入（AF0到AF15），可通过GPIOx_AFLR和GPIOx_AFHR寄存器对这些输入进行配置：复位后，复用器选择为复用功能0，即(AF0)。更多详细信息请参考《CH32H417RM》手册的复用功能I/O章节和调试设置章节。

注3：对于CH32H415REU6芯片，PB10和PE15引脚在芯片内部短接合封，禁止将两个IO均配置为输出功能。

2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

注：1.引脚通过复用器配置为复用输入时，同一外设的可选引脚存在优先级（下述各表格中同一行的可选引脚按优先级由高到低排列）。当选择低优先级引脚作为某外设的复用输入时，同一外设的高优先级引脚不得同时配置为该外设的复用功能。例：PE9(AF1)、PA8(AF1)同为 TIM1_CH1 功能可选引脚，PE9 引脚优先级较高。如使用 PA8 引脚作为 TIM1_CH1，PE9 引脚应避免配置为 AF1。

2.端口引脚复用功能默认配置为 AF0。

表 2-2-1 ADC 引脚功能

ADC 功能	默认引脚
ADC_IN0	PA0
ADC_IN1	PA1
ADC_IN2	PA2
ADC_IN3	PA3
ADC_IN4	PA4
ADC_IN5	PA5
ADC_IN6	PA6
ADC_IN7	PA7
ADC_IN8	PB0
ADC_IN9	PB1
ADC_IN10	PC0
ADC_IN11	PC1
ADC_IN12	PC2
ADC_IN13	PC3
ADC_IN14	PC4
ADC_IN15	PC5
ADC_IN16	温度传感器
ADC_IN17	内部参考电压 V_{REFINT}

表 2-2-2 HSADC 引脚功能

HSADC 功能	默认引脚
HSADC_IN0	PC0
HSADC_IN1	PC1
HSADC_IN2	PC2
HSADC_IN3	PC3
HSADC_IN4	PF8
HSADC_IN5	PF9
HSADC_IN6	PF10

表 2-2-3 DAC 引脚功能

DAC1 功能	默认引脚
DAC1_OUT	PA4
DAC2 功能	默认引脚
DAC2_OUT	PA5

表 2-2-4 TIM 引脚功能

TIM1 功能	可选引脚
TIM1_ETR	PE7(AF1)、PA12(AF1)
TIM1_CH1	PE9(AF1)、PA8(AF1)
TIM1_CH2	PE11(AF1)、PA9(AF1)
TIM1_CH3	PE13(AF1)、PA10(AF1)
TIM1_CH4	PE14(AF1)、PA11(AF1)
TIM1_CH1N	PE8(AF1)、PA7(AF1)、PB13(AF1)
TIM1_CH2N	PE10(AF1)、PB0(AF1)、PB14(AF1)
TIM1_CH3N	PE12(AF1)、PB1(AF1)、PB15(AF1)
TIM1_BKIN	PE15(AF1)、PA6(AF1)、PB12(AF1)
TIM1_BKIN2	PE6(AF1)、PA5(AF2)、PA12(AF12)
TIM8 功能	可选引脚
TIM8_ETR	PA0(AF3)、PF2(AF3)
TIM8_CH1	PC6(AF3)、PE3(AF0)
TIM8_CH2	PC7(AF3)、PE4(AF0)
TIM8_CH3	PC8(AF3)、PE5(AF0)
TIM8_CH4	PC9(AF3)、PE6(AF0)
TIM8_CH1N	PA7(AF3)、PA5(AF3)、PC1(AF0)
TIM8_CH2N	PB0(AF3)、PB14(AF3)、PC2(AF0)
TIM8_CH3N	PB1(AF3)、PB15(AF3)、PC3(AF0)
TIM8_BKIN	PA6(AF3)、PB12(AF2)、PC0(AF0)
TIM8_BKIN2	PA8(AF3)、PB13(AF2)
TIM2 功能	可选引脚
TIM2_CH1_ETR	PA0(AF1)、PA5(AF1)、PA15(AF1)
TIM2_CH2	PA1(AF1)、PB3(AF1)
TIM2_CH3	PA2(AF1)、PB10(AF1)
TIM2_CH4	PA3(AF1)、PB11(AF1)
TIM3 功能	可选引脚
TIM3_ETR	PD2(AF2)
TIM3_CH1	PA6(AF2)、PB4(AF2)、PC6(AF2)、PD3(AF9)

TIM3_CH2	PA7(AF2)、PB5(AF2)、PC7(AF2)、PD4(AF9)
TIM3_CH3	PB0(AF2)、PC8(AF2)、PD5(AF9)
TIM3_CH4	PB1(AF2)、PC9(AF2)、PD6(AF9)
TIM4 功能	可选引脚
TIM4_ETR	PB4(AF10)
TIM4_CH1	PB6(AF2)、PD12(AF2)、PE3(AF2)
TIM4_CH2	PB7(AF2)、PD13(AF2)、PE4(AF2)
TIM4_CH3	PB8(AF2)、PD14(AF2)、PE5(AF2)
TIM4_CH4	PB9(AF2)、PD15(AF2)、PE6(AF2)
TIM5 功能	可选引脚
TIM5_ETR	PA4(AF2)、PD11(AF6)
TIM5_CH1	PA0(AF2)、PD12(AF6)、PC1(AF2)
TIM5_CH2	PA1(AF2)、PD13(AF6)、PC2(AF2)
TIM5_CH3	PA2(AF2)、PD14(AF6)、PC3(AF2)
TIM5_CH4	PA3(AF2)、PD15(AF6)、PB0(AF4)
TIM9 功能	可选引脚
TIM9_ETR	PB13(AF4)、PA4(AF4)、PC8(AF6)
TIM9_CH1	PB14(AF2)、PA0(AF6)、PC9(AF6)
TIM9_CH2	PB15(AF2)、PA1(AF6)、PC10(AF2)、PB10(AF2)
TIM9_CH3	PE5(AF4)、PA2(AF4)、PC12(AF2)、PB12(AF8)
TIM9_CH4	PE6(AF4)、PA3(AF4)、PC11(AF2)、PB11(AF9)
TIM10 功能	可选引脚
TIM10_ETR	PF10(AF8)、PA5(AF9)、PB5(AF0)
TIM10_CH1	PF8(AF9)、PA6(AF9)、PB6(AF0)
TIM10_CH2	PF9(AF9)、PA7(AF9)、PB7(AF0)
TIM10_CH3	PF6(AF9)、PA3(AF8)、PB8(AF1)
TIM10_CH4	PF7(AF9)、PA4(AF9)、PB9(AF1)
TIM11 功能	可选引脚
TIM11_ETR	PB2(AF13)、PD5(AF13)
TIM11_CH1	PD3(AF2)、PF6(AF13)、PE0(AF13)
TIM11_CH2	PD4(AF2)、PF7(AF13)、PE1(AF13)
TIM11_CH3	PD5(AF2)、PF8(AF13)、PD7(AF13)
TIM11_CH4	PD6(AF2)、PF9(AF13)
TIM12 功能	可选引脚
TIM12_ETR	PB0(AF13)、PB3(AF14)
TIM12_CH1	PB1(AF5)、PE3(AF3)
TIM12_CH2	PB2(AF5)、PE4(AF3)、PE13(AF2)

TIM12_CH3	PF12(AF13)、PE5(AF3)、PE14(AF2)
TIM12_CH4	PF13(AF13)、PE6(AF3)、PE15(AF2)

表 2-2-5 LPTIM 引脚功能

LPTIM1 功能	可选引脚
LPTIM1_ETR	PF4(AF1)、PD11(AF1)
LPTIM1_CH1	PE0(AF1)、PD12(AF1)
LPTIM1_CH2	PF5(AF1)、PD14(AF1)
LPTIM1_OC	PE1(AF1)、PD13(AF1)
LPTIM2 功能	可选引脚
LPTIM2_ETR	PB11(AF3)、PD10(AF4)
LPTIM2_CH1	PB10(AF3)、PD12(AF3)
LPTIM2_CH2	PD11(AF3)、PB12(AF13)
LPTIM2_OC	PB13(AF3)

表 2-2-6 I2C 引脚功能

I2C1 功能	可选引脚
I2C1_SCL	PB6(AF4)、PB8(AF4)
I2C1_SDA	PB7(AF4)、PB9(AF4)
I2C1_SMBA	PB5(AF4)
I2C2 功能	可选引脚
I2C2_SCL	PC0(AF9)、PB10(AF4)
I2C2_SDA	PC1(AF9)、PB11(AF4)
I2C2_SMBA	PC2(AF9)、PB12(AF4)
I2C3 功能	可选引脚
I2C3_SCL	PA8(AF4)、PA14(AF7)
I2C3_SDA	PC9(AF4)、PA13(AF7)
I2C3_SMBA	PA9(AF4)、PA15(AF7)
I2C4 功能	可选引脚
I2C4_SCL	PD12(AF4)、PF12(AF2)、PB6(AF6)、PB8(AF6)
I2C4_SDA	PD13(AF4)、PF13(AF2)、PB7(AF6)、PB9(AF6)
I2C4_SMBA	PD11(AF4)、PF11(AF2)、PB5(AF6)、PB9(AF11)

表 2-2-7 I3C 引脚功能

I3C 功能	可选引脚
I3C_SCL	PE14(AF3)、PC4(AF7)、PD9(AF5)、PF6(AF5)
I3C_SDA	PE15(AF3)、PC5(AF7)、PD10(AF5)、PF7(AF5)

表 2-2-8 SPI 和 I2S 引脚功能

SPI1 功能	可选引脚
SPI1_NSS	PA4(AF5)、PA15(AF5)、PF4(AF5)、PF6(AF3)
SPI1_SCK	PA5(AF5)、PB3(AF5)、PF5(AF5)、PF7(AF3)
SPI1_MOSI	PA7(AF5)、PB5(AF5)、PD7(AF5)、PF8(AF3)
SPI1_MISO	PA6(AF5)、PB4(AF5)、PF3(AF5)、PF9(AF3)
SPI2/I2S2 功能	可选引脚
I2S2_MCK	PC6(AF5)、PB5(AF8)
SPI2_NSS/I2S2_WS	PB12(AF5)、PB9(AF5)、PA11(AF5)、PB4(AF7)
SPI2_SCK/I2S2_CK	PB13(AF5)、PB10(AF5)、PA9(AF5)、PA12(AF5)、PD3(AF5)
SPI2_MOSI/I2S2_SD	PB15(AF5)、PC1(AF5)、PC3(AF5)
SPI2_MISO	PB14(AF5)、PC2(AF5)
SPI3/I2S3 功能	可选引脚
I2S3_MCK	PC7(AF6)、PB6(AF5)
SPI3_NSS/I2S3_WS	PA4(AF6)、PA15(AF6)
SPI3_SCK/I2S3_CK	PB3(AF6)、PC10(AF6)、PA14(AF1)
SPI3_MOSI/I2S3_SD	PB2(AF7)、PB5(AF7)、PC12(AF6)、PD6(AF5)、PA13(AF1)
SPI3_MISO	PB4(AF6)、PC11(AF6)、PC9(AF5)
SPI4 功能	可选引脚
SPI4_NSS	PE4(AF5)、PE11(AF5)
SPI4_SCK	PE2(AF5)、PE12(AF5)
SPI4_MOSI	PE6(AF5)、PE14(AF5)
SPI4_MISO	PE5(AF5)、PE13(AF5)

表 2-2-9 USART 引脚功能

USART1 功能	可选引脚
USART1_CK	PA8(AF7)、PD11(AF14)
USART1_RX	PA10(AF7)、PB7(AF7)、PB15(AF4)、PD12(AF14)
USART1_TX	PA9(AF7)、PB6(AF7)、PB14(AF4)、PD13(AF14)
USART1_RTS	PA12(AF7)、PD14(AF14)
USART1_CTS	PA11(AF7)、PD15(AF14)
USART2 功能	可选引脚
USART2_CK	PA4(AF7)、PD7(AF7)
USART2_RX	PA3(AF7)、PD6(AF7)
USART2_TX	PA2(AF7)、PD5(AF7)
USART2_RTS	PA1(AF7)、PD4(AF7)
USART2_CTS	PA0(AF7)、PD3(AF7)
USART3 功能	可选引脚

USART3_CK	PB12(AF7)、PC12(AF7)、PD10(AF7)、PA11(AF4)
USART3_RX	PB11(AF7)、PC11(AF7)、PD9(AF7)、PA14(AF4)
USART3_TX	PB10(AF7)、PC10(AF7)、PD8(AF7)、PA13(AF4)
USART3_RTS	PB14(AF7)、PD12(AF7)、PA12(AF4)
USART3_CTS	PB13(AF7)、PD11(AF7)、PA15(AF4)
USART4 功能	可选引脚
USART4_CK	PF1(AF7)、PC8(AF7)
USART4_RX	PF3(AF7)、PC7(AF7)
USART4_TX	PF4(AF7)、PC6(AF7)
USART4_RTS	PF2(AF7)、PE0(AF7)
USART4_CTS	PF0(AF7)、PE1(AF7)
USART5 功能	可选引脚
USART5_CK	PE15(AF11)、PD6(AF11)
USART5_RX	PE2(AF4)、PF5(AF4)
USART5_TX	PE3(AF11)、PE0(AF4)
USART5_RTS	PD7(AF4)
USART5_CTS	PE1(AF4)
USART6 功能	可选引脚
USART6_CK	PA2(AF3)、PA10(AF6)、PB10(AF9)、PE2(AF8)、PD3(AF8)
USART6_RX	PA1(AF8)、PA11(AF6)、PB8(AF8)、PC11(AF8)、PD0(AF8)
USART6_TX	PA0(AF8)、PA12(AF6)、PB9(AF8)、PC10(AF8)、PD1(AF8)
USART6_RTS	PA15(AF8)、PB14(AF8)
USART6_CTS	PB0(AF8)、PB15(AF8)
USART7 功能	可选引脚
USART7_CK	PB4(AF14)、PB14(AF13)、PD4(AF8)
USART7_RX	PB5(AF14)、PB12(AF14)、PD2(AF8)
USART7_TX	PB6(AF14)、PB13(AF14)、PC12(AF8)
USART7_RTS	PC8(AF8)
USART7_CTS	PC9(AF8)
USART8 功能	可选引脚
USART8_CK	PA14(AF11)、PB7(AF10)、PE6(AF8)、PF10(AF7)
USART8_RX	PA8(AF11)、PB3(AF11)、PE7(AF7)、PF6(AF7)
USART8_TX	PA15(AF11)、PB4(AF11)、PE8(AF7)、PF7(AF7)
USART8_RTS	PE9(AF11)、PF8(AF7)
USART8_CTS	PE10(AF11)、PF9(AF7)

表 2-2-10 调试引脚功能

调试引脚功能	默认引脚
SWCLK	PB8
SWDIO/SWIO	PB9

表 2-2-11 SDIO 引脚功能

SDIO 功能	可选引脚
SDIO_CK	PB11(AF8)、PC1(AF11)
SDIO_CMD	PB10(AF8)、PA0(AF9)
SDIO_D0	PE8(AF8)、PB14(AF9)
SDIO_D1	PE9(AF8)、PB15(AF9)
SDIO_D2	PE10(AF8)、PB3(AF9)
SDIO_D3	PE11(AF8)、PB4(AF9)
SDIO_D4	PE12(AF8)、PB8(AF10)
SDIO_D5	PE13(AF8)、PB9(AF10)
SDIO_D6	PE14(AF8)、PC6(AF9)
SDIO_D7	PE15(AF8)、PC7(AF9)

表 2-2-12 SDMMC 引脚功能

SDMMC 功能	SDMMC_RM=00 默认映射引脚	SDMMC_RM=01 重映射引脚	SDMMC_RM=1x 重映射引脚
SDMMC_STS/SDMMC_CMD	PD2	PD12	PC10
SDMMC_SDCK/SDMMC_SLVCK	PC12	PD11	PC12
SDMMC_STR	PD3	PD10	PC11
SDMMC_D0	PC8	PB13	PD0
SDMMC_D1	PC9	PC9	PD1
SDMMC_D2	PC10	PB10	PD2
SDMMC_D3	PC11	PB11	PD3
SDMMC_D4	PA14	PA14	PD4
SDMMC_D5	PA15	PA15	PD5
SDMMC_D6	PC6	PC6	PD6
SDMMC_D7	PC7	PC7	PD7

注：SDMMC 在使用单线或者四线模式时，未使用的数据线对应的 GPIO 引脚不能做输出使用，可用于复用输入。

表 2-2-13 CAN 引脚功能

CAN1 功能	可选引脚
CAN1_RX	PA11(AF9)、PB6(AF3)、PB8(AF9)、PD0(AF9)、PA13(AF5)
CAN1_TX	PA12(AF9)、PB7(AF3)、PB9(AF9)、PD1(AF9)、PA14(AF5)

CAN2 功能	可选引脚
CAN2_RX	PB12(AF9)、PB5(AF9)
CAN2_TX	PB13(AF9)、PB6(AF9)
CAN3 功能	可选引脚
CAN3_RX	PD12(AF5)、PF6(AF2)、PF4(AF2)、PC4(AF6)
CAN3_TX	PD13(AF5)、PF7(AF2)、PF3(AF2)、PC5(AF6)

表 2-2-14 FSMC 引脚功能

FSMC 功能	可选引脚
FSMC_NE1	PD7(AF12)
FSMC_NE2	PF3(AF12)
FSMC_NE3	PF4(AF12)
FSMC_NE4	PE0(AF12)
FSMC_NADV	PB7(AF12)、PF14(AF12)
FSMC_NBL0	PC12(AF0)
FSMC_NBL1	PC11(AF0)
FSMC_NBL2	PC10(AF0)
FSMC_NBL3	PA15(AF0)
FSMC_CLK	PD3(AF12)
FSMC_NOE	PD4(AF12)
FSMC_NWE	PD5(AF12)
FSMC_NWAIT	PD6(AF12)
FSMC_NCE2	PF3(AF12)
FSMC_INT2	PF1(AF12)
FSMC_A0	PF5(AF12)
FSMC_A1	PB3(AF12)
FSMC_A2	PB4(AF12)
FSMC_A3	PB8(AF12)
FSMC_A4	PB9(AF12)
FSMC_A5	PC13(AF12)、PB6(AF1)
FSMC_A6	PA10(AF10)
FSMC_A7	PA11(AF10)
FSMC_A8	PA12(AF10)
FSMC_A9	PA13(AF10)
FSMC_A10	PB10(AF12)
FSMC_A11	PB11(AF12)
FSMC_A12	PB12(AF12)
FSMC_A13	PB13(AF12)

FSMC_A14	PB14(AF12)
FSMC_A15	PB15(AF12)
FSMC_A16	PD11(AF12)
FSMC_A17	PD12(AF12)
FSMC_A18	PD13(AF12)
FSMC_A19	PE3(AF12)、PB10(AF6)
FSMC_A20	PE4(AF12)、PB11(AF2)
FSMC_A21	PE5(AF12)、PB12(AF3)
FSMC_A22	PE6(AF12)、PB13(AF15)
FSMC_A23	PE2(AF12)、PB14(AF0)
FSMC_A24	PE1(AF12)
FSMC_A25	PD2(AF11)
FSMC_D0	PD14(AF12)
FSMC_D1	PD15(AF12)
FSMC_D2	PD0(AF12)
FSMC_D3	PD1(AF12)
FSMC_D4	PE7(AF12)、PC0(AF4)
FSMC_D5	PE8(AF12)、PC1(AF4)
FSMC_D6	PE9(AF12)、PC2(AF4)
FSMC_D7	PE10(AF12)、PC3(AF4)
FSMC_D8	PE11(AF12)、PC6(AF4)
FSMC_D9	PE12(AF12)、PC7(AF4)
FSMC_D10	PE13(AF12)
FSMC_D11	PE14(AF12)
FSMC_D12	PE15(AF12)
FSMC_D13	PD8(AF12)、PC8(AF4)
FSMC_D14	PD9(AF12)、PC9(AF7)
FSMC_D15	PD10(AF12)
FSMC_D16	PC14(AF12)、PC3(AF11)
FSMC_D17	PC15(AF12)、PB5(AF11)
FSMC_D18	PF6(AF12)
FSMC_D19	PF7(AF12)
FSMC_D20	PF8(AF12)
FSMC_D21	PF9(AF12)
FSMC_D22	PF10(AF12)
FSMC_D23	PA0(AF12)
FSMC_D24	PA1(AF12)
FSMC_D25	PA2(AF12)

FSMC_D26	PA3(AF12)
FSMC_D27	PA4(AF12)
FSMC_D28	PA5(AF12)
FSMC_D29	PB0(AF12)
FSMC_D30	PB1(AF12)
FSMC_D31	PB2(AF12)

表 2-2-15 SDRAM 引脚功能

SDRAM 功能	可选引脚
SDRAM_CLK	PF2(AF12)、PE2(AF9)、PF14(AF1)
SDRAM_CS_N0	PC2(AF12)、PC4(AF12)、PD6(AF3)、PE3(AF9)
SDRAM_CS_N1	PF0(AF4)、PB6(AF12)、PD7(AF3)、PE4(AF9)
SDRAM_CKE0	PC5(AF12)、PC3(AF12)、PB8(AF3)、PF3(AF4)
SDRAM_CKE1	PB5(AF12)、PC14(AF9)、PF4(AF4)、PB9(AF3)
SDRAM_RAS_N	PF11(AF12)、PC15(AF9)、PF3(AF3)、PC10(AF1)、PE5(AF9)
SDRAM_CAS_N	PF12(AF12)、PC0(AF15)
SDRAM_WE_N	PC0(AF12)、PA7(AF12)、PC1(AF15)
SDRAM_DQM0	PC12(AF0)、PC2(AF15)
SDRAM_DQM1	PC11(AF0)、PE3(AF1)、PC3(AF15)
SDRAM_DQM2	PC10(AF0)、PA6(AF6)、PA0(AF15)、PC11(AF1)、PE6(AF7)
SDRAM_DQM3	PA15(AF0)、PA8(AF6)、PB0(AF7)
SDRAM_BA0	PB14(AF12)、PB1(AF7)
SDRAM_BA1	PB15(AF12)、PE10(AF15)、PA13(AF3)
SDRAM_A0	PF5(AF12)、PE11(AF15)、PA14(AF3)
SDRAM_A1	PB3(AF12)、PE12(AF15)、PA15(AF12)
SDRAM_A2	PB4(AF12)、PE13(AF15)
SDRAM_A3	PB8(AF12)、PE0(AF0)、PE14(AF15)
SDRAM_A4	PB9(AF12)、PE1(AF0)、PE15(AF15)
SDRAM_A5	PB6(AF11)、PC13(AF12)、PB10(AF0)
SDRAM_A6	PA10(AF10)、PB11(AF0)
SDRAM_A7	PA11(AF10)、PB12(AF0)
SDRAM_A8	PA12(AF10)、PB13(AF0)
SDRAM_A9	PA13(AF10)、PD9(AF0)、PB14(AF0)
SDRAM_A10	PB10(AF12)、PD10(AF0)
SDRAM_A11	PB11(AF12)、PD11(AF0)
SDRAM_A12	PB12(AF12)、PD12(AF0)
SDRAM_D0	PD14(AF12)、PD13(AF0)
SDRAM_D1	PD15(AF12)、PD14(AF0)

SDRAM_D2	PD0(AF12)、PD15(AF0)
SDRAM_D3	PD1(AF12)、PF0(AF2)
SDRAM_D4	PE7(AF12)、PF1(AF2)
SDRAM_D5	PE8(AF12)、PF2(AF2)
SDRAM_D6	PE9(AF12)、PC6(AF0)
SDRAM_D7	PE10(AF12)、PC7(AF0)
SDRAM_D8	PE11(AF12)、PC8(AF0)
SDRAM_D9	PE12(AF12)、PC9(AF0)
SDRAM_D10	PE13(AF12)、PA9(AF0)、PD0(AF1)
SDRAM_D11	PE14(AF12)、PA10(AF0)、PD1(AF1)
SDRAM_D12	PE15(AF12)、PA11(AF0)、PD2(AF1)
SDRAM_D13	PD8(AF12)、PA12(AF0)、PD3(AF1)
SDRAM_D14	PD9(AF12)、PA13(AF0)、PD4(AF1)
SDRAM_D15	PD10(AF12)、PA14(AF0)、PD5(AF1)
SDRAM_D16	PC14(AF12)、PC3(AF11)
SDRAM_D17	PC15(AF12)、PB5(AF11)、PE10(AF3)
SDRAM_D18	PF6(AF12)、PE11(AF3)
SDRAM_D19	PF7(AF12)、PE12(AF3)
SDRAM_D20	PF8(AF12)、PA9(AF8)
SDRAM_D21	PF9(AF12)、PA10(AF8)
SDRAM_D22	PF10(AF12)、PA11(AF8)
SDRAM_D23	PA0(AF12)、PA12(AF8)
SDRAM_D24	PA1(AF12)、PC10(AF3)
SDRAM_D25	PA2(AF12)、PC11(AF3)
SDRAM_D26	PA3(AF12)、PC12(AF3)
SDRAM_D27	PA4(AF12)、PE5(AF10)
SDRAM_D28	PA5(AF12)、PE6(AF10)
SDRAM_D29	PB0(AF12)、PF5(AF3)
SDRAM_D30	PB1(AF12)、PE0(AF3)
SDRAM_D31	PB2(AF12)、PE1(AF3)

表 2-2-16 UHSIF 引脚功能

UHSIF 功能	UHSIF_PORT_RM=00 默认映射引脚	UHSIF_PORT_RM=01 重映射引脚	UHSIF_PORT_RM=1x 重映射引脚
UHSIF_PORT0	PF12	PF12	PC1
UHSIF_PORT1	PF13	PF13	PC2
UHSIF_PORT2	PE7	PE7	PC3
UHSIF_PORT3	PE8	PC1	PB0

UHSIF_PORT4	PE9	PC2	PB1
UHSIF_PORT5	PE10	PC3	PE10
UHSIF_PORT6	PE11	PB0	PE11
UHSIF_PORT7	PE12	PB1	PE12
UHSIF_PORT8	PE13		
UHSIF_PORT9	PE14		
UHSIF_PORT10	PE15		
UHSIF_PORT11	PB10		
UHSIF_PORT12	PB11		
UHSIF_PORT13	PB12		
UHSIF_PORT14	PB13		
UHSIF_PORT15	PB14		
UHSIF_PORT16	PD10		
UHSIF_PORT17	PD11		
UHSIF_PORT18	PD12		
UHSIF_PORT19	PD13		
UHSIF_PORT20	PD14		
UHSIF_PORT21	PD15		
UHSIF_PORT22	PF0		
UHSIF_PORT23	PF1		
UHSIF_PORT24	PF2		
UHSIF_PORT25	PC6		
UHSIF_PORT26	PC7		
UHSIF_PORT27	PC8		
UHSIF_PORT28	PC9		
UHSIF_PORT29	PA13		
UHSIF_PORT30	PA14		
UHSIF_PORT31	PA15		
UHSIF_PORT32	PC10		
UHSIF_PORT33	PC11		
UHSIF_PORT34	PC12		
UHSIF_PORT35	PD0		
UHSIF_PORT36	PD1		
UHSIF_PORT37	PD2		
UHSIF_PORT38	PD3		
UHSIF_PORT39	PD4		
UHSIF_PORT40	PD5		
UHSIF_PORT41	PD6		
UHSIF_PORT42	PD7		
UHSIF_PORT43	PF3		

UHSIF_PORT44	PF4			
UHSIF_PORT45	PF5			
UHSIF_PORT46	PE0			
UHSIF_PORT47	PE1			
UHSIF 功能	UHSIF_CLK_RM=00 默认映射	UHSIF_CLK_RM=01 重映射	UHSIF_CLK_RM=10 重映射	UHSIF_CLK_RM=11 重映射
UHSIF_CLK	PF11	PC0	PF14	PD9

注：UHSIF_PORT_RM = 01适用于封装为56/68引脚的芯片；UHSIF_PORT_RM = 1x适用于封装为88引脚的芯片。

表 2-2-17 USBPD 引脚功能

USBPD 功能	可选引脚
CC1	PB3(AF4)
CC2	PB4(AF4)

表 2-2-18 USBFS 引脚功能

USBFS 功能	默认引脚
OTG_DP	PA12
OTG_DM	PA11
OTG_VBUS	PA9
OTG_ID	PA10

表 2-2-19 USBHS 引脚功能

USBHS 功能	默认引脚
USBHS_DP	PB8
USBHS_DM	PB9

表 2-2-20 SerDes 引脚功能

SerDes 功能	默认引脚
SERDES_RXP	PE3
SERDES_RXN	PE4
SERDES_TXP	PE5
SERDES_TXN	PE6

表 2-2-21 OPA 引脚功能

OPA1 功能	可选引脚
OPA1_P	PB0/OPA1_P0、PA6/OPA1_P1
OPA1_N	PB1/OPA1_N0、PA7/OPA1_N1
OPA1_OUT	PC4/OPA1_OUT0、PA5/OPA1_OUT1
OPA2 功能	可选引脚

OPA2_P	PE9/OPA2_P0、PF11/OPA2_P1
OPA2_N	PE8/OPA2_N0、PF12/OPA2_N1
OPA2_OUT	PE7/OPA2_OUT0、PB1/OPA2_OUT1
OPA3 功能	可选引脚
OPA3_P	PC2/OPA3_P0、PA2/OPA3_P1
OPA3_N	PC3/OPA3_N0、PA3/OPA3_N1
OPA3_OUT	PA0/OPA3_OUT0、PA4/OPA3_OUT1

表 2-2-22 CMP 引脚功能

CMP 功能	可选引脚
CMP_P	PB0/CMP_P0、PB2/CMP_P1、OPA1_OUT/CMP_P2
CMP_N	PB1/CMP_N0、PC4/CMP_N1、DAC1_OUT/CMP_N2
CMP 功能	可选引脚（MODE[3:0] = 0000b）
CMP_OUT	PC5(AF13)、PE12(AF13)、PA6(AF10)、PA8(AF12)、PB12(AF13)、PE6(AF11)、PE15(AF13)

注：位 MODE[3:0]的详细信息请参考《CH32H417RM》手册的运算放大器（OPA）和比较器（CMP）章节。

表 2-2-23 DVP 引脚功能

DVP 功能	可选引脚
DVP_HSYNC	PA4(AF13)、PB13(AF8)
DVP_VSYNC	PB7(AF13)、PF3(AF13)、PA5(AF11)、PB14(AF15)
DVP_PCLK	PA6(AF13)、PF13(AF11)、PB12(AF15)
DVP_D0	PC6(AF13)、PA9(AF13)、PE0(AF11)
DVP_D1	PC7(AF13)、PA10(AF13)、PE1(AF11)
DVP_D2	PC8(AF13)、PE2(AF13)、PF4(AF13)、PB13(AF13)
DVP_D3	PC9(AF13)、PE3(AF13)、PF5(AF13)
DVP_D4	PC11(AF13)、PE4(AF13)、PD12(AF13)
DVP_D5	PB6(AF13)、PD3(AF13)、PB3(AF13)、PF14(AF11)、PD13(AF13)
DVP_D6	PB8(AF13)、PE5(AF13)、PD14(AF13)
DVP_D7	PB9(AF13)、PE6(AF13)、PD15(AF13)
DVP_D8	PC10(AF13)、PF4(AF11)
DVP_D9	PC12(AF13)、PF3(AF11)
DVP_D10	PD6(AF13)、PB5(AF13)
DVP_D11	PD2(AF13)、PF10(AF13)、PF0(AF12)

表 2-2-24 以太网引脚功能

以太网功能	可选引脚
RGMII_RXC	PA15(AF3)

RGMII_RXDV	PA14(AF12)
RGMII_RD0	PC9(AF12)
RGMII_RD1	PC8(AF12)
RGMII_RD2	PC7(AF12)
RGMII_RD3	PC6(AF12)
RGMII_GTXC	PD15(AF10)
RGMII_TXEN	PD14(AF10)
RGMII_TXD0	PD13(AF10)
RGMII_TXD1	PD12(AF10)
RGMII_TXD2	PD11(AF10)
RGMII_TXD3	PD10(AF10)
ETH_PHY_LED0	PF0(AF10)
ETH_PHY_LED1	PF1(AF10)
ETH_PHY_LED2	PF2(AF10)
ETH_PHY_LED3	PB13(AF10)
ETH_PHY_LED4	PB14(AF10)
ETH_MDC	PC0(AF1)
ETH_MDIO	PC1(AF1)
ETH_PPS	PC2(AF1)

表 2-2-25 QSPI 引脚功能

QSPI1 功能	可选引脚
QSPI1_SCK	PB2(AF9)
QSPI1_SCSN	PB6(AF10)
QSPI1_SIO0	PF8(AF10)、PD11(AF9)、PC9(AF9)
QSPI1_SIO1	PF9(AF10)、PD12(AF9)、PC10(AF9)
QSPI1_SIO2	PF7(AF10)、PD14(AF9)
QSPI1_SIO3	PF6(AF10)、PD13(AF9)、PA1(AF9)
QSPI1_SCSXN	PC11(AF9)
QSPI1_SIOX0	PE7(AF10)
QSPI1_SIOX1	PE8(AF10)
QSPI1_SIOX2	PE9(AF10)、PF3(AF9)
QSPI1_SIOX3	PE10(AF10)、PF5AF9)
QSPI2 功能	可选引脚
QSPI2_SCK	PF6(AF4)、PE10(AF7)、PF0(AF5)
QSPI2_SCSN	PF7(AF4)、PE11(AF7)、PF1(AF5)
QSPI2_SIO0	PF8(AF4)、PE12(AF7)、PF2(AF5)
QSPI2_SIO1	PF9(AF4)、PE13(AF7)

QSPI2_SIO2	PF10(AF4)、PE14(AF7)
QSPI2_SIO3	PC0(AF10)、PE15(AF7)
QSPI2_SCSXN	PC1(AF10)、PB10(AF11)
QSPI2_SIOX0	PC2(AF10)、PB11(AF11)
QSPI2_SIOX1	PC3(AF10)、PB12(AF11)
QSPI2_SIOX2	PA0(AF4)、PB13(AF11)
QSPI2_SIOX3	PA1(AF4)、PB14(AF11)

表 2-2-26 SWPMI 引脚功能

SWPMI 功能	可选引脚（非单线模式）	可选引脚（单线模式）
SWP_RX	PC8(AF11)、PC10(AF11)	PC6(AF11)
SWP_TX	PC7(AF11)	PC6(AF11)
SWP_SUP	PC9(AF11)	-

表 2-2-27 SAI 引脚功能

SAI 功能	可选引脚
SAI_FS_A	PE4(AF6)、PC3(AF7)
SAI_SCK_A	PE5(AF6)、PC2(AF7)
SAI_SD_A	PE6(AF6)、PC1(AF6)、PB2(AF6)、PD6(AF6)
SAI_MCLK_A	PE2(AF6)、PF1(AF6)、PC0(AF7)
SAI_FS_B	PF9(AF6)、PA15(AF13)
SAI_SCK_B	PF8(AF6)、PA14(AF13)
SAI_SD_B	PF6(AF6)、PE3(AF6)、PA13(AF13)
SAI_MCLK_B	PF7(AF6)、PC9(AF15)

表 2-2-28 LTDC 引脚功能

LTDC 功能	可选引脚
LTDC_CLK	PF1(AF14)、PB14(AF14)、PE14(AF14)、PA15(AF15)
LTDC_HSYNC	PC6(AF14)、PC10(AF15)、PA6(AF11)
LTDC_VSYNC	PA7(AF14)、PA4(AF14)、PC11(AF15)、PB12(AF10)
LTDC_DE	PC5(AF14)、PE13(AF14)、PF10(AF14)、PC12(AF15)
LTDC_R0	PE1(AF14)、PA0(AF14)、PA14(AF15)
LTDC_R1	PF0(AF11)、PA2(AF14)
LTDC_R2	PD13(AF3)、PA1(AF14)、PC10(AF14)
LTDC_R3	PD12(AF11)、PA15(AF9)、PB0(AF9)、PD0(AF15)
LTDC_R4	PD11(AF11)、PA5(AF14)、PA11(AF14)、PD1(AF15)
LTDC_R5	PA9(AF14)、PC0(AF14)、PA12(AF14)、PD2(AF15)
LTDC_R6	PA8(AF14)、PC12(AF14)、PB1(AF9)、PE2(AF14)、PD3(AF15)

LTDC_R7	PC4(AF14)、PF0(AF14)、PE15(AF14)、PD4(AF15)
LTDC_G0	PE5(AF14)、PB1(AF14)、PB14(AF6)
LTDC_G1	PE6(AF14)、PB0(AF14)
LTDC_G2	PA6(AF14)、PC0(AF11)、PD5(AF15)、PD15(AF7)
LTDC_G3	PC9(AF10)、PF4(AF9)、PE11(AF14)、PD6(AF15)
LTDC_G4	PC8(AF14)、PB10(AF14)、PD7(AF15)
LTDC_G5	PC1(AF14)、PB11(AF14)、PF3(AF15)
LTDC_G6	PC7(AF14)、PF4(AF15)
LTDC_G7	PD3(AF14)、PB15(AF14)、PF2(AF14)、PF5(AF15)
LTDC_B0	PE4(AF14)、PF3(AF14)、PF1(AF8)
LTDC_B1	PE0(AF14)、PA10(AF14)、PC10(AF10)、PD0(AF14)、PD14(AF8)
LTDC_B2	PD6(AF14)、PA3(AF9)、PC9(AF14)、PD2(AF14)、PF4(AF14)、PA13(AF8)
LTDC_B3	PD7(AF14)、PA8(AF13)、PD10(AF14)、PF5(AF14)、PE0(AF15)
LTDC_B4	PD4(AF14)、PA10(AF12)、PC11(AF14)、PE12(AF14)、PE0(AF9)、PE1(AF15)
LTDC_B5	PD5(AF14)、PA3(AF14)、PB5(AF3)、PF14(AF15)
LTDC_B6	PA14(AF14)、PA15(AF14)、PB8(AF14)
LTDC_B7	PD2(AF9)、PD8(AF14)、PB9(AF14)

表 2-2-29 DFSDM 引脚功能

DFSDM 功能	可选引脚
DFSDM_DATIN0	PC1(AF3)
DFSDM_CKIN0	PC0(AF3)
DFSDM_DATIN1	PC3(AF3)、PB1(AF6)、PD6(AF4)、PB12(AF6)
DFSDM_CKIN1	PC2(AF3)、PB2(AF4)、PD7(AF6)、PB13(AF6)
DFSDM_CKOUT	PE9(AF3)、PB0(AF6)、PC2(AF6)、PD10(AF3)、PD3(AF3)

表 2-2-30 MCO 引脚功能

MCO 功能	可选引脚
MCO	PB0(AF0)

表 2-2-31 PIOC 引脚功能

PIOC 功能	可选引脚
PIOC_IO0	PE3(AF5)、PB8(AF5)、PF12(AF3)、PC1(AF7)、PA0(AF5)
PIOC_IO1	PE4(AF4)、PB9(AF7)、PF13(AF5)、PC2(AF8)、PF14(AF5)、PC0(AF5)

第 3 章 电气特性

3.1 测试条件

除非特殊说明和标注，所有电压都以 V_{SS} 为基准。所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

CH32H417 典型数值基于以下几种环境之一用于设计指导：

1、常温 25℃，供电 V_{DD33} = 3.3V、V_{DD33A} = 3.3V、V_{DDIO} = 3.3V、V_{REFP} = 3.3V，产生 V_{IO18} =1.8V 或 3.3V、V_{DD12A} = 1.2V、V_{DDK} = 1.2V。

2、常温 25℃，外部为 DCDC 芯片（CH2003V）提供额定 5V，产生额定 3.3V 和 1.2V 供给 CH32H417。供电 V_{DD33} = V_{DD33A} = V_{DDIO} = V_{REFP} = 3.3V、V_{DD12A} = V_{DDK} = 1.2V，产生 V_{IO18} =1.8V 或 3.3V。

3、常温 25℃，外部为 DCDC 芯片（CH2003K）提供额定 5V，产生额定 3.3V 和 0.875V 供给 CH32H417。

CH32H416 典型数值基于以下几种环境之一用于设计指导：

1、常温 25℃，供电 V_{DD33} = 3.3V、V_{DD33A} = 3.3V、V_{REFP} = 3.3V，产生 V_{DD12A} = 1.2V、V_{DDK} = 1.2V。

2、常温 25℃，外部为 DCDC 芯片（CH2003V）提供额定 5V，产生额定 3.3V 和 1.2V 供给 CH32H416。供电 V_{DD33} = V_{DD33A} = V_{REFP} = 3.3V、V_{DD12A} = V_{DDK} = 1.2V。

CH32H415 典型数值基于以下几种环境之一用于设计指导：

1、常温 25℃，供电 V_{DD33} = 3.3V、V_{DD33A} = 3.3V，产生 V_{DDK} = 1.2V。

2、常温 25℃，外部为 DCDC 芯片（CH2003V）提供额定 5V，产生额定 3.3V 和 1.2V 供给 CH32H415。供电 V_{DD33} = V_{DD33A} = 3.3V、V_{DDK} = 1.2V。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。供电方案：

图 3-1-1 CH32H417 常规供电典型电路

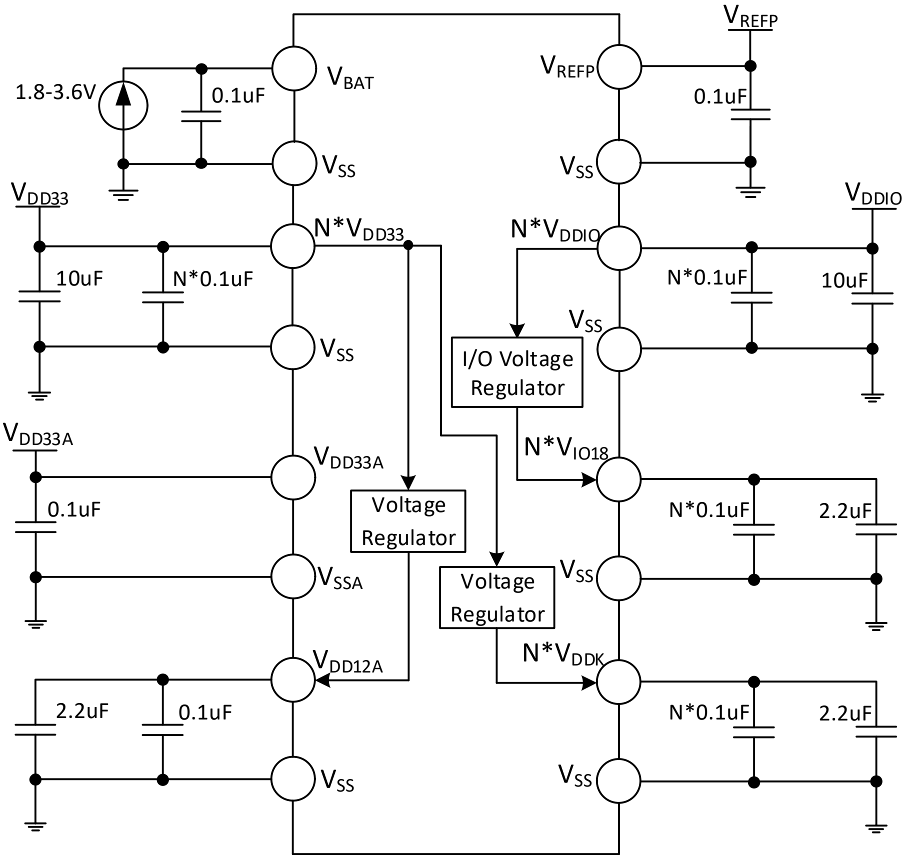


图 3-1-2 CH32H417 DCDC 单一 5V 供电电路

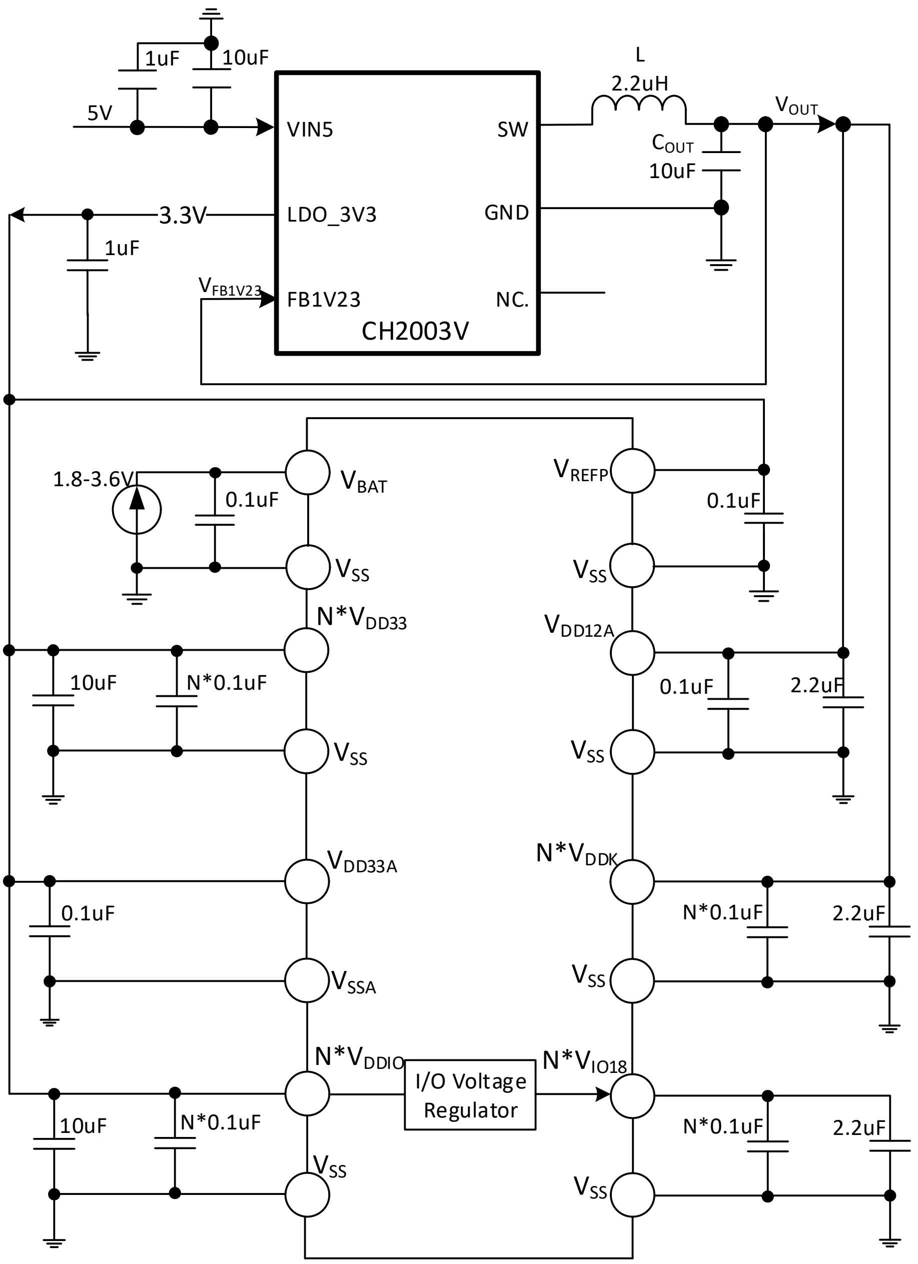
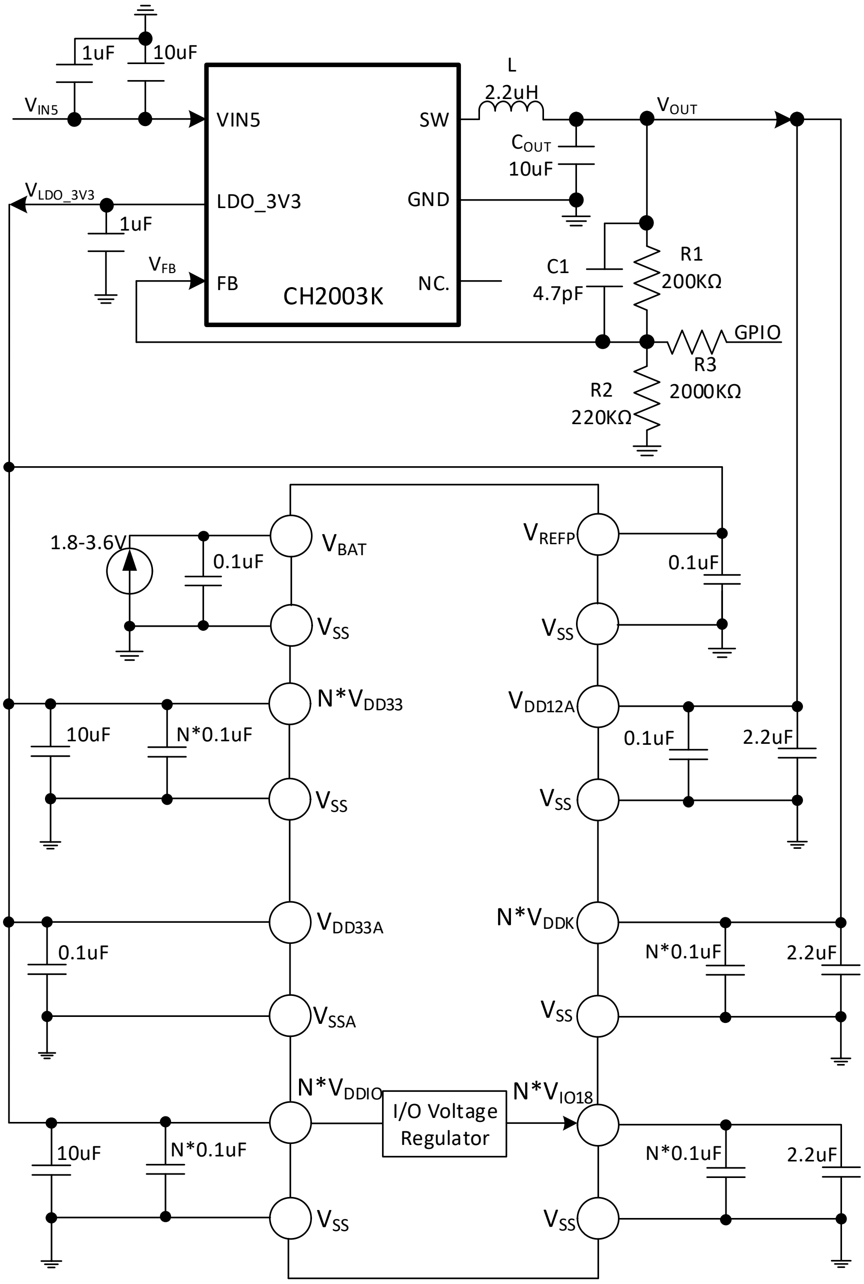


图 3-1-3 CH32H417 调压器为低功耗模式的 DCDC 单一 5V 供电电路



注：1. 对于 CH32H417 芯片，V_{DD33}、V_{DDIO}、V_{IO18} 以及 V_{DDK} 在部分芯片封装中可能有多个引脚，同名电源引脚必须短接。

主 V_{DD33} 引脚（与以太网信号引脚相邻）外接 0.1uF 并联至少 10uF 容量的退耦电容，剩余 V_{DD33} 引脚只需外接 0.1uF 容量的退耦电容即可。

主 V_{DDIO} 引脚（与 V_{IO18} 相邻）外接 0.1uF 并联至少 10uF 容量的退耦电容，剩余 V_{DDIO} 引脚只需外接 0.1uF 容量的退耦电容即可。

主 V_{IO18} 引脚（与 V_{DDIO} 相邻）外接 0.1uF 并联 2.2uF 容量的退耦电容，剩余 V_{IO18} 引脚只需外接 0.1uF 容量的退耦电容即可。

主 V_{DDK} 引脚（与 V_{DD33} 相邻）外接 0.1uF 并联 2.2uF 容量的退耦电容，剩余 V_{DDK} 引脚只需外接 0.1uF 容量的退耦电容即可。

2. 对于图 3-1-3，GPIO 低电平对应调压器为正常模式；GPIO 高电平对应调压器为低功耗模式。

图 3-1-4 CH32H416 常规供电典型电路

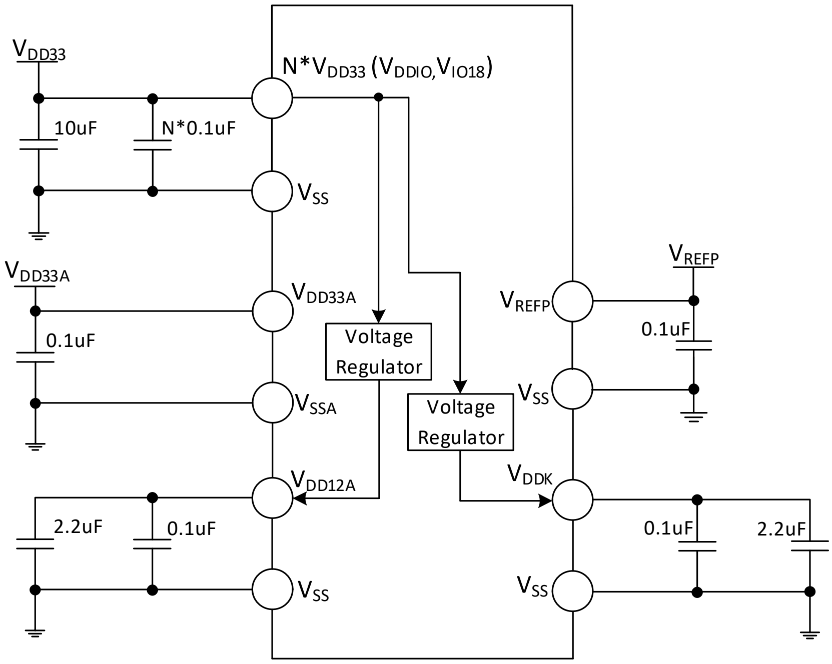
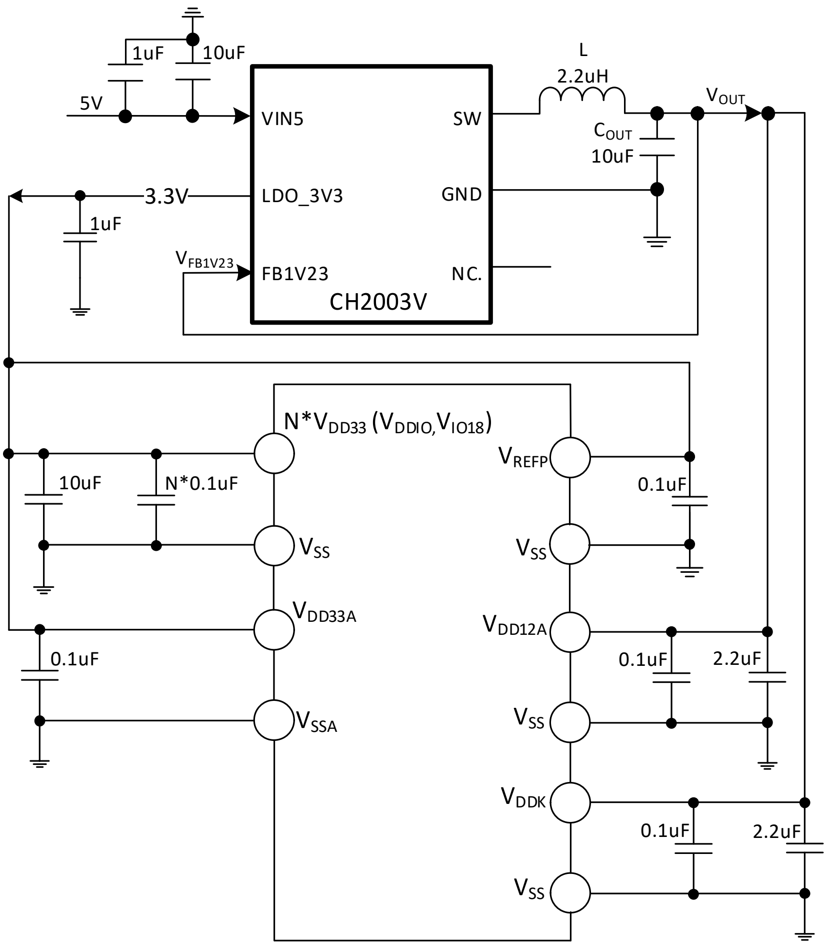


图 3-1-5 CH32H416 DCDC 单一 5V 供电电路



注：1. 对于 CH32H416RDU6 芯片，V_{DD33} 有 2 个引脚，同名电源引脚必须短接。

主 V_{DD33} 引脚（与 V_{DDK} 引脚相邻）外接 0.1uF 并联至少 10uF 容量的退耦电容，剩余 V_{DD33} 引脚只需外接 0.1uF 容量的退耦电容即可。

图 3-1-6 CH32H415 常规供电典型电路

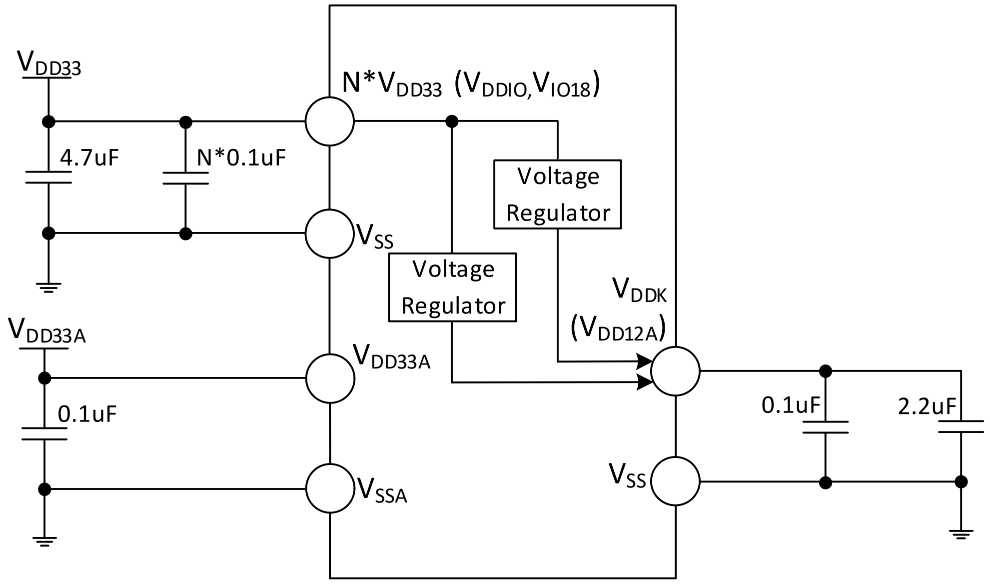
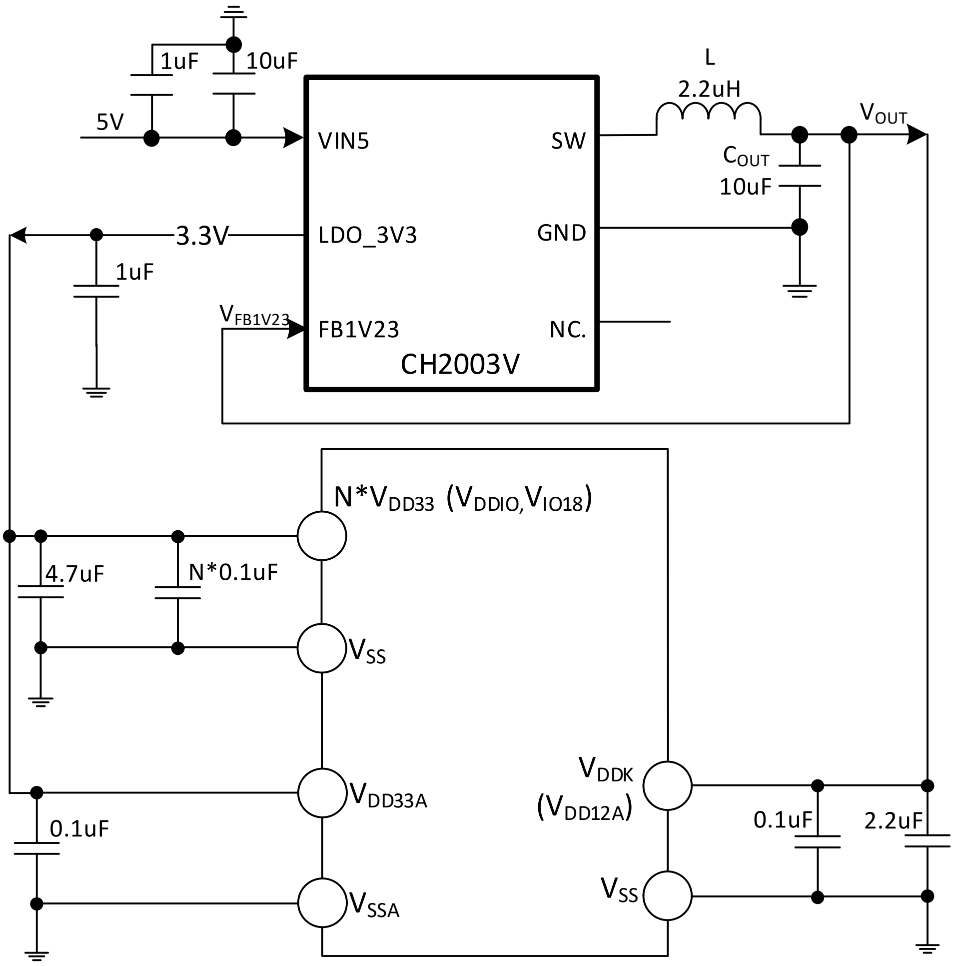


图 3-1-7 CH32H415 DCDC 单一 5V 供电电路



注：1. 对于 CH32H415REU6 芯片，V_{DD33} 有多个引脚，同名电源引脚必须短接。

主 V_{DD33} 引脚（与 V_{DDK} 引脚相邻）外接 0.1uF 并联至少 4.7uF 容量的退耦电容，剩余 V_{DD33} 引脚只需外接 0.1uF 容量的退耦电容即可。

3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	℃
T_S	存储时的环境温度	-40	125	℃
V_{DD33}	外部主供电电压（包含 V_{DD33A} 和 V_{DD33}）	-0.3	4.0	V
V_{DDIO}	部分常规 I/O 引脚的供电电压	-0.3	4.0	V
V_{IO18}	部分高速 I/O 引脚的供电电压	-0.3	4.0	V
V_{DD12A}	USB 3.0 模块供电电压	-0.3	1.5	V
V_{DDK}	内核电路的电源退耦端	-0.3	1.5	V
V_{REFP}	ADC、HSADC、DAC 模块的正参考电压	-0.3	V_{DD33A}+0.3	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	-0.3	5.5	V
	USB 2.0 和以太网 PHY 引脚上的输入电压	-0.3	V_{DD33}+0.3	V
	部分高速 I/O 引脚上的输入电压（V_{IO18} 供电）	-0.3	V_{IO18}+0.3	V
	USB 3.0 引脚上的输入电压	-0.3	V_{DD12A}+0.3	V
	其他引脚上的输入电压（V_{DDIO} 供电）	-0.3	V_{DDIO}+0.3	V
$\|\triangle V_{DD33\_x}\|$	主供电引脚各 V_{DD33} 之间的电压差		20	mV
$\|\triangle V_{DDIO\_x}\|$	不同 V_{DDIO} 供电引脚之间的电压差		20	mV
$\|\triangle V_{IO18\_x}\|$	不同 V_{IO18} 供电引脚之间的电压差		20	mV
$\|\triangle V_{SS\_x}\|$	公共地引脚各 V_{SS} 之间的电压差		20	mV
$V_{ESDIO(HBM)}$	普通 I/O 引脚的 ESD 静电放电电压（HBM）	4K		V
I_{VDD33}	所有 V_{DD33}/V_{DD33A} 主供电引脚的合计总电流		400	mA
I_{VIO}	所有 V_{DDIO}/V_{IO18} 供电引脚的合计总电流		200	mA
I_{VSS}	所有 V_{SS} 公共地引脚的合计总电流		600	mA
I_{IO}	任意 I/O 和控制引脚上的灌电流		25	mA
	任意 I/O 和控制引脚上的源电流		-25	

3.3 电气参数

3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
F_{CORE1}	内核 RISC-V5F 频率	LDO_VDDK = 011（默认）			400 (4)	MHz
		LDO_VDDK = 101（性能模式）			500 (5)	MHz
F_{HCLK} 或 F_{CORE0}	内部系统总线频率 或内核 RISC-V3F 频率	LDO_VDDK = 011（默认）			160	MHz
		LDO_VDDK = 101（性能模式）			200 (5)	MHz
V_{DD33}	标准工作电压	未使用 USB 或 ETH	2.4 (6)	3.3	3.6	V
		使用 USB 或 ETH 或 SerDes	3.15	3.3	3.45	V
V_{DD33A}	模拟部分工作电压	未使用 ADC、HSADC 和 DAC，V_{DD33A} 不能低于 V_{DDIO}	1.8	3.3	3.6	V
		使用 ADC，V_{DD33A} 不能低于 V_{DDIO}，V_{REFP} 不能高于 V_{DD33A}	2.4	3.3	3.6	V

		使用 HSADC 时，V_{DD33A}不能低于 V_{DDIO}，V_{REFP}不能高于 V_{DD33A}	3.0	3.3	3.6	V
		使用 OPA 时，运放输出不能高于 V_{DDIO}	1.8	3.3	3.6	V
		使用 DAC 时，DAC 输出不能高于 V_{DDIO}	2.4	3.3	3.6	V
V_{DD12A} (1)	USB 3.0 模块工作电压		1.17	1.2	1.27	V
V_{DDK} (1)	内核工作电压		1.17	1.2	1.27	V
V_{DDIO}	部分常规 I/O 引脚工作电压	V_{DDIO}不能高于 V_{DD33}	1.65	3.3	3.6	V
V_{IO18}	部分高速 I/O 引脚工作电压	V_{IO18}不能高于 V_{DDIO}	1.1		3.6	V
R_{HSEXO_ext}	XO 引脚外部连接的下拉电阻（用于配置 V_{IO18}在初始上电过程中的默认输出电压）	V_{IO18}默认输出 2.5V	220	300	400	kΩ
		V_{IO18}默认输出 1.8V	1200	浮空		kΩ
		V_{IO18}默认输出 1.2V	60	82	110	kΩ
V_{BAT}	备份单元工作电压		1.8		3.6	V
V_{REFP} (2)	ADC、HSADC、DAC 模块的正参考电压	V_{REFP}不能高于 V_{DD33A}	2.4	3.3	3.6	V
T_A	工作时的环境温度		-40		85	℃
T_J	结温度		-40		105	℃

注：1. V_{DD12A}和 V_{DDK}电流较大，考虑 PCB 走线压降损失，如果外部供电建议 1.2V 再加 10～50mV。
2. V_{REFP}外接电容要尽可能近，否则影响 ADC 性能。
3. 对于 CH32V417 芯片，电压关系：$V_{DD33} \geqslant V_{DD33A} \geqslant V_{DDIO} \geqslant V_{IO18}$；并且 $V_{DD33A} \geqslant V_{REFP}$。
对于 CH32V416 芯片，电压关系：$V_{DD33} = V_{DD33A}$；并且 $V_{DD33A} \geqslant V_{REFP}$。
对于 CH32V415 芯片，电压关系：$V_{DD33} = V_{DD33A}$。
4. 实测不低于 480MHz，未考虑温度和工艺波动，禁止 480MHz 应用于正式工程。
5. 仅适用于商业级应用：$T_A \leqslant 70$℃且散热良好。
6. 当使用调压器为低功耗模式的停止模式或 V_{IO18}由低压切换到高压时，V_{DD33}不能低于 2.7V。

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD33}	V_{DD33}上升速率		0	∞	us/V
	V_{DD33}下降速率		20	∞	us/V
t_{VDD33A}	V_{DD33A}上升速率	V_{DD33}有电	0	10000	us/V
	V_{DD33A}下降速率		20	∞	us/V

3.3.2 内置复位和电源控制模块特性

表 3-4 复位及电压监测

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD} (1)	可编程电压检测器的电平选择 (2)	PLS[2:0] = 000（上升沿）		2.54		V
		PLS[2:0] = 000（下降沿）		2.44		V
		PLS[2:0] = 001（上升沿）		2.60		V
		PLS[2:0] = 001（下降沿）		2.49		V
		PLS[2:0] = 010（上升沿）		2.70		V
		PLS[2:0] = 010（下降沿）		2.59		V
		PLS[2:0] = 011（上升沿）		2.80		V

		PLS[2:0] = 011（下降沿）		2.69		V
		PLS[2:0] = 100（上升沿）		2.90		V
		PLS[2:0] = 100（下降沿）		2.79		V
		PLS[2:0] = 101（上升沿）		3.00		V
		PLS[2:0] = 101（下降沿）		2.89		V
		PLS[2:0] = 110（上升沿）		3.10		V
		PLS[2:0] = 110（下降沿）		2.99		V
		PLS[2:0] = 111（上升沿）		3.20		V
		PLS[2:0] = 111（下降沿）		3.09		V
$V_{PVDhyst}$	PVD 迟滞			0.11		V
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿		2.35		V
		下降沿		2.33		V
$V_{PDRhyst}$	PDR 迟滞			20		mV

注：1. 常温测试值。

3.3.3 内置的参考电压

表 3-5 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	T_A = -40°C～85°C	1.17	1.21	1.24	V

3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图 3-2-1 CH32H417 电流消耗测量

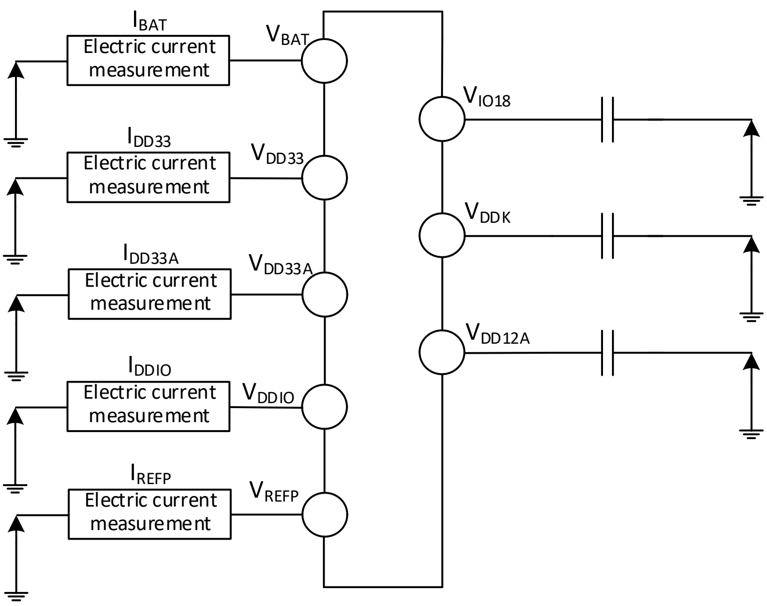


图 3-2-2 CH32H416 电流消耗测量

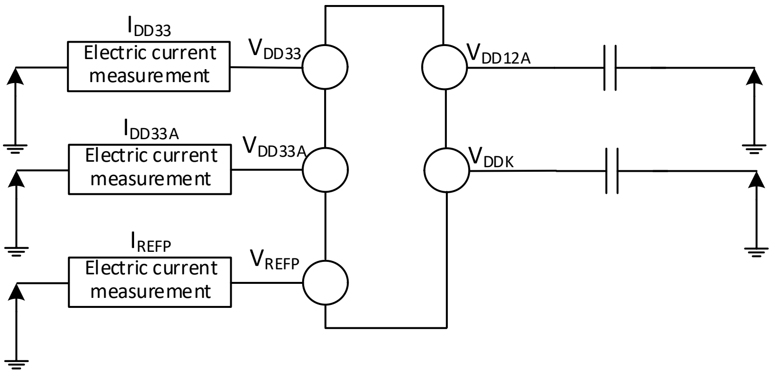
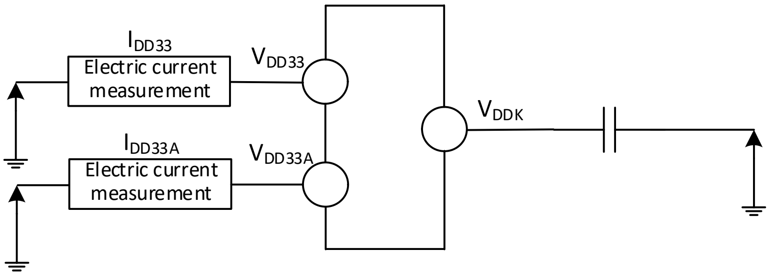


图 3-2-3 CH32H415 电流消耗测量



CH32H417 处于下列条件之一：

1、常温供电 V_{DD33} = 3.3V、V_{DD33A} = 3.3V、V_{DDIO} = 3.3V、V_{REFP} = 3.3V，产生 V_{IO18} = 1.8V、V_{DD12A} = 1.2V、V_{DDK} = 1.2V。

2、常温,外部为 DCDC 芯片(CH2003V 或 CH2003K)提供额定 5V,产生额定 3.3V 和 1.2V 供给 CH32H417 芯片。

3、常温，外部为 DCDC 芯片（CH2003K）提供额定 5V，产生额定 3.3V 和 0.875V 供给 CH32H417 芯片。

同时测试时：所有 I/O 端口配置下拉输入，HSI = 25MHz（已校准），F_{HCLK} = F_{V3F}。使能或关闭所有外设时钟的功耗。

CH32H416 处于下列条件之一：

1、常温供电 V_{DD33} = 3.3V、V_{DD33A} = 3.3V、V_{REFP} = 3.3V，产生 V_{DD12A} = 1.2V、V_{DDK} = 1.2V。

2、常温，外部为 DCDC 芯片（CH2003V）提供额定 5V，产生额定 3.3V 和 1.2V 供给 CH32H416 芯片。

同时测试时：所有 I/O 端口配置下拉输入，HSI = 25MHz（已校准），F_{HCLK} = F_{V3F}。使能或关闭所有外设时钟的功耗。

CH32H415 处于下列条件之一：

1、常温供电 V_{DD33} = 3.3V、V_{DD33A} = 3.3V，产生 V_{DDK} = 1.2V。

2、常温，外部为 DCDC 芯片（CH2003V）提供额定 5V，产生额定 3.3V 和 1.2V 供给 CH32H415 芯片。

同时测试时：所有 I/O 端口配置下拉输入，HSI = 25MHz（已校准），F_{HCLK} = F_{V3F}。使能或关闭所有外设时钟的功耗。

注：小封装型号未封装出的引脚或者已封装出来但未使用的引脚，建议配置为上拉输入或者下拉输入，否则可能影响电流指标，具体操作请参考 EVT 低功耗例程。

表 3-6-1 运行模式下典型的电流消耗，数据处理代码从 SRAM 中运行（RISC-V5F）

符号	参数	条件			典型值		单位
		时钟	F_{V5F}	F_{HCLK}	使能所有外设	关闭所有外设	
I_{DD} (1)	运行模式下，芯片总供应电流	运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	480MHz	120MHz	135.5	101.1	mA
			400MHz	100MHz	101.6	73.6	
			384MHz	96MHz	96.6	68.7	
			288MHz	144MHz	95.4	57.4	
			25MHz	25MHz	14.0	8.3	
			500kHz	500kHz	10.0	8.2	
		外部时钟	480MHz	120MHz	136.7	101.9	
			400MHz	100MHz	102.2	74.2	
			384MHz	96MHz	97.4	69.6	
			288MHz	144MHz	96.0	58.0	
			25MHz	25MHz	14.7	8.9	
			500kHz	500kHz	10.7	8.8	

注：1. 以上为实测参数。

表 3-6-2 运行模式下典型的电流消耗，数据处理代码从 SRAM 中运行（RISC-V3F）

符号	参数	条件			典型值		单位
		时钟	F_{V3F}	F_{HCLK}	使能所有外设	关闭所有外设	
I_{DD} (1)	运行模式下，芯片总供应电流	运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	144MHz	144MHz	77.1	33.2	mA
			96MHz	96MHz	59.2	33.2	
			25MHz	25MHz	15.4	8.6	
			500kHz	500kHz	9.9	8.4	
		外部时钟	144MHz	144MHz	77.5	33.7	
			96MHz	96MHz	60.0	33.7	
			25MHz	25MHz	14.4	9.7	
			500kHz	500kHz	10.7	8.6	

注：1. 以上为实测参数。

表 3-6-3 运行模式下典型的电流消耗，数据处理代码从 SRAM 中运行（RISC-V5F + RISC-V3F）

符号	参数	条件			典型值		单位
		时钟	F_{V5F}	F_{V3F}	使能所有外设	关闭所有外设	
I_{DD} (1)	运行模式下，芯片总供应电流	运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	480MHz	120MHz	143.4	110.8	mA
			400MHz	100MHz	115.5	87.8	
			384MHz	96MHz	106.6	78.8	
			288MHz	144MHz	124.2	86.5	
			25MHz	25MHz	16.9	10.9	
			500kHz	500kHz	10.0	8.8	
		外部时钟	480MHz	120MHz	144.0	111.2	
			400MHz	100MHz	115.9	88.3	
			384MHz	96MHz	107.5	79.6	
			288MHz	144MHz	125.5	87.9	

			25MHz	25MHz	17.6	11.7	
			500kHz	500kHz	10.8	9.2	

注：1.以上为实测参数。

表 3-6-4 运行模式下 V_{DDK} 典型的电流消耗，数据处理代码从 SRAM 中运行（RISC-V5F + RISC-V3F）

符号	参数	条件			典型值		单位
		时钟	F_{V5F}	F_{V3F}	使能所有外设	关闭所有外设	
I_{DDK}(1)(2)	运行模式下，V_{DDK} 供应电流	运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	400MHz	100MHz	111.5	83.9	mA
			240MHz	120MHz	92.6	63.8	
			25MHz	25MHz	13.8	7.9	
		外部时钟	400MHz	100MHz	112.2	84.4	
			240MHz	120MHz	93.2	64.3	
			25MHz	25MHz	14.4	8.6	

注：1.以上为实测参数。

2.当 V_{DDK} 由外部直接供电时，外部电源的供电能力需要充分大于上述表格中的数值。

表 3-6-5 运行模式下 V_{DD12A} 典型的电流消耗，数据处理代码从 SRAM 中运行

符号	参数	条件	典型值	单位
I_{DD12A}(1)(2)	运行模式下，V_{DD12A} 供应电流	使用 USB 3.0	85	mA

注：1.以上为实测参数。

2.当 V_{DD12A} 由外部直接供电时，外部电源的供电能力需要充分大于上述表格中的数值。

表 3-7 睡眠模式下典型的电流消耗，数据处理代码从 SRAM 中运行（RISC-V5F + RISC-V3F）

符号	参数	条件			典型值		单位
		时钟	F_{V5F}	F_{V3F}	使能所有外设	关闭所有外设	
I_{DD}(1)	睡眠模式下，芯片总供应电流（此时外设供电和时钟保持）	运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	480MHz	120MHz	60.1	25.7	mA
			400MHz	100MHz	45.7	18.2	
			384MHz	96MHz	48.0	22.2	
			288MHz	144MHz	58.8	22.8	
			25MHz	25MHz	10.6	5.2	
			500kHz	500kHz	9.9	5.2	
		外部时钟	480MHz	120MHz	60.8	26.4	
			400MHz	100MHz	46.3	19.0	
			384MHz	96MHz	48.8	22.8	
			288MHz	144MHz	60.1	23.5	
			25MHz	25MHz	11.4	6.0	
			500kHz	500kHz	10.6	5.9	

注：1.以上均为实测参数。

表 3-8 停止模式下典型的电流消耗（RISC-V5F + RISC-V3F）

符号	参数	条件	典型值	单位
I_{DD}(1)	停止模式下，芯片总供应电流	调压器处于正常模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状	4.4	mA

		态（没有独立看门狗）		
		调压器处于低功耗模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗，PVD 关闭）	1.8	mA
		使用 DCDC 芯片（CH2003V）供电 (2)，调压器处于低功耗模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗，PVD 关闭）	1.7	mA
		使用 DCDC 芯片（CH2003K）供电 (3)，调压器处于低功耗模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗，PVD 关闭）	0.8	mA
I_{DD_VBAT}	备份区域的供应电流（移除 V_{DD33}、V_{DD33A} 和 V_{DDIO}，只使用 V_{BAT} 供电）	低速外部振荡器和 RTC 处于开启状态	3.5	uA

注：1. 以上均为实测参数。
2. 供电电路基于图 3-1-2、图 3-1-5、图 3-1-7。
3. 供电电路基于图 3-1-3。

3.3.5 外部时钟源特性

表 3-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSE_ext}	外部时钟频率		5	25	32	MHz
V_{HSEH} (1)	XI 输入引脚高电平电压		0.8*V_{DDIO}		V_{DDIO}	V
V_{HSEL} (1)	XI 输入引脚低电平电压		0		0.2*V_{DDIO}	V
$C_{in(HSE)}$	XI 输入电容			5		pF
$DuCy_{(HSE)}$	占空比(Duty cycle)			50		%
I_L	XI 输入漏电流				±1	uA

注：1. 不满足此条件可能会引起电平识别错误。

图 3-3 外部提供高频时钟源电路

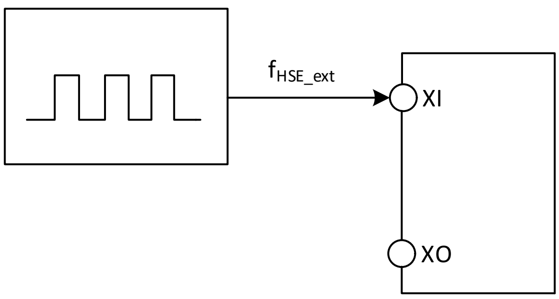


表 3-10 来自外部低速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSE_ext}	用户外部时钟频率			32.768		kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		0.8*V_{DD33}		V_{DD33}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		0		0.2*V_{DD33}	V

$C_{in\ (LSE)}$	OSC32_IN 输入电容			5		pF
$DuCy_{LSE}$	占空比（Duty cycle）			50		%
I_L	OSC32_IN 输入漏电流				±1	uA

注：1. 不满足此条件可能会引起电平识别错误。

图 3-4 外部提供低频时钟源电路

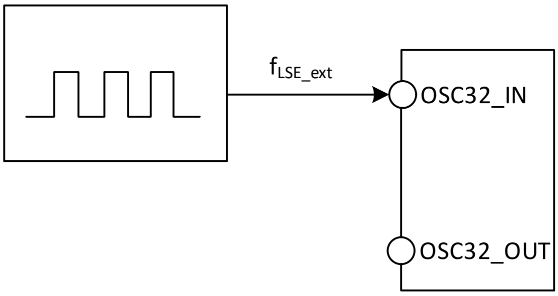


表 3-11 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{XI}	谐振器频率		5	25	32	MHz
R_F	反馈电阻（无需外置）			250		kΩ
C_{LOAD}	建议的负载电容与对应晶体串行阻抗 R_S	R_S = 60Ω [1]		20		pF
I_{HSE}	HSE 驱动电流			0.8		mA
g_m	振荡器的跨导	启动		26		mA/V
$t_{SU(HSE)}$	启动时间	V_{DD33}稳定，25M 晶体		1.5 [2]		ms

注：1. 建议晶体 ESR 不超过 80 欧姆，优先选择 ESR 较小的晶体，负载电容参考晶体手册要求。

2. 启动时间指从 HSEON 开启到 HSERDY 被置位的时间差。

3. 以太网应用通常需要 HSE，晶振建议用 25M 晶体，建议不超过 30ppm。

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况 C_{L1} = C_{L2}。

图 3-5 外接 25M 晶体典型电路

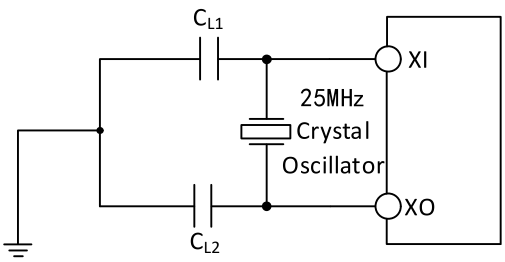


表 3-12 使用一个晶体/陶瓷谐振器产生的低速外部时钟（f_{LSE} = 32.768kHz）

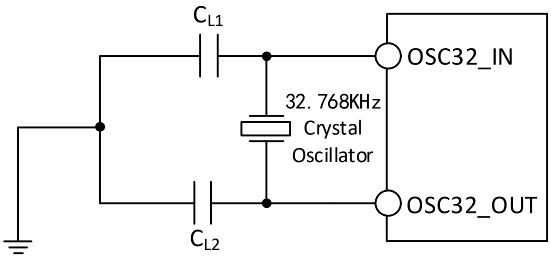
符号	参数	条件	最小值	典型值	最大值	单位
F_{LSE}	谐振器频率			32.768		kHz
R_F	反馈电阻			5		MΩ
C	建议的负载电容与对应晶体串行阻抗 R_S	R_S < 70kΩ			15	pF

i_2	LSE 驱动电流			0.35		uA
g_m	振荡器的跨导	启动		30		uA/V
$t_{SU(LSE)}$	启动时间	V_{DD33}是稳定的		800		mS

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1} = C_{L2}$，可选 12pF 左右。

图 3-6 外接 32.768K 晶体典型电路



注：负载电容 C_L 由下式计算：$C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

3.3.6 内部时钟源特性

表 3-13 内部高速(HSI)RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率(校准后)			25		MHz
$DuCy_{HSI}$	占空比(Duty cycle)		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度（校准后）	T_A = 0℃～70℃	-1.6		1.6	%
		T_A = -40℃～85℃	-2.2		2.2	%
$t_{SU(HSI)}$	HSI 振荡器启动稳定时间			10		us

表 3-14 内部低速(LSI)RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		25	40	60	kHz
$DuCy_{LSI}$	占空比(Duty cycle)		45	50	55	%
$t_{SU(LSI)}$ (1)	LSI 振荡器启动稳定时间			230		us
$I_{DD(LSI)}$	LSI 振荡器功耗			0.6		uA

注：1. 寄存器 RCC_CTLR LSION 置 1，等待 LSIRDY 置 1。

3.3.7 PLL 特性

表 3-15 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{PLL_IN}	PLL 输入时钟		5	25	32	MHz
	PLL 输入时钟占空比		40		60	%
F_{PLL_OUT}	PLL 倍频输出时钟		100		600	MHz
t_{LOCK}	PLL 锁定时间			40	90	us

3.3.8 从低功耗模式唤醒的时间

表 3-16 低功耗模式唤醒的时间

符号	参数	条件	典型值	单位
$t_{wusleep}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	0.3	us
t_{wustop}	从停止模式唤醒（调压器为正常模式）	HSI RC 时钟唤醒	4	us
	从停止模式唤醒（调压器为低功耗模式）	调压器从低功耗模式唤醒时间 + HSI RC 时钟唤醒	35	us

注：以上为实测参数。

3.3.9 存储器特性

表 3-17 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog_page}	页（256 字节）编程时间			1.5	3	ms
t_{erase_sec}	扇区擦除时间	DBMODE = 0，单次 4K 字节		3	10	ms
		DBMODE = 1，单次 8K 字节				
t_{erase_32k}	块擦除时间	DBMODE = 0，单次 32K 字节		3	10	ms
		DBMODE = 1，单次 64K 字节				

表 3-18 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	T_A = 25℃	50K			次
t_{RET}	数据保存期限		20			年

3.3.10 I/O 端口特性

表 3-19 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	标准 I/O 脚，输入高电平电压	V*_IO_HSLV = 0	$0.45*V_*+0.41$		$V_*+0.3$	V
		V*_IO_HSLV = 0，且 V_* = 3.3V	1.9		3.6	V
		V*_IO_HSLV = 1，不包括PC13～PC15	$0.7*V_*$		$V_*+0.3$	V
	FT I/O 引脚，输入高电平电压	V*_IO_HSLV = 0	$0.45*V_*+0.41$		5.0	V
		V*_IO_HSLV = 0，且 V_* = 3.3V	1.9		5.0	V
		V*_IO_HSLV = 1	$0.7*V_*$		5.0	V
V_{IL}	标准 I/O 脚，输入低电平电压	V*_IO_HSLV = 0	-0.3		$0.29*V_*-0.07$	V
		V*_IO_HSLV = 0，且 V_* = 3.3V	-0.3		0.9	V
		V*_IO_HSLV = 1，	-0.3		$0.3*V_*$	V

		不包括PC13～PC15				
	FT I/O 引脚，输入低电平电压	V*_IO_HSLV = 0	-0.3		0.29*V_*-0.07	V
		V*_IO_HSLV = 0，且 V_* = 3.3V	-0.3		0.9	V
		V*_IO_HSLV = 1	-0.3		0.3*V_*	V
V_{hys}	标准 I/O 脚施密特触发器电压迟滞			240		mV
	FT I/O 引脚施密特触发器电压迟滞			220		mV
I_{lkg}	输入漏电流	标准 I/O 端口			1	uA
		FT I/O 端口			3	uA
R_{PU}	上拉等效电阻		30	40	55	kΩ
R_{PD}	下拉等效电阻		30	40	55	kΩ
C_{IO}	I/O 引脚电容			5		pF

*注：对于 CH32H417 芯片，I/O 引脚由 V_{DDIO}、V_{IO18}、V_{DD33} 或 V_{BAT} 供电，上表中 V_*根据具体的引脚可表示为 V_{DDIO}、V_{IO18}、V_{DD33} 或 V_{BAT}；上表中位 V*_IO_HSLV 根据具体的引脚可表示为 VDD33_IO_HSLV、VDDIO_IO_HSLV 或 VIO18_IO_HSLV。*

输出驱动电流特性

GPIO(通用输入/输出端口)可以吸收或输出多达±8mA 电流，并且吸收或输出±20mA 电流(不严格达到 V_{OL}/V_{OH})。在用户应用中，所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值。

表 3-20-1 输出电压特性（不包括 FT I/O 引脚和 PC13～PC15 引脚）

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平，8 个引脚吸收电流	I_{IO} = 8mA 2.7V≤V_*≤3.6V, V*_IO_HSLV=0 1.65V≤V_*≤2.7V, V*_IO_HSLV=1		0.25	V
V_{OH}	输出高电平，8 个引脚输出电流		V_*-0.25		
V_{OL}	输出低电平，8 个引脚吸收电流	I_{IO} = 20mA 2.7V≤V_*≤3.6V, V*_IO_HSLV=0		0.6	V
V_{OH}	输出高电平，8 个引脚输出电流		V_*-0.6		
V_{OL}	输出低电平，8 个引脚吸收电流	I_{IO} = 8mA 1.65V≤V_*≤2.7V, V*_IO_HSLV=0		0.4	V
V_{OH}	输出高电平，8 个引脚输出电流		V_*-0.4		

注：1. 以上条件中如果多个 I/O 引脚同时驱动，电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时，电源/地线点上的电流很大，会导致压降使内部 I/O 的电压达不到表中电源电压，从而导致驱动电流小于标称值。

*2. 上表中 V_*根据具体的引脚可表示为 V_{DDIO}、V_{IO18} 或 V_{DD33}；上表中位 V*_IO_HSLV 根据具体的引脚可表示为 VDD33_IO_HSLV、VDDIO_IO_HSLV 或 VIO18_IO_HSLV。*

表 3-20-2 输出电压特性（针对 FT I/O 引脚）

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平，8 个引脚吸收电流	I_{IO} = 8mA 2.7V≤V_*≤3.6V, V*_IO_HSLV = 0 1.65V≤V_*≤2.7V, V*_IO_HSLV = 1		0.4	V
V_{OH}	输出高电平，8 个引脚输出电流		V_*-0.4		
V_{OL}	输出低电平，8 个引脚吸收电流	I_{IO} = 20mA, 2.7V≤V_*≤3.6V, V*_IO_HSLV = 0		1.0	V
V_{OH}	输出高电平，8 个引脚输出电流		V_*-1.0		
V_{OL}	输出低电平，8 个引脚吸收电流	I_{IO} = 5mA,		0.4	V

V_{OH}	输出高电平，8 个引脚输出电流	1.65V≤V_*≤2.7V, V*_IO_HSLV = 0	V_*-0.4		

*注：1.上表中 V_*根据具体的引脚可表示为 V_{DDIO}、V_{IO18}或 V_{DD33}；上表中位 V*_IO_HSLV 根据具体的引脚可表示为 VDD33_IO_HSLV、VDDIO_IO_HSLV 或 VIO18_IO_HSLV。*

表 3-20-3 输出电压特性（针对 PC13～PC15 引脚）

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平，3 个引脚吸收电流	I_{IO} = 8mA 2.7V≤ V_{DD33}/V_{BAT} ≤3.6V		0.25	V
V_{OH}	输出高电平，3 个引脚输出电流	I_{IO} = 3mA 2.7V≤ V_{DD33}/V_{BAT} ≤3.6V	$V_{DD33/BAT}$-0.4		
V_{OL}	输出低电平，3 个引脚吸收电流	I_{IO} = 4mA 1.8V≤ V_{DD33}/V_{BAT} ≤3.6V		0.25	V
V_{OH}	输出高电平，3 个引脚输出电流	I_{IO} = 1.5mA 1.8V≤ V_{DD33}/V_{BAT} ≤3.6V	$V_{DD33/BAT}$-0.4		

注：对于 CH32H417 芯片，PC13～PC15 引脚根据不同情况由 V_{DD33}或 V_{BAT}供电。

表 3-21-1 输出交流特性（VDD33/VDDIO/VIO18_IO_HSLV＝0，不包括 FT I/O 引脚和 PC13～PC15 引脚）

SPEEDy[1:0]配置	符号	参数	条件	最小值	最大值	单位
00	$F_{max(IO)out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		40	MHz
			CL=50pF，V_* = 1.65-2.7V		18	MHz
			CL=30pF，V_* = 2.7-3.6V		50	MHz
			CL=30pF，V_* = 1.65-2.7V		22	MHz
			CL=10pF，V_* = 2.7-3.6V		70	MHz
			CL=10pF，V_* = 1.65-2.7V		28	MHz
	$t_r/t_{f(IO)out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		8	ns
			CL=50pF，V_* = 1.65-2.7V		15	ns
			CL=30pF，V_* = 2.7-3.6V		6	ns
			CL=30pF，V_* = 1.65-2.7V		12	ns
			CL=10pF，V_* = 2.7-3.6V		4	ns
			CL=10pF，V_* = 1.65-2.7V		8	ns
01	$F_{max(IO)out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		75	MHz
			CL=50pF，V_* = 1.65-2.7V		35	MHz
			CL=30pF，V_* = 2.7-3.6V		100	MHz
			CL=30pF，V_* = 1.65-2.7V		40	MHz
			CL=10pF，V_* = 2.7-3.6V		180	MHz
			CL=10pF，V_* = 1.65-2.7V		50	MHz
	$t_r/t_{f(IO)out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		4.4	ns
			CL=50pF，V_* = 1.65-2.7V		8.5	ns
			CL=30pF，V_* = 2.7-3.6V		3.2	ns
			CL=30pF，V_* = 1.65-2.7V		6	ns
			CL=10pF，V_* = 2.7-3.6V		1.7	ns
			CL=10pF，V_* = 1.65-2.7V		3.5	ns
10	$F_{max(IO)out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		75	MHz

			CL=50pF，V_* = 1.65-2.7V		40	MHz
			CL=30pF，V_* = 2.7-3.6V		110	MHz
			CL=30pF，V_* = 1.65-2.7V		50	MHz
			CL=10pF，V_* = 2.7-3.6V		200	MHz
			CL=10pF，V_* = 1.65-2.7V		65	MHz
	$t_r/t_{f\ (IO)\ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		4.3	ns
			CL=50pF，V_* = 1.65-2.7V		8.2	ns
			CL=30pF，V_* = 2.7-3.6V		3	ns
			CL=30pF，V_* = 1.65-2.7V		5.6	ns
			CL=10pF，V_* = 2.7-3.6V		1.5	ns
			CL=10pF，V_* = 1.65-2.7V		3	ns
11	$F_{max\ (IO)\ out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		75	MHz
			CL=50pF，V_* = 1.65-2.7V		40	MHz
			CL=30pF，V_* = 2.7-3.6V		120	MHz
			CL=30pF，V_* = 1.65-2.7V		55	MHz
			CL=10pF，V_* = 2.7-3.6V		200	MHz
			CL=10pF，V_* = 1.65-2.7V		70	MHz
	$t_r/t_{f\ (IO)\ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		4.2	ns
			CL=50pF，V_* = 1.65-2.7V		8	ns
			CL=30pF，V_* = 2.7-3.6V		2.8	ns
			CL=30pF，V_* = 1.65-2.7V		5.4	ns
			CL=10pF，V_* = 2.7-3.6V		1.5	ns
			CL=10pF，V_* = 1.65-2.7V		2.8	ns

注：1. 以上均为设计参数保证。

2. 上表中，V_*根据具体的引脚可表示为 V_{DDIO}、V_{IO18} 或 V_{DD33}。

表 3-21-2 输出交流特性（VDD33/VDDIO/VIO18_IO_HSLV = 1，不包括 FT I/O 引脚和 PC13～PC15 引脚）

SPEEDy[1:0]配置	符号	参数	条件	最小值	最大值	单位
00	$F_{max\ (IO)\ out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		75	MHz
			CL=50pF，V_* = 1.65-2.7V		35	MHz
			CL=30pF，V_* = 2.7-3.6V		95	MHz
			CL=30pF，V_* = 1.65-2.7V		45	MHz
			CL=10pF，V_* = 2.7-3.6V		130	MHz
			CL=10pF，V_* = 1.65-2.7V		55	MHz
	$t_r/t_{f\ (IO)\ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		4.3	ns
			CL=50pF，V_* = 1.65-2.7V		8.3	ns
			CL=30pF，V_* = 2.7-3.6V		3.3	ns
			CL=30pF，V_* = 1.65-2.7V		6.4	ns
			CL=10pF，V_* = 2.7-3.6V		2.2	ns
			CL=10pF，V_* = 1.65-2.7V		4.2	ns
01	$F_{max\ (IO)\ out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		110	MHz
			CL=50pF，V_* = 1.65-2.7V		60	MHz
			CL=30pF，V_* = 2.7-3.6V		175	MHz

			CL=30pF，V_* = 1.65-2.7V		90	MHz
			CL=10pF，V_* = 2.7-3.6V		230	MHz
			CL=10pF，V_* = 1.65-2.7V		140	MHz
	$t_r/t_{f\,(IO)\,out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		2.8	ns
			CL=50pF，V_* = 1.65-2.7V		5.3	ns
			CL=30pF，V_* = 2.7-3.6V		1.8	ns
			CL=30pF，V_* = 1.65-2.7V		3.6	ns
			CL=10pF，V_* = 2.7-3.6V		0.9	ns
			CL=10pF，V_* = 1.65-2.7V		1.9	ns
10	$F_{max\,(IO)\,out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		120	MHz
			CL=50pF，V_* = 1.65-2.7V		64	MHz
			CL=30pF，V_* = 2.7-3.6V		170	MHz
			CL=30pF，V_* = 1.65-2.7V		95	MHz
			CL=10pF，V_* = 2.7-3.6V		240	MHz
			CL=10pF，V_* = 1.65-2.7V		160	MHz
	$t_r/t_{f\,(IO)\,out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		2.7	ns
			CL=50pF，V_* = 1.65-2.7V		5.2	ns
			CL=30pF，V_* = 2.7-3.6V		1.7	ns
			CL=30pF，V_* = 1.65-2.7V		3.4	ns
			CL=10pF，V_* = 2.7-3.6V		0.8	ns
			CL=10pF，V_* = 1.65-2.7V		1.7	ns
11	$F_{max\,(IO)\,out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		120	MHz
			CL=50pF，V_* = 1.65-2.7V		65	MHz
			CL=30pF，V_* = 2.7-3.6V		170	MHz
			CL=30pF，V_* = 1.65-2.7V		100	MHz
			CL=10pF，V_* = 2.7-3.6V		250	MHz
			CL=10pF，V_* = 1.65-2.7V		180	MHz
	$t_r/t_{f\,(IO)\,out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		2.7	ns
			CL=50pF，V_* = 1.65-2.7V		5.1	ns
			CL=30pF，V_* = 2.7-3.6V		1.7	ns
			CL=30pF，V_* = 1.65-2.7V		3.4	ns
			CL=10pF，V_* = 2.7-3.6V		0.8	ns
			CL=10pF，V_* = 1.65-2.7V		1.6	ns

注：1. 以上均为设计参数保证。

2. 上表中，V_*根据具体的引脚可表示为 V_{DDIO}、V_{IO18} 或 V_{DD33}。

表 3-21-3 输出交流特性（VDD33/VDDIO/VIO18_IO_HSLV = 0，仅针对 FT I/O 引脚）

SPEEDy[1:0]配置	符号	参数	条件	最小值	最大值	单位
00	$F_{max\,(IO)\,out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		30	MHz
			CL=50pF，V_* = 1.65-2.7V		14	MHz
			CL=30pF，V_* = 2.7-3.6V		35	MHz
			CL=30pF，V_* = 1.65-2.7V		20	MHz
			CL=10pF，V_* = 2.7-3.6V		43	MHz

			CL=10pF，V* = 1.65-2.7V		23	MHz
	$t_r/t_{f\ (IO)\ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V* = 2.7-3.6V		10	ns
			CL=50pF，V* = 1.65-2.7V		22	ns
			CL=30pF，V* = 2.7-3.6V		7.6	ns
			CL=30pF，V* = 1.65-2.7V		14	ns
			CL=10pF，V* = 2.7-3.6V		5	ns
			CL=10pF，V* = 1.65-2.7V		9	ns
01	$F_{max\ (IO)\ out}$	最大频率	CL=50pF，V* = 2.7-3.6V		32	MHz
			CL=50pF，V* = 1.65-2.7V		16	MHz
			CL=30pF，V* = 2.7-3.6V		45	MHz
			CL=30pF，V* = 1.65-2.7V		25	MHz
			CL=10pF，V* = 2.7-3.6V		90	MHz
			CL=10pF，V* = 1.65-2.7V		50	MHz
	$t_r/t_{f\ (IO)\ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V* = 2.7-3.6V		8	ns
			CL=50pF，V* = 1.65-2.7V		15	ns
			CL=30pF，V* = 2.7-3.6V		5.5	ns
			CL=30pF，V* = 1.65-2.7V		10.5	ns
			CL=10pF，V* = 2.7-3.6V		3	ns
			CL=10pF，V* = 1.65-2.7V		5.5	ns
10	$F_{max\ (IO)\ out}$	最大频率	CL=50pF，V* = 2.7-3.6V		35	MHz
			CL=50pF，V* = 1.65-2.7V		18	MHz
			CL=30pF，V* = 2.7-3.6V		50	MHz
			CL=30pF，V* = 1.65-2.7V		28	MHz
			CL=10pF，V* = 2.7-3.6V		100	MHz
			CL=10pF，V* = 1.65-2.7V		55	MHz
	$t_r/t_{f\ (IO)\ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V* = 2.7-3.6V		8	ns
			CL=50pF，V* = 1.65-2.7V		15	ns
			CL=30pF，V* = 2.7-3.6V		5.5	ns
			CL=30pF，V* = 1.65-2.7V		11	ns
			CL=10pF，V* = 2.7-3.6V		3	ns
			CL=10pF，V* = 1.65-2.7V		5.5	ns
11	$F_{max\ (IO)\ out}$	最大频率	CL=50pF，V* = 2.7-3.6V		37	MHz
			CL=50pF，V* = 1.65-2.7V		20	MHz
			CL=30pF，V* = 2.7-3.6V		55	MHz
			CL=30pF，V* = 1.65-2.7V		30	MHz
			CL=10pF，V* = 2.7-3.6V		110	MHz
			CL=10pF，V* = 1.65-2.7V		60	MHz
	$t_r/t_{f\ (IO)\ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V* = 2.7-3.6V		8	ns
			CL=50pF，V* = 1.65-2.7V		15	ns
			CL=30pF，V* = 2.7-3.6V		5.5	ns
			CL=30pF，V* = 1.65-2.7V		10	ns
			CL=10pF，V* = 2.7-3.6V		2.5	ns
			CL=10pF，V* = 1.65-2.7V		5.5	ns

注：1. 以上均为设计参数保证。

2. 上表中，V_*根据具体的引脚可表示为 V_{DDIO}、V_{IO18}或 V_{DD33}。

表 3-21-4 输出交流特性（VDD33/VDDIO/VIO18_IO_HSLV = 1，仅针对 FT I/O 引脚）

SPEEDy[1:0]配置	符号	参数	条件	最小值	最大值	单位
00	$F_{max(IO)out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		45	MHz
			CL=50pF，V_* = 1.65-2.7V		25	MHz
			CL=30pF，V_* = 2.7-3.6V		50	MHz
			CL=30pF，V_* = 1.65-2.7V		35	MHz
			CL=10pF，V_* = 2.7-3.6V		55	MHz
			CL=10pF，V_* = 1.65-2.7V		42	MHz
	$t_r/t_{f(IO)out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		6.5	ns
			CL=50pF，V_* = 1.65-2.7V		12	ns
			CL=30pF，V_* = 2.7-3.6V		4.6	ns
			CL=30pF，V_* = 1.65-2.7V		8.6	ns
			CL=10pF，V_* = 2.7-3.6V		3	ns
			CL=10pF，V_* = 1.65-2.7V		5.3	ns
01	$F_{max(IO)out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		50	MHz
			CL=50pF，V_* = 1.65-2.7V		25	MHz
			CL=30pF，V_* = 2.7-3.6V		75	MHz
			CL=30pF，V_* = 1.65-2.7V		36	MHz
			CL=10pF，V_* = 2.7-3.6V		130	MHz
			CL=10pF，V_* = 1.65-2.7V		70	MHz
	$t_r/t_{f(IO)out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		5.5	ns
			CL=50pF，V_* = 1.65-2.7V		10.5	ns
			CL=30pF，V_* = 2.7-3.6V		3.7	ns
			CL=30pF，V_* = 1.65-2.7V		7.2	ns
			CL=10pF，V_* = 2.7-3.6V		2	ns
			CL=10pF，V_* = 1.65-2.7V		3.8	ns
10	$F_{max(IO)out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		55	MHz
			CL=50pF，V_* = 1.65-2.7V		28	MHz
			CL=30pF，V_* = 2.7-3.6V		80	MHz
			CL=30pF，V_* = 1.65-2.7V		40	MHz
			CL=10pF，V_* = 2.7-3.6V		135	MHz
			CL=10pF，V_* = 1.65-2.7V		75	MHz
	$t_r/t_{f(IO)out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		5.5	ns
			CL=50pF，V_* = 1.65-2.7V		10.5	ns
			CL=30pF，V_* = 2.7-3.6V		3.7	ns
			CL=30pF，V_* = 1.65-2.7V		7.1	ns
			CL=10pF，V_* = 2.7-3.6V		2	ns
			CL=10pF，V_* = 1.65-2.7V		3.8	ns
11	$F_{max(IO)out}$	最大频率	CL=50pF，V_* = 2.7-3.6V		60	MHz
			CL=50pF，V_* = 1.65-2.7V		30	MHz
			CL=30pF，V_* = 2.7-3.6V		85	MHz

			CL=30pF，V_* = 1.65-2.7V		45	MHz
			CL=10pF，V_* = 2.7-3.6V		140	MHz
			CL=10pF，V_* = 1.65-2.7V		80	MHz
	$t_r/t_{f\,(IO)\,out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF，V_* = 2.7-3.6V		5.5	ns
			CL=50pF，V_* = 1.65-2.7V		10.5	ns
			CL=30pF，V_* = 2.7-3.6V		3.7	ns
			CL=30pF，V_* = 1.65-2.7V		7.1	ns
			CL=10pF，V_* = 2.7-3.6V		2	ns
			CL=10pF，V_* = 1.65-2.7V		3.8	ns

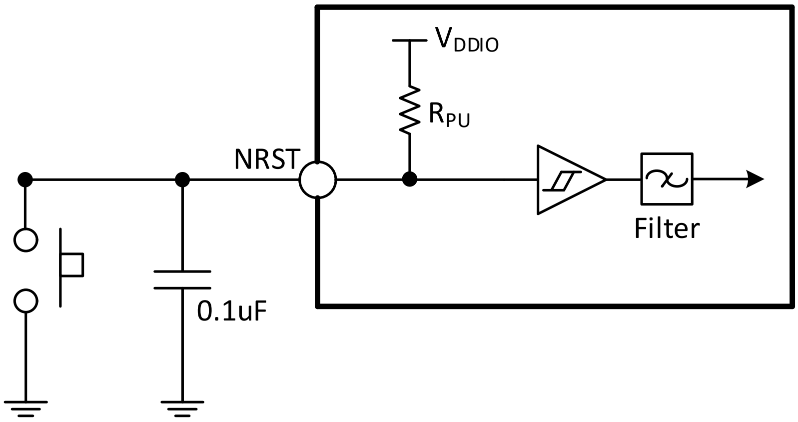
注：1. 以上均为设计参数保证。

2. 上表中，V_*根据具体的引脚可表示为 V_{DDIO}、V_{IO18} 或 V_{DD33}。

3.3.11 NRST 引脚特性

电路参考设计及要求：

图 3-7 外部复位引脚典型电路



注：图中的电容是可选的，可以用于滤除按键抖动。

表 3-22 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL\,(NRST)}$	NRST 输入低电平电压		-0.3		0.29*V_{DDIO}-0.07	V
$V_{IH\,(NRST)}$	NRST 输入高电平电压		0.45*V_{DDIO}+0.41		V_{DDIO}+0.3	V
$V_{hys\,(NRST)}$	NRST 施密特触发器电压迟滞		150			mV
R_{PU} (1)	上拉等效电阻		30	40	55	kΩ
$V_{F\,(NRST)}$	NRST 输入可被滤波脉宽				100	ns
$V_{NF\,(NRST)}$	NRST 输入无法滤波脉宽		300			ns

注：上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS 开关的电阻很小（约占 10%）。

3.3.12 TIM 定时器特性

表 3-23-1 TIM1/8/2/3/4/5/6/7 以及 LPTIM1/2 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 150MHz	6.7		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz

		$f_{TIMxCLK}$ = 150MHz	0	75	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 150MHz	0.0067	437	us
t_{MAX_COUNT}	最大可能的计数			65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 150MHz		28.6	s

表 3-23-2 TIM9/10/11/12 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 150MHz	6.7		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}$ = 150MHz	0	75	MHz
R_{esTIM}	定时器分辨率			32	位
$t_{COUNTER}$	当选择了内部时钟时，32 位计数器时钟周期		1	2^{32}	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 150MHz	0.0067	$2^{32}/150$	us
t_{MAX_COUNT}	最大可能的计数			2^{32}	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 150MHz		$2^{32}*2^{32}/150$	us

3.3.13 I2C 接口特性

图 3-8 I2C 总线时序图

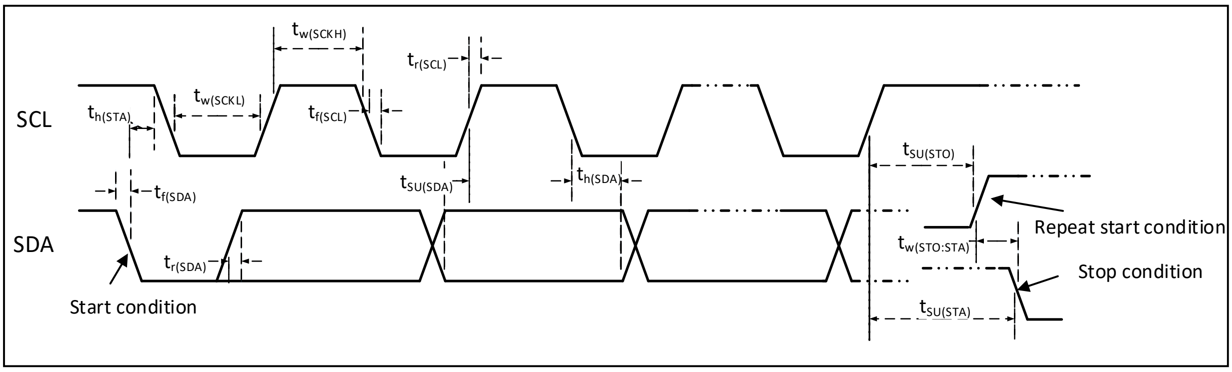


表 3-24 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCKL)}$	SCL 时钟低电平时间	4.7		1.2		us
$t_{w(SCKH)}$	SCL 时钟高电平时间	4.0		0.6		us
$t_{SU(SDA)}$	SDA 数据建立时间	250		100		ns
$t_{h(SDA)}$	SDA 数据保持时间	0		0	900	ns
$t_{r(SDA)}/t_{r(SCL)}$	SDA 和 SCL 上升时间		1000	20		ns
$t_{f(SDA)}/t_{f(SCL)}$	SDA 和 SCL 下降时间		300			ns
$t_{h(STA)}$	开始条件保持时间	4.0		0.6		us
$t_{SU(STA)}$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU(STO)}$	停止条件建立时间	4.0		0.6		us
$t_{w(STO:STA)}$	停止条件至开始条件的时间(总线空闲)	4.7		1.2		us

C_b	每条总线的容性负载		400		400	pF

3.3.14 I3C 接口特性

表 3-25 I3C 接口特性

符号	参数	条件	最小值	最大值	单位
$t_{r(SDA)\_OD}$ (1)	开漏模式下 SDA 上升时间	$1.71<V_{IO18}<3.6V$	100		ns
$t_{r(SDA)\_PP}$ (1)	推挽模式下 SDA 上升时间	$1.71<V_{IO18}<3.6V$	5.1		ns

注：1. $t_{r(SDA)_OD}$和 $t_{r(SDA)_PP}$为设计参数保证，可通过寄存器 R32_I3C_TIMINGR0 进行配置。其他时间参数可参考 MIPI 协议。

3.3.15 SPI 接口特性

图 3-9 SPI 主模式时序图

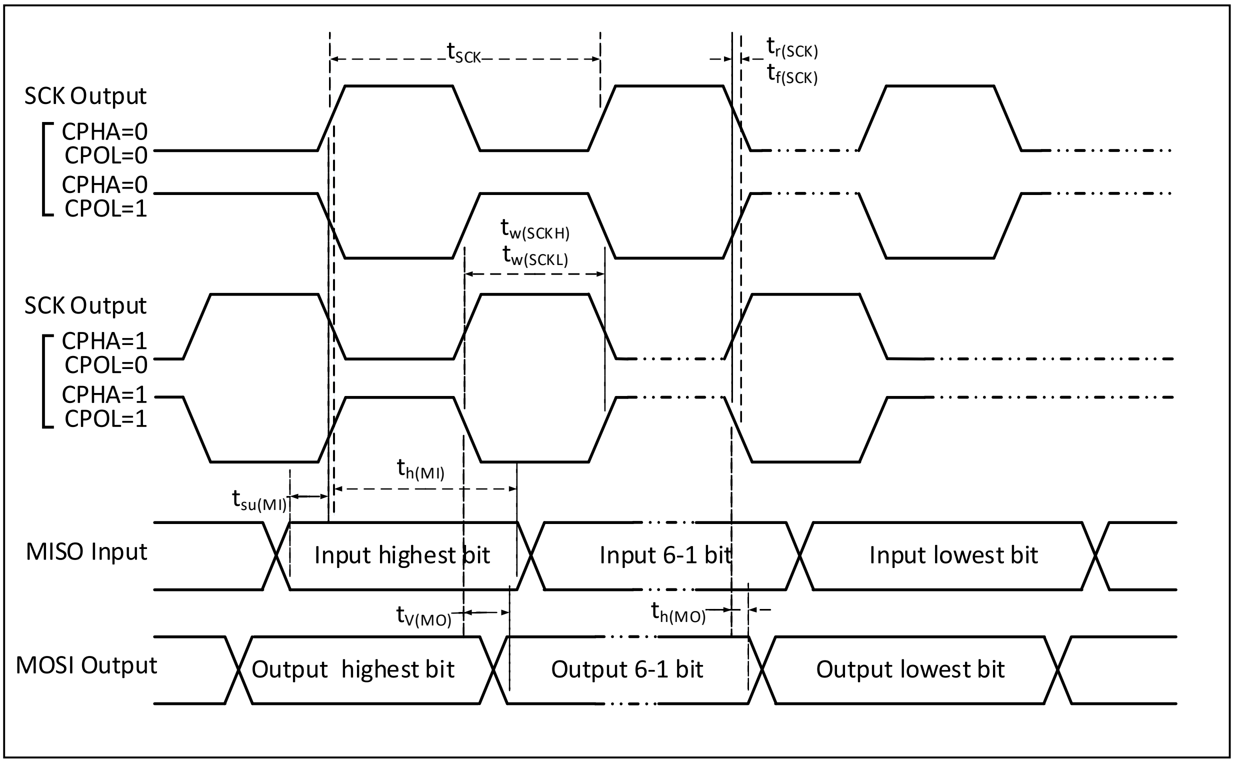


图 3-10 SPI 从模式时序图（CPHA=0）

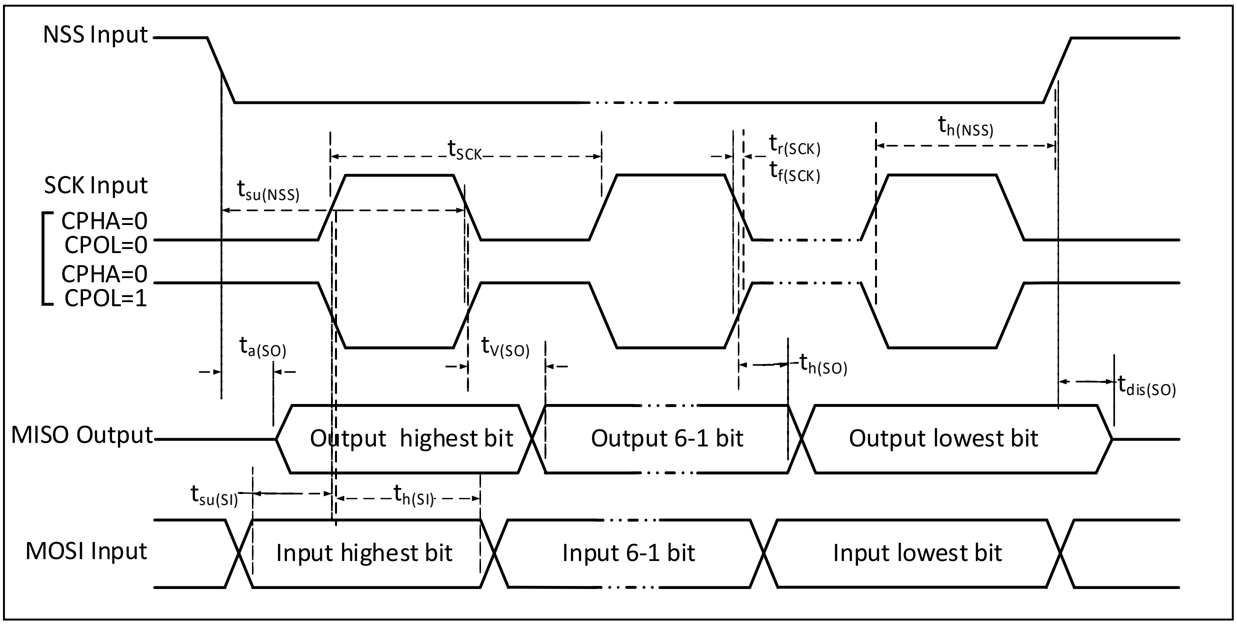


图 3-11 SPI 从模式时序图（CPHA=1）

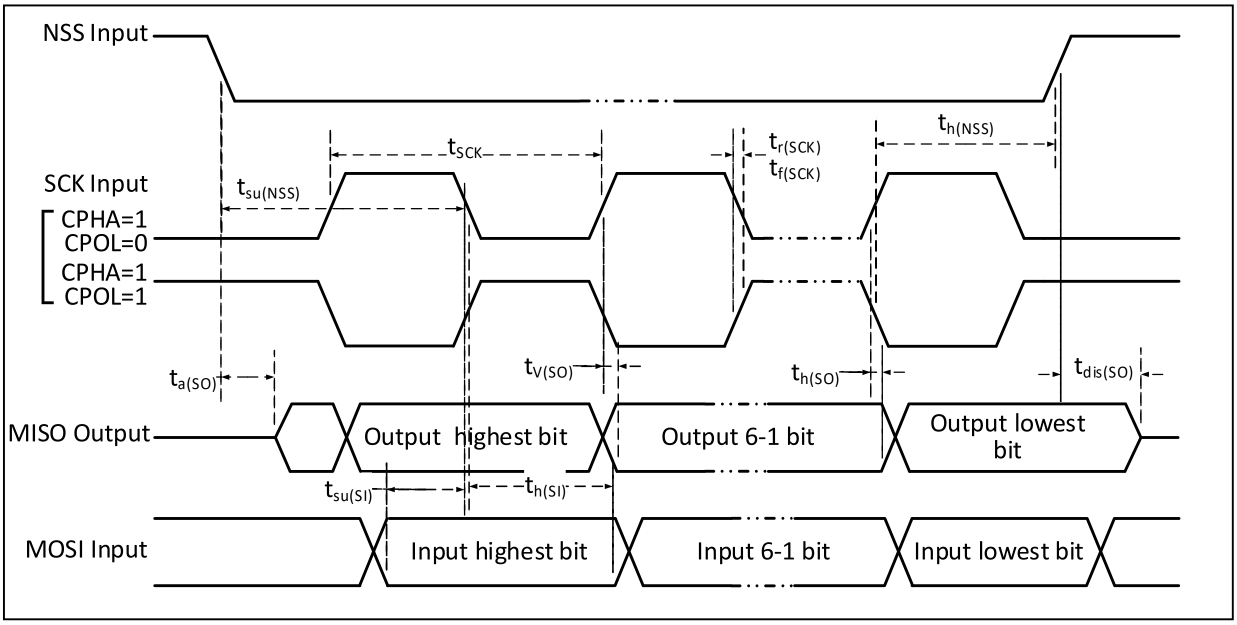


表 3-26 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	SPI 时钟频率	主模式		75	MHz
		从模式		75	MHz
$t_{r(SCK)}/t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容：C = 30pF		20	ns
$t_{SU(NSS)}$	NSS 建立时间	从模式	$2*t_{HCLK}$		ns
$t_{h(NSS)}$	NSS 保持时间	从模式	$2*t_{HCLK}$		ns
$t_{w(SCKH)}/t_{w(SCKL)}$	SCK 高电平和低电平时间	主模式，f_{HCLK} = 36MHz，预分频系数=4	40	60	ns
$T_{su(MI)}$	数据输入建立时间	主模式	5		ns
$t_{su(SI)}$		从模式	5		ns

$t_{h(MI)}$	数据输入保持时间	主模式	5		ns
$t_{h(SI)}$		从模式	4		ns
$t_{a(SO)}$	数据输出访问时间	从模式，f_{HCLK} = 20MHz	0	$1*t_{HCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_{V(SO)}$	数据输出有效时间	从模式（使能边沿之后）		25	ns
$t_{V(MO)}$		主模式（使能边沿之后）		5	ns
$t_{h(SO)}$	数据输出保持时间	从模式（使能边沿之后）	15		ns
$t_{h(MO)}$		主模式（使能边沿之后）	0		ns

3.3.16 QSPI 接口特性

表 3-27 QSPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	QSPI 时钟频率			75	MHz
$t_{r(SCK)}/t_{f(SCK)}$	QSPI 时钟上升和下降时间	负载电容：C = 30pF		20	ns
$t_{w(SCKH)}/t_{w(SCKL)}$	SCK 高电平和低电平时间	f_{HCLK} = 36MHz，预分频系数 = 4	40	60	ns
$t_{SU(SIO*)}$	数据输入建立时间		5		ns
$t_{h(SIO*)}$	数据输入保持时间		5		ns
$t_{V(SIO*)}$	数据输出有效时间			5	ns
$t_{h(SIO*)}$	数据输出保持时间		0		ns

3.3.17 I2S 接口特性

图 3-12 I2S 总线主模式时序图

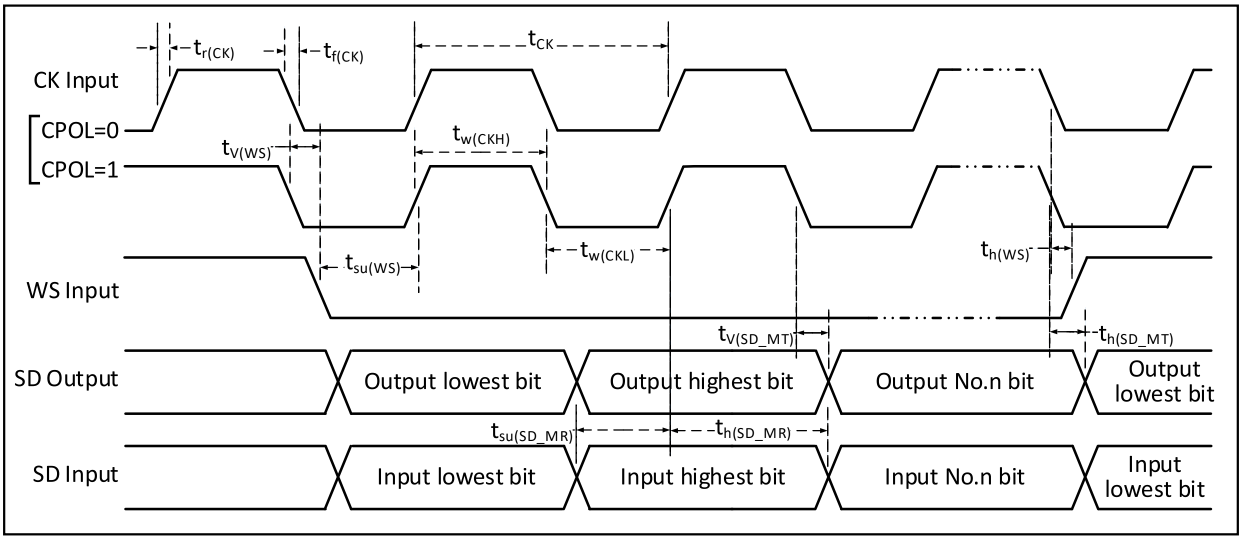


图 3-13 I2S 总线从模式时序图

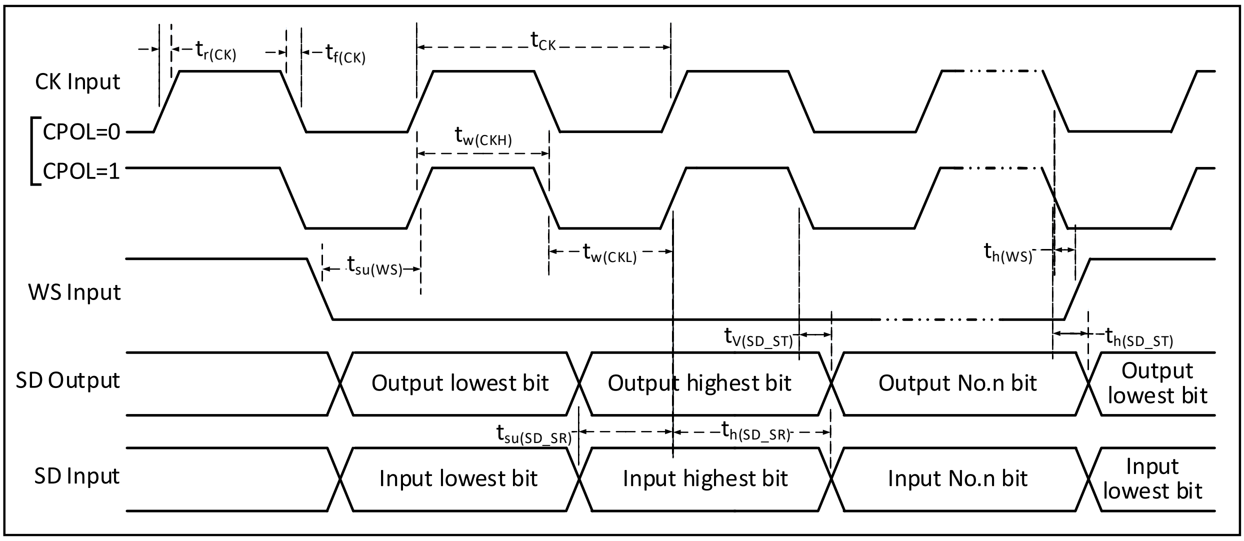


表 3-28 I2S 接口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}/t_{CK}	I2S 时钟频率	主模式		8	MHz
		从模式		8	MHz
$t_{r(CK)}/t_{f(CK)}$	I2S 时钟上升和下降时间	负载电容：C = 30pF		20	ns
$t_{V(WS)}$	WS 有效时间	主模式		5	ns
$t_{SU(WS)}$	WS 建立时间	从模式	10		ns
$t_{h(WS)}$	WS 保持时间	主模式	0		ns
		从模式	0		ns
$t_{w(CKH)}/t_{w(CKL)}$	SCK 高电平和低电平时间	主模式，f_{HCLK} = 36MHz 预分频系数 = 4	40	60	%

$t_{SU(SD\_MR)}$	数据输入建立时间	主模式	8		ns
$t_{SU(SD\_SR)}$	数据输入建立时间	从模式	8		ns
$t_{h(SD\_MR)}$	数据输入保持时间	主模式	5		ns
$t_{h(SD\_SR)}$	数据输入保持时间	从模式	4		ns
$t_{h(SD\_MT)}$	数据输出保持时间	主模式（使能边沿之后）		5	ns
$t_{h(SD\_ST)}$	数据输出保持时间	从模式（使能边沿之后）		5	ns
$t_{v(SD\_MT)}$	数据输出有效时间	主模式（使能边沿之后）		5	ns
$t_{v(SD\_ST)}$	数据输出有效时间	从模式（使能边沿之后）		4	ns

3.3.18 USB PD 接口特性

表 3-29-1 PD 接口 I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{Rise}	上升时间	幅度 10%到 90%之间的时间， 最小值为无负载条件下的时间	300	430		ns
t_{Fall}	下降时间	幅度 10%到 90%之间的时间， 最小值为无负载条件下的时间	300	430		ns
V_{Swing}	输出电压摆幅（峰-峰值）		1.04	1.12	1.20	V

表 3-29-2 Type-C I/O 端口特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{CCIL} (1)	CC 引脚输入低电平电压	USBPD_CC_HVT=0，FT I/O 输入	0		0.8	V
		USBPD_CC_HVT=1，高阈值检测输入	0		2.0	
V_{CCIH} (1)	CC 引脚输入高电平电压	USBPD_CC_HVT=0，FT I/O 输入	2.0		V_* (2)	V
		USBPD_CC_HVT=1，高阈值检测输入	2.45		V_* (2)	
V_{CChys}	迟滞电压	USBPD_CC_HVT=0，FT I/O 输入	90			mV
		USBPD_CC_HVT=1，高阈值检测输入		120		
I_{pu}	上拉电流	引脚 < V_* (2) -0.6V		80		uA
				180		uA
				330		uA
Rd	CC 引脚内置的 Rd 下拉电阻 (适用于 CC1R/CC2R)	V_{DDIO} ≥ 1.6V 或外部上拉 330uA		5.1		kΩ

注：1. USBPD_CC_HVT =1 时对应的 V_{CCIL}、V_{CCIH} 为设计参数保证。

2. 对于 CH32H417 芯片，V_*为 V_{DDIO}；对于 CH32H416 和 CH32H415 芯片，V_*则为 V_{DD33}。

3.3.19 USB 2.0 接口特性

表 3-30 USB 2.0 接口 I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	USB 2.0 工作电压		3.15		3.45	V
V_{SE}	单端接收器阈值	V_{DD33} = 3.3V	1.2		1.9	V
V_{OL}	静态输出低电平				0.3	V
V_{OH}	静态输出高电平		2.8		3.6	V
V_{HSOI}	高速空闲电平		-10		10	mV
V_{HSOH}	高速数据高电平		360		440	mV

V_{HSOL}	高速数据低电平		-10		10	mV
R_{USBPU}	USB 引脚上拉电阻		1.3	1.5	1.8	kΩ
R_{USBPD}	USB 引脚下拉电阻		13	15	18	kΩ
V_{BC_REF}	BC 比较器参考电压			0.4		V
V_{BC_SRC}	BC 协议输出电压			0.6		V

3.3.20 USB 3.2 Gen1 接口特性

CH32H417 和 CH32H416 符合 USB 3.2 Gen1 规范的特性，更多信息请查阅相关协议规范。

3.3.21 SerDes 接口特性

表 3-31 SerDes 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	SerDes 工作电压		3.15		3.45	V
$T_{SERDRAT}$	传输数据速率 (1) (2)	6 类差分网线，5 米	0.5		1.5	Gb/s
		6 类差分网线，100 米		0.5		
$V_{TX-DIFF-PP}$	差分发送峰-峰值电压幅度	TX_OUTPUT_SWING[1:0] = 00	1.35	1.5	1.65	V
		TX_OUTPUT_SWING[1:0] = 01	1.62	1.8	1.98	
		TX_OUTPUT_SWING[1:0] = 10	1.89	2.1	2.31	
		TX_OUTPUT_SWING[1:0] = 11	2.16	2.4	2.64	
V_{TX-DE}	预加重幅度	TX_DE_EMPHASIS[1:0] = 00		0		dB
		TX_DE_EMPHASIS[1:0] = 01		3		
		TX_DE_EMPHASIS[1:0] = 10		6		
		TX_DE_EMPHASIS[1:0] = 11		9		
R_{TX}	差分输出阻抗			100		Ω
$V_{RX-DIFF-PP}$	差分接收峰-峰值电压幅度		0.15	0.3		V
R_{RX}	差分输入阻抗			100		Ω
V_{RX-VCM}	接收共模电压			0.5* V_{DD33}		V
$C_{AC-COUPLING}$	交流耦合电容		75	100	200	nF

注：1. 传输数据速率和线材、模拟参数均有关。其中，模拟参数可通过寄存器 R32_SYS_CFGR 配置，详细信息请参考《CH32H417RM》手册以及官网 EVT 例程。

2. 针对最大传输数据速率，建议在实测值的基础上预留适当余量。

3.3.22 SDIO 接口特性

表 3-32 SDIO 接口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}/t_{CK}	数据传输模式下的时钟频率	CL≤30pF		100	MHz
$t_{W(CKL)}$	时钟低电平时间	CL≤30pF	3		ns
$t_{W(CKH)}$	时钟高电平时间	CL≤30pF	3		
$t_{r(CK)}$	上升时间	CL≤30pF		2	
$t_{f(CK)}$	下降时间	CL≤30pF		2	
CMD/DAT 输入（参考 CK）					
t_{ISU}	输入建立时间	CL≤30pF	5		ns
t_{IH}	输入保持时间	CL≤30pF	1		

在高速模式下，CMD/DAT 输出（参考 CK）						
t_{OV}	输出有效时间	CL≤30pF	主模式		3	ns
			从模式		9	
t_{OH}	输出保持时间	CL≤30pF		10		
在默认模式下，CMD/DAT 输出（参考 CK）						
t_{OVD}	输出有效默认时间	CL≤30pF	主模式		4	ns
			从模式		10	
t_{OHD}	输出保持默认时间	CL≤30pF		10		

3.3.23 SDMMC 接口特性

图 3-14 SD 高速模式时序图

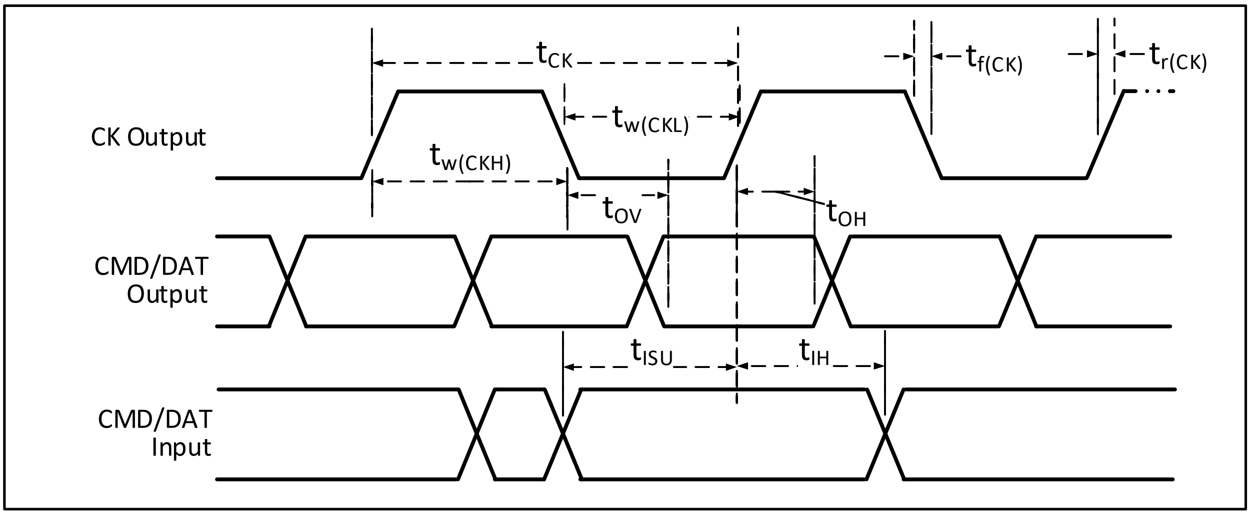


图 3-15 SD 默认模式时序图

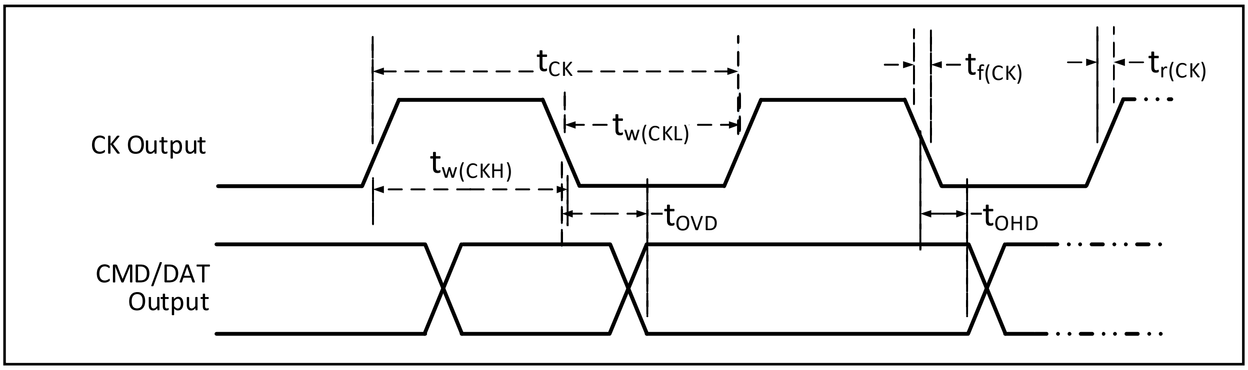


表 3-33 SDMMC 接口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}/t_{CK}	数据传输模式下的时钟频率	CL≤30pF		100	MHz
		CL≤10pF，V_{DD18}＝1.8V（单边沿）		200	MHz
		CL≤10pF，V_{DD18}＝3.3V（单边沿）		200	MHz
		CL≤10pF，V_{DD18}＝1.8V（双边沿）		150 (1)	MHz
		CL≤10pF，V_{DD18}＝3.3V（双边沿）		180 (1)	MHz
$t_{W(CKL)}$	时钟低电平时间	CL≤10pF	2.2		ns

$t_{W(CKH)}$	时钟高电平时间	CL≤10pF		2.2		
$t_{r(CK)}$	上升时间	CL≤10pF			1.2	
$t_{f(CK)}$	下降时间	CL≤10pF			1.2	
CMD/DAT 输入（参考 CK）						
t_{ISU}	输入建立时间	CL≤10pF		0.5		ns
t_{IH}	输入保持时间	CL≤10pF		0.5		
在高速模式下，CMD/DAT 输出（参考 CK）						
t_{OV}	输出有效时间	CL≤10pF	主模式		1.2	ns
			从模式		6	
t_{OH}	输出保持时间	CL≤10pF		4.5		
在默认模式下，CMD/DAT 输出（参考 CK）						
t_{OVD}	输出有效默认时间	CL≤10pF	主模式		1.2	ns
			从模式		6	
t_{OHD}	输出保持默认时间	CL≤10pF		4.5		

注：1. 这些最高时钟频率受对端性能和 PCB 设计的影响较大；在 V_{DD18} = 1.8V 时与 EMMC 卡双边沿通信实测可达 175MHz。

2. 在较高时钟频率下，若推荐的时序调节寄存器值不能稳定通信，用户需发起总线采样 tuning 序列寻找更佳的采样点。

3.3.24 UHSIF 接口特性

表 3-34 UHSIF 接口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}/t_{CK}	数据传输模式下的时钟频率	CL≤10pF，V_{DD18} = 1.8V		125	MHz
t_C	时钟周期		8		ns
t_{IS}	输入信号至 CLK 的建立时间		0.5		ns
t_{IH}	输入信号至 CLK 的保持时间		1.5		ns
t_{OD}	输出信号至 CLK 的延时		6.2	8	ns

3.3.25 FSMC 特性

图 3-16-1 异步总线复用 PSRAM/NOR 读操作波形

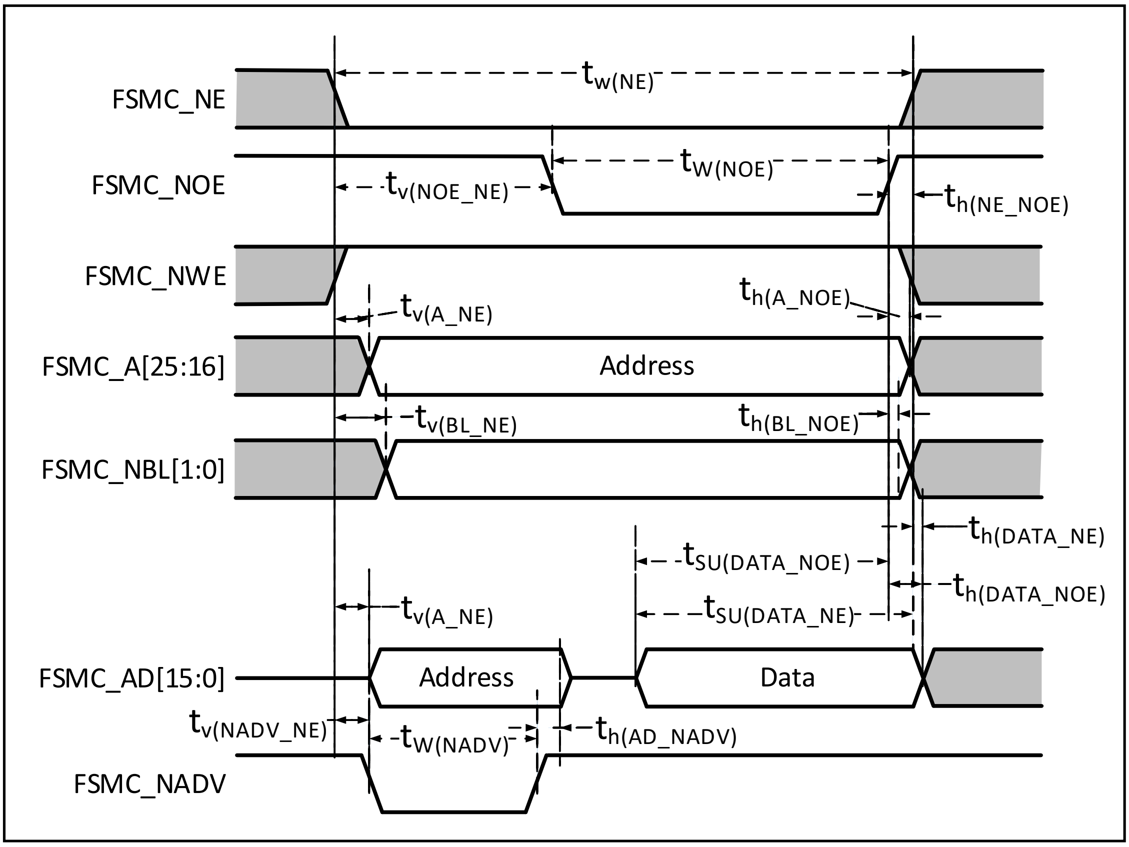


图 3-16-2 异步总线非复用 PSRAM/NOR 读操作波形

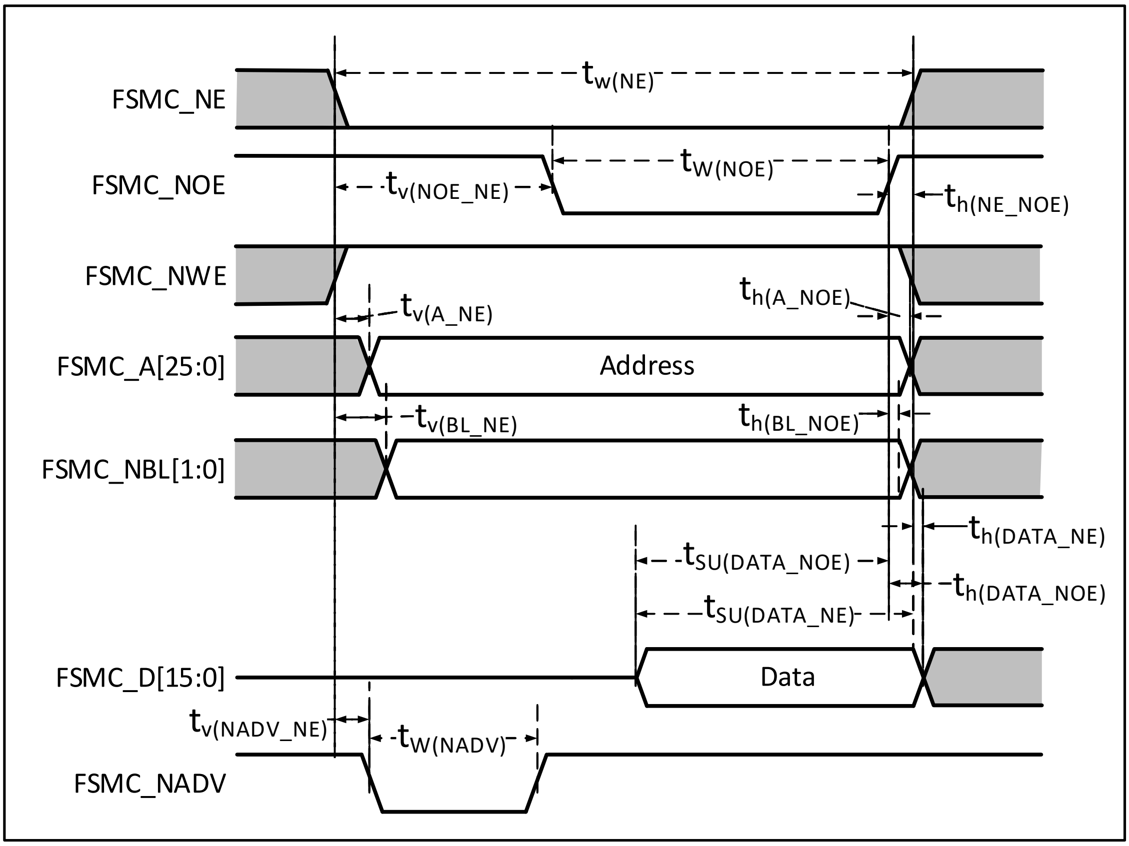


表 3-35 异步总线复用的 PSRAM/NOR 读操作时序

符号	参数	最小值	最大值	单位
$t_{W(NE)}$	FSMC_NE 低电平时间	$7*t_{HCLK}$		
$t_{V(NOE\_NE)}$	FSMC_NE 低至 FSMC_NOE 低	0		
$t_{W(NOE)}$	FSMC_NOE 低时间	$4*t_{HCLK}$		
$t_{h(NE\_NOE)}$	FSMC_NOE 高至 FSMC_NE 高保持时间	0		
$t_{V(A\_NE)}$	FSMC_NE 低至 FSMC_A 有效	0	5	
$t_{V(NADV\_NE)}$	FSMC_NE 低至 FSMC_NADV 低	0	5	
$t_{W(NADV)}$	FSMC_NADV 低时间	t_{HCLK}		
$t_{h(AD\_NADV)}$	FSMC_NADV 高之后 FSMC_AD（地址）有效保持时间	$2*t_{HCLK}$		ns
$t_{h(A\_NOE)}$	FSMC_NOE 高之后的地址保持时间	0		
$t_{h(BL\_NOE)}$	FSMC_NOE 高之后的 FSMC_BL 保持时间	0		
$t_{V(BL\_NE)}$	FSMC_NE 低至 FSMC_BL 有效	0	5	
$t_{SU(DATA\_NE)}$	数据至 FSMC_NE 高的建立时间	$3*t_{HCLK}$		
$t_{SU(DATA\_NOE)}$	数据至 FSMC_NOE 高的建立时间	$3*t_{HCLK}$		
$t_{h(DATA\_NE)}$	FSMC_NE 高之后的数据保持时间	0		
$t_{h(DATA\_NOE)}$	FSMC_NOE 高之后的数据保持时间	0		

图 3-17-1 异步总线复用 PSRAM/NOR 写操作波形

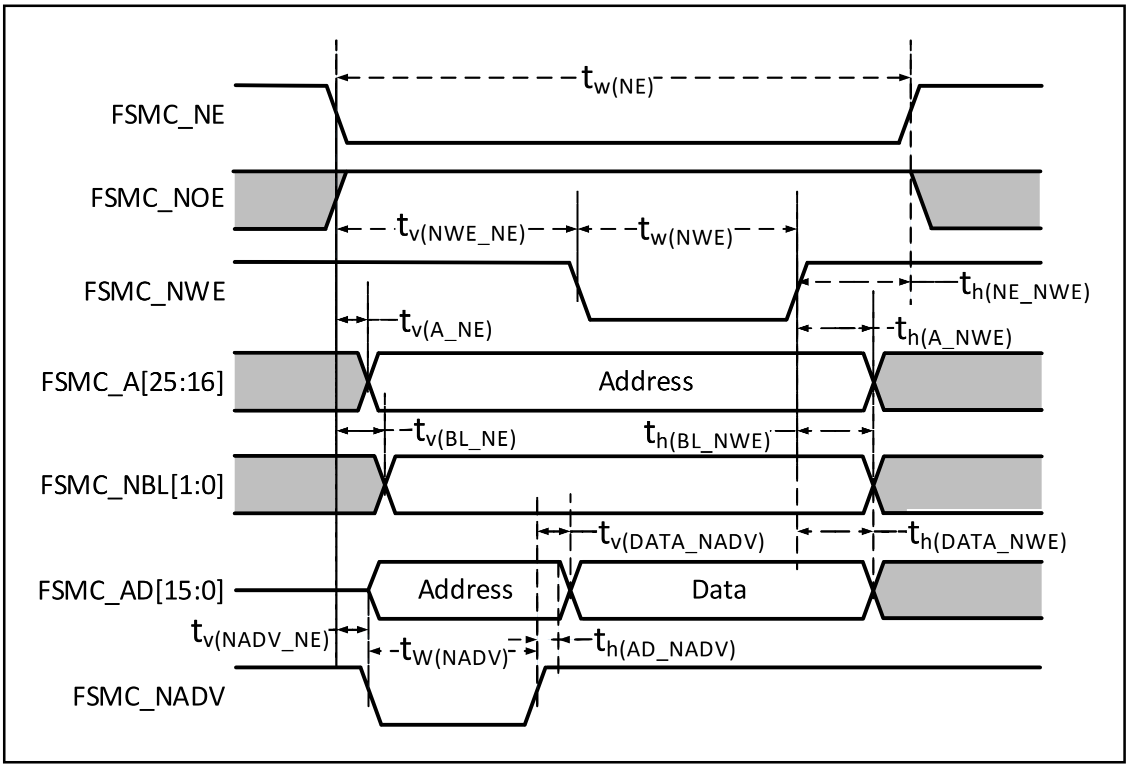


图 3-17-2 异步总线非复用 PSRAM/NOR 写操作波形

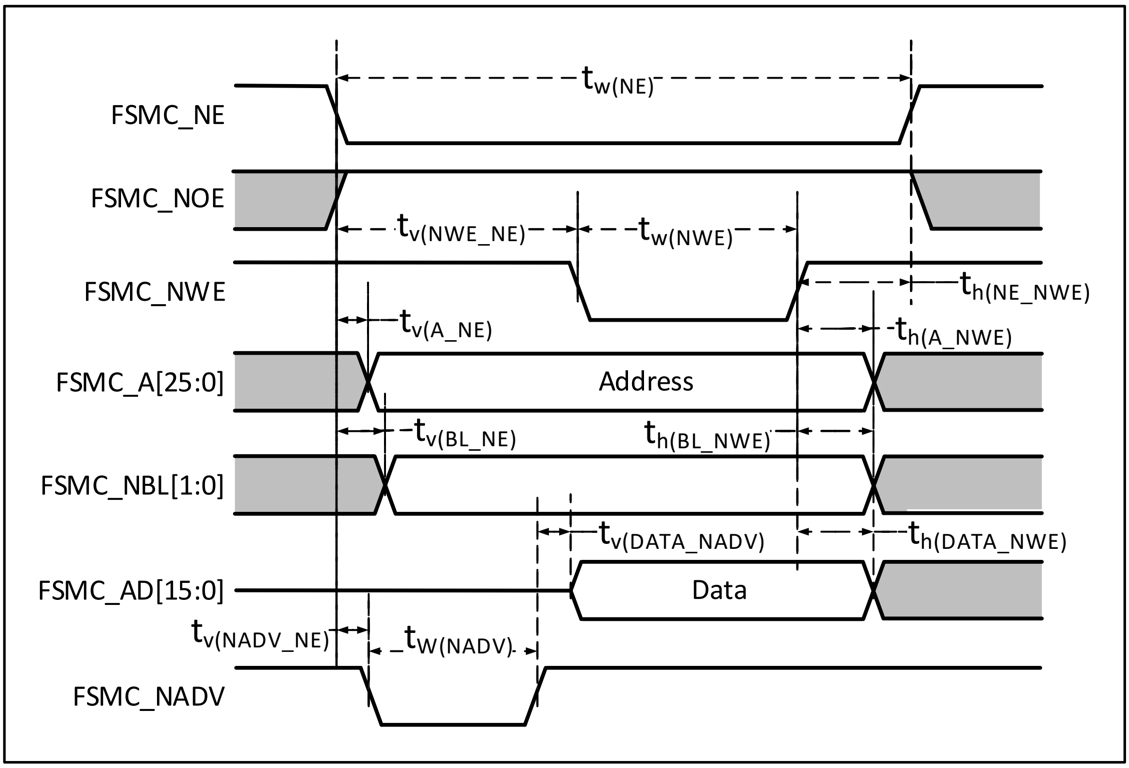


表 3-36 异步总线复用 PSRAM/NOR 写操作时序

符号	参数	最小值	最大值	单位
$t_{W\ (NE)}$	FSMC_NE 低电平时间	$5*t_{HCLK}$		
$t_{V\ (NEW\_NE)}$	FSMC_NE 低至 FSMC_NWE 低	$3*t_{HCLK}$		
$t_{W\ (NWE)}$	FSMC_NWE 低时间	$2*t_{HCLK}$		
$t_{h\ (NE\_NWE)}$	FSMC_NWE 高至 FSMC_NE 高保持时间	t_{HCLK}		
$t_{V\ (A\_NE)}$	FSMC_NE 低至 FSMC_A 有效	0	5	
$t_{V\ (NADV\_NE)}$	FSMC_NE 低至 FSMC_NADV 低	0	5	
$t_{W\ (NADV)}$	FSMC_NADV 低时间	t_{HCLK}		ns
$t_{h\ (AD\_NADV)}$	FSMC_NADV 高之后 FSMC_AD（地址）有效保持时间	$2*t_{HCLK}$		
$t_{h\ (A\_NWE)}$	FSMC_NWE 高之后的地址保持时间	t_{HCLK}		
$t_{V\ (BL\_NE)}$	FSMC_NE 低至 FSMC_BL 有效	0	5	
$t_{h\ (BL\_NWE)}$	FSMC_NWE 高之后的 FSMC_BL 保持时间	t_{HCLK}		
$t_{V\ (DATA\_NADV)}$	FSMC_NADV 高至数据保持时间	$2*t_{HCLK}$		
$t_{h\ (DATA\_NWE)}$	FSMC_NWE 高之后的数据保持时间	t_{HCLK}		

图 3-18 同步总线复用 NOR/PSRAM 读波形

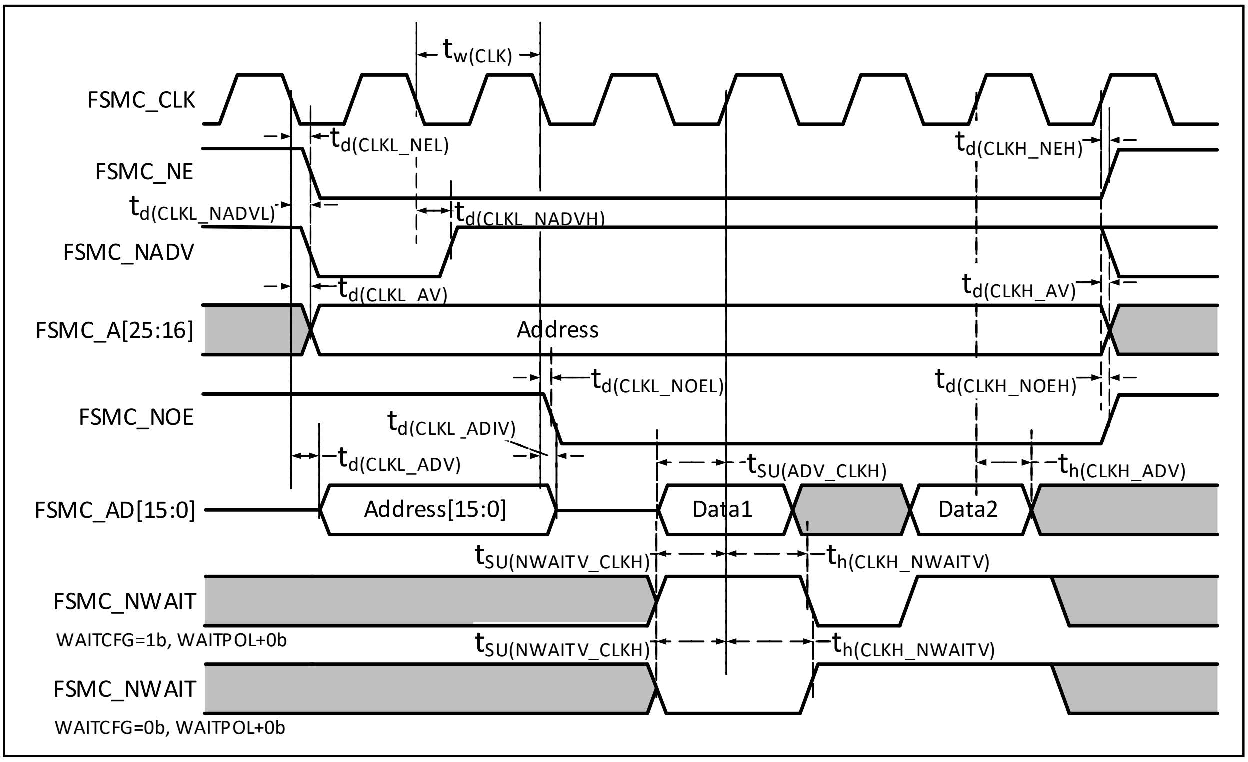


表 3-37 同步总线复用 NOR/PSRAM 读时序

符号	参数	最小值	最大值	单位
$t_{W\ (CLK)}$	FSMC_CLK 周期	2*t_{HCLK}		ns
$t_{d\ (CLKL\_NEL)}$	FSMC_CLK低至FSMC_NE低	0	5	
$t_{d\ (CLKH\_NEH)}$	FSMC_CLK高至FSMC_NE高	0.5*t_{HCLK}	0.5*t_{HCLK}	
$t_{d\ (CLKL\_NADVL)}$	FSMC_CLK低至FSMC_NADV低	0	5	
$t_{d\ (CLKL\_NADVH)}$	FSMC_CLK低至FSMC_NADV高	0	5	
$t_{d\ (CLKL\_AV)}$	FSMC_CLK低至FSMC_Ax有效 （x = 16…25）	0	5	
$t_{d\ (CLKH\_AIV)}$	FSMC_CLK高至FSMC_Ax无效 （x = 16…25）	0	5	
$t_{d\ (CLKL\_NOEL)}$	FSMC_CLK低至FSMC_NOE低	2*t_{HCLK}		
$t_{d\ (CLKH\_NOEH)}$	FSMC_CLK高至FSMC_NOE高	t_{HCLK}		
$t_{d\ (CLKL\_ADV)}$	FSMC_CLK低至FSMC_AD[15:0]有效	0	5	
$t_{d\ (CLKL\_ADIV)}$	FSMC_CLK低至FSMC_AD[15:0]无效	0	5	
$t_{SU\ (ADV\_CLKH)}$	FSMC_CLK高之前FSMC_AD[15:0]有效数据	8		
$t_{h\ (CLKH\_ADV)}$	FSMC_CLK高之后FSMC_AD[15:0]有效数据	8		
$t_{SU\ (NWAITV\_CLKH)}$	FSMC_CLK高之前FSMC_NWAIT有效	6		
$t_{h\ (CLKH\_NWAITV)}$	FSMC_CLK高之后FSMC_NWAIT有效	2		

图 3-19 同步总线复用 PSRAM 写波形

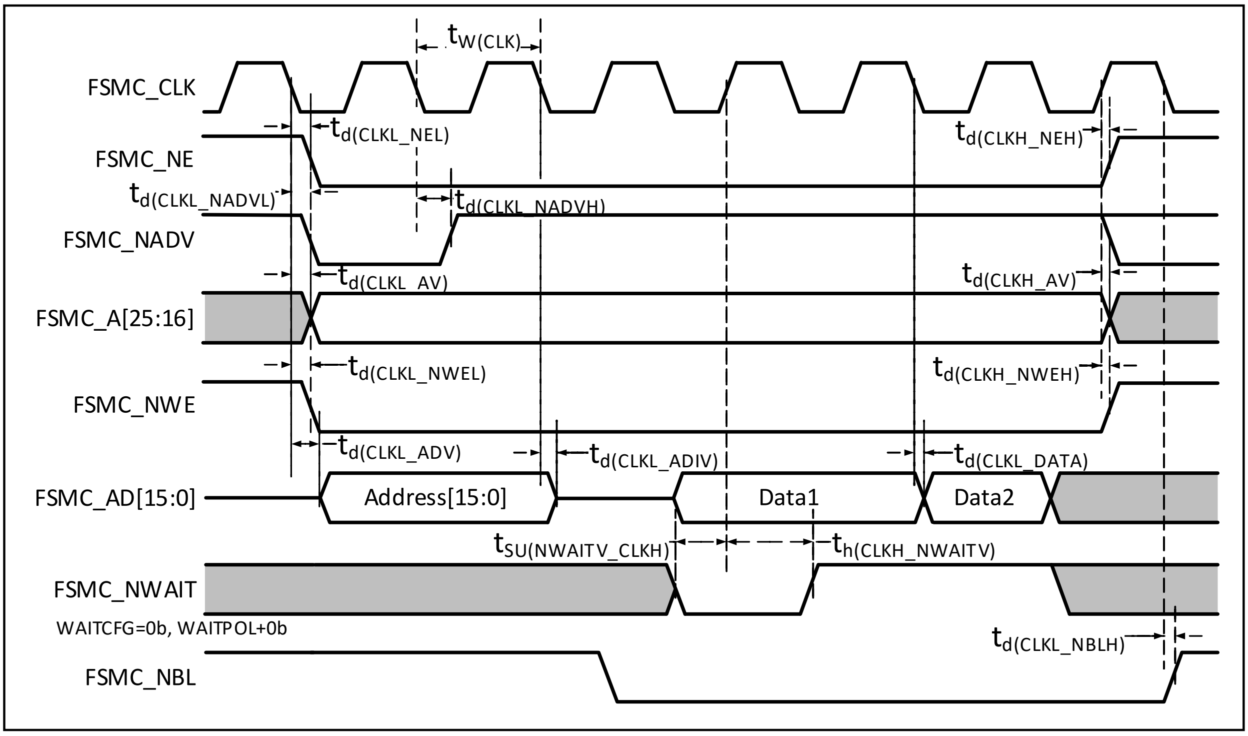


表 3-38 同步总线复用 PSRAM 写时序

符号	参数	最小值	最大值	单位
$t_{W\ (CLK)}$	FSMC_CLK 周期	2*t_{HCLK}		ns
$t_{d\ (CLKL\_NEL)}$	FSMC_CLK低至FSMC_NE低	0	5	
$t_{d\ (CLKH\_NEH)}$	FSMC_CLK高至FSMC_NE高	0.5*t_{HCLK}	0.5*t_{HCLK}	
$t_{d\ (CLKL\_NADVL)}$	FSMC_CLK低至FSMC_NADV低	0	5	
$t_{d\ (CLKL\_NADVH)}$	FSMC_CLK低至FSMC_NADV高	0	5	
$t_{d\ (CLKL\_AV)}$	FSMC_CLK低至FSMC_Ax有效（x = 16…25）	0	5	
$t_{d\ (CLKH\_AIV)}$	FSMC_CLK高至FSMC_Ax无效（x = 16…25）	0	5	
$t_{d\ (CLKL\_NWEL)}$	FSMC_CLK低至FSMC_NWE低	0		
$t_{d\ (CLKH\_NWEH)}$	FSMC_CLK高至FSMC_NWE高	0		
$t_{d\ (CLKL\_ADV)}$	FSMC_CLK低至FSMC_AD[15:0]有效	0	5	
$t_{d\ (CLKL\_ADIV)}$	FSMC_CLK低至FSMC_AD[15:0]无效	0	5	
$t_{d\ (CLKL\_DATA)}$	FSMC_CLK低之后FSMC_AD[15:0]有效	2		
$t_{SU\ (NWAITV\_CLKH)}$	FSMC_CLK高之前FSMC_NWAIT有效	6		
$t_{h\ (CLKH\_NWAITV)}$	FSMC_CLK高之后FSMC_NWAIT有效	2		
$t_{d\ (CLKL\_NBLH)}$	FSMC_CLK低至FSMC_NBL高	2		

NAND 控制器波形和时序

测试条件：NAND 操作区域，选择 16 位数据宽度，使能 ECC 计算电路，512 字节页面大小，其他时序配置为设置寄存器 FSMC_PCR2 = 0x0002005E，FSMC_PMEM2 = 0x01020301，FSMC_PATT2 = 0x01020301。

图 3-20 NAND 控制器读操作波形

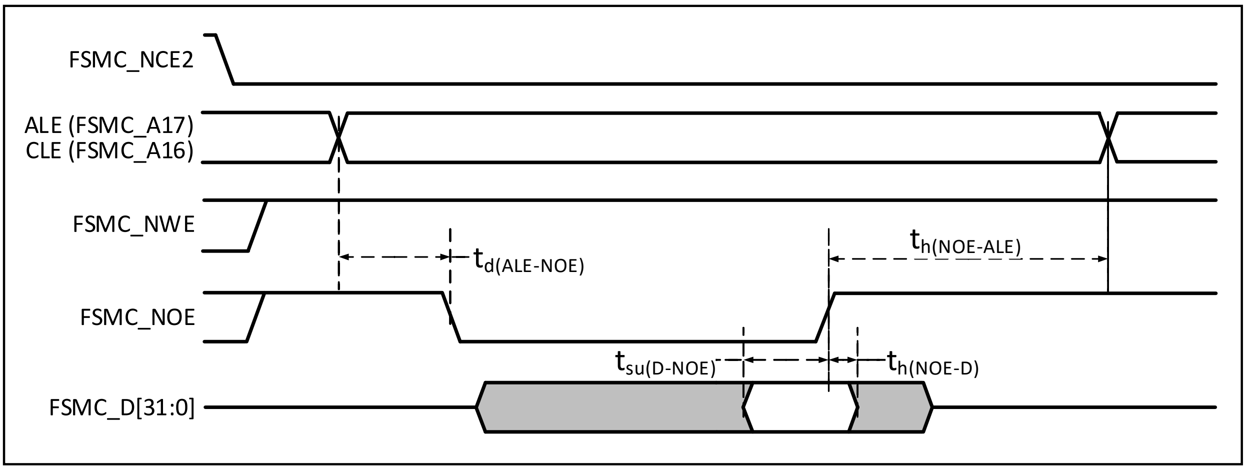


图 3-21 NAND 控制器写操作波形

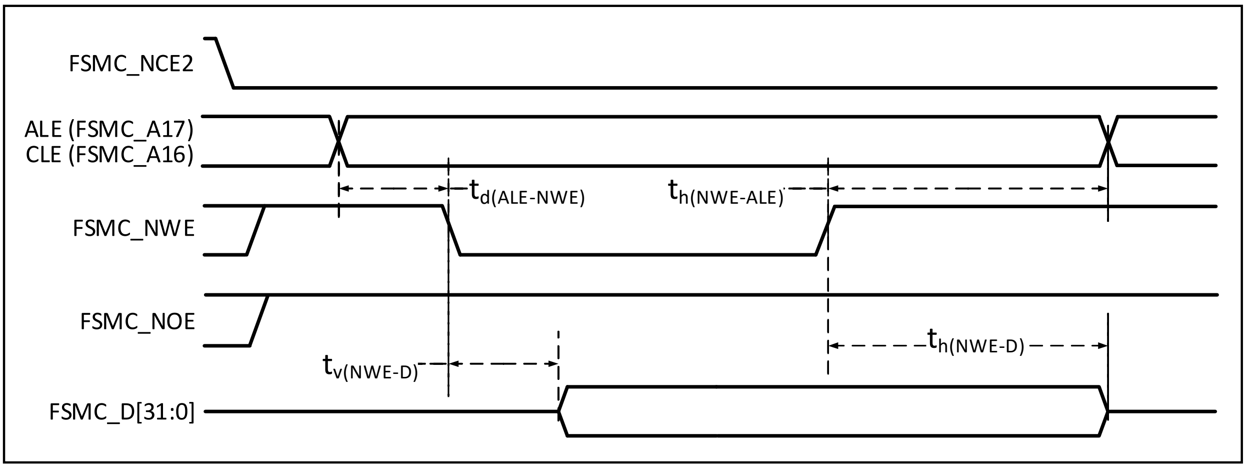


图 3-22 NAND 控制器在通用存储空间的读操作波形

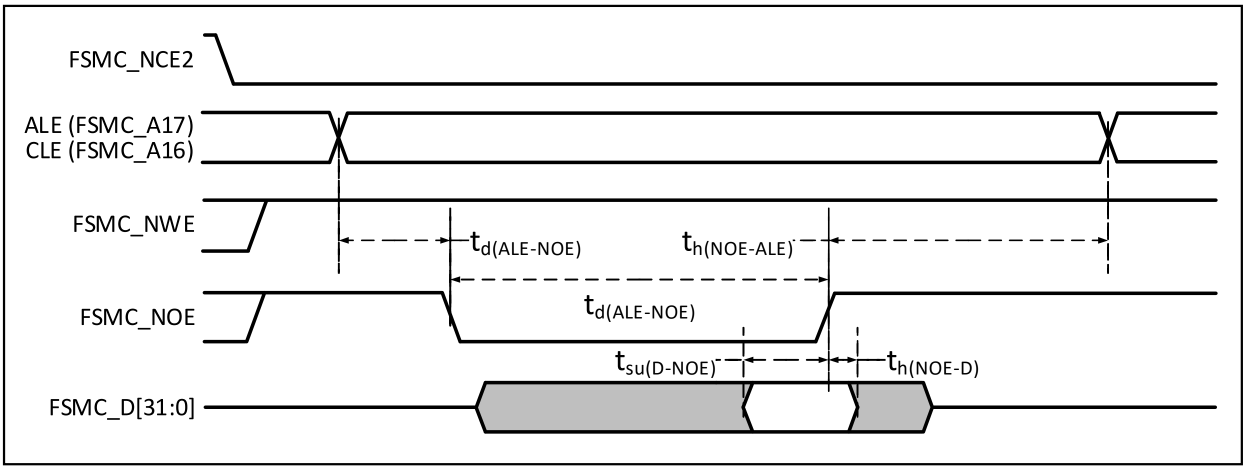


图 3-23 NAND 控制器在通用存储空间的写操作波形

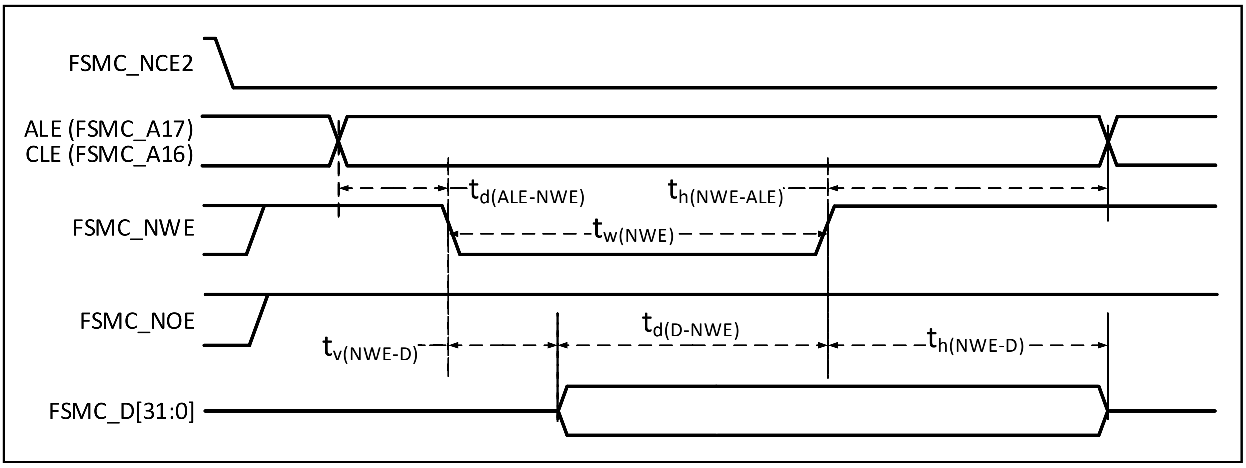


表 3-39 NAND 闪存读写周期的时序特性

符号	参数	最小值	最大值	单位
$t_{d\ (D-NWE)}$	FSMC_NWE 高之前至 FSMC_D[31:0]数据有效	4*t_{HCLK}		ns
$t_{w\ (NOE)}$	FSMC_NOE低时间	4*t_{HCLK}		
$t_{su\ (D-NOE)}$	FSMC_NOE高之前至FSMC_D[31:0]数据有效	20		
$t_{h\ (NOE-D)}$	FSMC_NOE高之后至FSMC_D[31:0]数据有效	15		
$t_{w\ (NWE)}$	FSMC_NWE低时间	4*t_{HCLK}		
$t_{v\ (NWE-D)}$	FSMC_NWE低至FSMC_D[31:0]数据有效	0		
$t_{h\ (NWE-D)}$	FSMC_NWE高至FSMC_D[31:0]数据无效	2*t_{HCLK}		
$t_{d\ (ALE-NWE)}$	FSMC_NWE低之前至FSMC_ALE有效	2*t_{HCLK}		
$t_{h\ (NWE-ALE)}$	FSMC_NWE高至FSMC_ALE无效	2*t_{HCLK}		
$t_{d\ (ALE-NOE)}$	FSMC_NOE低之前至FSMC_ALE有效	2*t_{HCLK}		
$t_{h\ (NOE-ALE)}$	FSMC_NOE高至FSMC_ALE无效	4*t_{HCLK}		

3.3.26 SDRAM 特性

图 3-24 SDRAM 读操作波形（CL = 1）

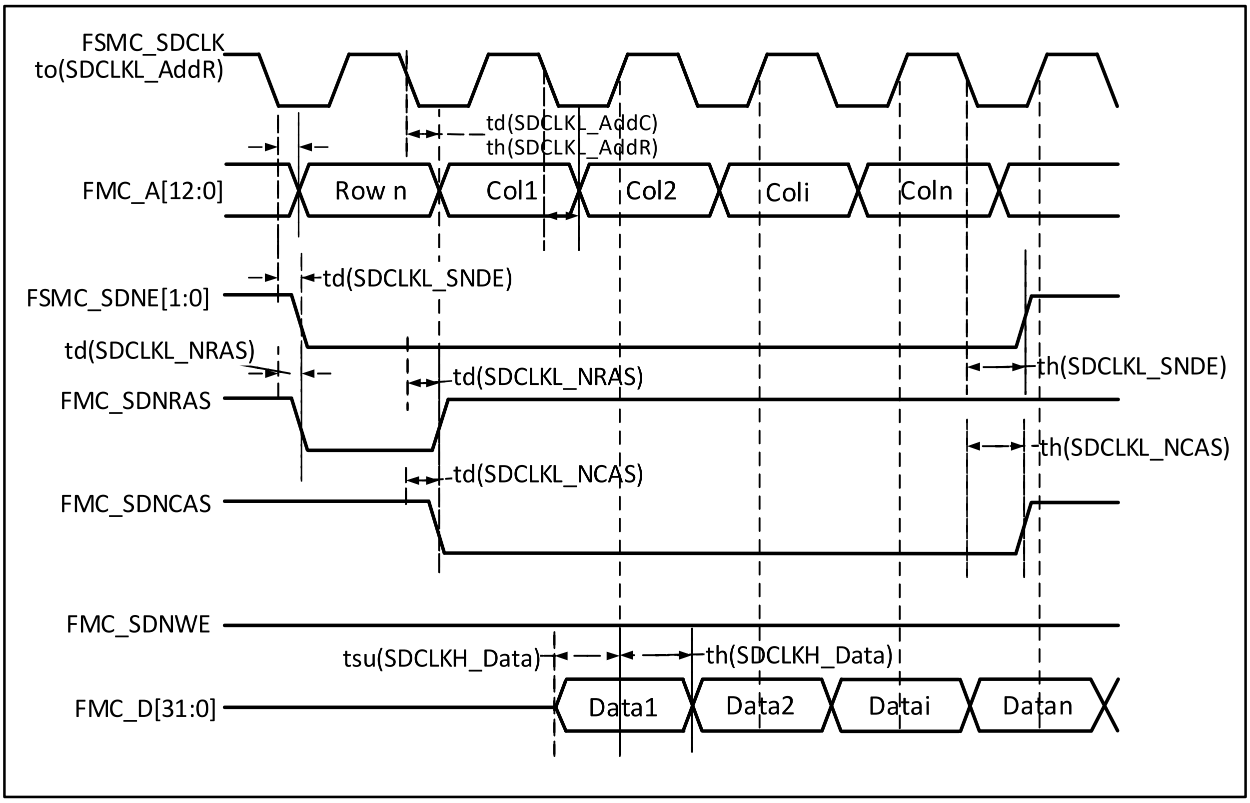


表 3-40 SDRAM 读操作时序

符号	参数	最小值	最大值	单位
$t_{W(SDCLK)}$	FMC_SDCLK 周期	9.5	10.5	
$t_{SU(SDCLKH\_DATA)}$	数据输入建立时间	3.5		
$t_{h(SDCLKH\_DATA)}$	数据输入保持时间	1.5		
$t_{d(SDCLKL\_ADD)}$	地址有效时间		4	
$t_{d(SDCLKL\_SDNE)}$	芯片选择有效时间		1	ns
$t_{h(SDCLKL\_SDNE)}$	芯片选择保持时间	0		
$t_{d(SDCLKL\_SDNRAS)}$	SDNRAS 有效时间		1	
$t_{h(SDCLKL\_SDNRAS)}$	SDNRAS 保持时间	0		
$t_{d(SDCLKL\_SDNCAS)}$	SDNCAS 有效时间		1	
$t_{h(SDCLKL\_SDNCAS)}$	SDNCAS 保持时间	0		

注：读 SDRAM 时，FMC_SDCLK 的最大值设置为 100MHz。

表 3-41 LPSDR SDRAM 读操作时序

符号	参数	最小值	最大值	单位
$t_{W(SDCLK)}$	FMC_SDCLK 周期	9.5	10.5	
$t_{SU(SDCLKH\_DATA)}$	数据输入建立时间	3.0		
$t_{h(SDCLKH\_DATA)}$	数据输入保持时间	1.5		ns
$t_{d(SDCLKL\_ADD)}$	地址有效时间		3.5	
$t_{d(SDCLKL\_SDNE)}$	芯片选择有效时间		1	
$t_{h(SDCLKL\_SDNE)}$	芯片选择保持时间	0		

$t_{d\ (SDCLKL\_SDNRAS)}$	SDNRAS 有效时间		1	
$t_{h\ (SDCLKL\_SDNRAS)}$	SDNRAS 保持时间	0		
$t_{d\ (SDCLKL\_SDNCAS)}$	SDNCAS 有效时间		1	
$t_{h\ (SDCLKL\_SDNCAS)}$	SDNCAS 保持时间	0		

注：读 SDRAM 时，FMC_SDCLK 的最大值设置为 100MHz。

图 3-25 SDRAM 写操作波形

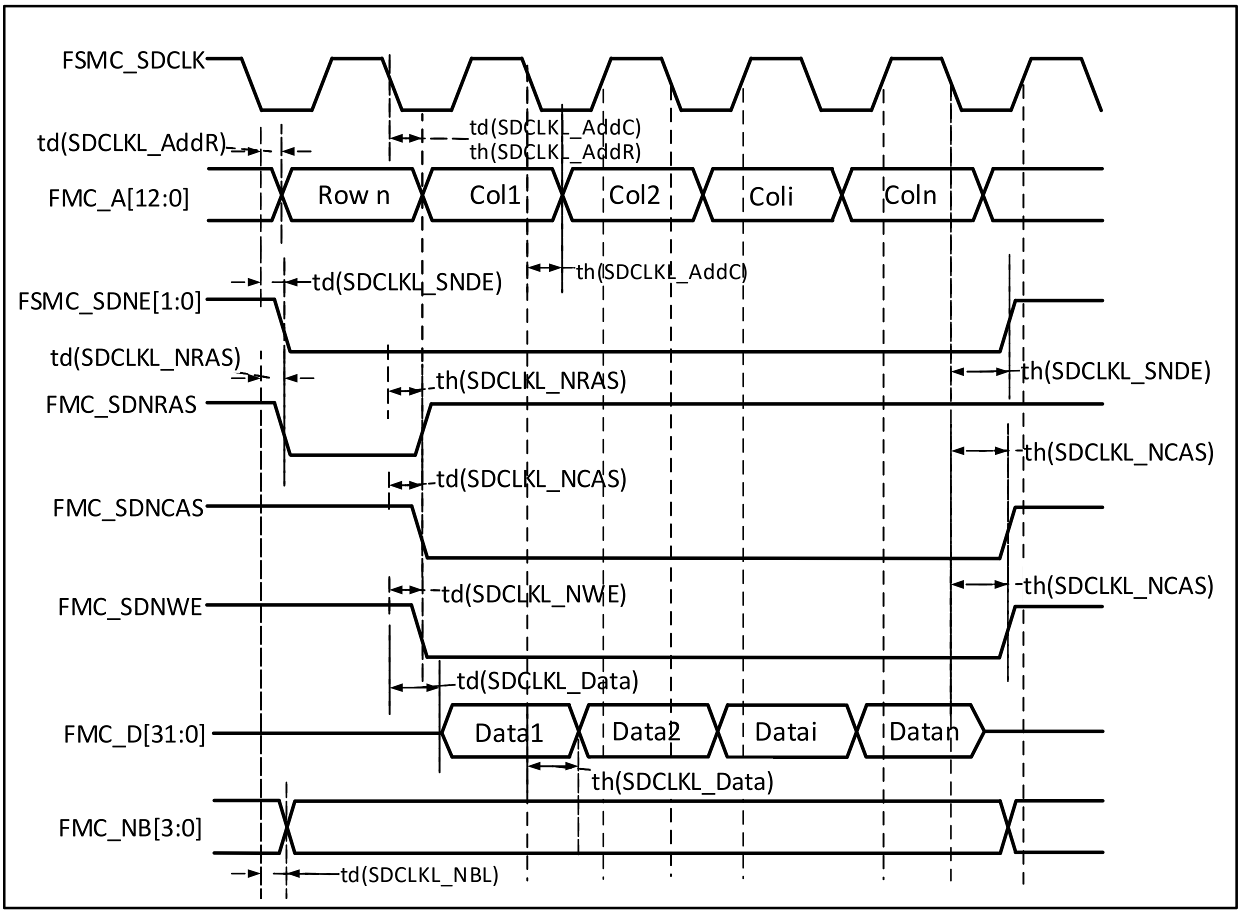


表 3-42 SDRAM 写操作时序

符号	参数	最小值	最大值	单位
$t_{W\ (SDCLK)}$	FMC_SDCLK 周期	9.5	10.5	ns
$t_{SU\ (SDCLKL\_DATA)}$	数据输出有效时间		2	
$t_{h\ (SDCLKL\_DATA)}$	数据输出保持时间	0.5		
$t_{d\ (SDCLKL\_ADD)}$	地址有效时间		4	
$t_{d\ (SDCLKL\_SDNWE)}$	SDNWE 有效时间		1	
$t_{h\ (SDCLKL\_SDNWE)}$	SDNWE 保持时间	0		
$t_{d\ (SDCLKL\_SDNE)}$	芯片选择有效时间		1	
$t_{h\ (SDCLKL\_SDNE)}$	芯片选择保持时间	0		
$t_{d\ (SDCLKL\_SDNRAS)}$	SDNRAS 有效时间		1	
$t_{h\ (SDCLKL\_SDNRAS)}$	SDNRAS 保持时间	0		
$t_{d\ (SDCLKL\_SDNCAS)}$	SDNCAS 有效时间		1	
$t_{h\ (SDCLKL\_SDNCAS)}$	SDNCAS 保持时间	0		

注：写 SDRAM 时，FMC_SDCLK 的最大值设置为 100MHz。

表 3-43 LPSDR SDRAM 写操作时序

符号	参数	最小值	最大值	单位
$t_{W(SDCLK)}$	FMC_SDCLK 周期	9.5	10.5	ns
$t_{SU(SDCLKL\_DATA)}$	数据输出有效时间		4	
$t_{h(SDCLKL\_DATA)}$	数据输出保持时间	0		
$t_{d(SDCLKL\_ADD)}$	地址有效时间		3.5	
$t_{d(SDCLKL\_SDNWE)}$	SDNWE 有效时间		1	
$t_{h(SDCLKL\_SDNWE)}$	SDNWE 保持时间	0		
$t_{d(SDCLKL\_SDNE)}$	芯片选择有效时间		1	
$t_{h(SDCLKL\_SDNE)}$	芯片选择保持时间	0		
$t_{d(SDCLKL\_SDNRAS)}$	SDNRAS 有效时间		1	
$t_{h(SDCLKL\_SDNRAS)}$	SDNRAS 保持时间	0		
$t_{d(SDCLKL\_SDNCAS)}$	SDNCAS 有效时间		1	
$t_{h(SDCLKL\_SDNCAS)}$	SDNCAS 保持时间	0		

注：写 SDRAM 时，FMC_SDCLK 的最大值设置为 100MHz。

3.3.27 DVP 接口特性

图 3-26 DVP 时序波形

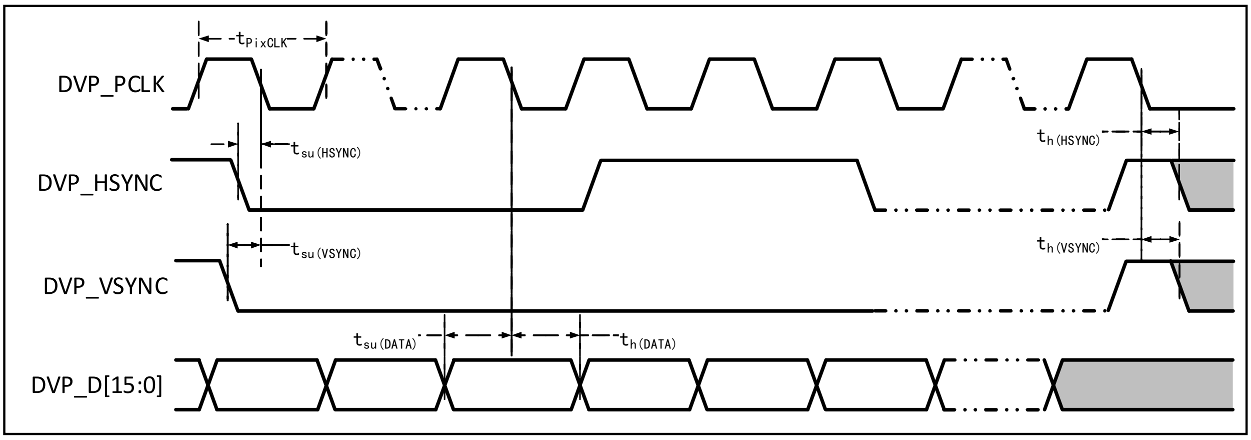


表 3-44 DVP 接口特性

符号	参数及描述	最小值	最大值	单位
f_{PixCLK}/t_{PixCLK}	像素时钟输入频率		150	MHz
$Duty_{(PixCLK)}$	像素时钟的占空比	15		%
$t_{su(DATA)}$	数据建立时间	2.5		ns
$t_{h(DATA)}$	数据保持时间	1		ns
$t_{su(HSYNC)}/t_{su(VSYNC)}$	HSYNC/VSYNC信号输入建立时间	2.5		ns
$t_{h(HSYNC)}/t_{h(VSYNC)}$	HSYNC/VSYNC信号输入保持时间	1		ns

3.3.28 LTDC 接口特性

图 3-27 LTDC 水平时序图

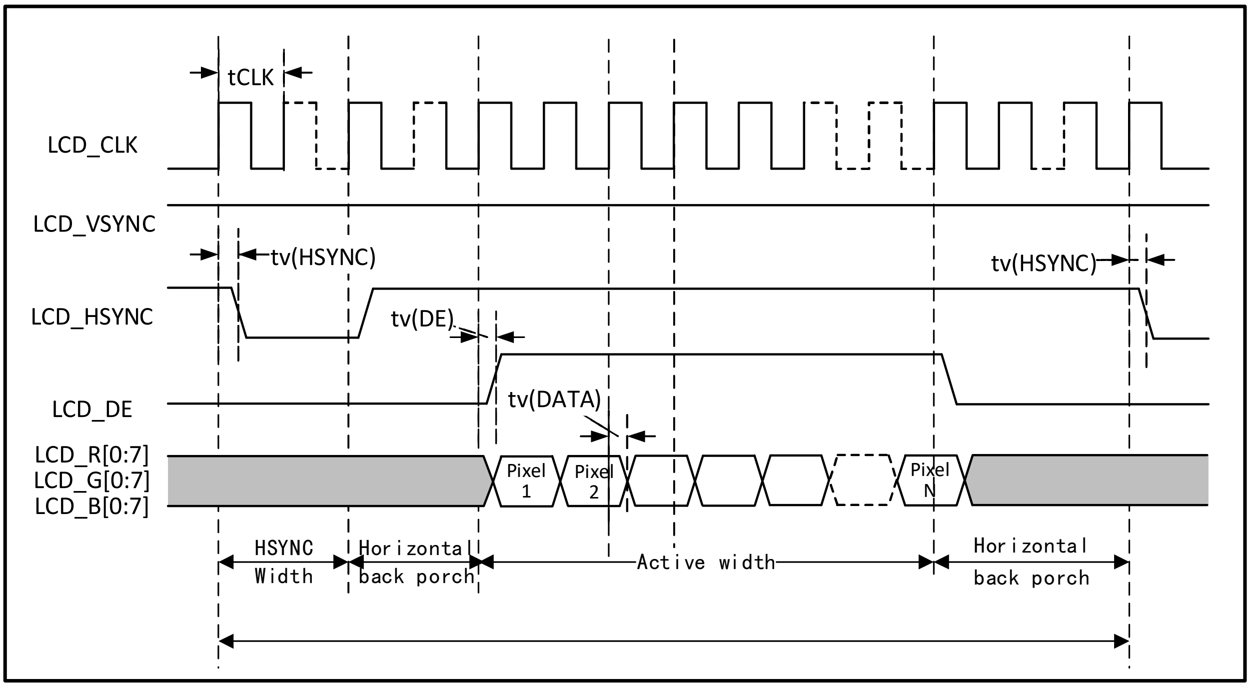


图 3-28 LTDC 垂直时序图

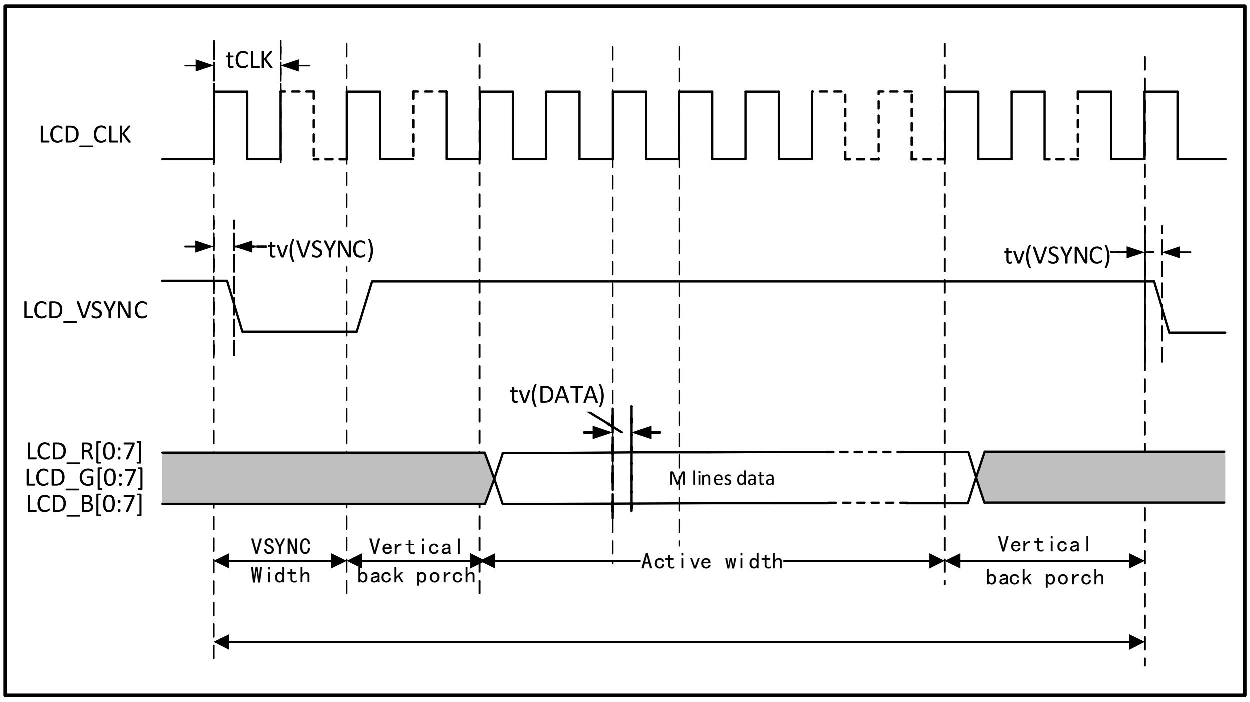


表 3-45 LTDC 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{CLK}	时钟输出频率	CL=30pF，$V_*^{(1)}$ = 2.7-3.6V			120	MHz
		CL=10pF，$V_*^{(1)}$ = 2.7-3.6V			200	MHz
		CL=30pF，$V_*^{(1)}$ = 1.6-2.7V			55	MHz
Duty (CLK)	时钟占空比	CL=30pF	45		55	%

$t_{w(CKH)}$	时钟高/低电平时间	CL=30pF	t_{CLK}/2-0.7		t_{CLK}/2+0.7	ns
t_v	数据及控制信号输出有效时间	CL=30pF			0.7	ns
t_s	数据及控制信号输出保持时间	CL=30pF	0			ns

注：1.上表中，V_*根据具体的引脚可表示为 V_{DDIO}、V_{IO18} 或 V_{DD33}。

3.3.29 千兆以太网接口特性

图 3-29 ETH-SMI 时序波形

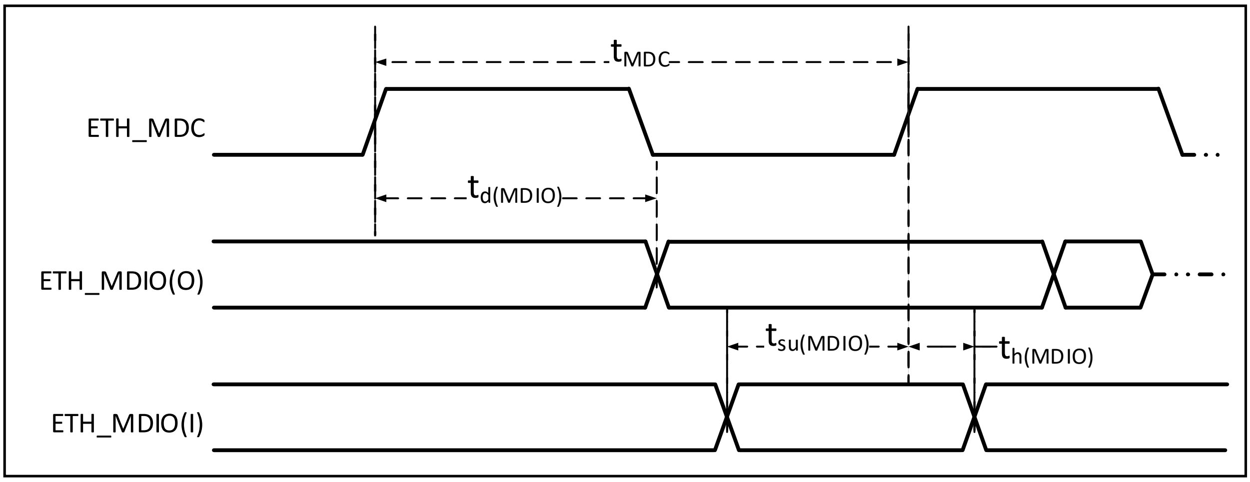


表 3-46 以太网 MAC 的 SMI 信号特性

符号	参数及描述	最小值	典型值	最大值	单位
f_{MDC}/t_{MDC}	MDC 时钟频率			2.5	MHz
$t_{d(MDIO)}$	MDIO写数据的有效时间	0		300	ns
$t_{su(MDIO)}$	读数据建立时间	10			
$t_{h(MDIO)}$	读数据保持时间	10			

图 3-30 ETH-RGMII 信号时序波形

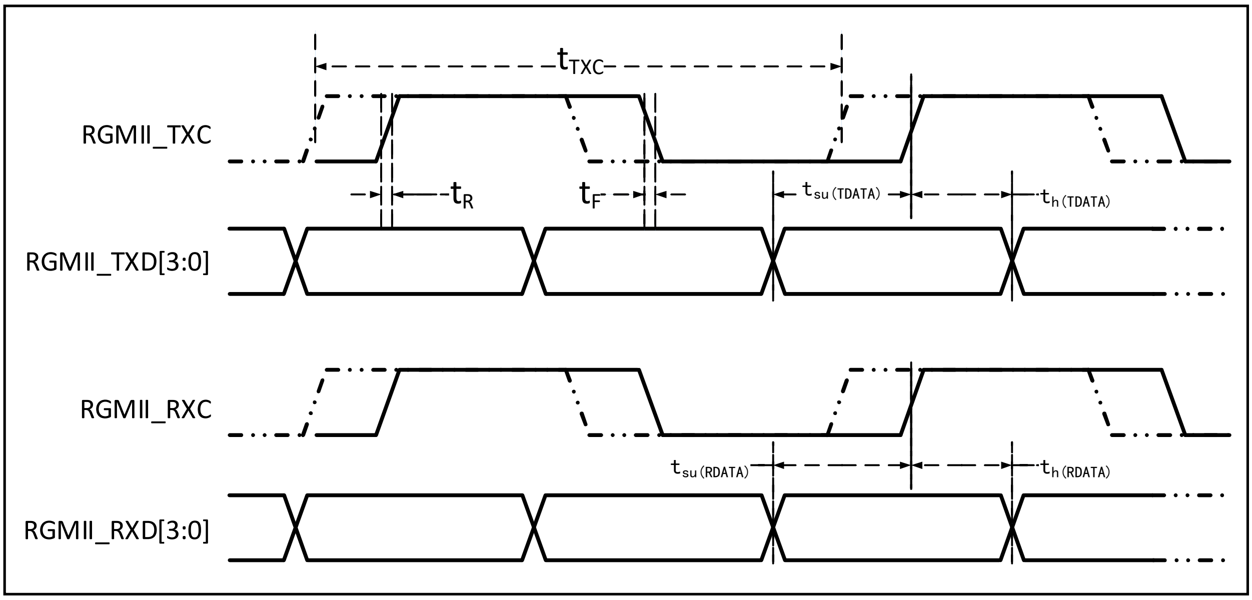


表 3-47 以太网 MAC 信号 RGMII 信号特性

符号	参数及描述	最小值	典型值	最大值	单位
f_{TXC}/t_{TXC}	TXC/RXC 时钟频率	7.2	8	8.8	
t_R	TXC/RXC上升时间			2.0	
t_F	TXC/RXC下降时间			2.0	
$t_{su\ (TDATA)}$	发送数据建立时间	1.2	2.0		ns
$t_{h\ (TDATA)}$	发送数据保持时间	1.2	2.0		
$t_{su\ (RDATA)}$	输入数据建立时间	1.2	2.0		
$t_{h\ (RDATA)}$	输入数据保持时间	1.2	2.0		

3.3.30 12 位 ADC 特性

表 3-48 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33A}	供电电压	$f_S < 2MHz$	2.7		3.6	V
		$f_S \geqslant 2MHz$	3		3.6	V
V_{REFP} (2)	正参考电压	$V_{REFP} \leqslant V_{DD33A}$	2.4	3.3	3.6	V
I_{DD33A}	ADC 供电电流（不含 buffer）	ADC_LP = 0		1.42		mA
		ADC_LP = 1		0.37		mA
I_{BUF}	ADC buffer 自身电流	ADC_LP = 0		0.76		mA
		ADC_LP = 1		0.19		mA
f_{ADC}	ADC 时钟频率			14	80	MHz
f_S	采样速率		0.06		5	MHz
f_{TRIG}	外部触发频率	f_{ADC} = 14MHz			875	kHz
					16	$1/f_{ADC}$
		f_{ADC} = 80MHz			4.4	MHz
					18	$1/f_{ADC}$
V_{AIN}	转换电压范围	$V_{REFP} \geqslant V_{DDIO}$	0		V_{DDIO}	V
		$V_{REFP} < V_{DDIO}$	0		V_{REFP}	V
R_{AIN}	外部输入阻抗				50	kΩ
R_{ADC}	采样开关电阻			0.6	1.5	kΩ
C_{ADC}	内部采样和保持电容			4.5		pF
t_{CAL}	校准时间	f_{ADC} = 14MHz	2			us
t_{lat}	注入触发转换时延	f_{ADC} = 14MHz			0.143	us
		f_{ADC} = 80MHz			0.025	us
					2	$1/f_{ADC}$
t_{latr}	常规触发转换时延	f_{ADC} = 14MHz			0.143	us
		f_{ADC} = 80MHz			0.025	us
					2	$1/f_{ADC}$
t_s	采样时间	f_{ADC} = 14MHz	0.107		17.11	us
			1.5		239.5	$1/f_{ADC}$
		f_{ADC} = 80MHz	0.037		2.49	us
			3.5		239.5	$1/f_{ADC}$
t_{STAB}	上电时间				1	us

t_{CONV}	总的转换时间（包括采样时间）	f_{ADC} = 14MHz	1		18	us
			14		252	1/f_{ADC}
		f_{ADC} = 80MHz	0.2		3.15	us
			16		252	1/f_{ADC}

注：1. 以上均为设计参数保证。

2. V_{REFP}外接电容要尽可能近，否则影响 ADC 性能。

公式：最大 R_{AIN}

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 3-49 f_{ADC} = 14MHz 时的最大 R_{AIN}

T_S(周期)	t_S(us)	最大 R_{AIN}(kΩ)
1.5	0.11	1.0
3.5	0.25	4.0
7.5	0.54	10.9
13.5	0.96	20.5
28.5	2.04	44.9
41.5	2.96	66.3

表 3-50 ADC 误差（f_{ADC} = 14MHz，ADC_LP = 1）

符号	参数	条件	最小值	典型值	最大值	单位
EO	偏移误差	R_{AIN} < 10kΩ, V_{DD33A} = 3.3V		±2	±5	LSB
ED	微分非线性误差			±1	±4	
EL	积分非线性误差			±2	±4	

注：以上均为设计参数保证。

表 3-51 ADC 误差（f_{ADC} = 80MHz，ADC_LP = 0）

符号	参数	条件	最小值	典型值	最大值	单位
EO	偏移误差	R_{AIN} < 2kΩ, V_{DD33A} = 3.3V		±3	±7	LSB
ED	微分非线性误差			±2	±5	
EL	积分非线性误差			±3	±5	

注：以上均为设计参数保证。

C_p表示 PCB 与焊盘上的寄生电容（大约 5pF），可能与焊盘和 PCB 布局质量有关。较大的 C_p数值将降低转换精度，解决办法是降低 f_{ADC}值。

图 3-31 ADC 典型连接图

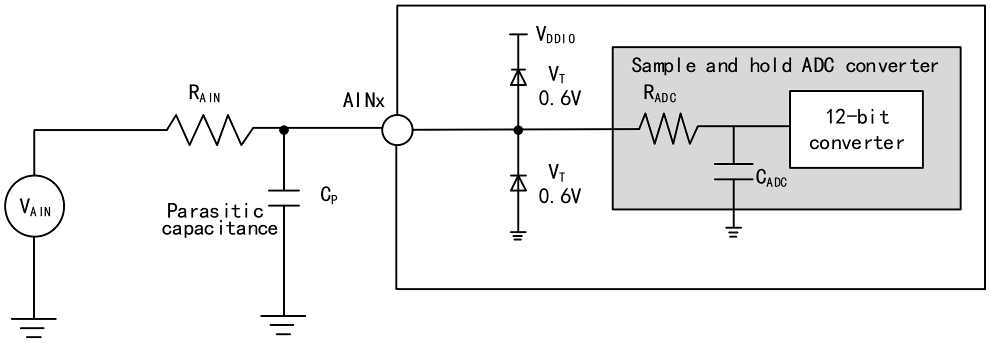
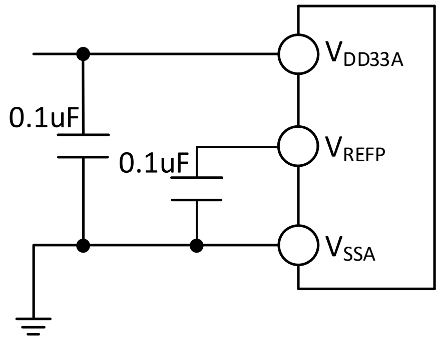


图 3-32 模拟电源及退耦电路参考



3.3.31 10 位 HSADC 特性

表 3-52 HSADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33A}	供电电压		3.0	3.3	3.6	V
V_{REFP} (2)	正参考电压	$V_{REFP} \leqslant V_{DD33A}$	2.4	3.3	3.6	V
V_{DDIO}	使用 HSADC 时的 I/O 引脚电压		V_{REFP}			V
I_{DDA}	供电电流			1.1		mA
I_{DDIO}	ADC I/O 引脚电流			1.8		mA
f_{HSADC}	ADC 时钟频率			100		MHz
f_S	采样速率			20		MHz
V_{AIN}	转换电压范围	$V_{REFP} \geqslant V_{DDIO}$	0		V_{DDIO}	V
		$V_{REFP} < V_{DDIO}$	0		V_{REFP}	V
R_{AIN}	外部输入阻抗				0.4	kΩ
R_{HSADC}	采样开关电阻			0.1	0.25	kΩ
C_{HSADC}	内部采样和保持电容			1.1		pF
t_{CAL}	校准时间			1		us
t_s	采样时间	f_{HSADC} = 100MHz		10		ns
				1		$1/f_{HSADC}$
t_{STAB}	上电时间				1	us
t_{CONV}	总的转换时间（包括采样时间）	f_{HSADC} = 100MHz		50		ns
				5		$1/f_{HSADC}$

注：1. 以上均为设计参数保证。

2. V_{REFP} 外接电容要尽可能近，否则影响 HSADC 性能。

公式：最大 R_{AIN}

$$R_{AIN} < \frac{T_S}{f_{HSADC} \times C_{HSADC} \times \ln 2^{N+2}} - R_{HSADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=10(表示 10 位分辨率)。

表 3-53 HSADC 误差

符号	参数	条件	最小值	典型值	最大值	单位
EO	偏移误差	R_{AIN} ＜ 0.4kΩ, V_{DD33A} = 3.3V		±4	±9	LSB
ED	微分非线性误差			±2	±4	
EL	积分非线性误差			±3	±4	

注：以上均为设计参数保证。

C_p 表示 PCB 与焊盘上的寄生电容（大约 5pF），可能与焊盘和 PCB 布局质量有关。较大的 C_p 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

图 3-33 HSADC 典型连接图

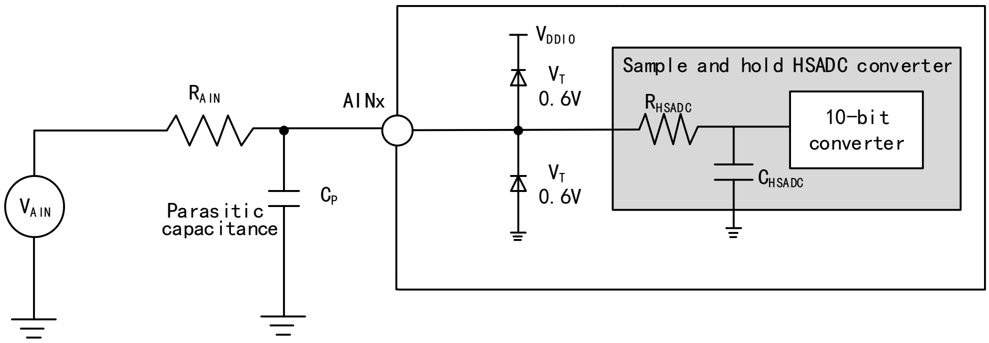
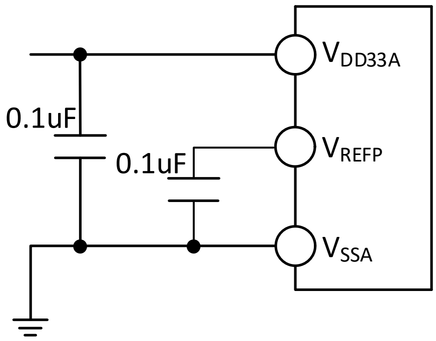


图 3-34 模拟电源及退耦电路参考



3.3.32 DAC 特性

表 3-54 DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33A}	供电电压		2.4	3.3	3.6	V
V_{REFP}	正参考电压	$V_{REFP} \leqslant V_{DD33A}$	2.4	3.3	3.6	V
R_L (1)	缓冲器打开时的负载电阻		5			kΩ
C_L (1)	缓冲器打开时负载电容				50	pF

V_{OUT_MIN} (1)	缓冲器打开，12 位 DAC 转换		0		8	mV
V_{OUT_MAX} (1)		V_{REFP} = 3.3V	3.29		3.3	V
V_{OUT_MIN} (1)	缓冲器关闭，12 位 DAC 转换		0		3	mV
V_{OUT_MAX} (1)		V_{REFP} = 3.3V	3.295		3.3	V
I_{VREFP}	无负载，输入值 0x800			58		uA
	无负载，V_{REFP} = 3.6V 时，输入值 0xF1C			194		
	无负载，V_{REFP} = 3.6V 时，输入值 0x555（最差）			331		
I_{DDA}	缓冲器打开无负载，输入值 0x800			170		uA
	缓冲器打开无负载，V_{REFP} = 3.6V，输入值 0xF1C			150		
	缓冲器打开无负载，V_{REFP}=3.6V，输入值 0x555（最差）			170		
DNL	微分非线性误差			±2		LSB
INL	积分非线性误差	经过失调误差和增益误差校正后		±4		LSB
失调	偏移误差			±3	±12	mV
		V_{REFP} = 3.6V			±10	LSB
增益误差		DAC配置为12位		±0.4		%
放大器增益 (1)	开环时放大器的增益	5kΩ的负载（最大）	80	85		dB
$t_{SETTLING}$	设置时间（全范围：输入代码从最小值转变为最大值，DAC_OUT 达到其终值的 ±1 LSB）	C_{LOAD} ≤ 50pF R_{LOAD} ≥ 5kΩ		3	4	us
更新速率	当输入代码为较小变化时(从数值i变到i+1LSB)，得到正确DAC_OUT的最大频率	C_{LOAD} ≤ 50pF R_{LOAD} ≥ 5kΩ			1	MS/s
PSRR+ (1)	供电抑制比（相对于V_{DD33A}）（静态直流测量）	没有R_{LOAD}，C_{LOAD} ≤ 50pF		-100	-75	dB

注：设计参数保证。

3.3.33 OPA 特性

表 3-55-1 OPA 运放特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33A}	供电电压	建议不低于 2V	1.8	3.3	3.6	V
V_{CMIR}	共模输入电压		0		V_{DD33A}	V
$V_{IOFFSET}$	输入失调电压			±0.2	±0.8	mV
V_{IN_OUT}	通道输入和输出的电压范围	针对 PB0～PB1、PE8～PE9、PE11～PE12、PC2～PC3 引脚			V_{IO18}	V
		其他 OPA 输入输出通道引脚			V_{DDIO}	V
I_{LOAD}	驱动电流	R_{LOAD} = 4kΩ			900	uA
I_{LOAD_PGA}	PGA 模式驱动电流				500	uA
$I_{DDOPAMP}$	消耗电流	无负载，静态模式		200		uA
CMRR (1)	共模抑制比	@1kHz		96		dB
PSRR (1)	电源抑制比	@1kHz		82		dB
Av (1)	开环增益	C_{LOAD} = 5pF		110		dB
G_{BW} (1)	单位增益带宽	C_{LOAD} = 5pF		16		MHz

P_M[1]	相位裕度	C_{LOAD} = 5pF		75		°
S_R[1]	压摆率	C_{LOAD} = 5pF		7		V/us
t_{WAKUP}[1]	关闭到唤醒时间 0.1%	输入 V_{DD33A}/2, C_{LOAD} = 50pF, R_{LOAD} = 4kΩ			1	us
R_{LOAD}	阻性负载		4			kΩ
C_{LOAD}	容性负载				50	pF
V_{OHSAT}[2]	高饱和输出电压	R_{LOAD} = 4kΩ	V_{DD33A}-160			mV
		R_{LOAD} = 20kΩ	V_{DD33A}-35			mV
V_{OLSAT}[2]	低饱和输出电压	R_{LOAD} = 4kΩ			3	mV
		R_{LOAD} = 4KΩ,上拉			160	mV
		R_{LOAD} = 20kΩ			3	mV
		R_{LOAD} = 20kΩ,上拉			35	mV
PGA Gain[1]	PGADIFx = 0, 同相 PGA 增益误差	Gain = 8, V_{CMIR} < (V_{DD33A}/7)	-1		1	%
		Gain = 16, V_{CMIR} < (V_{DD33A}/15)	-1		1	%
		Gain = 32, V_{CMIR} < (V_{DD33A}/31)	-1		1	%
		Gain = 64, V_{CMIR} < (V_{DD33A}/63)	-1.5		1.5	%
	PGADIFx = 1, 同相 PGA 增益误差	Gain = 8	-2		2	%
		Gain = 16	-2		2	%
		Gain = 32	-2		2	%
		Gain = 64	-2.5		2.5	%
Delta R	电阻绝对值变化		-15		15	%
eN[1]	等效输入噪声	R_{LOAD} = 4kΩ@1kHz		100		nV/sqrt(Hz)
		R_{LOAD} = 20kΩ@1kHz		60		

注：1. 设计参数保证。
2. 负载电流会限制饱和输出电压。

表 3-55-2 OPA 运放特性（高速模式）

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33A}	供电电压	建议不低于 2.4V	1.8	3.3	3.6	V
V_{CMIR}	共模输入电压		0		V_{DD33A}	V
$V_{IOFFSET}$	输入失调电压			±3	±12	mV
V_{IN_OUT}	通道输入和输出的电压范围	针对 PB0～PB1、PE8～PE9、PE11～PE12、PC2～PC3 引脚			V_{IO18}	V
		其他 OPA 输入输出通道引脚			V_{DDIO}	V
I_{LOAD}	驱动电流	R_{LOAD} = 4kΩ			900	uA
I_{LOAD_PGA}	PGA 模式驱动电流				500	uA
$I_{DDOPAMP}$	消耗电流	无负载，静态模式		450		uA
CMRR[1]	共模抑制比	@1kHz		96		dB
PSRR[1]	电源抑制比	@1kHz		82		dB
Av[1]	开环增益	C_{LOAD} = 5pF		110		dB
G_{BW}[1]	单位增益带宽	C_{LOAD} = 5pF		28		MHz
P_M[1]	相位裕度	C_{LOAD} = 5pF		80		°
S_R[1]	压摆率	C_{LOAD} = 5pF		25		V/us

t_{WAKUP} (1)	关闭到唤醒时间 0.1%	输入 $V_{DD33A}/2$, C_{LOAD} = 50pF, R_{LOAD} = 4kΩ			1	us
R_{LOAD}	阻性负载		4			kΩ
C_{LOAD}	容性负载				50	pF
V_{OHSAT} (2)	高饱和输出电压	R_{LOAD} = 4kΩ	V_{DD33A}-160			mV
		R_{LOAD} = 20kΩ	V_{DD33A}-35			mV
V_{OLSAT} (2)	低饱和输出电压	R_{LOAD} = 4kΩ			3	mV
		R_{LOAD} = 4KΩ, 上拉			160	mV
		R_{LOAD} = 20kΩ			3	mV
		R_{LOAD} = 20kΩ, 上拉			35	mV
PGA Gain (1)	内部同相 PGA 增益误差	Gain = 8, V_{CMIR} < (V_{DD33A}/7)	-1		1	%
		Gain = 16, V_{CMIR} < (V_{DD33A}/15)	-1		1	%
		Gain = 32, V_{CMIR} < (V_{DD33A}/31)	-1		1	%
		Gain = 64, V_{CMIR} < (V_{DD33A}/63)	-1.5		1.5	%
	差分 PGA 增益误差	Gain = 8	-2		2	%
		Gain = 16	-2		2	%
		Gain = 32	-2		2	%
		Gain = 64	-2.5		2.5	%
Delta R	电阻绝对值变化		-15		15	%
eN (1)	等效输入噪声	R_{LOAD} = 4kΩ@1kHz		100		nV/sqrt(Hz)
		R_{LOAD} = 20kΩ@1kHz		60		

注：1. 设计参数保证。

2. 负载电流会限制饱和输出电压。

3.3.34 CMP 特性

表 3-56 CMP 电压比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33A}	供电电压	建议不低于 2V	1.8	3.3	3.6	V
V_{CMIR}	共模输入电压		0		V_{DD33A}	V
$V_{IOFFSET}$	输入失调电压			±3	±12	mV
V_{IN_OUT}	通道输入和输出的电压范围	针对 PB0～PB1 引脚			V_{IO18}	V
		其他 CMP 输入输出通道引脚			V_{DDIO}	V
$I_{DDOPAMP}$	消耗电流			40		uA
V_{hys} (1)	迟滞电压	HYPSEL = 00		0		mV
		HYPSEL = 01		10		
		HYPSEL = 10		20		
		HYPSEL = 11		30		
t_D (1)	比较器延时，V_{INP} 从（V_{INN}-100mV）到（V_{INN}+100mV）变化	0≤ V_{INN} ≤V_{DD33A}		20		ns

注：1. 设计参数保证。

3.3.35 温度传感器特性

表 3-57 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
R_{TS}	温度传感器测量范围		-40		85	℃
A_{TSC}	温度传感器的测量误差			±12		℃
Avg_Slope	平均斜率（负温度系数）		3.8	4.3	4.8	mV/℃
V_{25}	在 25℃时的电压		1.34	1.40	1.46	V
T_{S_temp}	当读取温度时，ADC 采样时间	f_{ADC} = 14MHz			17.1	us

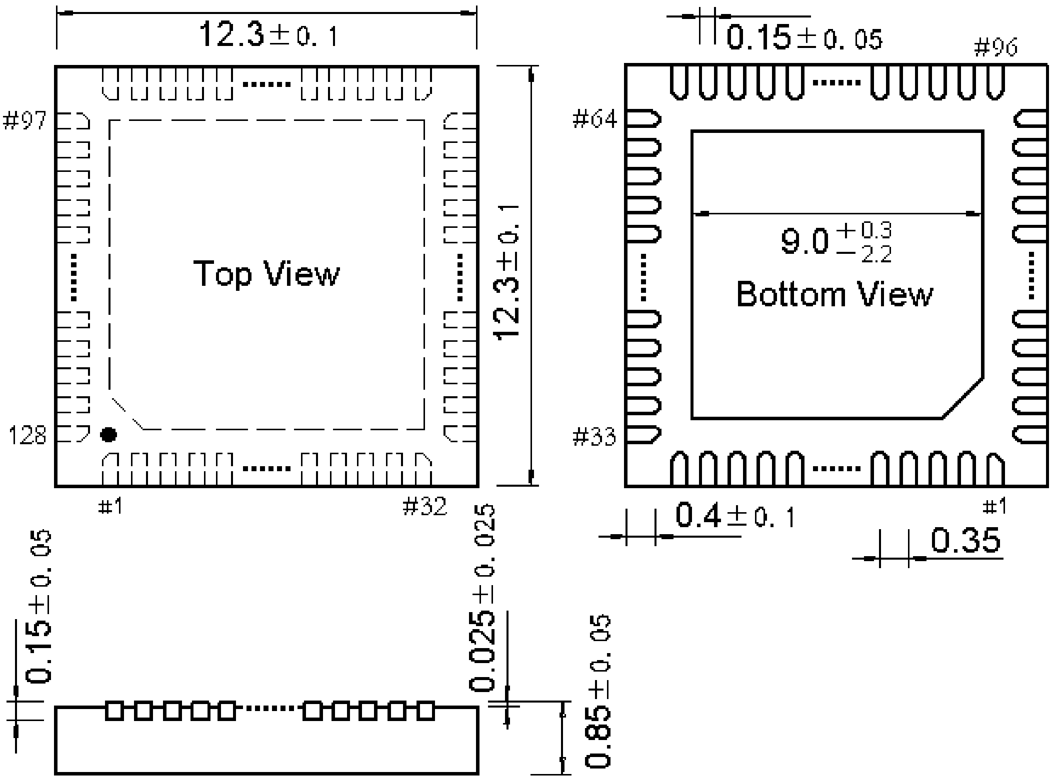
第 4 章 封装及订货信息

芯片封装

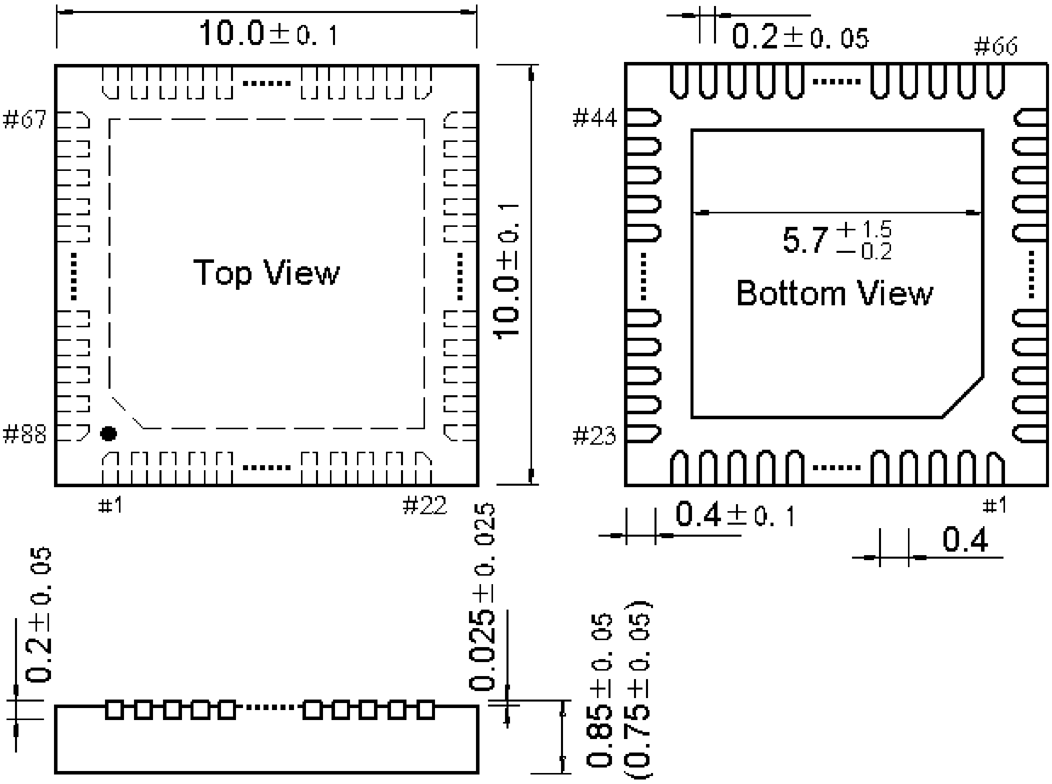
封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN128	12.3*12.3mm	0.35mm	13.8mil	四边无引线 128 脚	CH32H417QEU6
QFN88	10*10mm	0.4mm	15.7mil	四边无引线 88 脚	CH32H417MEU6
QFN68	8*8mm	0.4mm	15.7mil	四边无引线 68 脚	CH32H417WEU6
QFN60X6	6*6mm	0.35mm	13.8mil	四边无引线 60 脚	CH32H416RDU6
QFN60X6	6*6mm	0.35mm	13.8mil	四边无引线 60 脚	CH32H415REU6

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm 或者±10%两者中的较大值。

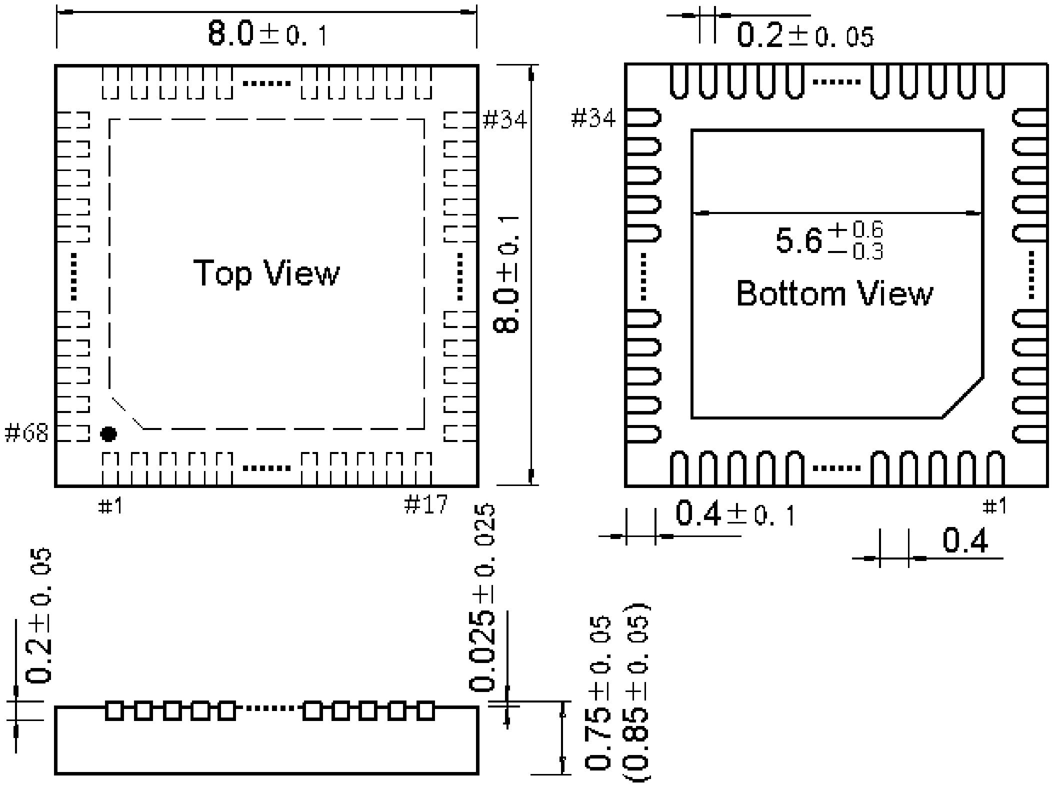
4.1 QFN128 封装



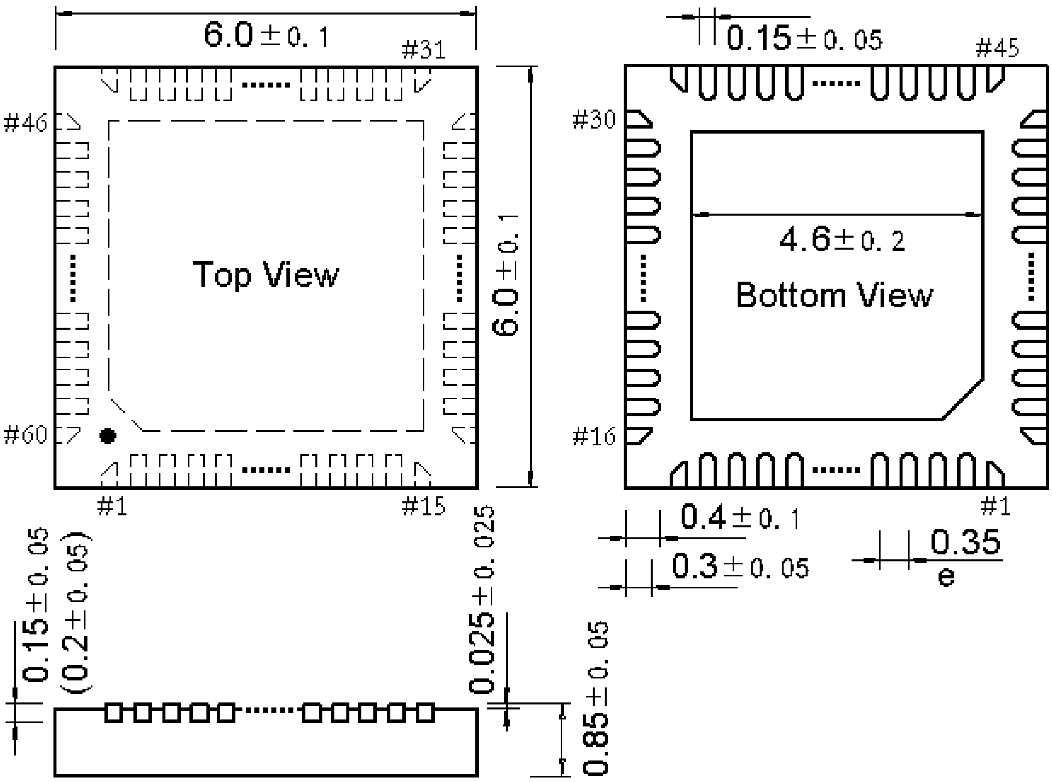
4.2 QFN88 封装



4.3 QFN68 封装



4.4 QFN60X6 封装



系列产品命名规则

举例： CH32 V 303 R 8 T 6

产品系列

F = Arm 内核，通用 MCU
V = 青稞 RISC-V 内核，通用 MCU
L = 青稞 RISC-V 内核，低功耗 MCU
X = 青稞 RISC-V 内核，专用或特殊外设 MCU
M = 青稞 RISC-V 内核，内置预驱的电机 MCU
H = 青稞 RISC-V 内核，高性能 MCU

产品类型（*）+产品子系列（**）

产品类型	产品子系列
0 = 超值版，主频<=48M	06 = 64K 闪存多能通用型，OPA、双串口、TKey 07 = 基础电机应用型，OPA+CMP
1 = 基本版，主频<=100M 2 = 增强版，主频<=200M 3 = 硬件浮点，中大容量<480KB	03 = 连接型，USB 05 = 连接型，USB HS、CAN 07 = 互联型，USB HS、CAN、以太网、SDIO、FSMC 08 = 无线型，BLE5.x、CAN、USB、以太网 17 = 互联型，USB HS、CAN、以太网（内置 PHY）、SDIO
4 = 硬件浮点，大容量>=480KB	15 = 连接型，USB HS、HSADC 16 = 连接型，USB SS、HSADC、SDMMC 17 = 互联型，USB SS、SerDes、HSADC、UHSIF、SDIO、DVP、SDMMC、以太网（内置 PHY）

引脚数目

J = 8 脚	D = 12 脚	A = 16 脚	F = 20 脚	E = 24 脚
G = 28 脚	K = 32 脚	T = 36 脚	C = 48 脚	R = 60&64 脚
W = 68 脚	M = 88 脚	V = 100 脚	Q = 128 脚	Z = 144 脚

闪存存储容量

4 = 16K 闪存存储器	6 = 32K 闪存存储器	7 = 48K 闪存存储器	8 = 64K 闪存存储器
B = 128K 闪存存储器	C = 256K 闪存存储器	D = 480K 闪存存储器	E = 512K 闪存存储器

封装

T = LQFP　U = QFN　R = QSOP　P = TSSOP　M = SOP

温度范围

6 = -40℃～85℃	7 = -40℃～105℃
3 = -40℃～125℃	D = -40℃～150℃