

ZGAD7522 14 位双通道高速模数转换器 (ADC)

1 特性

- 采样率 2Msps 至 40Msps
- 1.8V 单电压供电
- 输出: Serial LVDS
- 输入范围: 2.0Vpp
- 信噪比 (SNR): 71dBFS
- 无杂散动态范围 (SFDR): 94dBFS
- 信道隔离度: 104dB
- 全功率带宽: 800MHz
- 全速率运行功耗: 218mW
- 双通道采样
- 时钟占空比稳定器
- 节能的低功耗模式和休眠模式
- 可配置的 SPI 串行口 (支持 1.8V 到 3.3V)
- 封装: QFN40
- 工作温度: -40°C 至 85°C

- 医疗设备
- 视频设备
- 蜂窝基站
- 激光雷达

2 应用领域

- 信号链
- 测试测量仪器
- 安全监测设备

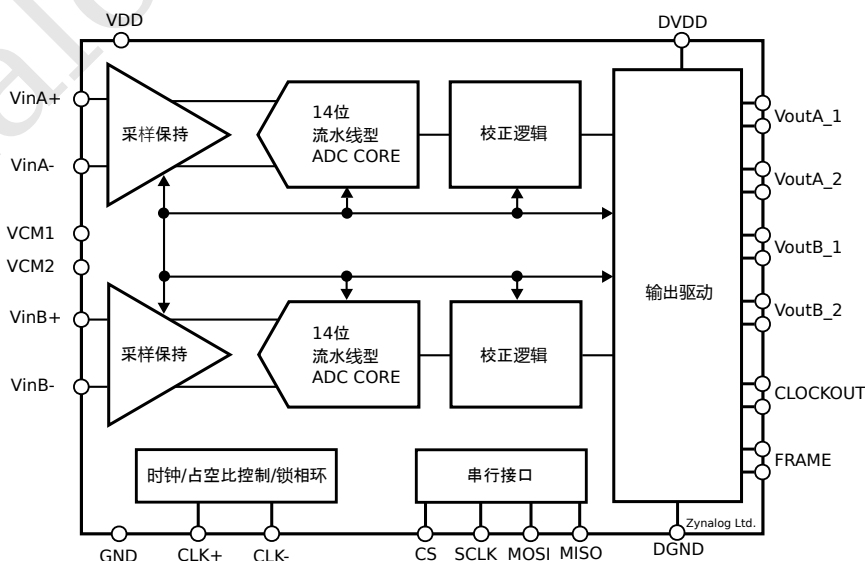
3 综述

ZGAD7522 是双通道 14 位 25Msps 的模数转换器 (ADC)。设计应用于高频率, 宽动态范围信号的数字化。系列具有包括 71dBFS 信噪比 (SNR) 和 94dBFS 无杂散动态范围 (SFDR) 的性能, 完美适用于高要求的信号链应用。800MHz 的输入带宽允许 ADC 在高频下采样的同时保持良好性能。

数字输出为串行 LVDS, 双线模式下, 每个通道一次输出两位数据; 单线模式下, 每个通道一次输出一位数据。LVDS 驱动器可选内置终端和可调节输出电平, 以确保信号完整性清晰。静态特性包括 ± 2 LSB 积分非线性误差 (INL) (典型值), ± 0.35 LSB 微分非线性误差 (DNL) (典型值)。

时钟输入可以用正弦波、PECL、LVDS、TTL 或 CMOS 输入差分驱动。时钟占空比稳定器允许在很宽的时钟占空比范围内全速工作的高性能表现。

图 1: 基本功能框架



目录

1 特性	1	2 典型性能特性 (1)	5
2 应用领域	1	2 典型性能特性 (2)	6
3 综述	1	3 正面视图 6mmx6mmQFN40 封装	8
4 性能参数	4	4 双线输出 16-bit 模式	10
5 性能特性	5	5 双线输出 14-bit 模式	11
6 绝对最大额定值	7	6 双线输出 12-bit 模式	11
7 引脚配置	8	7 单线输出 16-bit 模式	12
8 时序图	10	8 单线输出 14-bit 模式	12
9 应用信息	13	9 单线输出 12-bit 模式	12
9.1 模拟信号输入	13	10 输入信号满量程示意图	13
9.2 时钟信号	14	11 输入频率在第一个 Nyquist Zone 的推荐前端电路	13
9.3 时钟 PLL 与时钟占空比稳定器	14	12 输入频率大于第一个 Nyquist Zone 的推荐前端电路	13
9.4 LVDS 数字输出	14	13 使用单端转差分的高速运放的推荐前端电路 (隔离直流信号)	13
9.4.1 数据输出格式	15	14 使用单端转差分的高速运放的推荐前端电路	14
9.4.2 随机发生器	15	15 模拟时钟信号输入	14
9.4.3 输出关闭	15	16 LVDS/PECL 时钟信号输入	14
9.5 低功耗模式	15	17 单端时钟信号输入	14
9.6 休眠模式	15	18 SPI 时序图	16
9.7 软件复位	15	19 封装信息	19
10 SPI 和控制寄存器	16		
10.1 SPI	16		
10.2 控制寄存器	17		
11 封装	19		
12 订购信息	19		
13 包装信息	20		
14 关于微格	21		
14.1 公司简介	21		
14.2 联系方式	21		

表格

1 文档版本	3
2 电源性能参数	4
3 转换性能参数	4
4 数字输出参数	5
5 绝对最大额定值	7
6 推荐工作条件参数表	7
7 抗静电参数	7
8 热阻值	7
9 引脚定义和功能说明	8
10 数据输出格式	15
11 复位寄存器-A0(地址: 0x00)	17
12 输出格式及掉电寄存器-A1(地址: 0x01)	17
13 输出模式寄存器-A2(地址: 0x02)	18
14 测试模式 MSB 寄存器-A3(地址: 0x03)	18
15 测试模式 LSB 寄存器-A4(地址: 0x04)	18
16 ADC 系列产品信息	19

插图

1 基本功能框架	1
----------	---

表 1: 文档版本

版本号	说明
0.10	初版

zynalog semiconductor

4 性能参数

测试条件为 25MHz 采样率，采样点 32768 个。

表 2: 电源性能参数

标志	说明	条件	最小	典型	最大	单位
电源						
VDD	模拟电源输入电压		1.7	1.8	1.9	V
DVDD	数字电源输入电压		1.7	1.8	1.9	V
I_VDD	模拟电源输入电流			91		mA
I_DVDD	数字电源输入电流	单线模式, 1.75mA		15		mA
		单线模式, 3.5mA		22		mA
		双线模式, 1.75mA		19		mA
		双线模式, 3.5mA		30		mA
Power	功耗	单线模式, 1.75mA		190		mW
		单线模式, 3.5mA		203		mW
		双线模式, 1.75mA		198		mW
		双线模式, 3.5mA		218		mW
P_lowpower	低功耗模式		41		mW	
P_sleep	睡眠模式		5.4		mW	

表 3: 转换性能参数

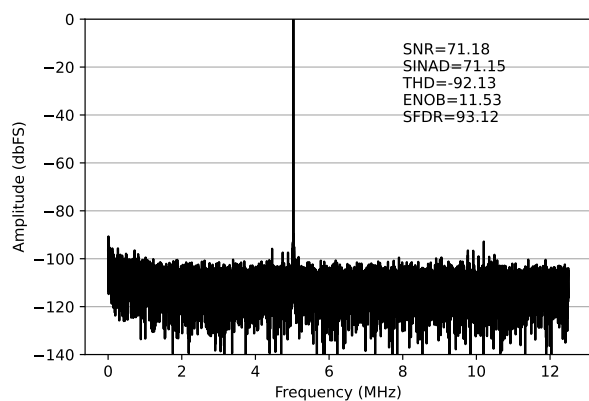
标志	说明	条件	最小	典型	最大	单位
INL	积分非线性			±2		LSB
DNL	微分非线性			±0.35		LSB
Offset Error	偏置误差		-12	±3	12	mV
Gain Error	增益误差		-1.5	-0.6	0.65	%FS
Offset Drift	偏置偏移			±20		μV/°C
Full-Scale Drift	满量程漂移	外部参考		±30		ppm/°C
Transition Noise	码跃迁噪声	外部参考		1.55		LSB _{RMS}
SNR	信噪比	5MHz Input		71.1		dBFS
		30MHz Input		71.1		dBFS
		70MHz Input		70.9		dBFS
		120MHz Input		70.5		dBFS
SFDR	无杂散动态范围	5MHz Input		93		dBFS
		30MHz Input		92		dBFS
		70MHz Input		90		dBFS
		120MHz Input		94		dBFS

表 4: 数字输出参数

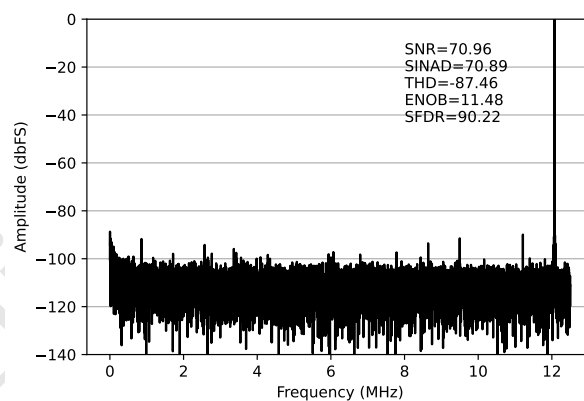
标志	说明	最小	典型	最大	单位
V_OD	数字输出差分电压 (3.5mA 模式下)	247	350	454	mV
V_OD	数字输出差分电压 (1.75mA 模式下)	125	175	250	mV
V_OS	数字输出共模电压	1.125	1.25	1.375	V
R_TERM	终端电阻		100		Ω

5 性能特性

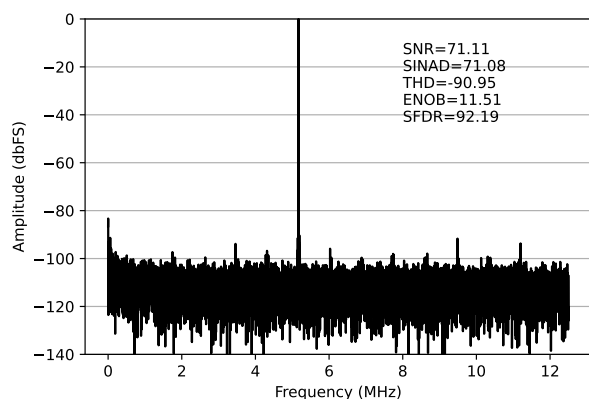
测试条件为 25MHz 采样率, 采样点 32768 个。



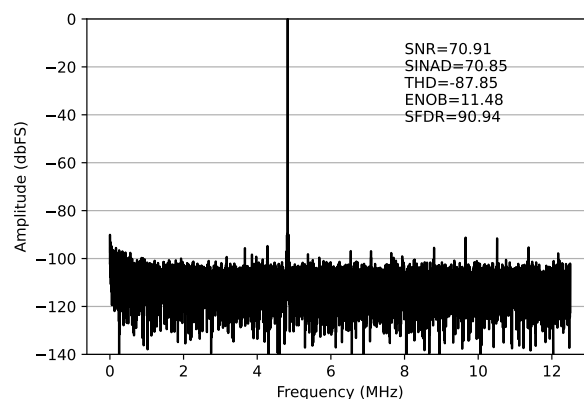
(a) 输入信号频率 = 5MHz



(b) 输入信号频率 = 12MHz

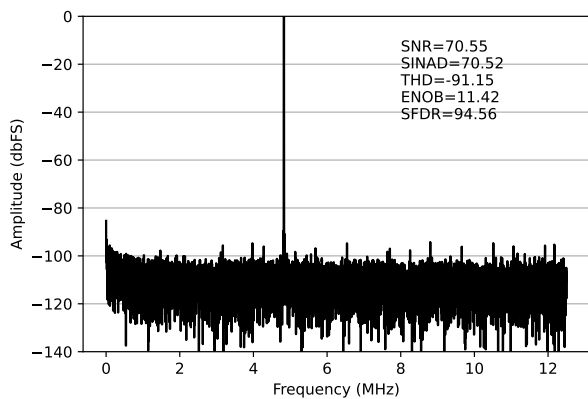


(c) 输入信号频率 = 30MHz

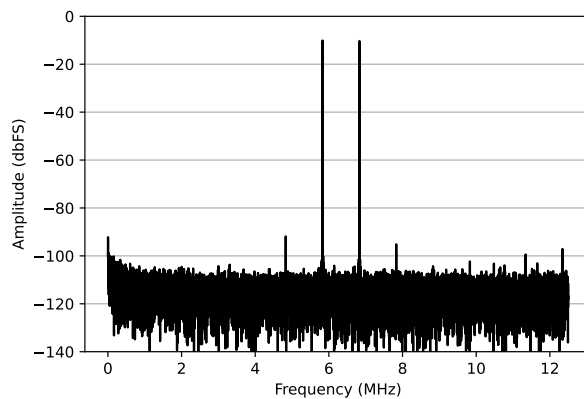


(d) 输入信号频率 = 70MHz

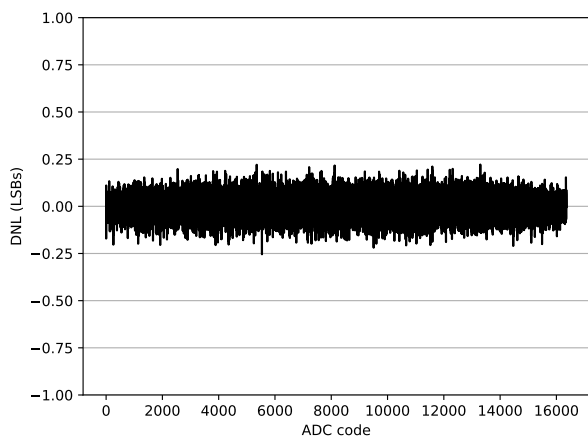
图 2: 典型性能特性 (1)



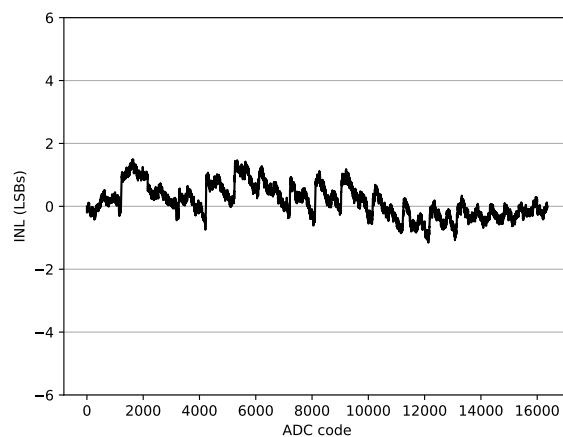
(g) 输入信号频率 = 120MHz



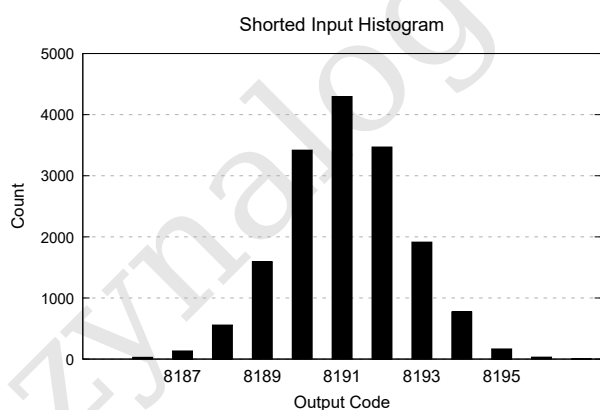
(h) 输入信号频率为 68MHz, 69MHz



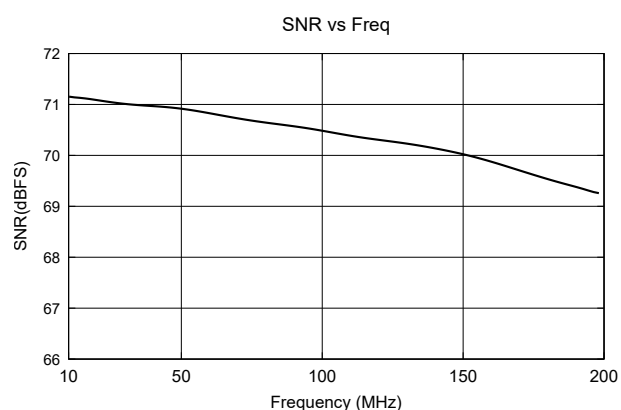
(i) DNL



(j) INL



(k) Shorted Input Histogram



(l) SNR vs Freq

图 2: 典型性能特性 (2)

6 绝对最大额定值

表 5: 绝对最大额定值

标志	说明	范围	单位
VDD, DVDD	最大输入电压范围	-0.3 至 2	V
Analog Vin	最大输入模拟电压范围	-0.3 至 VDD+0.2	V
CLK, SENSE	最大输入模拟电压范围	-0.3 至 VDD+0.2	V
SPI	SPI/GPIO 最大数字电压范围	-0.3 至 3.9	V
Data Output	LVDS 输出最大数字电压范围	-0.3 至 DVDD+0.2	V
WORKING TEMP	工作温度	-40 至 85	°C
STORAGE TEMP	储存温度	-65 至 150	°C
JUNCTION TEMP	工作结温	150	°C
SOLDERING CONDITIONS	焊接条件	JEDEC J-STD-020	

产品在超过上表中所列极限参数的条件下使用，会给产品带来不可逆转的永久性损坏。上表所列举的只是绝对最大额定值，并不能以这些条件或者在任何其它超出本产品数据手册所推荐的规格条件下，推断产品是否能正常工作。长时间在绝对最大额定值条件下工作，会对产品的可靠性带来影响。

表 6: 推荐工作条件参数表

参数	最小值	最大值	单位
模拟电源输入电压, VDD	1.7	1.9	V
数字电源输入电压, DVDD	1.7	1.9	V
工作环境温度, T _A	-40	85	°C

表 7: 抗静电参数

参数	描述	值	单位
HBM	人体模型	±2000	V
CDM	充电设备模型	±500	V

• ESD 警告



ESD (静电放电) 敏感产品

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，产品可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

• 热阻

产品的散热性能和 PCB 电路板设计以及工作环境直接相关。用户在使用产品时应注意 PCB 电路板的散热设计。 θ_{JA} 针对最差条件，即器件焊接在 4 层 JEDEC 标准电路板上以实现表贴封装。

表 8: 热阻值

封装类型	θ_{JA}	单位
QFN40_6*6	20	°C/W

7 引脚配置

图 3: 正面视图

6mmx6mmQFN40 封装

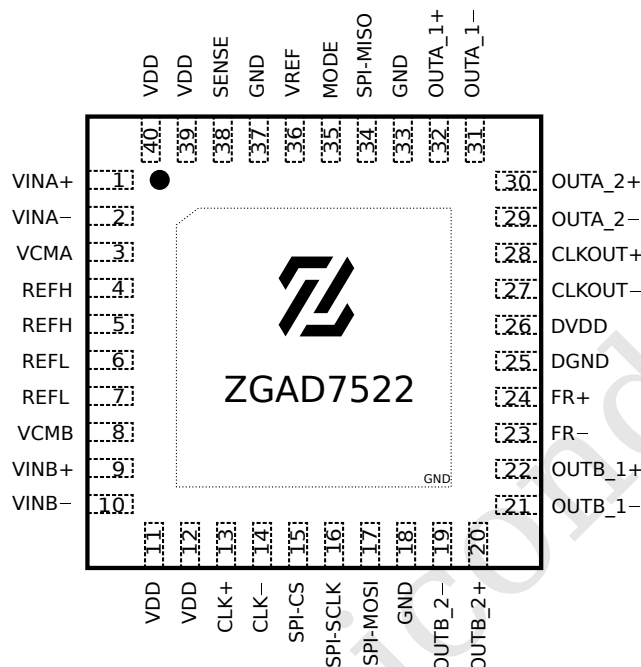


表 9: 引脚定义和功能说明

引脚号	引脚名称	类型	说明
电源			
11,12,39,40	VDD	Supply	1.8V 模拟电源。用 0.1 μ F 陶瓷电容器旁路到地。引脚 1,2 可以共用一个旁路电容。
18,33,37	GND	Ground	电源地。背面裸露焊盘必须焊接到 PCB 的地上。
26	DVDD	Supply	1.8V 数字输出驱动电源。使用单独的 0.1 μ F 陶瓷电容器将每个引脚旁路到地。
25	DGND	Ground	数字输出驱动电源地。
模拟信号			
1	VinA+	Input	通道 A 差分模拟输入正端。
2	VinA-	Input	通道 A 差分模拟输入负端。
3	VCMA	Output	共模偏置输出。标称等于 0.64*VREF。VCMA 用于设置通道 A 模拟输入的共模偏置。使用 0.1 μ F 陶瓷电容器旁路接地。
4,5	REFH	Output	ADC 参考输入正端，使用 2.2 μ F 陶瓷电容器旁路到 6,7 引脚。另外使用 0.1 μ F 陶瓷电容器旁路接地。(内置电容，可悬空)
6,7	REFL	Output	ADC 参考输入负端，使用 2.2 μ F 陶瓷电容器旁路到 4,5 引脚。另外使用 0.1 μ F 陶瓷电容器旁路接地。(内置电容，可悬空)

见下页...

引脚号	引脚名称	类型	说明
... 接上页			
8	VCMB	Output	共模偏置输出。标称等于 $0.64 \times V_{REF}$ 。VCMB 用于设置通道 B 模拟输入的共模偏置。使用 $0.1\mu\text{F}$ 陶瓷电容器旁路接地。
9	VinB+	Input	通道 B 差分模拟输入正端。
10	VinB-	Input	通道 B 差分模拟输入负端。
13	CLK+	Input	时钟输入。转换在上升沿开始。
14	CLK-	Input	时钟输入。转换在下降沿开始。(单端时钟输入时, 必须使用 $0.1\mu\text{F}$ 陶瓷电容器旁路到地)
36	VREF	Output	参考电压输出。使用 $2.2\mu\text{F}$ 陶瓷电容器旁路接地。标称 1.25V 。
38	SENSE	Input	外部基准电压输入; 连接到 VDD/GND 可选择内部基准, $\pm 1\text{V}/\pm 0.5\text{V}$ 输入范围, 连接到 1.25V 的外部基准时, $\pm 1\text{V}$ 的输入范围。
SPI 信号			
35	MODE	Input	串行接口并行模式选择引脚。 当接地时启用串行接口 SPI 模式, 其中 SPI_CS、SPI_SCLK、SPI_MISO、SPI_MOSI 成为控制运行模式的串行接口。 当连接到 VDD 时启用并行 GPIO 模式, 其中 SPI_CS、SPI_SCLK、SPI_MOSI 成为一组简化操作模式的并行逻辑输入控制信号。 MODE 应直接连接到 GND 或 VDD, 而不是由逻辑信号驱动。
15	SPI_CS	Input	在串行接口模式 (MODE=0) 下为 SPI 的 CS 端口。在并行模式 (MODE=VDD) 下, 以 GPIO 方式控制时钟占空比稳定器: SPI_CS=0 (GND) 时, 时钟占空比稳定器关闭; SPI_CS=1 (逻辑电压范围 1.8V 到 3.3V) 时, 时钟占空比稳定器开启。
16	SPI_SCLK	Input	在串行接口模式 (MODE=0) 下为 SPI 的 SCLK 端口。在并行模式 (MODE=VDD) 下, 以 GPIO 方式控制休眠模式: SPI_SCLK=0 (GND) 时, 工作在普通模式; SPI_SCLK=1 (逻辑电压范围 1.8V 到 3.3V) 时, 进入休眠模式 (AC Power down)。
17	SPI_MOSI	Input	在串行接口模式 (MODE=0) 下为 SPI 的 MOSI 端口。在并行模式 (MODE=VDD) 下, 以 GPIO 方式控制 LVDS 输出电流: SPI_MOSI=0 (GND) 时, 3.5mA LVDS 输出驱动电流; SPI_MOSI=1 (逻辑电压范围 1.8V 到 3.3V) 时, 1.75mA LVDS 输出驱动电流。
34	SPI_MISO	Output	在串行接口模式 (MODE=0) 下为 SPI 的 MISO 端口。漏极开路输出, 需要从 SPI 读回数据时, 需上拉一个 2K 的电阻至 SPI 电源 (1.8V 到 3.3V)。在并行模式下无作用。
数字信号			
23/24	FR-/FR+	Output	帧起始输出
见下页...			

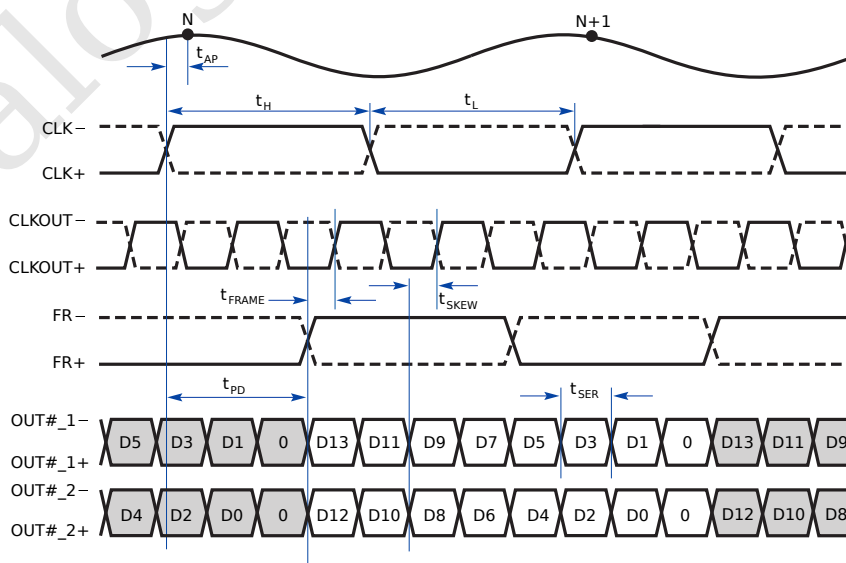
... 接上页

引脚号	引脚名称	类型	说明
27/28	CLKOUT-/CLKOUT+	Output	数据输出时钟
19/20	OUTB_2-/OUTB_2+	Output	通道 B 的串行数据输出, 在单线输出模式下, 仅使用 OUTB_1-/OUTB_1+
21/22	OUTB_1-/OUTB_1+		
29/30	OUTA_2-/OUTA_2+	Output	通道 A 的串行数据输出, 在单线输出模式下, 仅使用 OUTA_1-/OUTA_1+
31/32	OUTA_1-/OUTA_1+		

8 时序图

标志	说明*	最小	典型	最大	单位
f_S	采样频率	2	25	40	MHz
t_{AP}	时钟输入和数据采集的延迟 †		0		ns
t_H	时钟输入高保持时间	11.9	20	100	ns
t_L	时钟输入低保持时间	11.9	20	100	ns
t_{SER}	串行数据周期				
	双线输出-16bit 模式		$1/(8 \cdot f_S)$		s
	双线输出-14bit 模式		$1/(7 \cdot f_S)$		s
	双线输出-12bit 模式		$1/(6 \cdot f_S)$		s
	单线输出-16bit 模式		$1/(16 \cdot f_S)$		s
	单线输出-14bit 模式		$1/(14 \cdot f_S)$		s
	单线输出-12bit 模式		$1/(12 \cdot f_S)$		s
t_{FRAME}	时钟输出和 FR 的延迟	$0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.65 \cdot t_{SER}$	s
t_{SKEW}	时钟和数据输出的延迟	$0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.65 \cdot t_{SER}$	s
t_{PD}	传播延迟	$0.7n+2 \cdot t_{SER}$	$1.1n+2 \cdot t_{SER}$	$1.5n+2 \cdot t_{SER}$	s
t_R	Data, CLKOUT, FR, 20%-80%		0.17		ns
t_F	Data, CLKOUT, FR, 20%-80%		0.17		ns
	CLKOUT 周期间抖动, $t_{SER} = 1ns$		60		PS _{P-P}

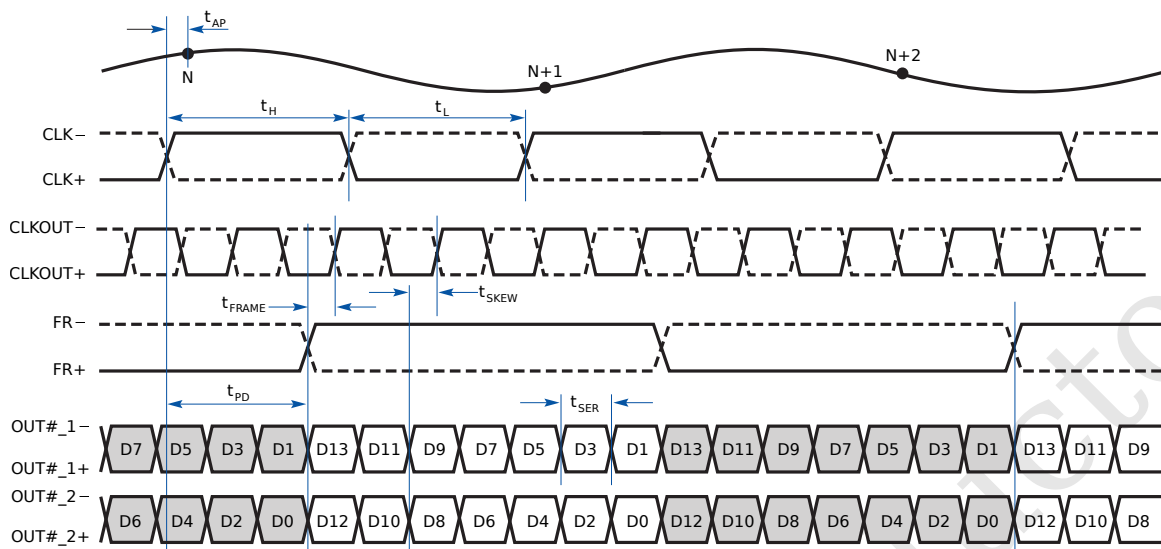
图 4: 双线输出 16-bit 模式



*时序延迟参数测试条件 VDD=1.8V, DVDD=1.8V, $f_S=25$ MHz

†数据位延迟 6 个周期

图 5: 双线输出 14-bit 模式



注意：此模式下，FR的频率是CLK的一半

图 6: 双线输出 12-bit 模式

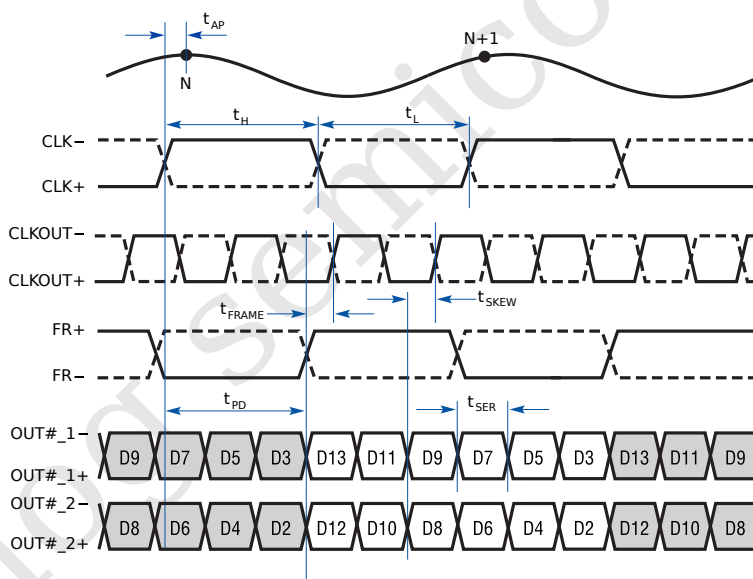
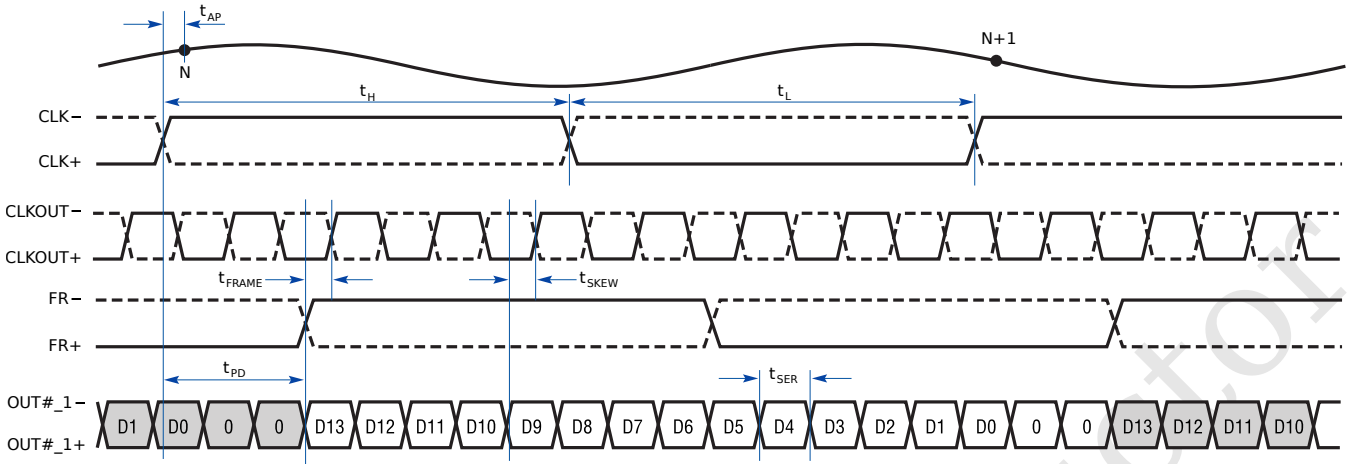
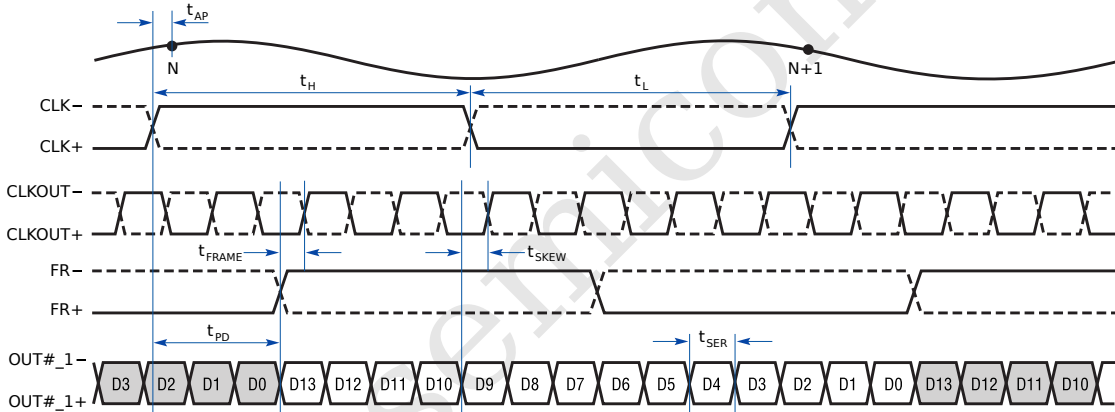


图 7: 单线输出 16-bit 模式



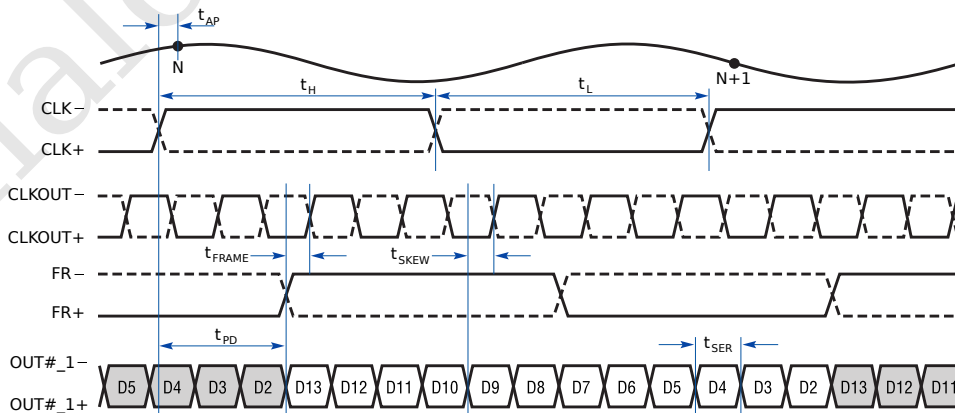
注意：此模式下，OUT#_2+，OUT#_2-不可用

图 8: 单线输出 14-bit 模式



注意：此模式下，OUT#_2+，OUT#_2-不可用

图 9: 单线输出 12-bit 模式



注意：此模式下，OUT#_2+，OUT#_2-不可用

9 应用信息

9.1 模拟信号输入

ZGAD7522 模拟信号输入端内部是差分 CMOS 采样保持电路, 模拟信号输入必须依赖由 VCMA/VCMB 输出引脚设置的共模电压进行差分驱动, VCMA/VCMB 电压的标称值为 $0.64 \cdot V_{REF}$ 。输入差分电压应在 $2.0V$ 之内。输入之间应该有 180° 的相位差。两个通道由一个共享的时钟电路同时采样。如果可能, 模拟输入端应该有一个 RC 低通滤波器。该低通滤波器将驱动电路与 ADC 采样保持开关隔离, 并抑制驱动电路的宽带噪声。

图11 显示了输入 RC 滤波器的示例。应根据应用的特定输入频率选择 RC 元件值。在较高的输入频率下, 使用传输线巴伦变压器 (图11和12) 具有更好的平衡性, 从而降低 ADC 失真。

使用内部基准电压时, 将 SENSE 引脚拉至 VDD/GND, 此时输入信号的范围为 $\pm 1V \pm 0.5V$ 。使用外部基准电压时, 将 SENSE 引脚拉至 $1.25V$ 的基准电压, 此时输入信号的范围为 $\pm 1V$ 。

图 10: 输入信号满量程示意图

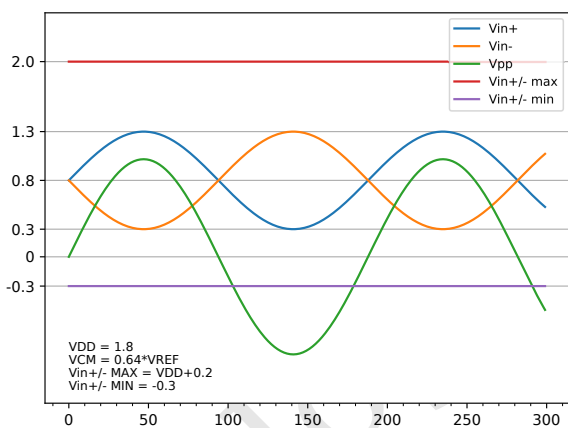


图 13: 使用单端转差分的高速运放的推荐前端电路 (隔离直流信号)

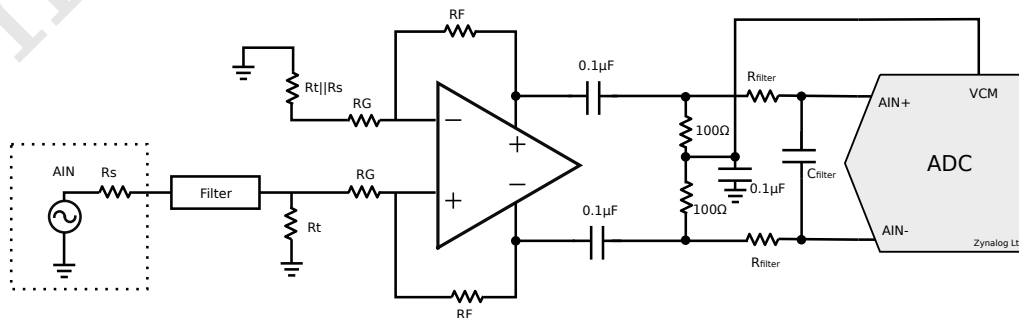


图 11: 输入频率在第一个 Nyquist Zone 的推荐前端电路

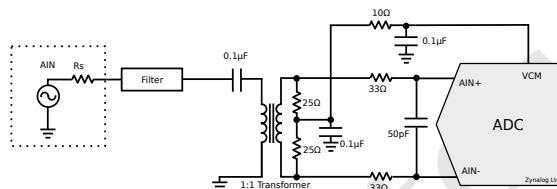


图 12: 输入频率大于第一个 Nyquist Zone 的推荐前端电路

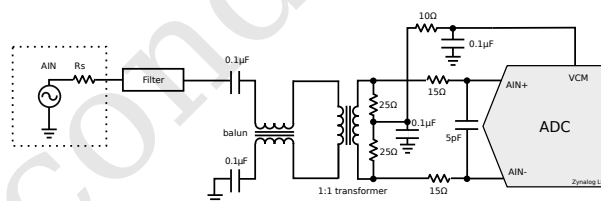


图13和图14显示了使用单端转差分高速运放的前端电路设计。其中对 R_t 和 $R_t || R_s$ 电阻的选择对应于信号源的阻抗匹配; 选择合适的高带宽的运放对整个系统有巨大影响, 特别是信号放大带来的谐波失真; R_{filter} 和 C_{filter} 构造一个 charge bucket filter, R_{filter} 和 C_{filter} 的值应根据输入信号的频率进行选择, 一般 R_{filter} 不超过 50Ω , C_{filter} 不超过 $50pF$ 。

对于图14中的应用, 需要注意的是, 大部分运放都需要提供正 VS 和负 VS, 以满足共模电压 VCMA/VCMB($0.64 \cdot V_{REF}$) 的标称值。

9.4.1 数据输出格式

默认情况下,输出数据格式为偏移二进制格式 (Offset Binary Mode),可以通过输出格式及掉电寄存器 (表12)

来选择二进制补码格式 (Twos Complement Mode)。表10 显示了模拟输入电压和数字数据输出位之间的关系。

表 10: 数据输出格式

输入电压 (Vin+)-(Vin-)	Offset Binary Mode D13 - D0	Twos Complement Mode D13 - D0
>1.0 V	11 1111 1111 1111	01 1111 1111 1111
+1.0 V	11 1111 1111 1111	01 1111 1111 1111
+0.9998779V	11 1111 1111 1110	01 1111 1111 1110
+0.0002441V	10 0000 0000 0010	00 0000 0000 0010
+0.0001220V	10 0000 0000 0001	00 0000 0000 0001
0.000000V	10 0000 0000 0000	00 0000 0000 0000
-0.0001220V	01 1111 1111 1111	11 1111 1111 1111
-0.0002441V	01 1111 1111 1110	11 1111 1111 1110
-0.9998778V	00 0000 0000 0001	10 0000 0000 0001
-1.0V	00 0000 0000 0000	10 0000 0000 0000
<-1.0V	00 0000 0000 0000	10 0000 0000 0000

9.4.2 随机发生器

ADC 数字输出的干扰有时是不可避免的。数字干扰可能来自电容或电感耦合或通过接地平面耦合。即使很小的耦合因子也会在 ADC 输出频谱中产生不需要的音。通过在数字信号输出之前将其随机化,可以将这些不需要的音随机化,从而降低不需要的音幅度。ADC 内部随机发生器可以通过输出格式及掉电寄存器 (表12)bit6 启用。启用后,通过在 D0 位和所有其他数据位之间应用“异或逻辑”运算来随机化数字输出。在数字信号的接收端,比如 FPGA 内部,解码则应用同样操作, D0 和所有其他位之间再次“异或逻辑”运算。公式如下:

- 编码: $\hat{D}1 = D1 \oplus D0; \hat{D}2 = D2 \oplus D0; \dots$
- 解码: $D1 = \hat{D}1 \oplus D0; D2 = \hat{D}2 \oplus D0; \dots$

D0、OF 和 CLKOUT 输出不受影响。

9.4.3 输出关闭

通过设置输出模式寄存器 (表13)bit3 可以关闭所有数字输出。

9.5 低功耗模式

ADC 允许运行在低功耗模式下来节能。在低功耗模式下,ADC 的内部核心电路会关掉,外围电路保持激活状态,

此时功耗约为 41mW。低功耗模式由输出格式及掉电寄存器 (表12) bit4,3,0 来控制。从低功耗模式恢复,需要至少 100 个时钟周期。

9.6 休眠模式

在休眠模式下,ADC 的整个电路会被关断,包括核心电路和外围电路。如果外部采样时钟也停止输入,则功耗低于 5.4mW,外部采样时钟保持输入,则功耗在 5.4mW 左右。休眠模式由输出格式及掉电寄存器 (表12) bit4,3,0 来控制。从休眠模式恢复,唤醒时间取决于 $V_{REF}, REFH, REFL$ 的旁路电容大小,若采用推荐的容值,恢复时间为 45 微秒。

9.7 软件复位

如果使用 SPI 模式,则应在初始上电并稳定后尽快对控制寄存器进行配置。第一个 SPI 命令必须是软件复位,它将所有寄存器数据位复位为逻辑 0。要执行软件复位,必须在复位寄存器 (表11) bit7 中写入 1。复位完成后,bit7 自动设置回 0。该复位寄存器是只写的。

10 SPI 和控制寄存器

10.1 SPI

标志	说明 [†]	最小	典型	最大	单位
t_S	CS 拉低到时钟 CLK 的建立时间	5			ns
t_{DS}	数据建立时间	5			ns
t_{DH}	数据保持时间	5			ns
t_{DO}	时钟 CLK 到数据输出的延迟			125	ns
t_{SCK}	时钟周期 (写入)	40			ns
	时钟周期 (读回)	250			ns
t_H	时钟 CLK 到 CS 拉高的保持时间	5			ns

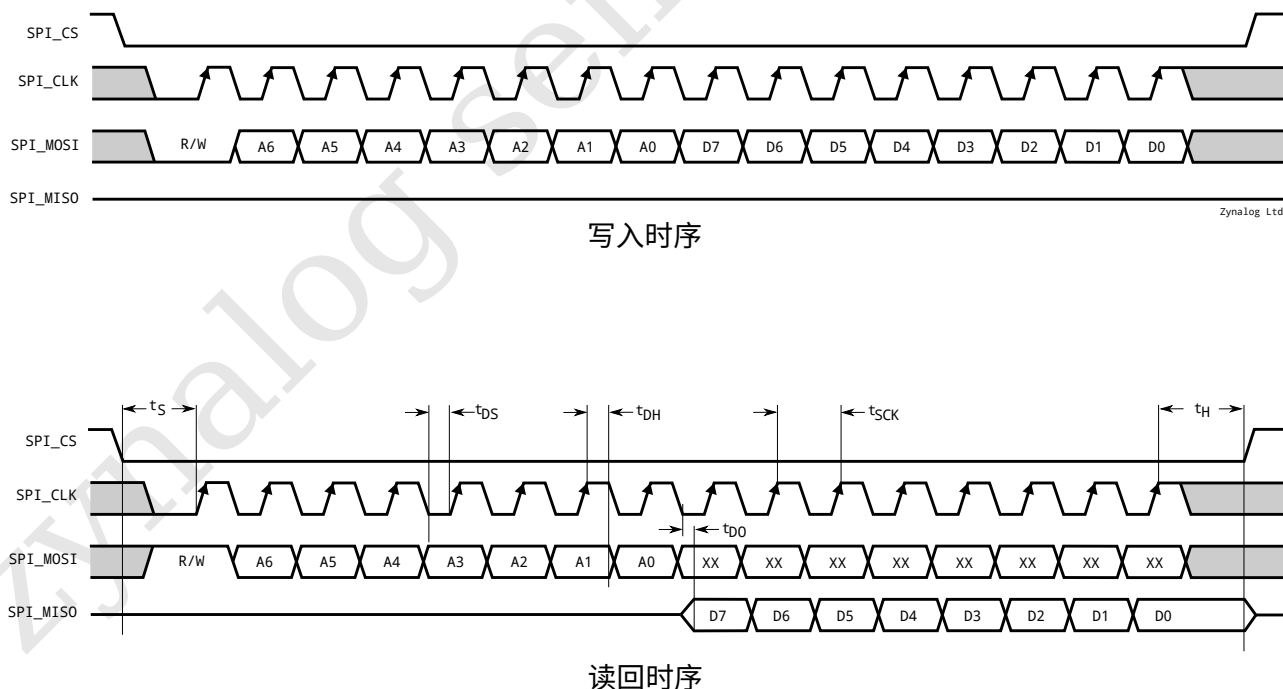
在串行接口模式 (MODE=0) 下, 数据以 16 位串行位写入寄存器。也可以从寄存器读回数据以验证其内容。当 SPI_CS 被拉低时串行数据传输开始。SPI_MOSI 引脚上的数据在 SPI_CLK 的前 16 个上升沿被锁存。前 16 个之后的任何 SPI_CLK 上升沿都将被忽略。当 SPI_CS 再次拉高时, 数据传输结束。

16 位输入的第一位是 R/W 位。接下来的七位是寄存器的地址 (A6:A0), 后八位是寄存器数据 (D7:D0)。如果 R/W 位为低, 串行数据 (D7:D0) 将写入由地址位

(A6:A0) 设置的寄存器。如果 R/W 位为高, 由地址位 (A6:A0) 设置的寄存器中的数据将在 SPI_MISO 引脚上被读回 (参见图 18)。在回读命令期间, 寄存器不会更新并且 SPI_MOSI 上的数据会被忽略。

SPI_MISO 引脚是一个开漏输出, 如果通过 SPI_MISO 回读寄存器数据, 则需要外接 2K Ω 上拉电阻。如果只写串行数据不需要回读, 那么 SPI_MISO 可以悬空, 不需要上拉电阻。

图 18: SPI 时序图



[†]参数测试条件: SPI_MISO 上拉电阻 2K Ω

10.2 控制寄存器

表 11: 复位寄存器-A0(地址: 0x00)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
RESET	X	X	X	X	X	X	X
bit7 bit6-0	RESET 软件复位位。写入 0 禁用; 写入 1= 软件复位。复位完成后, 该位自动设置回 0。 未使用。						

表 12: 输出格式及掉电寄存器-A1(地址: 0x01)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DCS OFF	RAND	TWOSCOMP	SLEEP	NAP_B	X	X	NAP_A
bit7	Duty Cycle Stabilizer, 时钟占空比稳定器位。 0 = 时钟占空比稳定器开启 1 = 时钟占空比稳定器关闭 (不推荐)						
bit6	RAND 数据输出随机发生器模式控制位。 0 = 随机发生器模式关闭 1 = 随机发生器模式开启						
bit5	Twos Complement Mode 补码模式控制位。 0 = 偏移二进制数据格式 (Offset Binary Output) 1 = 二进制补码数据格式 (Twos Complement Mode)						
bit4,3,0	SLEEP, 休眠位。 000 = 正常工作模式 0X1 = 通道 A 进入低功耗模式 01X = 通道 B 进入低功耗模式 1XX = 两个通道进入休眠模式						
bit2:1	未使用。						

表 13: 输出模式寄存器-A2(地址: 0x02)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE2	OUTMODE1	OUTMODE0
bit7:5	ILVDS2:ILVDS0 LVDS 输出电流位。 000 = 3.5mA LVDS 输出驱动电流 001 = 4.0mA LVDS 输出驱动电流 010 = 4.5mA LVDS 输出驱动电流 011 = 未使用 100 = 3.0mA LVDS 输出驱动电流 101 = 2.5mA LVDS 输出驱动电流 110 = 2.1mA LVDS 输出驱动电流 111 = 1.75mA LVDS 输出驱动电流						
bit4	TERMINATION ON, LVDS 内部终端使能位。 0 = 内部终端关闭 1 = 内部终端开启, LVDS 输出驱动电流等于 ILVDS2:ILVDS0 设置的电流的 2 倍 内部终端应仅适用于 1.75mA、2.1mA 或 2.5mA 的 LVDS 输出电流模式。						
bit3	OUTPUT OFF, 数字输出控制位 0 = 启用数字输出 1 = 数字输出被禁用 (高阻抗)						
bit2:0	OUTMODE2:OUTMODE0 数据输出模式控制位。 000 = 双线输出模式, 16 位序列化 001 = 双线输出模式, 14 位序列化 010 = 双线输出模式, 12 位序列化 011 = 未使用 100 = 未使用 101 = 单线输出模式, 14 位序列化 110 = 单线输出模式, 12 位序列化 111 = 单线输出模式, 16 位序列化						

表 14: 测试模式 MSB 寄存器-A3(地址: 0x03)

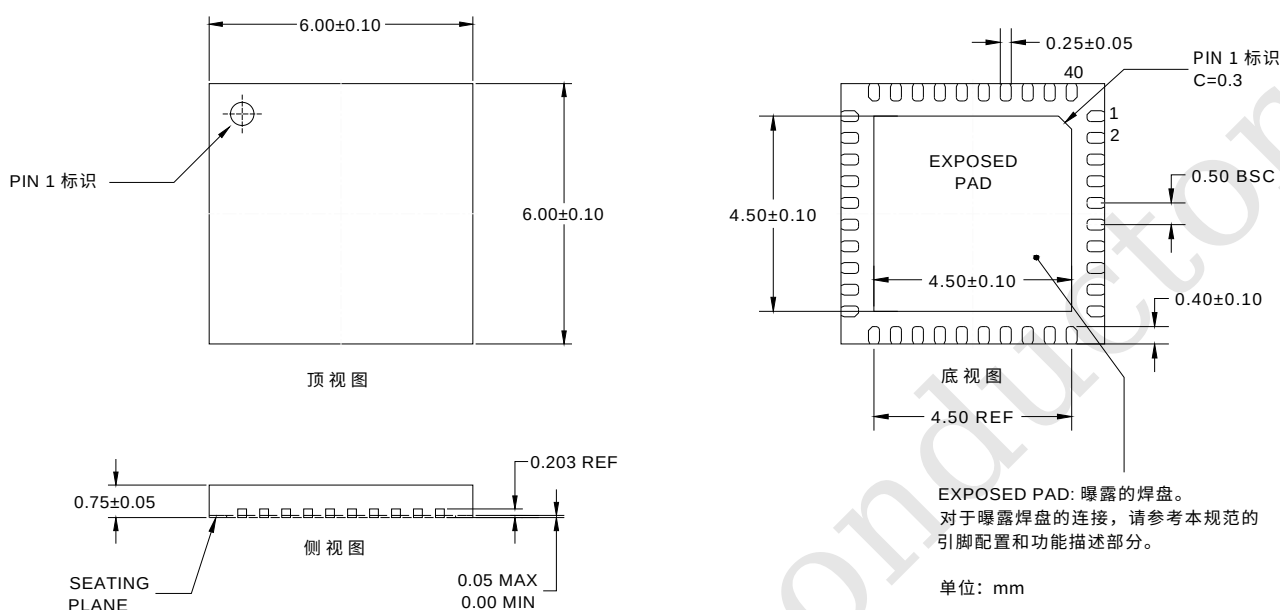
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
OUTTEST	X	TP13	TP12	TP11	TP10	TP9	TP8
bit7	OUTTEST, 数字输出测试模式位。 0 = 正常模式 1 = 启用数字输出测试模式						
bit6	未使用。						
bit5:0	TP13:TP8, 测试模式数据位 (MSB) 设置数据位 13 (最高位) 到数据位 8 的测试模式						

表 15: 测试模式 LSB 寄存器-A4(地址: 0x04)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TP7	TP6	TP5	TP4	TP3	TP5	T1	T0
bit7:0	TP7:TP0, 测试模式数据位 (LSB)。 设置数据位 7 到数据位 0 (最低位) 的测试模式						

11 封装

图 19: 封装信息



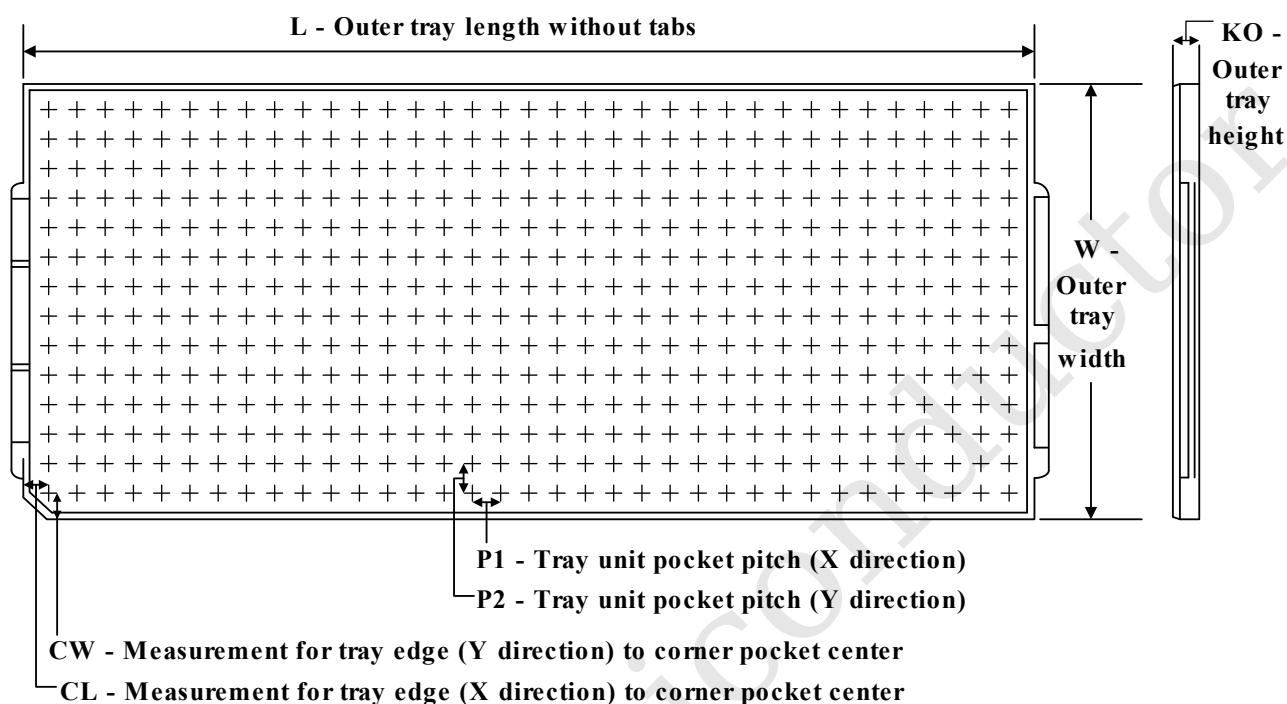
12 订购信息

表 16: ADC 系列产品信息

型号	通道	位数	采样率	封装	数字接口
ZGAD250D12	双通道	12 位	250M	QFN64	Parallel LVDS
ZGAD250D14	双通道	14 位	250M	QFN64	Parallel LVDS
ZGAD250S12	单通道	12 位	250M	QFN40	Parallel LVDS
ZGAD250S14	单通道	14 位	250M	QFN40	Parallel LVDS
ZGAD125D12	双通道	12 位	125M	QFN64	Parallel LVDS
ZGAD125D14	双通道	14 位	125M	QFN64	Parallel LVDS
ZGAD125D12C	双通道	12 位	125M	QFN64	CMOS
ZGAD125D14C	双通道	14 位	125M	QFN64	CMOS
ZGAD125S12	单通道	12 位	125M	QFN40	Parallel LVDS
ZGAD125S14	单通道	14 位	125M	QFN40	Parallel LVDS
ZGAD125S10C	单通道	10 位	125M	QFN40	CMOS
ZGAD125S12C	单通道	12 位	125M	QFN40	CMOS
ZGAD125S14C	单通道	14 位	125M	QFN40	CMOS
ZGAD65D12C	双通道	12 位	65M	QFN64	CMOS
ZGAD65D14C	双通道	14 位	65M	QFN64	CMOS
ZGAD65S12C	单通道	12 位	65M	QFN40	CMOS
ZGAD65S14C	单通道	14 位	65M	QFN40	CMOS
ZGAD7522	双通道	14 位	25M	QFN40	Serial LVDS

13 包装信息

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	P2 (mm)	CL (mm)	CW (mm)
ZGAD7522	QFN	40	490	14 x 35	150	315	135.9	7620	8.8	9.2	7.9	8.15

zynalog

14 关于微格

14.1 公司简介

微格半导体【Zynalog Semiconductor Co.,Ltd.】是国内高性能模拟芯片研发设计的高科技企业。公司拥有国际顶尖的模拟芯片设计团队，先进的测试设备和完善的供应链体系，遵循严苛的品控标准，由公司全正向设计研发的三十多款高速高精度模数转换芯片(ADC)产品凭借卓越的高性能及高可靠性，已被国内多家头部知名科技企业所选用，完美应用于旗下各款高新产品之中。

微格半导体秉持“技术自主创新，引领行业未来”的理念，以客户需求为导向，聚焦技术创新，坚持核心技术的长期研发投入，公司已在高性能模拟芯片领域拥有多项自主知识产权，ADC 多项核心技术指标已达到或超越国际主流同类产品。至此，微格半导体已然定义和树立起国内高性能 ADC 行业新标杆。

当今中国，数字化和智能化将成为国内领先企业应对未来挑战的必由之路，为此微格半导体将持续加码在高性能模拟芯片的研发进程，在“高性能芯片国产替代”成为确定性趋势和国家构建产业链供应链稳定安全的今天，我们将以客户技术变革和产业升级为指引，满足客户高科技产品应用的设计多样化及复杂化需求，灵活匹配客户产品的技术更迭和保障供应链的安全可靠，为客户提供全方位全流程模拟芯片标准解决方案。

微格半导体将进一步拓展和深耕国内高性能模拟芯片应用端，实现以客户为中心的高速度高质量增长。公司将以前瞻性战略思维及雄厚的研发能力为基础，遵循严苛品控标准和安全可靠的供应链管理体系，与企业用户携手打造共创、共享、共赢的模拟芯片行业新生态。

14.2 联系方式

地址：杭州市临平区科城街 180 号算力小镇 C 幢 8 层

地址：上海市普陀区丹巴路 98 弄 7 号龙裕财富中心 10 层

地址：苏州市高新区城际路 21 号 2 幢汇融广场 2110 室

网站：<https://www.zynalog.com>

电子邮箱：sales@zynalog.com