

ESP32-C5 系列芯片

技术规格书 版本 1.2

搭载 RISC-V 32 位单核处理器的极低功耗 SoC

2.4 & 5 GHz 双频 Wi-Fi 6 (802.11ax)、Bluetooth® 5 (LE)、Zigbee 及 Thread (802.15.4)

支持连接外部 flash 和 PSRAM

29 个 GPIO，丰富的外设

QFN48 (6×6 mm) 封装

包括：

ESP32-C5HR2

ESP32-C5HR8

ESP32-C5HF4

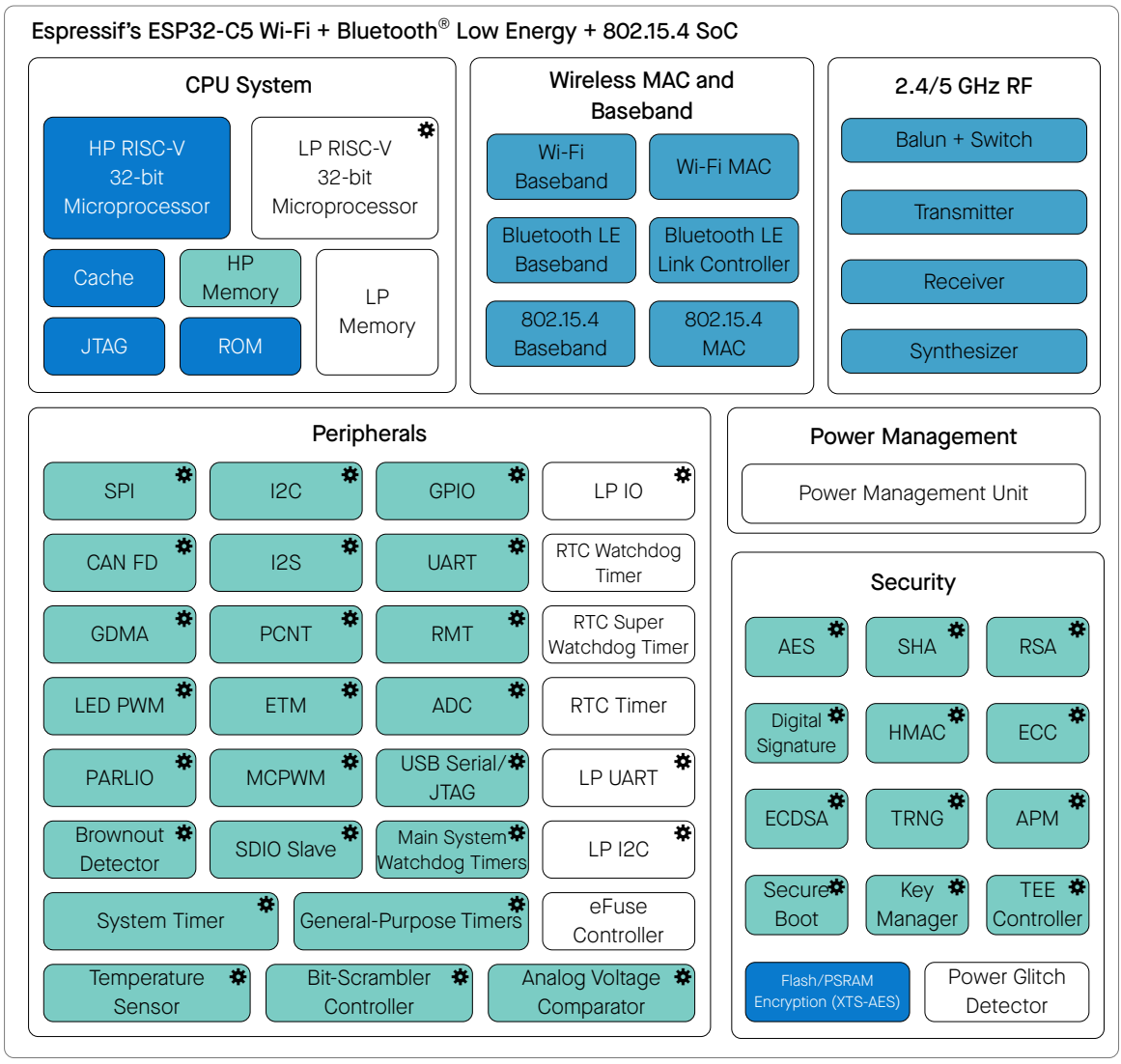


ESPRESSIF

产品概述

ESP32-C5 是一款支持 2.4 & 5 GHz 双频 Wi-Fi 6、Bluetooth LE 5、Zigbee 3.0 及 Thread 1.4 的系统级芯片 (SoC)，集成了一个高性能 (HP) RISC-V 32 位处理器和一个低功耗 (LP) RISC-V 32 位处理器、Wi-Fi、Bluetooth LE、802.15.4 基带和 MAC、RF 模块及外设等，Wi-Fi、蓝牙及 802.15.4 分时共存。

芯片的功能框图如下图所示。



ESP32-C5 功能框图

更多关于功耗的信息，请参考章节 4.1.3.6 电源管理单元。

产品特性

Wi-Fi

- 工作在 2.4 & 5 GHz 双频段, 1T1R
- 工作信道中心频率范围: 2412 ~ 2484 MHz, 5180 ~ 5885 MHz
- 数据速率高达 150 Mbps
- 兼容 IEEE 802.11ax 协议:
 - 仅 20 MHz 非接入点工作模式 (20 MHz-only non-AP mode)
 - 上行、下行正交频分多址接入 (OFDMA), 特别适用于高密度应用下的多用户并发传输
 - 下行多用户多输入多输出 (MU-MIMO), 提升网络容量
 - 波束成形接收端 (beamformee), 提升信号质量
 - 空间复用 (spatial reuse), 最大化并行发送
 - 目标唤醒时间 (TWT), 提供更好的节能机制
- 兼容 IEEE 802.11ac 协议:
 - 支持 20 MHz 带宽
 - 下行全带宽多用户多输入多输出 (MU-MIMO)
- 完全兼容 IEEE 802.11a/b/g/n 协议:
 - 支持 20 MHz 和 40 MHz 带宽
 - MCS0 ~ MCS7
 - 无线多媒体 (WMM)
 - 帧聚合 (TX/RX A-MPDU, TX/RX A-MSDU)
 - 立即块确认 (immediate block ACK)
 - 分片和重组 (fragmentation and defragmentation)
 - 传输机会 (transmission opportunity, TXOP)
 - Beacon 自动监测 (硬件 TSF)
 - 4 个虚拟 Wi-Fi 接口
 - 同时支持基础结构型网络 (infrastructure BSS) Station 模式、SoftAP 模式、Station + SoftAP 模式和混杂模式
请注意 ESP32-C5 在 Station 模式下扫描时, SoftAP 信道会同时改变
 - 天线分集
 - 802.11 mc FTM

蓝牙

- 低功耗蓝牙 (Bluetooth LE): 通过 Bluetooth 6.0 认证

- Bluetooth mesh 1.1
- 高功率模式 (20 dBm 发射功率)
- 基于到达角和出发角的蓝牙方向查找功能 (direction finding, AoA/AoD)
- 带回复的周期性广播 (PAwR)
- 亚速率连接模式 (LE connection subrating)
- 功率控制 (LE power control)
- 速率支持 125 Kbps、500 Kbps、1 Mbps、2 Mbps
- 扩展广播以及多广播支持 (LE advertising extensions)
- 广播者/观察者/中央设备/外围设备多角色并发运行

IEEE 802.15.4

- 兼容 IEEE 802.15.4-2015 协议
- 工作在 2.4 GHz 频段，支持 OQPSK PHY
- 数据速率：250 Kbps
- 支持 Thread 1.4
- 支持 Zigbee 3.0

CPU 和存储

- 高性能 (HP) RISC-V 处理器：
 - 时钟频率：最高 240 MHz
 - 五级流水线架构
 - CoreMark® 得分：820.19 CoreMark；3.42 CoreMark/MHz (O3)
- 低功耗 (LP) RISC-V 处理器：
 - 时钟频率：最高 48 MHz
 - 二级流水线架构
- ROM：320 KB
- HP SRAM：384 KB
- LP SRAM：16 KB
- 通过 cache 加速 flash/PSRAM 访问
- 支持 flash 在线编程 (ICP)

高级外设接口

- 29 个 GPIO 口
- 模拟接口：

- 12 位 SAR ADC，多达 6 个通道
- 温度传感器
- 欠压监测器
- 模拟电压比较器
- 数字接口：
 - 2 个 UART 控制器
 - 低功耗 UART (LP UART) 控制器
 - 2 个 SPI 接口用于连接 flash/PSRAM
 - 通用 SPI 接口
 - I2C
 - 低功耗 I2C (LP I2C)
 - I2S
 - 脉冲计数控制器
 - USB 串口/JTAG 控制器
 - 2 个 CAN FD 控制器，兼容 ISO 11898-1:2015
 - SDIO 从机控制器（芯片版本 v0.0、v0.1 不支持）
 - LED PWM 控制器，多达 6 个通道
 - 电机控制脉宽调制器 (MCPWM)，多达 6 个通道
 - 红外遥控器 (RMT) (TX/RX)
 - 并行 IO 接口 (PARLIO)
 - 通用 DMA 控制器 (GDMA)，3 个接收通道和 3 个发送通道
 - 比特调节器
 - 事件任务矩阵 (ETM)
- 定时器：
 - 52 位系统定时器
 - 2 个 54 位通用定时器
 - 48 位 RTC 定时器
 - 3 个数字看门狗定时器
 - 模拟看门狗定时器

安全机制

- 加密硬件加速器：
 - AES-128/256 (NIST FIPS 197)
 - SHA

- RSA
- ECC
- HMAC
- 数字签名算法 (DSA)
- 椭圆曲线数字签名算法 (ECDSA)
- 片外存储器加密与解密 (XTS_AES)
- 安全启动
- 真随机数生成器 (TRNG)
- 密钥管理器 (芯片版本 v1.2 及以上支持)
- 访问权限管理 (APM) 和可信执行环境 (TEE) 控制器
- 电源毛刺监测器

RF 模块

- 天线开关、射频巴伦 (balun)、功率放大器、低噪声放大器
- 802.11b 传输功率高达 +20 dBm
- 802.11ax 传输功率高达 +19 dBm
- 低功耗蓝牙接收器灵敏度 (125 Kbps) 高达 -107 dBm

应用

低功耗芯片 ESP32-C5 专为物联网 (IoT) 设备而设计，应用领域包括：

- 智能家居
- 工业自动化
- 医疗保健
- 消费电子产品
- 智慧农业
- POS 机
- 服务机器人
- 音频设备
- 通用低功耗 IoT 传感器集线器
- 通用低功耗 IoT 数据记录器
- Wi-Fi + 蓝牙网卡

说明:

点击链接或扫描二维码确保您使用的是最新版本的文档:

https://www.espressif.com/documentation/esp32-c5_datasheet_cn.pdf



目录

产品概述

产品特性

应用

2

3

7

1 ESP32-C5 系列型号信息

15

1.1 命名规则

15

1.2 型号对比

15

1.3 芯片版本

15

2 管脚

16

2.1 管脚布局

16

2.2 管脚概述

18

2.3 IO 管脚

20

2.3.1 IO MUX 功能

20

2.3.2 LP IO MUX 功能

22

2.3.3 模拟功能

23

2.3.4 GPIO 和 LP GPIO 的限制

24

2.4 模拟管脚

25

2.5 电源

26

2.5.1 电源管脚

26

2.5.2 电源管理

26

2.5.3 芯片上电和复位

27

2.6 芯片与 flash/PSRAM 的管脚对应关系

28

3 启动配置项

29

3.1 芯片启动模式控制

30

3.2 SDIO 输入采样沿和输出驱动沿控制

31

3.3 ROM 日志打印控制

31

3.4 JTAG 信号源控制

32

4 功能描述

33

4.1 系统

33

4.1.1 微处理器和主控

33

4.1.1.1 高性能处理器

33

4.1.1.2 RISC-V 追踪编码器

33

4.1.1.3 低功耗处理器

34

4.1.1.4	GDMA 控制器	34
4.1.2	存储器组织结构	35
4.1.2.1	内部存储器	35
4.1.2.2	外部存储器	36
4.1.2.3	eFuse 控制器	36
4.1.2.4	cache	36
4.1.3	系统组件	37
4.1.3.1	IO MUX 和 GPIO 交换矩阵	37
4.1.3.2	复位	37
4.1.3.3	时钟	38
4.1.3.4	中断矩阵	38
4.1.3.5	事件任务矩阵	39
4.1.3.6	电源管理单元	39
4.1.3.7	系统定时器	39
4.1.3.8	定时器组	40
4.1.3.9	看门狗定时器	40
4.1.3.10	实时时钟定时器	41
4.1.3.11	权限控制	41
4.1.3.12	系统寄存器	41
4.1.3.13	辅助调试	42
4.1.3.14	欠压监测器	42
4.1.4	加密和安全组件	42
4.1.4.1	AES 加速器	42
4.1.4.2	ECC 加速器	43
4.1.4.3	HMAC 加速器	43
4.1.4.4	RSA 加速器	44
4.1.4.5	SHA 加速器	44
4.1.4.6	数字签名算法	45
4.1.4.7	椭圆曲线数字签名算法	45
4.1.4.8	片外存储器加密与解密	45
4.1.4.9	真随机数发生器	46
4.1.4.10	密钥管理器	46
4.1.4.11	电源毛刺监测器	47
4.2	外设	48
4.2.1	通讯接口	48
4.2.1.1	UART 控制器	48
4.2.1.2	SPI 控制器	48
4.2.1.3	I2C 控制器	49
4.2.1.4	I2S 控制器	50
4.2.1.5	USB 串口/JTAG 控制器	51
4.2.1.6	CAN FD 控制器	51
4.2.1.7	LED PWM 控制器	52
4.2.1.8	脉冲计数控制器	52
4.2.1.9	电机控制脉宽调制器	53
4.2.1.10	红外遥控	53
4.2.1.11	并行 IO 控制器	54

4.2.1.12	比特调节器	55
4.2.1.13	SDIO 从机控制器	55
4.2.2	模拟信号处理	56
4.2.2.1	温度传感器	56
4.2.2.2	ADC 控制器	57
4.2.2.3	模拟电压比较器	57
4.3	无线通信	59
4.3.1	无线电	59
4.3.1.1	2.4 & 5 GHz 接收器	59
4.3.1.2	2.4 & 5 GHz 发射器	59
4.3.1.3	时钟生成器	59
4.3.2	Wi-Fi	59
4.3.2.1	Wi-Fi 无线电和基带	59
4.3.2.2	Wi-Fi MAC	60
4.3.2.3	网络特性	61
4.3.3	低功耗蓝牙	61
4.3.3.1	低功耗蓝牙物理层	61
4.3.3.2	低功耗蓝牙链路控制器	62
4.3.4	802.15.4	62
4.3.4.1	802.15.4 物理层	62
4.3.4.2	802.15.4 MAC	63
5	电气特性	64
5.1	绝对最大额定值	64
5.2	建议电源条件	64
5.3	VDD_SPI 输出特性	64
5.4	直流电气特性 (3.3 V, 25 °C)	65
5.5	ADC 特性	65
5.6	功耗特性	67
5.6.1	Active 模式下的 RF 功耗	67
5.6.2	其他功耗模式下的功耗	68
5.7	可靠性	69
6	射频特性	70
6.1	2.4 GHz Wi-Fi 射频	70
6.1.1	2.4 GHz Wi-Fi 射频发射器 (TX) 特性	70
6.1.2	2.4 GHz Wi-Fi 射频接收器 (RX) 特性	71
6.2	5 GHz Wi-Fi 射频	73
6.2.1	5 GHz Wi-Fi 射频发射器 (TX) 特性	73
6.2.2	5 GHz Wi-Fi 射频接收器 (RX) 特性	74
6.3	低功耗蓝牙射频	76
6.3.1	低功耗蓝牙射频发射器 (TX) 特性	76
6.3.2	低功耗蓝牙射频接收器 (RX) 特性	77
6.4	802.15.4 射频	79
6.4.1	802.15.4 射频发射器 (TX) 特性	80
6.4.2	802.15.4 射频接收器 (RX) 特性	80

7 封装	81
附录 A – ESP32-C5 管脚总览	82
技术规格书版本号管理	84
相关文档和资源	85
修订历史	86

表格

1-1	ESP32-C5 系列芯片信息	15
2-1	管脚概述	18
2-2	通过 IO MUX 连接的外设信号	20
2-3	IO MUX 管脚功能	21
2-4	通过 LP IO MUX 连接的 LP 外设信号	22
2-5	LP IO MUX 功能	22
2-6	连接模拟功能的模拟信号	23
2-7	模拟功能	23
2-8	模拟管脚	25
2-9	电源管脚	26
2-10	电压稳压器	26
2-11	上电和复位时序参数说明	27
2-12	芯片与封装外 flash 的管脚对应关系	28
2-13	芯片与封装外 PSRAM 的管脚对应关系	28
3-1	strapping 管脚默认配置	29
3-2	strapping 管脚的时序参数说明	30
3-3	芯片启动模式控制	30
3-4	SDIO 输入采样沿/输出驱动沿控制	31
3-5	UART0 ROM 日志打印控制	31
3-6	USB 串口/JTAG ROM 日志打印控制	32
3-7	JTAG 信号源控制	32
5-1	绝对最大额定值	64
5-2	建议电源条件	64
5-3	VDD_SPI 内部和输出特性	64
5-4	直流电气特性 (3.3 V, 25 °C)	65
5-5	ADC 特性	65
5-6	ADC 校准结果	65
5-6	ADC 校准结果	66
5-7	Active 模式下 Wi-Fi (2.4 GHz) 功耗特性	67
5-8	Active 模式下 Wi-Fi (5 GHz) 功耗特性	67
5-9	Active 模式下低功耗蓝牙功耗特性	67
5-10	Active 模式下 802.15.4 功耗特性	68
5-11	Modem-sleep 模式下的功耗	68
5-12	低功耗模式下的功耗	68
5-13	可靠性认证	69
6-1	2.4 GHz Wi-Fi 射频规格	70
6-2	2.4 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率	70
6-3	2.4 GHz 发射 EVM 测试 ¹	70
6-4	2.4 GHz 接收灵敏度	71
6-5	2.4 GHz 最大接收电平	72
6-6	2.4 GHz 接收邻道抑制	72
6-7	5 GHz Wi-Fi 射频规格	73
6-8	5 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率	73

6-9 5 GHz 发射 EVM 测试 ¹	73
6-10 5 GHz 接收灵敏度	74
6-11 5 GHz 最大接收电平	75
6-12 5 GHz 接收邻道抑制	75
6-13 低功耗蓝牙射频规格	76
6-14 低功耗蓝牙 - 发射器特性 - 1 Mbps	76
6-15 低功耗蓝牙 - 发射器特性 - 2 Mbps	76
6-16 低功耗蓝牙 - 发射器特性 - 125 Kbps	77
6-17 低功耗蓝牙 - 发射器特性 - 500 Kbps	77
6-18 低功耗蓝牙 - 接收器特性 - 1 Mbps	77
6-19 低功耗蓝牙 - 接收器特性 - 2 Mbps	78
6-20 低功耗蓝牙 - 接收器特性 - 125 Kbps	79
6-21 低功耗蓝牙 - 接收器特性 - 500 Kbps	79
6-22 802.15.4 射频规格	79
6-23 802.15.4 发射器特性 - 250 Kbps	80
6-24 802.15.4 接收器特性 - 250 Kbps	80
7-1 管脚总览	82

插图

1-1	ESP32-C5 系列芯片命名规则	15
2-1	ESP32-C5HR2 & ESP32-C5HR8 管脚布局（俯视图）	16
2-2	ESP32-C5HF4 管脚布局（俯视图）	17
2-3	ESP32-C5 电源管理	27
2-4	上电和复位时序参数图	27
3-1	strapping 管脚的时序参数图	30
4-1	地址映射结构	35
7-1	QFN48 (6×6 mm) 封装	81

1 ESP32-C5 系列型号信息

1.1 命名规则

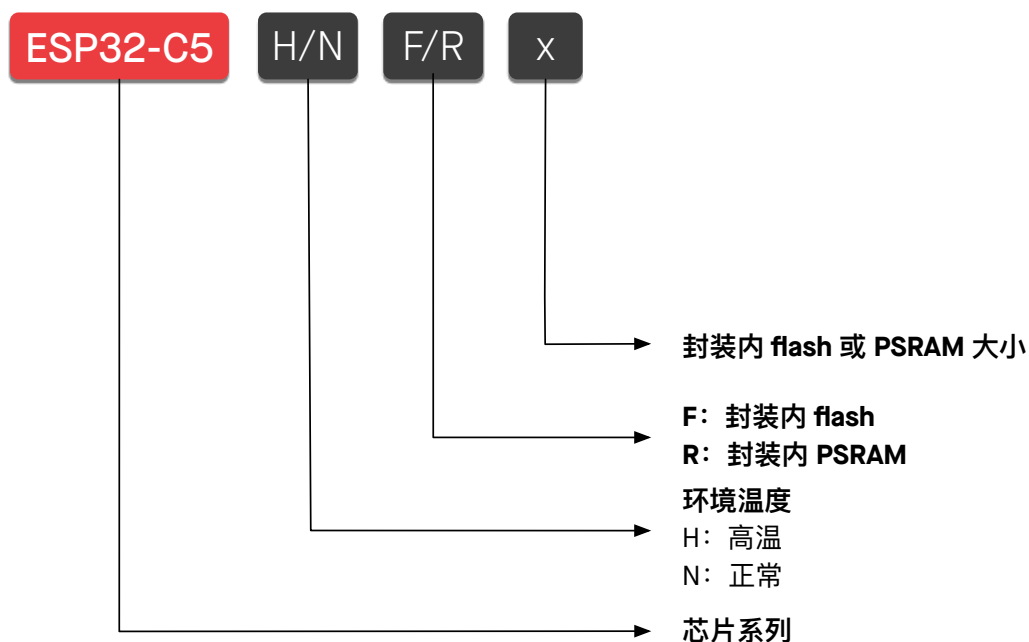


图 1-1. ESP32-C5 系列芯片命名规则

1.2 型号对比

表 1-1. ESP32-C5 系列芯片信息

物料编号 ¹	环境温度 ² (°C)	封装内 flash ³	封装内 PSRAM	封装	芯片版本
ESP32-C5HR2 ⁴	-40 ~ 105	—	2 MB (Quad SPI) ⁵	QFN48 (6×6 mm)	v1.2
ESP32-C5HR8			8 MB (Quad SPI)		v1.0/v1.2
ESP32-C5HF4		4 MB (Quad SPI)	—		

¹ 更多关于芯片丝印和包装的信息，请参考小节 7 封装。

² 环境温度指乐鑫芯片外部的推荐环境温度。

³ 更多关于封装内 flash 的信息，详见章节 4.1.2.1 内部存储器。默认情况下，封装内 flash 支持的最大时钟频率为 80 MHz，且不支持自动暂停功能。如需使用 120 MHz 的 flash 时钟频率或自动暂停功能，请[联系我们](#)。

⁴ 该型号当前尚未量产。

⁵ 更多关于 SPI 模式的信息，请参考章节 2.6 芯片与 flash/PSRAM 的管脚对应关系。

1.3 芯片版本

如表 1-1 [ESP32-C5 系列芯片信息](#) 所示，ESP32-C5 有多个芯片版本投入市场，并使用相同的物料编号。

关于芯片版本的识别方式、支持特定芯片版本的 ESP-IDF 版本和每个芯片版本修复的错误，请参考 [《ESP32-C5 系列芯片勘误表》](#)。

2 管脚

2.1 管脚布局

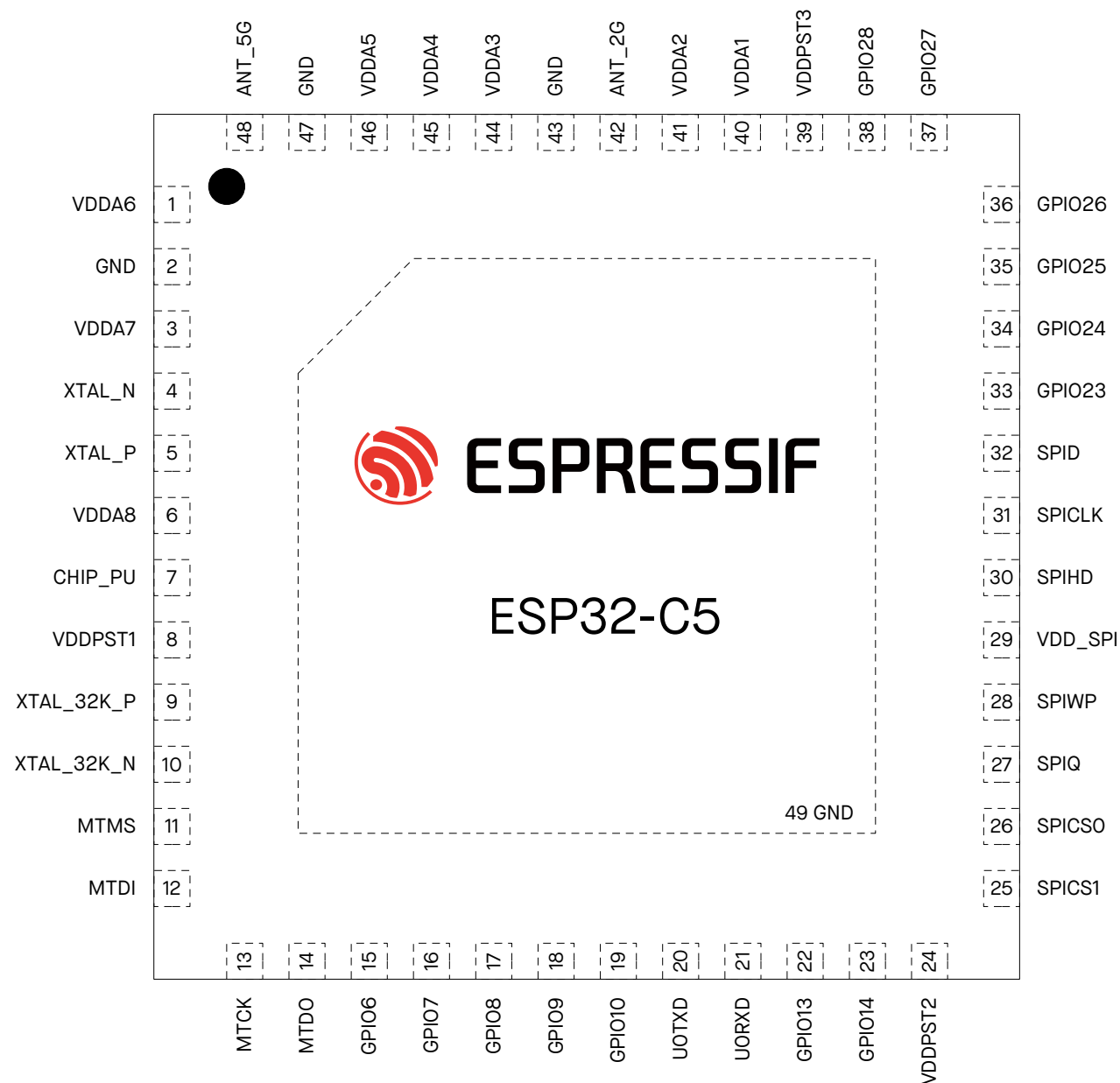


图 2-1. ESP32-C5HR2 & ESP32-C5HR8 管脚布局（俯视图）

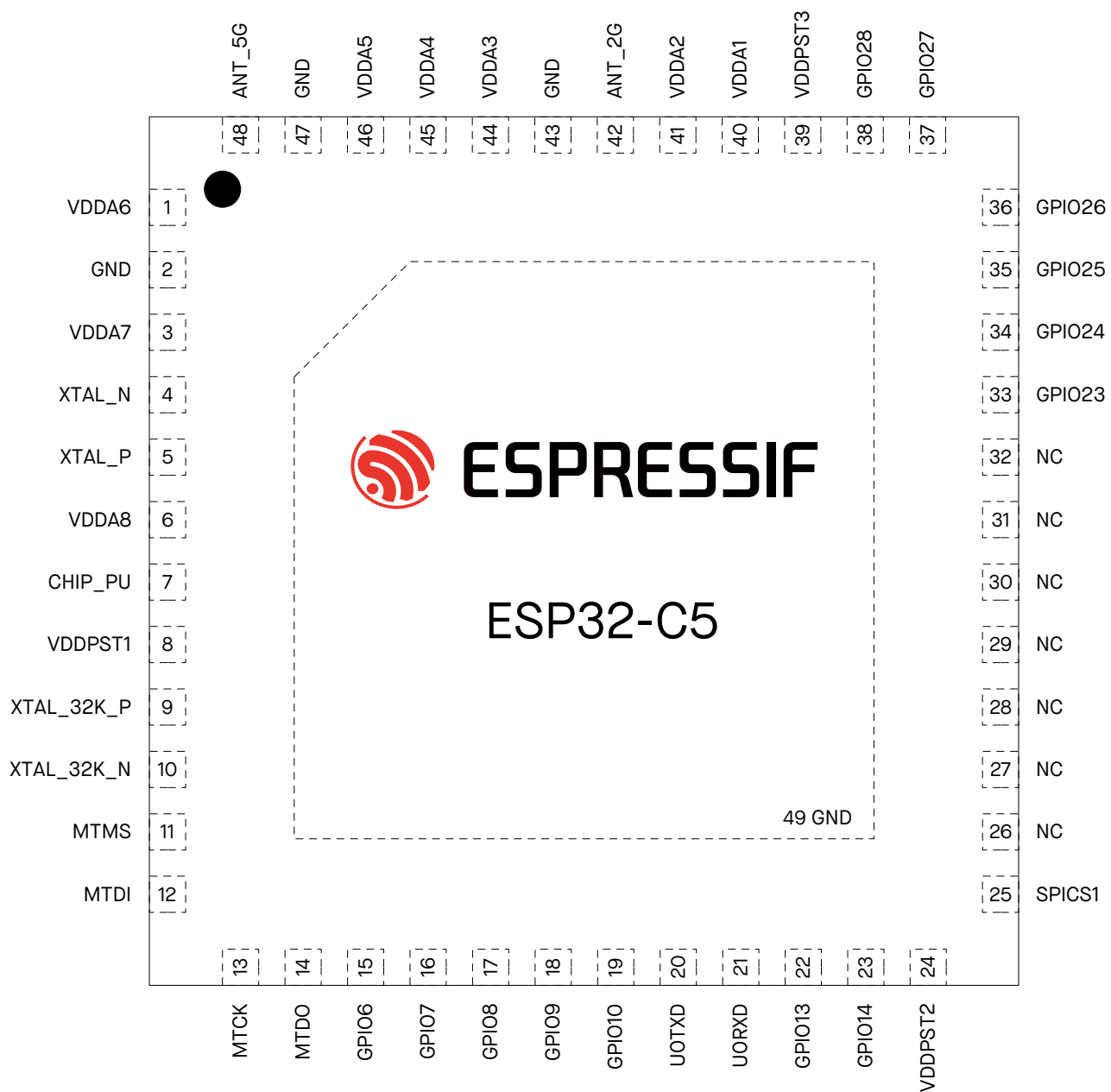


图 2-2. ESP32-C5HF4 管脚布局（俯视图）

2.2 管脚概述

ESP32-C5 芯片集成了多个需要与外界通讯的外设。由于芯片封装尺寸小、管脚数量有限，传送所有输入输出信号的唯一方法是管脚多路复用。管脚多路复用由软件可编程的寄存器控制，详见[《ESP32-C5 技术参考手册》](#) > 章节 *IO MUX* 和 *GPIO* 交换矩阵。

总体而言，ESP32-C5 芯片的管脚可分为以下几类：

- **IO 管脚**，具有以下预设功能：
 - 每个 IO 管脚都预设了 **IO MUX 功能** – 见表 [2-3 IO MUX 管脚功能](#)
 - 部分 IO 管脚预设了 **LP IO MUX 功能** – 见表 [2-5 LP IO MUX 功能](#)
 - 部分 IO 管脚预设了 **模拟功能** – 见表 [2-7 模拟功能](#)

预设功能即每个 IO 管脚直接连接至一组特定的片上组件信号。运行时，可通过映射寄存器配置连接管脚的组件信号。

- **模拟管脚**，专用于**模拟功能** – 见表 [2-8 模拟管脚](#)
- **电源管脚**，为芯片组件和非电源管脚供电 – 见表 [2-9 电源管脚](#)

表 2-1 [管脚概述](#) 简要介绍了所有管脚。更多信息，详见下文相应章节，或参考[附录 A – ESP32-C5 管脚总览](#)。

表 2-1. 管脚概述

管脚 序号	管脚 名称	管脚 类型	供电 管脚 ²⁻⁴	管脚配置 ^{4,5}		管脚功能 ¹		
				复位时	复位后	IO MUX	LP IO MUX	模拟
1	VDDA6	电源						
2	GND	电源						
3	VDDA7	电源						
4	XTAL_N	模拟						
5	XTAL_P	模拟						
6	VDDA8	电源						
7	CHIP_PU	模拟	VDDPST1					
8	VDDPST1	电源						
9	XTAL_32K_P	IO	VDDPST1			IO MUX	LP IO MUX	Analog
10	XTAL_32K_N	IO	VDDPST1			IO MUX	LP IO MUX	Analog
11	MTMS	IO	VDDPST1	IE	IE	IO MUX	LP IO MUX	Analog
12	MTDI	IO	VDDPST1	IE	IE	IO MUX	LP IO MUX	Analog
13	MTCK	IO	VDDPST1		IE, WPU	IO MUX	LP IO MUX	Analog
14	MTDO	IO	VDDPST1	IE	IE	IO MUX	LP IO MUX	Analog
15	GPIO6	IO	VDDPST1	IE	IE	IO MUX	LP IO MUX	Analog
16	GPIO7	IO	VDDPST1	IE	IE	IO MUX		
17	GPIO8	IO	VDDPST1		IE	IO MUX		Analog
18	GPIO9	IO	VDDPST1		IE	IO MUX		Analog
19	GPIO10	IO	VDDPST1		IE	IO MUX		
20	UOTXD	IO	VDDPST1		IE, OE	IO MUX		
21	UORXD	IO	VDDPST1		IE, WPU	IO MUX		
22	GPIO13	IO	VDDPST2		IE	IO MUX		Analog

见下页

表 2-1 – 接上页

管脚 序号	管脚 名称	管脚 类型	供电 管脚 ²⁻⁴	管脚配置 ^{4,5}		管脚功能 ¹		
				复位时	复位后	IO MUX	LP IO MUX	模拟
23	GPIO14	IO	VDDPST2	USB_PU	IE, USB_PU ⁴	IO MUX		Analog
24	VDDPST2	电源						
25	SPICS1	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
26	SPICSO/NC ⁶	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
27	SPIQ/NC ⁶	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
28	SPIWP/NC ⁶	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
29	VDD_SPI/NC ⁶	电源/IO	—			IO MUX		Analog
30	SPIHD/NC ⁶	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
31	SPICLK/NC ⁶	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
32	SPID/NC ⁶	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
33	GPIO23	IO	VDDPST3		IE	IO MUX		
34	GPIO24	IO	VDDPST3		IE	IO MUX		
35	GPIO25	IO	VDD PST3	IE	IE	IO MUX		
36	GPIO26	IO	VDDPST3	IE	IE	IO MUX		
37	GPIO27	IO	VDDPST3	IE, WPU	IE, WPU	IO MUX		
38	GPIO28	IO	VDDPST3	IE, WPU	IE, WPU ⁵	IO MUX		
39	VDDPST3	电源						
40	VDDA1	电源						
41	VDDA2	电源						
42	ANT_2G	模拟						
43	GND	电源						
44	VDDA3	电源						
45	VDDA4	电源						
46	VDDA5	电源						
47	GND	电源						
48	ANT_5G	模拟						

1. 加粗功能为默认启动模式下管脚的默认功能，详见章节 3.1 芯片启动模式控制。
2. 供电管脚一栏，由 VDD_SPI 供电的管脚：
 - 电源实际来自给 VDD_SPI 供电的内部电源轨，详见章节 2.5.2 电源管理。
3. 除 GPIO13、GPIO14 的管脚默认驱动电流为 40 mA，其余管脚的默认驱动电流均为 20 mA。
4. 管脚配置一栏为复位时和复位后预设配置缩写：
 - IE – 输入使能
 - OE – 输出使能
 - WPU – 内部弱上拉电阻使能
 - WPD – 内部弱下拉电阻使能
 - USB_PU – USB 上拉电阻使能
 - USB 管脚（GPIO13 和 GPIO14）默认开启 USB 功能，此时管脚是否上拉由 USB 是否上拉决定。USB 上拉电阻由 USB_SERIAL_JTAG_DP/DM_PULLUP 控制，该电阻的具体阻值可通过 USB_SERIAL_JTAG_PULLUP_VALUE 位控制，详见《ESP32-C5 技术参考手册》> 章节 USB 串口/JTAG 控制器。
 - USB 管脚关闭 USB 功能时，用作普通 GPIO。此时，默认禁用管脚内部弱上/下拉电阻，可通过 IO_MUX_GPIO_FUN_WPU/WPD 配置，详见《ESP32-C5 技术参考手册》> 章节 IO MUX 和 GPIO 交换矩阵 (GPIO, IO MUX)。
5. EFUSE_DIS_PAD_JTAG 的值为
 - 0 - 初始默认值，输入使能，内部弱上拉电阻使能 (IE & WPU)
 - 1 - 输入使能 (IE)
6. 对于 ESP32-C5HF4，SPICSO、SPIQ、SPIWP、VDD_SPI、SPIHD、SPICLK 和 SPID 对应管脚为 NC（即未连接）。

2.3 IO 管脚

更多关于配置 IO 管脚的信息，详见 [《ESP32-C5 技术参考手册》](#) > 章节 *IO MUX* 和 *GPIO 交换矩阵 (GPIO, IO MUX)*。

2.3.1 IO MUX 功能

IO MUX 能让一个输入/输出管脚连接多个输入/输出信号。ESP32-C5 的每个 IO 管脚可在表 2-3 *IO MUX 管脚功能* 列出的三个信号 (IO MUX 功能，即 F0-F2) 中选择，连接任意一个。

三个信号中：

- 部分源自 GPIO 交换矩阵 (**GPIO0**、**GPIO1** 等)。GPIO 交换矩阵包含内部信号传输线路，用于映射信号，能令管脚连接几乎任一外设信号。这种映射虽然灵活，但可能影响传输信号的速度，造成延迟。如何通过 GPIO 交换矩阵连接外设信号，详见 [《ESP32-C5 技术参考手册》](#) > 章节 *IO MUX* 和 *GPIO 交换矩阵*。
- 部分直接源自特定外设 (**UOTXD**、**MTCK** 等)，包括 UART0、JTAG、SPI0/1 和 SPI2 - 详见表 2-2 *通过 IO MUX 连接的外设信号*。

表 2-2. 通过 IO MUX 连接的外设信号

管脚功能	信号	描述
UOTXD UORXD	发送数据 (Transmit) 接收数据 (Receive)	UART0 接口
MTCK MTDO MTDI MTMS	测试时钟 (Test clock) 测试数据输出 (Test Data Out) 测试数据输入 (Test Data In) 测试模式选择 (Test Mode Select)	用于调试功能的 JTAG 接口
SPIQ SPID SPIHD SPIWP SPICLK SPICS...	主机输入从机输出 (Master in, slave out) 主机输出从机输入 (Master out, slave in) 暂停 (Hold) 写保护 (Write protect) 时钟 (Clock) 片选 (Chip select)	用于连接封装外 flash 的 SPI0/1 接口。参见章节 2.6 芯片与 flash/PSRAM 的管脚对应关系
FSPIQ FSPID FSPIHD FSPIWP FSPICLK FSPICSO	主机输入从机输出 (Master in, slave out) 主机输出从机输入 (Master out, slave in) 暂停 (Hold) 写保护 (Write protect) 时钟 (Clock) 片选 (Chip select)	用于快速 SPI 传输的 SPI2 主接口，其中 FSPICSO 可在主机或从机模式下作为输出或输入信号使用
SDIO_CLK SDIO_CMD SDIO_DATA...	时钟 (Clock) 命令 (Command) 数据位 (Data)	用于连接外部 SDIO 主机的安全数字输入/输出 (SDIO) 接口

表 2-3 IO MUX 管脚功能 列出了管脚的 IO MUX 功能。

表 2-3. IO MUX 管脚功能

管脚 序号	IO MUX/ GPIO 名称 ^{1,2}	IO MUX 功能 ^{1,2}					
		F0	类型 ³	F1	类型	F2	类型
9	GPIO0	GPIO0	I/O/T	GPIO0	I/O/T		
10	GPIO1	GPIO1	I/O/T	GPIO1	I/O/T		
11	GPIO2	MTMS	I1	GPIO2	I/O/T	FSPIQ	I1/O/T
12	GPIO3	MTDI	I1	GPIO3	I/O/T		I1/O/T
13	GPIO4	MTCK	I1	GPIO4	I/O/T	FSPIHD	I1/O/T
14	GPIO5	MTDO	O/T	GPIO5	I/O/T	FSPIWP	I1/O/T
15	GPIO6	GPIO6	I/O/T	GPIO6	I/O/T	FSPICLK	I1/O/T
16	GPIO7	SDIO_DATA1	I1/O/T	GPIO7	I/O/T	FSPID	I1/O/T
17	GPIO8	SDIO_DATA0	I1/O/T	GPIO8	I/O/T		
18	GPIO9	SDIO_CLK	I1	GPIO9	I/O/T		
19	GPIO10	SDIO_CMD	I1/O/T	GPIO10	I/O/T	FSPICSO	I1/O/T
20	GPIO11	UOTXD	O	GPIO11	I/O/T		
21	GPIO12	UORXD	I1	GPIO12	I/O/T		
22	GPIO13	SDIO_DATA3	I1/O/T	GPIO13	I/O/T		
23	GPIO14	SDIO_DATA2	I1/O/T	GPIO14	I/O/T		
25	GPIO15	SPICS1	O/T	GPIO15	I/O/T		
26	GPIO16	SPICSO	O/T	GPIO16	I/O/T		
27	GPIO17	SPIQ	I1/O/T	GPIO17	I/O/T		
28	GPIO18	SPIWP	I1/O/T	GPIO18	I/O/T		
29	GPIO19	GPIO19	I/O/T	GPIO19	I/O/T		
30	GPIO20	SPIHD	I1/O/T	GPIO20	I/O/T		
31	GPIO21	SPICLK	O/T	GPIO21	I/O/T		
32	GPIO22	SPID	I1/O/T	GPIO22	I/O/T		
33	GPIO23	GPIO23	I/O/T	GPIO23	I/O/T		
34	GPIO24	GPIO24	I/O/T	GPIO24	I/O/T		
35	GPIO25	GPIO25	I/O/T	GPIO25	I/O/T		
36	GPIO26	GPIO26	I/O/T	GPIO26	I/O/T		
37	GPIO27	GPIO27	I/O/T	GPIO27	I/O/T		
38	GPIO28	GPIO28	I/O/T	GPIO28	I/O/T		

¹ 加粗表示默认启动模式下的默认管脚功能，详见章节 3.1 芯片启动模式控制。

² 高亮的单元格，详见章节 2.3.4 GPIO 和 LP GPIO 的限制。

³ 每个 IO MUX 功能 (Fn, n = 0 ~ 2) 均对应一个“类型”。以下是各个“类型”的含义：

- I – 输入。O – 输出。T – 高阻。
- I1 – 输入；如果该管脚分配了 Fn 以外的功能，则 Fn 的输入信号恒为 1。
- IO – 输入；如果该管脚分配了 Fn 以外的功能，则 Fn 的输入信号恒为 0。

2.3.2 LP IO MUX 功能

芯片处于 Deep-sleep 模式时，章节 2.3.1 [IO MUX 功能](#) 介绍的 IO 管脚功能无法使用。这正是引入 LP IO MUX 的原因。LP IO 管脚连接 LP 系统，由 VDDPST1 供电，使用 LP IO MUX 能在 Deep-sleep 模式下让一个 LP 输入/输出管脚连接多个输入/输出信号。

LP IO 管脚具有 **LP 功能**，可以

- 用作 LP GPIO (**LP_GPIO0**、**LP_GPIO1** 等)，连接 LP CPU
- 或者连接 LP 外设信号 (**LP_I2C_SDA**、**LP_I2C_SCL** 等) - 见表 2-4 [通过 LP IO MUX 连接的 LP 外设信号](#)

表 2-4. 通过 LP IO MUX 连接的 LP 外设信号

管脚功能	信号	描述
LP_I2C_SDA	串行数据 (Serial data)	LP I2C 接口
LP_I2C_SCL	串行时钟 (Serial clock)	
LP_UART_RXD	接收数据 (Receive)	LP UART 接口
LP_UART_TXD	发送数据 (Transmit)	
LP_UART_RTSEN	请求发送 (Request to send)	
LP_UART_CTSN	允许发送 (Clear to send)	
LP_UART_DTRN	数据设置就绪 (Data set ready)	
LP_UART_DSRN	数据终端就绪 (Data terminal ready)	

表 2-5 [LP IO MUX 功能](#) 列出了 LP IO 管脚的 LP IO MUX 功能。

表 2-5. LP IO MUX 功能

管脚 序号	LP IO 名称 ¹	LP IO MUX 功能			
		F0	F1	F2	F3
9	LP_GPIO0	LP_UART_DTRN	LP_GPIO0		
10	LP_GPIO1	LP_UART_DSRN	LP_GPIO1		
11	LP_GPIO2	LP_UART_RTSEN ²	LP_GPIO2		LP_I2C_SDA ²
12	LP_GPIO3	LP_UART_CTSN	LP_GPIO3		LP_I2C_SCL
13	LP_GPIO4	LP_UART_RXD	LP_GPIO4		
14	LP_GPIO5	LP_UART_TXD	LP_GPIO5		
15	LP_GPIO6		LP_GPIO6		

¹ 由于 LP IO MUX 功能通过使用 LP GPIO 编号的 LP GPIO 寄存器配置，此列列出的是 LP GPIO 的名称。

² LP_UART 的硬件流控功能无法和 LP_I2C 同时使用。

2.3.3 模拟功能

部分 IO 管脚具有**模拟功能**，可用于任意功耗模式下的模拟外设（如 ADC）。模拟功能连接内部模拟信号，详见表 2-6 连接模拟功能的模拟信号。

表 2-6. 连接模拟功能的模拟信号

管脚功能	信号	描述
ADC1_CH...	ADC1 通道 ... 信号	ADC1 接口
XTAL_32K_N	负极性时钟信号 (Negative clock signal)	连接 ESP32-C5 有源晶振的外部 32 kHz 时钟输入/输出
XTAL_32K_P	正极性时钟信号 (Positive clock signal)	
USB_D- USB_D+	数据 - (Data -) 数据 + (Data +)	USB 串口/JTAG 功能
PAD_COMP...	PAD...信号	模拟电压比较器输入

表 2-7 模拟功能 列出了 IO 管脚的模拟功能。

表 2-7. 模拟功能

QFN48 管脚序号	模拟 IO 名称	模拟功能 ^{1, 2}	
		F0	F1
9	GPIO0	XTAL_32K_P	
10	GPIO1	XTAL_32K_N	ADC1_CH0
11	GPIO2		ADC1_CH1
12	GPIO3		ADC1_CH2
13	GPIO4		ADC1_CH3
14	GPIO5		ADC1_CH4
15	GPIO6		ADC1_CH5
17	GPIO8	PAD_COMPO	
18	GPIO9	PAD_COMP1	
22	GPIO13	USB_D-	
23	GPIO14	USB_D+	
29	GPIO19	VDD_SPI	

¹ 加粗表示 SPI Boot 模式下默认管脚功能。

² 高亮的单元格，详见章节 2.3.4 GPIO 和 LP GPIO 的限制。

2.3.4 GPIO 和 LP GPIO 的限制

ESP32-C5 的所有 IO 管脚都有 GPIO 功能，部分还具有 LP GPIO 功能。不过，这些 IO 管脚是多功能管脚，可以根据需求配置不同的功能，也有一些使用限制，需要特别注意。

本章节的表格中，部分管脚功能有 **高亮** 标记。推荐优先使用没有高亮的 GPIO 或 LP GPIO 管脚。如需更多管脚，请谨慎选择高亮的 GPIO 或 LP GPIO 管脚，避免与重要功能冲突。

高亮的 IO 管脚有以下重要功能：

- **GPIO** – 用于与 flash/PSRAM 通讯，不建议作其他用途。更多信息，详见章节 [2.6 芯片与 flash/PSRAM 的管脚对应关系](#)。
- **GPIO** – 具有以下重要功能之一：
 - **Strapping 管脚** – 启动时逻辑电平需为特定值。详见章节 [3 启动配置项](#)。

说明：

Strapping 管脚在管脚名称处高亮，而非管脚功能。

- **USB_D+/-** – 默认情况下连接 USB 串口/JTAG 控制器。此类管脚需重新配置，方可用作 GPIO。
- **JTAG 接口** – 通常用于调试功能。详见表 [2-2 通过 IO MUX 连接的外设信号](#)。要释放这类管脚，可用 USB 串口/JTAG 控制器的 USB_D+/- 功能代替。详见章节 [3.4 JTAG 信号源控制](#)。
- **UART 接口** – 通常用于调试功能。详见表 [2-2 通过 IO MUX 连接的外设信号](#)。
- **SDIO 接口** – 与 USB 串口/JTAG 控制器管脚复用。SDIO 从机控制器在单线模式下可以与 USB 串口/JTAG 控制器同时使用，但在四线模式下不能与 USB 串口/JTAG 控制器同时使用。

[附录 A – ESP32-C5 管脚总览](#) 也可参考。

2.4 模拟管脚

表 2-8. 模拟管脚

QFN48 管脚序号	管脚 名称	管脚 类型	管脚 功能
4	XTAL_N	—	连接芯片有源晶振或无源晶振的外部时钟输入/输出。 P/N 指差分时钟正/负极端。
5	XTAL_P	—	
7	CHIP_PU	—	高电平：芯片使能（上电）； 低电平：芯片关闭（掉电）； 注意不能让 CHIP_PU 管脚浮空
42	ANT_2G	I/O	2.4 GHz 射频输入/输出
48	ANT_5G	I/O	5 GHz 射频输入/输出

2.5 电源

2.5.1 电源管脚

表 2-9 电源管脚 列举了为芯片供电的电源管脚。

表 2-9. 电源管脚

QFN48 管脚序号	管脚 名称	方向	电源 ^{1,2}	
			电源域/其他	IO 管脚 ⁴
1	VDDA6	输入	模拟电源域 3.3 V	
2	GND	—	外部接地	
3	VDDA7	输入	模拟电源域 3.3 V	
6	VDDA8	输入	模拟电源域 3.3 V	
8	VDDPST1	输入	数字电源域，给 LP 数字域供电	LP IO
24	VDDPST2	输入	HP 数字/部分模拟管脚电源域	HP IO
29	VDD_SPI ³	输出	封装外 flash	Flash IO
39	VDDPST3	输入	数字电源域，给 HP 数字域供电	HP IO
40	VDDA1	输入	模拟电源域 3.3 V	
41	VDDA2	输入	模拟电源域 3.3 V	
43	GND	—	外部接地	
44	VDDA3	输入	模拟电源域 3.3 V	
45	VDDA4	输入	模拟电源域 3.3 V	
46	VDDA5	输入	模拟电源域 3.3 V	
47	GND	—	外部接地	

- ¹ 请结合章节 2.5.2 电源管理 阅读。
- ² 电压、电流的推荐值和最大值，详见章节 5.1 绝对最大额定值 和章节 5.2 建议电源条件。
- ³ 配置 VDD_SPI 为输入或输出，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 低功耗管理。
- ⁴ LP IO 管脚即由 VDDPST1 供电的管脚，如图 2-3 ESP32-C5 电源管理 所示，也可参考表 2-1 管脚概述 > 供电管脚一栏。

2.5.2 电源管理

电源管理如图 2-3 ESP32-C5 电源管理 所示。

芯片上的元器件通过电压稳压器供电。

表 2-10. 电压稳压器

电压稳压器	输出	电源
HP	1.1 V	HP 电源域
LP	1.1 V	LP 电源域

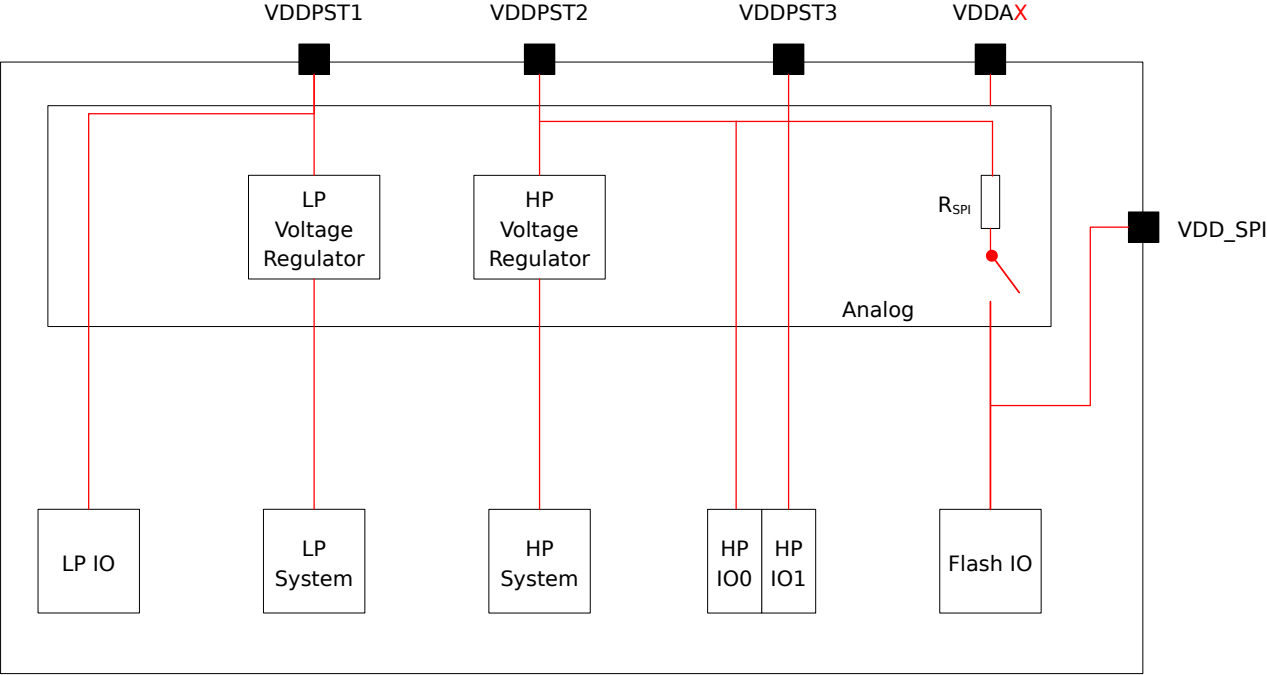


图 2-3. ESP32-C5 电源管理

2.5.3 芯片上电和复位

芯片上电后，其电源轨需要一点时间方可稳定。之后，用于上电和复位的管脚 CHIP_PU 拉高，激活芯片。更多关于 CHIP_PU 及上电和复位时序的信息，请见图 2-4 和表 2-11。

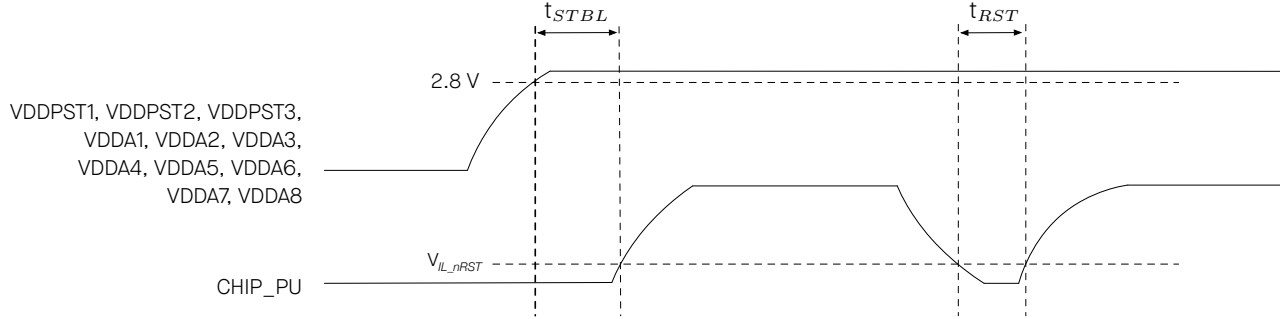


图 2-4. 上电和复位时序参数图

表 2-11. 上电和复位时序参数说明

参数	说明	最小值 (μs)
t_{STBL}	CHIP_PU 管脚拉高激活芯片前，VDDPST1、VDDPST2、VDDPST3、VDDA1、VDDA2、VDDA3、VDDA4、VDDA5、VDDA6、VDDA7 和 VDDA8 达到稳定所需的时间	50
t_{RST}	CHIP_PU 电平低于 V_{IL_nRST} （具体数值参考表 5-4）从而复位芯片的时间	50

2.6 芯片与 flash/PSRAM 的管脚对应关系

表 2-12 列出了所有 SPI 模式下芯片与封装外 flash/PSRAM 管脚的推荐连接关系。封装内带有 flash/PSRAM 的芯片变型也可参考下表。

更多关于 SPI 控制器的信息，可参考章节 4.2.1.2 SPI 控制器。

注意： 不建议将连接 flash/PSRAM 的管脚用于其他用途。

表 2-12. 芯片与封装外 flash 的管脚对应关系

QFN48 管脚序号	管脚名称	单线 SPI flash	双线 SPI flash	四线 SPI flash
31	SPICLK	CLK	CLK	CLK
26	SPICSO ¹	CS#	CS#	CS#
32	SPID	MOSI	SIOO ²	SIOO
27	SPIQ	MISO	SIO1	SIO1
28	SPIWP	WP#		SIO2
30	SPIHD	HOLD#		SIO3

¹ SPICSO 用于访问 flash

² SIO：串行输入输出 (Serial Data Input and Output)

表 2-13. 芯片与封装外 PSRAM 的管脚对应关系

QFN48 管脚序号	管脚名称	单线 SPI PSRAM	四线 SPI PSRAM
31	SPICLK	CLK	CLK
25	SPICS1 ¹	CE#	CE#
32	SPID	SI ²	SIOO
27	SPIQ	SO ³	SIO1
28	SPIWP		SIO2
30	SPIHD		SIO3

¹ SPICS1 用于访问 PSRAM

² SI：串行输入 (Serial Data Input)，功能等同 MOSI

³ SO：串行输出 (Serial Data Output)，功能等同 MISO

3 启动配置项

芯片在上电或硬件复位时，可以通过 strapping 管脚和 eFuse 参数配置如下启动参数，无需微处理器的参与：

- **芯片启动模式**
 - Strapping 管脚：GPIO26、GPIO27 和 GPIO28
- **SDIO 输入采样沿和输出驱动沿控制**
 - Strapping 管脚：GPIO25 和 MTDI
- **ROM 代码日志打印**
 - Strapping 管脚：GPIO27
 - eFuse 参数：EFUSE_UART_PRINT_CONTROL 和 EFUSE_DIS_USB_SERIAL_JTAG_ROM_PRINT
- **JTAG 信号源**
 - Strapping 管脚：GPIO7
 - eFuse 参数：EFUSE_DIS_PAD_JTAG、EFUSE_DIS_USB_JTAG 和 EFUSE_JTAG_SEL_ENABLE

上述 eFuse 参数的默认值均为 0，也就是说没有烧写过。eFuse 只能烧写一次，一旦烧写为 1，便不能恢复为 0。有关烧写 eFuse 的信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 eFuse 控制器。

上述 strapping 管脚如果没有连接任何电路或连接的电路处于高阻抗状态，则其默认值（即逻辑电平值）取决于管脚内部弱上拉/下拉电阻在复位时的状态。

表 3-1. strapping 管脚默认配置

strapping 管脚	默认配置	值
GPIO25	浮空	–
GPIO26	浮空	–
GPIO27	上拉	1
GPIO28	上拉	1
GPIO7	浮空	–
MTMS	浮空	–
MTDI	浮空	–

要改变 strapping 管脚的值，可以连接外部下拉/上拉电阻。

所有 strapping 管脚都有锁存器。芯片复位时，锁存器采样并存储相应 strapping 管脚的值，一直保持到芯片掉电或关闭。锁存器的状态无法用其他方式更改。因此，strapping 管脚的值在芯片工作时一直可读取，并可在芯片复位后作为普通 IO 管脚使用。更多关于芯片复位的信息，详见 [《ESP32-C5 技术参考手册》](#) > 章节 复位和时钟。

strapping 管脚的信号时序需遵循表 3-2 和图 3-1 所示的建立时间和保持时间。

表 3-2. strapping 管脚的时序参数说明

参数	说明	最小值 (ms)
t_{SU}	建立时间，即拉高 CHIP_PU 激活芯片前，电源轨达到稳定所需的时间	0
t_H	保持时间，即 CHIP_PU 已拉高、strapping 管脚变为普通 IO 管脚开始工作前，可读取 strapping 管脚值的时间	3

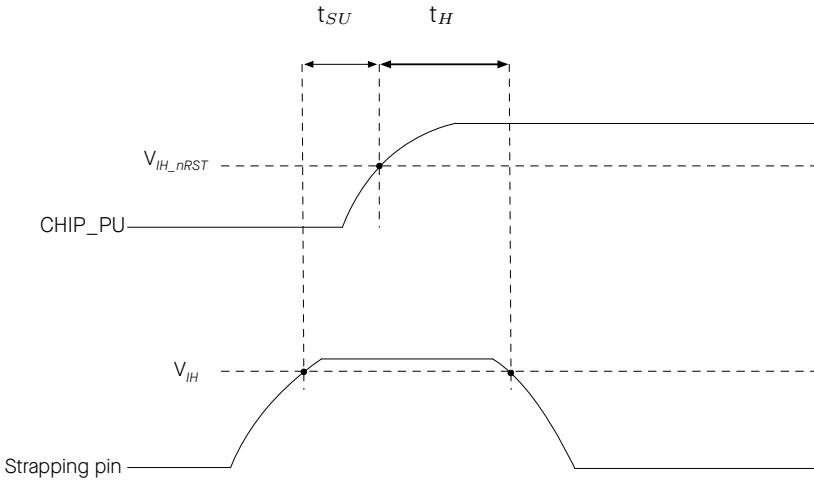


图 3-1. strapping 管脚的时序参数图

3.1 芯片启动模式控制

复位释放后，GPIO26、GPIO27 和 GPIO28 共同决定启动模式。详见表 3-3 芯片启动模式控制。

表 3-3. 芯片启动模式控制

启动模式	GPIO26	GPIO27	GPIO28
SPI Boot¹	任意值	任意值	1¹
Joint Download Boot 0 ²	任意值	1	0
Joint Download Boot 1 ³	0	0	0

¹ 加粗表示默认值和默认配置。
² Joint Download Boot 0 模式下支持以下下载方式：
 • USB-Serial-JTAG Download Boot
 • UART Download Boot
 • SPI Slave Download Boot（仅限芯片版本 v0.1）
³ Joint Download Boot 1 模式下支持以下下载方式：
 • UART Download Boot
 • SDIO Download Boot

在 SPI Boot 模式下，ROM 引导加载程序通过从 SPI flash 中读取程序来启动系统。

在 Joint Download Boot 0 模式下，用户可通过 UART0、USB 或 SPI Slave 接口将二进制文件下载至 flash，或将二进制文件下载至 SRAM 并运行 SRAM 中的程序。

在 Joint Download Boot 1 模式下，用户可通过 UART0、SDIO 接口将二进制文件下载至 flash，或将二进制文件下载至 SRAM 并运行 SRAM 中的程序。

3.2 SDIO 输入采样沿和输出驱动沿控制

GPIO25 和 MTDI 管脚可用于调节 SDIO 输入采样沿和输出驱动沿。详见表 3-4 SDIO 输入采样沿/输出驱动沿控制。

表 3-4. SDIO 输入采样沿/输出驱动沿控制

沿控制	GPIO25	MTDI
下降沿采样下降沿输出	0	0
下降沿采样上升沿输出	0	1
上升沿采样下降沿输出	1	0
上升沿采样上升沿输出	1	1

¹ GPIO25 和 MTDI 默认浮空，以上均非默认配置。

3.3 ROM 日志打印控制

系统启动过程中，ROM 代码日志可打印至：

- (默认) UART0 和 USB 串口/JTAG 控制器
- UART0
- USB 串口/JTAG 控制器

要将 ROM 日志打印至 **UART0** 或 **USB 串口/JTAG 控制器**，详见下文。

EFUSE_UART_PRINT_CONTROL 和 GPIO27 控制 ROM 日志打印至 **UART0**，如表 3-5 **UART0 ROM 日志打印控制** 所示。

表 3-5. UART0 ROM 日志打印控制

UART0 ROM 日志打印	Register ²	eFuse ³	GPIO27
启动过程中，ROM 代码日志始终打印至 UART0	0	0(0b00)	x ⁴
启动过程中使能打印		1(0b01)	0
启动过程中关闭打印			1
启动过程中关闭打印		2(0b10)	0
启动过程中使能打印			1
启动过程中关闭打印		3(0b11)	x
启动过程中关闭打印	1	x	x

¹ 加粗表示默认值和默认配置。
² 寄存器：LP_AON_STORE4_REG[0]
³ eFuse: EFUSE_UART_PRINT_CONTROL
⁴ x: x 表示该值被忽略，任何取值不影响该状态。

EFUSE_DIS_USB_SERIAL_JTAG_ROM_PRINT 控制 **USB 串口/JTAG 控制器** ROM 日志打印，如表 3-6 **USB 串口/JTAG ROM 日志打印控制** 所示。

表 3-6. USB 串口/JTAG ROM 日志打印控制

USB 串口/JTAG ROM 日志打印控制	EFUSE_DIS_USB_SERIAL_JTAG_ROM_PRINT
使能	0
关闭	1
	忽略

¹ 加粗表示默认值和默认配置。

3.4 JTAG 信号源控制

在系统启动早期阶段，GPIO7 可用于控制 JTAG 信号源。该管脚没有内部上下拉电阻，strapping 的值必须由不处于高阻抗状态的外部电路控制。

如表 3-7 所示，GPIO7 与 EFUSE_DIS_PAD_JTAG、EFUSE_DIS_USB_JTAG 和 EFUSE_JTAG_SEL_ENABLE 共同控制 JTAG 信号源。

表 3-7. JTAG 信号源控制

JTAG 信号源	eFuse 1 ²	eFuse 2 ³	eFuse 3 ⁴	GPIO7
USB 串口/JTAG 控制器 ⁶	0	0	0	x ⁵
			1	1
JTAG 管脚 MTDI、MTCK、MTMS 和 MTDO				0
		x	x	x
		1		
USB 串口/JTAG 控制器 ⁶	1	0		
		x		
JTAG 关闭		1		

¹ 加粗表示默认值和默认配置。
² eFuse 1: EFUSE_DIS_PAD_JTAG
³ eFuse 2: EFUSE_DIS_USB_JTAG
⁴ eFuse 3: EFUSE_JTAG_SEL_ENABLE
⁵ x: x 表示该值被忽略，任何取值不影响该状态。
⁶ 在 Joint Download Boot 1 模式下，USB 串口/JTAG 控制器被强制关闭，JTAG 信号源只能来自 JTAG 管脚。如果 PAD_JTAG 也被禁用，则 JTAG 功能关闭。

4 功能描述

4.1 系统

本章节描述了芯片操作的核心部分，包括微处理器、存储器组织结构、系统组件和安全功能。

4.1.1 微处理器和主控

本章节描述了芯片内的核心处理单元及其功能。

4.1.1.1 高性能处理器

ESP-RISC-V CPU (HP CPU) 是一款基于 RISC-V 指令集架构 (ISA) 的高性能 32 位内核，包括基本整数 (I)、乘法/除法 (M)、原子 (A) 和压缩 (C) 标准扩展。

特性

- 五级流水线架构，支持 240 MHz 的时钟频率
- [RV32IMAC ISA](#) (指令集架构)
- 支持双周期流水线乘法器和基 4 SRT 除法器
- 支持 Zc 扩展 (Zcb, Zcmp, Zcmt)
- 支持自定义硬件循环指令 (Xhwlp)
- 兼容 RISC-V 处理器核局部中断 (CLINT)
- 兼容 RISC-V 处理器核局部中断控制器 (CLIC)
- 支持分支预测功能 BHT, BTB 与 RAS
- 支持最多 3 个硬件断点/观察点
- 支持最多 16 个 PMP/PMA 区域
- 支持两个特权模式：机器模式与用户模式
- 用于调试的 USB/JTAG 接口
- 兼容 RISC-V 调试规范 v0.13
- 支持与 RISC-V Trace 规范 v2.0 兼容的 trace 离线调试

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 高性能处理器。

4.1.1.2 RISC-V 追踪编码器

ESP32-C5 芯片中的 RISC-V 追踪编码器提供了一种从高性能 CPU 执行过程中捕获详细追踪信息的方法，以便对系统进行更深入的分析 and 优化。它连接到 HP CPU 的指令追踪接口，并将信息压缩成较小的数据包，然后存储在内部 SRAM 中。

特性

- 兼容 RISC-V 高效跟踪规范 (Efficient Trace for RISC-V) v2.0
- 每隔几个时钟周期或数据包发送同步数据包
- 使用零字节作为锚定符来识别数据包之间的边界
- 可配置的存储器写入模式：循环或非循环模式
- 支持丢包状态标识
- 支持丢包后自动重启
- 支持 delta 地址模式和完整地址模式
- 支持过滤器

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 *RISC-V 追踪编码器 (TRACE)*。

4.1.1.3 低功耗处理器

ESP32-C5 低功耗 CPU (LP CPU) 是一款基于 RISC-V ISA 的 32 位处理器，包括整数 (I)、乘法/除法 (M)、原子 (A) 和压缩 (C) 标准扩展。它专为超低功耗设计，能够在 Deep-sleep 模式下、HP CPU 掉电时保持上电状态。

LP CPU 可以用于在正常工作模式下协助 HP CPU，也可以用于在系统休眠时代替 HP CPU 来执行任务。LP CPU 和 LP 存储器在 Deep-sleep 模式下仍保持工作状态。因此，开发者可以将 LP CPU 的程序存放在 LP 存储器中，使其能够在 Deep-sleep 模式下访问 LP IO、LP 外设和 RTC 定时器。

特性

- 二级流水线架构，支持最高 48 MHz 的时钟频率
- [RV32IMAC ISA](#) (指令集架构)
- 3-4 周期乘法器和迭代除法器
- 支持自定义向量中断
- 支持最多 2 个硬件断点/观察点
- 支持 JTAG 调试
- 支持 RISC-V 调试规范 v0.13
- 支持被主 CPU、专用定时器、LP IO 启动

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 低功耗处理器。

4.1.1.4 GDMA 控制器

GDMA 控制器是通用的直接内存访问控制器，可以在无需 CPU 干预的情况下完成外设与存储器之间及存储器与存储器之间的数据传输。GDMA 具有六个独立通道，其中三个用于传输，三个用于接收。这些通道由具有 GDMA 功能的外设共享，包括 SPI2、UHCIO、I2S、AES、SHA、ADC 和 PARLIO。

特性

- 可编程的数据传输长度（以字节为单位）
- 链表描述符，用于高效的数据传输管理
- 在访问内部 RAM 或外部存储器时进行 INCR4/8/16 burst 传输，以提高性能
- 访问高达 384 KB 的内部 RAM 地址空间
- 可通过软件选择请求服务的外设
- 用于管理带宽的固定优先级和轮询通道仲裁方案
- 支持事件任务矩阵

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 GDMA 控制器 (DMA)。

4.1.2 存储器组织结构

本章节描述了存储器布局，解释数据的存储、访问和管理方式，以实现高效的操作。

ESP32-C5 的地址映射结构如图 4-1 所示。

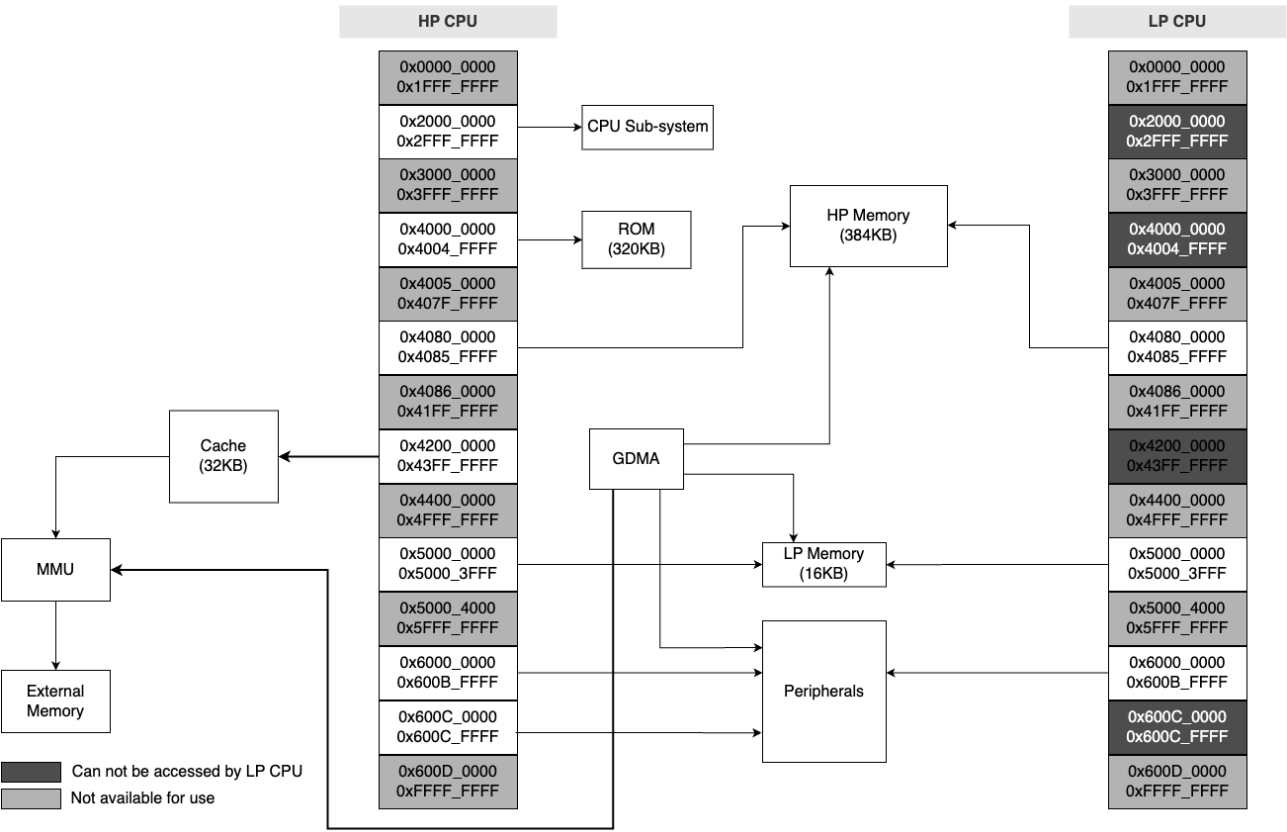


图 4-1. 地址映射结构

4.1.2.1 内部存储器

ESP32-C5 的内部存储器即集成于芯片晶圆上或封装内部的存储器，包括 ROM、SRAM、eFuse 和 flash。

特性

- 320 KB 的 ROM，用于程序启动和内核功能调用
- 384 KB 的 SRAM，用于数据和指令存储
- 16 KB 的低功耗 SRAM (LP SRAM)，可被 HP CPU 或 LP CPU 访问，在 Deep-sleep 模式下可以保存数据
- 4 Kbit 的 eFuse 存储器，其中 1792 位用户可用

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节系统和存储器。

4.1.2.2 外部存储器

ESP32-C5 支持以 SPI、Dual SPI、Quad SPI、QPI 等接口形式连接 flash 和 PSRAM。

CPU 的指令空间、只读数据空间可以映射到外部 flash 和 PSRAM，外部 flash 和 PSRAM 各可以最大支持 32 MB。ESP32-C5 支持基于 XTS-AES 的硬件加解密功能，从而保护开发者 flash 和 PSRAM 中的程序和数

据。

特性

- 32 MB 的指令空间以 64 KB 的块映射到外部 flash 和 PSRAM，支持 32 位取指
- 32 MB 的数据空间以 64 KB 的块映射到外部 flash 和 PSRAM，外部 flash 支持 8 位、16 位和 32 位读取；PSRAM 支持 8 位、16 位和 32 位读写

说明：

ESP32-C5 芯片启动完成后，软件可以自定义外部 flash 和 PSRAM 到 CPU 地址空间的映射。

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节系统和存储器。

4.1.2.3 eFuse 控制器

eFuse 存储器是只可编程一次的存储器，用于存储参数内容和用户数据。ESP32-C5 芯片的 eFuse 控制器用于烧写和读取 eFuse 存储器。

特性

- 4 Kbit 总存储空间，其中 1792 位可供用户使用，如存储加密密钥、用户 ID 等
- 一次性可编程存储
- 烧写保护可配置
- 读取保护可配置
- 多种硬件编码方式保护参数内容

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 eFuse 控制器。

4.1.2.4 cache

ESP32-C5 采用四路组相连 cache 结构。

特性

- cache 的大小为 32 KB
- cache 的 block 大小为 32 字节
- 支持 pre-load 功能
- 支持 lock 功能
- 支持关键字优先 (critical word first) 和提前重启 (early restart)

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节 cache。

4.1.3 系统组件

本章节描述了对系统的整体功能和控制起到重要作用的组件。

4.1.3.1 IO MUX 和 GPIO 交换矩阵

ESP32-C5 芯片中的 IO MUX 和 GPIO 交换矩阵可将外设输入和输出信号灵活连接到 GPIO 管脚。这些外设通过允许 I/O 配置、支持多路复用和外设输入信号的信号同步, 增强了芯片的功能和性能。

特性

- 29 个 GPIO 管脚, 用于通用 I/O 或连接到内部外设信号
- GPIO 交换矩阵:
 - 将 77 个外设输入信号和 75 个输出信号连接到任意 GPIO 管脚
 - 基于 IO MUX 操作时钟的外设输入信号同步
 - 支持 GPIO 滤波器对输入信号进行滤波
- IO MUX 用于将某些数字信号 (SPI、JTAG、UART) 直接连接到管脚
- 支持事件任务矩阵

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节 IO MUX 和 GPIO 交换矩阵。

4.1.3.2 复位

ESP32-C5 芯片提供四种级别的复位方式, 分别是 CPU 复位、内核复位、系统复位和芯片复位。除芯片复位外, 其他复位方式不影响片上内存存储的数据。

特性

- 四种复位类型:
 - CPU 复位 – 复位 CPU 核心
 - 内核复位 – 复位整个数字系统, 但不包括 LP 系统
 - 系统复位 – 复位整个数字系统, 包括 LP 系统
 - 芯片复位 – 复位整个芯片
- 复位触发方式:

- 直接由硬件触发
- 通过配置 CPU 的相应寄存器进行软件触发
- 支持读取复位源

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节复位和时钟。

4.1.3.3 时钟

ESP32-C5 芯片的时钟来自振荡器、RC 电路和 PLL 电路, 然后经过分频器或时钟选择器进行处理。时钟根据频率可以分为用于 HP 系统的高速时钟和用于 LP 系统及某些外设的低速时钟。

特性

- 用于 HP 系统的高速时钟
 - 外置主晶振时钟 (支持 48 MHz 晶振时钟频率)
 - 内置快速 RC 振荡器时钟 (通常为 20 MHz, 频率可调节)
 - PLL 时钟

注意:

- * ESP32-C5 必须有外部主晶振时钟才可运行。
- * ESP32-C5 可以自动过滤外部主晶振时钟的高频毛刺。

- 用于 RTC 计数器、RTC 看门狗和电源管理单元 (PMU) 的低功耗慢速时钟
 - 内置慢速 RC 振荡器 (通常为 150 kHz)
 - 32 kHz 外置低速晶振时钟
 - 外接 IO 时钟 (由外部时钟源通过数字 IO 直接输入时钟)
- 用于低功耗外设和传感器控制器的低功耗快速时钟
 - 外置主晶振二分频时钟
 - 内置快速 RC 振荡器时钟 (通常为 20 MHz, 频率可调节)

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节复位和时钟。

4.1.3.4 中断矩阵

ESP32-C5 芯片的中断矩阵用于将外设和事件生成的中断请求映射到 CPU 中断。

特性

- 接收 84 个外部中断源作为输入
- 生成 32 个 CPU 的外部中断作为输出
- 支持查询外部中断源当前的中断状态
- 支持将多个中断源映射到单个 CPU 中断 (即共享中断)

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节中断矩阵。

4.1.3.5 事件任务矩阵

ESP32-C5 带有一个 SOC ETM 外设，该外设包含多个通道 (channel)，每个通道将一个输入的事件 (event) 映射到一个输出的任务 (task)，事件是由外设产生的，任务被外设所接收。

特性

- 最多支持 50 个事件到任务的映射通道，每个通道连接一个事件和一个任务，并且每个通道都有独立的使能控制
- 每个通道的事件输入以及任务输出可以从所有的事件和任务中任意选择，即支持同一个事件通过多个通道映射到不同的任务，或多个不同的事件通过各自的通道映射到同一个任务
- 能够产生事件、接收任务的外设有：GPIO、LED PWM、通用定时器、RTC 定时器、系统定时器、MCPWM、温度传感器、ADC、I2S、LP CPU、GDMA 和 PMU

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节事件任务矩阵。

4.1.3.6 电源管理单元

ESP32-C5 具有先进的电源管理单元 (PMU)，可以灵活地为芯片的不同电源域供电，实现芯片性能、功耗和唤醒延迟之间的最佳平衡。

ESP32-C5 的 LP CPU 使得芯片能够在大多数电源域关闭的 Deep-sleep 模式下运行，从而实现极低的功耗。

配置 PMU 的程序较为复杂。为针对典型场景简化电源管理，ESP32-C5 具有以下**预设功耗模式**，可给不同电源域组合供电：

- **Active 模式** – HP CPU、RF 电路和所有外设均上电。芯片可以处理数据、接收、发射和侦听信号。
- **Modem-sleep 模式** – HP CPU 上电，可降低时钟频率。RF 电路在需要时间歇性开启，因此无线可保持连接。
- **Light-sleep 模式** – HP CPU 停止工作，可选择上电。LP 外设及 LP CPU 可由定时器间歇性唤醒，芯片可由所有唤醒机制唤醒，包括 MAC、RTC 定时器或外部中断。无线可保持连接。部分数字外设可选择关闭。
- **Deep-sleep 模式** – 仅 LP 系统上电。无线连接数据存储在 LP 存储器中。

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节低功耗管理。

4.1.3.7 系统定时器

ESP32-C5 芯片中的系统定时器 (SYSTIMER) 是一个 52 位定时器，可用于为操作系统生成滴答中断，或作为通用定时器生成周期性或一次性中断。

特性

- 两个 52 位计数器和三个 52 位报警比较器
- 时钟计数器的频率平均为 16 MHz
- 三个报警比较器根据不同的报警值可产生三个独立的中断

- 两种报警模式：单次报警模式和周期报警模式
- 支持 52 位报警值和 26 位报警周期
- 计数器值重新加载
- 支持当 CPU 暂停或处于 OCD 模式时，时钟计数器也暂停
- 支持输出实时报警的事件 (event)

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节系统定时器。

4.1.3.8 定时器组

ESP32-C5 芯片中的定时器组 (TIMG) 可用于准确设定时间间隔、在一定间隔后触发（周期或非周期的）中断或充当硬件时钟。ESP32-C5 有 TIMG0 和 TIMG1 两个定时器组，每个定时器组包含一个通用定时器和一个主系统看门狗定时器。

特性

- 16 位预分频器
- 54 位时基计数器，可配置成递增或递减
- 实时读取时基计数器的值
- 暂停和恢复时基计数器
- 可配置的报警产生机制
- 定时器值重新加载（报警时自动重新加载或软件控制即时重新加载）
- TIMG0 定时器组慢速时钟频率计算
- 电平触发中断
- 支持输出实时报警事件
- 支持多个 ETM 任务和事件

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 定时器组 (TIMG)。

4.1.3.9 看门狗定时器

ESP32-C5 中的看门狗定时器 (WDT) 可用于检测和处理系统故障。ESP32-C5 有三个数字看门狗定时器：两个在定时器组中 (MWDT)，一个在 RTC 模块中 (RWDT)。此外，还有一个称为超级看门狗 (SWD) 的模拟看门狗定时器，有助于防止系统在异常状态下运行。

特性

- 数字看门狗定时器：
 - 四个阶段，每个阶段都可配置超时时间。每阶段都可单独配置、使能和关闭
 - 如在某个阶段发生超时，MWDT 会采取中断、CPU 复位和内核复位三种超时动作中的一种，RWDT 会采取中断、CPU 复位、内核复位和系统复位四种超时动作中的一种
 - 保护 32 位超时计数器

- 防止 RWDT 和 MWDt 的配置被误改
- flash 启动保护
如果在预定时间内 SPI flash 的引导过程没有完成，看门狗会重启整个主系统
- 模拟看门狗定时器：
 - 超低功耗
 - 用中断提醒 SWD 即将超时
 - 软件有多种专用的方法喂 SWD，让 SWD 监控整个操作系统的工作状态

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节看门狗定时器。

4.1.3.10 实时时钟定时器

ESP32-C5 芯片中的实时时钟定时器（RTC 定时器）是一个 48 位的可读计时器，能够在芯片的任意功耗模式下工作，当 HP 系统中的定时器外设不可用时，继续为系统提供定时器服务。同时还支持配置定时器中断、记录系统中特定事件发生的时刻。

特性

- 工作在 RTC 时钟下的 48 位计数器
- 实时读取时基计数器的值
- 设置计数器目标值，超时触发中断

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 实时时钟定时器。

4.1.3.11 权限控制

ESP32-C5 中的权限控制模块负责管理对内存和外设寄存器的访问权限。它由两部分组成：PMP（物理存储器保护）和 APM（访问权限管理）。

特性

- 对 ROM、HP 内存、HP 外设和 LP 外设地址空间的访问权限管理
- APM 支持每个主机（如 DMA）在四种安全模式中选择一种
- 支持最多 32 个地址范围的访问权限配置
- 支持对每个外设寄存器进行单独的权限配置
- 中断功能和异常信息记录

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节权限控制 (PMS)。

4.1.3.12 系统寄存器

ESP32-C5 芯片中的系统寄存器用于配置多种辅助芯片功能。

特性

- 控制外部内存加密和解密
- 控制 CPU 核心调试
- 控制总线超时保护

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节系统寄存器 (HP_SYSREG)。

4.1.3.13 辅助调试

辅助调试可以帮助在软件调试过程中定位错误和问题, 提供各种监视能力和日志记录功能, 以帮助高效地识别和解决软件错误。

特性

- 读写监测: 监测 CPU 是否在限定的存储器地址范围内进行读写操作
- 栈指针 (SP) 监测: 防止栈溢出或错误的推入/弹出操作
- 程序计数器 (PC) 记录: 记录 PC, 可以获得上一次 CPU 复位时的 PC 值
- 总线写操作记录: 当 CPU 或 DMA 写了某个特定值时, 会记录总线写操作信息

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节辅助调试 (ASSIST_DEBUG)。

4.1.3.14 欠压监测器

ESP32-C5 可以周期性监控供电电源的电压, 当电压异常时, 能发出中断或者复位。

特性

- 检测阈值可配置
- 复位等级可配置
- 支持毛刺过滤

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节电源检测器。

4.1.4 加密和安全组件

本章节描述了集成在芯片中用于保护数据和操作的安全功能。

4.1.4.1 AES 加速器

ESP32-C5 内置 AES (高级加密标准) 硬件加速器可使用 AES 算法, 完成数据的加解密运算, 具有 Typical AES 和 DMA-AES 两种工作模式。整体而言, 相比基于纯软件的 AES 运算, AES 硬件加速器能够极大地提高运算速度。

特性

- typical AES 工作模式
 - AES-128/AES-256 加解密运算, 符合标准 [NIST FIPS 197](#)

- DMA-AES 工作模式
 - AES-128/AES-256 加解密运算，符合标准 [NIST FIPS 197](#)
 - 块（加密）模式，符合标准 [NIST SP 800-38A](#)
 - * ECB (Electronic Codebook)
 - * CBC (Cipher Block Chaining)
 - * OFB (Output Feedback)
 - * CTR (Counter)
 - * CFB8 (8-bit Cipher Feedback)
 - * CFB128 (128-bit Cipher Feedback)
 - 中断发生

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 AES 加速器 (AES)。

4.1.4.2 ECC 加速器

椭圆曲线密码学 (Elliptic Curve Cryptography) 是一种基于椭圆曲线数学的公开密钥加密演算法，其优势在于相对于 RSA 算法，使用较小长度的密钥就能够提供相当等级的加密安全性。

ESP32-C5 ECC 硬件加速器支持对于可选曲线的多种基础运算，用以实现对 ECC 基本运算、衍生算法（如 ECDSA 等算法）的加速。

特性

- 支持三种可选 ECC 曲线，即 [FIPS 186-3](#) 中定义的 P-192、P-256 和 P-384
- 提供两种可选坐标系，即仿射坐标系和 Jacobian 坐标系
- 提供多种可选点运算，包含点加、点乘和点验证
- 提供基于曲线阶数或模数的多种可选模运算，包含模加、模减、模乘、模除
- 提供计算完成的中断和中断控制
- 支持安全工作模式，进行固定时间的点乘运算

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 ECC 加速器 (ECC)。

4.1.4.3 HMAC 加速器

HMAC 加速器 (HMAC) 模块用于使用 SHA-256 哈希算法和 RFC 2104 中描述的密钥计算信息认证码 (MAC)。它提供了硬件支持的 HMAC 计算，显著降低了软件复杂性，提高了性能。

特性

- 使用标准 HMAC-SHA-256 算法
- 仅支持可配的硬件外设访问 HMAC 计算的 hash 结果（下行模式）
- 兼容挑战-应答身份验证算法
- 支持生成数字签名外设所需的密钥（下行模式）

- 重启软禁用的 JTAG（下行模式）

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 *HMAC* 加速器。

4.1.4.4 RSA 加速器

RSA 加速器可为多种运用于“RSA 非对称式加密演算法”的高精度计算提供硬件支持，能够极大地降低此类运算的运行时间和软件复杂度。与纯软件 RSA 算法相比，硬件 RSA 加速器的运算速度更快。RSA 加速器还支持多种“运算子长度”，具有很高的灵活性。

特性

- 大数模幂运算（支持两个加速选项）
- 大数模乘运算，最大可达 3072 位
- 大数乘法运算，运算子最大可达 1536 位
- 多种运算子长度
- 支持在运算完成后触发中断

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 *RSA* 加速器。

4.1.4.5 SHA 加速器

SHA（安全哈希算法）硬件加速器可完成 SHA 运算，具有 typical SHA 和 DMA-SHA 两种工作模式。整体而言，相比基于纯软件的 SHA 运算，SHA 硬件加速器能够极大地提高运算速度。

特性

- 支持 [FIPS PUB 180-4](#) 中的以下运算标准
 - SHA-1
 - SHA-224
 - SHA-256
 - SHA-384
 - SHA-512/224
 - SHA-512/256
 - SHA-512/t
- 提供两种工作模式
 - typical SHA 工作模式
 - DMA-SHA 工作模式
- 允许插入 (interleaved) 功能（仅限 typical SHA 工作模式）
- 允许中断功能（仅限 DMA-SHA 工作模式）

更多更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 *SHA* 加速器 (SHA)。

4.1.4.6 数字签名算法

数字签名技术使用密码学算法，用于验证消息的真实性和完整性。该技术也可用于向服务器验证设备身份，或验证消息是否经过篡改。

ESP32-C5 包含一个数字签名 (Digital Signature Algorithm, DSA) 模块，可提供硬件加速，高效生成基于 RSA 的数字签名。HMAC 作为密钥导出函数，使用 eFuse 作为输入密钥，输出 DS_KEY 密钥。随后，数字签名模块使用 DS_KEY 解密预先加密的参数，计算出签名。上述过程都发生在硬件层面，因此在计算过程中，不论是解密 RSA 参数的密钥，还是用于 HMAC 密钥导出函数的输入密钥，都对用户不可见。

特性

- 支持长度最大为 3072 位的 RSA 数字签名密钥
- 支持仅限 DS 读取的加密私钥数据
- 支持 SHA-256 摘要，用于保护私钥数据免遭攻击者篡改

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节数字签名算法 (DSA)。

4.1.4.7 椭圆曲线数字签名算法

在密码学中，椭圆曲线数字签名算法 (ECDSA) 是使用椭圆曲线密码对数字签名算法 (DSA) 的模拟。

ESP32-C5 的 ECDSA 加速器可高效安全地计算 ECDSA 签名。ECDSA 加速器可以进行快速计算，同时确保签名过程的保密性，防止信息泄漏。因此，ECDSA 加速器可用于高速加密运算并提供强大的安全保障，它可以保护用户数据的安全，而且不会影响性能。

特性

- 支持签名生成和签名认证
- 支持公钥导出
- 支持三种椭圆曲线，即 [FIPS 186-3](#) 中定义的 P-192、P-256 和 P-384
- 支持四种哈希算法用于信息的哈希操作，即 [FIPS PUB 180-4 Spec](#) 中定义的 SHA-224、SHA-256、SHA-384 和 SHA-512
- 支持 [RFC6979](#) 中定义的确定性 ECDSA
- 提供高安全性特性
 - 拥有不同工作状态下的动态访问权限控制，防止一切中间数据泄漏而导致的密钥泄露
 - 签名/验证为固定时长操作，抵抗旁路攻击

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节椭圆曲线数字签名算法。

4.1.4.8 片外存储器加密与解密

ESP32-C5 芯片集成了片外存储器加密与解密模块，使用 [IEEE Std 1619-2007](#) 指定的 XTS-AES 标准算法，为用户存放在片外存储器 (flash 和 PSRAM) 的应用代码和数据提供了安全保障。用户可以将专有固件、敏感的用户数据（如用来访问私有网络的证书）存放在封装外 flash 中，也可以安全地在 PSRAM 中运行数据敏感的应用。

特性

- 使用通用 XTS-AES 算法，符合 [IEEE Std 1619-2007](#)
- 支持手动加密，需要软件参与
- 支持高速自动加密，无需软件参与
- 支持高速自动解密，无需软件参与
- 由寄存器配置、eFuse 参数、启动 (boot) 模式共同决定开启/关闭加解密功能
- 支持多种可配置的抗 DPA 攻击功能
- flash 和 PSRAM 使用各自独立的密钥

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节片外存储器加密与解密 (XTS_AES)。

4.1.4.9 真随机数发生器

ESP32-C5 内置一个真随机数发生器，其生成的 32 位随机数可作为加密等操作的基础。

特性

- 随机数发生器的熵源
 - SAR ADC、高速 ADC 两者的热噪声
 - 异步时钟不匹配

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节随机数生成器 (RNG)。

4.1.4.10 密钥管理器

ESP32-C5 密钥管理器可作为系统的安全核心，以实现高安全性的密钥存储和部署。密钥管理器利用每一块芯片独有的物理不可复制特性 (PUF)，生成每一块芯片独有的硬件唯一密钥 (HUK)，以此作为一块芯片的信任根。HUK 在每次芯片上电时自动生成，在芯片掉电后消失。密钥管理器以这种方式保证密钥存储和部署的安全。

ESP32-C5 的密钥管理器，将密钥信息（非明文，用于恢复密钥的信息）存储在外部存储器中，能够实现无限制数量的密钥存储、实现动态密钥切换等灵活密钥管理功能。

特性

HUK 生成器具有以下特性：

- HUK 生成模式：
 - 生成新 HUK 及其对应的 HUK 恢复信息
- HUK 恢复模式：
 - 使用 HUK 恢复信息来恢复 HUK
- HUK 恢复错误提示
- HUK 风险等级提示

密钥管理器具有以下特性：

- 密钥数量无限
- 指定私钥部署（AES 部署模式）
 - 用户可指定密钥的值
- 协商私钥部署（ECDH0 部署模式）
 - 最高安全模式，无需担心外部渠道的数据泄露
 - 获取私钥需初始化芯片
 - 密钥值为芯片与用户协商所得
- 协商私钥部署（ECDH1 部署模式）
 - 利用辅助密钥部署协商私钥
 - 获取私钥无需启动芯片
- 随机密钥部署（随机部署模式）
 - 部署硬件生成的随机密钥，无人知道其确切值
- 私钥恢复部署（私钥恢复模式）
 - 输入部署时生成的密钥信息可恢复完全相同的密钥
- 密钥信息导出（*key_info* 导出模式）
 - 为同一个密钥每次生成不同的密钥信息

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节密钥管理器。

说明：

芯片版本 v1.2 及以上支持该功能。

4.1.4.11 电源毛刺监测器

ESP32-C5 可以实时监控供电电源的电压，当电压出现毛刺时，将立即复位芯片，防止电源毛刺攻击。

特性

- 毛刺的电平阈值可调节，默认约 2.7 V
- 上电默认开启

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节电源检测器。

4.2 外设

本章节介绍了芯片上的外设接口，包括扩展芯片功能的通信接口和片上传感器。

4.2.1 通讯接口

本章节介绍了芯片与外部设备和网络进行通信和交互的接口。

4.2.1.1 UART 控制器

ESP32-C5 有三个 UART 接口，即 UART0，UART1 和 LP UART。三个 UART 均支持 CTS 和 RTS 信号的硬件流控以及软件流控（XON 和 XOFF）。

特性

- 可编程波特率，最高可达 5 MBaud
- RAM 由 TX FIFO 和 RX FIFO 共用
- 支持多种数据位和停止位的长度
- 支持奇偶校验位
- 特殊字符 AT_CMD 检测
- 支持 RS485 协议（不适用于 LP UART）
- 支持 IrDA 协议（不适用于 LP UART）
- 使用 GDMA 进行高速数据通信（不适用于 LP UART）
- 接收超时功能
- UART 作为唤醒源
- 软件和硬件流控

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 *UART 控制器 (UART)*。

管脚分配

UART0 接口连接发送和接收信号 (U0TXD 和 U0RXD) 的管脚通过 IO MUX 与 GPIO11 和 GPIO12 复用。其他信号可以通过 GPIO 交换矩阵配置到任意 GPIO。

LP UART 的管脚通过 LP IO MUX 与 LP_GPIO0 ~ LP_GPIO5 复用。

更多关于管脚分配的信息，请参考 章节 [2.3 IO 管脚](#) 和 [《ESP32-C5 技术参考手册》](#) > 章节 *GPIO 交换矩阵和 IO MUX*。

4.2.1.2 SPI 控制器

ESP32-C5 共有三个 SPI（SPI0、SPI1 和 SPI2）。SPI0 和 SPI1 可以配置成 SPI 存储器模式，SPI2 可以配置成通用 SPI 模式。

特性

• SPI 存储器 (SPI Memory) 模式

SPI 存储器模式 (SPI0 和 SPI1) 用于连接 SPI 接口的外部存储器。SPI 存储器模式下数据传输长度以字节为单位，最高支持四线 STR 读写操作。时钟频率可配置，支持的最高时钟频率为 120 MHz。

• SPI2 通用 SPI (GP-SPI) 模式

SPI2 既可以配置成主机模式，又可以配置成从机模式。主机模式和从机模式均支持双线全双工和单线、双线或四线半双工通信。通用 SPI 的主机时钟频率可配置，数据传输长度以字节为单位，时钟极性 (CPOL) 和相位 (CPHA) 可配置，可连接 GDMA 通道。

- 在主机模式下，时钟频率最高为 80 MHz，支持 SPI 传输的四种时钟模式。
- 在从机模式下，时钟频率最高为 40 MHz，也支持 SPI 传输的四种时钟模式。

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 SPI 控制器 (SPI)。

管脚分配

SPI0/1 接口管脚通过 IO MUX 与 GPIO15 ~ GPIO18 和 GPIO20 ~ GPIO22 复用。

SPI2 接口连接数据和时钟信号的管脚通过 IO MUX 与 GPIO2 和 GPIO4 ~ GPIO7 复用，连接片选信号的管脚通过 IO MUX 与 GPIO10 管脚复用。SPI2 信号也可以通过 GPIO 交换矩阵配置到任意 GPIO。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.3 I2C 控制器

ESP32-C5 有一个 I2C 和一个 LP I2C 总线接口，根据您的配置，I2C 总线接口可以用作 I2C 主机或从机模式。LP I2C 总线接口固定用作 I2C 主机模式。

特性

- 标准模式 (100 Kbit/s)
- 快速模式 (400 Kbit/s)
- 速度最高可达 800 Kbit/s，但受制于 SCL 和 SDA 上拉强度
- 7 位寻址模式和 10 位寻址模式
- 双寻址模式
- 7 位广播地址

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 I2C 控制器 (I2C)。

管脚分配

I2C 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

LP I2C 管脚通过 LP IO MUX 与 LP_GPIO2 和 LP_GPIO3 复用。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.4 I2S 控制器

ESP32-C5 有一个标准 I2S 接口，可以以主机或从机模式，在全双工或半双工模式下工作，支持 I2S 串行 8 位、16 位、24 位、32 位的收发数据模式，支持频率从 10 kHz 到 40 MHz 的 BCK 时钟。

I2S 接口连接 GDMA 控制器。支持 TDM Philips、TDM MSB 对齐、TDM PCM 标准、PDM 标准以及 PCM 转 PDM TX 接口。

特性

- 支持主机模式和从机模式
- 支持全双工和半双工通信
- 支持 TX 模块和 RX 模块独立工作或同时工作
- 支持多种音频标准：
 - TDM Philips 标准
 - TDM MSB 对齐标准
 - TDM PCM 标准
 - PDM 标准
- 支持多种 TX/RX 模式
 - TDM TX 模式，最多支持 16 通道
 - TDM RX 模式，最多支持 16 通道
 - PDM TX 模式
 - * 支持原始 PDM 数据发送
 - * 支持将 PCM 数据转换为 PDM 数据发送，最多支持 2 通道
 - PDM RX 模式
 - * 支持原始 PDM 数据接收
- 可配置时钟源，支持最高频率为 240 MHz
- 可配置高精度采样时钟，支持多种采样频率
- 支持 8/16/24/32 位的数据位宽
- TX 模式支持同步计数器
- 支持 ETM 功能
- 支持 GDMA
- 支持 I2S 接口中断

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 *I2S 控制器 (I2S)*。

管脚分配

I2S 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 [IO 管脚](#) 和 [《ESP32-C5 技术参考手册》](#) > 章节 [GPIO 交换矩阵和 IO MUX](#)。

4.2.1.5 USB 串口/JTAG 控制器

ESP32-C5 中包含一个 USB 串口/JTAG 控制器，可用于烧录芯片的外部 flash、读取程序输出的数据以及将调试器连接到正在运行的程序中。任何带有 USB 主机的计算机都可以实现上述功能，无需其他外部组件辅助。

特性

- 兼容 USB 2.0 全速标准，传输速度最高可达 12 Mbit/s（注意，该控制器不支持 480 Mbit/s 的高速传输模式）
- 包含 CDC-ACM 虚拟串口及 JTAG 适配器功能
- 烧录芯片 flash
- 利用紧凑的 JTAG 指令，支持 CPU 调试
- 芯片内部集成的全速 USB PHY

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 [USB 串口/JTAG 控制器 \(USB_SERIAL_JTAG\)](#)。

管脚分配

USB 串口/JTAG 控制器管脚通过 IO MUX 与 GPIO13 ~ GPIO14 复用。GPIO13 ~ GPIO14 同样与 SDIO 从机控制器管脚复用，SDIO 从机控制器在单线模式下可以与 USB 串口/JTAG 控制器同时使用，但在四线模式下不能与 USB 串口/JTAG 控制器同时使用。

更多关于管脚分配的信息，请参考 章节 2.3 [IO 管脚](#) 和 [《ESP32-C5 技术参考手册》](#) > 章节 [GPIO 交换矩阵和 IO MUX](#)。

4.2.1.6 CAN FD 控制器

CAN FD（Controller Area Network Flexible Data-Rate，控制器局域网灵活数据速率）协议是一种多主机、多播的通信协议。CAN FD 控制器用于芯片使用该协议的通信。

特性

- 兼容 ISO11898-1:2015 标准
- 具有 128 字的 RX FIFO（6 个 64 字节载荷的 CAN FD 帧，21 个 8 字节载荷的 CAN/CAN FD 帧）
- 4 个 TX buffer（每个 TX buffer 可容纳 1 个 CAN FD 帧）
- 32 位 APB 配置接口
- 支持 ISO 和非 ISO CAN FD 协议
- 支持时间戳和基于时间的传输
- 内置 3 个屏蔽过滤器和 1 个范围过滤器

- 支持中断
- 操作模式包括：回环模式、总线监视模式、禁止确认应答模式、自检模式、限制操作模式

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 控制器局域网灵活数据速率。

管脚分配

CAN FD 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.7 LED PWM 控制器

LED PWM 控制器可以用于生成六路独立的数字波形。

特性

- 波形的周期和占空比可配置，占空比精确度可达 20 位
- 多种时钟源选择，包括 80 MHz PLL 时钟、外置主晶振时钟、内部快速 RC 振荡器时钟
- 可在低功耗模式 (Light-sleep mode) 下工作
- 支持硬件自动步进式地增加或减少占空比，可用于 LED RGB 彩色梯度发生器
- 每个 PWM 生成器包含 16 个占空比渐变区间，用于生成占空比伽玛曲线渐变的信号。每个区间都可以独立配置占空比变化方向（增加或减少）、变化步长、变化次数以及变化频率

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 LED PWM 控制器。

管脚分配

LED PWM 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.8 脉冲计数控制器

ESP32-C5 的脉冲计数控制器 (PCNT) 通过七种模式捕捉脉冲并对脉冲边沿计数。

特性

- 四个脉冲计数控制器（单元），各自独立工作，计数范围是 1 ~ 65535
- 每个单元有两个独立的通道，共用一个脉冲计数控制器
- 所有通道均有输入脉冲信号（如 sig_ch0_un）和相应的控制信号（如 ctrl_ch0_un）
- 滤波器独立工作，过滤每个单元输入脉冲信号（sig_ch0_un 和 sig_ch1_un）控制信号（ctrl_ch0_un 和 ctrl_ch1_un）的毛刺
- 每个通道参数如下：
 1. 选择在输入脉冲信号的上升沿或下降沿计数

2. 在控制信号为高电平或低电平时可将计数模式配置为递增、递减或停止计数

- 支持步长计数
- 最大脉冲频率：40 MHz

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 脉冲计数控制器。

管脚分配

脉冲计数控制器管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.9 电机控制脉宽调制器

ESP32-C5 包含一个电机控制脉宽调制器 (MCPWM)，可以用于驱动数字马达和智能灯。

特性

- 包含一个时钟分频器（预分频器）、三个 PWM 定时器、三个 PWM 操作器和一个捕捉模块。PWM 定时器用于生成定时参考，PWM 操作器将根据定时参考生成所需的波形
- 任一 PWM 操作器可以使用任一 PWM 定时器的定时参考
- 不同 PWM 操作器可以使用相同 PWM 定时器的定时参考来产生 PWM 信号
- 不同 PWM 操作器可以使用不同 PWM 定时器的值来生成单独的 PWM 信号
- 不同 PWM 定时器可以进行同步

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 电机控制脉宽调制器 (MCPWM)。

管脚分配

MCPWM 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.10 红外遥控

红外遥控器 (RMT) 支持双通道的红外发射和双通道的红外接收。通过程序控制脉冲波形，遥控器可以支持多种红外协议和单线协议。

特性

- 共配置四个通道：
 - 0 ~ 1 通道支持发送
 - 2 ~ 3 通道支持接收
 - 四个通道共享 192 x 32 位的 RAM
- 发射器支持以下模式：

- 普通发送模式
- 乒乓发送模式
- 载波调制
- 持续发送模式
- 多通道同时发送
- 接收器支持以下模式：
 - 普通接收模式
 - 乒乓接收模式
 - 接收滤波
 - 载波解调

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 红外遥控 (RMT)。

管脚分配

RMT 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.11 并行 IO 控制器

ESP32-C5 带有一个 PARLIO 控制器，该外设用于传输并行数据，包含接受和发送两个模块，并连接 GDMA 控制器。全双工模式下最多支持 4 位宽并行数据的接收和发送，半双工模式下最多支持 8 位宽并行数据的接收或者发送。

特性

- 支持多种时钟源选择以及时钟分频，最大时钟频率为 40 MHz
- 接收/发送模块支持对输入时钟和输出时钟分别取反
- 支持 1/2/4/8 位宽的数据接收/发送
- 支持 1/2/4 位宽模式下的接收/发送数据比特采集顺序转换
- 接收模块支持多种接收数据采集模式
- 接收模块支持多种 GDMA EOF 信号生成模式
- 支持对外输出片选信号且该信号的延迟周期可配置
- 支持门控发送时钟

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 并行 IO 控制器。

管脚分配

PARLIO 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.12 比特调节器

ESP32-C5 中有大量支持 DMA（直接存储器访问）的外设，它们可以在 CPU 不参与的情况下将数据从存储器传输到外设或从外设传输到存储器，但这需要外设传输的数据格式与软件支持的数据格式相同，如果格式不同，则需要 CPU 重写数据格式，如交换字节、反转字节和左右移位数据。

由于位操作通常相当耗费 CPU 资源，而设计 DMA 的初衷是在传输过程中避免使用 CPU，因此 ESP32-C5 集成了一个比特调节器 (BitScrambler)，专门用于修改存储器和外设之间传输数据的格式，其中一个 RX 通道用于外设到存储器方向的传输，另一个 TX 通道用于存储器到外设方向的传输。除此之外，比特调节器还是一个灵活的可编程状态机，能够执行更高级的操作。

特性

- 一个比特调节器，具有一个 RX 通道（外设到存储器）和一个 TX 通道（存储器到外设）。RX 和 TX 通道为半双工模式，且不可以同时工作
- 支持存储器到存储器的传输
- 每个 DMA 时钟周期最多可处理 32 位数据
- 数据路由由存储在指令存储器中的比特调节器程序控制
- 输入寄存器每个时钟周期可读取 0、8、16 或 32 位
- 输出寄存器：
 - 每个时钟周期可写入 0、8、16 或 32 位
 - 输出寄存器位的数据源：64 位输入数据、两个计数器、LUT RAM 数据、上个周期的数据输出、比较器
 - 32 位输出寄存器位中的每一位可以来自数据源的任意位
- 8 x 257 位指令存储器，用于存储八条指令，配置控制流和数据路径
- 2048 字节查找表 (LUT) 存储器，可配置为不同的字宽

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 比特调节器。

管脚分配

比特调节器无需直接与 IO 进行交互，因此无需分配管脚。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.1.13 SDIO 从机控制器

ESP32-C5 芯片中的 SDIO 从机控制器提供了对安全数字输入/输出 (SDIO) 设备接口的硬件支持，允许 SDIO 主机通过 SDIO 总线协议访问 ESP32-C5。

特性

- 符合 SDIO 物理层规范 V2.00 和 SDIO 规范 V2.00
- 支持 SPI、1-bit SDIO 和 4-bit SDIO 传输模式
- 0 ~ 50 MHz 时钟范围
- 采样时钟沿或驱动时钟沿可配置
- 为信息交互设定的特定寄存器
- 支持 SDIO 中断机制
- 支持自动填充 SDIO 总线上的发送数据，同样支持自动丢弃 SDIO 总线上的填充数据
- 高达 512 字节的块大小
- 主机与从机 (slave) 间有中断向量可以相互中断对方
- 带有数据传输的 DMA
- 支持在保持连接的状态下进行休眠唤醒

更多信息，请参考 [《ESP32-C5 技术参考手册》](#) > 章节 *SDIO 从机控制器 (SDIO)*。

管脚分配

SDIO 从机控制器管脚通过 IO MUX 与 GPIO7 ~ GPIO10、GPIO13 和 GPIO14 复用。其中 GPIO13 ~ GPIO14 与 USB 串口/JTAG 控制器管脚复用，SDIO 从机控制器在单线模式下可以与 USB 串口/JTAG 控制器同时使用，但在四线模式下不能与 USB 串口/JTAG 控制器同时使用。

更多关于管脚分配的信息，请参考 章节 2.3 *IO 管脚* 和 [《ESP32-C5 技术参考手册》](#) > 章节 *GPIO 交换矩阵和 IO MUX*。

说明：

芯片版本 v0.0、v0.1 不支持该外设。

4.2.2 模拟信号处理

本小节描述芯片上感知和处理现实世界数据的组件。

4.2.2.1 温度传感器

ESP32-C5 搭载了一个温度传感器，用于实时测量芯片内部温度。温度传感器可将输出的电压转换成数字值，并且带有补偿温度偏移的功能。

特性

- 支持软件触发测量温度，且一旦触发后，传感器可持续测量温度，软件可实时读取数据
- 支持硬件触发自动监测温度
- 支持两种自动监测模式且发送中断
- 支持根据使用环境配置温度偏移，提高测试精度

- 温度测量范围可配置
- 支持多个事件任务矩阵 (ETM) 相关的事件和任务

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节 温度传感器。

4.2.2.2 ADC 控制器

ESP32-C5 搭载了一个 12 位逐次逼近型模拟数字转换器 (SAR ADC), 用于测量最多来自 6 个管脚上的模拟信号。

特性

- 12 位分辨率
- 支持采集最多 6 个管脚上的模拟信号
- 支持单次采样模式和多通道采样模式
- 在多通道采样模式下, 支持:
 - 自定义采样通道顺序
 - 两个滤波器, 滤波系数可配
 - 阈值监控, 滤波后数据大于设置的高阈值或小于设置的低阈值将产生中断
 - GDMA 连续数据搬运
- 支持多个事件任务矩阵 (ETM) 相关的事件和任务

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节 ADC 控制器。

管脚分配

ADC 控制器管脚与 GPIO1 ~ GPIO6 复用。

更多关于管脚分配的信息, 请参考 章节 2.3 IO 管脚 和 [《ESP32-C5 技术参考手册》](#) > 章节 GPIO 交换矩阵和 IO MUX。

4.2.2.3 模拟电压比较器

ESP32-C5 提供了一个模拟电压比较器, 包含两个特殊芯片焊盘 (PAD), 可用于比较两个 PAD 的电压大小关系, 也可以使用其中一个 PAD 与内部可调节的稳定电压进行比较。

特性

- 参考电压可选择内部参考电压或者外部参考电压
- 内部参考电压支持 $0 \sim 0.7 * VDD_PST$
- 支持 ETM
- 待测电压经过参考电压时, 输出中断

更多信息, 请参考 [《ESP32-C5 技术参考手册》](#) > 章节 模拟电压比较器。

管脚分配

模拟电压比较器是专用的 PAD，仅 GPIO8 和 GPIO9 支持，其中 GPIO9 为待测管脚，GPIO8 在使用外部参考电压时为参考管脚。

更多关于管脚分配的信息，请参考 章节 [2.3 IO 管脚](#) 和 [《ESP32-C5 技术参考手册》](#) > 章节 *GPIO 交换矩阵和 IO MUX*。

4.3 无线通信

本节描述了芯片的无线通信能力，涵盖无线电模块、Wi-Fi 和蓝牙。

4.3.1 无线电

本小节描述了嵌入在芯片中的基本无线电模块，用于实现无线通信和数据交换。

4.3.1.1 2.4 & 5 GHz 接收器

2.4 & 5 GHz 接收器将 2.4 & 5 GHz 射频信号解调为正交基带信号，并用两个高精度、高速的 ADC 将后者转为数字信号。为了适应不同的信道情况，ESP32-C5 集成了 RF 滤波器、自动增益控制 (AGC)、DC 偏移补偿电路和基带滤波器。

4.3.1.2 2.4 & 5 GHz 发射器

2.4 & 5 GHz 发射器将正交基带信号调制为 2.4 & 5 GHz 射频信号，使用大功率互补金属氧化物半导体 (CMOS) 功率放大器驱动天线。数字校准进一步改善了功率放大器的线性。

为了抵消射频接收器的瑕疵，ESP32-C5 还另增了校准措施，例如：

- 载波泄露消除
- I/Q 幅度/相位匹配
- 基带非线性抑制
- 射频非线性抑制
- 天线匹配

这些内置校准措施缩短了产品的测试时间，并且不再需要测试设备。

4.3.1.3 时钟生成器

时钟生成器为接收器和发射器生成 2.4 & 5 GHz 正交时钟信号，所有部件均集成于芯片上，包括电感、变容二极管、环路滤波器、线性稳压器和分频器。

时钟生成器带有内置校准电路和自测电路。运用自主知识产权的优化算法，对正交时钟的相位和相位噪声进行优化处理，使接收器和发射器都有最好的性能表现。

4.3.2 Wi-Fi

本小节描述了芯片的 Wi-Fi 能力，用于实现高速无线通信。

4.3.2.1 Wi-Fi 无线电和基带

ESP32-C5 Wi-Fi 无线电和基带支持以下特性：

- 支持 IEEE 802.11a/b/g/n/ac/ax
- 2.4 & 5 GHz 双频段，支持 1T1R
- 802.11ax
 - 支持仅 20 MHz 非接入点工作模式 (20 MHz-only non-AP mode)

- 2.4 GHz 频段支持 MCS0 ~ MCS9
- 5 GHz 频段支持 MCS0 ~ MCS7
- 上行、下行正交频分多址 (OFDMA) 接入
- 下行全带宽、部分带宽多用户多输入多输出接入 (MU-MIMO)
- 更长的 OFDM 符号 (OFDM symbol), 0.8、1.6、3.2 μ s 保护间隔
- 双载波调制 (dual carrier modulation, DCM), 最高支持 16-QAM 正交幅度调制
- 单用户/多用户波束成形接收端 (SU/MU beamformee)
- 信道质量指示 (channel quality indication, CQI)
- RX 空时分组编码 (STBC) (单空间流)
- 802.11ac:
 - MCS0 ~ MCS7, 支持 20 MHz 带宽
 - 下行全带宽多用户多输入多输出接入 (MU-MIMO)
 - 单用户/多用户波束成形接收端 (SU/MU beamformee)
 - RX 空时分组编码 (STBC) (单空间流)
 - 0.4 μ s 保护间隔
- 802.11a/b/g/n:
 - MCS0 ~ MCS7, 支持 20 MHz 和 40 MHz 带宽
 - MCS32
 - 数据速率高达 150 Mbps
 - 支持 0.4 μ s 保护间隔
- 可调节的发射功率
- 天线分集

ESP32-C5 支持基于外部射频开关的天线分集与选择。外部射频开关由一个或多个 GPIO 管脚控制, 用来选择最合适的天线以减少信道衰落的影响。

4.3.2.2 Wi-Fi MAC

ESP32-C5 完全遵循 IEEE 802.11a/b/g/n/ac/ax Wi-Fi MAC 协议栈, 支持增强型分布式信道接入 (EDCA) 下的基本服务集 (BSS) STA 和 SoftAP 操作。支持通过最小化主机交互来优化有效工作时长, 以实现功耗管理。

ESP32-C5 Wi-Fi MAC 自行支持的底层协议功能如下:

- 4 个虚拟 Wi-Fi 接口
- 同时支持基础结构型网络 (infrastructure BSS) Station 模式、SoftAP 模式、Station + SoftAP 模式和混杂模式
- RTS 保护, CTS-to-Self 保护, 立即块确认 (immediate block ACK)
- 分片和重组 (fragmentation and defragmentation)
- TX/RX A-MPDU, TX/RX A-MSDU

- 传输机会 (TXOP)
- 无线多媒体 (WMM)
- GCMP、CCMP、TKIP、WAPI、WEP、BIP、WPA2 个人模式 (WPA2-PSK) 及 WPA3 个人模式 (WPA3-PSK)
- 自动 Beacon 监测 (硬件 TSF)
- 802.11mc FTM
- 802.11ax 支持以下特性：
 - 请求端目标唤醒时间机制 (target wake time, TWT)
 - 多个基本服务集标识符 (multiple BSSIDs)
 - 触发响应调度 (triggered response scheduling)
 - 多用户传送要求 (MU-RTS)、多用户块确认请求 (MU-BAR)、多站点用户块确认 (M-BA)
 - 协议数据单元内的省电模式 (intra-PPDU power saving)
 - 两个网络分配向量 (NAV)
 - BSS 着色机制 (BSS coloring)
 - 空间复用 (spatial reuse)
 - 上行功率余量 (uplink power headroom)
 - 运行模式控制 (operating mode control)
 - 缓存状态报告 (buffer status report)
 - TXOP 持续时间 RTS 阈值
 - 上行随机接入机制 (UL-OFDMA random access, UORA)

4.3.2.3 网络特性

乐鑫提供的固件支持 TCP/IP 联网、ESP-WIFI-MESH 联网或其他 Wi-Fi 联网协议，同时也支持 TLS 1.0、1.1、1.2。

4.3.3 低功耗蓝牙

本小节描述了芯片的蓝牙能力，用于实现低功耗、短距离应用的无线通信。

4.3.3.1 低功耗蓝牙物理层

ESP32-C5 系列芯片低功耗蓝牙物理层支持以下特性：

- 1 Mbps PHY
- 2 Mbps PHY，用于提升传输速率
- coded PHY (125 Kbps and 500 Kbps)，用于提升传输距离
- 硬件实现 Listen Before Talk (LBT)

4.3.3.2 低功耗蓝牙链路控制器

ESP32-C5 系列芯片低功耗蓝牙链路控制器和主机支持以下特性：

- 基于到达角和出发角的蓝牙方向查找功能 (direction finding, AoA/AoD)
- 带回复的周期性广播 (PAwR)
- 亚速率连接模式 (LE connection subrating)
- 扩展广播以及多广播支持 (LE advertising extensions)
- 广播者/观察者/中央设备/外围设备多角色并发运行
- 自适应跳频及信道评估 (AFH)
- 信道选择算法 #2 (channel selection algorithm #2)
- 功率控制 (LE power control)
- 广播编码选择 (advertising coding selection)
- 加密广播数据 (encrypted advertising data)
- LE GATT 安全等级特性 (LE GATT security levels characteristic)
- 周期性广播中的广播数据信息 (AdvDataInfo)
- LE 信道分类 (LE channel classification)
- 增强型属性协议 (enhanced attribute protocol)
- 广播信道索引 (advertising channel index)
- GATT 缓存 (GATT caching)
- 周期性广播同步传输 (periodic advertising sync transfer)
- 高占空比非可连接广播 (high duty cycle non-connectable advertising)
- LE 数据包长度扩展 (LE data packet length extension)
- LE 安全连接 (LE secure connections)
- LE 隐私 1.2 版本 (LE privacy 1.2)
- 链路层扩展扫描器过滤策略 (link layer extended scanner filter policies)
- 低占空比定向广播 (low duty cycle directed advertising)
- 链路层加密 (link layer encryption)
- LE ping

4.3.4 802.15.4

本小节描述了芯片与 802.15.4 标准的兼容性，用于实现低功耗、短距离应用的无线通信。

4.3.4.1 802.15.4 物理层

ESP32-C5 802.15.4 PHY 支持以下特性：

- 2.4 GHz 频段 O-QPSK PHY

- 250 Kbps 数据率
- 支持 RSSI 和 LQI

4.3.4.2 802.15.4 MAC

ESP32-C5 支持 [IEEE 标准 802.15.4-2015](#) 中定义的主要特性，包括：

- CSMA/CA
- 主动扫描和能量检测
- HW 帧过滤
- HW 自动应答
- HW 自动帧等待
- 协调采样侦听（coordinated sampled listening）

5 电气特性

5.1 绝对最大额定值

超出表 5-1 绝对最大额定值的绝对最大额定值可能导致器件永久性损坏。这只是强调的额定值，不涉及器件在这些或其它条件下超出章节 5.2 建议电源条件技术规格指标的功能性操作。长时间暴露在绝对最大额定条件下可能会影响设备的可靠性。

表 5-1. 绝对最大额定值

参数	说明	最小值	最大值	单位
输入电源管脚 ¹	允许输入电压	-0.3	3.6	V
T_{STORE}	存储温度	-40	150	°C

¹ 更多关于输入电源管脚的信息，见章节 2.5.1 电源管脚。

5.2 建议电源条件

推荐环境温度，请参考章节 1 ESP32-C5 系列型号信息。

表 5-2. 建议电源条件

参数 ¹	说明	最小值	典型值	最大值	单位
VDDA1, VDDA2, VDDA3, VDDA4, VDDA5, VDDA6, VDDA7, VDDA8	建议输入电压	3.0	3.3	3.6	V
VDDPST1, VDDPST3	建议输入电压	3.0	3.3	3.6	V
VDD_SPI (输入)	—	3.0	3.3	3.6	V
VDDPST2 ^{2,3}	建议输入电压	3.0	3.3	3.6	V
I_{VDD}	输入总电流	0.6	—	—	A

¹ 请结合章节 2.5 电源 阅读。

² 使用 VDDPST2 给 VDD_SPI 供电时（见章节 2.5.2 电源管理），应考虑 R_{SPI} 的电压降。

³ 写 eFuse 时，由于烧录 eFuse 的电路较敏感，VDDPST2 的电压应不超过 3.3 V。

5.3 VDD_SPI 输出特性

表 5-3. VDD_SPI 内部和输出特性

参数	说明 ¹	典型值	单位
R_{SPI}	VDD_SPI 连接 3.3 V flash 或 PSRAM 时，由 VDDPST2 经 R_{SPI} 供电 ²	3	Ω

¹ 请结合章节 2.5.2 电源管理 阅读。

² $VDD3P3_RTC$ 需高于 $VDD_flash_min + I_flash_max * R_{SPI}$ ，其中

- VDD_flash_min – flash 的最小工作电压
- I_flash_max – flash 的最大工作电流

5.4 直流电气特性 (3.3 V, 25 °C)

表 5-4. 直流电气特性 (3.3 V, 25 °C)

参数	说明	最小值	典型值	最大值	单位
C_{IN}	管脚电容	—	2	—	pF
V_{IH}	高电平输入电压	$0.75 \times VDD^1$	—	$VDD^1 + 0.3$	V
V_{IL}	低电平输入电压	-0.3	—	$0.25 \times VDD^1$	V
I_{IH}	高电平输入电流	—	—	50	nA
I_{IL}	低电平输入电流	—	—	50	nA
V_{OH}^2	高电平输出电压	$0.8 \times VDD^1$	—	—	V
V_{OL}^2	低电平输出电压	—	—	$0.1 \times VDD^1$	V
I_{OH}	高电平拉电流 ($VDD^1 = 3.3\text{ V}$, $V_{OH} \geq 2.64\text{ V}$, PAD_DRIVER = 3)	—	40	—	mA
I_{OL}	低电平灌电流 ($VDD^1 = 3.3\text{ V}$, $V_{OL} = 0.495\text{ V}$, PAD_DRIVER = 3)	—	28	—	mA
R_{PU}	内部弱上拉电阻	—	45	—	k Ω
R_{PD}	内部弱下拉电阻	—	45	—	k Ω
V_{IH_nRST}	芯片复位释放电压 (CHIP_PU 应满足电压范围)	$0.75 \times VDD^1$	—	$VDD^1 + 0.3$	V
V_{IL_nRST}	芯片复位电压 (CHIP_PU 应满足电压范围)	-0.3	—	$0.25 \times VDD^1$	V

¹ VDD – 各个电源域电源管脚的电压。

² V_{OH} 和 V_{OL} 为负载是高阻条件下的测试值。

5.5 ADC 特性

本章节数据是在 ADC 外接 100 nF 电容、输入为 DC 信号、25 °C 环境温度、Wi-Fi 关闭条件下的测量结果。

表 5-5. ADC 特性

符号	最小值	最大值	单位
DNL (差分非线性) ¹	-5	5	LSB
INL (积分非线性)	-5	5	LSB
采样速度	—	2000	kSPS ²

¹ 使用滤波器多次采样或计算平均值可以获得更好的 DNL 结果。

² kSPS (kilo samples-per-second) 表示每秒采样千次。

ADC 经硬件校准和[软件校准](#)后的结果如表 5-6 所示。如需更高的精度，可选用其他方法自行校准。

表 5-6. ADC 校准结果

参数	说明	最小值	最大值	单位
	ATTEN0，有效测量范围 0 ~ 1000	-10	10	mV

总误差

表 5-6. ADC 校准结果

参数	说明	最小值	最大值	单位
	ATTEN1, 有效测量范围 0 ~ 1300	-10	10	mV
	ATTEN2, 有效测量范围 0 ~ 1900	-12	12	mV
	ATTEN3, 有效测量范围 0 ~ 3300	-15	15	mV

5.6 功耗特性

5.6.1 Active 模式下的 RF 功耗

下列功耗数据是基于 3.3 V 供电电源、25 °C 环境温度的条件下测得。所有发射功耗数据均基于 100% 的占空比测得。

所有接收功耗数据均是在外设关闭、CPU 空闲的条件下测得。

表 5-7. Active 模式下 Wi-Fi (2.4 GHz) 功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	802.11b, 1 Mbps, DSSS @ 20dBm	339
		802.11g, 54 Mbps, OFDM @ 17dBm	270
		802.11n, HT20, MCS7 @ 17dBm	271
		802.11n, HT40, MCS7 @ 16dBm	259
		802.11ax, MCS9 @ 15dBm	246
	接收 (RX)	802.11b/g/n, HT20	99
		802.11n, HT40	107
		802.11ax, HE20	100

表 5-8. Active 模式下 Wi-Fi (5 GHz) 功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	802.11a, 6 Mbps, OFDM @ 17dBm	381
		802.11n, HT20, MCS7 @ 15dBm	377
		802.11n, HT40, MCS7 @ 15dBm	380
		802.11ac, VHT20, MCS7 @ 15dBm	377
		802.11ax, HE20, MCS7 @ 15dBm	377
	接收 (RX)	802.11a/n, HT20	130
		802.11n, HT40	135
		802.11ac, VHT20	127
		802.11ax, HE20	130

表 5-9. Active 模式下低功耗蓝牙功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	低功耗蓝牙 @ 20dBm	338
		低功耗蓝牙 @ 8dBm	195
		低功耗蓝牙 @ 0dBm	181
		低功耗蓝牙 @ -15dBm	109
	接收 (RX)	低功耗蓝牙	89

表 5-10. Active 模式下 802.15.4 功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	802.15.4 @ 20dBm	325
		802.15.4 @ 8dBm	192
		802.15.4 @ 0dBm	180
		802.15.4 @ -15dBm	111
	接收 (RX)	802.15.4	93

5.6.2 其他功耗模式下的功耗

表 5-11. Modem-sleep 模式下的功耗

模式	CPU 频率 (MHz)	描述	典型值 (mA)	
			外设时钟全关	外设时钟全开 ¹
Modem-sleep ^{2,3}	240	WAITI	18	27
		CPU 循环计算	26	35
		Run CoreMark	34	43
	160	WAITI	15	27
		CPU 循环计算	20	32
		Run CoreMark	26	37
	80	WAITI	12	24
		CPU 循环计算	15	26
		Run CoreMark	18	29
	40	WAITI	8	18
		CPU 循环计算	10	19
		Run CoreMark	12	21

¹ 实际情况下，外设在不同工作状态下电流会有所差异。

² Modem sleep 模式下，Wi-Fi 设有时钟门控。

³ Modem-sleep 模式下，访问 flash 时功耗会增加。

表 5-12. 低功耗模式下的功耗

工作模式	说明	典型值 (mA)
Light-sleep	CPU、无线通讯模块电源关闭，外设时钟关闭，所有 GPIO 设置为高阻抗状态	0.25
	CPU、无线通讯模块、外设电源关闭，所有 GPIO 设置为高阻抗状态	0.06
Deep-sleep	RTC 定时器和 LP 存储器上电	0.012
关闭	CHIP_PU 管脚拉低，芯片关闭	0.002

5.7 可靠性

表 5-13. 可靠性认证

测试项目	测试条件	测试标准
HTOL (高温工作寿命)	125 °C, 1000 小时, 3.6 V ¹	JESD22-A108
ESD (静电放电敏感度)	HBM (人体放电模式) ² ± 2000 V	JS-001
	CDM (充电器件模式) ³ ± 1000 V	JS-002
闩锁测试 (Latch-up)	过电流 ± 200 mA	JESD78
	过电压 $1.5 \times VDD_{max}$	
预处理测试	烘烤: 125 °C, 24 小时 浸泡: 三级 (30 °C, 60% RH, 192 小时) 回流焊: 260 ± 0 °C, 20 秒, 三次	J-STD-020、JESD47、JESD22-A113
TCT (温度循环测试)	-65 °C / 150 °C, 500 次循环	JESD22-A104
uHAST (无偏压高加速温湿度应力试验)	130 °C, 85% RH, 96 小时	JESD22-A118
HTSL (高温贮存寿命)	150 °C, 1000 小时	JESD22-A103
LTSL (低温存储寿命)	-40 °C, 1000 小时	JESD22-A119

¹ 5G 射频部分单独进行了 HTOL 测试, 测试条件为 105°C、1700 小时、3.45 V。

² JEDEC 文档 JEP155 规定: 500 V HBM 能够在标准 ESD 控制流程下安全生产。

³ JEDEC 文档 JEP157 规定: 250 V CDM 能够在标准 ESD 控制流程下安全生产。

6 射频特性

本章提供的是产品的射频特性。

射频数据是在天线端口处连接射频线后测试所得，包含了射频前端电路带来的损耗。射频前端电路为 $0\ \Omega$ 电阻。

工作信道中心频率范围应符合国家或地区的规范标准。软件可以配置工作信道中心频率范围，具体请参考 [《ESP 射频测试指南》](#)。

除非特别说明，射频测试均是在 3.3 V ($\pm 5\%$) 供电电源、 $25\text{ }^{\circ}\text{C}$ 环境温度的条件下完成。

6.1 2.4 GHz Wi-Fi 射频

表 6-1. 2.4 GHz Wi-Fi 射频规格

名称	描述
工作信道中心频率范围	2412 ~ 2484 MHz
无线标准	IEEE 802.11b/g/n/ax

6.1.1 2.4 GHz Wi-Fi 射频发射器 (TX) 特性

表 6-2. 2.4 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	20.0	—
802.11b, 11 Mbps, CCK	—	20.0	—
802.11g, 6 Mbps, OFDM	—	19.0	—
802.11g, 54 Mbps, OFDM	—	17.0	—
802.11n, HT20, MCS0	—	19.0	—
802.11n, HT20, MCS7	—	17.0	—
802.11n, HT40, MCS0	—	18.0	—
802.11n, HT40, MCS7	—	16.0	—
802.11ax, HE20, MCS0	—	19.0	—
802.11ax, HE20, MCS9	—	15.0	—

表 6-3. 2.4 GHz 发射 EVM 测试¹

速率	最小值 (dB)	典型值 (dB)	标准限值 (dB)
802.11b, 1 Mbps, DSSS	—	-25.0	-10.0
802.11b, 11 Mbps, CCK	—	-25.0	-10.0
802.11g, 6 Mbps, OFDM	—	-25.0	-5.0
802.11g, 54 Mbps, OFDM	—	-30.0	-25.0

见下页

表 6-3 – 接上页

速率	最小值 (dB)	典型值 (dB)	标准限值 (dB)
802.11n, HT20, MCS0	—	-25.0	-5.0
802.11n, HT20, MCS7	—	-31.5	-27.0
802.11n, HT40, MCS0	—	-25.0	-5.0
802.11n, HT40, MCS7	—	-32.0	-27.0
802.11ax, HE20, MCS0	—	-25.0	-5.0
802.11ax, HE20, MCS9	—	-34.5	-32.0

¹ 发射 EVM 的每个测试项对应的发射功率为表 6-2 2.4 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率中提供的典型值。

6.1.2 2.4 GHz Wi-Fi 射频接收器 (RX) 特性

802.11b 标准下的误包率 (PER) 不超过 8%，802.11g/n/ax 标准下不超过 10%。

表 6-4. 2.4 GHz 接收灵敏度

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	-101.0	—
802.11b, 2 Mbps, DSSS	—	-98.0	—
802.11b, 5.5 Mbps, CCK	—	-95.0	—
802.11b, 11 Mbps, CCK	—	-91.0	—
802.11g, 6 Mbps, OFDM	—	-96.0	—
802.11g, 9 Mbps, OFDM	—	-94.0	—
802.11g, 12 Mbps, OFDM	—	-93.0	—
802.11g, 18 Mbps, OFDM	—	-91.0	—
802.11g, 24 Mbps, OFDM	—	-88.0	—
802.11g, 36 Mbps, OFDM	—	-85.0	—
802.11g, 48 Mbps, OFDM	—	-81.0	—
802.11g, 54 Mbps, OFDM	—	-79.0	—
802.11n, HT20, MCS0	—	-95.5	—
802.11n, HT20, MCS1	—	-94.0	—
802.11n, HT20, MCS2	—	-91.0	—
802.11n, HT20, MCS3	—	-88.0	—
802.11n, HT20, MCS4	—	-84.5	—
802.11n, HT20, MCS5	—	-80.0	—
802.11n, HT20, MCS6	—	-78.0	—
802.11n, HT20, MCS7	—	-77.0	—
802.11n, HT40, MCS0	—	-93.0	—
802.11n, HT40, MCS1	—	-91.0	—
802.11n, HT40, MCS2	—	-88.0	—
802.11n, HT40, MCS3	—	-84.0	—

见下页

表 6-4 – 接上页

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11n, HT40, MCS4	—	-82.0	—
802.11n, HT40, MCS5	—	-77.0	—
802.11n, HT40, MCS6	—	-75.0	—
802.11n, HT40, MCS7	—	-74.0	—
802.11ax, HE20, MCS0	—	-95.5	—
802.11ax, HE20, MCS1	—	-92.5	—
802.11ax, HE20, MCS2	—	-90.0	—
802.11ax, HE20, MCS3	—	-87.0	—
802.11ax, HE20, MCS4	—	-84.0	—
802.11ax, HE20, MCS5	—	-80.0	—
802.11ax, HE20, MCS6	—	-78.5	—
802.11ax, HE20, MCS7	—	-76.5	—
802.11ax, HE20, MCS8	—	-72.5	—
802.11ax, HE20, MCS9	—	-70.5	—

表 6-5. 2.4 GHz 最大接收电平

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	5	—
802.11b, 11 Mbps, CCK	—	5	—
802.11g, 6 Mbps, OFDM	—	5	—
802.11g, 54 Mbps, OFDM	—	0	—
802.11n, HT20, MCS0	—	5	—
802.11n, HT20, MCS7	—	0	—
802.11n, HT40, MCS0	—	5	—
802.11n, HT40, MCS7	—	0	—
802.11ax, HE20, MCS0	—	5	—
802.11ax, HE20, MCS9	—	0	—

表 6-6. 2.4 GHz 接收邻道抑制

速率	最小值 (dB)	典型值 (dB)	最大值 (dB)
802.11b, 1 Mbps, DSSS	—	41	—
802.11b, 11 Mbps, CCK	—	40	—
802.11g, 6 Mbps, OFDM	—	37	—
802.11g, 54 Mbps, OFDM	—	17	—
802.11n, HT20, MCS0	—	34	—
802.11n, HT20, MCS7	—	16	—

见下页

表 6-6 – 接上页

速率	最小值 (dB)	典型值 (dB)	最大值 (dB)
802.11n, HT40, MCS0	—	24	—
802.11n, HT40, MCS7	—	13	—
802.11ax, HE20, MCS0	—	38	—
802.11ax, HE20, MCS9	—	12	—

6.2 5 GHz Wi-Fi 射频

表 6-7. 5 GHz Wi-Fi 射频规格

名称	描述
工作信道中心频率范围	5180 ~ 5885 MHz
无线标准	IEEE 802.11a/n/ac/ax

6.2.1 5 GHz Wi-Fi 射频发射器 (TX) 特性

表 6-8. 5 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11a, 6 Mbps, OFDM	—	19.0	—
802.11a, 54 Mbps, OFDM	—	17.0	—
802.11n, HT20, MCS0	—	19.0	—
802.11n, HT20, MCS7	—	16.0	—
802.11n, HT40, MCS0	—	18.0	—
802.11n, HT40, MCS7	—	15.0	—
802.11ac, VHT20, MCS0	—	19.0	—
802.11ac, VHT20, MCS7	—	16.0	—
802.11ax, HE20, MCS0	—	19.0	—
802.11ax, HE20, MCS7	—	16.0	—

表 6-9. 5 GHz 发射 EVM 测试¹

速率	最小值 (dB)	典型值 (dB)	标准限值 (dB)
802.11a, 6 Mbps, OFDM	—	-25.0	-5.0
802.11a, 54 Mbps, OFDM	—	-29.0	-25.0
802.11n, HT20, MCS0	—	-25.0	-5.0
802.11n, HT20, MCS7	—	-31.0	-27.0
802.11n, HT40, MCS0	—	-25.0	-5.0
802.11n, HT40, MCS7	—	-31.0	-27.0

见下页

表 6-9 – 接上页

速率	最小值 (dB)	典型值 (dB)	标准限值 (dB)
802.11ac, VHT20, MCS0	—	−25.0	−5.0
802.11ac, VHT20, MCS7	—	−31.0	−27.0
802.11ax, HE20, MCS0	—	−25.0	−5.0
802.11ax, HE20, MCS7	—	−31.5	−27.0

¹ 发射 EVM 的每个测试项对应的发射功率为表 6-8 5 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率中提供的典型值。

6.2.2 5 GHz Wi-Fi 射频接收器 (RX) 特性

802.11a/n/ac/ax 标准下的误包率 (PER) 不超过 10%。

表 6-10. 5 GHz 接收灵敏度

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11a, 6 Mbps, OFDM	—	−95.0	—
802.11a, 9 Mbps, OFDM	—	−93.5	—
802.11a, 12 Mbps, OFDM	—	−92.0	—
802.11a, 18 Mbps, OFDM	—	−90.0	—
802.11a, 24 Mbps, OFDM	—	−87.0	—
802.11a, 36 Mbps, OFDM	—	−84.0	—
802.11a, 48 Mbps, OFDM	—	−79.0	—
802.11a, 54 Mbps, OFDM	—	−77.0	—
802.11n, HT20, MCS0	—	−94.5	—
802.11n, HT20, MCS1	—	−93.0	—
802.11n, HT20, MCS2	—	−90.0	—
802.11n, HT20, MCS3	—	−87.0	—
802.11n, HT20, MCS4	—	−83.0	—
802.11n, HT20, MCS5	—	−79.0	—
802.11n, HT20, MCS6	—	−77.5	—
802.11n, HT20, MCS7	—	−76.0	—
802.11n, HT40, MCS0	—	−92.0	—
802.11n, HT40, MCS1	—	−90.0	—
802.11n, HT40, MCS2	—	−87.0	—
802.11n, HT40, MCS3	—	−84.0	—
802.11n, HT40, MCS4	—	−81.0	—
802.11n, HT40, MCS5	—	−76.0	—
802.11n, HT40, MCS6	—	−74.0	—
802.11n, HT40, MCS7	—	−73.0	—
802.11ac, VHT20, MCS0	—	−95.0	—
802.11ac, VHT20, MCS1	—	−93.0	—

见下页

表 6-10 – 接上页

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11ac, VHT20, MCS2	—	-90.0	—
802.11ac, VHT20, MCS3	—	-87.0	—
802.11ac, VHT20, MCS4	—	-83.5	—
802.11ac, VHT20, MCS5	—	-79.0	—
802.11ac, VHT20, MCS6	—	-77.5	—
802.11ac, VHT20, MCS7	—	-76.0	—
802.11ax, HE20, MCS0	—	-94.5	—
802.11ax, HE20, MCS1	—	-91.5	—
802.11ax, HE20, MCS2	—	-88.5	—
802.11ax, HE20, MCS3	—	-86.0	—
802.11ax, HE20, MCS4	—	-82.5	—
802.11ax, HE20, MCS5	—	-79.0	—
802.11ax, HE20, MCS6	—	-77.5	—
802.11ax, HE20, MCS7	—	-75.0	—

表 6-11. 5 GHz 最大接收电平

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11a, 6 Mbps, OFDM	—	5	—
802.11a, 54 Mbps, OFDM	—	0	—
802.11n, HT20, MCS0	—	5	—
802.11n, HT20, MCS7	—	0	—
802.11n, HT40, MCS0	—	5	—
802.11n, HT40, MCS7	—	0	—
802.11ac, VHT20, MCS0	—	5	—
802.11ac, VHT20, MCS7	—	0	—
802.11ax, HE20, MCS0	—	5	—
802.11ax, HE20, MCS7	—	0	—

表 6-12. 5 GHz 接收邻道抑制

速率	最小值 (dB)	典型值 (dB)	最大值 (dB)
802.11a, 6 Mbps, OFDM	—	29	—
802.11a, 54 Mbps, OFDM	—	9	—
802.11n, HT20, MCS0	—	26	—
802.11n, HT20, MCS7	—	8	—
802.11n, HT40, MCS0	—	29	—
802.11n, HT40, MCS7	—	11	—

见下页

表 6-12 – 接上页

速率	最小值 (dB)	典型值 (dB)	最大值 (dB)
802.11ac, VHT20, MCS0	—	25	—
802.11ac, VHT20, MCS7	—	6	—
802.11ax, HE20, MCS0	—	25	—
802.11ax, HE20, MCS7	—	6	—

6.3 低功耗蓝牙射频

表 6-13. 低功耗蓝牙射频规格

名称	描述
工作信道中心频率范围	2402 ~ 2480 MHz
射频发射功率范围	-15~20 dBm

6.3.1 低功耗蓝牙射频发射器 (TX) 特性

表 6-14. 低功耗蓝牙 - 发射器特性 - 1 Mbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots, k}$	—	7.0	—	kHz
	Max. $ f_0 - f_n _{n=2, 3, 4, \dots, k}$	—	0.6	—	kHz
	Max. $ f_n - f_{n-5} _{n=6, 7, 8, \dots, k}$	—	0.6	—	kHz
	$ f_1 - f_0 $	—	0.3	—	kHz
调制特性	$\Delta F1_{avg}$	—	250.0	—	kHz
	Min. $\Delta F2_{max}$ (至少 99.9% 的 $\Delta F2_{max}$)	—	255.0	—	kHz
	$\Delta F2_{avg}/\Delta F1_{avg}$	—	0.98	—	—
带内发射	± 2 MHz 偏移	—	-33	—	dBm
	± 3 MHz 偏移	—	-40	—	dBm
	$> \pm 3$ MHz 偏移	—	-45	—	dBm

表 6-15. 低功耗蓝牙 - 发射器特性 - 2 Mbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots, k}$	—	7.0	—	kHz
	Max. $ f_0 - f_n _{n=2, 3, 4, \dots, k}$	—	0.6	—	kHz
	Max. $ f_n - f_{n-5} _{n=6, 7, 8, \dots, k}$	—	0.7	—	kHz
	$ f_1 - f_0 $	—	0.3	—	kHz
调制特性	$\Delta F1_{avg}$	—	495.1	—	kHz
	Min. $\Delta F2_{max}$ (至少 99.9% 的 $\Delta F2_{max}$)	—	515.0	—	kHz

见下页

表 6-15 – 接上页

参数	描述	最小值	典型值	最大值	单位
	$\Delta F_{2\text{avg}}/\Delta F_{1\text{avg}}$	—	0.99	—	—
带内发射	± 4 MHz 偏移	—	-43	—	dBm
	± 5 MHz 偏移	—	-45	—	dBm
	$> \pm 5$ MHz 偏移	—	-45	—	dBm

表 6-16. 低功耗蓝牙 - 发射器特性 - 125 Kbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots k}$	—	7.0	—	kHz
	Max. $ f_0 - f_n _{n=1, 2, 3, \dots k}$	—	0.3	—	kHz
	$ f_0 - f_3 $	—	0.3	—	kHz
	Max. $ f_n - f_{n-3} _{n=7, 8, 9, \dots k}$	—	0.4	—	kHz
调制特性	$\Delta F_{1\text{avg}}$	—	251.2	—	kHz
	Min. $\Delta F_{1\text{max}}$ (至少 99.9% 的 $\Delta F_{1\text{max}}$)	—	256.7	—	kHz
带内发射	± 2 MHz 偏移	—	-31	—	dBm
	± 3 MHz 偏移	—	-40	—	dBm
	$> \pm 3$ MHz 偏移	—	-43	—	dBm

表 6-17. 低功耗蓝牙 - 发射器特性 - 500 Kbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots k}$	—	7.0	—	kHz
	Max. $ f_0 - f_n _{n=1, 2, 3, \dots k}$	—	0.5	—	kHz
	$ f_0 - f_3 $	—	0.2	—	kHz
	Max. $ f_n - f_{n-3} _{n=7, 8, 9, \dots k}$	—	0.5	—	kHz
调制特性	$\Delta F_{2\text{avg}}$	—	246.3	—	kHz
	Min. $\Delta F_{2\text{max}}$ (至少 99.9% 的 $\Delta F_{2\text{max}}$)	—	253.3	—	kHz
带内发射	± 2 MHz 偏移	—	-31	—	dBm
	± 3 MHz 偏移	—	-40	—	dBm
	$> \pm 3$ MHz 偏移	—	-43	—	dBm

6.3.2 低功耗蓝牙射频接收器 (RX) 特性

表 6-18. 低功耗蓝牙 - 接收器特性 - 1 Mbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-99.0	—	dBm
最大接收信号 @30.8% PER	—	—	5	—	dBm

见下页

表 6-18 – 接上页

参数		描述	最小值	典型值	最大值	单位
接收选择性 C/I	共信道	$F = F_0 \text{ MHz}$	—	9	—	dB
	相邻信道	$F = F_0 + 1 \text{ MHz}$	—	-4	—	dB
		$F = F_0 - 1 \text{ MHz}$	—	-3	—	dB
		$F = F_0 + 2 \text{ MHz}$	—	-31	—	dB
		$F = F_0 - 2 \text{ MHz}$	—	-34	—	dB
		$F = F_0 + 3 \text{ MHz}$	—	-33	—	dB
		$F = F_0 - 3 \text{ MHz}$	—	-43	—	dB
		$F \geq F_0 + 4 \text{ MHz}$	—	-37	—	dB
		$F \leq F_0 - 4 \text{ MHz}$	—	-50	—	dB
	镜像频率	—	—	-28	—	dB
	邻道镜像频率干扰	$F = F_{image} + 1 \text{ MHz}$	—	-27	—	dB
		$F = F_{image} - 1 \text{ MHz}$	—	-30	—	dB
带外阻塞	30 MHz ~ 2000 MHz		—	-13	—	dBm
	2003 MHz ~ 2399 MHz		—	-25	—	dBm
	2484 MHz ~ 2997 MHz		—	-20	—	dBm
	3000 MHz ~ 12.75 GHz		—	-20	—	dBm
互调	—		—	-41	—	dBm

表 6-19. 低功耗蓝牙 - 接收器特性 - 2 Mbps

参数		描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—		—	-96.5	—	dBm
最大接收信号 @30.8% PER	—		—	5	—	dBm
接收选择性 C/I	共信道	$F = F_0 \text{ MHz}$	—	8	—	dB
	相邻信道	$F = F_0 + 2 \text{ MHz}$	—	-8	—	dB
		$F = F_0 - 2 \text{ MHz}$	—	-10	—	dB
		$F = F_0 + 4 \text{ MHz}$	—	-27	—	dB
		$F = F_0 - 4 \text{ MHz}$	—	-42	—	dB
		$F = F_0 + 6 \text{ MHz}$	—	-39	—	dB
		$F = F_0 - 6 \text{ MHz}$	—	-50	—	dB
		$F \geq F_0 + 8 \text{ MHz}$	—	-48	—	dB
		$F \leq F_0 - 8 \text{ MHz}$	—	-54	—	dB
	镜像频率	—	—	-27	—	dB
	邻道镜像频率干扰	$F = F_{image} + 2 \text{ MHz}$	—	-26	—	dB
		$F = F_{image} - 2 \text{ MHz}$	—	-28	—	dB
带外阻塞	30 MHz ~ 2000 MHz		—	-13	—	dBm
	2003 MHz ~ 2399 MHz		—	-25	—	dBm
	2484 MHz ~ 2997 MHz		—	-20	—	dBm
	3000 MHz ~ 12.75 GHz		—	-20	—	dBm
互调	—		—	-39	—	dBm

表 6-20. 低功耗蓝牙 - 接收器特性 - 125 Kbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-107.0	—	dBm
最大接收信号 @30.8% PER	—	—	5	—	dBm
接收选择性 C/I	共信道	$F = F_0 \text{ MHz}$	—	3	dB
	相邻信道	$F = F_0 + 1 \text{ MHz}$	—	-6	dB
		$F = F_0 - 1 \text{ MHz}$	—	-7	dB
		$F = F_0 + 2 \text{ MHz}$	—	-34	dB
		$F = F_0 - 2 \text{ MHz}$	—	-39	dB
		$F = F_0 + 3 \text{ MHz}$	—	-30	dB
		$F = F_0 - 3 \text{ MHz}$	—	-47	dB
		$F \geq F_0 + 4 \text{ MHz}$	—	-46	dB
		$F \leq F_0 - 4 \text{ MHz}$	—	-54	dB
	镜像频率	—	—	-28	dB
	邻道镜像频率干扰	$F = F_{image} + 1 \text{ MHz}$	—	-34	dB
		$F = F_{image} - 1 \text{ MHz}$	—	-31	dB

表 6-21. 低功耗蓝牙 - 接收器特性 - 500 Kbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-103.5	—	dBm
最大接收信号 @30.8% PER	—	—	5	—	dBm
接收选择性 C/I	共信道	$F = F_0 \text{ MHz}$	—	3	dB
	相邻信道	$F = F_0 + 1 \text{ MHz}$	—	-6	dB
		$F = F_0 - 1 \text{ MHz}$	—	-7	dB
		$F = F_0 + 2 \text{ MHz}$	—	-33	dB
		$F = F_0 - 2 \text{ MHz}$	—	-38	dB
		$F = F_0 + 3 \text{ MHz}$	—	-38	dB
		$F = F_0 - 3 \text{ MHz}$	—	-47	dB
		$F \geq F_0 + 4 \text{ MHz}$	—	-41	dB
		$F \leq F_0 - 4 \text{ MHz}$	—	-52	dB
	镜像频率	—	—	-23	dB
	邻道镜像频率干扰	$F = F_{image} + 1 \text{ MHz}$	—	-29	dB
		$F = F_{image} - 1 \text{ MHz}$	—	-29	dB

6.4 802.15.4 射频

表 6-22. 802.15.4 射频规格

名称	描述
工作信道中心频率范围	2405 ~ 2480 MHz

¹ Zigbee 在 2.4 GHz 的频段上具有从信道 11 到信道 26 共 16 个信道，信道间隔为 5 MHz。

6.4.1 802.15.4 射频发射器 (TX) 特性

表 6-23. 802.15.4 发射器特性 - 250 Kbps

参数	最小值	典型值	最大值	单位
射频发射功率	-15.0	—	20.0	dBm
EVM	—	4.0%	—	—

6.4.2 802.15.4 射频接收器 (RX) 特性

表 6-24. 802.15.4 接收器特性 - 250 Kbps

参数		描述	最小值	典型值	最大值	单位
灵敏度 @1% PER		—	—	-104.0	—	dBm
最大接收信号 @1% PER		—	—	5	—	dBm
相对干扰电平	相邻信道	$F = F_0 + 5 \text{ MHz}$	—	28	—	dB
		$F = F_0 - 5 \text{ MHz}$	—	32	—	dB
	替换信道	$F = F_0 + 10 \text{ MHz}$	—	48	—	dB
		$F = F_0 - 10 \text{ MHz}$	—	53	—	dB

7 封装

- 有关卷带、载盘和产品标签的信息，请参阅 [《ESP32-C5 芯片包装信息》](#)。
- 俯视图中，芯片管脚从 Pin 1 位置开始按逆时针方向编号。关于管脚序号和名称的详细信息，请参考图 2-1 [ESP32-C5HR2 & ESP32-C5HR8 管脚布局（俯视图）](#) 和图 2-2 [ESP32-C5HF4 管脚布局（俯视图）](#)。
- 推荐 PCB 封装图 [源文件 \(asc\)](#) 可使用 [Autodesk Viewer](#) 查看。

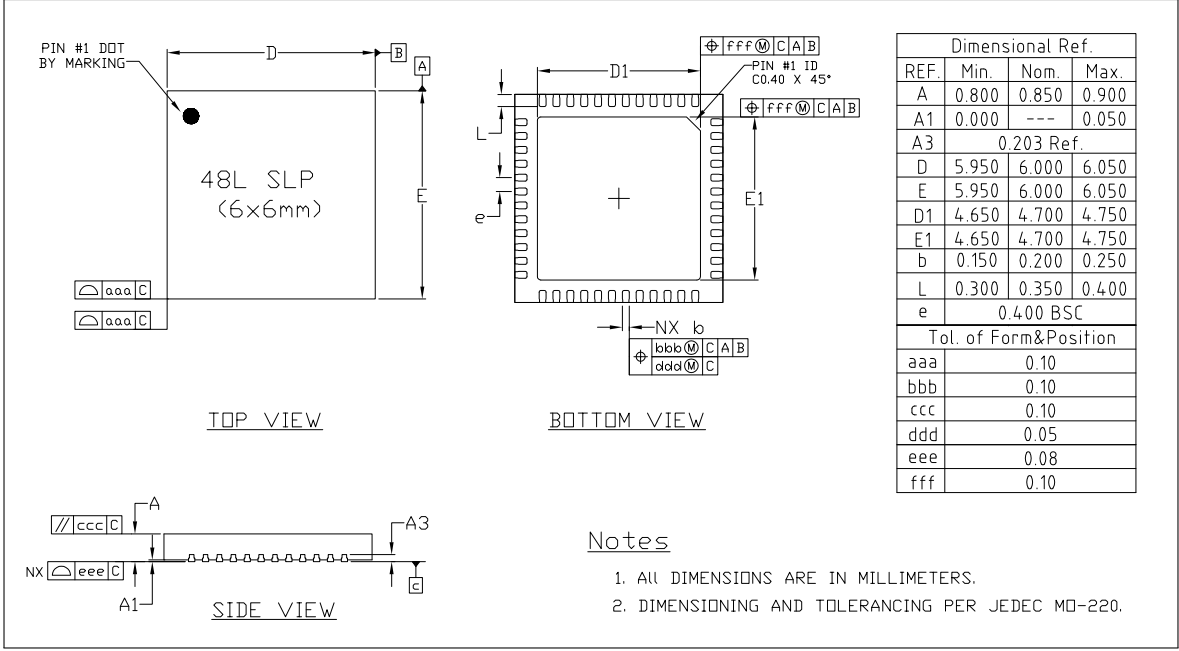


图 7-1. QFN48 (6×6 mm) 封装

附录 A – ESP32-C5 管脚总览

表 7-1. 管脚总览

管脚 序号	管脚 名称	管脚 类型	供电 管脚	管脚配置		模拟功能		LP IO MUX 功能			IO MUX 功能					
				复位时	复位后	0	1	0	1	2	0	类型	1	类型	2	类型
1	VDDA6	电源														
2	GND	电源														
3	VDDA7	电源														
4	XTAL_N	模拟														
5	XTAL_P	模拟														
6	VDDA8	电源														
7	CHIP_PU	模拟	VDDPST1													
8	VDDPST1	电源														
9	XTAL_32K_P	IO	VDDPST1			XTAL_32K_P		LP_GPIO0	LP_UART_DTRN		GPIO0	I/O/T	GPIO0	I/O/T		
10	XTAL_32K_N	IO	VDDPST1			XTAL_32K_N	ADC1_CH0	LP_GPIO1	LP_UART_DSRN		GPIO1	I/O/T	GPIO1	I/O/T		
11	MTMS	IO	VDDPST1	IE	IE		ADC1_CH1	LP_GPIO2	LP_UART_RTSN	LP_I2C_SDA	MTMS	I1	GPIO2	I/O/T	FSPIQ	I1/O/T
12	MTDI	IO	VDDPST1	IE	IE		ADC1_CH2	LP_GPIO3	LP_UART_CTSN	LP_I2C_SCL	MTDI	I1	GPIO3	I/O/T		
13	MTCK	IO	VDDPST1		IE, WPU		ADC1_CH3	LP_GPIO4	LP_UART_RXD		MTCK	I1	GPIO4	I/O/T	FSPIHD	I1/O/T
14	MTDO	IO	VDDPST1	IE	IE		ADC1_CH4	LP_GPIO5	LP_UART_TXD		MTDO	O/T	GPIO5	I/O/T	FSPIWP	I1/O/T
15	GPIO6	IO	VDDPST1	IE	IE		ADC1_CH5	LP_GPIO6			GPIO6	I/O/T	GPIO6	I/O/T	FSPICLK	I1/O/T
16	GPIO7	IO	VDDPST1	IE	IE						SDIO_DATA1	I1/O/T	GPIO7	I/O/T	FSPID	I1/O/T
17	GPIO8	IO	VDDPST1		IE	PAD_COMPO					SDIO_DATA0	I1/O/T	GPIO8	I/O/T		
18	GPIO9	IO	VDDPST1		IE	PAD_COMP1					SDIO_CLK	I1	GPIO9	I/O/T		
19	GPIO10	IO	VDDPST1		IE						SDIO_CMD	I1/O/T	GPIO10	I/O/T	FSPICS0	I1/O/T
20	U0TXD	IO	VDDPST1		WPU						U0TXD	O	GPIO11	I/O/T		
21	U0RXD	IO	VDDPST1		IE, WPU						U0RXD	I1	GPIO12	I/O/T		
22	GPIO13	IO	VDDPST2		IE	USB_D-					SDIO_DATA3	I1/O/T	GPIO13	I/O/T		
23	GPIO14	IO	VDDPST2	USB_PU	IE, USB_PU	USB_D+					SDIO_DATA2	I1/O/T	GPIO14	I/O/T		
24	VDDPST2	电源														
25	SPICS1	IO	VDD_SPI	WPU	IE, WPU						SPICS1	O/T	GPIO15	I/O/T		
26	SPICS0/NC	IO	VDD_SPI	WPU	IE, WPU						SPICS0	O/T	GPIO16	I/O/T		
27	SPIQ/NC	IO	VDD_SPI	WPU	IE, WPU						SPIQ	I1/O/T	GPIO17	I/O/T		
28	SPIWP/NC	IO	VDD_SPI	WPU	IE, WPU						SPIWP	I1/O/T	GPIO18	I/O/T		
29	VDD_SPI/NC	电源/IO	—			VDD_SPI					GPIO19	I/O/T	GPIO19	I/O/T		
30	SPIHD/NC	IO	VDD_SPI	WPU	IE, WPU						SPIHD	I1/O/T	GPIO20	I/O/T		
31	SPICLK/NC	IO	VDD_SPI	WPU	IE, WPU						SPICLK	O/T	GPIO21	I/O/T		
32	SPID/NC	IO	VDD_SPI	WPU	IE, WPU						SPID	I1/O/T	GPIO22	I/O/T		
33	GPIO23	IO	VDDPST3		IE						GPIO23	I/O/T	GPIO23	I/O/T		
34	GPIO24	IO	VDDPST3		IE						GPIO24	I/O/T	GPIO24	I/O/T		
35	GPIO25	IO	VDDPST3	IE	IE						GPIO25	I/O/T	GPIO25	I/O/T		
36	GPIO26	IO	VDDPST3	IE	IE						GPIO26	I/O/T	GPIO26	I/O/T		
37	GPIO27	IO	VDDPST3	IE, WPU	IE, WPU						GPIO27	I/O/T	GPIO27	I/O/T		
38	GPIO28	IO	VDDPST3	IE, WPU	IE, WPU						GPIO28	I/O/T	GPIO28	I/O/T		
39	VDDPST3	电源														
40	VDDA1	电源														
41	VDDA2	电源														

见下页

接上页

管脚 序号	管脚 名称	管脚 类型	供电 管脚	管脚配置		模拟功能		LP IO MUX 功能			IO MUX 功能					
				复位时	复位后	0	1	0	1	2	0	类型	1	类型	2	类型
42	ANT_2G	模拟														
43	GND	电源														
44	VDDA3	电源														
45	VDDA4	电源														
46	VDDA5	电源														
47	GND	电源														
48	ANT_5G	模拟														

* 更多信息，详见章节 2 管脚。高亮的单元格，请参考章节 2.3.4 GPIO 和 LP GPIO 的限制。

技术规格书版本号管理

技术规格书版本	状态	水印	定义
v0.1 ~ v0.5 (不包括 v0.5)	草稿	Confidential	该技术规格书正在完善。对应产品处于设计阶段，产品规格如有变更，恕不另行通知。
v0.5 ~ v1.0 (不包括 v1.0)	初步发布	Preliminary	该技术规格书正在积极更新。对应产品处于验证阶段，产品规格可能会在量产前变更，并记录在技术规格书的修订历史中。
v1.0 及更高版本	正式发布	—	该技术规格书已公开发布。对应产品已量产，产品规格已最终确定，重大变更将通过 产品变更通知 (PCN) 进行通知。
任意版本	—	不推荐用于新设计 (NRND) ¹	该技术规格书更新频率较低，对应产品不推荐用于新设计。
任意版本	—	停产 (EOL) ²	该技术规格书不再维护，对应产品已停产。

¹ 技术规格书涵盖的所有产品型号均不推荐用于新设计时，封面才会添加水印。

² 技术规格书涵盖的所有产品型号均停产时，封面才会添加水印。

相关文档和资源

相关文档

- [《ESP32-C5 硬件设计指南》](#) – 提供基于 ESP32-C5 芯片的产品设计规范。
- [《ESP32-C5 系列芯片勘误表》](#) – 描述 ESP32-C5 系列芯片的已知错误。
- [《ESP32-C5 技术参考手册》](#) – 提供 ESP32-C5 芯片的存储器和外设的详细使用说明。
- 技术参考手册 LaTeX 源码 – 乐鑫芯片技术参考手册 LaTeX 源码的公开仓库。
<https://github.com/espressif/esp-technical-reference-manual-latex>
- 证书
<https://espressif.com/zh-hans/support/documents/certificates>
- ESP32-C5 产品/工艺变更通知 (PCN)
<https://espressif.com/zh-hans/support/documents/pcns?keys=ESP32-C5>
- ESP32-C5 公告 – 提供有关安全、bug、兼容性、器件可靠性的信息
<https://espressif.com/zh-hans/support/documents/advisories?keys=ESP32-C5>
- 文档更新和订阅通知
<https://espressif.com/zh-hans/support/download/documents>

开发者社区

- [《ESP32-C5 ESP-IDF 编程指南》](#) – ESP-IDF 开发框架的文档中心。
- ESP-IDF 及 GitHub 上的其它开发框架
<https://github.com/espressif>
- ESP32 论坛 – 工程师对工程师 (E2E) 的社区，您可以在这里提出问题、解决问题、分享知识、探索观点。
<https://esp32.com/>
- ESP-FAQ – 由乐鑫官方推出的针对常见问题的总结。
https://espressif.com/projects/esp-faq/zh_CN/latest/index.html
- The ESP Journal – 分享乐鑫工程师的最佳实践、技术文章和工作随笔。
<https://blog.espressif.com/>
- SDK 和演示、App、工具、AT 等下载资源
<https://espressif.com/zh-hans/support/download/sdks-demos>

产品

- ESP32-C5 系列芯片 – ESP32-C5 全系列芯片。
<https://espressif.com/zh-hans/products/socs?id=ESP32-C5>
- ESP32-C5 系列模组 – ESP32-C5 全系列模组。
<https://espressif.com/zh-hans/products/modules?id=ESP32-C5>
- ESP32-C5 系列开发板 – ESP32-C5 全系列开发板。
<https://espressif.com/zh-hans/products/devkits?id=ESP32-C5>
- ESP Product Selector (乐鑫产品选型工具) – 通过筛选性能参数、进行产品对比快速定位您所需要的产品。
<https://products.espressif.com/#/product-selector?language=zh>

联系我们

- 商务问题、技术支持、电路原理图 & PCB 设计审阅、购买样品 (线上商店)、成为供应商、意见与建议
<https://espressif.com/zh-hans/contact-us/sales-questions>

修订历史

日期	版本	发布说明
2026-05-08	v1.2	- 全文新增 ESP32-C5HR2 相关内容 - 更新章节 4.2.1.6 CAN FD 控制器 的特性描述
2026-03-04	v1.1	根据 PCN20251201 , - 新增图 2-2 ESP32-C5HF4 管脚布局 (俯视图), 并全文更新 ESP32-C5HF4 管脚相关内容 - 新增小节 4.1.4.10 密钥管理器, 并全文更新密钥管理器相关内容
2025-11-05	v1.0	- 全文删除晶振频率选择相关内容 - 在章节 产品特性 中新增 RF 模块描述 - 新增章节 5.7 可靠性
2025-09-10	v0.6	在章节 1.2 型号对比 中, 将订购代码 ESP32-C5NR4、ESP32-C5NF4 更新为 ESP32-C5HR4、ESP32-C5HF4
2025-05-19	v0.5	预发布



免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或以其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2026 乐鑫信息科技（上海）股份有限公司。保留所有权利。

www.espressif.com