

概述

CH32X315 是基于青稞 RISC-V 内核设计的多通道 ADC 微控制器，内核支持 480MHz 零等待运行，支持单精度浮点指令和位操作指令。CH32X315 内置了 4 组高速 12 位 ADC 转换单元，提供 48 个直接输入通道，支持扫描模式，可搭配模拟开关芯片扩展出 8 倍数量通道且自动切换；内置 USB 3.0 超高速控制器和 PHY、USB 2.0 高速控制器和 PHY 以及 Type-C/PD 控制器和 PHY，支持 USB 3.2 Gen1、USBSS Device 设备功能、USBHS Host 主机和 USBHS Device 设备功能、Type-C 和 PDUSB 快充功能；提供了 DMA 控制器、ARGB 单线 RGB 驱动、多组定时器、4 组 USART 串口、2 组 I2C 接口、3 组 SPI 等丰富外设资源。

CH32X305 在 CH32X315 的基础上减少了 USB 3.0 模块。

产品特性

- **内核 Core:**
 - 青稞 32 位 RISC-V3F 内核，多种指令集组合
 - 快速可编程中断控制器+硬件中断堆栈
 - 2 级中断嵌套
 - 支持单精度浮点指令、位操作指令
 - 内核最高频率 480MHz，系统最高频率 313MHz
 - 性能模式下内核支持 625MHz，系统支持 400MHz
- **存储器:**
 - 64KB 易失数据存储区 SRAM
 - 480KB 程序存储区 CodeFlash
(192KB 零等待应用区+288KB 非零等待数据区)
 - 28KB 系统引导程序存储区 BootLoader
 - 128B 用户自定义信息存储区
- **电源管理和低功耗:**
 - 系统供电 V_{DD} 范围：2.8~3.6V
 - 低功耗模式：睡眠、停止
- **系统时钟和复位:**
 - 内置出厂调校的 20MHz 的 RC 振荡器
 - 内置约 40kHz 的 RC 振荡器
 - 高速振荡器支持外部 5~32MHz 晶体
 - 上/下电复位、可编程电压监测器
- **多组定时器:**
 - 1 个 16 位高级定时器，支持死区控制和紧急刹车，提供用于电机控制的 PWM 互补输出
 - 2 个 16 位和 1 个 32 位通用定时器，提供输入捕获/输出比较/PWM/脉冲计数及增量编码器输入
 - 2 个看门狗定时器（独立和窗口型）
 - 系统时基定时器：32 位计数器
- **实时时钟 RTC: 32 位独立定时器**
- **通用 DMA 控制器:**
 - 11 个通道，支持环形缓冲区管理
- **4 组 12 位模数转换 ADC:**
 - 模拟输入范围： $V_{REF-} \sim V_{REF+}$
 - $4 \times 12 = 48$ 个外部信号+1 个内部信号通道
 - 采样速率高达 5Msps，支持多 ADC 转换模式
 - 支持扫描模式，支持外部扩展自动切换
 - 支持提前切换通道，方便信号稳定采样
 - 支持 4 组 ADC 级联，等效 20Msps 采样率
- **4 组 USART 串口: 支持 LIN**
- **2 组 I2C 接口**
- **3 组 SPI 接口**
- **5Gbps 超高速 USB 3.0 控制器及 PHY**
 - 支持超高速的 Device 模式
 - 高速一体化设计，实测每秒 450Mbytes
- **480Mbps 高速 USB 2.0 控制器及 PHY:**
 - 支持高速/全速的 Host 和 Device 模式
 - 支持 1024 字节数据包
- **USB PD 和 Type-C 控制器及 PHY:**
 - 支持 DRP、Sink 和 Source 应用，支持 PDUSB
 - 支持 PD3.2 和 EPR，支持 100W 或 240W 快充
- **可级联可寻址单线 RGB (ARGB)**
- **快速 GPIO 端口:**
 - 64 个 I/O 口，映射 16 个外部中断
- **安全特性:** CRC 计算单元，96 位芯片唯一 ID
- **调试模式:** 支持单线和双线两种调试模式
- **封装形式:** LQFP、QFN

资源差异		CH32X315			CH32X305
		MCU6	WCU6	CCU6	RCT6
芯片引脚数		76	68	48	64
Code FLASH (字节)		480K ⁽¹⁾	480K ⁽¹⁾	480K ⁽¹⁾	480K ⁽¹⁾
SRAM (字节)		64K	64K	64K	64K
GPIO 端口数		64	59	40	55
定时器	高级 (16 位)	1	1	1	1
	通用 (16 位)	2	2	2	2
	通用 (32 位)	1	1	1	1
	看门狗	WWDG+IWDG			WWDG+IWDG
	系统时基 32 位	支持			支持
RTC		支持			支持
ADC	ADC1 通道数	12+1	12+1	8+1	9+1
	ADC2 通道数	12	12	6	10
	ADC3 通道数	12	12	8	10
	ADC4 通道数	12	12	6	10
USART		4	4	4	4
SPI		3	3	3	3
I2C		2	2	2	2
PDUSB	USBHS (USB 2.0)	Host/ Device	Host/ Device	Host/ Device	Host/ Device
	USBSS (USB 3.0)	Device	Device	Device	—
	USBPD	1 内置 Rd ⁽²⁾	1	1	1
ARGB		1	1	1	1
CPU 主频		Max: 480MHz			
工作温度		工业级: -40°C~85°C			
封装形式		QFN76	QFN68X7	QFN48	LQFP64

注: 1. 480KB 闪存包含 192KB 的零等待程序运行区域和 288KB 非零等待区域。

2. CH32X315MCU6 芯片内置 Type-C 规范定义的可控 Rd 下拉电阻, 约 5.1kΩ。

第 1 章 规格信息

1.1 系统架构

微控制器基于 RISC-V 指令集设计，其架构中将青稞微处理器内核、仲裁单元、DMA 模块、SRAM 存储等部件通过多组总线实现交互。集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，应用多级时钟管理机制降低了外设的运行功耗，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列芯片内部总体架构框图。

图 1-1-1 CH32X315 系统框图

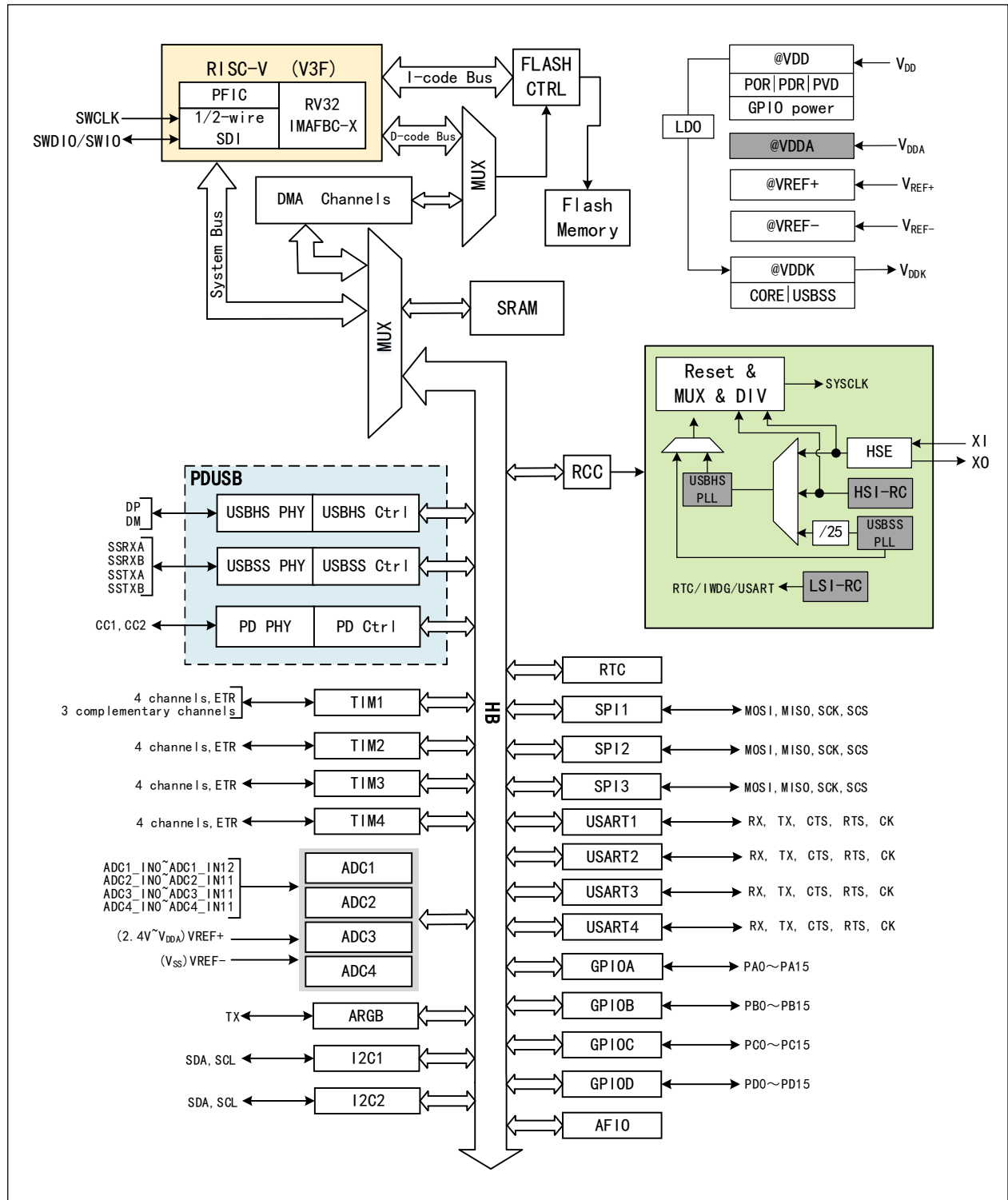
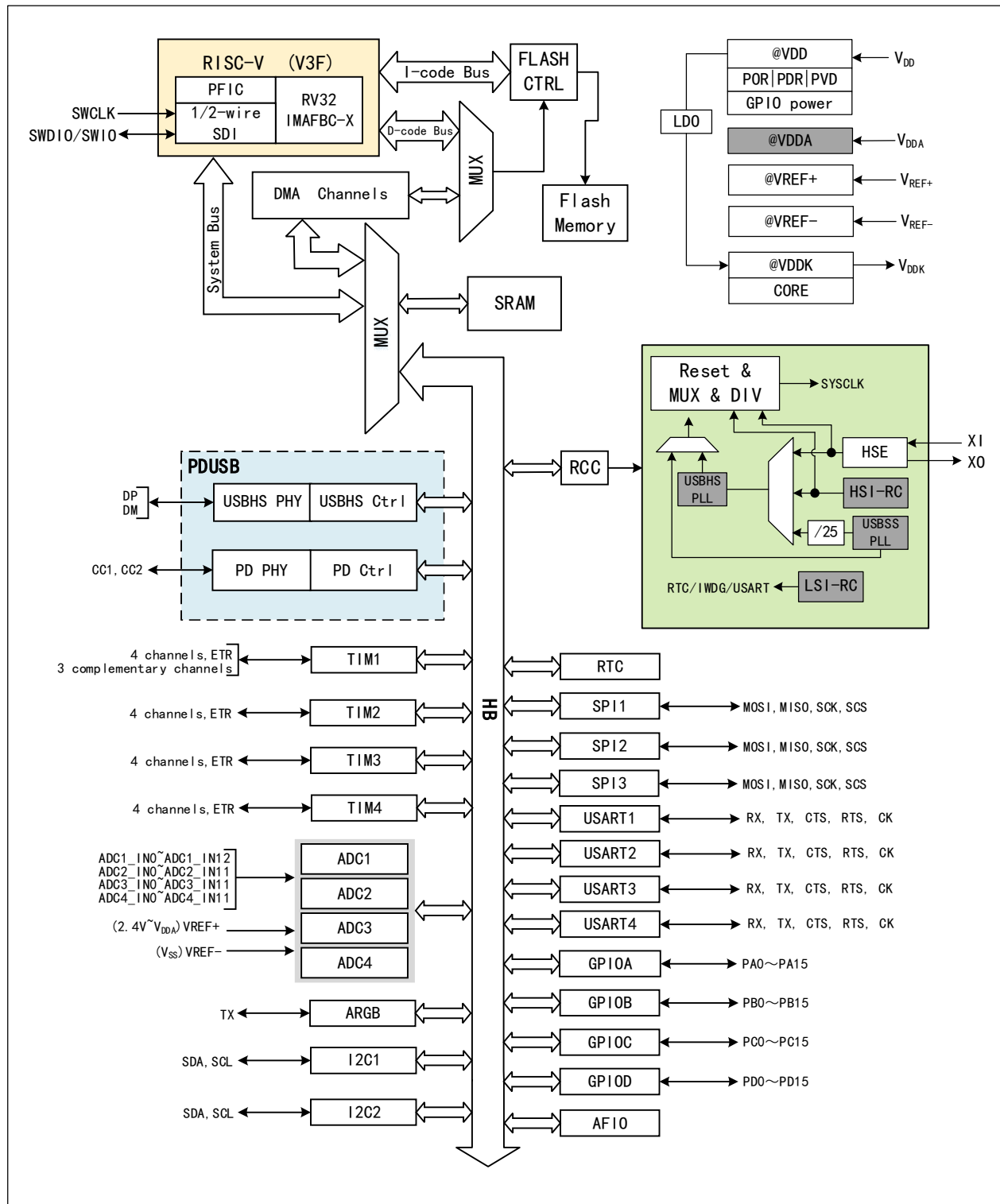
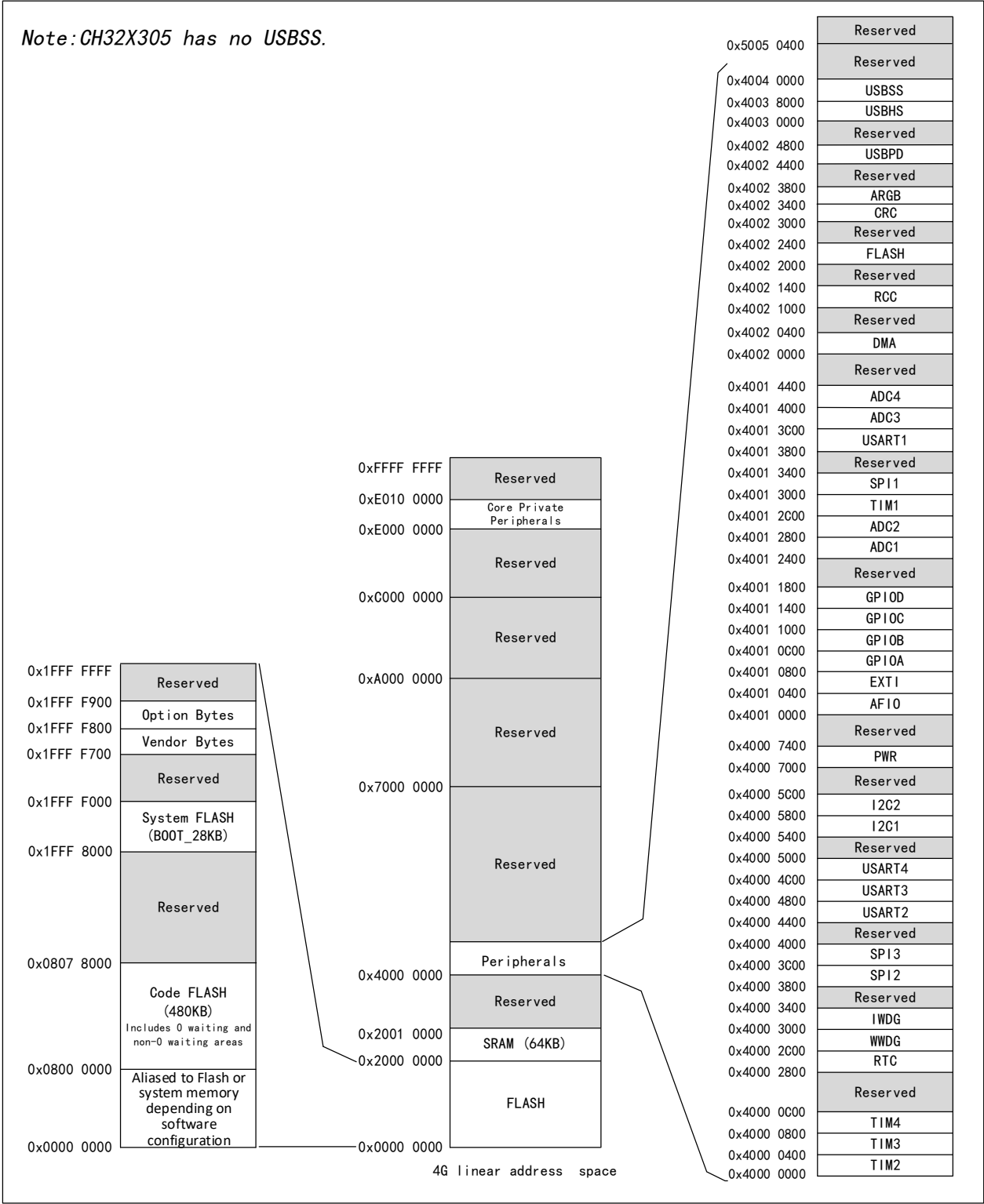


图 1-1-2 CH32X305 系统框图



1.2 存储器映射表

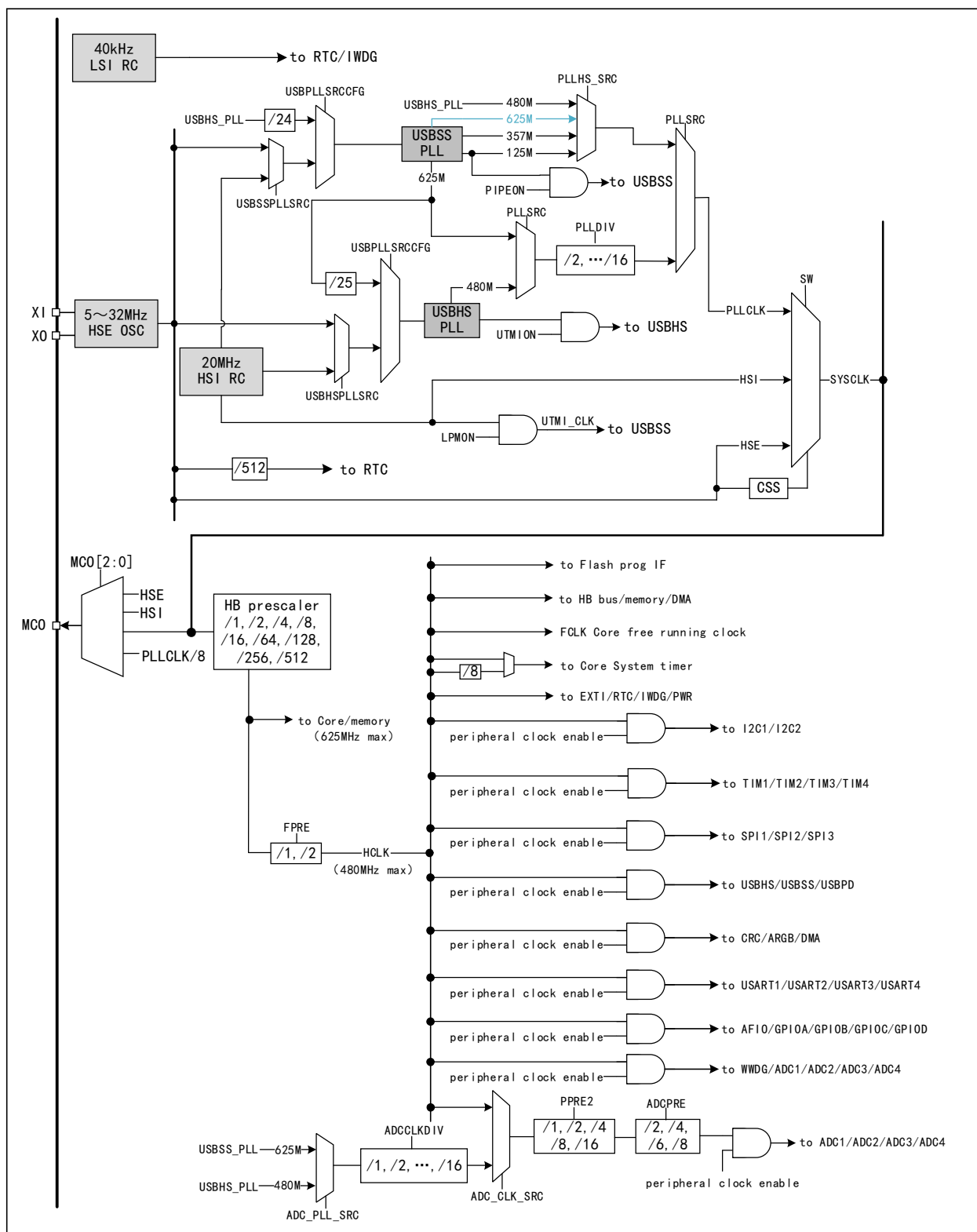
图 1-2 存储器地址映射



1.3 时钟树

系统中引入 3 组时钟源：内部高频 RC 振荡器（HSI）、内部低频 RC 振荡器（LSI）以及外接高频振荡器（HSE）。

图 1-3 时钟树框图



注：上图中标蓝的部分仅适用于批号第五位大于0 的芯片。

1.4 功能概述

1.4.1 RISC-V3F 处理器

RISC-V3F 支持 RISC-V 指令集 RV32IMAFBC-X。该处理器内部以模块化管理，包含快速可编程中断控制器（PFIC）、分支预测模式、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

青稞微处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景、高性能应用操作系统场景等。

- 顺序单发架构
- 3 级流水线
- 提供一个不可屏蔽中断 NMI
- 4 通道硬件断点
- 2 级中断嵌套
- 快速可编程中断控制器（PFIC）
- 支持单精度浮点指令
- 支持位操作指令
- 支持自定义扩展指令
- 硬件压栈

1.4.2 片上存储器

内置 64K 字节 SRAM 区，用于存放数据，掉电后数据丢失。

内置 480K 字节程序闪存存储区（Code FLASH），即用户区，用于用户的应用程序和常量数据存储。其中包括 192K 字节的零等待程序运行区域和 288K 字节非零等待区域。

内置 28K 字节系统存储区（System FLASH），即 B00T 区，用于系统引导程序存储（厂家固化自举加载程序）。

256 字节用于系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

128 字节用于用户自定义信息存储区，用于用户选择字存储。

1.4.3 供电方案

- $V_{DD} = 2.8 \sim 3.6V$ ：为 I/O 引脚、系统电压调节器 LDO 及内置的 USB 2.0 PHY 供电。正常工作时， V_{DD} 通过向内置的系统电压调节器 LDO 供电，在 V_{DDK} 引脚上输出稳压电源。与 V_{DDK} 引脚相邻的 V_{DD} 引脚为主 V_{DD} ，建议外接 0.1uF 并联至少 4.7uF 容量的高频电容，其它 V_{DD} 建议外接 0.1uF 容量的高频电容。当用于 USB 2.0 时， V_{DD} 范围建议为 3.15~3.45V。

- $V_{DDA} = 2.8 \sim 3.6V$ ：为高频 RC 振荡器、ADC 及 PLL 的模拟部分供电。 V_{DDA} 电压应该和 V_{DD} 电压相同，建议外接 0.1uF 容量的高频电容。

- $V_{REF+} = 2.4 \sim 3.6V$ ：用于 ADC 的正参考电压，建议就近外接 0.01uF 并联 1uF 容量的高频电容。 V_{REF+} 供电电压不得高于 V_{DDA} 电压。

- $V_{REF-} = 0 \sim 1.0V$ ：用于 ADC 的负参考电压，建议短接系统 V_{SS} ；如果使用特定的负参考电压，那么需要外接 0.01uF 并联 1uF 容量的高频电容到 V_{SS} 。

- $V_{DDK} = 1.17 \sim 1.27V$ ：为内核电路以及内置的 USB 3.0 PHY 供电，建议外接 0.1uF 并联 2.2uF 容量的高频电容，累计总电容量不超过 V_{DD} 累计总电容量。正常工作时， V_{DDK} 电压由 V_{DD} 供电的系统电压调节器 LDO 产生。为减少芯片 LDO 导致的自身发热，可选外供此电源（可由外部 DC-DC 产生），外供电电压建议略高于内部 LDO 输出电压值。

以上同名电源引脚必须短接，电压关系： $V_{DD} = V_{DDA}$ ；并且 $V_{DDA} \geq V_{REF+}$ 。

1.4.4 供电监控器

芯片内部集成了上电复位（POR）/掉电复位（PDR）电路，该电路始终处于工作状态。当 V_{DD} 低于

设定的阈值 ($V_{POR/PDR}$) 时, 置器件于复位状态, 而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器 (PVD), 需要通过软件开启, 用于比较 V_{DD} 供电与设定的阈值 V_{PVD} 的电压大小。打开 PVD 相应边沿中断, 可在 V_{DD} 下降到 PVD 阈值或上升到 PVD 阈值时, 收到中断通知。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考第 3 章。

1.4.5 系统电压调节器 LDO

复位后, 调节器自动开启, 根据应用方式有两种操作模式。

- 正常模式: 正常的运行操作, 提供稳定的内核电源。
- 低功耗模式: 配置位 $LPDS = 1$ 且 CPU 进入停止模式后, 调压器可进入低功耗模式, 此时内核电压适当降低。

1.4.6 低功耗模式

芯片支持 2 种低功耗模式, 可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式

在睡眠模式下, 只有 CPU 时钟停止, 但所有外设时钟供电正常, 外设处于工作状态。此模式是最浅低功耗模式, 但可以达到最快唤醒。

退出条件: 任意中断或唤醒事件。

- 停止模式

此模式下, PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭。在保持 SRAM 和寄存器内容不丢失的情况下, 停止模式可以达到最低的电能消耗。

可通过配置位 $LPDS = 1$ 使调压器 LDO 由正常模式进入低功耗模式, 从而达到更低功耗的状态。

退出条件: 任意外部中断/事件 (EXTI 信号)、NRST 上的外部复位信号、IWDG 复位, 其中 EXTI 信号包括 64 个外部 I/O 口之一、PVD 的输出、RTC 闹钟、USBPD 的唤醒信号、USART 的唤醒信号或 USB 的唤醒信号。

1.4.7 快速可编程中断控制器 (PFIC)

芯片内置快速可编程中断控制器 (PFIC), 最多支持 256 个中断向量, 以最小的中断延迟提供了灵活的中断管理功能。当前产品管理了 7 个内核私有中断和 50 外设中断管理, 其他中断源保留。PFIC 的寄存器均可以在用户和机器特权模式下访问。

- 支持硬件中断堆栈 (HPE), 无需指令开销
- 提供 4 路免表中断 (VTF)
- 向量表支持地址或指令模式
- 最高支持可配置的 2 级中断嵌套

1.4.8 外部中断/事件控制器 (EXTI)

外部中断/事件控制器总共包含 22 个边沿检测器, 用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件 (上升沿或下降沿或双边沿), 并能够单独地被屏蔽; 挂起寄存器维持所有中断请求状态。多达 64 个通用 I/O 口都可选择连接到 16 个外部中断线。

1.4.9 通用 DMA 控制器

芯片内置了 1 组通用 DMA 控制器, 管理 11 个通道。DMA 控制器能灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输, 支持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑, 支持一个或多个外设对存储器的访问请求, 可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括: 高级/通用定时器 TIMx、ADC、USART、I2C、SPI、ARGB。

USBHS、USBSS、USB PD 另有专用的独立 DMA 通道。

注：DMA 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

1.4.10 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 20MHz 的 RC 振荡器作为默认的 CPU 时钟，随后可以另外选择外部 5~32MHz 时钟或 PLL 时钟。当打开时钟安全模式后，如果 HSE 用作系统时钟（直接或间接），此时检测到外部时钟失效，系统时钟将自动切换到内部 RC 振荡器，同时 HSE 和 PLL 自动关闭；对于关闭时钟的低功耗模式，唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

1.4.11 RTC（实时时钟）

RTC 实时时钟是一组 32 位可编程计数器，时基支持 20 位预分频，用于较长时间段的测量。时钟基准来源高速外部时钟的 512 分频（HSE/512）和内部低功耗 RC 振荡器（LSI）。

1.4.12 ADC（模拟/数字转换器）

芯片内置 4 组 12 位的高速模拟/数字转换器（ADC1/ADC2/ADC3/ADC4），4 组 ADC 共提供 $4 \times 12 = 48$ 个外部通道采样，其中 ADC1 还提供 1 个内部通道（ADC1_IN12），内部参考电压 V_{REFINT} 被连接到 ADC1_IN12 输入通道上。

ADC 的采样速率可达 5Msps，支持可编程的通道采样时间，可以实现单次、连续、扫描或间断转换，支持多 ADC 转换模式。提供模拟看门狗功能允许非常精准地监控一路或多路选中的通道，用于监测通道信号电压。支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。

ADC 支持级联模式，级联顺序和各级 ADC 的转换延迟均可配置，可实现同时或依次延迟转换；分组使用时，支持双 ADC 模式。级联模式下，使用 4 组 ADC 时，可配置触发延时，进行交替采样，若触发延时为 25% 的 ADC 转换周期时间，可使采样率提高 4 倍，即当使用 5Msps 进行采样时，可通过级联模式将采样率提升至等效 20Msps。

ADC 包含信号采样和 A/D 模数转换两个主要步骤。CH32X315/X305 的 ADC 单元在上一通道的采样步骤完成后，可以设置由硬件预先切换下一通道，在上一通道的 A/D 转换过程中，下一通道完成“切换—切换瞬间振铃—信号稳定”的过程。这种两级流水线的交错并行处理方法使得下一通道采样时，提前切换的信号电压已足够稳定，从而缩短采样时间。

ADC 支持扫描模式，扫描完成后轮次计数可通过 GPIO 输出（ADCS0/PA10、ADCS1/PA11、ADCS2/PA12）。在矩阵模拟信号采集应用中，该模式下产生的信号可外加八选一模拟开关芯片 CH448 实现 8 倍数量的 ADC 通道扩展，支持最多 $8 \times 48 = 384$ 个 ADC 通道全自动切换。

ADC 支持低速高性能模式，可选 13/14/15 位模式，即一次转换可获得 13 位/14 位/15 位转换结果。开启低速高性能模式后，单次的 ADC 转换周期（采样时间+转换时间）会增加，即 13 位模式转换周期 = 12 位模式转换周期*2、14 位模式转换周期 = 12 位模式转换周期*4、15 位模式转换周期 = 12 位模式转换周期*8。

1.4.13 定时器及看门狗

系统中的定时器包括高级定时器、通用定时器、看门狗定时器以及系统时基定时器。

● 高级定时器

高级定时器 TIM1 为 1 个 16 位的自动装载递加/递减计数器，具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。

高级定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级定时器可以通过定时器

链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

- 通用定时器

通用定时器模块包含 2 个 16 位可自动重装的定时器 (TIM2 和 TIM3) 和 1 个 32 位可自动重装的定时器 (TIM4)，用于测量脉冲宽度或者产生特定频率的脉冲、PWM 波等。可应用于自动化控制、电源等领域。

TIM2/3/4 均具有 4 个独立的通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。还能通过定时器链接功能与高级定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。任意通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

- 独立看门狗

独立看门狗是一个自由运行的 12 位递减计数器，支持 7 种分频系数。由一个内部独立的约 40kHz 的 RC 振荡器 (LSI) 提供时钟；因为 LSI 独立于主时钟，所以可运行于停止模式。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

- 窗口看门狗

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器

系统提供 1 个 32 位可选递增或递减的计数器，用于产生 SYSTICK 异常，可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 32 位计数器。具有自动重加载功能及可编程的时钟源。

1.4.14 通用同步/异步串口收发器 (USART)

芯片提供了 4 组通用同步/异步收发器 (USART1/2/3/4)。支持全双工异步串口通信以及半双工单线通信，也支持 LIN(局部互连网)，兼容 IrDA SIR ENDEC 传输编解码规范，以及调制解调器 (CTS/RTS 硬件流控) 操作，还支持多处理器通信。其采用分数波特率发生器系统，支持 DMA 操作连续通讯。

1.4.15 串行外设接口 (SPI)

芯片提供了 3 组串行外设 SPI 接口，提供主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位，数据位宽提供 8 或 16 位选择，可靠通信的硬件 CRC 产生/校验，支持 DMA 操作连续通讯。

1.4.16 I2C 总线

芯片内置 2 组 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址，内置了硬件 CRC 发生器/校验器，支持 DMA。

1.4.17 USB PD 及 Type-C 控制器

芯片内置 1 组 USB Power Delivery 控制器和 PD 物理层收发器 PHY，提供两个 CC 引脚。支持 USB Type-C 主从检测，自动 BMC 编解码和 CRC，支持硬件边沿控制。

支持 USB PD2.0 和 PD3.0 以及 PD3.2 电力传送，支持 SPR 和 EPR，支持 100W 或 240W 高压快充，支持 PD 受电端 Sink 和 PD 供电端 Source 以及 DRP 应用。支持 PDUSB，支持 UFP 和 DFP 以及 DRD 应用。

其中,部分 CH32X315 芯片的引脚 PD4/CC1R 和 PD5/CC2R 中的 CCR 表示 CC 引脚内置 Type-C 规范定义的可控 Rd 下拉电阻 5K1。

1.4.18 通用串行总线 USB 2.0 高速主机/设备控制器 (USBHS)

USB 2.0 高速控制器具有主机控制器和设备控制器双重角色,当 USB 2.0 高速控制器作为主机控制器时,它可支持低速、全速和高速的 USB 设备;当作为设备控制器时,可以灵活设置为低速、全速或高速模式以适应各种应用。主要特性包括:

- 支持 USB 2.0、USB 1.1、USB 1.0 协议规范
- 支持 USB Host 主机功能和 USB Device 设备功能
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 提供总线复位、挂起、唤醒和恢复功能
- 主机支持 USB HUB
- 非 0 端点均支持最大 1024 字节数据包,内置 FIFO,支持中断和 DMA

1.4.19 通用串行总线 USB 3.0 超高速设备控制器 (USBSS) (不适用于 CH32X305)

CH32X315 芯片内置了 USB 3.0 超高速控制器和 USB PHY 物理层收发器,可实现 USB 3.0 接口产品功能,支持 5Gbps 的 USBSS 超高速信号。

此控制器模块为应用代码提供了链接层寄存器访问接口,用于管理设备的连接和断开、总线状态、电源模式。提供了设备 (DEVICE) 功能访问接口,用于实现 USB 3.0 协议规范的各种数据传输及上层协议。主要特性包括:

- 支持 USB 3.0 协议规范和 USB 3.2 Gen1
- 支持 USB Device 设备功能
- 电源管理模式支持 U1/U2/U3 低功耗状态
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 非 0 端点均支持最大 1024 字节的数据包,支持突发模式
- 支持 DMA 方式直接访问各端点缓冲区的数据
- 自研控制器和收发器,高速一体化设计,实测每秒 450Mbytes

1.4.20 可级联可寻址 RGB (ARGB)

芯片内置一组 ARGB (Addressable RGB) 模块,支持输出 PWM 波形的占空比和周期的可配置,支持 DMA。

ARGB 模块可实现单数据线 RGB 灯带的时序控制,支持级联。相比传统的 RGB,可支持驱动更多不同型号的 ARGB 灯控 IC,产生更多光效。

1.4.21 通用输入输出接口 (GPIO)

芯片内置 4 组 GPIO 端口 (PA0~PA15、PB0~PB15、PC0~PC15、PD0~PD15),共 64 个 GPIO 引脚。每个引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉或下拉) 或复用的外设功能端口。

所有 GPIO 引脚支持可控上拉和下拉电阻。

PD4 和 PD5 引脚提供兼容 USB PD 和 Type-C 规范的上拉电流,由 PD 控制器独立控制。PD4/CC1R 和 PD5/CC2R 引脚内置 Type-C 规范定义的可控 Rd 下拉电阻,作为 GPIO 推挽输出时建议关闭下拉。

系统中所有 I/O 引脚都由 V_{DD} 额定 3.3V 供电,与数字或模拟的复用外设共用,部分引脚耐受 5V 信号输入,通过改变 V_{DD} 供电将改变 I/O 引脚输出电平高值来适配外部通讯接口电平。

提供锁定机制冻结 I/O 配置,以避免意外的写入 I/O 寄存器。具体引脚请参考引脚描述。

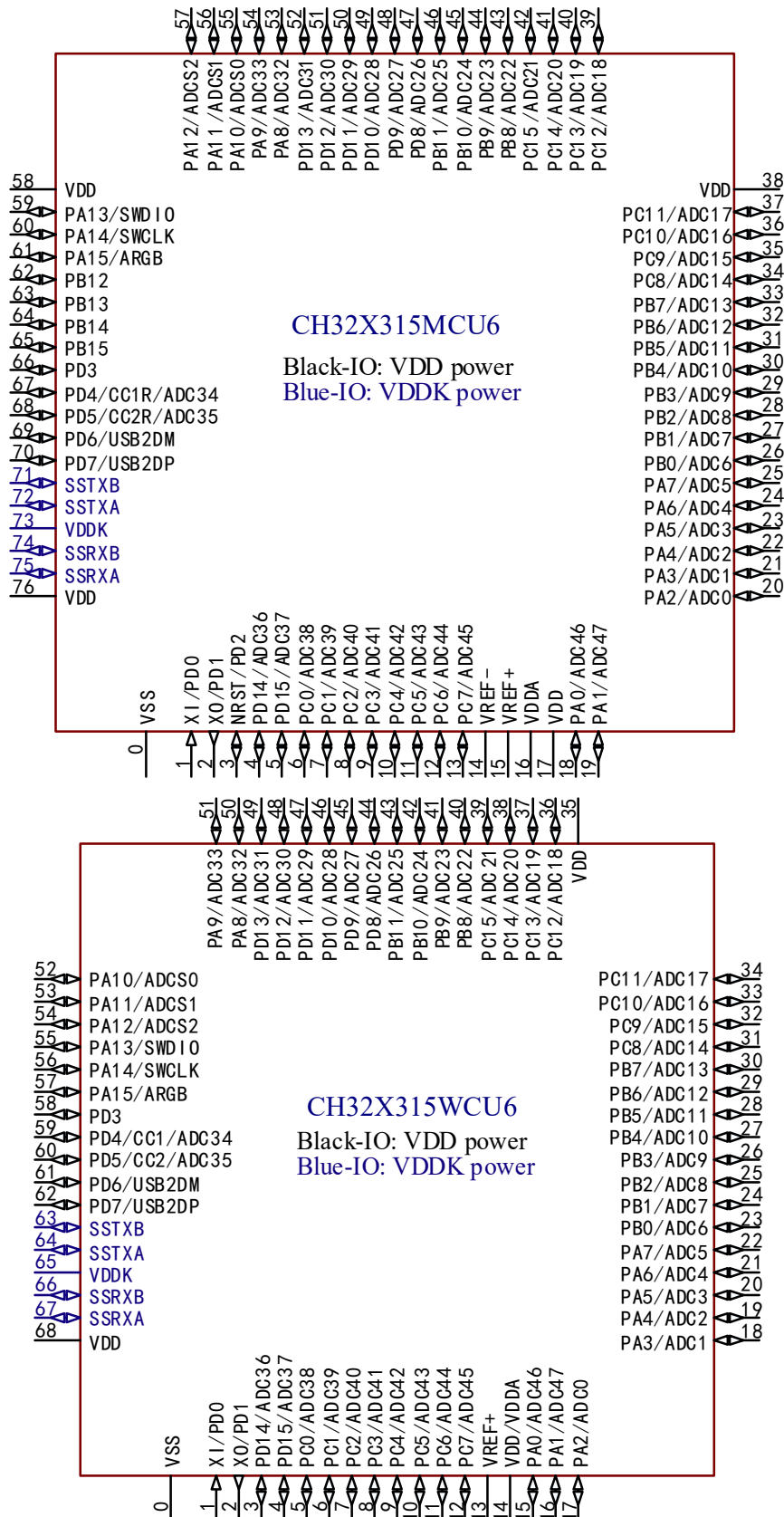
1.4.22 调试接口 (Serial Debug Interface, SDI)

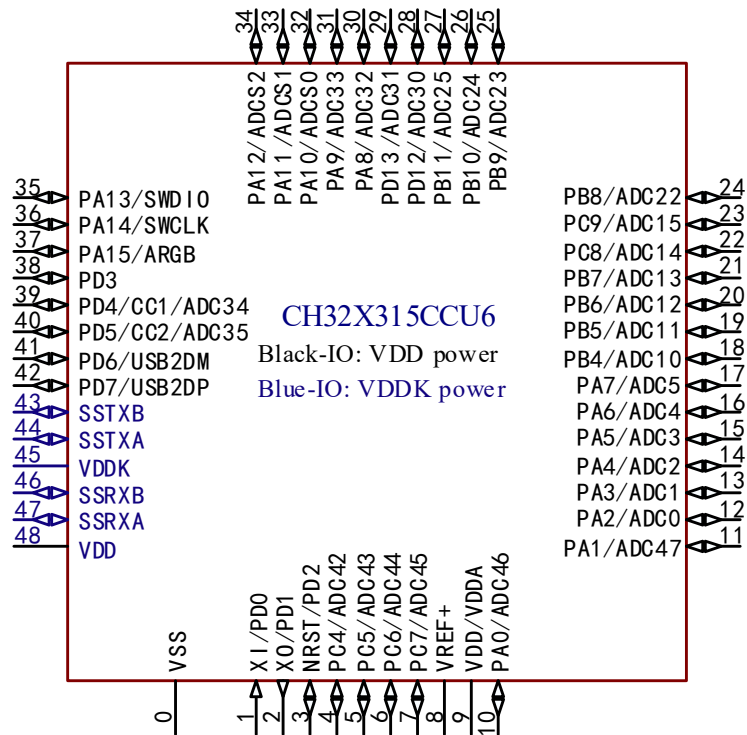
内核自带一个串行单线调试接口 (1-wire SDI Serial Debug Interface) 和一个串行 2 线调试接口 (2-wire SDI Serial Debug Interface)。系统支持单双线两种调试模式；其中，单线调试为默认调试模式，对应 SWIO 引脚 (Single Wire Input Output)，而双线调试对应 SWDIO 和 SWCLK 引脚，应用于下载时可以提高速度。系统上电或复位后默认调试接口引脚功能开启，主程序运行后可以根据需要关闭 SDI。

第2章 引脚信息

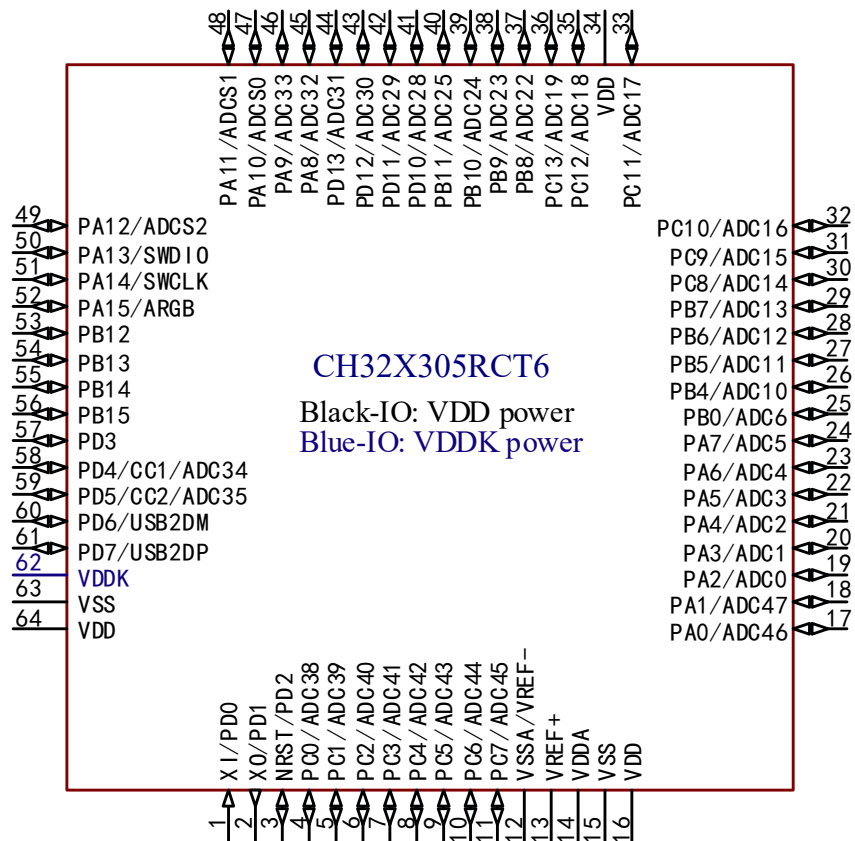
2.1 引脚排列

2.1.1 CH32X315 引脚排列





2.1.2 CH32X305 引脚排列



注：引脚图中复用功能均为缩写。

示例：ADC1_ (ADC0:ADC1_IN0、ADC1:ADC1_IN1、ADC2:ADC1_IN2、ADC3:ADC1_IN3、ADC4:ADC1_IN4、

ADC5:ADC1_IN5、ADC6:ADC1_IN6、ADC7:ADC1_IN7、ADC8:ADC1_IN8、ADC9:ADC1_IN9、ADC10:ADC1_IN10、ADC11:ADC1_IN11)

ADC2_ (ADC12:ADC2_IN0、ADC13:ADC2_IN1、ADC14:ADC2_IN2、ADC15:ADC2_IN3、ADC16:ADC2_IN4、ADC17:ADC2_IN5 、 ADC18:ADC2_IN6 、 ADC19:ADC2_IN7 、 ADC20:ADC2_IN8 、 ADC21:ADC2_IN9 、 ADC22:ADC2_IN10、ADC23:ADC2_IN11)

ADC3_ (ADC24:ADC3_IN0、ADC25:ADC3_IN1、ADC26:ADC3_IN2、ADC27:ADC3_IN3、ADC28:ADC3_IN4、ADC29:ADC3_IN5 、 ADC30:ADC3_IN6 、 ADC31:ADC3_IN7 、 ADC32:ADC3_IN8 、 ADC33:ADC3_IN9 、 ADC34:ADC3_IN10、ADC35:ADC3_IN11)

ADC4_ (ADC36:ADC4_IN0、ADC37:ADC4_IN1、ADC38:ADC4_IN2、ADC39:ADC4_IN3、ADC40:ADC4_IN4、ADC41:ADC4_IN5 、 ADC42:ADC4_IN6 、 ADC43:ADC4_IN7 、 ADC44:ADC4_IN8 、 ADC45:ADC4_IN9 、 ADC46:ADC4_IN10、ADC47:ADC4_IN11)

USB2DP:USBHS_DP

USB2DM:USBHS_DM

ARGB:ARGB_TX

2.2 引脚描述

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-1-1 CH32X315 引脚定义

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O 电平	主功能 (复位后)	引脚功能
CH32X315CCU6	CH32X315WCU6	CH32X315MCU6					
0	0	0	V _{SS}	P	—	V _{SS}	
—	—	—	V _{DD}	P	—	V _{DD}	主 V _{DD}
1	1	1	XI	I/A	—	XI	PD0 ⁽²⁾ /USART1_RX (AF1)/I2C2_SCL (AF3)/SPI1_SCS (AF4)
2	2	2	X0	O/A	—	X0	PD1 ⁽²⁾ /USART1_TX (AF1)/I2C2_SDA (AF3)/SPI1_SCK (AF4)
3	—	3	PD2	I/O	FT	PD2	NRST/SPI1_MOSI (AF4)
—	3	4	PD14	I/O/A	—	PD14	ADC4_IN0/SPI1_MISO (AF4)
—	4	5	PD15	I/O/A	—	PD15	ADC4_IN1
—	5	6	PC0	I/O/A	—	PC0	ADC4_IN2
—	6	7	PC1	I/O/A	—	PC1	ADC4_IN3
—	7	8	PC2	I/O/A	—	PC2	ADC4_IN4
—	8	9	PC3	I/O/A	—	PC3	ADC4_IN5/TIM1_ETR (AF6)/USART1_CK (AF1)
4	9	10	PC4	I/O/A	—	PC4	ADC4_IN6/TIM1_CH1 (AF6)/TIM4_CH1 (AF7)/USART1_TX (AF1)/SPI3_SCS (AF4)
5	10	11	PC5	I/O/A	—	PC5	ADC4_IN7/TIM1_CH2 (AF6)/TIM4_CH2 (AF7)/USART1_RX (AF1)/SPI3_SCK (AF4)
6	11	12	PC6	I/O/A	—	PC6	ADC4_IN8/TIM1_CH3 (AF6)/TIM4_CH3 (AF7)/USART1_CTS (AF1)/SPI3_MOSI (AF4)
7	12	13	PC7	I/O/A	—	PC7	ADC4_IN9/TIM1_CH4 (AF6)/TIM4_CH4 (AF7)/USART1_RTS (AF1)/SPI3_MISO (AF4)
—	—	14	V _{REF-}	P	—	V _{REF-}	
8	13	15	V _{REF+}	P	—	V _{REF+}	
9	14	16	V _{DDA}	P	—	V _{DDA}	
		17	V _{DD}	P	—	V _{DD}	
10	15	18	PA0	I/O/A	—	PA0	ADC4_IN10/TIM1_CH1N (AF6)/TIM4_ETR (AF7)/I2C1_SCL (AF3)
11	16	19	PA1	I/O/A	—	PA1	ADC4_IN11/TIM1_CH2N (AF6)/I2C1_SDA (AF3)
12	17	20	PA2	I/O/A	—	PA2	ADC1_IN0/TIM1_CH3N (AF6)
13	18	21	PA3	I/O/A	—	PA3	ADC1_IN1/USART2_CK (AF1)
14	19	22	PA4	I/O/A	—	PA4	ADC1_IN2/TIM2_CH1_ETR (AF6)/USART2_TX (AF1)/SPI1_SCS (AF4)
15	20	23	PA5	I/O/A	—	PA5	ADC1_IN3/TIM2_CH2 (AF6)/

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能 (复位后)	引脚功能
CH32X315CCU6	CH32X315WCU6	CH32X315MCU6					
							USART2_RX (AF1) / SPI1_SCK (AF4)
16	21	24	PA6	I/O/A	—	PA6	ADC1_IN4/TIM2_CH3 (AF6) / USART2_CTS (AF1) / SPI1_MOSI (AF4)
17	22	25	PA7	I/O/A	—	PA7	ADC1_IN5/TIM2_CH4 (AF6) / USART2_RTS (AF1) / SPI1_MISO (AF4)
—	23	26	PB0	I/O/A	—	PB0	ADC1_IN6/SPI1_SCS (AF4)
—	24	27	PB1	I/O/A	—	PB1	ADC1_IN7/SPI1_SCK (AF4)
—	25	28	PB2	I/O/A	—	PB2	ADC1_IN8/SPI1_MOSI (AF4)
—	26	29	PB3	I/O/A	—	PB3	ADC1_IN9/SPI1_MISO (AF4)
18	27	30	PB4	I/O/A	—	PB4	ADC1_IN10/TIM2_CH1_ETR (AF6) / SPI2_SCS (AF4)
19	28	31	PB5	I/O/A	—	PB5	ADC1_IN11/TIM2_CH2 (AF6) / SPI2_SCK (AF4)
20	29	32	PB6	I/O/A	—	PB6	ADC2_IN0/TIM2_CH3 (AF6) / USART3_CTS (AF1) / SPI2_MOSI (AF4)
21	30	33	PB7	I/O/A	—	PB7	ADC2_IN1/TIM2_CH4 (AF6) / USART3_RTS (AF1) / SPI2_MISO (AF4)
22	31	34	PC8	I/O/A	—	PC8	ADC2_IN2/RTC (AF0) / TIM3_CH1 (AF7) / USART3_TX (AF1) / SPI3_SCS (AF4)
23	32	35	PC9	I/O/A	—	PC9	ADC2_IN3/TIM3_CH2 (AF7) / USART3_RX (AF1) / SPI3_SCK (AF4)
—	33	36	PC10	I/O/A	—	PC10	ADC2_IN4/TIM3_CH3 (AF7) / USART3_CK (AF1) / I2C2_SCL (AF3) / SPI3_MOSI (AF4)
—	34	37	PC11	I/O/A	—	PC11	ADC2_IN5/TIM3_CH4 (AF7) / I2C2_SDA (AF3) / SPI3_MISO (AF4)
—	35	38	V _{DD}	P	—	V _{DD}	
—	36	39	PC12	I/O/A	—	PC12	ADC2_IN6/TIM3_ETR (AF7) / USART2_TX (AF1)
—	37	40	PC13	I/O/A	—	PC13	ADC2_IN7/USART2_RX (AF1)
—	38	41	PC14	I/O/A	—	PC14	ADC2_IN8/I2C1_SCL (AF3)
—	39	42	PC15	I/O/A	—	PC15	ADC2_IN9/I2C1_SDA (AF3)
24	40	43	PB8	I/O/A	—	PB8	ADC2_IN10/TIM1_CH1 (AF6)
25	41	44	PB9	I/O/A	—	PB9	ADC2_IN11/TIM1_CH2 (AF6) / I2C2_SCL (AF3)
26	42	45	PB10	I/O/A	—	PB10	ADC3_IN0/TIM1_CH3 (AF6) / I2C2_SDA (AF3)
27	43	46	PB11	I/O/A	—	PB11	ADC3_IN1/TIM1_CH4 (AF6)
—	44	47	PD8	I/O/A	—	PD8	ADC3_IN2/USART1_TX (AF1)
—	45	48	PD9	I/O/A	—	PD9	ADC3_IN3/USART1_RX (AF1)
—	46	49	PD10	I/O/A	—	PD10	ADC3_IN4/TIM4_CH1 (AF7) / SPI3_SCS (AF4)

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能 (复位后)	引脚功能
CH32X315CCU6	CH32X315WCU6	CH32X315MCU6					
–	47	50	PD11	I/O/A	–	PD11	ADC3_IN5/TIM4_CH2 (AF7) / USART4_CK (AF1) /SPI3_SCK (AF4)
28	48	51	PD12	I/O/A	–	PD12	ADC3_IN6/TIM4_CH3 (AF7) / USART4_CTS (AF1) /SPI3_MOSI (AF4)
29	49	52	PD13	I/O/A	–	PD13	ADC3_IN7/TIM1_CH1N (AF6) / TIM4_CH4 (AF7) /USART4_RTS (AF1) / SPI3_MISO (AF4)
30	50	53	PA8	I/O/A	–	PA8	ADC3_IN8/TIM1_CH2N (AF6) / USART4_TX (AF1) /I2C1_SCL (AF3)
31	51	54	PA9	I/O/A	–	PA9	ADC3_IN9/TIM1_CH3N (AF6) / USART4_RX (AF1) /I2C1_SDA (AF3)
32	52	55	PA10	I/O	–	PA10	TIM1_CH1 (AF6) /USART1_RX (AF1) / ADCS0 (AF5)
33	53	56	PA11	I/O	–	PA11	TIM1_CH2 (AF6) /USART1_TX (AF1) / I2C2_SCL (AF3) /ADCS1 (AF5)
34	54	57	PA12	I/O	–	PA12	TIM1_CH3 (AF6) /USART1_RX (AF1) / I2C2_SDA (AF3) /SPI1_SCS (AF4) / ADCS2 (AF5)
–		58	V _{DD}	P	–	V _{DD}	
35	55	59	PA13	I/O	FT	PA13	SWDIO/SWIO/TIM1_CH1N (AF6) / USART2_RX (AF2) /USART3_TX (AF1) / I2C1_SDA (AF3) /SPI1_SCK (AF4)
36	56	60	PA14	I/O	FT	PA14	SWCLK/TIM1_CH2N (AF6) /USART2_TX (AF2) / USART3_RX (AF1) /I2C1_SCL (AF3) / SPI1_MOSI (AF4)
37	57	61	PA15	I/O	FT	PA15	MCO (AF0) /TIM1_CH3N (AF6) / TIM3_CH4 (AF7) /SPI1_MISO (AF4) / ARGB_TX (AF5)
–	–	62	PB12	I/O	FT	PB12	USART4_TX (AF1) /SPI2_SCS (AF4)
–	–	63	PB13	I/O	FT	PB13	USART4_RX (AF1) /SPI2_SCK (AF4)
–	–	64	PB14	I/O	FT	PB14	I2C1_SCL (AF3) /SPI2_MOSI (AF4)
–	–	65	PB15	I/O	FT	PB15	I2C1_SDA (AF3) /SPI2_MISO (AF4)
38	58	66	PD3	I/O	FT	PD3	TIM1_BKIN (AF6) /TIM3_CH1 (AF7) / SPI1_MISO (AF4) /ARGB_TX (AF5)
39	59	67	PD4 ⁽³⁾	I/O/A	–	PD4	ADC3_IN10/CC1 (AF2) /TIM1_CH4 (AF6) TIM3_CH2 (AF7) /USART1_TX (AF1) / I2C1_SCL (AF3) /ARGB_TX (AF5)
40	60	68	PD5 ⁽³⁾	I/O/A	–	PD5	ADC3_IN11/CC2 (AF2) /TIM3_CH3 (AF7) /

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	引脚功能
CH32X315CCU6	CH32X315WCU6	CH32X315MCU6					
							USART1_RX (AF1) / I2C1_SDA (AF3)
41	61	69	PD6	I/O/A	—	PD6	USBHS_DM/USART2_TX (AF1) / I2C2_SCL (AF3)
42	62	70	PD7	I/O/A	—	PD7	USBHS_DP/USART2_RX (AF1) / I2C2_SDA (AF3)
43	63	71	SSTXB	USB	—	SSTXB	
44	64	72	SSTXA	USB	—	SSTXA	
45	65	73	V _{DDK}	P	—	V _{DDK}	
46	66	74	SSRXB	USB	—	SSRXB	
47	67	75	SSRXA	USB	—	SSRXA	
48	68	76	V _{DD}	P	—	V _{DD}	主 V _{DD}

注1：表格缩写解释：

I = TTL/CMOS电平斯密特输入； O = CMOS电平三态输出； A = 模拟信号输入或输出；

P = 电源； USB = USB信号引脚； FT = 耐受5V。

注2：对于CH32X315芯片，引脚1和引脚2在芯片复位后默认配置为X1和X0功能脚，软件可以重新设置这两个引脚为PD0和PD1功能。

注3：为减小PD4、PD5的静态电流，可配置PD4、PD5为GPIO上拉，并配置位CC1_PD和CC2_PD为1；也可配置PD4、PD5为GPIO下拉，并配置位CC1_PD和CC2_PD为0。对于CH32X315MCU6芯片，仅可配置PD4、PD5为GPIO下拉，并配置位CC1_PD和CC2_PD为0。

表 2-1-2 CH32X305 引脚定义

引脚编号	引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	引脚功能
CH32X305RCT16					
1	X1	I/A	—	X1	PD0 ⁽²⁾ / USART1_RX (AF1) / I2C2_SCL (AF3) / SPI1_SCS (AF4)
2	X0	O/A	—	X0	PD1 ⁽²⁾ / USART1_TX (AF1) / I2C2_SDA (AF3) / SPI1_SCK (AF4)
3	PD2	I/O	FT	PD2	NRST/SPI1_MOSI (AF4)
4	PC0	I/O/A	—	PC0	ADC4_IN2
5	PC1	I/O/A	—	PC1	ADC4_IN3
6	PC2	I/O/A	—	PC2	ADC4_IN4
7	PC3	I/O/A	—	PC3	ADC4_IN5/TIM1_ETR (AF6) / USART1_CK (AF1)
8	PC4	I/O/A	—	PC4	ADC4_IN6/TIM1_CH1 (AF6) / TIM4_CH1 (AF7) / USART1_TX (AF1) / SPI3_SCS (AF4)
9	PC5	I/O/A	—	PC5	ADC4_IN7/TIM1_CH2 (AF6) / TIM4_CH2 (AF7) /

引脚 编号	引脚 名称	引脚 类型 ⁽¹⁾	I/O 电平	主功能 (复位 后)	引脚功能
CH32X305RCT6					
					USART1_RX (AF1) / SPI3_SCK (AF4)
10	PC6	I/O/A	—	PC6	ADC4_IN8/TIM1_CH3 (AF6) / TIM4_CH3 (AF7) / USART1_CTS (AF1) / SPI3_MOSI (AF4)
11	PC7	I/O/A	—	PC7	ADC4_IN9/TIM1_CH4 (AF6) / TIM4_CH4 (AF7) / USART1_RTS (AF1) / SPI3_MISO (AF4)
12	V _{REF-}	P	—	V _{REF-}	
	V _{SSA}	P	—	V _{SSA}	
13	V _{REF+}	P	—	V _{REF+}	
14	V _{DDA}	P	—	V _{DDA}	
15	V _{SS}	P	—	V _{SS}	
16	V _{DD}	P	—	V _{DD}	
17	PA0	I/O/A	—	PA0	ADC4_IN10/TIM1_CH1N (AF6) / TIM4_ETR (AF7) / I2C1_SCL (AF3)
18	PA1	I/O/A	—	PA1	ADC4_IN11/TIM1_CH2N (AF6) / I2C1_SDA (AF3)
19	PA2	I/O/A	—	PA2	ADC1_IN0/TIM1_CH3N (AF6)
20	PA3	I/O/A	—	PA3	ADC1_IN1/USART2_CK (AF1)
21	PA4	I/O/A	—	PA4	ADC1_IN2/TIM2_CH1_ETR (AF6) / USART2_TX (AF1) / SPI1_SCS (AF4)
22	PA5	I/O/A	—	PA5	ADC1_IN3/TIM2_CH2 (AF6) / USART2_RX (AF1) / SPI1_SCK (AF4)
23	PA6	I/O/A	—	PA6	ADC1_IN4/TIM2_CH3 (AF6) / USART2_CTS (AF1) / SPI1_MOSI (AF4)
24	PA7	I/O/A	—	PA7	ADC1_IN5/TIM2_CH4 (AF6) / USART2_RTS (AF1) / SPI1_MISO (AF4)
25	PB0	I/O/A	—	PB0	ADC1_IN6/SPI1_SCS (AF4)
26	PB4	I/O/A	—	PB4	ADC1_IN10/TIM2_CH1_ETR (AF6) / SPI2_SCS (AF4)
27	PB5	I/O/A	—	PB5	ADC1_IN11/TIM2_CH2 (AF6) / SPI2_SCK (AF4)
28	PB6	I/O/A	—	PB6	ADC2_IN0/TIM2_CH3 (AF6) / USART3_CTS (AF1) / SPI2_MOSI (AF4)
29	PB7	I/O/A	—	PB7	ADC2_IN1/TIM2_CH4 (AF6) / USART3_RTS (AF1) / SPI2_MISO (AF4)
30	PC8	I/O/A	—	PC8	ADC2_IN2/RTC (AF0) / TIM3_CH1 (AF7) / USART3_TX (AF1) / SPI3_SCS (AF4)
31	PC9	I/O/A	—	PC9	ADC2_IN3/TIM3_CH2 (AF7) / USART3_RX (AF1) / SPI3_SCK (AF4)

引脚 编号	引脚 名称	引脚 类型 ⁽¹⁾	I/O 电平	主功能 (复位 后)	引脚功能
CH32X305RCT6					
32	PC10	I/O/A	—	PC10	ADC2_IN4/TIM3_CH3 (AF7) / USART3_CK (AF1) / I2C2_SCL (AF3) / SPI3_MOSI (AF4)
33	PC11	I/O/A	—	PC11	ADC2_IN5/TIM3_CH4 (AF7) / I2C2_SDA (AF3) / SPI3_MISO (AF4)
34	V _{DD}	P	—	V _{DD}	
35	PC12	I/O/A	—	PC12	ADC2_IN6/TIM3_ETR (AF7) / USART2_TX (AF1)
36	PC13	I/O/A	—	PC13	ADC2_IN7/USART2_RX (AF1)
37	PB8	I/O/A	—	PB8	ADC2_IN10/TIM1_CH1 (AF6)
38	PB9	I/O/A	—	PB9	ADC2_IN11/TIM1_CH2 (AF6) / I2C2_SCL (AF3)
39	PB10	I/O/A	—	PB10	ADC3_IN0/TIM1_CH3 (AF6) / I2C2_SDA (AF3)
40	PB11	I/O/A	—	PB11	ADC3_IN1/TIM1_CH4 (AF6)
41	PD10	I/O/A	—	PD10	ADC3_IN4/TIM4_CH1 (AF7) / SPI3_SCS (AF4)
42	PD11	I/O/A	—	PD11	ADC3_IN5/TIM4_CH2 (AF7) / USART4_CK (AF1) / SPI3_SCK (AF4)
43	PD12	I/O/A	—	PD12	ADC3_IN6/TIM4_CH3 (AF7) / USART4_CTS (AF1) / SPI3_MOSI (AF4)
44	PD13	I/O/A	—	PD13	ADC3_IN7/TIM1_CH1N (AF6) / TIM4_CH4 (AF7) / USART4_RTS (AF1) / SPI3_MISO (AF4)
45	PA8	I/O/A	—	PA8	ADC3_IN8/TIM1_CH2N (AF6) / USART4_TX (AF1) / I2C1_SCL (AF3)
46	PA9	I/O/A	—	PA9	ADC3_IN9/TIM1_CH3N (AF6) / USART4_RX (AF1) / I2C1_SDA (AF3)
47	PA10	I/O	—	PA10	TIM1_CH1 (AF6) / USART1_RX (AF1) / ADCS0 (AF5)
48	PA11	I/O	—	PA11	TIM1_CH2 (AF6) / USART1_TX (AF1) / I2C2_SCL (AF3) / ADCS1 (AF5)
49	PA12	I/O	—	PA12	TIM1_CH3 (AF6) / USART1_RX (AF1) / I2C2_SDA (AF3) / SPI1_SCS (AF4) / ADCS2 (AF5)
50	PA13	I/O	FT	PA13	SWDIO/SWIO/TIM1_CH1N (AF6) / USART2_RX (AF2) / USART3_TX (AF1) / I2C1_SDA (AF3) / SPI1_SCK (AF4)
51	PA14	I/O	FT	PA14	SWCLK/TIM1_CH2N (AF6) / USART2_TX (AF2) / USART3_RX (AF1) / I2C1_SCL (AF3) /

引脚 编号					
CH32X305RCT6	引脚 名称	引脚 类型 ⁽¹⁾	I/O 电平	主功能 (复位 后)	引脚功能
					SPI1_MOSI (AF4)
52	PA15	I/O	FT	PA15	MCO (AF0) / TIM1_CH3N (AF6) / TIM3_CH4 (AF7) / SPI1_MISO (AF4) / ARGB_TX (AF5)
53	PB12	I/O	FT	PB12	USART4_TX (AF1) / SPI2_SCS (AF4)
54	PB13	I/O	FT	PB13	USART4_RX (AF1) / SPI2_SCK (AF4)
55	PB14	I/O	FT	PB14	I2C1_SCL (AF3) / SPI2_MOSI (AF4)
56	PB15	I/O	FT	PB15	I2C1_SDA (AF3) / SPI2_MISO (AF4)
57	PD3	I/O	FT	PD3	TIM1_BKIN (AF6) / TIM3_CH1 (AF7) / SPI1_MISO (AF4) / ARGB_TX (AF5)
58	PD4 ⁽³⁾	I/O/A	—	PD4	ADC3_IN10/CC1 (AF2) / TIM1_CH4 (AF6) / TIM3_CH2 (AF7) / USART1_TX (AF1) / I2C1_SCL (AF3) / ARGB_TX (AF5)
59	PD5 ⁽³⁾	I/O/A	—	PD5	ADC3_IN11/CC2 (AF2) / TIM3_CH3 (AF7) / USART1_RX (AF1) / I2C1_SDA (AF3)
60	PD6	I/O/A	—	PD6	USBHS_DM/USART2_TX (AF1) / I2C2_SCL (AF3)
61	PD7	I/O/A	—	PD7	USBHS_DP/USART2_RX (AF1) / I2C2_SDA (AF3)
62	V _{DDK}	P	—	V _{DDK}	
63	V _{SS}	P	—	V _{SS}	
64	V _{DD}	P	—	V _{DD}	

注1：表格缩写解释：

I = TTL/CMOS电平斯密特输入； 0 = CMOS电平三态输出； A = 模拟信号输入或输出；
P = 电源； FT = 耐受5V。

注2：对于CH32X305芯片，引脚1和引脚2在芯片复位后默认配置为XI和X0功能脚，软件可以重新设置这两个引脚为PD0和PD1功能。

注3：为减小PD4、PD5的静态电流，可配置PD4、PD5为GPIO上拉，并配置位CC1_PD和CC2_PD为1；也可配置PD4、PD5为GPIO下拉，并配置位CC1_PD和CC2_PD为0。

2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-2-1 ADC 引脚功能

ADC1 功能	默认引脚
ADC1_IN0	PA2
ADC1_IN1	PA3
ADC1_IN2	PA4
ADC1_IN3	PA5
ADC1_IN4	PA6
ADC1_IN5	PA7
ADC1_IN6	PB0
ADC1_IN7	PB1
ADC1_IN8	PB2
ADC1_IN9	PB3
ADC1_IN10	PB4
ADC1_IN11	PB5
ADC1_IN12	V _{REFINT}
ADC2 功能	默认引脚
ADC2_IN0	PB6
ADC2_IN1	PB7
ADC2_IN2	PC8
ADC2_IN3	PC9
ADC2_IN4	PC10
ADC2_IN5	PC11
ADC2_IN6	PC12
ADC2_IN7	PC13
ADC2_IN8	PC14
ADC2_IN9	PC15
ADC2_IN10	PB8
ADC2_IN11	PB9
ADC3 功能	默认引脚
ADC3_IN0	PB10
ADC3_IN1	PB11
ADC3_IN2	PD8
ADC3_IN3	PD9
ADC3_IN4	PD10

ADC3_IN5	PD11
ADC3_IN6	PD12
ADC3_IN7	PD13
ADC3_IN8	PA8
ADC3_IN9	PA9
ADC3_IN10	PD4
ADC3_IN11	PD5
ADC4 功能	默认引脚
ADC4_IN0	PD14
ADC4_IN1	PD15
ADC4_IN2	PC0
ADC4_IN3	PC1
ADC4_IN4	PC2
ADC4_IN5	PC3
ADC4_IN6	PC4
ADC4_IN7	PC5
ADC4_IN8	PC6
ADC4_IN9	PC7
ADC4_IN10	PA0
ADC4_IN11	PA1
ADC 扫描功能	可选引脚
ADCS0	PA10 (AF5)
ADCS1	PA11 (AF5)
ADCS2	PA12 (AF5)

表 2-2-2 TIM 引脚功能

TIM1 功能	可选引脚
TIM1_ETR	PC3 (AF6)
TIM1_CH1	PA10 (AF6)、PB8 (AF6)、PC4 (AF6)
TIM1_CH2	PA11 (AF6)、PB9 (AF6)、PC5 (AF6)
TIM1_CH3	PA12 (AF6)、PB10 (AF6)、PC6 (AF6)
TIM1_CH4	PD4 (AF6)、PB11 (AF6)、PC7 (AF6)
TIM1_CH1N	PA0 (AF6)、PA13 (AF6)、PD13 (AF6)
TIM1_CH2N	PA1 (AF6)、PA8 (AF6)、PA14 (AF6)
TIM1_CH3N	PA2 (AF6)、PA9 (AF6)、PA15 (AF6)
TIM1_BKIN	PD3 (AF6)
TIM2 功能	可选引脚
TIM2_CH1_ETR	PA4 (AF6)、PB4 (AF6)

TIM2_CH2	PA5 (AF6) 、 PB5 (AF6)
TIM2_CH3	PA6 (AF6) 、 PB6 (AF6)
TIM2_CH4	PA7 (AF6) 、 PB7 (AF6)
TIM3 功能	可选引脚
TIM3_ETR	PC12 (AF7)
TIM3_CH1	PC8 (AF7) 、 PD3 (AF7)
TIM3_CH2	PC9 (AF7) 、 PD4 (AF7)
TIM3_CH3	PC10 (AF7) 、 PD5 (AF7)
TIM3_CH4	PC11 (AF7) 、 PA15 (AF7)
TIM4 功能	可选引脚
TIM4_ETR	PA0 (AF7)
TIM4_CH1	PC4 (AF7) 、 PD10 (AF7)
TIM4_CH2	PC5 (AF7) 、 PD11 (AF7)
TIM4_CH3	PC6 (AF7) 、 PD12 (AF7)
TIM4_CH4	PC7 (AF7) 、 PD13 (AF7)

表 2-2-3 I2C 引脚功能

I2C1 功能	可选引脚
I2C1_SCL	PA0 (AF3) 、 PA8 (AF3) 、 PA14 (AF3) 、 PB14 (AF3) 、 PC14 (AF3) 、 PD4 (AF3)
I2C1_SDA	PA1 (AF3) 、 PA9 (AF3) 、 PA13 (AF3) 、 PB15 (AF3) 、 PC15 (AF3) 、 PD5 (AF3)
I2C2 功能	可选引脚
I2C2_SCL	PA11 (AF3) 、 PB9 (AF3) 、 PC10 (AF3) 、 PD0 (AF3) 、 PD6 (AF3)
I2C2_SDA	PA12 (AF3) 、 PB10 (AF3) 、 PC11 (AF3) 、 PD1 (AF3) 、 PD7 (AF3)

表 2-2-4 SPI 引脚功能

SPI1 功能	可选引脚
SPI1_SCK	PA5 (AF4) 、 PA13 (AF4) 、 PB1 (AF4) 、 PD1 (AF4)
SPI1_SCS	PA4 (AF4) 、 PA12 (AF4) 、 PB0 (AF4) 、 PD0 (AF4)
SPI1_MOSI	PA6 (AF4) 、 PA14 (AF4) 、 PB2 (AF4) 、 PD2 (AF4)
SPI1_MISO	PA7 (AF4) 、 PA15 (AF4) 、 PB3 (AF4) 、 PD3 (AF4) 、 PD14 (AF4)
SPI2 功能	可选引脚
SPI2_SCK	PB5 (AF4) 、 PB13 (AF4)
SPI2_SCS	PB4 (AF4) 、 PB12 (AF4)
SPI2_MOSI	PB6 (AF4) 、 PB14 (AF4)
SPI2_MISO	PB7 (AF4) 、 PB15 (AF4)
SPI3 功能	可选引脚
SPI3_SCK	PC5 (AF4) 、 PC9 (AF4) 、 PD11 (AF4)

SPI3_SCS	PC4 (AF4)、PC8 (AF4)、PD10 (AF4)
SPI3_MOSI	PC6 (AF4)、PC10 (AF4)、PD12 (AF4)
SPI3_MISO	PC7 (AF4)、PC11 (AF4)、PD13 (AF4)

表 2-2-5 USART 引脚功能

USART1 功能	可选引脚
USART1_CK	PC3 (AF1)
USART1_RX	PA10 (AF1)、PA12 (AF1)、PC5 (AF1)、PD0 (AF1)、PD5 (AF1)、PD9 (AF1)
USART1_TX	PA11 (AF1)、PC4 (AF1)、PD1 (AF1)、PD4 (AF1)、PD8 (AF1)
USART1_RTS	PC7 (AF1)
USART1_CTS	PC6 (AF1)
USART2 功能	可选引脚
USART2_CK	PA3 (AF1)
USART2_RX	PA5 (AF1)、PA13 (AF2)、PC13 (AF1)、PD7 (AF1)
USART2_TX	PA4 (AF1)、PA14 (AF2)、PC12 (AF1)、PD6 (AF1)
USART2_RTS	PA7 (AF1)
USART2_CTS	PA6 (AF1)
USART3 功能	可选引脚
USART3_CK	PC10 (AF1)
USART3_RX	PA14 (AF1)、PC9 (AF1)
USART3_TX	PA13 (AF1)、PC8 (AF1)
USART3_RTS	PB7 (AF1)
USART3_CTS	PB6 (AF1)
USART4 功能	可选引脚
USART4_CK	PD11 (AF1)
USART4_RX	PA9 (AF1)、PB13 (AF1)
USART4_TX	PA8 (AF1)、PB12 (AF1)
USART4_RTS	PD13 (AF1)
USART4_CTS	PD12 (AF1)

表 2-2-6 USBPD 引脚功能

USBPD 功能	可选引脚
CC1	PD4 (AF2)
CC2	PD5 (AF2)

表 2-2-7 USBHS 引脚功能

USBHS 功能	默认引脚
USBHS_DP	PD7

USBHS_DM	PD6
----------	-----

表 2-2-8 ARGB 引脚功能

ARGB 功能	可选引脚
ARGB_TX	PA15 (AF5)、PD3 (AF5)、PD4 (AF5)

表 2-2-9 调试引脚功能

调试功能	默认引脚
SWCLK	PA14
SWDIO/SWIO	PA13

表 2-2-10 MCO 引脚功能

MCO 功能	可选引脚
MCO	PA15 (AF0)

表 2-2-11 RTC 引脚功能

RTC 功能	可选引脚
RTC	PC8 (AF0)

表 2-2-12 复位引脚功能

NRST 功能	默认引脚
NRST	PD2

第 3 章 电气特性

3.1 测试条件

除非特殊说明和标注，所有电压都以 V_{SS} 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

CH32X315 和 CH32X305 的典型数值是基于以下两种环境之一用于设计指导：

1、常温 25°C ，供电 $V_{DD} = 3.3\text{V}$ 、 $V_{DDA} = 3.3\text{V}$ 、 $V_{REF+} = 3.3\text{V}$ ，产生 $V_{DDK} = 1.2\text{V}$ 。

2、常温 25°C ，外部为 DCDC 芯片（CH2003K）提供额定 5V ，产生额定 3.3V 和 1.2V 供给 CH32X315。

供电 $V_{DD} = V_{DDA} = V_{REF+} = 3.3\text{V}$ 、 $V_{DDK} = 1.2\text{V}$ 。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图 3-1-1 常规供电典型电路

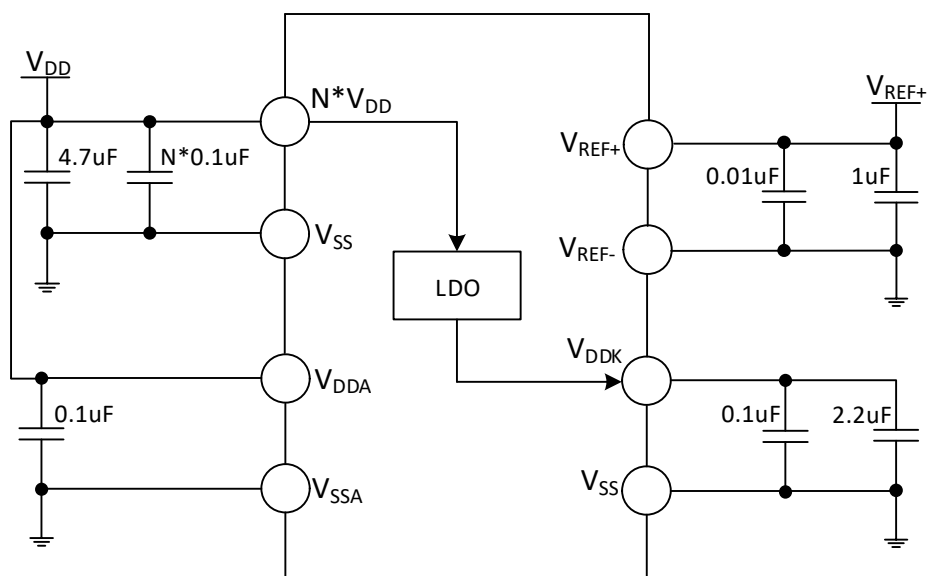
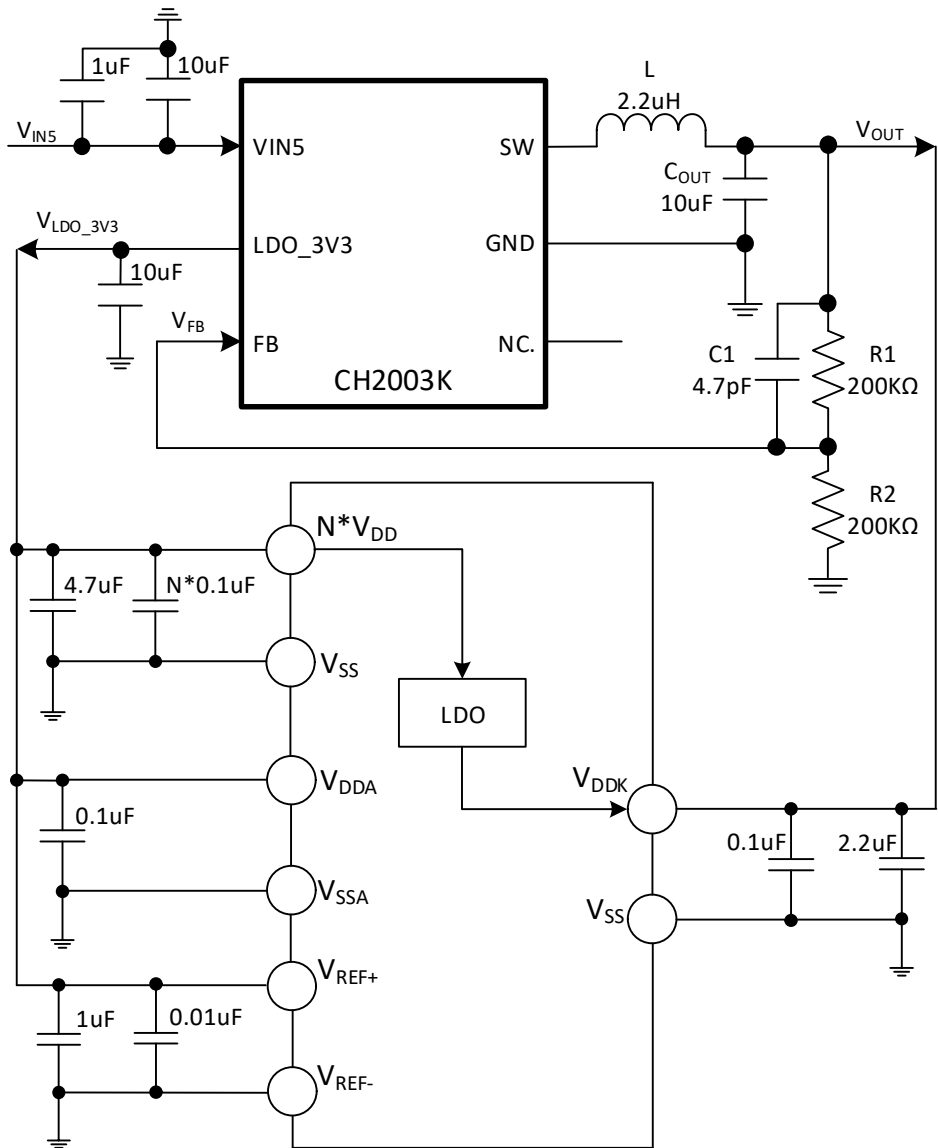


图 3-1-2 常规单一 5V 供电典型电路



- 注：1. 对于 CH32X315 和 CH32X305 芯片， V_{DD} 在芯片封装中有多个引脚，同名电源引脚必须短接。
2. 主 V_{DD} 引脚（与 V_{DDK} 引脚相邻或较近）外接 $0.1\mu F$ 并联至少 $4.7\mu F$ 容量的退耦电容，剩余 V_{DD} 引脚只需外接 $0.1\mu F$ 容量的退耦电容即可。
3. 对于上图 3-1-2 所示电路，位 LDO_VDDK/LDO_VDD12A 需调低至 010，以便让位于外供的 1.2V 电源。

3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	$^{\circ}C$
T_S	存储时的环境温度	-40	125	$^{\circ}C$
V_{DD}	外部主供电电压	-0.3	4.0	V
V_{DDA}	模拟部分供电电压	-0.3	4.0	V
V_{DDK}	内核工作电压、USB 3.0 模块工作电压	-0.2	1.4	V
V_{REF+}	ADC 模块的正参考电压	-0.3	$V_{DDA}+0.3$	V

V_{REF-}	ADC 模块的负参考电压	-0.3	1.3	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	-0.3	5.5	V
	USB 2.0 引脚上的输入电压	-0.3	$V_{DD}+0.3$	V
	USB 3.0 引脚上的输入电压	CH32X315	$V_{DDK}+0.3$	V
	其他 I/O 引脚上的输入电压（ V_{DD} 供电）	-0.3	$V_{DD}+0.3$	V
$ \Delta V_{DD-x} $	主供电引脚各 V_{DD} 之间的电压差		20	mV
$ \Delta V_{SS-x} $	公共地引脚各 V_{SS} 之间的电压差		20	mV
$V_{ESDIO (HBM)}$	I/O 引脚的 ESD 静电放电电压（HBM）		4K	V
	USB 2.0 和 USB 3.0 引脚		3K	V
I_{VDD}	所有 V_{DD} 主供电引脚的合计总电流		250	mA
I_{VSS}	所有 V_{SS} 公共地引脚的合计总电流		250	mA
I_{IO}	任意 I/O 和控制引脚上的灌电流		25	mA
	任意 I/O 和控制引脚上的源电流		-25	

3.3 电气参数

3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
F_{HCLK}	系统 HB 时钟频率	LD0_VDDK = 101（默认）			312.5 ⁽³⁾	MHz
		LD0_VDDK = 111（性能模式）			400 ⁽⁵⁾	MHz
F_{CORE}	内核 RISC-V3F 频率	LD0_VDDK = 101（默认）			480 ⁽⁴⁾	MHz
		LD0_VDDK = 111（性能模式）			625 ⁽⁵⁾	MHz
$V_{DD}^{(6)}$	标准工作电压	未使用 USB 2.0	2.8	3.3	3.6	V
		使用 USB 2.0	3.15	3.3	3.45	V
V_{DDA}	模拟部分工作电压	V_{DDA} 应该与 V_{DD} 相同, V_{REF+} 不能高于 V_{DDA} , V_{REF-} 建议等于 V_{SS}	2.8	3.3	3.6	V
$V_{DDK}^{(1)}$	内核工作电压、USB 3.0 模块工作电压		1.17	1.2	1.27	V
$V_{REF+}^{(2)}$	ADC 模块的正参考电压	V_{REF+} 不能高于 V_{DDA} , V_{REF-} 建议等于 V_{SS}	2.4	3.3	3.6	V
T_A	工作时的环境温度		-40		85	°C
T_J	结温度		-40		105	°C

注：1. V_{DDK} 电流较大，考虑 PCB 走线压降损失，如果外部供电建议 1.2V 再加 10~50mV。

2. V_{REF+} 外接电容要尽可能近，否则影响 ADC 性能。

3. 实测不低于 480MHz，未考虑温度和工艺波动，禁止 480MHz 应用于正式工程。

4. 实测不低于 625MHz，未考虑温度和工艺波动，禁止 625MHz 应用于正式工程。

5. 仅适用于商业级应用： $T_A \leq 70^\circ\text{C}$ 且散热良好。

6. 对于 V_{DD} ，电源线的电阻应足够小，退耦电容应靠近芯片电源引脚放置，以避免因该电源网络的 IR 压降或瞬态大电流而误触发上电/掉电复位。

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	∞	us/V
	V_{DD} 下降速率		20	∞	

3.3.2 内置复位和电源控制模块特性

表 3-4 复位及电压监测

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}^{(1)}$	可编程电压检测器的电平选择	PLS[1:0] = 00 (上升沿)		2.79		V
		PLS[1:0] = 00 (下降沿)		2.77		V
		PLS[1:0] = 01 (上升沿)		2.91		V
		PLS[1:0] = 01 (下降沿)		2.88		V
		PLS[1:0] = 10 (上升沿)		3.01		V
		PLS[1:0] = 10 (下降沿)		2.99		V
		PLS[1:0] = 11 (上升沿)		3.09		V
		PLS[1:0] = 11 (下降沿)		3.07		V
$V_{PVDhyst}$	PVD 迟滞			0.02		V
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿		2.65		V
		下降沿		2.64		V
$V_{PDRhyst}$	PDR 迟滞			10		mV
$t_{RSTTEMPO}$	上电复位		16	28	30	ms
	其他复位		2	20	30	ms

注：1. 常温测试值。

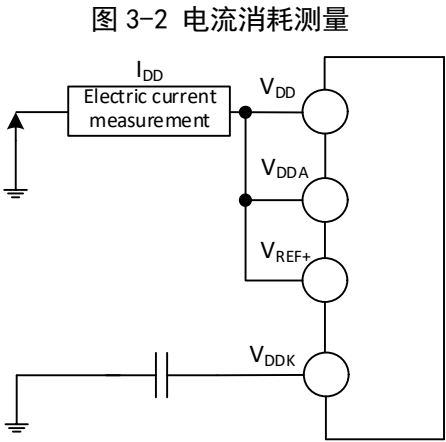
3.3.3 内置的参考电压

表 3-5 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	$T_A = -40^{\circ}C \sim 85^{\circ}C$	1.17	1.2	1.23	V
$T_{S_vrefint}$	当读出内部参考电压时，ADC 的采样时间		3.6			us

3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：



CH32X305 和 CH32X315 处于下列条件之一：

- 1、常温 $V_{DD} = V_{DDA} = 3.3V$ 、 $V_{DDK} = 1.2V$ 情况下，

2、常温，外部为 DCDC 芯片（CH2003K）提供额定 5V，产生额定 3.3V 和 1.2V 供给 CH32X315 芯片。

同时测试时：所有 I/O 端口配置下拉输入，HSE 或 HSI 只开 1 个，HSE = 20M，HSI = 20M（已校准）。使能或关闭所有外设时钟的功耗。

表 3-6 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件			典型值		单位
		时钟	F _{CORE}	F _{HCLK}	使能所有外设	关闭所有外设	
I _{DD} ⁽¹⁾	运行模式下的 供应电流	外部时钟	F _{CORE} = 480MHz ⁽²⁾	F _{HCLK} = 480MHz ⁽²⁾	74.8	41.1	mA
			F _{CORE} = 480MHz	F _{HCLK} = 240MHz	51.1	34.8	
			F _{CORE} = 240MHz	F _{HCLK} = 240MHz	38.9	22.5	
			F _{CORE} = 120MHz	F _{HCLK} = 120MHz	22.6	14.4	
			F _{CORE} = 60MHz	F _{HCLK} = 60MHz	14.4	10.4	
			F _{CORE} = 20MHz	F _{HCLK} = 20MHz	5.7	4.3	
		运行于高速 内部 RC 振荡 器 (HSI)，使 用 HB 预分频 以减低频率	F _{CORE} = 480MHz	F _{HCLK} = 240MHz	49.9	33.7	
			F _{CORE} = 240MHz	F _{HCLK} = 240MHz	38.2	21.8	
			F _{CORE} = 120MHz	F _{HCLK} = 120MHz	22.1	13.8	
			F _{CORE} = 60MHz	F _{HCLK} = 60MHz	13.8	9.7	
			F _{CORE} = 20MHz	F _{HCLK} = 20MHz	4.9	3.6	

注：1. 以上为实测参数。

2. 在性能模式（位 LDO_VDDK = 111）的条件下进行实测。

表 3-7 睡眠模式下典型的电流消耗，数据处理代码从内部闪存或 SRAM 中运行

符号	参数	条件			典型值		单位
		时钟	F _{CORE}	F _{HCLK}	使能所有外设	关闭所有外设	
I _{DD} ⁽¹⁾	睡眠模式 下的供应 电流（此 时外设供 电和时钟 保持）	外部时钟	F _{CORE} = 480MHz	F _{HCLK} = 240MHz	28.5	12.1	mA
			F _{CORE} = 240MHz	F _{HCLK} = 240MHz	27.9	11.5	
			F _{CORE} = 120MHz	F _{HCLK} = 120MHz	17.1	8.9	
			F _{CORE} = 60MHz	F _{HCLK} = 60MHz	11.7	7.6	
			F _{CORE} = 20MHz	F _{HCLK} = 20MHz	4.7	3.3	
		运行于高速 内部 RC 振荡 器 (HSI)，使 用 HB 预分频 以减低频率	F _{CORE} = 480MHz	F _{HCLK} = 240MHz	27.8	11.3	
			F _{CORE} = 240MHz	F _{HCLK} = 240MHz	27.2	10.8	
			F _{CORE} = 120MHz	F _{HCLK} = 120MHz	16.5	8.3	
			F _{CORE} = 60MHz	F _{HCLK} = 60MHz	11.1	6.9	
			F _{CORE} = 20MHz	F _{HCLK} = 20MHz	4.0	2.6	

注：1. 以上为实测参数。

表 3-8 停止模式下典型的电流消耗

符号	参数	条件	典型值	单位
I _{DD} ⁽¹⁾⁽²⁾⁽³⁾	停止模式下的供应电流	调压器处于正常模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗）	0.87	mA
		调压器处于低功耗模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗，PVD 关闭）	0.79	

注：1. 以上为实测参数。

2. 上表中，测试结果基于位 $PLAN = 1$ 、 $LD0_VDD12A[2:0] = 011b$ 以及 $LD0_VDDK[2:0] = 011b$ 的条件下得出。

3. 为减小 PD4、PD5 的静态电流，可配置 PD4、PD5 为 GPIO 上拉，并配置位 CC1_PD 和 CC2_PD 为 1；也可配置 PD4、PD5 为 GPIO 下拉，并配置位 CC1_PD 和 CC2_PD 为 0。对于 CH32X315MCU6 芯片，仅可配置 PD4、PD5 为 GPIO 下拉，并配置位 CC1_PD 和 CC2_PD 为 0。

3.3.5 外部时钟源特性

表 3-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSE_ext}	外部时钟频率		5	20	32	MHz
$V_{HSEH}^{(1)}$	XI 输入引脚高电平电压		$0.8 \cdot V_{DD}$		V_{DD}	V
$V_{HSEL}^{(1)}$	XI 输入引脚低电平电压		0		$0.2 \cdot V_{DD}$	V
$C_{in(HSE)}$	XI 输入电容			5		pF
$DuCy_{HSE}$	占空比 (Duty cycle)			50		%
I_L	XI 输入漏电流				± 1	μA

注：不满足此条件可能会引起电平识别错误。

图 3-3 外部提供高频时钟源电路

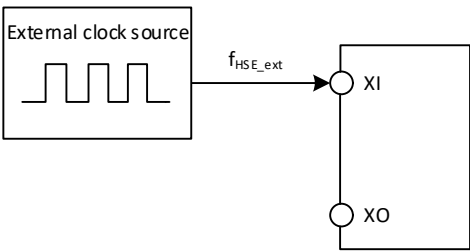


表 3-10 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{XI}	谐振器频率		5	20	32	MHz
R_F	反馈电阻			250		k Ω
C_{LOAD}	建议的负载电容与对应晶体串行阻抗 R_s	$R_s = 60 \Omega^{(1)}$		20		pF
I_2	HSE 驱动电流			0.53		mA
g_m	振荡器的跨导	启动		17		mA/V
$t_{SU(HSE)}$	启动时间	V_{DD} 稳定，20M 晶体		1 ⁽²⁾		ms

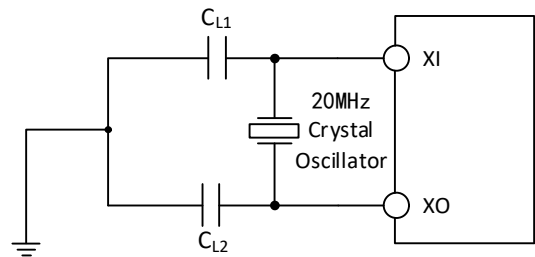
注：1. 建议晶体 ESR 不超过 80 欧姆，优先选择 ESR 较小的晶体，负载电容参考晶体手册要求。

2. 启动时间指从 HSEON 开启到 HSERDY 被置位的时间差。

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1} = C_{L2}$ 。

图 3-5 外接 20M 晶体典型电路



3.3.6 内部时钟源特性

表 3-11 内部高速（HSI）RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率（校准后）			20		MHz
$DuCy_{HSI}$	占空比（Duty cycle）		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度（校准后）	$T_A = 0^{\circ}C \sim 70^{\circ}C$	-1.5		1.8	%
		$T_A = -40^{\circ}C \sim 85^{\circ}C$	-2.2		2.2	%
$t_{SU(HSI)}$	HSI 振荡器启动稳定时间			2	12	us
$I_{DD(HSI)}$	HSI 振荡器功耗		180	230	280	uA

表 3-12 内部低速（LSI）RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		25	40	60	kHz
$DuCy_{LSI}$	占空比（Duty cycle）		45	50	55	%
$t_{SU(LSI)}$	LSI 振荡器启动稳定时间 ⁽¹⁾			230		us
$I_{DD(LSI)}$	LSI 振荡器功耗			1		uA

注：1. 寄存器 `RCC_RSTSCKR LSION` 位置 1，等待 `LSIRDY` 置 1。

3.3.7 从低功耗模式唤醒的时间

表 3-13 低功耗模式唤醒的时间

符号	参数	条件	典型值	单位
$t_{wusleep}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	0.48	us
t_{wustop}	从停止模式唤醒（LDO 处于正常模式）	HSI RC 时钟唤醒	6.6	us
	从停止模式唤醒（LDO 为低功耗模式）	LDO 从低功耗模式唤醒时间 + HSI RC 时钟唤醒	22.05	us

3.3.8 存储器特性

表 3-14 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog_page}	页（256 字节）编程时间	$T_A = -40^{\circ}C \sim 85^{\circ}C$		1.5	3	ms
t_{erase_sec}	扇区擦除时间	$T_A = -40^{\circ}C \sim 85^{\circ}C$		3	10	ms

$t_{\text{erase_32k}}$	块擦除时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$		3	10	ms
-------------------------	-------	---	--	---	----	----

注：flash 的操作频率包括读、编程、擦除，时钟来自于 HCLK。

表 3-15 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	$T_A = 25^{\circ}\text{C}$	50K			次
t_{RET}	数据保存期限		20			年

3.3.9 I/O 端口特性

表 3-16 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	标准 I/O 脚，输入高电平电压		$0.45 \cdot V_{\text{DD}} + 0.41$		V_{DD}	V
		$V_{\text{DD}} = 3.3\text{V}$	1.9		3.3	V
	FT I/O 引脚，输入高电平电压		$0.45 \cdot V_{\text{DD}} + 0.41$		5.0	V
		$V_{\text{DD}} = 3.3\text{V}$	1.9		5.0	V
V_{IL}	标准 I/O 脚，输入低电平电压		0		$0.29 \cdot V_{\text{DD}} - 0.07$	V
		$V_{\text{DD}} = 3.3\text{V}$	0		0.9	V
	FT I/O 引脚，输入低电平电压		0		$0.29 \cdot V_{\text{DD}} - 0.07$	V
		$V_{\text{DD}} = 3.3\text{V}$	0		0.9	V
V_{hys}	标准 I/O 脚施密特触发器电压迟滞			240		mV
	FT I/O 引脚施密特触发器电压迟滞			220		
I_{Ikg}	输入漏电流	标准 I/O 端口			1	uA
		FT I/O 端口			3	
R_{PU}	上拉等效电阻		30	40	55	k Ω
R_{PD}	下拉等效电阻		30	40	55	k Ω
C_{IO}	I/O 引脚电容			5		pF

输出驱动电流特性

GPIO（通用输入/输出端口）可以吸收或输出多达 $\pm 8\text{mA}$ 电流，并且吸收或输出 $\pm 20\text{mA}$ 电流（不严格达到 $V_{\text{OL}}/V_{\text{OH}}$ ）。在用户应用中，所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值：

表 3-17 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平，引脚灌电流	$I_{\text{IO}} = 8\text{mA}$ $2.8\text{V} < V_{\text{DD}} < 3.6\text{V}$		0.4	V
V_{OH}	输出高电平，引脚源电流		$V_{\text{DD}} - 0.4$		
V_{OL}	输出低电平，引脚灌电流	$I_{\text{IO}} = 20\text{mA}$ $2.8\text{V} < V_{\text{DD}} < 3.6\text{V}$		1.0	V
V_{OH}	输出高电平，引脚源电流		$V_{\text{DD}} - 1.0$		

注：以上条件中如果多个 I/O 引脚同时驱动，电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时，电源/地线点上的电流很大，会导致压降使内部 I/O 的电压达不到表中电

源电压，从而导致驱动电流小于标称值。

表 3-18 输入输出交流特性

MODEx[1:0] 配置	符号	参数	条件	最小值	最大值	单位
00	$F_{\max(10) \text{ out}}$	最大频率	CL=50pF, $V_{DD} = 2.8-3.6V$		30	MHz
			CL=30pF, $V_{DD} = 2.8-3.6V$		35	MHz
			CL=10pF, $V_{DD} = 2.8-3.6V$		43	MHz
	$t_r/t_f(10) \text{ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF, $V_{DD} = 2.8-3.6V$		10	ns
			CL=30pF, $V_{DD} = 2.8-3.6V$		7.6	ns
			CL=10pF, $V_{DD} = 2.8-3.6V$		5	ns
01	$F_{\max(10) \text{ out}}$	最大频率	CL=50pF, $V_{DD} = 2.8-3.6V$		32	MHz
			CL=30pF, $V_{DD} = 2.8-3.6V$		45	MHz
			CL=10pF, $V_{DD} = 2.8-3.6V$		90	MHz
	$t_r/t_f(10) \text{ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF, $V_{DD} = 2.8-3.6V$		8	ns
			CL=30pF, $V_{DD} = 2.8-3.6V$		5.5	ns
			CL=10pF, $V_{DD} = 2.8-3.6V$		3	ns
10	$F_{\max(10) \text{ out}}$	最大频率	CL=50pF, $V_{DD} = 2.8-3.6V$		35	MHz
			CL=30pF, $V_{DD} = 2.8-3.6V$		50	MHz
			CL=10pF, $V_{DD} = 2.8-3.6V$		100	MHz
	$t_r/t_f(10) \text{ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF, $V_{DD} = 2.8-3.6V$		8	ns
			CL=30pF, $V_{DD} = 2.8-3.6V$		5.5	ns
			CL=10pF, $V_{DD} = 2.8-3.6V$		3	ns
11	$F_{\max(10) \text{ out}}$	最大频率	CL=50pF, $V_{DD} = 2.8-3.6V$		37	MHz
			CL=30pF, $V_{DD} = 2.8-3.6V$		55	MHz
			CL=10pF, $V_{DD} = 2.8-3.6V$		110	MHz
	$t_r/t_f(10) \text{ out}$	输出低至高电平的上升时间，输出高至低电平的下降时间	CL=50pF, $V_{DD} = 2.8-3.6V$		8	ns
			CL=30pF, $V_{DD} = 2.8-3.6V$		5.5	ns
			CL=10pF, $V_{DD} = 2.8-3.6V$		2.5	ns

注：1、以上均为设计参数保证。

3.3.10 NRST 引脚特性

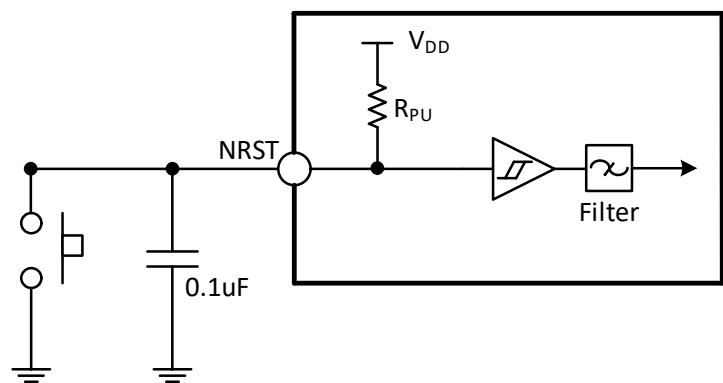
表 3-19 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压		0		$0.29 \cdot V_{DD} - 0.07$	V
$V_{IH(NRST)}$	NRST 输入高电平电压		$0.45 \cdot V_{DD} + 0.41$		V_{DD}	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞			240		mV
$R_{PU}^{(1)}$	上拉等效电阻		30	40	55	k Ω
$V_F(NRST)$	NRST 输入可被滤波脉宽				100	ns
$V_{NF(NRST)}$	NRST 输入无法滤波脉宽		300			ns

注：上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS 开关的电阻很小（约占 10%）。

电路参考设计及要求：

图 3-7 外部复位引脚典型电路



注：图中的电容是可选的，可以用于滤除按键抖动。

3.3.11 TIM 定时器特性

表 3-20-1 TIM1/2/3 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 200MHz$	5		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 200MHz$	0	100	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 200MHz$	0.005	328	us
t_{MAX_COUNT}	最大可能的计数			65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 200MHz$		21.5	s

表 3-20-2 TIM4 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 200MHz$	5		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 200MHz$	0	100	MHz
R_{esTIM}	定时器分辨率			32	位
$t_{COUNTER}$	当选择了内部时钟时，32 位计数器时钟周期		1	2^{32}	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 200MHz$	0.005	$2^{32}/200$	us
t_{MAX_COUNT}	最大可能的计数			2^{32}	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 200MHz$		$2^{32} \times 2^{16}/200$	us

3.3.12 I2C 接口特性

图 3-8 I2C 总线时序图

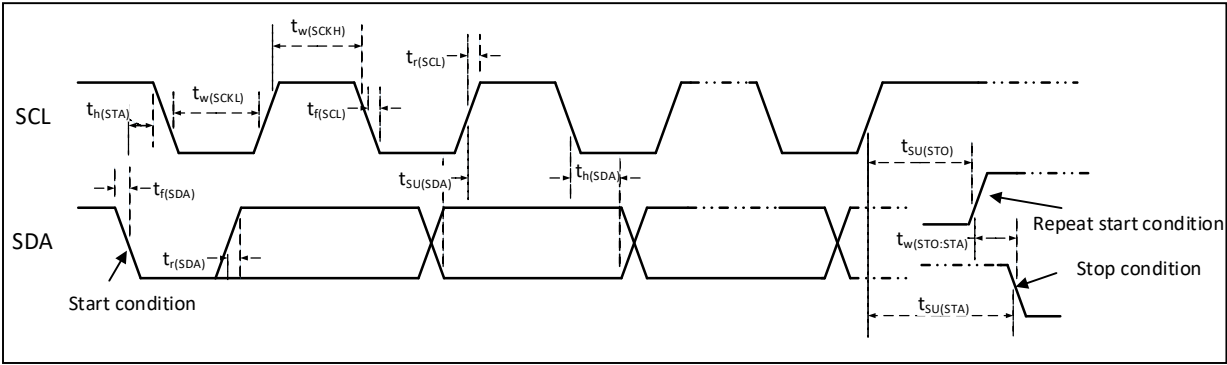


表 3-21 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_w(SCKL)$	SCL 时钟低电平时间	4.7		1.2		us
$t_w(SCKH)$	SCL 时钟高电平时间	4.0		0.6		us
$t_{SU}(SDA)$	SDA 数据建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	ns
$t_r(SDA)/t_r(SCL)$	SDA 和 SCL 上升时间		1000	20		ns
$t_f(SDA)/t_f(SCL)$	SDA 和 SCL 下降时间		300			ns
$t_h(STA)$	开始条件保持时间	4.0		0.6		us
$t_{SU}(STA)$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU}(STO)$	停止条件建立时间	4.0		0.6		us
$t_w(STO:STA)$	停止条件至开始条件的的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

3.3.13 SPI 接口特性

图 3-9 SPI 主模式时序图

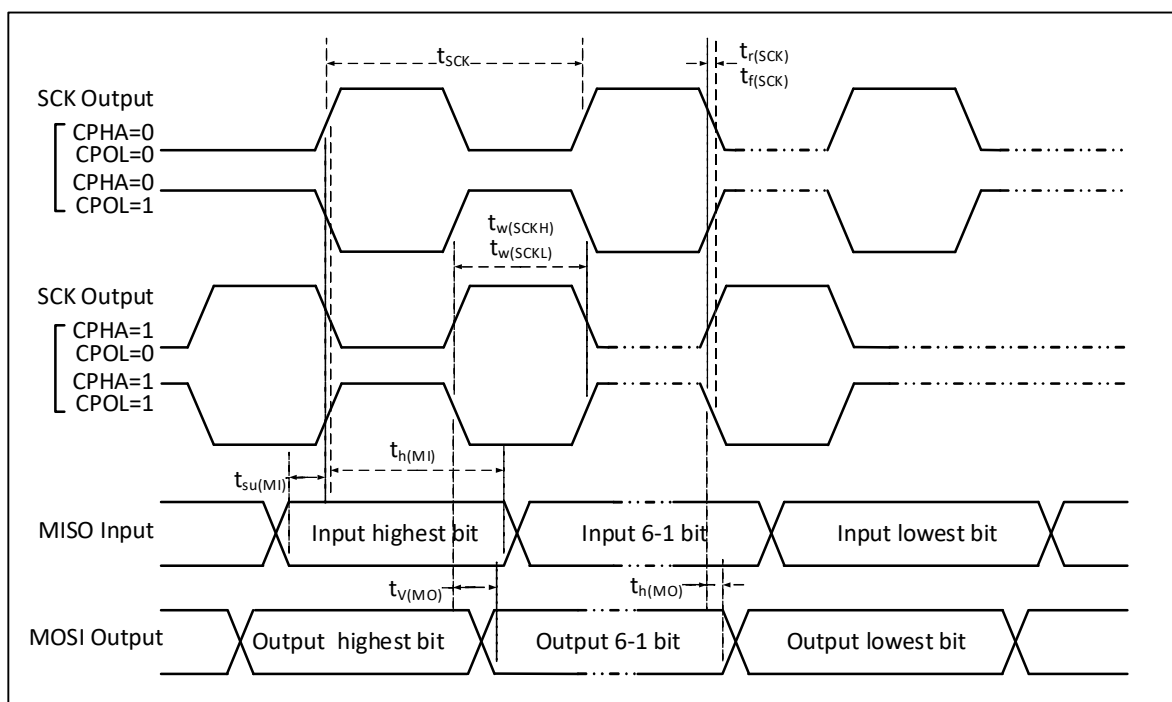


图 3-10 SPI 从模式时序图 (CPHA=0)

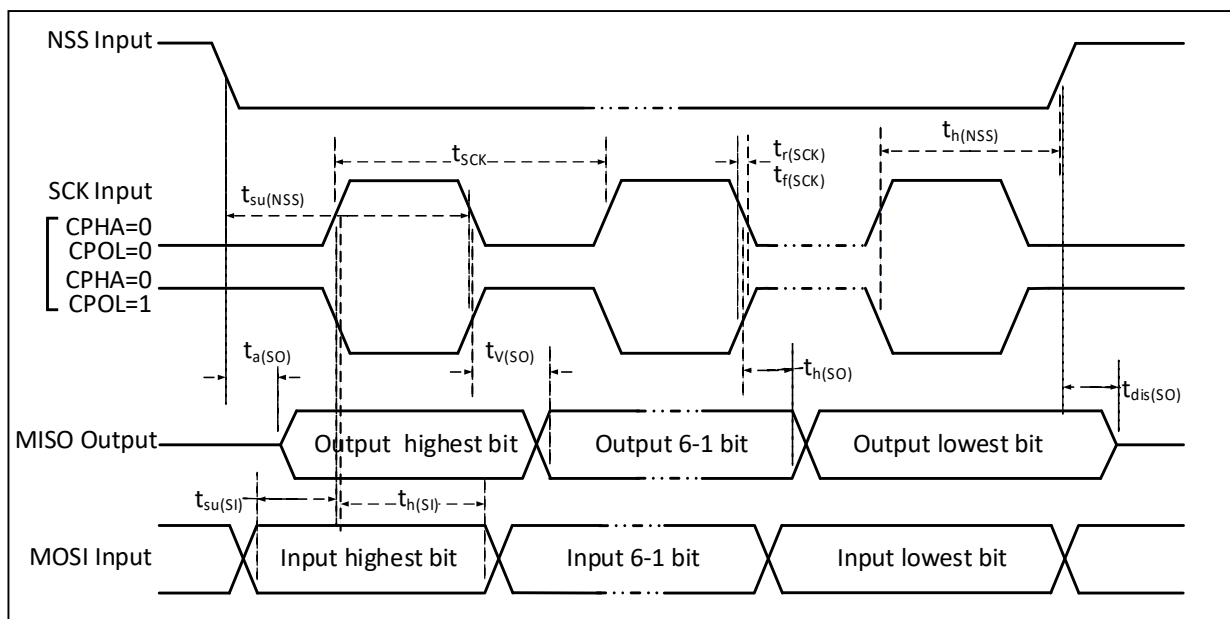


图 3-11 SPI 从模式时序图 (CPHA=1)

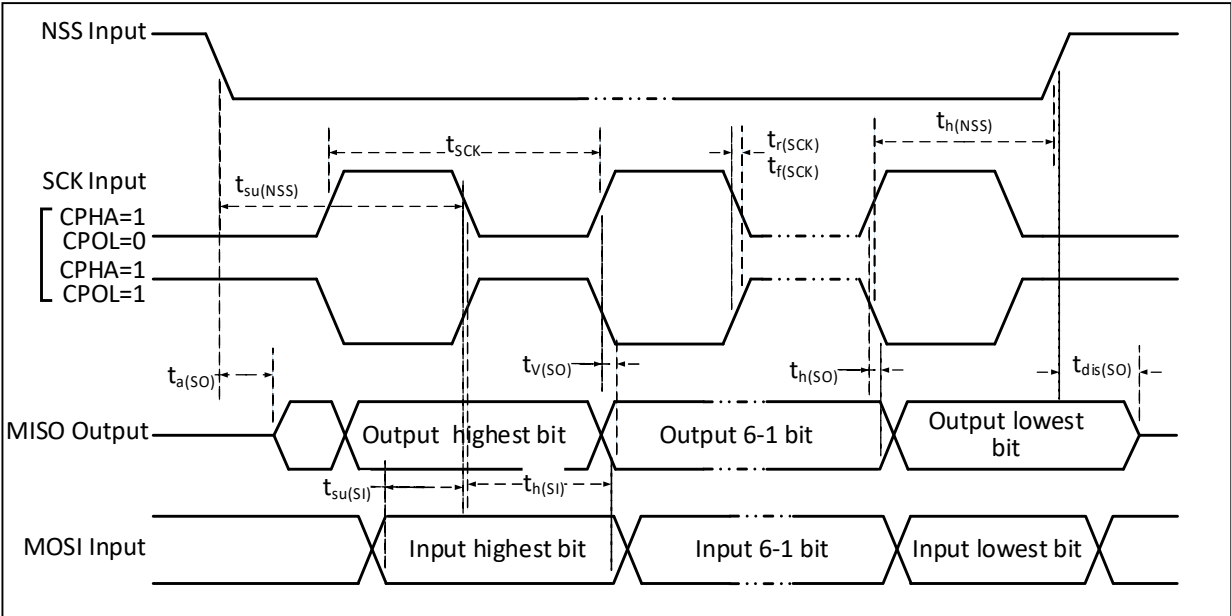


表 3-22 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	SPI 时钟频率	主模式		100	MHz
		从模式		100	MHz
$t_{r(SCK)}/t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: $C = 30pF$		8	ns
$t_{SU(NSS)}$	NSS 建立时间	从模式	$2 * t_{PCLK}$		ns
$t_h(NSS)$	NSS 保持时间	从模式	$2 * t_{PCLK}$		ns
$t_{w(SCKH)}/t_{w(SCKL)}$	SCK 高电平和低电平时间	主模式, $f_{PCLK} = 24MHz$, 预分频系数=4	70	97	ns
$t_{SU(MI)}$	数据输入建立时间	主模式	HSRXEN = 0	9	ns
			HSRXEN = 1	$9 - 0.5 * t_{SCK}$	ns
$t_{SU(SI)}$		从模式		4	ns
$t_h(MI)$	数据输入保持时间	主模式	HSRXEN = 0	-4	ns
			HSRXEN = 1	$0.5 * t_{SCK} - 4$	ns
$t_h(SI)$		从模式		4	ns
$t_a(SO)$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$	0	$1 * t_{PCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	9	ns
$t_v(SO)$	数据输出有效时间	从模式 (使能边沿之后)		9	ns
$t_v(MO)$		主模式 (使能边沿之后)		5	ns
$t_h(SO)$	数据输出保持时间	从模式 (使能边沿之后)	8		ns
$t_h(MO)$		主模式 (使能边沿之后)	0		ns

3.3.14 USB PD 接口特性

表 3-23-1 PD 接口 I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{Rise}	上升时间	幅度 10%到 90%之间的时间, 最小值为无负载条件下的时间	300	400		ns

t_{Fall}	下降时间	幅度 10%到 90%之间的时间, 最小值为无负载条件下的时间	300	400		ns
V_{Swing}	输出电压摆幅 (峰-峰值)		1.04	1.12	1.20	V

表 3-23-2 Type-C I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{CC1L}^{(1)}$	CC 引脚输入低电平电压	HVT = 0, FT I/O 输入	0		0.8	V
		HVT = 1, 高阈值检测输入	0		2.0	
$V_{CC1H}^{(1)}$	CC 引脚输入高电平电压	HVT = 0, FT I/O 输入	2.0		V_{DD}	V
		HVT = 1, 高阈值检测输入	2.45		V_{DD}	
V_{CChys}	迟滞电压	HVT = 0, FT I/O 输入		220		mV
		HVT = 1, 高阈值检测输入		120		
I_{pu}	上拉电流	$PAD < V_{DD}-0.6V$		80		μA
				180		μA
				330		μA
R_d	CC 引脚内置的 R_d 下拉电阻 (适用于 CC1R/CC2R)	$V_{DD} \geq 1.6V$ 或外部上拉 330 μA	4.3	5.1	6.1	k Ω

注 1: HVT = 1 时对应的 V_{CC1L} 、 V_{CC1H} 为设计参数保证。

3.3.15 USB 2.0 接口特性

表 3-24 USB 2.0 模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	USB 2.0 工作电压		3.15		3.45	V
V_{SE}	单端接收器阈值	$V_{DD} = 3.3V$	1.2		1.9	V
V_{OL}	静态输出低电平				0.3	V
V_{OH}	静态输出高电平		2.8		3.6	V
V_{HSSQ}	高速压制信息检测阈值		100		150	mV
V_{HSDSC}	高速断开连接检测阈值		500		625	mV
V_{HSOI}	高速空闲电平		-10		10	mV
V_{HSOH}	高速数据高电平		360		440	mV
V_{HSOL}	高速数据低电平		-10		10	mV
R_{USBPU}	USB 引脚上拉电阻		1.3	1.5	1.8	k Ω
R_{USBPD}	USB 引脚下拉电阻		13	15	18	k Ω
V_{BC_REF}	BC 比较器参考电压			0.4		V
V_{BC_SRC}	BC 协议输出电压			0.6		V

3.3.16 USB 3.2 Gen1 接口特性

CH32X315 芯片符合 USB 3.2 Gen1 规范的特性, 更多信息请查阅相关协议规范。

3.3.17 12 位 ADC 特性

表 3-25 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.8		3.6	V

$V_{REF+}^{(2)}$	正参考电压	$V_{REF+} \leq V_{DDA}$	2.4	3.3	3.6	V
$V_{REF-}^{(2)}$	负参考电压		0	0	1.0	V
I_{DDA}	ADC 供电电流 (不含 buffer)			1.42		mA
I_{BUF}	ADC buffer 自身电流			0.76		mA
f_{ADC}	ADC 时钟频率			16	80	MHz
f_s	采样速率		0.06		5	MHz
f_{TRIG}	外部触发频率				4.4	MHz
					18	1/ f_{ADC}
V_{AIN}	转换电压范围		V_{REF-}		V_{REF+}	V
R_{AIN}	外部输入阻抗				50	k Ω
R_{ADC}	采样开关电阻			0.6	1.5	k Ω
C_{ADC}	内部采样和保持电容			4.5		pF
t_{CAL}	校准时间	$f_{ADC} = 16\text{MHz}$			31.875	us
t_{lat}	注入触发转换时延	$f_{ADC} = 80\text{MHz}$			0.025	us
					2	1/ f_{ADC}
t_{latr}	常规触发转换时延	$f_{ADC} = 80\text{MHz}$			0.025	us
					2	1/ f_{ADC}
t_s	采样时间	$f_{ADC} = 80\text{MHz}$	0.037		3.031	us
			3.5		242.5	1/ f_{ADC}
t_{STAB}	上电时间	$f_{ADC} = 16\text{MHz}$			1	us
t_{CONV}	总的转换时间 (包括采样时间)		0.2		3.188	us
			16		255	1/ f_{ADC}

注：1. 以上均为设计参数保证。

2. V_{REF+} 和 V_{REF-} 外接电容要尽可能近，否则影响 ADC 性能。

公式：最大 R_{AIN}

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12 (表示 12 位分辨率)。

表 3-26 $f_{ADC} = 80\text{MHz}$ 时的最大 R_{AIN}

T_s (周期)	t_s (ns)	最大 R_{AIN} (k Ω)
3.5	43.75	0.4
5.5	68.75	1.0
7.5	93.75	1.5
13.5	168.75	3.3
20.5	256.25	5.3
30.5	381.25	8.1
45.5	568.75	12.4
68.5	856.25	19.0

表 3-27 ADC 误差 ($f_{\text{ADC}} = 80\text{MHz}$)

符号	参数	条件	最小值	典型值	最大值	单位
ET	整体误差	$R_{\text{AIN}} < 1\text{k}\Omega$, $V_{\text{DDA}} = 3.3\text{V}$		± 3.5		LSB
ED	微分非线性误差			± 3		
EL	积分非线性误差			± 4		

注：以上均为设计参数保证。

C_p 表示 PCB 与焊盘上的寄生电容（大约 5pF ），可能与焊盘和 PCB 布局质量有关。较大的 C_p 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

图 3-23 ADC 典型连接图

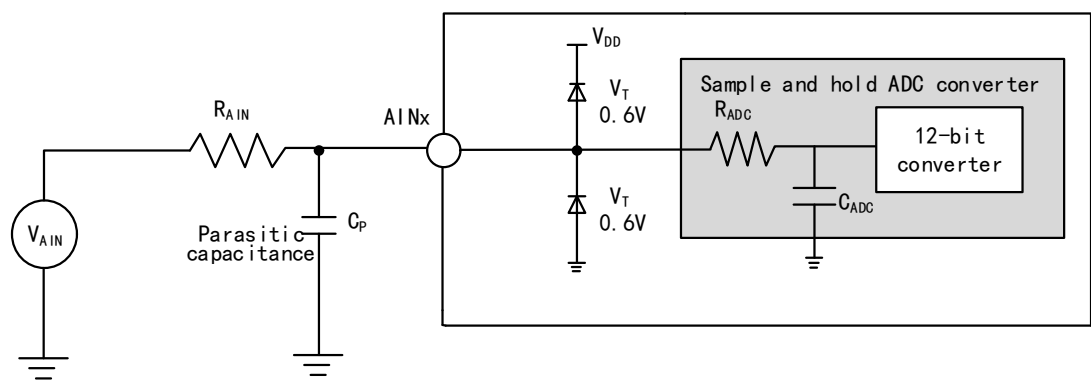
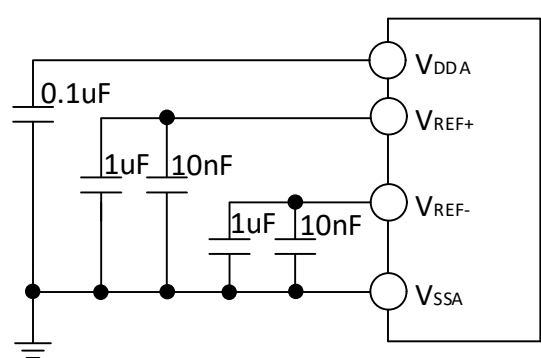


图 3-24 模拟电源及退耦电路参考



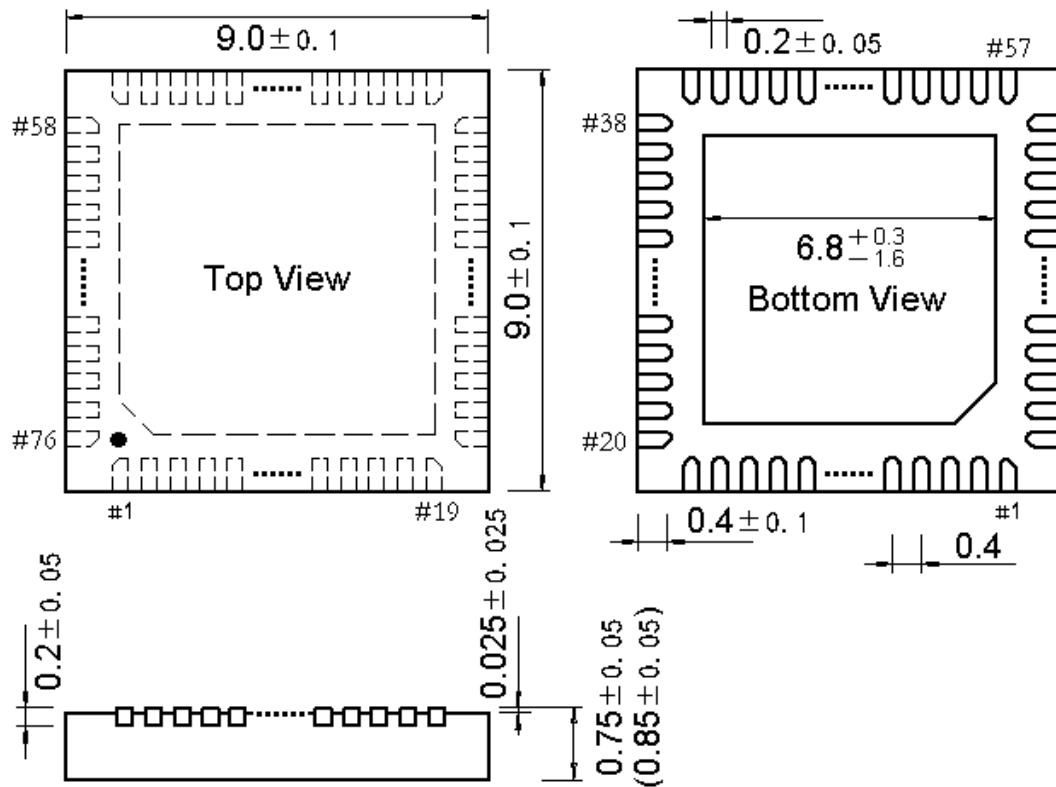
第 4 章 封装及订货信息

芯片封装

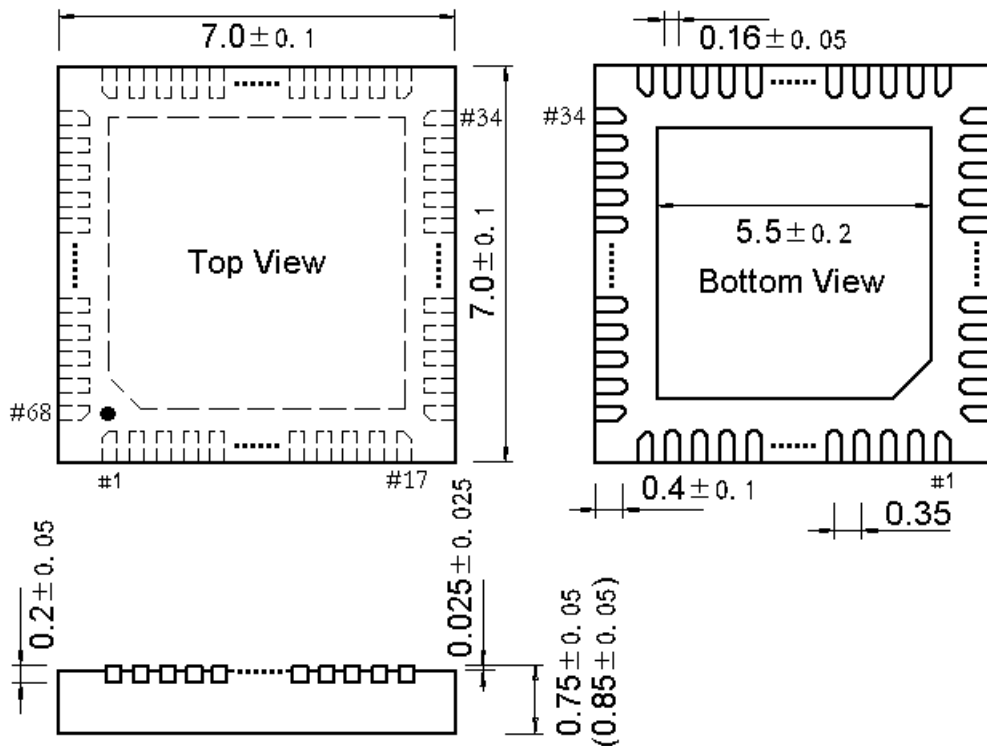
封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN76	9*9mm	0.4mm	15.7mil	四边无引线 76 脚	CH32X315MCU6
QFN68X7	7*7mm	0.35mm	13.8mil	四边无引线 68 脚	CH32X315WCU6
QFN48	5*5mm	0.35mm	13.8mil	四边无引线 48 脚	CH32X315CCU6
LQFP64	7*7mm	0.4mm	15.7mil	标准 LQFP64 贴片	CH32X305RCT6

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 或者 $\pm 10\%$ 两者中的较大值。

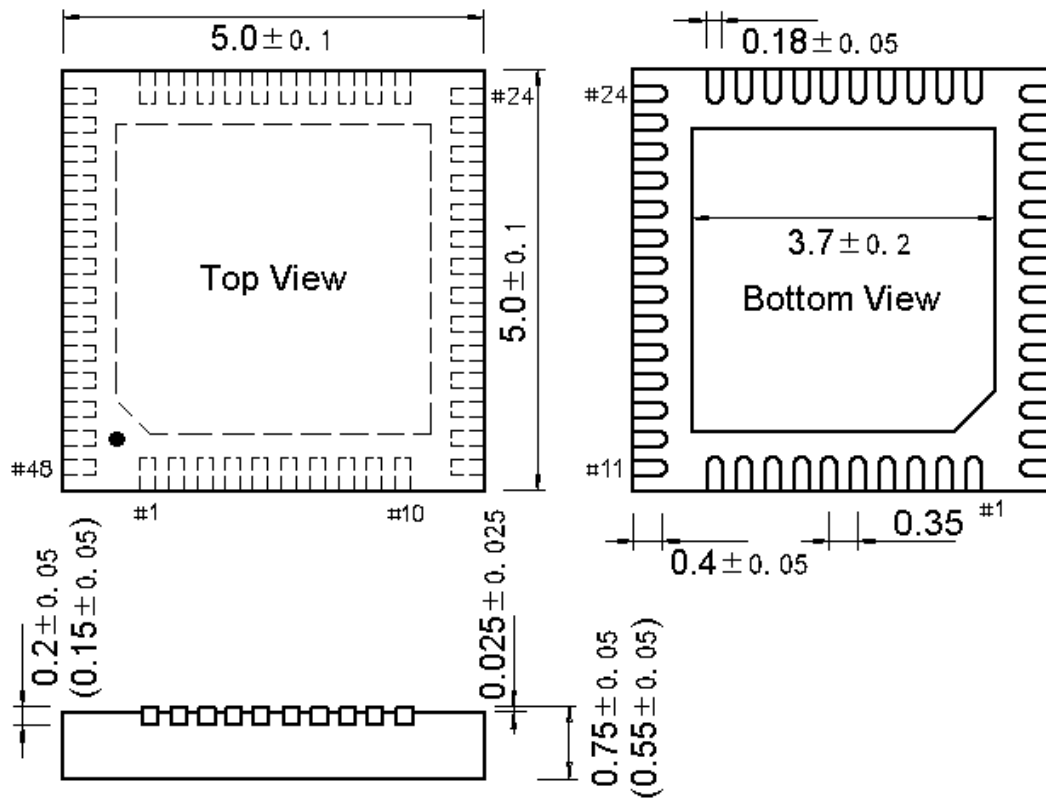
4.1 QFN76 封装



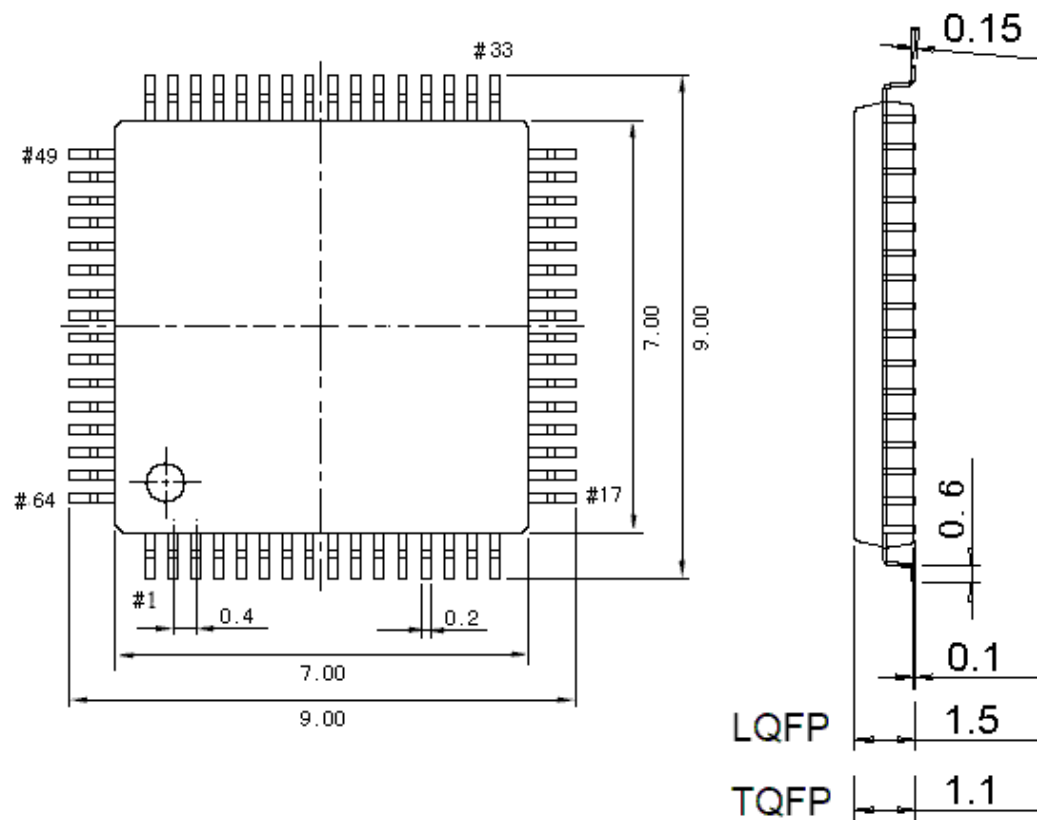
4.2 QFN68X7 封装



4.3 QFN48 封装



4.4 LQFP64 封装



系列产品命名规则

举例:	CH32	V	303	R	8	T	6								
产品系列															
F = Arm 内核, 通用 MCU															
V = 青稞 RISC-V 内核, 通用 MCU															
L = 青稞 RISC-V 内核, 低功耗 MCU															
X = 青稞 RISC-V 内核, 专用或特殊外设 MCU															
M = 青稞 RISC-V 内核, 内置预驱的电机 MCU															
H = 青稞 RISC-V 内核, 高性能 MCU															
产品类型 (*) +产品子系列 (**)															
<table><tr><th>产品类型</th><th>产品子系列</th></tr><tr><td>0 = 超值版, 主频<=48M</td><td>06 = 64K 闪存多能通用型, OPA、双串口、TKey 07 = 基础电机应用型, OPA+CMP</td></tr><tr><td>1 = 基本版, 主频<=100M 2 = 增强版, 主频<=200M 3 = 硬件浮点, 中大容量<480KB</td><td>05 = 连接型, USBHS、ADC 07 = 互联型, USBHS、CAN、以太网、SDIO、FSMC 08 = 无线型, BLE5.x、CAN、USB、以太网 15 = 连接型, USBSS、USBHS、ADC 17 = 互联型, USBHS、CAN、以太网 (内置 PHY)、SDIO</td></tr><tr><td>4 = 硬件浮点, 大容量>=480KB</td><td>07 = 互联型, USB HS、以太网 (内置 PHY)、ARGB 17 = 互联型, USB SS、SerDes、HSADC、UHSIF、SDIO、DVP、以太网 (内置 PHY) 67 = 互联型, USB HS、以太网 (内置 PHY)、ARGB、PSRAM</td></tr></table>			产品类型	产品子系列	0 = 超值版, 主频<=48M	06 = 64K 闪存多能通用型, OPA、双串口、TKey 07 = 基础电机应用型, OPA+CMP	1 = 基本版, 主频<=100M 2 = 增强版, 主频<=200M 3 = 硬件浮点, 中大容量<480KB	05 = 连接型, USBHS、ADC 07 = 互联型, USBHS、CAN、以太网、SDIO、FSMC 08 = 无线型, BLE5.x、CAN、USB、以太网 15 = 连接型, USBSS、USBHS、ADC 17 = 互联型, USBHS、CAN、以太网 (内置 PHY)、SDIO	4 = 硬件浮点, 大容量>=480KB	07 = 互联型, USB HS、以太网 (内置 PHY)、ARGB 17 = 互联型, USB SS、SerDes、HSADC、UHSIF、SDIO、DVP、以太网 (内置 PHY) 67 = 互联型, USB HS、以太网 (内置 PHY)、ARGB、PSRAM					
产品类型	产品子系列														
0 = 超值版, 主频<=48M	06 = 64K 闪存多能通用型, OPA、双串口、TKey 07 = 基础电机应用型, OPA+CMP														
1 = 基本版, 主频<=100M 2 = 增强版, 主频<=200M 3 = 硬件浮点, 中大容量<480KB	05 = 连接型, USBHS、ADC 07 = 互联型, USBHS、CAN、以太网、SDIO、FSMC 08 = 无线型, BLE5.x、CAN、USB、以太网 15 = 连接型, USBSS、USBHS、ADC 17 = 互联型, USBHS、CAN、以太网 (内置 PHY)、SDIO														
4 = 硬件浮点, 大容量>=480KB	07 = 互联型, USB HS、以太网 (内置 PHY)、ARGB 17 = 互联型, USB SS、SerDes、HSADC、UHSIF、SDIO、DVP、以太网 (内置 PHY) 67 = 互联型, USB HS、以太网 (内置 PHY)、ARGB、PSRAM														
引脚数目															
J = 8 脚 D = 12 脚 A = 16 脚 F = 20 脚 E = 24 脚 G = 28 脚 K = 32 脚 T = 36 脚 C = 48 脚 R = 60 或 64 脚 W = 68 脚 M = 76 或 88 脚 V = 100 脚 Q = 128 脚 Z = 144 脚															
闪存存储容量															
4 = 16K 闪存存储器 6 = 32K 闪存存储器 7 = 48K 闪存存储器 8 = 64K 闪存存储器 B = 128K 闪存存储器 C = 256K 闪存存储器 E = 512K 闪存存储器															
封装															
T = LQFP U = QFN R = QSOP P = TSSOP M = SOP															
温度范围															
6 = -40℃~85℃ 7 = -40℃~105℃ 3 = -40℃~125℃ D = -40℃~150℃															