



1 概述

NNC6521 是一款高集成度的双通道恒流神经刺激芯片,支持最大 100 mA 输出电流,具备宽电压范围,适用于高阻抗负载驱动。芯片内置 SPI 接口、内置 2 MHz 振荡器、电极脱落检测及低压检测功能,可实现高精度、稳定可靠的刺激控制。其封装紧凑 (QFN32 4×4 mm),片外元件极少,系统设计简便,功耗低、成本优,特别适用于中频电疗、TENS、EMS 肌肉康复、脊髓或植入式神经调控等场景。其可配置的刺激信号发生器支持多种刺激模式与相位同步功能,满足多样化医疗电刺激需求。

2 产品特性

- 刺激电流输出范围: 1 mA ~ 100 mA
- 支持电流校准机制,误差小于 10%
- 支持电极脱落检测功能
- 工作电压范围: 3 V ~ 5.5 V
- 高压电源支持范围: 10 V ~ 60 V
- 支持 SPI 接口通信
- 内置 2 MHz 振荡器 (OSC)
- 支持刺激信号同步输出
- 刺激信号相位可调 (最大支持 65536 个时钟周期)
- 芯片温升不超过 30° C
- 小尺寸封装 (QFN32 4×4 mm)
- 低成本解决方案

3 应用场合

- 肌肉强化与肌肉无力康复治疗
- 中频电刺激理疗设备
- 神经调节系统 (Neuromodulation)
- 脊髓电刺激装置 (Spinal Cord Stimulation)

目录

1 概述..... 1

2 产品特性..... 1

3 应用场合..... 1

4 引脚配置与功能说明..... 4

5 电气规格..... 6

 5.1 绝对最大额定值..... 6

 5.2 推荐工作条件..... 6

 5.3 电气特性..... 6

6 详细功能说明..... 7

 6.1 系统框图..... 7

 6.2 任意刺激波形发生器..... 7

 6.3 波形发生器原理..... 7

 6.4 波形选择与调整..... 9

 6.5 电极脱落检测..... 12

 6.6 低压检测功能..... 14

 6.7 SPI 通信接口..... 14

 6.8 寄存器列表..... 17

7 典型应用..... 30

 7.1 单芯片典型应用电路..... 30

 7.2 级联典型应用电路..... 31

8 布局布线建议..... 32

9 尺寸、封装信息与订购指南..... 33

10 重要声明与免责声明..... 34

文档修订记录

序号	版本号	修订日期	修订概述	修订人	审核人	批准人	备注
1	A/0	2025-07-16	创建文档	David Qin			
2	A/1	2025-08-05	修改引脚 6 与典型应用 1	David Qin			
3	A/2	2025-10-22	增加交变模式与 AM 调制波形， 及相关寄存器，删除预置波形 相关描述	David Qin			
4	A/3	2026-3-25	删除比较器输出管脚，删除短 路检测模块，修改脱落检测方 式相关说明	David Qin			

Nanochap 暖芯芯道

4 引脚配置与功能说明

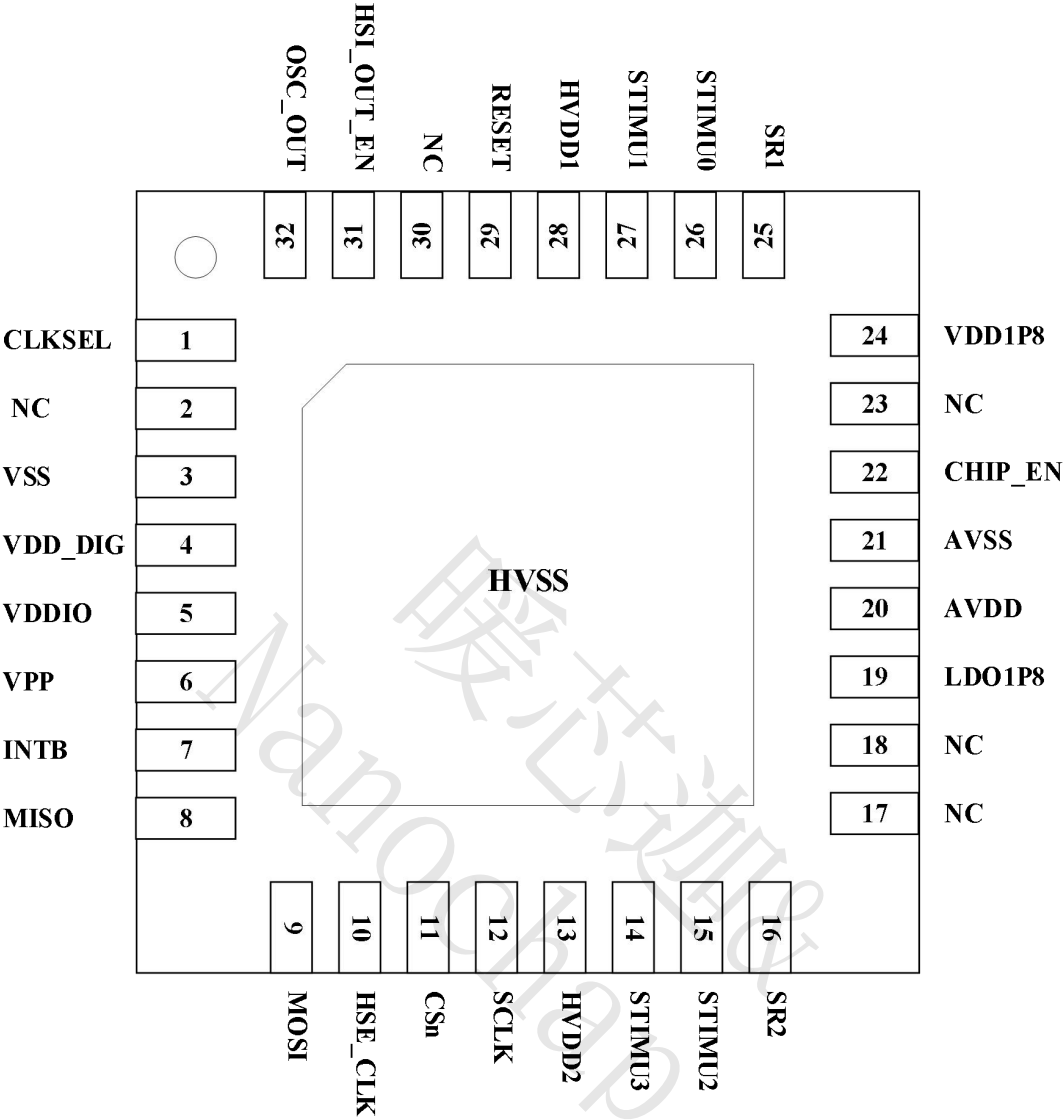


图 4- 1 引脚排列图

表 4- 1 引脚功能表.

引脚		类型	功能描述
QFN	名称		
1	CLKSEL	I	时钟选择: 低电平-内部时钟, 高电平-外部时钟
2	NC	/	未连接引脚, 请勿连接
3	VSS	/	电源地
4	VDD_DIG	I	供电电源 (数字)
5	VDDIO	I	供电电源
6	VPP	I	OTP 电源电压 (1.8V)
7	INTB	O	中断输出引脚,
8	MISO	O	SPI 从机数据输出
9	MOSI	I	SPI 从机数据输入
10	HSE_CLK	I	外部时钟输入 (最大 10MHz)
11	CSn	I	SPI 片选使能
12	SCLK	I	SPI 时钟
13	HVDD2	I	刺激器通道 2 高压电源
14	STIMU3	O	通道 2 输出 2
15	STIMU2	O	通道 2 输出 1
16	SR2	I	通道 2 采样电阻
17	NC	/	未连接引脚, 请勿连接
18	NC	/	未连接引脚, 请勿连接
19	LD01P8	O	1.8V 电源输出
20	AVDD	I	模拟供电电源
21	AVSS	/	模拟地
22	CHIP_EN	I	芯片使能端
23	NC	/	未连接引脚, 请勿连接
24	VDD1P8	I	1.8V 供电电源
25	SR1	I	通道 1 采样电阻
26	STIMU0	O	通道 1 输出 1
27	STIMU1	O	通道 1 输出 2
28	HVDD1	I	刺激器通道 1 高压供电电源
29	RESET	I	芯片复位引脚, 低电平有效
30	NC	/	未连接引脚, 请勿连接
31	HSI_OUT_EN	I	内部时钟输出使能
32	OSC_OUT	O	内部时钟 (2MHz) 输出, 用于多片 NNC6521 级联与同步
DB	HVSS	/	刺激器高压电源地

5 电气规格

5.1 绝对最大额定值

表 5- 1 绝对最大额定值.

		最小值	最大值	单位
电源电压	AVDD	-0.3	5.5	V
高压电源	HVDD1, 2	10	60	V
工作环境温度范围, T _J		0	70	° C

5.2 推荐工作条件

表 5- 2 推荐工作条件.

		最小值	典型值	最大值	单位
AVDD	供电电源, T _A = 0 ° C to 70 ° C	3.0	3.3	5.5	V
VDDIO	数字 GPIO 电源	1.5	3.3	3.6	V
VDD_DIG	数字电源	1.75	1.8	1.85	V

5.3 电气特性

表 5- 3 电气特性.

参数	测试条件	最小值	典型值	最大值	单位
Power Supply AVDD = 3.3V, VDDIO = 3.3V, VDD_DIG = 1.8V, 25° C					
I _{ACTIVE}	输出预置脉冲波		3.65		mA
I _{SPI_ACTIVE}	SPI 通信工作电流		560		μA
I _{SD}	关断模式 (Shutdown), CHIP_EN = 0V		5		nA

6 详细功能说明

6.1 系统框图

图 6- 1 展示了 NNC6521 芯片的整体功能框图。芯片集成了逻辑控制模块、双通道神经刺激波形发生器与恒流驱动模块，包括：

■ 逻辑控制模块

- 任意波形发生器 (AWG, Arbitrary Waveform Generator)：生成多种刺激波形。
- SPI 接口：与外部主控器通信配置内部寄存器。

■ 双通道恒流驱动模块：提供双通道恒流源，支持最大 100 mA 的阳极/阴极刺激输出。

■ 比较器和数模转换模块：实现电极脱落检测和低压检测等功能。

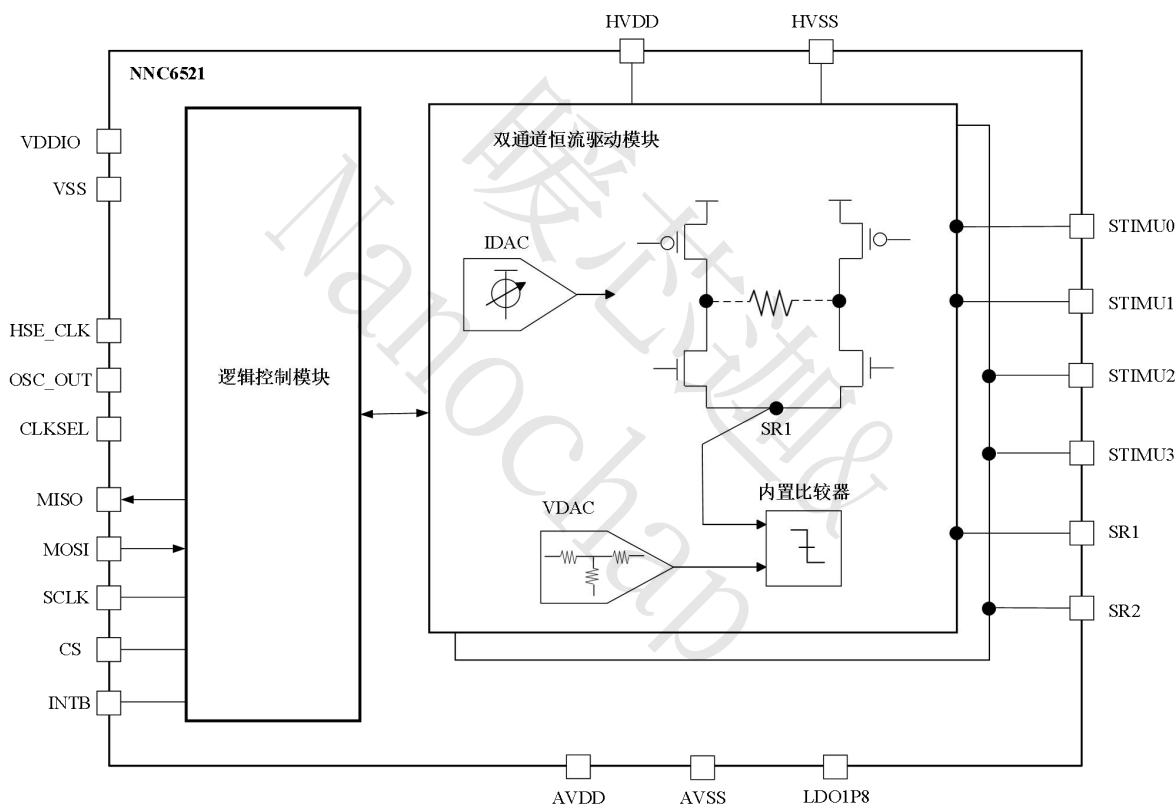


图 6- 1 系统框图。

6.2 任意刺激波形发生器

NNC6521 支持双通道独立恒流输出，每通道输出电流范围为 1 mA 至 100 mA。该任意波形发生器数字模块与模拟驱动模块协同工作，用于生成多种类型的刺激波形。

6.3 波形发生器原理

图 6- 2 所示为 NNC6521 恒流任意波形发生器的驱动电路示意图。该电路支持双向恒流输出，通过控制恒流源 A (Source A) 和恒流源 B (Source B) 的导通状态，实现对电极间负载的正向或反向电流注入。

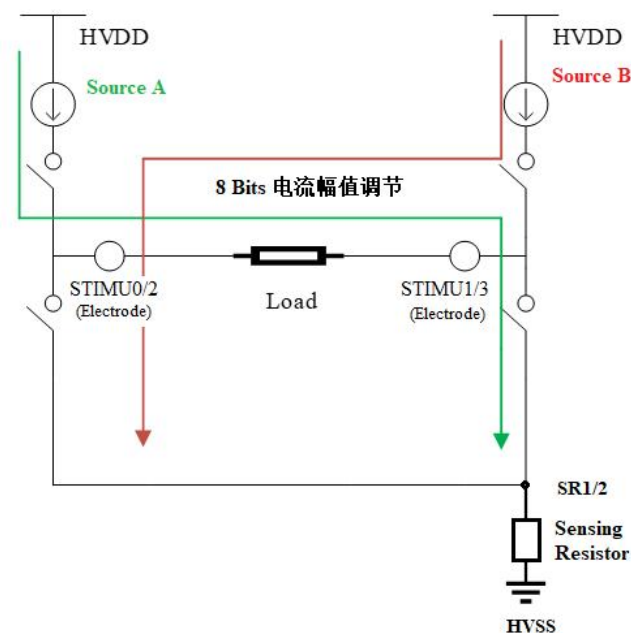


图 6- 2 恒流任意波形发生器驱动电路示意图

其工作原理简述如下：

AWG 模块通过加载预置或自定义的波形数据，控制输出通道按设定时序和幅度产生电流脉冲。模块内部配合采样电阻（Sensing Resistor），实现电极脱落检测。

刺激波形由以下六个关键部分构成如图 6- 3 所示：

- **正半周** (Positive phase)：可通过**点间隔**和**点数**相关寄存器调节。
- **负半周** (Negative phase)：可通过**点间隔**和**点数**相关寄存器调节。
- **半周间死区时间** (Rest Time/Interphase Delay)：可通过死区时间相关寄存器调节。
- **周期间静默时间** (Silent Time/Interstimulus Delay)：可通过静默时间相关寄存器调节。
- **刺激周期** (Stimulus Period)：由正半周，负半周，死区时间和静默时间构成。
- **正幅度** (Positive Amplitude)：可通过**电流幅值**相关寄存器调节。
- **负幅度** (Negative Amplitude)：可通过**电流幅值**相关寄存器调节。

双通道支持独立控制或同步输出，并可通过相位偏移寄存器调节通道间波形时间偏移量，实现相位同步，交错或互补等输出方式。

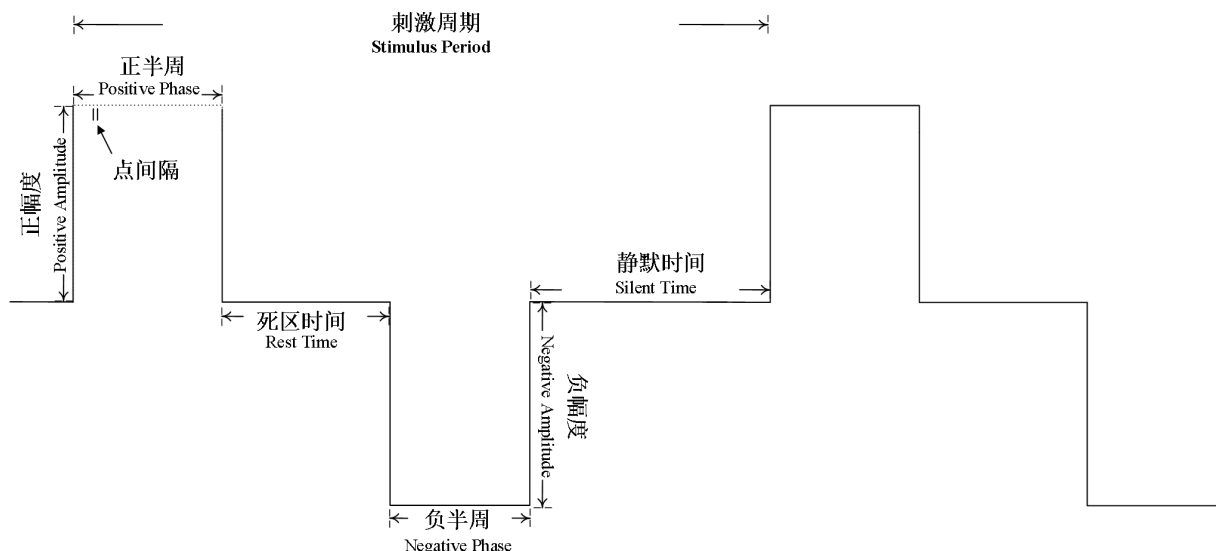


图 6-3 刺激波形构成图

6.4 波形选择与调整

NNC6521 支持多种波形输出，包括：

- **自定义波形**，通过配置自定义波形地址寄存器与数据寄存器，SPI 上传任意波形点序列（范围：1~128 点），实现对刺激波形的精细控制与定制化输出。自定义波形支持对称与非对称波形输出。
- **幅度调制波形**（Amplitude Modulation），通过 SPI 设置调制信号，交变周期寄存器设置载波参数实现任意包络的幅度调制刺激波形输出。

寄存器配置注意事项：

除中断相关寄存器外，所有波形发生器相关配置寄存器在波形发生器使能后不建议修改。若需重新配置寄存器，推荐的安全操作顺序如下：

禁用波形发生器→配置相关寄存器→重新使能波形发生器

此流程可避免在输出过程中更改关键寄存器引发的不可预期行为，确保稳定性与安全性。

6.4.1 自定义波形输出举例

NNC6521 支持通过 SPI 接口输出用户自定义刺激波形。自定义波形数据需先通过 SPI 写入片内最大 128 字节 Flash 存储单元，随后由内部逻辑控制状态机按预设时序自动调用并输出至指定通道。波形任意点均支持 8 位电流幅值调节，以及对称与非对称刺激波形。

例 2：以下以 通道 2 输出 8 位分辨率的对称正弦波为例，说明其配置流程：

- 默认配置下，使用内部 2 MHz 振荡器且不分频，PCLK 时钟周期为 $t_{PCLK} = 0.5\mu S$ ，该内部振荡器的频率误差为 $\pm 2\%$ 。如需调整时钟需要设置时钟控制寄存器。
- CHIP_EN 引脚置 1，芯片使能。

表 6- 1 自定义波形寄存器 (8 位) 设置举例

步骤	寄存器			配置值	说明
	名称	类型*	地址		
1	模拟使能寄存器 2	1	42h	09h	使能通道 2 电流控制 DAC
2	波形设置寄存器	2	40h	FFh	使能死区时间、静默时间、正/负半周、电流源 B、多电极等
3	波形控制寄存器	2	41h	07h	使能驱动模块，选择输出自定义波形，正负半周对称波形
4	点数设置寄存器	2	42h	40h	64 点，正负半周点数相同；范围：1~128
5	死区时间寄存器	2	45~46h	0002h	死区时间为 $1\mu\text{s} (2 \times t_{PCLK})$ ，范围：1~65535
6	静默时间寄存器	2	47~49h	0000C8h	静默时间为 $100\mu\text{s} (200 \times t_{PCLK})$ ，24 位
7	正半周点间隔寄存器	2	4A~4Bh	0002h	点间隔为 $1\mu\text{s} (2 \times t_{PCLK})$ ；64 点即 $64\mu\text{s}$
8	负半周点间隔寄存器	2	4C~4Dh	0002h	点间隔为 $1\mu\text{s} (2 \times t_{PCLK})$ ；64 点即 $64\mu\text{s}$
9	自定义波形地址寄存器	2	43h	00~63h	根据点数设置依次写入地址，范围：0~127
10	自定义波形数据寄存器	2	44h	00~FFh	先写地址寄存器，后写电流幅值数据 (D_I)
11	正半周缩小寄存器	2	64h	00h	禁用正半周缩小，设置电流缩小系数， C_P ，电流值右移：0~8
12	负半周缩小寄存器	2	62h	00h	禁用负半周缩小，设置电流缩小系数， C_N ，电流值右移：0~8
13	正半周偏移量寄存器	2	65h	00h	正半周偏移系数， C_{P0} ，范围：0~255
14	负半周偏移量寄存器	2	63h	00h	负半周偏移系数， C_{N0} ，范围：0~255
15	驱动电流控制寄存器 2	2	71h	15h	驱动电流控制寄存器 2， C_I (1 倍)

备注：寄存器类型 1-通用寄存器，寄存器 2-刺激波形寄存器，读写不同类型的指令格式请参见 SPI 主从通信指令格式。芯片内部共包含两组完全相同的刺激波形寄存器，分别对应通道 1 与通道 2。通道 2 的寄存器地址相对于通道 1 增加 40h。表中各时间参数需根据时钟误差做相应调整。

在自定义波形模式 (8 位) 对称波形下，NNC6521 支持用户通过 SPI 接口定义每个采样点的输出电流幅值。波形的电流数据通过寄存器字段 D_I 设定，实质上构成一个电流幅值数组，每个数组元素对应一个波形采样点的幅度。该数组的长度由点数设置寄存器确定，支持的点数范围通常为 1 至 128 点。即正负半周的点数相同。

例如，当点数选择为 64 点时，波形数据结构可表示为公式 (3)：

$$D_I = \{I_0, I_1, I_2, \dots, I_{63}\} \quad (3)$$

其中， I_n 表示第 n 个采样点的电流幅值 (8 位)。系统在波形输出过程中将根据设定的点间隔时序，依次调用该数组中的电流值，形成完整的任意波形输出。

在实际应用中，用户需通过 SPI 循环写入自定义波形地址寄存器与自定义波形数据寄存器，将每个采样点的电流数据写入芯片内部 Flash。设定的波形点数为 N 时，即需进行 N 次写操作以完成波形初始化。

自定义波形 (8 位) 每个采样点的正半周输出电流 I_{PC} 如公式 (4) 所示，每个采样点的负半周输出电流 I_{NC} 如公式 (5) 所示。

$$I_{PC} = ((D_I \gg C_P) + C_{Po}) \times C_I \times 25.5\mu A \quad (4)$$

$$I_{NC} = ((D_I \gg C_N) + C_{No}) \times C_I \times 25.5\mu A \quad (5)$$

其中, D_I 为 8 为波形数据寄存器的设定值 (范围: 0~255), C_I 为驱动电流放大系数 (1, 2, 4, 8, 或 16), C_P 为正半周电流缩小系数 (右移的位数: 0~8), C_N 为负半周电流缩小系数 (右移的位数: 0~8), C_{Po} 为正半周电流偏移系数, C_{No} 为负半周电流偏移系数。在自定义电流幅值 D_I 的基础上, 可通过公式 (4) 和 (5) 中的各系数调整实现输出电流幅度的调整。

注意: 在自定义波形模式下, 需确保波形电流幅值 D_I 与偏移寄存器设置值之和不超过 8 位上限。具体要求如下:

- $((D_I \gg C_P) + C_{Po}) \leq 255$ (正半周)
- $((D_I \gg C_N) + C_{No}) \leq 255$ (负半周)

若上述条件不满足, 可能导致数据溢出, 从而引起波形失真或输出异常。建议用户在配置偏移量和波形幅值时进行范围检查。

6.4.2 幅度调制波形输出举例

NNC6521 可通过交变模式 (Alternating Mode) 产生幅度调制刺激波形 (Amplitude Modulation, AM)。载波只能为脉冲波形。

例 3: 以下以 通道 2 输出 8 位分辨率正弦波幅度调制波形为例, 说明其配置流程:

- 默认配置下, 使用内部 2 MHz 振荡器且不分频, PCLK 时钟周期为 $t_{PCLK} = 0.5\mu s$, 该内部振荡器的频率误差为 $\pm 2\%$ 。如需调整时钟需要设置时钟控制寄存器。
- CHIP_EN 引脚置 1, 芯片使能。

表 6-2 幅度调制波形寄存器设置举例

步骤	寄存器			配置值	说明
	名称	类型*	地址		
1	模拟使能寄存器 2	1	42h	09h	使能通道 2 电流控制 DAC
2	波形设置寄存器	2	40h	FDh	使能死区时间、静默时间、电流源 B、多电极等, 禁用负半周
3	波形控制寄存器	2	41h	07h	使能驱动模块, 选择输出自定义波形
4	点数设置寄存器	2	42h	80h	128 点, 正半周点数; 范围: 1~128
5	静默时间寄存器	2	47~49h	0000C8h	静默时间为 $100\mu s$ ($200 \times t_{PCLK}$), 24 位
6	正半周点间隔寄存器	2	4A~4Bh	0002h	点间隔为 $1\mu s$ ($2 \times t_{PCLK}$); 64 点即 $64\mu s$
7	自定义波形地址寄存器	2	43h	00~63h	根据点数设置依次写入地址, 范围: 0~127
8	自定义波形数据寄存器	2	44h	00~FFh	写电流幅值数据 (D_I), 调制信号包络
9	正半周缩小寄存器	2	64h	00h	禁用正半周缩小, 设置电流缩小系数, C_P , 电流值右移: 0~8
10	正半周偏移量寄存器	2	65h	00h	正半周偏移系数, C_{Po} , 范围: 0~255
11	驱动电流控制寄存器 2	2	71h	15h	驱动电流控制寄存器 2, C_I (1 倍)
12	交变模式周期寄存器	2	6B~6Ch	0010h	交变周期时钟数, 即载波频率设置
13	交变模式间隔寄存器	2	6D~6Eh	0000h	设置载波间隔时间

如图 6-4 所示为幅度调制刺激波形示意图，用户通过 SPI 设置自定义波形的正半周用于设置调制信号包络，即禁用负半周。通过波形设置寄存器使能交变模式，并通过交变模式周期寄存器设置载波周期。

调制信号设置：使用交变模式产生幅度调制波形是在自定义波形设置的基础上禁用负半周。用户通过 SPI 设置寄存器字段 D_I 设定，实质上构成一个**电流幅值数组**（0~127），每个数组元素对应一个波形采样点的幅度，即调制信号。调制信号周期=正半周点数 $\times$ 点间隔数 $\times t_{PCLK}$ 。

载波设置：在调制信号的周期内，以**交变模式周期寄存器**所对应的时钟数在正负半周内交替变化产生幅度调制信号，即载波周期=交变模式周期寄存器 $\times t_{PCLK}$ 。

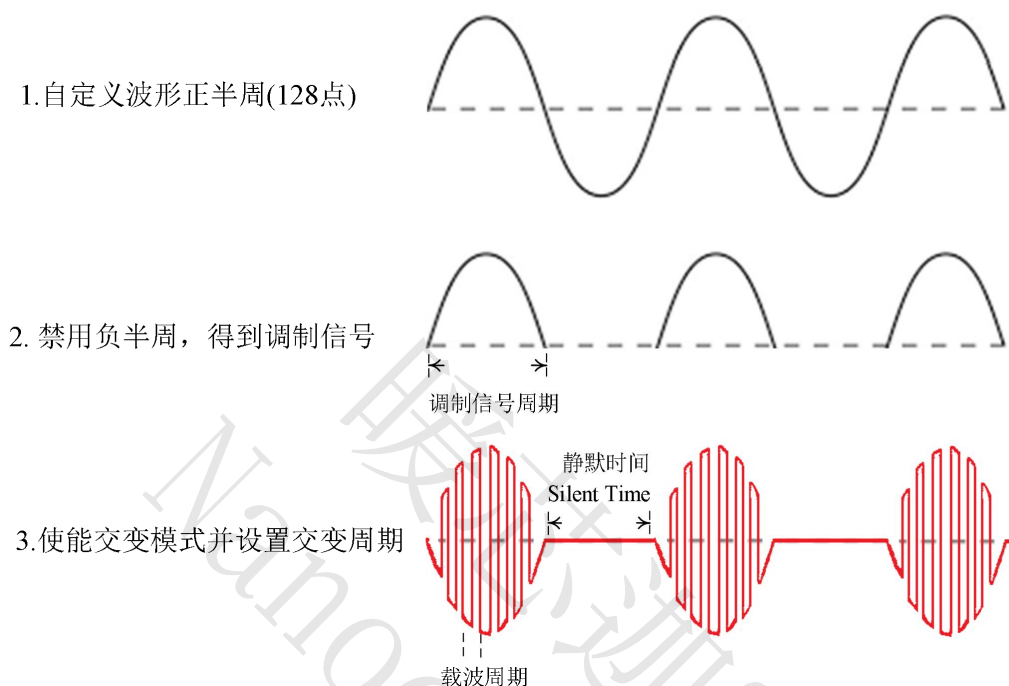


图 6-4 幅度调制刺激波形示意图

6.5 电极脱落检测

NNC6521 集成了**电极脱落检测功能**（Lead Off Detection），可在刺激过程中实时判断电极是否正确连接至负载（人体组织）。如图 6-5 所示，该功能基于片内脱落检测比较器 1/2、可编程电压基准（10 位 VDAC1/2）、采样电阻（SR1/2）和计数器 1/2 构建。

刺激脉冲输出后，电流流经采样电阻 SR1/2 产生的电压 $V_{SR1/2}$ 。该电压信号经固定增益为 18 的运算放大器后，与由 VDAC1/2 生成的可调参考电压 $V_{Threshold}$ 输入至内部比较器进行比较。

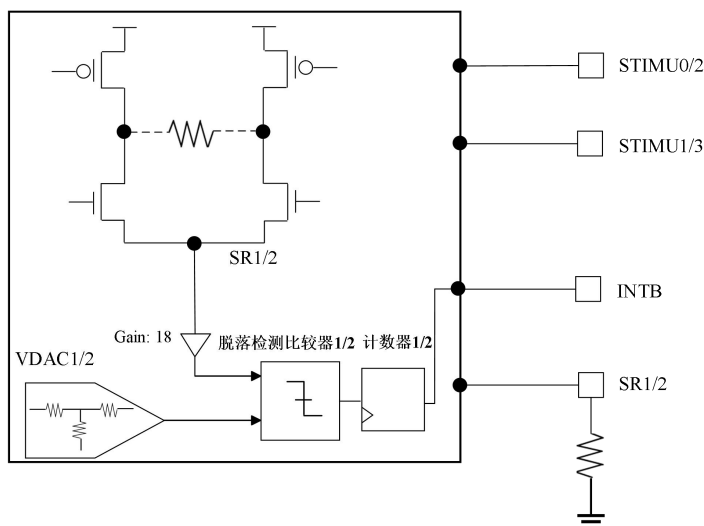


图 6-5 电极脱落检测原理

如图 6-6 所示, 逻辑控制模块在每个刺激周期内, 根据比较器的输出判断电极连接状态:

- 正常连接：当波形输出有效时， $V_{SR1/2} > V_{Threshold}$ ，比较器输出产生上升沿，逻辑控制模块识别后，将自动清除脱落检测计数器，表示电极状态正常。
- 电极脱落或接触不良： $V_{SR1/2} < V_{Threshold}$ ，比较器输出保持低电平，逻辑控制模块无法到上升沿，脱落检测计数器自动累加。当计数器 1/2 累计值达到脱落检测计数阈值寄存器设定值时，系统通过 INTB 管脚触发脱落检测中断。

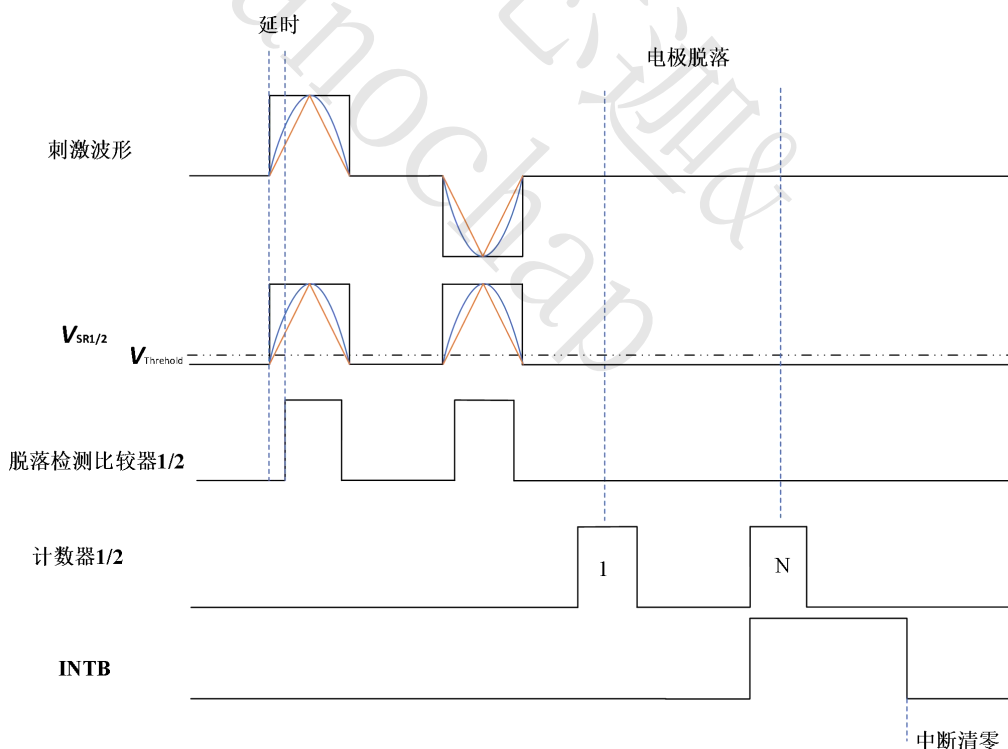


图 6-6 电极脱落检测波形

表 6-3 所示为电极脱落检测功能初始化所需的寄存器配置步骤。使能脱落检测比较器, VDAC, 设定阈值, 并使能中断。

表 6- 3 电极脱落检测初始化寄存器设置

步骤	寄存器			配置值	说明
	名称	类型*	地址		
1	脱落检测控制寄存器	1	30h	30h	VDAC1/2 上电
2	模拟使能寄存器 1/2	1	41/42h	16h	使能通道 1/2 脱落检测比较器，脱落检测运放，VDAC1/2
3	脱落检测阈值寄存器 0/1	1	31/32h	00F0h	设定脱落检测数字阈值 12 位：32*I。I 为刺激电流大小（mA）
4	脱落检测延时寄存器	1	35~38h	000000F0h	设置延时时间
5	脱落检测计数阈值寄存器	1	39h	02h	设置脱落检测计数阈值
6	模拟通用寄存器 2/4	1	45h/47h	02h	脱落检测模拟比较器阈值，VDAC 低八位，推荐设置为：0x02
7	模拟通用寄存器 3/5	1	46h/48h	14h	使能斩波运放，设置模拟比较器阈值，VDAC 高两位
8	脱落检测中断寄存器	1	3Ah	10h	使能脱落检测中断，以及中断标志位清零
9	模拟中断使能寄存器	1	52h	00h	禁用对应通道比较器中断

使用限制说明：电极脱落检测模块

NNC6521 的电极脱落检测功能对于自定义脉冲波形，建议将脉冲波的第一个的电流幅值设定为 0。电极脱落检测当前仅适用自定义波形模式与交变模式。SR1/2 管脚所接采样电阻需要根据电流范围调整：1~40mA 使用 33 欧姆，40mA~100mA 使用 1 欧姆。

6.6 低压检测功能

NNC6521 内部集成了一个用于模拟电源 AVDD 的低压检测电路（LVD），通过内部比较器持续监测 AVDD 电压。当 AVDD 降至设定阈值以下时，芯片将触发低压事件，可据此进行中断处理或系统保护。内部比较器的默认检测阈值为 3.0V，该设定旨在确保芯片在供电不足时能够具备告警功能。若有特殊应用需求，可通过低压检测阈值寄存器对检测阈值进行配置（3.0V 至 4.2V）。通过模拟中断使能寄存器和模拟中断状态寄存器对低压检测中断进行使能，中断源识别与中断清零。产生低压检测中断时，INTB 引脚上升沿触发 MCU 外部中断。

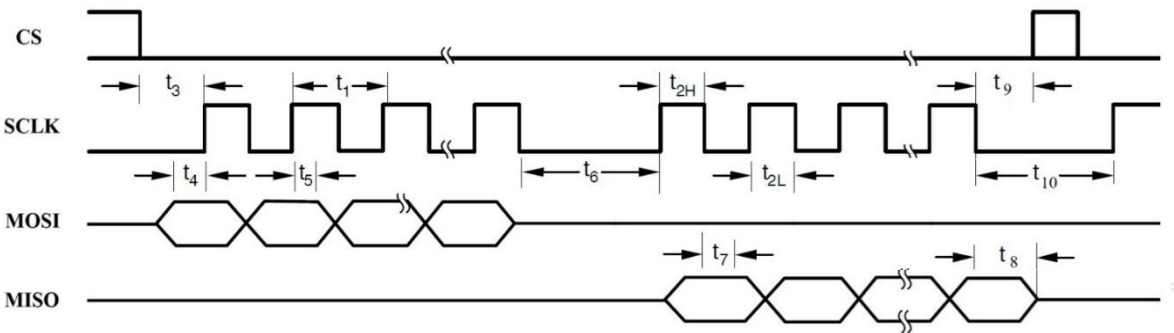
表 6- 4 低压检测寄存器设置

步骤	寄存器			配置值	说明
	名称	类型*	地址		
1	低压检测阈值寄存器	1	44h	06h	低压检测阈值选择
2	模拟中断使能寄存器	1	52h	01h	使能低压检测中断
3	模拟中断状态寄存器	1	53h	01h	判断中断源，写 1 清中断标志位

6.7 SPI 通信接口

在 NNC6521 中，片外 SPI 主控通过 MOSI（主输出从输入）和 MISO（主输入从输出）与芯片内部的 SPI 从机进行全双工数据通信。每次传输前，应确保 **CHIP_EN** 芯片使能引脚处于高电平，然后将 **CSn**（片选信号）拉低以启动通信，并在传输过程中由主控提供足够的时钟脉冲（SCLK）。数据交换完成后，需将 **CSn** 拉高以终止本次通信。

NNC6521 通过标准的 SPI 接口与外部主机进行数据通信。芯片支持最高 16 MHz 的串行时钟（SCLK），



并在片选信号（CS）有效时对主机的数据进行采样与响应。其典型时序关系如图 6-7 所示。

图 6- 7 SPI 时序图

表 6- 5 给出了 NNC6521 SPI 接口的主要时序参数，所有参数均基于典型工作条件测量，并需满足以确保在最高 16 MHz 时钟频率下可靠通信。

表 6- 5 SPI 时序特性参数表

Symbol	Parameter	中文描述	Min	Max	Unit
t_1	Serial clock period	串行时钟周期	62	-	ns
t_{2H}	SCLK high pulse width (min)	串行时钟高电平宽度	31	-	ns
t_{2L}	SCLK low pulse width (min)	串行时钟低电平宽度	31	-	ns
t_3	CS low to first SCLK setup time	片选拉低至首个时钟边沿的建立时间	0	-	ns
t_4	MOSI setup time (before rising edge)	MOSI 数据在上升沿前的建立时间	28	-	ns
t_5	MOSI hold time (after rising edge)	MOSI 数据在上升沿后的保持时间	28	-	ns
t_6	MISO output delay (SCLK → valid data)	从 SCLK 到 MISO 输出有效的延迟	62	-	us
t_7	MISO hold time (after edge)	MISO 数据在时钟边沿后的保持时间	-	30	ns
t_8	Last SCLK → MISO high-Z	最后一个 SCLK 后到 MISO 进入高阻的时间	-	30	ns
t_9	CS hold after last SCLK	最后一个时钟后片选保持时间	50	-	ns
t_{10}	Final SCLK falling edge to the first SCLK of the next command	一个命令最后时钟下降沿到下个命令首个时钟的间隔	62	-	ns

6.7.1 SPI 主从通信指令格式

NNC6521 内部 SPI 从控制器支持以下两种通信帧结构：

- 单字节写操作：

第 1 字节	第 2 字节	第 3 字节	第 4 字节
寄存器地址	写指令 (CMD)	写数据	填充位 (00H)

- 单字节读操作：

第 1 字节	第 2 字节	第 3 字节
寄存器地址	读指令 (CMD)	填充位 (00H)

表 6- 6 指令 (CMD) 格式说明

第 7 位	第 6 位	第 5 位~第 0 位
0=读 1=写	0=通用寄存器 1=刺激波形寄存器	保留位，固定为 0

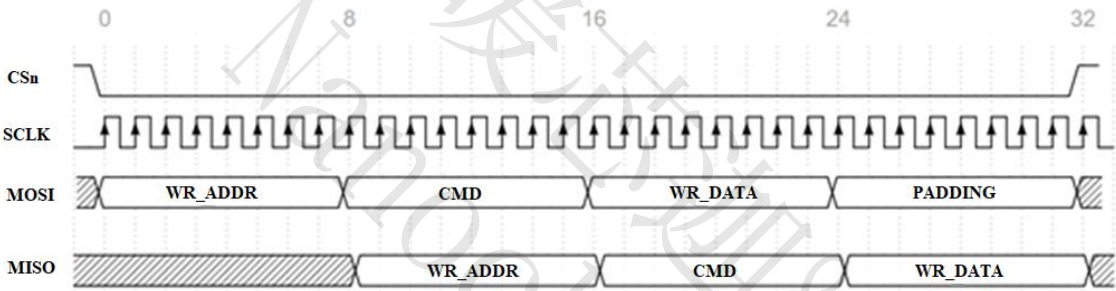
NNC6521 的寄存器根据功能划分为两类：通用寄存器和刺激波形寄存器。指令 (CMD) 的第 6 位用于区分读写这两类寄存器。根据 SPI 读写相关寄存器，指令格式共四类如表 6- 7 所示。

表 6- 7 不同寄存器操作的指令 (CMD) 格式

读写操作	指令 (CMD) 格式
写通用寄存器	80H
读通用寄存器	00H
写刺激波形寄存器	C0H
读刺激波形寄存器	40H

6.7.2 SPI 写操作

SPI 写操作在 32 个时钟周期内完成，由主机 (MOSI) 依次发送：寄存器地址 (WR_ADDR)，写指令 (CMD)，



写入数据 (WR_DATA) 和填充位 (PADDING)。

图 6- 8 SPI 写时序图

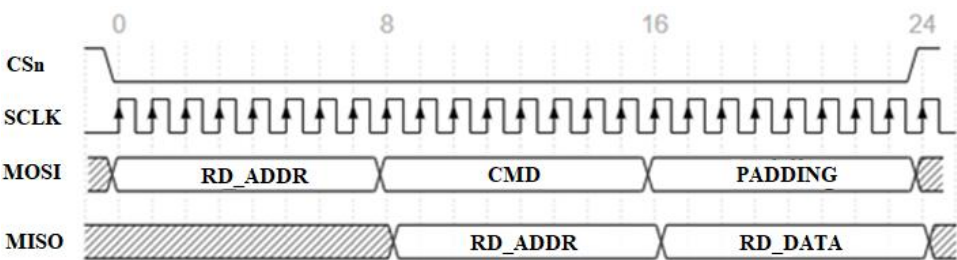
表 6- 9 列举了 NNC6521 芯片典型的 SPI 写操作示例，展示了主控如何通过 SPI 接口分别向通用寄存器和刺激波形寄存器写入数据。

表 6- 8 SPI 写操作示例

操作类型	WR_ADDR	CMD	WR_DATA	PADDING
写通用寄存器	0x01	0x80	0x55	0x00
写刺激波形寄存器	0x02	0xC0	0x7F	0x00

6.7.3 SPI 读操作

SPI 读操作在 24 个时钟周期内完成，由主机 (MOSI) 依次发送：寄存器地址 (RD_ADDR)，读指令



(CMD)，和填充位 (PADDING)。同时，从机 (MISO) 返回寄存器地址 (RD_ADDR) 和数 (RD_DATA)。

图 6- 9 SPI 读时序图

表 6- 9 列举了 NNC6521 芯片典型的 SPI 读操作示例，展示了主控如何通过 SPI 接口分别从普通寄存器和刺激波形寄存器读取数据。

表 6- 9 SPI 读操作示例

操作类型		RD_ADDR	CMD	PADDING
读通用寄存器	MOSI	0x01	0x00	0x55
	MISO		0x01	RD_DATA
读刺激波形寄存器	MOSI	0x02	0x40	0x7F
	MISO		0x02	RD_DATA

6.8 寄存器列表

NNC6521 的寄存器根据功能可分为两类：**通用寄存器** 和 **刺激波形寄存器**。两类寄存器在读写操作时使用不同的指令格式，主控在访问寄存器前需设置相应的访问类型标志位。

具体的指令结构、时序要求及示例详见本手册中 “**SPI 主从通信指令格式**” 章节。

表 6- 10 NNC6521 寄存器表.

地址	读/写	默认值	名称	链接
通用寄存器				
01h	R/W	01h	电源管理寄存器 (PMU_REG0)	Go
02h	R/W	00h	时钟控制寄存器 (CLK_CTRL_REG)	Go
03h	R/W	00h	波形发生器同步寄存器 (WAVEGEN_GLOBAL_REG_0)	Go
04h~22h			保留寄存器，禁止访问	
23h	R/W	00h	模拟使能寄存器 4 (ANA_ENABLE_REG_4)	Go
30h	R/W	00h	脱落检测控制寄存器 (LEAD_OFF_CTRL)	Go
31h	R/W	F0h	脱落检测阈值寄存器 0 (LEAD_OFF_THR_H_0)	Go
32h	R/W	00h	脱落检测阈值寄存器 1 (LEAD_OFF_THR_H_1)	Go
33h~34h			保留寄存器，禁止访问	
35h~38h	R/W	00h	脱落检测延时寄存器 (LEAD_OFF_DLY_TGT)	Go
39h	R/W	00h	脱落检测计数阈值寄存器 (LEAD_OFF_TGT)	Go
3Ah	R/W	F0h	脱落检测中断寄存器 (LEAD_OFF_INT)	Go
3Bh~3Fh			保留寄存器，禁止访问	
40h	R/W	02h	模拟使能寄存器 0 (ANA_ENABLE_REG_0)	Go
41h	R/W	00h	模拟使能寄存器 1 (ANA_ENABLE_REG_1)	Go
42h	R/W	00h	模拟使能寄存器 2 (ANA_ENABLE_REG_2)	Go
43h	R/W	00h	模拟使能寄存器 3 (ANA_ENABLE_REG_3)	Go
44h	R/W	04h	低压检测阈值寄存器 (ANA_GEN_REG_1)	Go
45h	R/W	00h	模拟通用寄存器 2 (ANA_GEN_REG_2)	Go
46h	R/W	00h	模拟通用寄存器 3 (ANA_GEN_REG_3)	Go
47h	R/W	00h	模拟通用寄存器 4 (ANA_GEN_REG_4)	Go

地址	读/写	默认值	名称	链接
48h	R/W	00h	模拟通用寄存器 5 (ANA_GEN_REG_5)	Go
49h~51h			保留寄存器, 禁止访问	
52h	R/W	07h	模拟中断使能寄存器 (ANA_INTR_EN)	Go
53h	R	00h	模拟中断状态寄存器 (ANA_INTR_STS)	Go
刺激波形通道 1/2 寄存器				
00h/40h	R/W	00h	波形设置寄存器 (ADDR_WG_DRV_CONFIG_REG0)	Go
01h/41h	R/W	00h	波形控制寄存器 (ADDR_WG_DRV_CTRL_REG0)	Go
02h/42h	R/W	00h	点数设置寄存器 (ADDR_WG_DRV_POINT_CONFIG)	Go
03h/43h	R/W	00h	自定义波形地址寄存器 (ADDR_WG_DRV_IN_WAVE_ADDR_REG)	Go
04h/44h	R/W	00h	自定义波形数据寄存器 (ADDR_WG_DRV_IN_WAVE_REG)	Go
05h/45h	R/W	00h	死区时间寄存器 (ADDR_WG_DRV_REST_CLK_REG)	Go
07h/47h	R/W	00h	静默时间寄存器 (ADDR_WG_DRV_SILENT_CLK_REG)	Go
0Ah/4Ah	R/W	00h	正半周点间隔寄存器 (ADDR_WG_DRV_HLF_WAVE_CLK_PNT_REG)	Go
0Ch/4Ch	R/W	00h	负半周点间隔寄存器 (ADDR_WG_DRV_NEG_HLF_WAVE_CLK_PNT_REG)	Go
0D~1Fh/4D~5Fh			保留寄存器, 禁止访问	
20h/60h	R/W	00h	相位偏移寄存器 (ADDR_WG_DRV_DELAY_LIM_REG)	Go
22h/62h	R/W	00h	负半周缩放寄存器 (ADDR_WG_DRV_NEG_SCALE_REG)	Go
23h/63h	R/W	00h	负半周偏移量寄存器 (ADDR_WG_DRV_NEG_OFFSET_REG)	Go
24h/64h	R/W	00h	正半周缩放寄存器 (ADDR_WG_DRV_POS_SCALE_REG)	Go
25h/65h	R/W	00h	正半周偏移量寄存器 (ADDR_WG_DRV_POS_OFFSET_REG)	Go
26h/66h	R/W	00h	电极放电寄存器 (ADDR_WG_DRV_SHORT_REG) (26h/66h)	Go
27h/67h	R/W	00h	波形中断计数寄存器 (ADDR_WG_DRV_INT_NUM_WAVE_REG1)	Go
28h/68h	R/W	00h	波形中断控制寄存器 (ADDR_WG_DRV_INT_REG1)	Go
29h/69h	R/W	00h	波形中断第一地址寄存器 (ADDR_WG_DRV_INT_REG2)	Go
2Ah/6Ah	R/W	00h	波形中断第二地址寄存器 (ADDR_WG_DRV_INT_REG3)	Go
2B~2Ch/6B~6Ch	R/W	00h	交变模式周期寄存器 (ADDR_WG_DRV_ALT_LIM_REG)	Go
2D~2Eh/6D~6Eh	R/W	00h	交变模式间隔寄存器 (ADDR_WG_DRV_ALT_SILENT_LIM_REG)	Go
2F~30h/6F~70h			保留寄存器, 禁止访问	
31h/71h	R/W	00h	驱动电流控制寄存器 2 (DRIVE_REG_CTRL2)	Go

NNC6521 包含两个刺激波形发生器模块, 每个模块占用相应连续的寄存器地址空间。两个模块功能完全相同, 用于配置刺激波形的幅度、周期、脉宽、延迟等参数。仅寄存器地址不同, 具体分配如下:

模块名称	地址范围
通道 1	00h~31h
通道 2	40h~71h

6.8.1 通用寄存器

电源管理寄存器 (PMU_REG0) (01h)

返回寄存器列表

表 6- 11 电源管理寄存器 PMU_REG0 (01h).

位	名称	读/写	默认值	描述
7	Lead OFF RST	R/W	0	0: 正常 1: 复位脱落检测模块
6	Lead OFF Disable	R/W	0	0: 使能脱落检测时钟 1: 禁用脱落检测时钟
5	WG RST	R/W	0	0: 正常 1: 复位刺激波形发生器模块
4	WG Clock Disable	R/W	0	0: 使能波形生成器模块的时钟 1: 禁用波形生成器模块的时钟
3	Reserved	R	0	保留位
2	HReset Request	R/W	0	0: 无操作 1: 从休眠模式中唤醒
1	Sleep	R/W	0	0: 无操作 1: 使能休眠模式
0	PMU Enable	R/W	1	0: 关闭 PMU 1: 启动 PMU

时钟控制寄存器 (CLK_CTRL_REG) (02h)

返回寄存器列表

表 6- 12 时钟控制寄存器 CLK_CTRL_REG (02h).

位	名称	读/写	默认值	描述
7: 4	Reserved	R	0	保留位
3	Internal Clock Out	R/W	0	0: 不将内部时钟输出到芯片外部 1: 将内部时钟输出到芯片外部
2: 0	PCLK DIVIDER	R/W	0	波形发生器时钟分频系数选择。 FCLK 等于内部时钟 (HSI, 2MHz) 或用户连接外部时钟 (HSE). 000: FCLK 不分频; 001: FCLK 2 分频; 010: FCLK 4 分频; 011: FCLK 8 分频; 100: FCLK 16 分频; 101: FCLK 32 分频; 110: FCLK 64 分频; 111: FCLK 128 分频;

波形发生器同步寄存器 (WAVEGEN_GLOBAL_REG_0) (03h)

返回寄存器列表

表 6- 13 波形发生器同步寄存器 WAVEGEN_GLOBAL_REG_0 (03h).

位	名称	读/写	默认值	描述
7:1	Reserved	R	0	保留位
0	Global Drive Enable	R/W	0	0: 通道 1 与通道 2 使能位独立控制 1: 同时使能通道 1 与通道 2 输出

备注: 该寄存器结合相位偏移寄存器以实现两通道间相位调整。

脱落检测控制寄存器 (LEAD_OFF_CTRL) (30h)

返回寄存器列表

表 6- 14 脱落检测控制寄存器 LEAD_OFF_CTRL (30h).

位	名称	读/写	默认值	描述
7:6	Reserved	R	0	保留位
5	CH2 VDAC PWR ON	R/W	0	1: 通道 2 VDAC 上电 0: 通道 2 VDAC 断电
4	CH1 VDAC PWR ON	R/W	0	1: 通道 1 VDAC 上电 0: 通道 1 VDAC 断电
3:2	Check Mode	R/W	0	00: 高低检测同时进行 01: 高检测 10: 低检测 11: 高低检测同时进行
1	Reserved	R	0	保留位
0	Delay Disable Bit	R/W	0	1: 禁用延时 0: 启用延时

脱落检测阈值寄存器 0 (LEAD_OFF_THR_H_0) (31h)

返回寄存器列表

表 6- 15 脱落检测阈值寄存器 0 LEAD_OFF_THR_H_0 (31h).

位	名称	读/写	默认值	描述
7:0	Lead OFF Threshold LSB	R/W	F0h	脱落检测比较器阈值低八位 (LSB)

脱落检测阈值寄存器 1 (LEAD_OFF_THR_H_1) (32h)

返回寄存器列表

表 6- 16 脱落检测阈值寄存器 1 LEAD_OFF_THR_H_1 (32h).

位	名称	读/写	默认值	描述
7:4	Reserved	R	0	保留位
3:0	Lead OFF Threshold MSB	R/W	00h	脱落检测比较器阈值高四位 (MSB)

脱落检测延时寄存器 (LEAD_OFF_DLY_TGT) (35h~38h)

返回寄存器列表

表 6- 17 脱落检测延时寄存器 LEAD_OFF_DLY_TGT (35h~38h).

位	名称	读/写	默认值	描述
7:0	LEAD_OFF_DLY_TGT (35h)	R/W	00h	脱落检测延时[7:0]
15:8	LEAD_OFF_DLY_TGT (36h)	R/W	00h	脱落检测延时[15:8]
23:16	LEAD_OFF_DLY_TGT (37h)	R/W	00h	脱落检测延时[23:16]
31:24	LEAD_OFF_DLY_TGT (38h)	R/W	00h	脱落检测延时[31:24]

脱落检测计数阈值寄存器 (LEAD_OFF_TGT) (39h)

返回寄存器列表

表 6- 18 脱落检测计数阈值寄存器 LEAD_OFF_TGT (39h).

位	名称	读/写	默认值	描述
7:0	Lead OFF Counter	R/W	F0h	脱落检测计数寄存器, 达到设定值触发中断

脱落检测中断寄存器 (LEAD_OFF_INT) (3Ah)

返回寄存器列表

表 6- 19 脱落检测中断寄存器 LEAD_OFF_INT (3Ah).

位	名称	读/写	默认值	描述
7:5	Reserved	R	0	保留位
4	Lead OFF Interrupt Enable	R/W	1	0: 禁用脱落检测中断 1: 使能脱落检测中断
3:2	Reserved	R	0	保留位
1	Lead OFF Status Clear*	R/W	0	0: 不清除脱落检测中断 1: 清除脱落检测中断
0	Lead OFF Status	R	0	0: 无电极脱落事件发生 1: 电极脱落事件发生

*备注: Bit [1], 电极脱落状态清零位, 先写 0 后写 1 清零。

模拟使能寄存器 0 (ANA_ENABLE_REG_0) (40h)

返回寄存器列表

表 6- 20 模拟使能寄存器 0 ANA_ENABLE_REG_0 (40h).

位	名称	读/写	默认值	描述
7:2	Reserved	R	0	保留位
1	HSI Enable	R/W	1	0: 禁用内部时钟 (2MHz) 1: 使能内部时钟 (2MHz)
0	LVD Enable	R/W	0	0: 禁用低压检测功能 1: 使能低压检测功能

模拟使能寄存器 1 (ANA_ENABLE_REG_1) (41h)

返回寄存器列表

表 6- 21 模拟使能寄存器 1 ANA_ENABLE_REG_1 (41h).

位	名称	读/写	默认值	描述
7	Reserved	R/W	0	保留位
6	Reserved	R/W	0	保留位
5	Reserved	R/W	0	保留位
4	CH1 DAC Enable (V)	R/W	0	0: 禁用通道 1VDAC 1: 使能通道 1VDAC
3	CH1 DAC Enable (I)	R/W	0	0: 禁用通道 1IDAC 1: 使能通道 1IDAC
2	CH1 Lead Off Comparator Enable	R/W	0	0: 禁用通道 1 脱落检测比较器 1: 使能通道 1 脱落检测比较器

1	CH1 Lead off Op-amp Enable	R/W	0	0: 禁用通道 1 脱落检测运放 1: 使能通道 1 脱落检测运放
0	Reserved	R/W	0	保留位

模拟使能寄存器 2 (ANA_ENABLE_REG_2) (42h)

返回寄存器列表

表 6- 22 模拟使能寄存器 2 ANA_ENABLE_REG_2 (42h).

位	名称	读/写	默认值	描述
7	Reserved	R/W	0	保留位
6	Reserved	R/W	0	保留位
5	Reserved	R/W	0	保留位
4	CH2 DAC Enable (V)	R/W	0	0: 禁用通道 2 VDAC 1: 使能通道 2 VDAC
3	CH2 DAC Enable (I)	R/W	0	0: 禁用通道 2 IDAC 1: 使能通道 2 IDAC
2	CH2 Lead off Comparator Enable	R/W	0	0: 禁用通道 2 脱落检测比较器 1: 使能通道 2 脱落检测比较器
1	CH2 Lead off Op-amp Enable	R/W	0	0: 禁用通道 2 脱落检测运放 1: 使能通道 2 脱落检测运放
0	Reserved	R/W	0	保留位

模拟使能寄存器 3 (ANA_ENABLE_REG_3) (43h)

返回寄存器列表

表 6- 23 模拟使能寄存器 3 ANA_ENABLE_REG_3 (43h).

位	名称	读/写	默认值	描述
7:5	Reserved	R/W	0	保留位
4:1	COMP1_OUT	R/W	0	1101: 选择 COMP1_OUT 为通道 1 比较器输出管脚
0	COMP1_OUT_EN	R/W	0	0: 禁用 COMP1_OUT 1: 使能 COMP1_OUT

模拟使能寄存器 4 (ANA_ENABLE_REG_4) (23h)

返回寄存器列表

表 6- 24 模拟使能寄存器 4 (ANA_ENABLE_REG_4) (23h).

位	名称	读/写	默认值	描述
7:2	Reserved	R	0	保留位
1	COMP2_OUT	R/W	0	0: 选择 COMP1_OUT 输出 1: 选择 COMP2_OUT 输出
0	COMP2_OUT_EN	R/W	0	0: 禁用 COMP2_OUT 1: 使能 COMP2_OUT

低压检测阈值寄存器 (ANA_GEN_REG_1) (44h)

返回寄存器列表

表 6- 25 低压检测阈值寄存器 ANA_GEN_REG_1 (44h).

位	名称	读/写	默认值	描述
7:3	Reserved	R/W	0	保留位
2:0	LVD Threshold	R/W	4h	低压检测电压阈值选择: 000: 4.2 V; 001: 3.9 V; 010: 3.6 V; 011: 3.3 V 100: 3.0 V

模拟通用寄存器 2 (ANA_GEN_REG_2) (45h)

返回寄存器列表

表 6- 26 模拟通用寄存器 2 ANA_GEN_REG_2 (45h).

位	名称	读/写	默认值	描述
7:0	CH1 VDAC LSB	R/W	0	通道 1 电压型 DAC 输入数据低 8 位

模拟通用寄存器 3 (ANA_GEN_REG_3) (46h)

返回寄存器列表

表 6- 27 模拟通用寄存器 3 ANA_GEN_REG_3 (46h).

位	名称	读/写	默认值	描述
7:5	Reserved	R/W	0	保留位
4	CH1 VDAC buffer	R/W	0	通道 1 VDAC 缓冲运放
3	CH1_COMP_ISEL	R/W	0	通道 1 比较器比较对象选择控制信号 0: 比较对象来自内部 1: 比较对象来自外部
2	CH1 Chop Op-amp	R/W	0	0: 禁用通道 1 VDAC 斩波运放 1: 使能通道 1 VDAC 斩波运放
1:0	CH1 VDAC1 MSB 2	R/W	0	通道 1 VDAC 输入数据高 2 位

模拟通用寄存器 4 (ANA_GEN_REG_4) (47h)

返回寄存器列表

表 6- 28 模拟通用寄存器 4 ANA_GEN_REG_4 (47h).

位	名称	读/写	默认值	描述
7:0	CH2 VDAC LSB 8	R/W	0	通道 2 VDAC 输入数据低 8 位

模拟通用寄存器 5 (ANA_GEN_REG_5) (48h)

返回寄存器列表

表 6- 29 模拟通用寄存器 5 ANA_GEN_REG_5 (48h).

位	名称	读/写	默认值	描述
7:5	Reserved	R/W	0	保留位
4	CH2 VDAC buffer	R/W	0	通道 2 VDAC 缓冲运放
3	CH2_COMP_ISEL	R/W	0	通道 2 比较器比较对象选择控制信号 0: 比较对象来自内部 1: 比较对象来自外部
2	CH2 Chop Op-amp	R/W	0	0: 禁用通道 2 VDAC 斩波运放 1: 使能通道 2 VDAC 斩波运放
1:0	CH2 VDAC MSB 2	R/W	0	通道 2 VDAC 输入数据高 2 位

模拟中断使能寄存器 (ANA_INTR_EN) (52h)

返回寄存器列表

表 6- 30 模拟中断使能寄存器 ANA_INTR_EN (52h).

位	名称	读/写	默认值	描述
7:3	Reserved	R/W	0	保留位
2	Ch2 Comparator INT Enable*	R/W	1	0: 禁用通道 2 脱落比较器中断 1: 使能通道 2 脱落比较器中断
1	Ch1 Comparator INT Enable*	R/W	1	0: 禁用通道 1 脱落比较器中断 1: 使能通道 1 脱落比较器中断
0	LVD INT Enable Bit	R/W	1	0: 禁用 LVD 中断 1: 使能 LVD 中断

备注: 使用通道 1 或 2 脱落检测中断时需要禁用相应的比较器中断。

模拟中断状态寄存器 (ANA_INTR_STS) (53h)

返回寄存器列表

表 6- 31 模拟中断状态寄存器 ANA_INTR_STS (53h).

位	名称	读/写	默认值	描述
7:3	Reserved	R/W	0	保留位
2	Ch2 Comparator INT	R	0	通道 2 脱落比较器中断状态标志位
1	Ch1 Comparator INT	R	0	通道 1 脱落比较器中断状态标志位
0	LVD INT Status Bit	R/W	0	低压检测中断状态标志位, 写 1 清零

6.8.2 刺激波形寄存器

NNC6521 包含两个刺激波形发生器模块, 每个模块占用相应连续的寄存器地址空间。两个模块功能完全相同, 用于配置刺激波形的幅度、周期、脉宽、延迟等参数。仅寄存器地址不同, 具体分配如下:

模块名称	地址范围
通道 1	00h~31h
通道 2	40h~71h

波形设置寄存器 (ADDR_WG_DRV_CONFIG_REG0) (00h/40h)

返回寄存器列表

表 6- 32 波形设置寄存器 ADDR_WG_DRV_CONFIG_REG0 (00h/40h).

位	名称	读/写	默认值	描述
7	Positive phase <i>disables</i>	R/W	0	0: 使能正半周 1: 禁用正半周
6	Multi electrodes	R/W	0	使能多电极, 必需设置为 1
5	Reserved	R	0	保留位
4	Alternating enable bit	R/W	0	交变模式使能位
3	Source B enable bit	R/W	0	0: 禁用电流源 (Source B) 1: 使能电流源 (Source B)
2	Silent time enable bit	R/W	0	0: 禁用静默时间 1: 使能静默时间
1	Negative phase enable bit	R/W	0	0: 禁用负半周 1: 使能负半周
0	Rest time enable bit	R/W	0	0: 禁用死区时间 1: 使能死区时间

注: 禁用电流源 (Source B), 以及禁用正/负半周使能位, 能够实现仅输出正半周或负半周的刺激波形。

波形控制寄存器 (ADDR_WG_DRV_CTRL_REG0) (01h/41h)

返回寄存器列表

表 6- 33 控制寄存器 ADDR_WG_DRV_CTRL_REG0 (01h/41h).

位	名称	读/写	默认值	描述
7	Symmetrical/Asymmetrical waveform	R/W	0	0: 对称波形 (自定义波形) 1: 非对称波形 (自定义波形)*
6	Preload	R	0	0: 预置重复输出 (预置波形此为需设为 0) 1: 波形持续输出 128 点 (自定义波形)*
5:3	Reserved	R	0	保留位
2:1	Waveform selection	R/W	0	00: 使用预加载的数据生成正弦波 (Sine) 01: 使用预加载的数据生成脉冲波 (Pulse) 10: 使用预加载的数据生成三角波 (Triangle) 11: 使用自定义波形 (SPI)
0	AWG enable	R/W	0	0: 禁用刺激波形发生器模块 1: 使能刺激波形发生器模块*

*注: 非对称波形模式仅适用于自定义波形。波形数据数组 D_I 长度为 128, 点数设置寄存器应配置为 64。在此模式下, 数组 D_I 前 64 点用于构建正半周波形, 后 64 点用于构建负半周波形, 从而实现非对称的刺激波形输出。波形发生器使能位必须在完成所有波形相关参数配置后再置位启用。若在波形配置尚未完成的情况下提前使能驱动器, 可能导致波形输出异常或刺激行为不符合预期。Bit[6] 设置位 1 时, 自定义波形持续输出至 128 点, 并在 128 点内以点数设置寄存器数值实现正负半周翻转输出。

点数设置寄存器 (ADDR_WG_DRV_POINT_CONFIG) (02h/42h)

返回寄存器列表

表 6- 34 点数设置寄存器 ADDR_WG_DRV_POINT_CONFIG (02h/42h).

位	名称	读/写	默认值	描述
7:0	Number of Points	R/W	40h	正、负半周内的采样点数 (0~128)

自定义波形地址寄存器 (ADDR_WG_DRV_IN_WAVE_ADDR_REG) (03h/43h)

返回寄存器列表

表 6- 35 自定义波形地址寄存器 ADDR_WG_DRV_IN_WAVE_ADDR_REG (03h/43h).

位	名称	读/写	默认值	描述
7:0	ADDRESS	R/W	00h	自定义波形地址范围: 0x00 to 0x7F

自定义波形数据寄存器 (ADDR_WG_DRV_IN_WAVE_REG) (04h/44h)

返回寄存器列表

表 6- 36 自定义波形数据寄存器 ADDR_WG_DRV_IN_WAVE_REG (04h/44h).

位	名称	读/写	默认值	描述
7:0	DATA	R/W	00h	自定义波形数据: 0x00 to 0xFF

死区时间寄存器 (ADDR_WG_DRV_REST_CLK_REG) (05~06h/45~46h)

返回寄存器列表

表 6- 37 死区时间寄存器 ADDR_WG_DRV_REST_CLK_REG (05~06h/45~46h).

位	名称	读/写	默认值	描述
7:0	ADDR_WG_DRV_REST_CLK_REG1 (05h)	R/W	00h	死区时间: 1 ~ 65535 个时钟周期 (PCLK)
15:8	ADDR_WG_DRV_REST_CLK_REG2 (06h)	R/W	00h	

静默时间寄存器 (ADDR_WG_DRV_SILENT_CLK_REG) (07~09h/47~49h)

返回寄存器列表

表 6- 38 静默时间寄存器 ADDR_WG_DRV_SILENT_CLK_REG (07~09h/47~49h).

位	名称	读/写	默认值	描述
7:0	ADDR_WG_DRV_REST_CLK_REG1 (07h)	R/W	00h	静默时间 (24 位), 单位: 时钟周期 (PCLK)
15:8	ADDR_WG_DRV_REST_CLK_REG2 (08h)	R/W	00h	
23:16	ADDR_WG_DRV_REST_CLK_REG3 (09h)	R/W	00h	

正半周点间隔寄存器 (ADDR_WG_DRV_HLF_WAVE_CLK_PNT_REG) (0A~0Bh/4A~4Bh)

返回寄存器列表

表 6- 39 正半周点间隔寄存器 ADDR_WG_DRV_HLF_WAVE_CLK_PNT_REG (0A~0Bh/4A~4Bh).

位	名称	读/写	默认值	描述
7:0	ADDR_WG_DRV_HLF_WAVE_CLK_PNT_REG1 (0Ah)	R/W	00h	点间隔时间: 0 ~ 65535 时钟周期 (PCLK), 即每个点持续时间: N X PCLK
15:8	ADDR_WG_DRV_HLF_WAVE_CLK_PNT_REG2 (0Bh)	R/W	00h	

负半周点间隔寄存器 (ADDR_WG_DRV_NEG_HLF_WAVE_CLK_PNT_REG) (0C~0Dh/4C~4Dh)

返回寄存器列表

表 6- 40 负半周点间隔寄存器 ADDR_WG_DRV_NEG_HLF_WAVE_CLK_PNT_REG (0C~0Dh/4C~4Dh).

位	名称	读/写	默认值	描述
7:0	ADDR_WG_DRV_NEG_HLF_WAVE_CLK_PNT_REG1 (0Ch)	R/W	00h	点间隔时间: 0 ~ 65535 时钟周期 (PCLK), 即每个点持续时间: N X PCLK
15:8	ADDR_WG_DRV_NEG_HLF_WAVE_CLK_PNT_REG2 (0Dh)	R/W	00h	

相位偏移寄存器 (ADDR_WG_DRV_DELAY_LIM_REG) (20~21h/60~61h)

返回寄存器列表

表 6- 41 相位偏移寄存器 ADDR_WG_DRV_DELAY_LIM_REG (20~21h/60~61h).

位	名称	读/写	默认值	描述
7:0	ADDR_WG_DRV_DELAY_LIM_REG01 (20h)	R/W	00h	调节两通道输出的时间偏移量: 0 ~ 65535 时钟周期 (PCLK)。波形产生前设置或复位后有效。
15:8	ADDR_WG_DRV_DELAY_LIM_REG02 (21h)	R/W	00h	

备注: 相位偏移寄存器需与波形发生器同步寄存器结合使用。

负半周缩小寄存器 (ADDR_WG_DRV_NEG_SCALE_REG) (22h/62h)

返回寄存器列表

表 6- 42 负半周缩小寄存器 ADDR_WG_DRV_NEG_SCALE_REG (22h/62h).

位	名称	读/写	默认值	描述
7	Negative Amplitude Reduction Enable	R/W	0	1: 使能缩小, 右移 [6:0] 的值
6:0	Amplitude reduction Coefficient	R/W	00h	右移位数, 即 C_N

负半周偏移量寄存器 (ADDR_WG_DRV_NEG_OFFSET_REG) (23h/63h)

返回寄存器列表

表 6- 43 负半周偏移量寄存器 ADDR_WG_DRV_NEG_OFFSET_REG (23h/63h).

位	名称	读/写	默认值	描述
7:0	Negative Offset	R/W	00h	负半周电流偏移量, 即 C_{No}

备注: 负半周偏移量寄存器仅在自定义波形模式下有效。使用时需确保各采样点的电流幅值与偏移量之和不超过 255, 否则可能导致数据溢出或输出波形异常。

正半周缩小寄存器 (ADDR_WG_DRV_POS_SCALE_REG) (24h/64h)

返回寄存器列表

表 6- 44 正半周缩小寄存器 ADDR_WG_DRV_POS_SCALE_REG (24h/64h).

位	名称	读/写	默认值	描述
7	Positive Amplitude Reduction Enable	R/W	0	1: 使能缩小, 右移 [6:0] 的值
6:0	Amplitude Reduction Coefficient	R/W	00h	右移位数, 即 C_P

正半周偏移量寄存器 (ADDR_WG_DRV_POS_OFFSET_REG) (25h/65h)

返回寄存器列表

表 6- 45 正半周偏移量寄存器 ADDR_WG_DRV_POS_OFFSET_REG (25h/65h).

位	名称	读/写	默认值	描述
7:0	Positive Offset	R/W	00h	正半周电流偏移量, 即 C_{Po}

备注: 正半周偏移量寄存器仅在自定义波形模式下有效。使用时需确保各采样点的电流幅值与偏移量之和不超过 255, 否则可能导致数据溢出或输出波形异常。

电极放电寄存器 (ADDR_WG_DRV_SHORT_REG) (26h/66h)

返回寄存器列表

表 6- 46 电极放电寄存器 ADDR_WG_DRV_SHORT_REG (26h/66h).

位	名称	读/写	默认值	描述
7	Discharge at the positive phase	R/W	0	使能正周期放电, 即电极短接到地
6	Discharge at the negative phase	R/W	0	使能负周期放电
5:0	Number of clocks	R/W	00h	放电时钟数

波形中断计数寄存器 (ADDR_WG_DRV_INT_WAVE_REG) (27h/67h)

返回寄存器列表

表 6- 47 波形中断寄存器 ADDR_WG_DRV_INT_WAVE_REG (27h/67h).

位	名称	读/写	默认值	描述
7:0	Number of interrupts	R/W	00h	波形中断计数阈值, 达到该阈值后产生中断

波形中断控制寄存器 (ADDR_WG_DRV_INT_REG1) (28h/68h)

返回寄存器列表

表 6- 48 波形中断控制寄存器 ADDR_WG_DRV_INT_WAVE_REG1 (28h/68h).

位	名称	读/写	默认值	描述
7:6	Reserved	R	0	保留位
5	Second Address INT Flag	R	0	第二地址中断标志位
4	First Address INT Flag	R	0	第一地址中断标志位
3	Reserved	R	0	保留位
2	Clear Second Address INT	RW1C	0	第二地址中断清零位
1	Clear First Address INT	RW1C	0	第一地址中断清零位
0	Interrupt Enable Bit	R/W	0	波形中断使能位

波形中断第一地址寄存器 (ADDR_WG_DRV_INT_REG2) (29h/69h)

返回寄存器列表

表 6- 49 波形中断第一地址寄存器 ADDR_WG_DRV_INT_REG2 (29h/69h).

位	名称	读/写	默认值	描述
7:0	First INT Address	R/W	29h	产生波形中断的第一个地址 (0~128)

波形中断第二地址寄存器 (ADDR_WG_DRV_INT_REG3) (2Ah/6Ah)

返回寄存器列表

表 6- 50 波形中断第二地址寄存器 ADDR_WG_DRV_INT_REG3 (2Ah/6Ah).

位	名称	读/写	默认值	描述
7:0	Second INT Address	R/W	2Ah	产生波形中断的第二个地址 (0~128)

交变模式周期寄存器 (ADDR_WG_DRV_ALT_LIM_REG) (2B~2Ch/6B~6Ch)

返回寄存器列表

表 6- 51 交变模式周期寄存器 ADDR_WG_DRV_ALT_LIM_REG (2B~2Ch/6B~6Ch).

位	名称	读/写	默认值	描述
7:0	ADDR_WG_DRV_ALT_LIM_REG1 (2Bh)	R/W	00h	交变周期数*PCLK
15:8	ADDR_WG_DRV_ALT_LIM_REG2 (2Ch)	R/W	00h	

交变模式间隔寄存器 (ADDR_WG_DRV_ALT_SILENT_LIM_REG) (2D~2Eh/6D~6Eh)

返回寄存器列表

表 6- 52 交变模式周期寄存器 ADDR_WG_DRV_ALT_LIM_REG (2B~2Ch/6B~6Ch).

位	名称	读/写	默认值	描述
7:0	ADDR_WG_DRV_ALT_SILENT_LIM_REG1 (2Dh)	R/W	00h	交变间隔数*PCLK
15:8	ADDR_WG_DRV_ALT_SILENT_LIM_REG2 (2Eh)	R/W	00h	

驱动电流控制寄存器 2 (DRIVE_REG_CTRL2) (31h/71h)

返回寄存器列表

表 6- 53 驱动电流控制寄存器 2 DRIVE_REG_CTRL2 (31h/71h).

位	名称	读/写	默认值	描述
7	Reserved	R/W	0	保留位
6:4	Amplitude Scaling	R/W	0	驱动电流放大系数 C_I (仅限 8 位数据) 000: 16 倍 001: 8 倍; 010: 4 倍; 011: 2 倍; 100: 1 倍; 其他: 16 倍
3:0	Reserved	R/W	0	保留位

7 典型应用

7.1 单芯片典型应用电路

NNC6521 双通道四电极刺激典型应用电路如图 7- 1 所示,

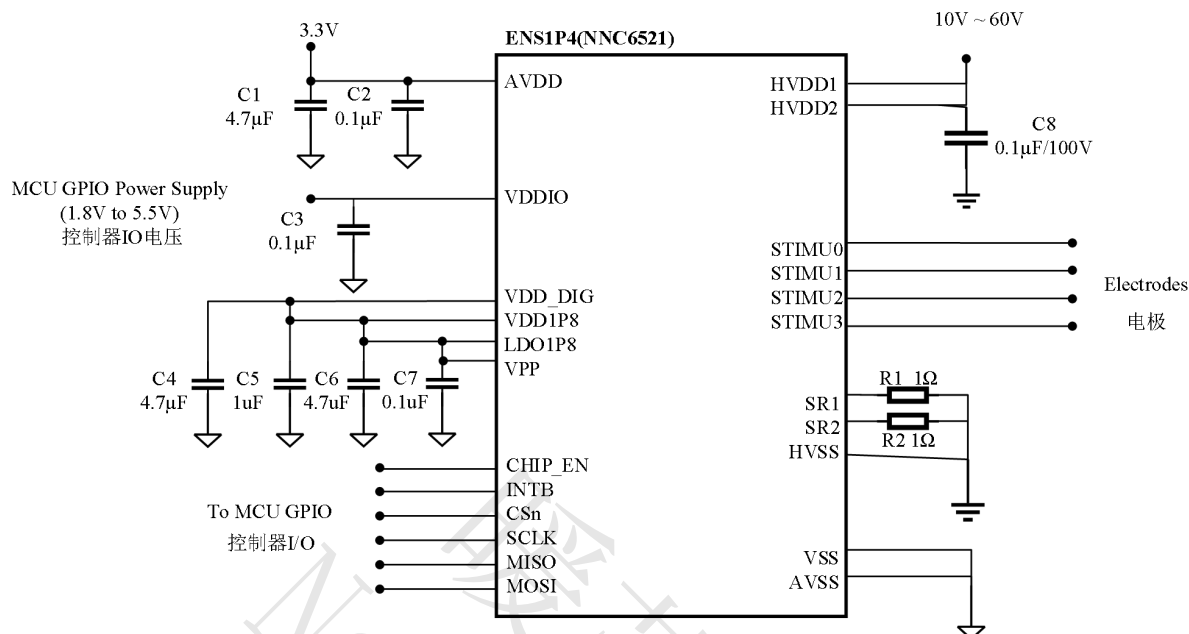


图 7- 1 NNC6521 典型应用电路.

注:

若 **CHIP_EN** 引脚由外部 MCU 控制, 其输入电压必须与芯片的 **AVDD** 电压保持一致。例如, 若 MCU 的 GPIO 输出电平为 1.8V, 而 NNC6521 的 AVDD 为 3.3V, 则需在 MCU 与 **CHIP_EN** 引脚之间添加电平转换电路, 将 1.8V 电平转换为 3.3V, 以确保 NNC6521 能够被正确使能并稳定工作。

同时, **VDDIO** 电压应根据 MCU 的 GPIO 电平选择连接电压, 例如, 当 MCU 的 GPIO 工作电平为 1.8V 时, **VDDIO** 亦应供以 1.8V, 以实现 SPI 通讯电平的兼容匹配。

HVDD 允许范围 10~60V。运行时必须保证 HVDD 与负载上最大合规电压之差 $\leq 10V$, 防止压差过大导致芯片过热。

*C4、C5、C6 和 C7 为关键退耦电容, 应分别紧靠 VDD_DIG、VDD1P8、LDO1P8 和 VPP 管脚放置, 以降低电源噪声并提升芯片供电稳定性。

脱落检测采样电阻 (R1, R2) 选型说明

R1、R2 为脱落检测采样电阻, 其阻值需根据刺激电流范围进行选择:

- 刺激电流 1 mA ~ 40 mA: 选用 33 Ω
- 刺激电流 40 mA ~ 100 mA: 选用 1 Ω

若刺激电流范围同时涵盖上述两个区间, 可考虑采用模拟开关实现两个采样电阻的切换。

7.2 级联典型应用电路

图 7- 2 展示了两个 NNC6521 芯片的级联应用电路,适用于需要扩展刺激通道的场景。MCU 通过 SPI 总线控制两个芯片。第一片 NNC6521 芯片通过内部时钟输出使能 (HSI_OUT_EN) 将内部时钟信号 (OSC_OUT) 输出作为第二个 NNC6521 芯片的外部时钟输入 (HSE_CLK) 实现时钟同步,确保刺激信号的相位同步与调节可控。每个芯片提供四个刺激通道 (STIMU0 至 STIMU3), 级联后可驱动八电极。若需更多刺激波形通道, 连接方式以此类推。

备注: 芯片级联时, 只能使用第一级芯片的片内时钟。

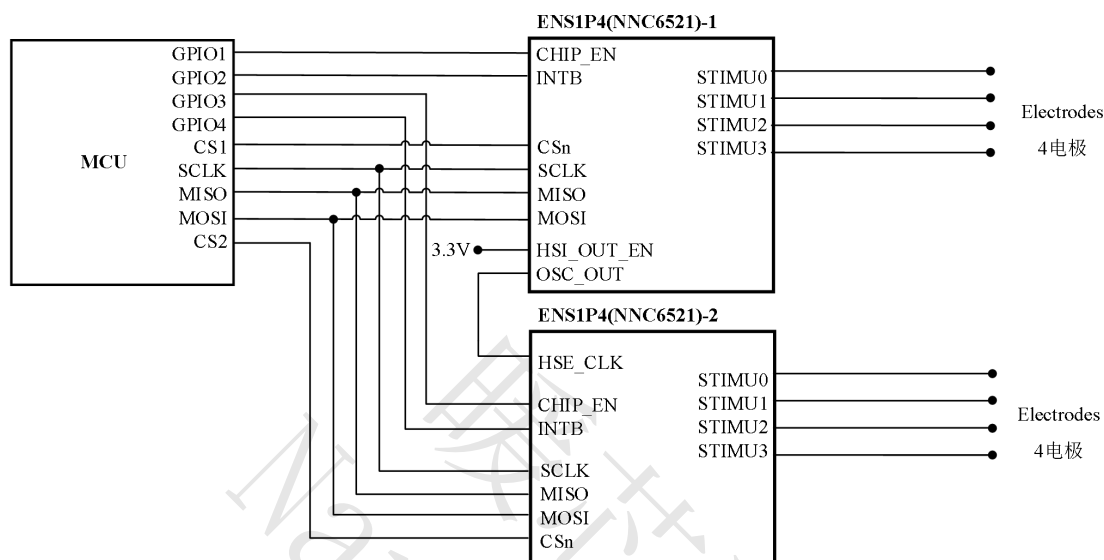


图 7- 2 NNC6521 级联典型应用电路。

8 布局布线建议

■ 电源旁路电容：

- 旁路电容应尽可能靠近电源引脚与地引脚放置；
- 推荐电容值为 $4.7\ \mu\text{F}$ ，与 $0.1\ \mu\text{F}$ 。

■ 热管理建议：

- 建议将 NNC6521 安装于 PCB 焊盘上，以降低热阻；
- 焊接热焊盘可缩短热响应时间并减小温度偏移；
- 若希望最小化系统校准误差，可选择不焊接热焊盘；
- 推荐采用标准的回流焊工艺，以避免器件受机械应力影响。

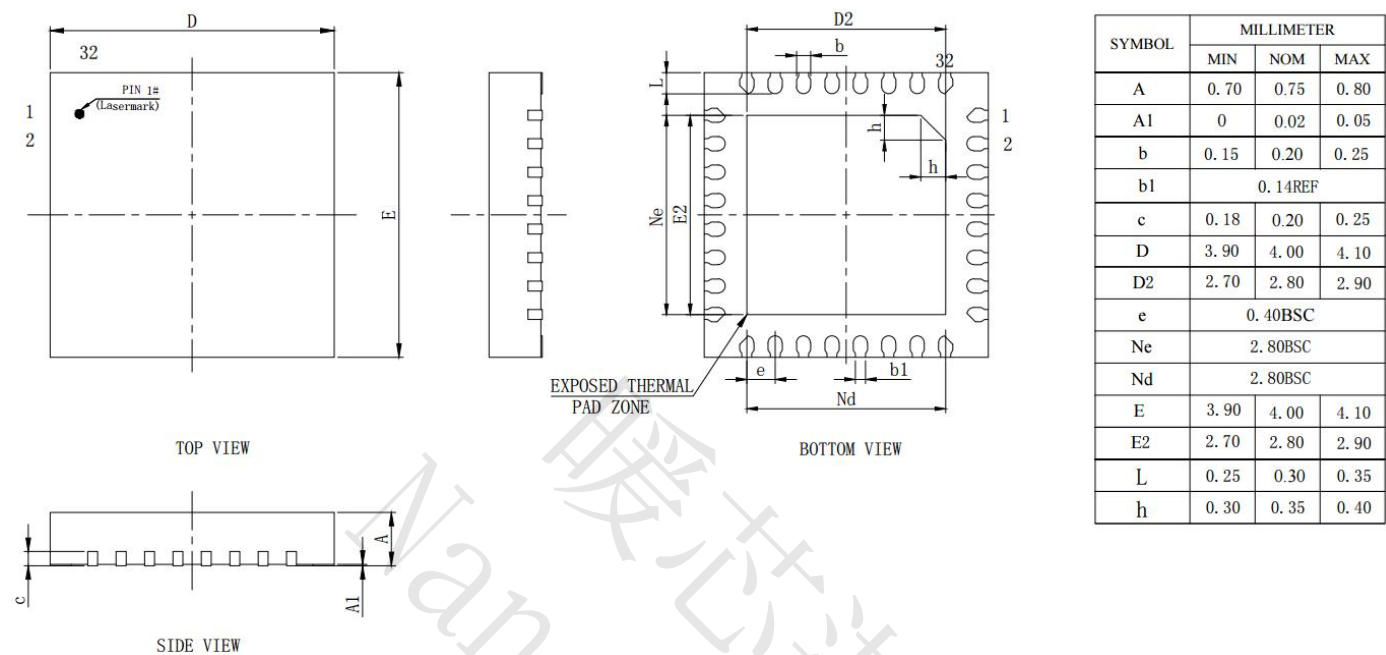
■ PCB 设计：

- 使用厚度尽可能小且不易弯曲的 PCB；
- 尽量增加传感器与周围铜箔之间的空气间隙，尤其是热源附近；
- 可在传感器周围设计 PCB 开孔，以隔离热源影响；
- 若热源位于 PCB 顶面，应将所有信号线布设于底层；
- 建议将 PCB 垂直安装，以改善气流并减少灰尘堆积；
- 在 PCB 底部增加铜层，并去除焊油掩膜以提升热传导；
- 可选地在暴露的铜面覆盖一层金属镀金层；
- 在 PCB 与被测表面之间使用导热膏以增强热接触；
- 可将未使用的内部层延伸至传感器下方以辅助导热；
- 顶层应尽量减少铜布线，并可辅以热绝缘材料以提升精度。

9 尺寸、封装信息与订购指南

以下页面提供了 NNC6521 器件的机械尺寸、封装信息及订购相关数据。本节内容为当前可用的最新信息，可能会在文档的后续版本中进行更新，恕不另行通知。敬请在使用前确认资料的有效性与适用性。

PACKAGE OUTLINE—QFN32 4x4



芯片编号	芯片信息	说明
NNC6521	标准版	刺激电流精度小于 10%
NNC6521L	消费级	刺激电流精度小于 25%

10 重要声明与免责声明

暖芯迦提供的技术与可靠性数据、设计资源（包括数据手册、参考设计、应用建议、在线工具、安全信息及其他资料）均以“原样”提供，可能存在瑕疵。暖芯迦不对该等资料作出任何明示或暗示的保证，包括但不限于针对适销性、特定用途适用性或未侵犯第三方知识产权的任何暗示性保证。

上述资料仅供具备相关专业能力的开发人员在设计使用 暖芯迦产品时参考。您需自行负责以下事项：

选择适用于您应用场景的暖芯迦产品；

完成应用设计、验证与测试；

确保您的应用符合适用的标准、安全、安规、法规及其他要求。

暖芯迦提供的所有资源如有更新，恕不另行通知。暖芯迦仅授权您将上述资料用于开发包含相关 暖芯迦产品的应用系统。禁止将资料用于其他目的的复制或展示行为。暖芯迦或第三方的任何知识产权均不因此向您授予许可。

对于因您使用上述资料而引发的任何索赔、损害、费用、损失与法律责任，暖芯迦概不负责，且您同意对 暖芯迦及其代表予以赔偿。

暖芯迦产品的销售受限于 暖芯迦的《销售条款》或其他适用条款，详见官网 www.nanochap.cn 或产品随附文件。本声明不构成对暖芯迦产品质保条款的修改或替代。

暖芯迦拒绝接受您提出的任何附加或不同条款。