

高速 ADC UIA4103 数据手册

Rev: 1.0.2

版权所有© 2025 上海联影微电子科技有限公司

免责声明

本文档内容受著作权法保护，本文档提及的产品名称和标识受商标法保护，文档相关的权利归属于联影集团旗下子公司上海联影微电子科技有限公司（以下简称“联影微电子”），但注明引用其他方的内容除外。未经联影微电子书面许可，任何人不得对本文档任何内容以任何形式进行复制、修改、传播。联影微电子不保证所提供内容的准确、完整、充分和可靠性，并且明确声明不对其错误或遗漏承担责任，也不做任何明示或暗示的保证，包括但不限于对适销性、特定用途的适用性或不侵权等任何其他之保证。

由于在方法、设计和制造方面的不断进步，本文档内容会不定期更新，恕不另行通知。

联系我们

地址：上海市嘉定区皇庆路 333 号 1 幢 4F

网址：<https://www.uim-solution.com>

电话：+86 (21) 39922260

邮箱：UIM_Sales@uim-solution.com

1 概述

UIA4103 是一款单通道、14 位、40MSPS 的模数转换器（ADC），内置片内采样保持电路和电压基准，具有低成本、低功耗、小尺寸、高易用性等特征。

1.1 关键特性

- 3.3V 模拟电源供电
- 低功耗：160 mW
- SNR：
 - ◆ 73.8 dBc（2.4MHz 输入， $V_{REF}=1.0V$ ）
 - ◆ 73.2 dBc（19.6MHz 输入， $V_{REF}=1.0V$ ）
- SFDR：
 - ◆ 92.0 dBc（2.4MHz 输入， $V_{REF}=1.0V$ ）
 - ◆ 90.1 dBc（19.6MHz 输入， $V_{REF}=1.0V$ ）
- SINAD：
 - ◆ 73.6 dBc（2.4MHz 输入， $V_{REF}=1.0V$ ）
 - ◆ 73.0 dBc（19.6MHz 输入， $V_{REF}=1.0V$ ）
- DNL：±0.5 LSB

- INL：±1.4 LSB
- 输入电压范围：最大 2V p-p
- 工作温度范围：-40℃至+85℃
- 采用 32-pin LFCSP 封装方式

1.2 应用场景

UIA4103 广泛应用于多个行业及多款产品，包括：

- 医疗影像设备
- 电池供电仪表
- 手持式示波表
- 频谱分析仪
- 使用 IF 采样的通信接收机

1.3 功能框图

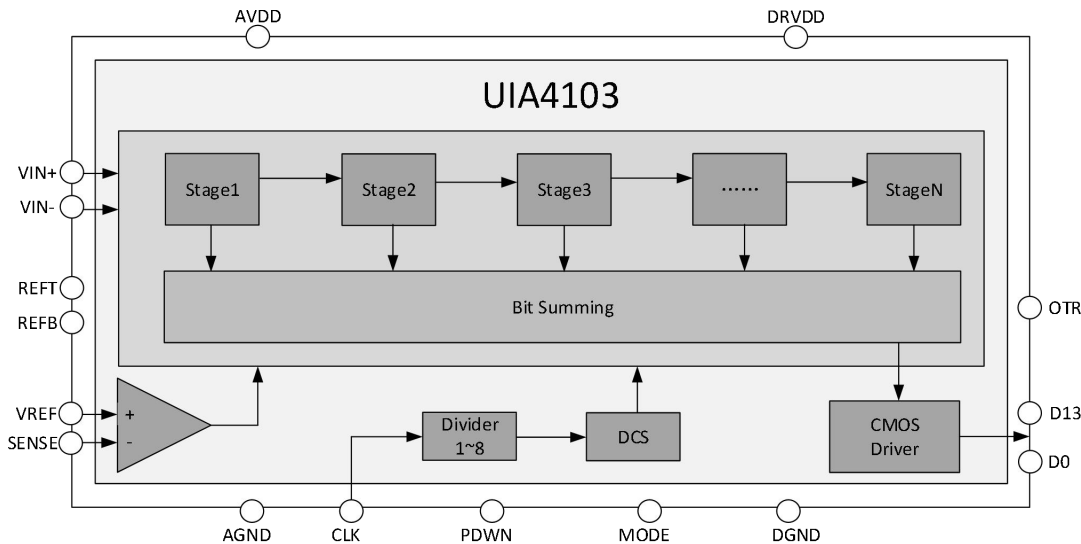


图 1-1 UIA4103 功能框图

目录

1 概述	1	6.1.1 差分输入配置	12
1.1 关键特性	1	6.2 基准电压	13
1.2 应用场景	1	6.2.1 内部基准电压	13
1.3 功能框图	1	6.2.2 外部基准电压	14
2 引脚配置和功能描述	3	6.3 时钟输入参考	14
3 技术规格	4	6.4 抖动	15
3.1 绝对最大额定值	4	6.5 功耗和待机模式	15
3.2 直流规格	4	6.6 数字输出	15
3.3 交流规格	5	6.7 时序	15
3.4 数字规格	6	6.8 工作模式选择	16
3.5 开关规格	6	7 应用信息	17
3.6 时序图	7	7.1 设计指导	17
3.7 ESD	7	7.2 推荐电源和地	17
4 典型性能图示	8	7.3 裸露焊盘散热推荐	17
5 等效电路	10	7.4 基准电压去耦	17
6 详细信息	11	8 封装信息	18
6.1 模拟输入参考	11	9 订购信息	19

修订记录

修订日期	版本	修订内容
2024 年 12 月	V1.0.0	发布第一个版本。
2025 年 1 月	V1.0.1	更新部分测试数据。
2025 年 3 月	V1.0.2	更新测试数据及典型性能图。

2 引脚配置和功能描述

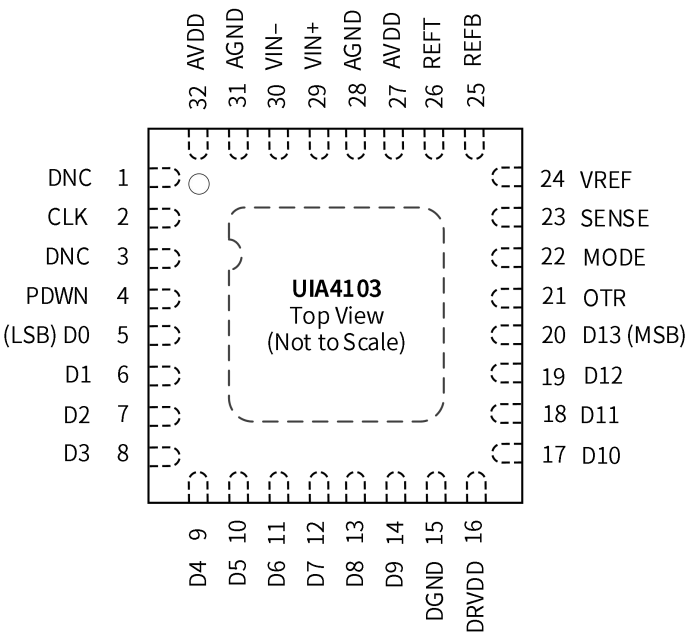


图 2-1 UIA4103 引脚配置

表 2-1 引脚功能描述

引脚编号	引脚名称	描述
1, 3	DNC	不连接
2	CLK	时钟输入
4	PDWN	数字输入。高电平：关断器件；低电平：运行器件，正常工作。
5 至 14, 17 至 20	D0 (LSB)至 D13 (MSB)	数字输出位
15	DGND	数字地
16	DRVDD	数字电源
21	OTR	超量程指示位
22	MODE	数据格式和 DCS 模式选择
23	SENSE	基准电压选择
24	V _{REF}	基准电源输入/输出
25	REFB	差分基准电压(-)
26	REFT	差分基准电压(+)
27, 32	AVDD	模拟电源
28, 31	AGND	模拟地
29	VIN+	模拟输入(+)
30	VIN-	模拟输入(-)
EPAD		裸露焊盘。推荐将该焊盘与地平面相连以提供更稳定的焊接和更好的散热能力。

3 技术规格

3.1 绝对最大额定值

表 3-1 绝对最大额定值

参数	参考	最小值	最大值	单位
电气				
AVDD	AGND	-0.3	+3.9	V
DRVDD	DGND	-0.3	+3.9	V
AGND	DGND	-0.3	+0.3	V
AVDD	DRVDD	-3.9	+3.9	V
D0 至 D13	DGND	-0.3	DRVDD+0.3	V
CLK,MODE	AGND	-0.3	AVDD+0.3	V
VIN+,VIN-	AGND	-0.3	AVDD+0.3	V
V _{REF}	AGND	-0.3	AVDD+0.3	V
SENSE	AGND	-0.3	AVDD+0.3	V
REFT,REFB	AGND	-0.3	AVDD+0.3	V
PDWN	AGND	-0.3	AVDD+0.3	V
环境				
存储温度范围（环境温度）		-65	+125	°C
工作温度范围		-40	+85	°C
引脚温度（焊接，10 秒）			300	°C
最高结温			150	°C

⚠ 警告

- 超出上述绝对最大额定值可能会导致器件永久性损坏。
- 长期在绝对最大额定值条件下工作会影响器件的可靠性。

3.2 直流规格

除非另有说明，AVDD=3.3V、DRVDD=3.3V、2.0Vp-p 满量程差分输入、1V 内部基准电压、DCS 关闭。

表 3-2 直流规格

参数	温度条件	MIN	TYP	MAX	单位
分辨率	全部	14			Bits
精度					
无失码	全部		保证		
失调误差	全部		±0.35	±0.45	%FSR
增益误差	全部		±0.6	±1.3	%FSR
微分非线性 (DNL)	全部		±0.5	±0.7	LSB
积分非线性 (INL)	全部		±1.4	±1.8	LSB
温度漂移					
失调误差	全部		±13		ppm/°C
增益误差	全部		±15		ppm/°C
内部基准电压¹					
输出电压误差（1V 模式）	全部		±3		mV
输出电压误差（0.5V 模式）	全部		±5		mV

参数	温度条件	MIN	TYP	MAX	单位
输入等效噪声					
$V_{REF}=0.5V$	全部		1.95		LSB rms
$V_{REF}=1.0V$	全部		1.01		LSB rms
模拟输入					
差分输入电压 ($V_{REF}=0.5V$)	全部		1		V p-p
差分输入电压 ($V_{REF}=1.0V$)	全部		2		V p-p
输入电容	全部		6		pF
V_{REF} 输入阻抗	全部		2		k Ω
电源					
AVDD	全部	3.15	3.3	3.6	V
DRVDD	全部	3.15	3.3	3.6	V
IAVDD	全部		41		mA
IDRVDD	全部		9		mA
PSRR	全部		0.01		%FSR
总功耗					
直流输入	全部		150		mW
正弦波输入 ²	全部		160	165	mW
关断	全部		2		mW

1. UIA4103 的内部基准电压不具备带载能力。
2. 在最大时钟速率、低输入频率、满量程正弦波条件下测量。

3.3 交流规格

除非另有说明，AVDD=3.3V、DRVDD=3.3V、2.0Vp-p 满量程差分输入、 $A_{IN}=0.5dBFS$ 、1V 内部基准电压、DCS 关闭。

表 3-3 交流规格

参数	温度条件	MIN	TYP	MAX	单位
SNR					
$f_{IN} = 2.4MHz$	25°C		73.8		dBc
$f_{IN} = 19.6MHz$	25°C		73.2		dBc
	全部		72.6		dBc
$f_{IN} = 100MHz$	25°C		68.3		dBc
SINAD					
$f_{IN} = 2.4MHz$	25°C		73.6		dBc
$f_{IN} = 19.6MHz$	25°C		73.0		dBc
	全部		72.9		dBc
$f_{IN} = 100MHz$	25°C		68.1		dBc
ENOB					
$f_{IN} = 2.4MHz$	25°C		11.9		Bits
$f_{IN} = 19.6MHz$	25°C		11.8		Bits
	全部		11.8		Bits
$f_{IN} = 100MHz$	25°C		11.0		Bits
SFDR					
$f_{IN} = 2.4MHz$	25°C		92.0		dBc
$f_{IN} = 19.6MHz$	25°C		90.1		dBc
	全部		87.8		dBc
$f_{IN} = 100MHz$	25°C		80.4		dBc
最差二次或三次谐波					
$f_{IN} = 2.4MHz$	25°C		-94		dBc
$f_{IN} = 19.6MHz$	25°C		-90		dBc

参数	温度条件	MIN	TYP	MAX	单位
	全部		-88		dBc
$f_{IN} = 100\text{MHz}$	25°C		-89		dBc

3.4 数字规格

除非另有说明，AVDD=3.3V、DRVDD=3.3V、1.0V 内部基准电压。

表 3-4 数字规格

参数	MIN	TYP	MAX	单位
高电平输入电压	2.0			V
低电平输入电压			0.8	V
高电平输入电流	-10		+10	μA
低电平输入电流	-10		+10	μA
输入电容		2		pF
高电平输出电压	2.99			V
低电平输出电压			0.05	V

3.5 开关规格

除非另有说明，AVDD=3.3V、DRVDD=3.3V。

表 3-5 开关规格

参数	MIN	TYP	MAX	单位
转换速率	1		40	MSPS
时钟周期		25.0		ns
时钟脉冲高电平宽度		9		ns
时钟脉冲低电平宽度		9		ns
传播时延(t_{PD})		6.2		ns
流水线延迟		7		时钟周期
孔径延迟(t_A)		3.5		ns
孔径不确定性(抖动, t_J)		0.2		ps rms
唤醒时间		3		ms
超量程恢复时间		2		时钟周期

3.6 时序图

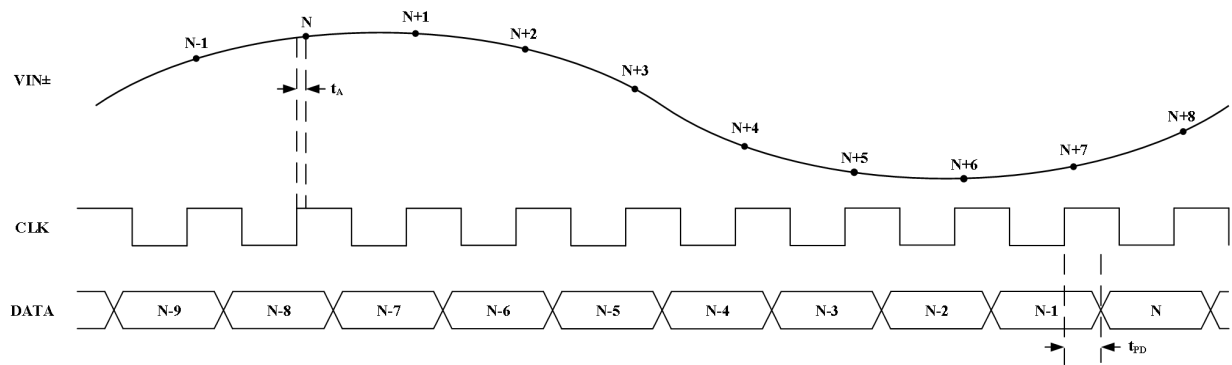


图 3-1 时序图

3.7 ESD



本品为 ESD（静电放电）敏感器件。带电设备和电路板可能在不被发现的情况下放电。尽管本产品具有保护电路，但设备在承受高能 ESD 时仍可能会损坏。因此，应采取适当的 ESD 预防措施，以避免性能下降或功能丧失。

表 3-6 ESD 参数

参数	描述	值	单位
V _{ESD}	人体放电模式（HBM）	2000	V
	组件充电模式（CDM）	500	V

4 典型性能图示

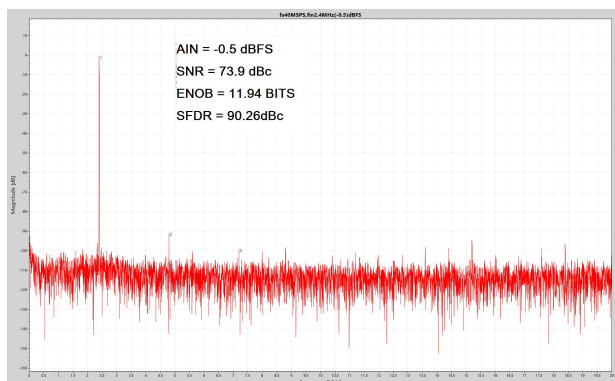


图 4-1 单音 FFT $f_{IN} = 2.4\text{MHz}$, $f_{SAMPLE} = 40\text{MHz}$, $V_{REF} = 1.0\text{V}$

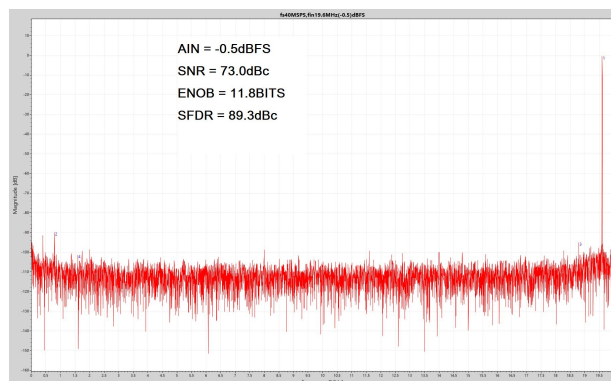


图 4-2 单音 FFT $f_{IN} = 19.6\text{MHz}$, $f_{SAMPLE} = 40\text{MHz}$, $V_{REF} = 1.0\text{V}$

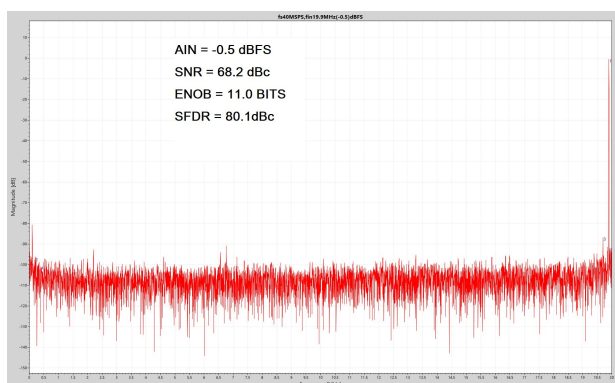


图 4-3 单音 FFT $f_{IN} = 100\text{MHz}$, $f_{SAMPLE} = 40\text{MHz}$, $V_{REF} = 1.0\text{V}$

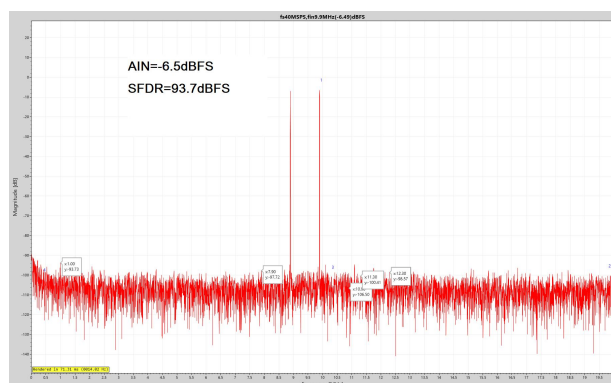


图 4-4 双音 FFT $f_{IN1} = 30\text{MHz}$, $f_{IN2} = 31\text{MHz}$

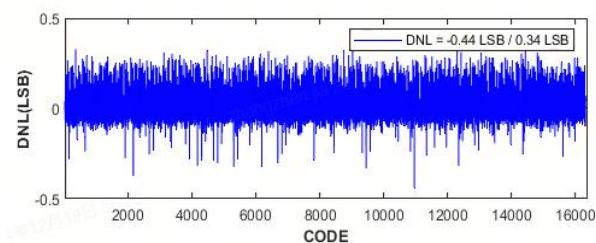


图 4-5 典型 DNL

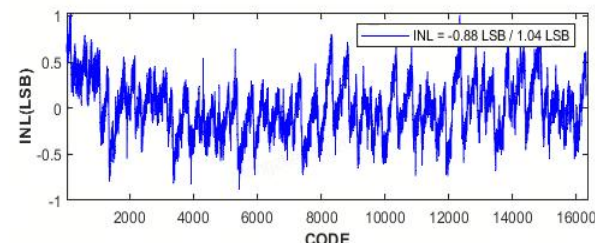


图 4-6 典型 INL

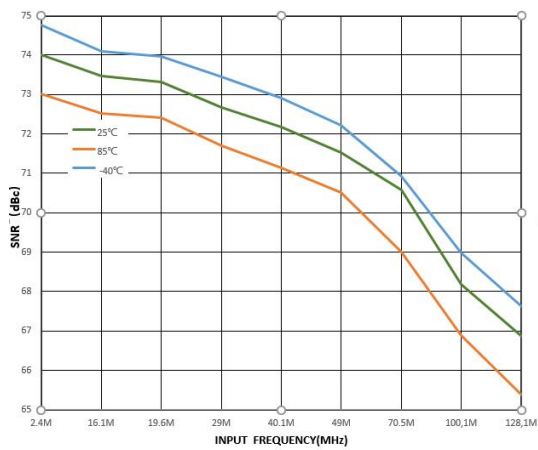


图 4-7 SNR 和输入频率的关系

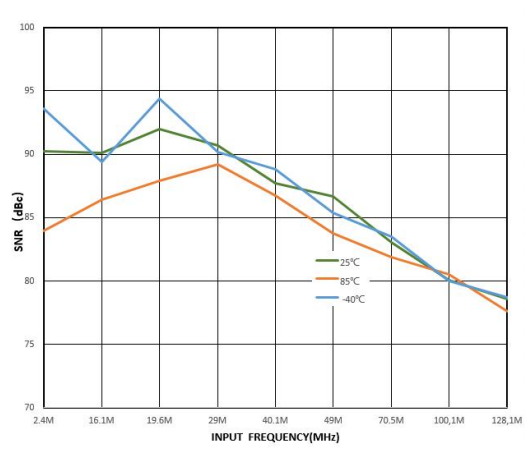


图 4-8 SFDR 和输入频率的关系

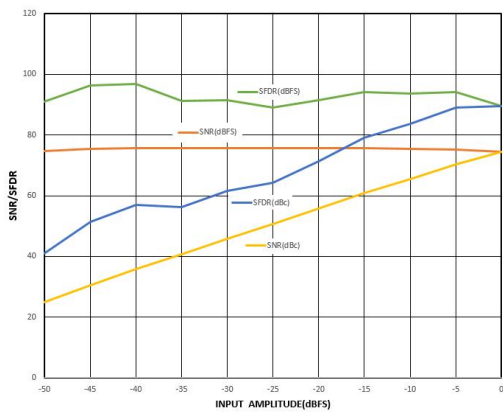


图 4-9 单音 SNR/SFDR 和输入幅度关系
@2.4MHz

5 等效电路

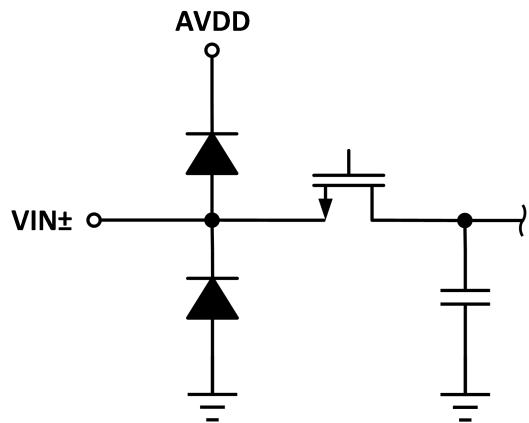


图 5-1 等效模拟输入电路

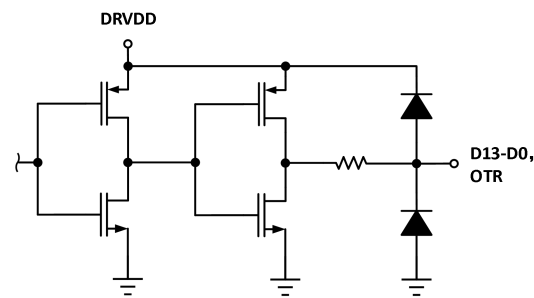


图 5-2 等效数字输出电路

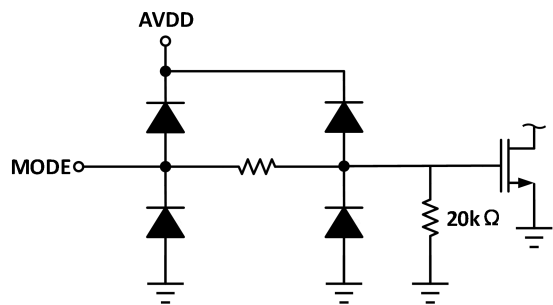


图 5-3 等效 MODE 输入电路

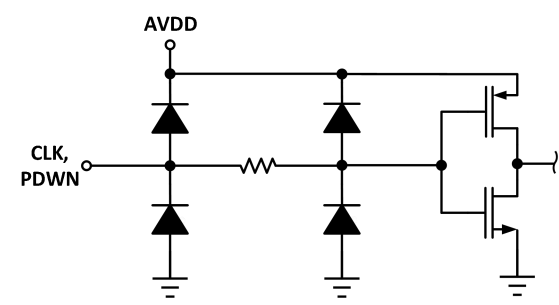


图 5-4 等效数字输入电路

6 详细信息

UIA4103 是一个多级流水线型 ADC，各级均提供了充足的重叠来校正上一级的 Flash 误差。各级的量化输出组合在一起，在数字校正逻辑中最终组成了一个 14 位的转换结果。流水线架构允许第一级处理新的输入样本，而其它级继续处理之前的样本。采样在时钟的上升沿进行。

除最后一级外，流水线的各级都由一个低分辨率 Flash ADC、与之相连的开关电容 DAC 和一个级间余量放大器组成（MDAC）。余量放大器会放大重构 DAC 输出与 Flash 输入之间的差值，并提供给流水线的下一级。各级都有一位的冗余量用来进行 Flash 误差的数字校正。最后一级仅由一个 Flash ADC 组成。

输入级包含一个差分采样保持放大器，可采用交流耦合或直流耦合的差分模式。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。输出缓冲器由一个单独的电源供电，可以调整输出电压的摆幅。在芯片关断状态下，输出缓冲器会进入高阻状态。

6.1 模拟输入参考

UIA4103 的模拟输入端是一个差分开关电容电路，用于处理差分输入信号。该电路支持宽共模范围（VCM），同时能保持出色的性能。如图 6-1 所示，当输入共模电压为 1.55V 时，信号相关误差最小，并且能实现最佳性能。

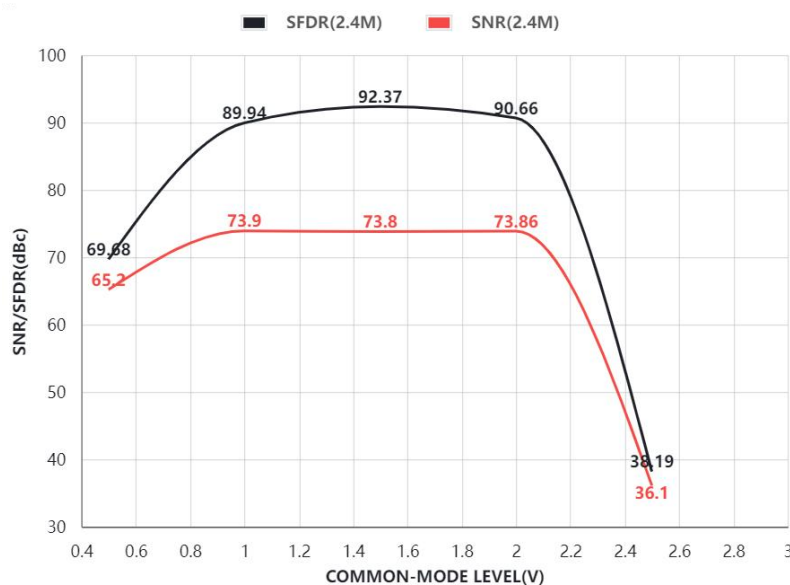


图 6-1 不同 VCM 电压下 SNR/SFDR

输入电路根据时钟信号，在采样模式和保持模式之间切换，如图 6-2 所示。当输入电路切换到采样模式时，信号源会对采样电容充电，并且在半个时钟周期内完成建立。每个输入端可以串联一个小电阻，可以降低来自驱动源输出级的峰值瞬态电流。在芯片输入端可以并联一个小电容，以此提供动态充电电流。这个无源网络在输入端形成一个低通滤波器，用来限制无用的宽带噪声，器件的选取取决于具体应用。在中频欠采样应用中，为了不限制输入带宽，需要去除并联电容。

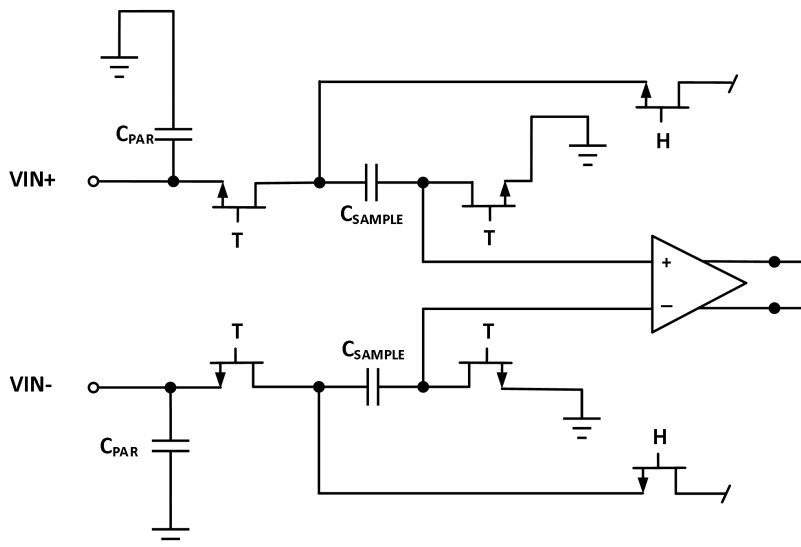


图 6-2 开关电容采样电路

正基准电压（REFT）和负基准电压（REFB），由一个内部的差分基准缓冲器产生，定义了 ADC 的输入范围。基准缓冲器的输出共模设置为 1.55V，REFT 的电压和 REFB 电压和 ADC 的输入范围由以下公式定义：

$$\begin{aligned} \text{REFT} &= 1.55\text{V} + \frac{1}{2}V_{\text{REF}} \\ \text{REFB} &= 1.55\text{V} - \frac{1}{2}V_{\text{REF}} \end{aligned}$$

$$\text{输入范围} = 2 \times (\text{REFT} - \text{REFB}) = 2 \times V_{\text{REF}}$$

UIA4103 的输入范围设置为 2Vp-p 的时候可以得到最优的 SNR 性能。在输入范围从 2Vp-p 模式换成 1Vp-p 时模式，SNR 会有 5dB 的下降。UIA4103 可接受输入共模电压范围为 1V-2V。

6.1.1 差分输入配置

有多种有源或无源方法可以驱动 UIA4103，通过差分方式驱动模拟输入可实现最佳性能。在基带应用中，使用差分变压器输入配置来驱动，可以使 UIA4103 发挥最好的性能。推荐输入网络配置如图 6-3 所示。

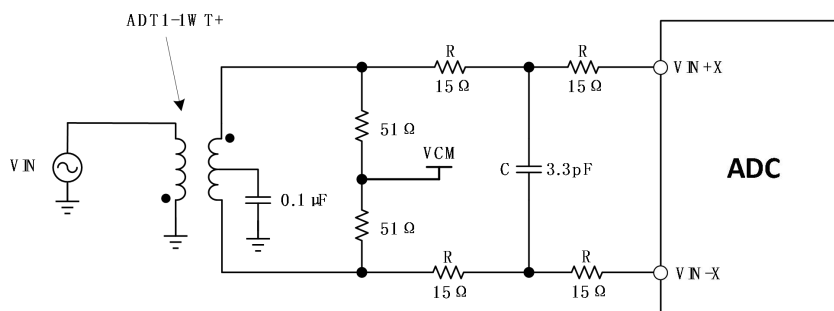


图 6-3 差分变压器耦合配置

无论使用何种配置，并联电容 C 的值均取决于输入信号频率，可能需要降低该电容的值，甚至去掉该电容。不建议使用单端输入驱动 UIA4103。

6.2 基准电压

UIA4103 内置一个稳定且精确的基准电压源。V_{REF} 可以配置为 1.0V 内部基准电压、0.5V 内部基准电压，或者外加分压电阻来得到用户想要的内部基准电压。UIA4103 的内置比较器可检测 SENSE 引脚的电平，从而将基准电压配置成三种可能的模式之一，对于不同 V_{REF} 模式，V_{REF} 引脚的去耦电容配置不同。详细配置见表 6-1。UIA4103 的内部基准电压不具备带载能力。

表 6-1 基准电压配置表

所选模式	SENSE 电压 (V)	相应的 V _{REF} (V)	相应差分范围 (V _{p-p})	V _{REF} 引脚去耦电容
外部基准	AVDD	外部输入	2×外部基准	10μF+0.1μF 并联
内部 0.5V 基准电压	V _{REF}	0.5	1.0	不可挂载电容
可编程内部基准电压	0.2V 至 V _{REF}	0.5×(1+R2/R1)，例如： R1 = 10kΩ, R2 = 10kΩ (V _{REF} = 1.0V)	2×V _{REF}	不可挂载电容
内部 1.0V 基准电压	AGND	1.0	2.0	10μF+0.1μF 并联

6.2.1 内部基准电压

如果 SENSE 引脚接地，基准电压放大器的开关连接到内部分压电阻，提供 1V 的基准电压，如图 6-4 所示。如果 SENSE 引脚连接到 V_{REF} 引脚，基准电压放大器的输出会连接到 SENSE 引脚，完成环路并且提供 0.5V 的基准电压。如果在 V_{REF} 和 SENSE 引脚间连接分压电阻串，开关会连接到 SENSE 引脚，使基准电压放大器进入非反相模式，此时 V_{REF} 引脚的输出为 $V_{REF} = 0.5 \times \left(1 + \frac{R2}{R1}\right)$ ，其中 (R1 + R2) ≥ 10kΩ，如图 6-5 所示。

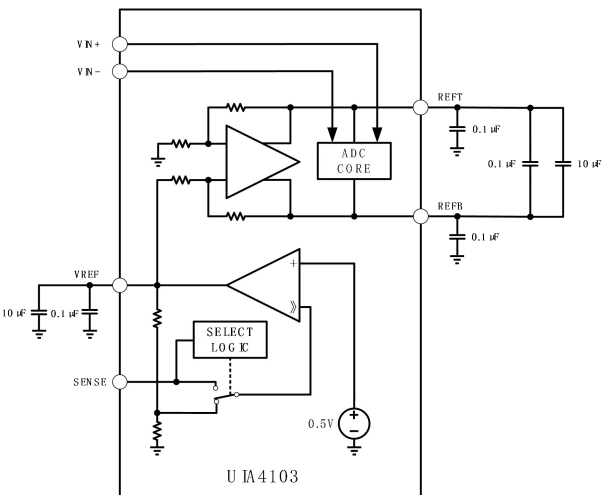


图 6-4 1.0V 内部基准电压配置

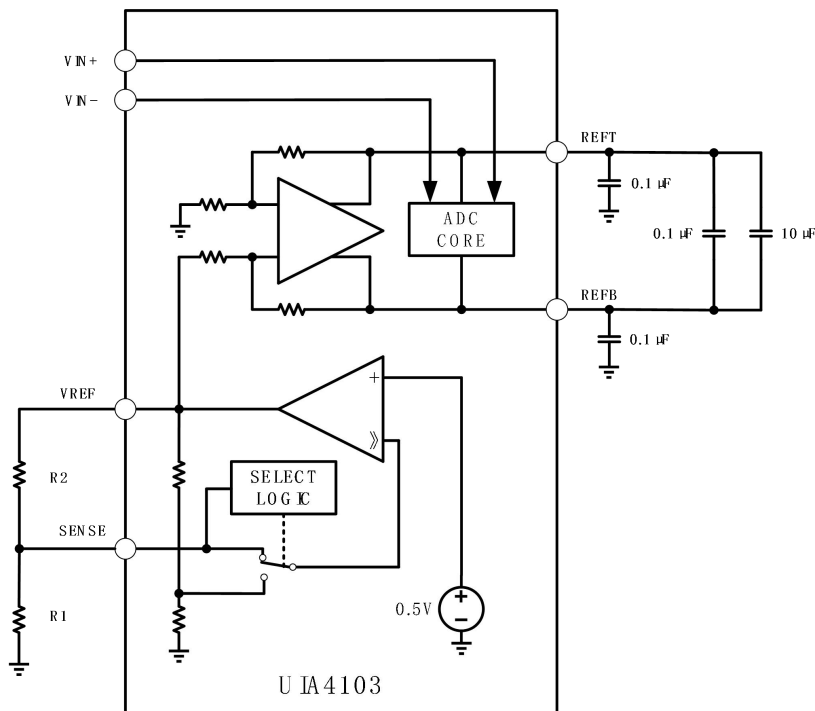


图 6-5 可编程内部基准电压配置

6.2.2 外部基准电压

采用较好的外部基准电压有可能进一步提高 ADC 增益精度、改善热漂移特性。将 SENSE 引脚与 AVDD 相连时，可以禁用内部基准电压，从而允许使用外部基准电压。内部缓冲器会为外部基准电压提供 2k Ω 的负载。内部缓冲器仍会为 ADC 内核生成 REFT, REFB。芯片的输入范围通常为两倍的 V_{REF} 电压，因此输入的最大外部基准电压为 1.0V。

6.3 时钟输入参考

为了充分发挥芯片的性能，应利用一个 40MHz 的 3.3V CMOS 电平信号作为 UIA4103 采样时钟输入端的时钟信号。

典型的高速 ADC 利用两个时钟边沿产生一系列内部定时信号，因此它对时钟占空比非常敏感。为保持 ADC 的动态性能，通常时钟占空比容差应在 $\pm 5\%$ 。

UIA4103 内置一个占空比稳定器 (DCS)，可对非采样边沿（下降沿）进行重新定时，并提供标称占空比为 50% 的内部时钟信号。当时钟输入占空比偏离额定值 50% 的幅度大于 $\pm 5\%$ 时，该特性可最大程度减少性能的下降。当 DCS 开启时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。

6.4 抖动

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。在给定的输入频率 (f_A) 下, 仅由于孔径抖动 ($t_{j,rms}$) 造成的 SNR 下降可通过下式计算:

$$SNR \text{ 衰减} = 20 \log_{10} \left(\frac{1}{2\pi \times f_A \times t_j} \right)$$

在此公式中, 均方根孔径抖动表示所有抖动源 (包括时钟输入信号、模拟输入信号和 ADC 孔径抖动) 的均方根。中频欠采样应用对抖动尤其敏感, 因此应尽量减小。

在孔径抖动可能影响 UIA4103 的动态范围时, 应将时钟输入信号视为模拟信号。为避免在时钟信号内混入数字噪声, 时钟驱动器电源应与 DRVDD 电源分离。低抖动的晶振可提供最佳时钟源。如果时钟信号来自其它类型的时钟源 (通过门控、分频或其它方法), 则需要在最后一步中利用原始时钟进行重定时。

6.5 功耗和待机模式

将 PDWN 引脚拉高, 可以使 UIA4103 进入待机模式。在该模式下, CLK 和模拟输入都处于静态时, ADC 的通常功耗为 2mW。在待机模式下, 输出驱动器处于高阻状态。将 PDWN 引脚拉低可以使 UIA4103 回到正常工作模式。

在待机模式下, UIA4103 通过关闭基准电压源, 基准电压缓冲器和偏置网络来实现低功耗。当进入待机模式时, REFT 和 REFB 的去耦电容放电, 当回到正常工作模式时, 需要重新充电。因此从待机模式回到正常工作模式需要一定的唤醒时间。当 REFT 和 REFB 的去耦电容使用 0.1uF+10uF 配置时, 进入待机模式需要约 1s 的时间将基准电压缓冲器的去耦电容放电, 从待机模式恢复正常工作需要约 17ms。

6.6 数字输出

UIA4103 的输出驱动器可以提供足够的输出电流, 以驱动各种逻辑电平。但是大驱动电流会在电源上产生电流毛刺, 从而影响 ADC 的性能。对于需要 ADC 来驱动大的容性负载或大的扇出的应用而言, 需要增加外部缓冲器或锁存器。如表 6-2 所示, 数据格式可以选择为偏移二进制码或二进制补码。

6.7 时序

UIA4103 提供具有 7 个时钟周期流水线延迟的锁存数据输出。数据输出在时钟上升沿经过一个传播延迟 (t_{PD}) 后可用。详细时序图见图 3-1。

应尽量减少输出数据走线的长度和负载, 以降低 UIA4103 内的瞬态。这些瞬态会降低 ADC 的动态性能。

UIA4103 的典型最低转换速率是 1MSPS。当时钟速率低于 1M 时, 动态性能会受到影响。

6.8 工作模式选择

UIA4103 可以通过 MODE 引脚的电平来控制输出数据格式和 DCS 功能的开关。[表 6-2](#) 列出了输入电压阈值和相应的模式。

表 6-2 MODE 引脚配置

MODE 引脚电压	数据格式	DCS 功能
AVDD	二进制补码	关闭
2/3 AVDD	二进制补码	开启
1/3 AVDD	偏移二进制码	开启
AGND (默认)	偏移二进制码	关闭

7 应用信息

7.1 设计指导

在进行 UIA4103 的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中说明了某些引脚所需的特殊电路连接和布局布线要求。

7.2 推荐电源和地

建议使用两个独立的 3.3V 电源为 UIA4103 供电：一个为模拟部分供电（AVDD），一个为数字部分供电（DRVDD）。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以覆盖低频和高频。去耦电容应放置在接近器件引脚的位置，并尽可能缩短走线长度。UIA4103 仅需要一个 PCB 接地层。对 PCB 的模拟、数字和时钟模块进行合适的去耦和分隔，可以获得最佳性能。

7.3 裸露焊盘散热推荐

为获得最佳的 UIA4103 电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地(AGND)。PCB 上裸露的连续铜皮应与 UIA4103 的裸露焊盘匹配。铜皮上应有多个过孔，以获得尽可能低的热阻路径并通过 PCB 底部进行散热。这些过孔应进行塞孔处理。

7.4 基准电压去耦

当使用 1.0V 内部基准电压模式和外部基准电压模式时， V_{REF} 引脚应通过外部一个低 ESR 0.1 μ F 电容和一个低 ESR 10 μ F 电容的并联组合旁路至地。

当使用其它基准电压模式时，不可挂载电容。

8 封装信息

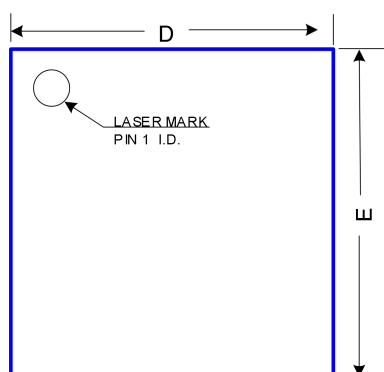


图 8-1 顶视图

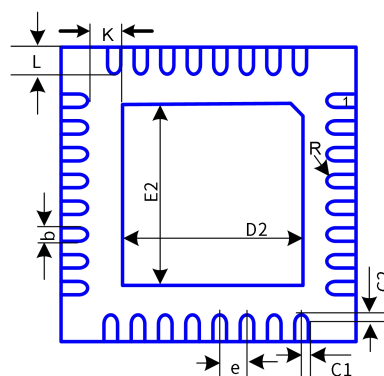


图 8-2 底视图

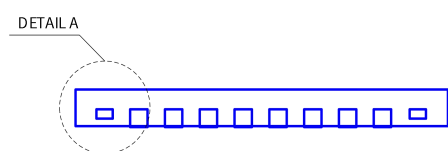


图 8-3 侧视图

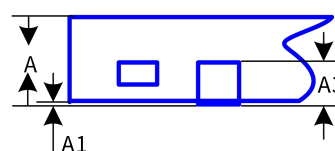


图 8-4 A 部分详细图

表 8-1 封装尺寸

标尺	最小值	典型值	最大值	单位
A	0.70	0.75	0.80	mm
A1	0	0.02	0.05	mm
A3	0.20REF			mm
b	0.18	0.25	0.30	mm
D	4.90	5.00	5.10	mm
E	4.90	5.00	5.10	mm
D2	3.10	3.20	3.30	mm
E2	3.10	3.20	3.30	mm
e	0.40	0.50	0.60	mm
K	0.20	-	-	mm
L	0.35	0.40	0.45	mm
R	0.09	-	-	mm
C1	-	0.08	-	mm
C2	-	0.08	-	mm

9 订购信息

订购型号	封装类型	包装类型	包装数量	温度范围
UIA4103-EST-40	LFCSP32	Tray	490	-40°C~85°C