

LKI80M939QF 型 四路 M-LVDS 收发器 产品说明书

瓴科微

LKI80M939QF 型四路 LVDS 线驱动器

1 特点

- 工作电压：3.3V
- 最大数据传输速率：200Mbps(100MHz)
- 传输时延：<6ns
- 兼容 TIA/EIA-899 M-LVDS 标准
- 支持 M-LVDS 接收模式 1 或模式 2
- 封装形式：QFN32(5.00mm×5.00mm×0.85mm)，塑封
- 工作温度：-40℃~+85℃

2 应用

- 多点总线时钟分布
- 高速、低功耗、短距离 TIA/EIA-485/422
- 先进 TCA(ATCA) 时钟分布、Micro TCA (μTCA、uTCA)背板

3 概述

LKI80M939QF 是一款四路 M-LVDS 收发器。不但可驱动及接收多点网络的时钟及数据信号，而且还可同时支持多达 4 个网络。

由于同时具备时钟及数据分发功能，最适用于只利用一个通用总线连接多个驱动器及接收器的多点/多站式网络。驱动器能将 LVTTTL/LVCMOS 输入信号转换为差分 M-LVDS 信号，接收器能将 LVDS 信号(包括 LVDS、M-LVDS、LVPECL)转换为 3V LVCMOS 信号。

器件信息

型号	封装	封装尺寸
LKI80M939QF	QFN32	5.00mm×5.00mm×0.85mm

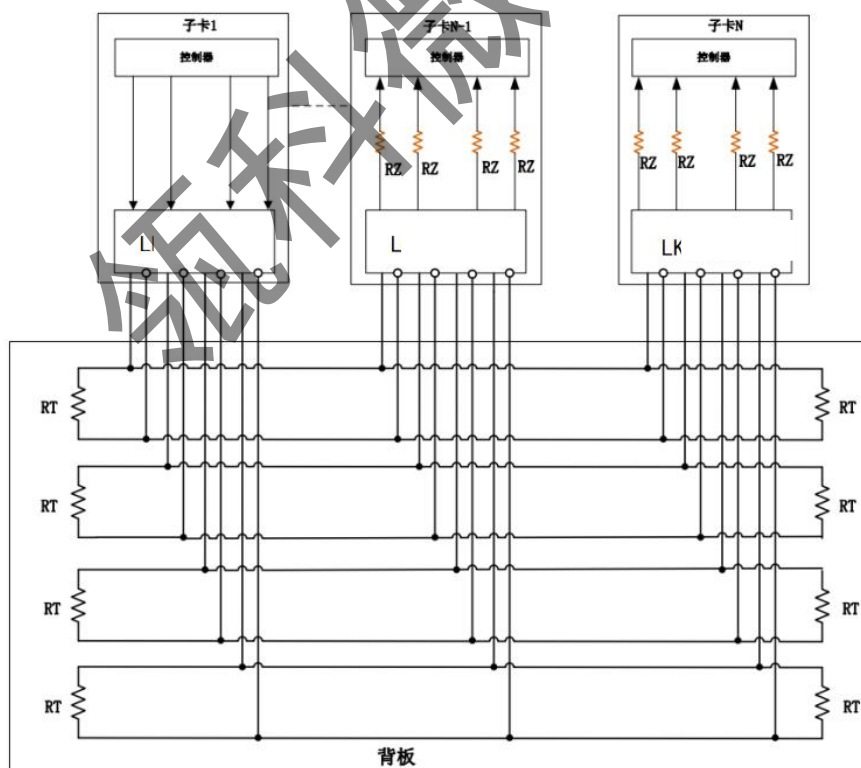


图 1 典型应用框图

目 录

1 特点	1
2 应用	1
3 概述	1
4 管脚排布与功能描述	3
4.1 引脚排列	3
4.2 功能框图	4
5 电特性	5
5.1 绝对最大额定值	5
5.2 推荐工作条件	5
5.3 热性能信息	5
5.4 真值表	5
5.5 接收器模式门限电压	6
5.6 电特性	6
6 应用信息	8
6.1 功能描述	8
6.2 LVDS 输出终端	9
6.3 测试电路	9
6.4 应用电路说明	13
7 封装形式	14
8 订货信息	14
9 版本信息	15

4 管脚排布与功能描述

4.1 引脚排列

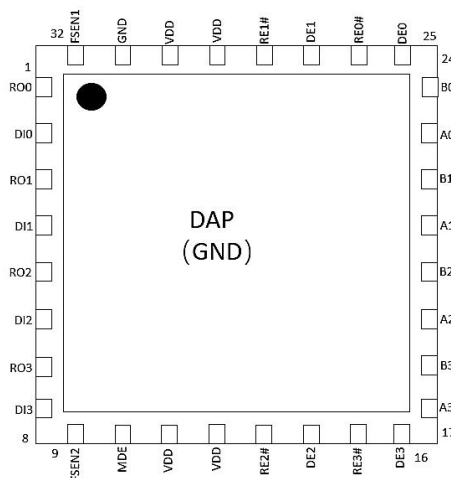


图 2 引脚分布图（顶视图）

表 1 引脚说明

引脚编号	引脚名称	引脚属性	描述
1	RO0	O, LVCMOS	接收器输出端，建议串接一个 33Ω 的电阻
2	DI0	I, LVCMOS	驱动信号输入端
3	RO1	O, LVCMOS	接收器输出端，建议串接一个 33Ω 的电阻
4	DI1	I, LVCMOS	驱动信号输入端
5	RO2	O, LVCMOS	接收器输出端，建议串接一个 33Ω 的电阻
6	DI2	I, LVCMOS	驱动信号输入端
7	RO3	O, LVCMOS	接收器输出端，建议串接一个 33Ω 的电阻
8	DI3	I, LVCMOS	驱动信号输入端
9	FSEN2	I, LVCMOS	Failsafe 使能端。内置 300k 上拉电阻，该引脚可使得接收器的 1 和 3 输入通道为 Type2 模式。FSEN2 为低电平表示 Type1 接受输入模式，FSEN2 为高电平表示 Type2 接受输入模式
10	MDE	I, LVCMOS	芯片使能端，高电平有效
11	VDD	Power	电源端
12	VDD	Power	电源端
13	RE2#	I, LVCMOS	接收器使能端，内置300K上拉电阻
14	DE2	I, LVCMOS	驱动器使能端，内置300K下拉电阻
15	RE3#	I, LVCMOS	接收器使能端，内置300K上拉电阻
16	DE3	I, LVCMOS	驱动器使能端，内置300K下拉电阻
17	A3	I/O, M-LVDS	同相的驱动器输出端/接收器输入端
18	B3	I/O, M-LVDS	反相的驱动器输出端/接收器输入端

引脚编号	引脚名称	引脚属性	描述
19	A2	I/O, M-LVDS	同相的驱动器输出端/接收器输入端
20	B2	I/O, M-LVDS	反相的驱动器输出端/接收器输入端
21	A1	I/O, M-LVDS	同相的驱动器输出端/接收器输入端
22	B1	I/O, M-LVDS	反相的驱动器输出端/接收器输入端
23	A0	I/O, M-LVDS	同相的驱动器输出端/接收器输入端
24	B0	I/O, M-LVDS	反相的驱动器输出端/接收器输入端
25	DE0	I, LVC MOS	驱动器使能端，内置300K下拉电阻
26	RE0#	I, LVC MOS	接收器使能端，内置300K上拉电阻
27	DE1	I, LVC MOS	驱动器使能端，内置300K下拉电阻
28	RE1#	I, LVC MOS	接收器使能端，内置300K上拉电阻
29	VDD	Power	电源端
30	VDD	Power	电源端
31	GND	Power	接地端
32	FSEN1	I, LVC MOS	Failsafe使能端。内置300k上拉电阻，该引脚可使能接收器的0和2输入通道为Type2模式。FSEN1为低电平表示Type1接受输入模式，FSEN1为高电平表示Type2接受输入模式
DAP	GND	Power	接地端

4.2 功能框图

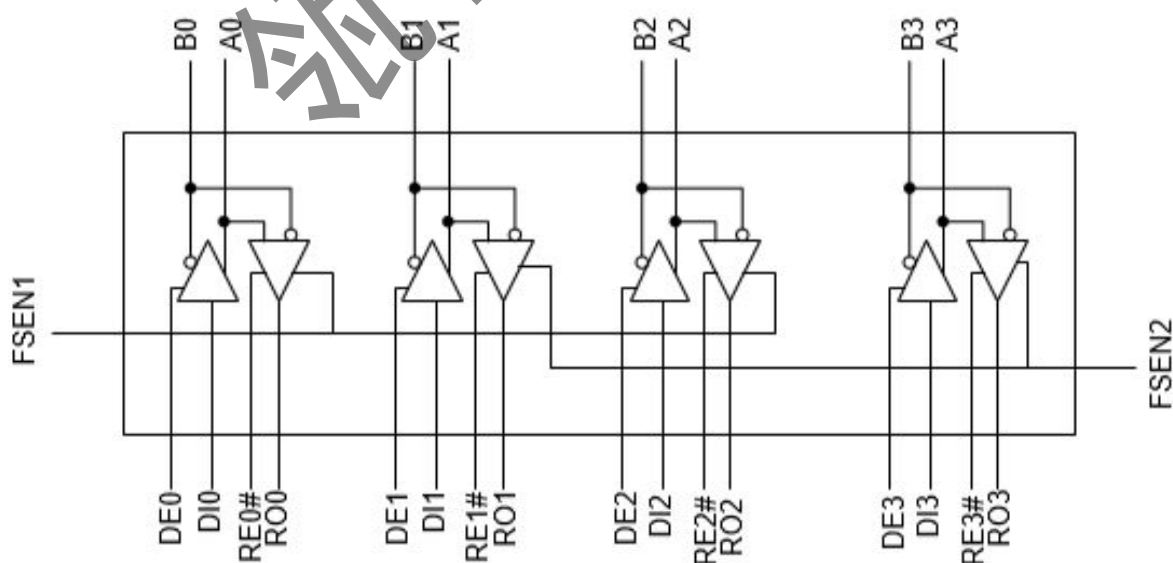


图3 功能框图

5 电特性

5.1 绝对最大额定值

参数	符号	最小值	最大值	单位
电源电压	V_{DD}	-0.3	4.0	V
LVC MOS 输入电压	V_I	-0.3	$V_{DD}+0.3$	V
LVC MOS 输出电压	V_O	-0.3	$V_{DD}+0.3$	V
M-LVDS 引脚 IO 电压	V_{IO}	-1.9	5.5	V
贮存温度	T_{stg}	-65	150	°C
结温	T_j	150		°C
铅焊接温度	T_h	260		°C
静电放电	ESD (HBM)	± 2		kV

5.2 推荐工作条件

参数	符号	最小值	最大值	单位
电源电压	V_{DD}	3.0	3.6	V
总线终端电压（单端或差分）	-	-1.4	3.8	V
差分输入电压	V_{ID}	-	2.4	V
LVTTL 输入高电平电压	V_{IH}	2.0	V_{DD}	V
LVTTL 输入低电平电压	V_{IL}	0	0.8	V
工作温度	T_A	-45	+85	°C

5.3 热性能信息

热指标		LKI80M939QF	单位
		32 个引脚	
R _{θJA}	结至环境热阻	29.4	°C/W
R _{θJC}	结至底部热阻	2.8	°C/W

5.4 真值表

驱动器				
输入			输出	
RE	DE	DI	B	A
X	H	H	L	H
X	H	L	H	L
X	L	X	Z	Z
接收器模式 1 真值表				
输入				输出
FSEN	RE#	DE	A-B	RO
L	L	L	$\geq 0.15V$	H
L	L	L	$\leq -0.15V$	L
L	L	L	$-0.15V \leq A-B \leq 0.15V$	X
L	H	L	X	Z
接收器模式 2 真值表				
FSEN	RE#	DE	A-B	RO

H	L	L	$\geq 0.31V$	H
H	L	L	$\leq 0.05V$	L
H	L	L	$0.05V \leq A-B \leq 0.31V$	X
H	H	L	X	Z

注：X——任意电平；Z——高阻态

5.5 接收器模式门限电压

接收器模式 1 门限电压				
输入		输入差模电压	输入共模电压	输出
V_{IA}	V_{IB}	V_{ID}	V_{ICM}	R
2.40V	0V	2.40V	1.20V	H
0V	2.40V	-2.40V	1.20V	L
3.80V	3.75V	0.05V	3.775V	H
3.75V	3.80V	-0.05V	3.775V	L
-1.35V	-1.40V	0.05V	-1.375V	H
-1.40V	-1.35V	-0.05V	-1.375V	L

接收器模式 2 门限电压				
输入		输入差模电压	输入共模电压	输出
V_{IA}	V_{IB}	V_{ID}	V_{ICM}	R
2.40V	0V	2.40V	1.20V	H
0V	2.40V	-2.40V	1.20V	L
3.80V	3.65V	0.15V	3.725V	H
3.80V	3.75V	0.05V	3.775V	L
-1.25V	-1.40V	0.15V	-1.325V	H
-1.35V	-1.40V	0.05V	-1.375V	L

注：H——高电平；L——低电平

5.6 电特性

(若无特殊说明，测试条件为： $V_{CC}=3.3V$ ， $T_A=-40^{\circ}C \sim +85^{\circ}C$ 。)

符号	参数	测试条件	最小值	典型值	最大值	单位
M-LVDS 驱动器						
$ V_{AB} $	差分输出电压幅度	$R_L = 50\Omega$, $C_L = 5pF$	480	-	650	mV
ΔV_{AB}	不同逻辑状态之间转换，差分输出电压幅度变化值		-50	0	+50	mV
$V_{OS(SS)}$	稳态共模输出电平	$R_L = 50\Omega$, $C_L = 5pF$	0.3	1.6	2.1	V
$ \Delta V_{OS(SS)} $	不同逻辑状态之间转换，稳态共模输出电平变化值		0	-	+50	mV
$V_{A(OC)}$	最大稳态开路输出电平	-	0	-	V_{DD}	V
$V_{B(OC)}$	最大稳态开路输出电平	-	0	-	V_{DD}	V
$V_{P(H)}$	电压过越，低到高电平输出	$R_L=50\Omega$, $C_L=5pF$, $C_D=0.5pF$	-	-	$1.2V_{SS}$	V
$V_{P(L)}$	电压过越，高到低电平输出		-0.2 V_{SS}	-	-	V
I_{IH}	高电平输入电流（LVTTL 输入）	$V_{IH}=3.6V$	-25	-	25	μA
I_{IL}	低电平输入电流（LVTTL 输入）	$V_{IL}=-0.0V$	-25	-	25	μA

符号	参数	测试条件	最小值	典型值	最大值	单位
V _{CL}	输入嵌位电压	I _{IN} =-18mA	-1.5	-	-	V
I _{OS}	差分短路输出电流	-	-43	-	43	mA
M-LVDS 接收器						
V _{IT+}	正向差分输入电平阈值	Type 1	-	-	150	mV
		Type 2	-	-	310	mV
V _{IT-}	负向差分输入电平阈值	Type 1	-150	-	-	mV
		Type 2	50	-	-	mV
V _{OH}	高电平输出电压（LVTTL）	I _{OH} =-8mA	2.4	2.7	-	V
V _{OL}	低电平输出电压（LVTTL）	I _{OL} =8mA	-	0.28	0.4	V
I _{OZ}	三态输出电流	V _O =0V 或 3.6V	-10	-	10	μA
I _{OSR}	短路接收器输出电流（LVTTL）	V _O =0V	-	-50	-100	mA
M-LVDS 总线引脚						
I _A	收发器输入输出电流	V _A =3.8V,V _B =1.2V	-	-	32	μA
		V _A =0V,V _B =1.2V	-20	-	+20	μA
		V _A =-1.4V,V _B =1.2V	-32	-	-	μA
I _B	收发器输入输出电流	V _B =3.8V,V _A =1.2V	-	-	32	μA
		V _B =0V,V _A =1.2V	-20	-	+20	μA
		V _B =-1.4V,V _A =1.2V	-32	-	-	μA
I _{AB}	收发器输入输出差分电流(I _A - I _B)	V _A =V _B , -1.4V<=V<=3.8V	-4	-	+4	μA
I _{A (OFF)}	收发器输入输出掉电电流	V _A =3.8V,V _B =1.2V,DE=V _{CC} =0V	-	-	32	μA
		V _A =0V,V _B =1.2V,DE=V _{CC} =0V	-20	-	+20	μA
		V _A =-1.4V,V _B =1.2V,DE=V _{CC} =0V	-32	-	-	μA
I _{B(OFF)}	收发器输入输出掉电电流	V _B =3.8V,V _A =1.2V,DE=V _{CC} =0V	-	-	32	μA
		V _B =0V,V _A =1.2V,DE=V _{CC} =0V	-20	-	+20	μA
		V _B =-1.4V,V _A =1.2V,DE=V _{CC} =0V	-32	-	-	μA
I _{AB(OFF)}	收发器输入输出掉电差分电流(I _A - I _B)	V _A =V _B , -1.4V≤V≤3.8V,DE=V _{CC} =0V	-4	-	+4	μA
C _A	收发器输入输出电容	V _{DD} =OPEN	-	7.8	-	pF
C _B	收发器输入输出电容		-	7.8	-	pF
C _{AB}	收发器输入输出差分电容		-	2	-	pF
C _{A/B}	收发器输入输出电容平衡		-	1	-	pF
供电电流						
I _{CCD}	驱动器供电电流	R _L =50Ω,DE=H, RE#=H	-	80	100	mA
I _{CCZ}	三态供电电流	DE=L, RE#=H	-	30	40	mA
I _{CCR}	接收器供电电流	DE=L, RE#=L	-	40	50	mA
I _{CCPD}	掉电供电电流	MDE=L	-	5	8	mA
驱动器开关参数						
t _{PLH}	差分传导延迟，低转高	R _L =50Ω, C _L =5pF, C _D =0.5pF	1.5	3.3	6	ns
t _{PHL}	差分传导延迟，高转低		1.5	3.3	6	ns
t _{SKD1}	脉冲偏移		-	60	125	ps
t _{SKD2}	通道间偏移		-	150	200	ps

符号	参数	测试条件	最小值	典型值	最大值	单位
t _{SKD3}	-		-	0.8	1.6	ns
t _{SKD4}	-		-	-	4	ns
t _{TLH}	上升时间		1.2	2.0	3.0	ns
t _{THL}	下降时间		1.2	2.0	3.0	ns
t _{PZH}	使能时间（三态到高电平）	R _L =50Ω, C _L =5pF, C _D =0.5pF	-	7.5	11.5	ns
t _{PZL}	使能时间（三态到低电平）		-	8.0	11.5	ns
t _{PLZ}	禁用时间（高电平到三态）		-	7.0	11.5	ns
t _{PHZ}	禁用时间（低电平到三态）		-	7.0	11.5	ns
接收器开关参数						
t _{PLH}	差分传导延迟，低转高	C _L =15pF	1.5	3.0	5.5	ns
t _{PHL}	差分传导延迟，高转低		1.5	3.1	5.5	ns
t _{SKD1A}	脉冲偏移		-	100	325	ps
t _{SKD1A}	脉冲偏移		-	600	800	ps
t _{SKD2}	通道间偏移		-	100	300	ps
t _{SKD3}	-		-	0.6	1.2	ns
t _{SKD4}	-		-	-	3	ns
t _{TLH}	上升时间		0.3	1.1	1.6	ns
t _{THL}	下降时间		0.3	0.65	1.6	ns
t _{PZH}	使能时间（三态到高电平）	R _L =500Ω, C _L =5pF, C _D =0.5pF	-	3	5.5	ns
t _{PZL}	使能时间（三态到低电平）		-	3	5.5	ns
t _{PLZ}	使能时间（高电平到三态）		-	3.5	5.5	ns
T _{PHZ}	使能时间（低电平到三态）		-	3.5	5.5	ns
其它 AC 参数						
t _{WKUP}	唤醒时间	-	-	-	500	ms
f _{MAX}	最大允许频率	-	100	-	-	MHz

注：测试输入功能时，差分输入端按±300mV 的差分摆幅给信号

6 应用信息

6.1 功能描述

LKI80M939QF 专门用于在多达 4 个节点网络中，驱动或接收时钟或者信号。多点 LVDS 芯片为总线接口器件中全新系列产品，其原理基于传统 LVDS 技术，专门用于多点和多支路线缆和背板应用。该技术区别于标准 LVDS，在于可以提供增强的电流驱动能力，以处理线缆双端问题，这是多节点场景中最典型的应用。同时，对于额外的噪声边界，多节点 LVDS 芯片有非常大的输出共模电压范围，尤其在大负载和背景噪声大的环境下。单个 LKI80M939QF 通道是一个半双工的收发器，驱动器将 LVTTTL 信号或者 LVCMOS 信号转换为差分 M-LVDS 信号电平。接收器将 LVDS 信号转为 LVCMOS 信号输出。LKI80M939QF 接收器支持 Type1, Type2 两种不同的阈值模式。



图4 接收器模式示意图

6.2 LVDS 输出终端

LKI80M939QF 为兼容 LVDS 及 MLVDS 的收发器芯片，在应用时有以下注意事项：

- 1) 需要在总线上两端的设备附近每对差分信号放置终端匹配电阻，如图1中 R_T ，阻值 100Ω ；
- 2) RO 管脚（接收器输出脚）与其主控制器的接收端的信号线上需串联一个小电阻（如图1中 R_Z ），以减小线路上的过冲与震荡信号，推荐电阻值 33Ω 。

6.3 测试电路

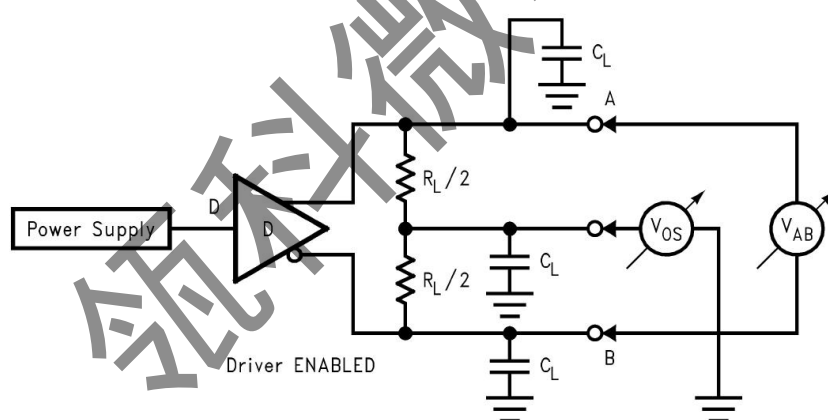


图5 差分驱动测试电路

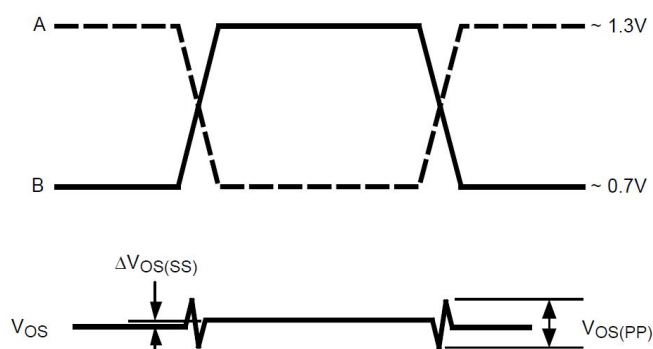


图6 差分驱动波形图

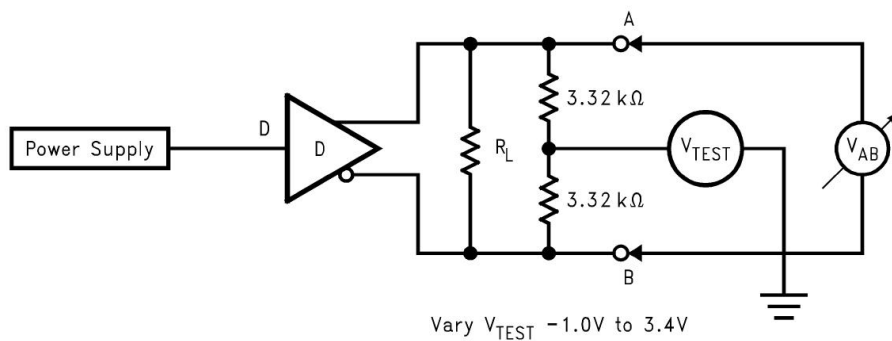


图 7 差分驱动满负载测试电路

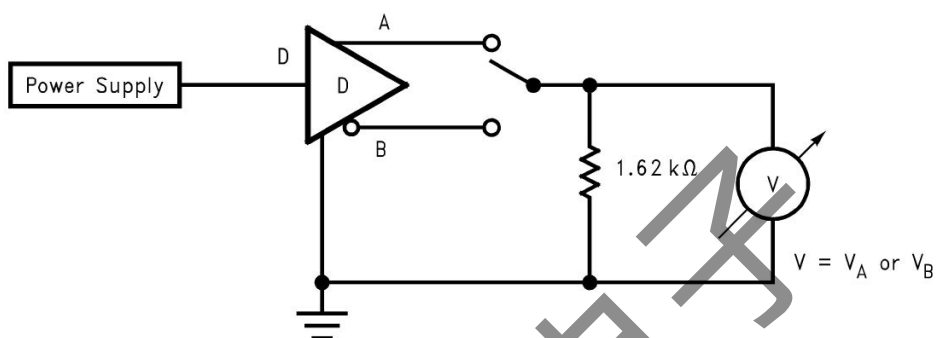


图 8 差分驱动 DC 开路测试电路

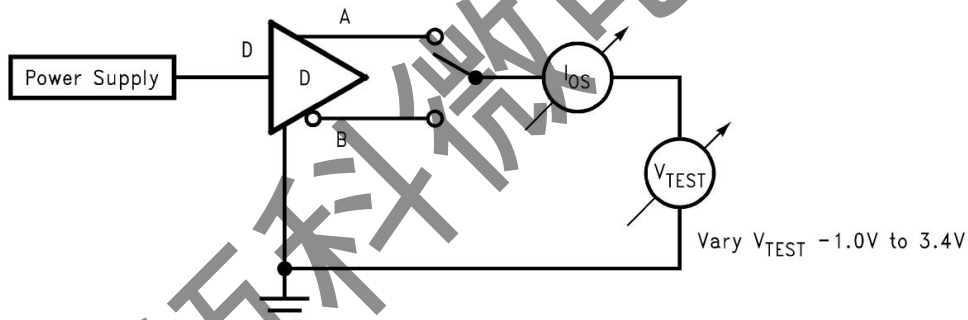


图 9 差分驱动短路测试电路

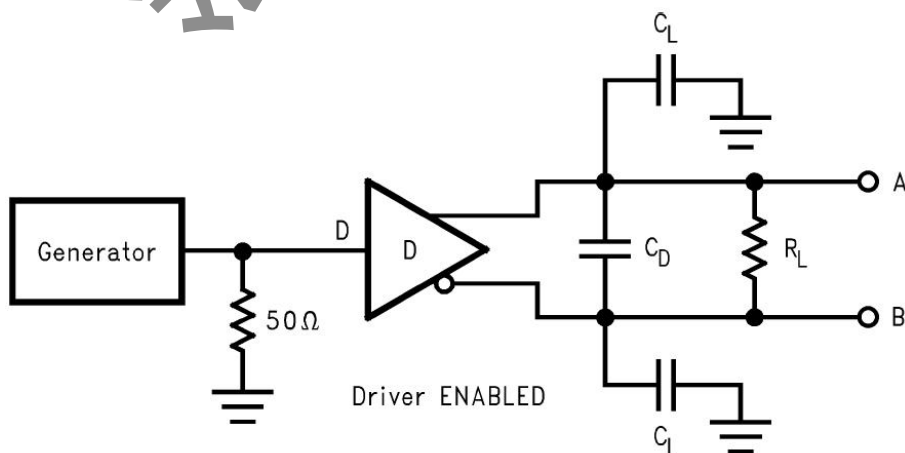


图 10 驱动器传输延时和传输时间测试电路

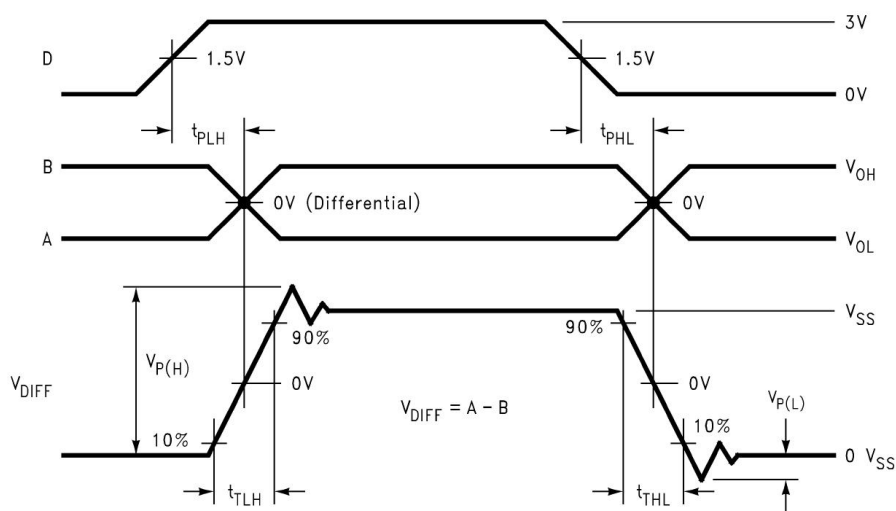


图 11 驱动器传输延时和传输时间波形

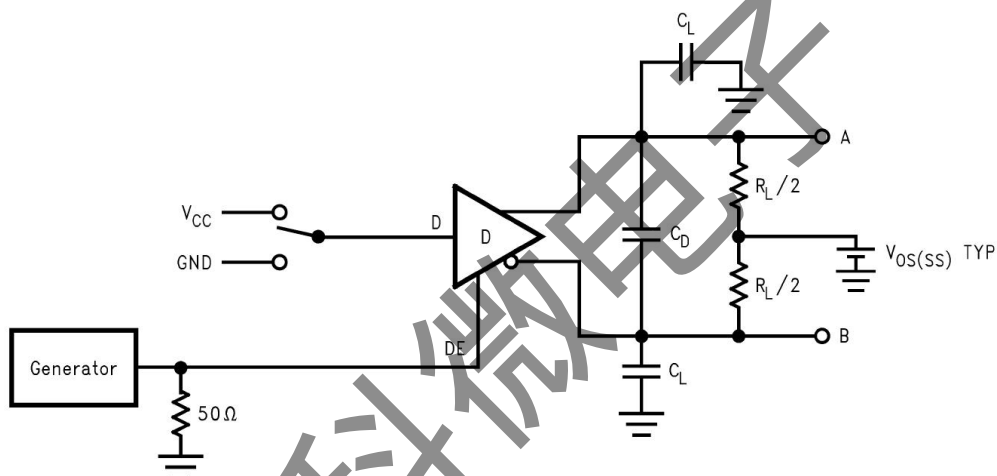


图 12 驱动器三态延时测试电路

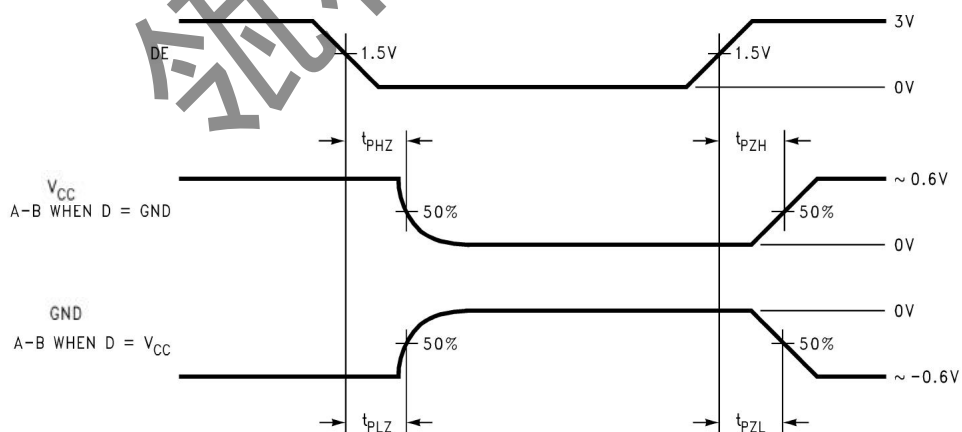


图 13 驱动器三态延时波形图

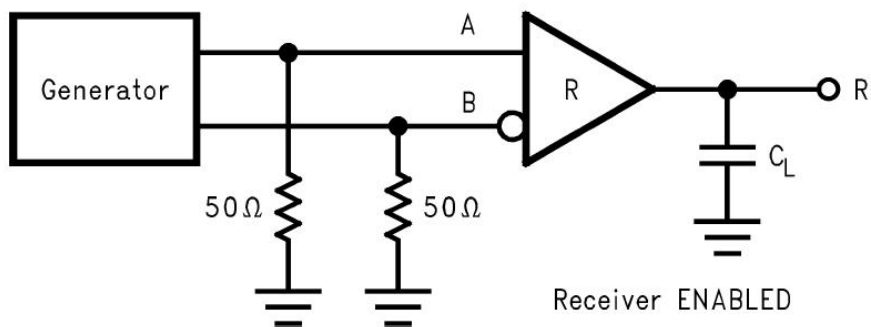


图 14 接收器传输延时和传输时间测试电路

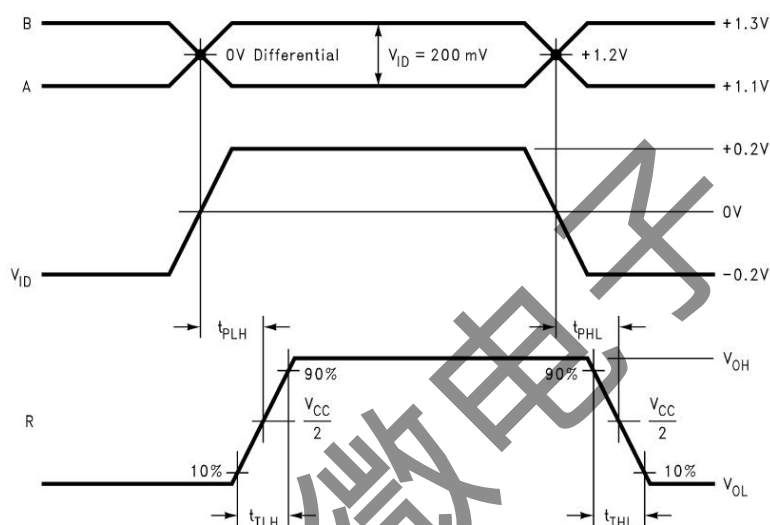


图 15 接收器模式 1 传输延时和传输时间波形图

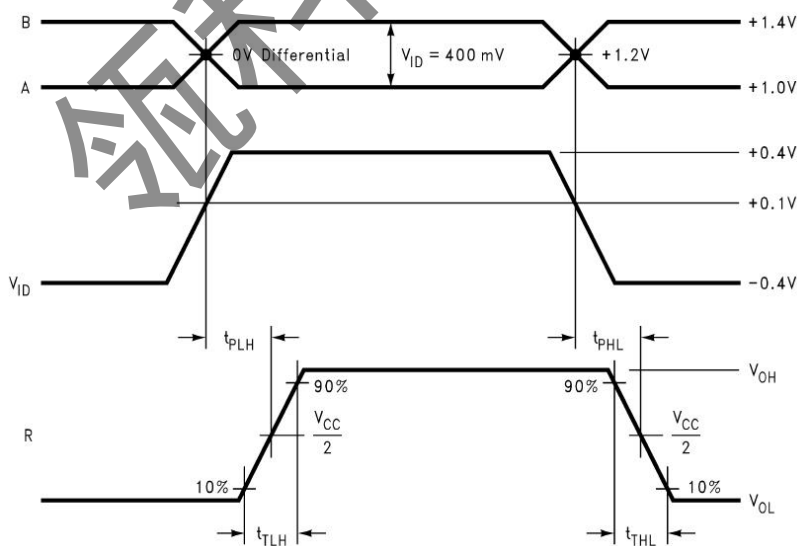


图 16 接收器模式 2 传输延时和传输时间波形图

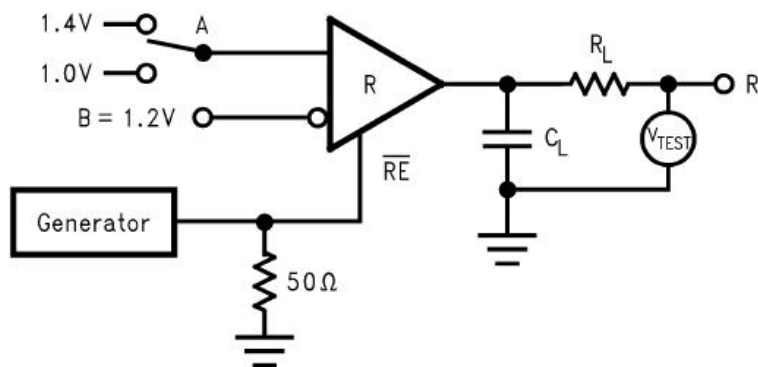


图 17 接收器三态延时测试电路

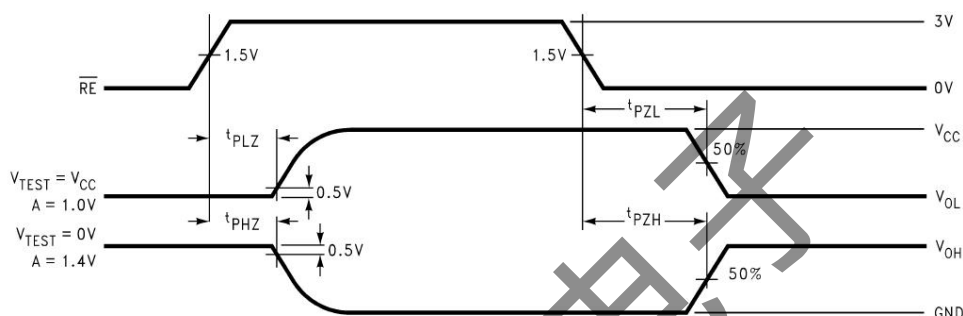


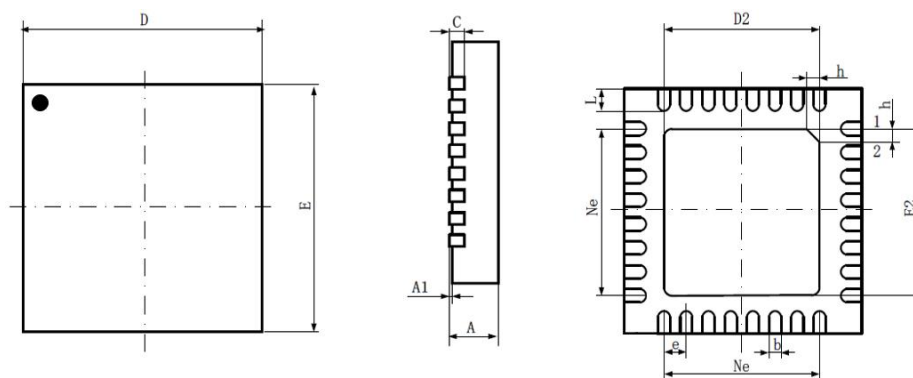
图 18 接收器三态延时波形图

6.4 应用电路说明

1、LVDS 为电流型输出，终端需要 100Ω 匹配电阻，将电流转换为相应的电压幅度，而 MLVS 为总线式连接，且同时具备收发功能，为抑制信号反射，确保信号完整性，通常需要在总线两侧都并联 100Ω 匹配电阻，如图 1 所示；

2、关于 Type1、Type2 的选择：Type1 的接收高电平阈值为 $0.15V$ ，低电平阈值为 $-0.15V$ ，当 $-0.15V \leq A-B \leq 0.15V$ 时，输出处于不定态，通常用于总线为固定连接，A、B 上有驱动信号，不会出现输入浮空的情况；若总线有浮空，则应选择 Type2 模式，接收高电平阈值为 $0.31V$ ，低电平阈值为 $0.05V$ ，当 $0.05V \leq A-B \leq 0.31V$ 时，输出处于不定态，当总线浮空，由于有端接电阻的存在，A、B 上电压相等，可以保证输出稳定为低电平。

7 封装形式



尺寸符号	单 位: mm		
	最 小	公 称	最 大
A	0.70	0.85	1.00
A1	-	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.80	5.00	5.20
D2	3.10	3.50	3.90
e	0.50BSC		
Ne	3.50BSC		
E	4.80	5.00	5.20
E2	3.10	3.50	3.90
L	-	0.40	0.60
h	0.30	0.35	0.40

8 订货信息

LK

①

I

②

80M939

③

QF

④

- ① 产品系列代号
- ② 分类标识
- ③ 产品代号
- ④ 封装形式

表 2 订货信息表

型号	封装	质量等级	工作温度
LKI80M939QF	QFN32, 塑封	工业级	-40°C~+85°C

9 版本信息

版本号	日期	版本说明	更改说明
REV 1.00	2024-06-12	更新版本	—
REV 1.01	2024-11-14	更新版本	更新真值表及 ESD 能力
REV 1.02	2025-07-11	更新版本	更新真值表信息
REV 1.03	2025-08-07	更新版本	新增应用电路说明
REV1.04	2025-11-27	更新版本	参数指标修订

瓴科微电子