

HC32F4A8 系列

32 位 ARM[®] Cortex[®]-M4 微控制器

数据手册

Rev1.00
2025 年 3 月

产品特性

ARM Cortex-M4 32-bit MCU+FPU, 300DMIPS, 2MB Flash, 516KB SRAM, 2USBs (HS/FS OTG), Ethernet MAC, 4CANs(FD/2.0B), 2SDIOs, DVP, EXMC, 35Timers, 3ADCs, 4DACs, 4PGAs, 4CMPs, 10USARTs, 6SPIs, 6I2Cs, 4I2Ss, QSPI, PKE, SKE, HASH(SHA256/HMAC), FMAC(FIR), MAU, ERMU

- ARMv7-M 架构 32-bit Cortex-M4 CPU，集成 FPU、MPU，支持 SIMD 指令的 DSP，全指令跟踪单元 ETM，及 CoreSight 标准调试单元。最高工作主频 240MHz，达到 300DMIPS 或 825Coremarks 的运算性能
- 内置存储器
 - ▶ 最大 2048KByte 的 dual bank Flash memory，支持 ECC 校验
 - ▶ 最大 516KByte 的 SRAM，包括 128KByte 的单周期访问高速 RAM，支持 ECC 校验
- 电源，时钟，复位管理
 - ▶ 系统电源 (V_{CC})：1.8-3.63V
 - ▶ 6 个独立时钟源：外部主时钟晶振(4-25MHz)/外部副晶振(32.768kHz)/内部高速 RC(16/20MHz)/内部中速 RC(8MHz)/内部低速 RC(32.768kHz)/内部 WDT 专用 RC(10kHz)
 - ▶ 包括上电复位 (POR)，低电压检测复位 (PVD1R/PVD2R)，端口复位 (NRST) 在内的 16 种复位源，每个复位源有独立标志位
- 低功耗运行
 - ▶ 外设功能可以独立关闭或开启
 - ▶ 三种低功耗模式：Sleep, Stop, Power down
 - ▶ VBAT 独立供电支持超低功耗 RTC，128Byte 备份寄存器，4KByte 备份 SRAM
- 外设运行支持系统显著降低 CPU 处理负荷
 - ▶ 16 通道双主机 DMAC
 - ▶ USBHS, USBFS, Ethernet MAC 专用 DMAC
 - ▶ 8 个数据计算单元 (DCU)
 - ▶ 数学协处理单元 (MAU)，支持 Sin/Sqrt
 - ▶ 支持 16 阶 FIR 数字滤波器 (FMAC)
 - ▶ 支持外设事件相互触发 (AOS)
- 高性能模拟
 - ▶ 3 个独立 12-bit 2.5Msps ADC
 - ▶ 3 个同时采样保持电路实现 3 通道同时采样
 - ▶ 4 个独立 12-bit 15Msps DAC
 - ▶ 4 个可编程增益放大器 (PGA)
 - ▶ 4 个独立电压比较器 (CMP)
 - ▶ 1 个片上温度传感器 (OTS)
- Timer
 - ▶ 8 个多功能 32/16-bit PWM Timer (Timer6)
 - ▶ 3 个 16-bit 电机 PWM Timer (Timer4)
 - ▶ 12 个 16-bit 通用 Timer (TimerA)
 - ▶ 4 个 16-bit 通用 Timer (Timer2)
 - ▶ 5 个 16-bit 基础 Timer (Timer0)
 - ▶ 实时时钟 Timer (RTC)
 - ▶ 2 个 WDT，支持内部专用时钟
- 最大 142 个 GPIO
 - ▶ 最大 138 个 5V-tolerant IO
- 最大 36 个通信接口
 - ▶ 10 个 USART，支持 ISO7816-3 协议
 - ▶ 6 个 SPI
 - ▶ 6 个 I2C，支持 SMBus 协议
 - ▶ 4 个 I2S，内置音频 PLL
 - ▶ 2 个 SDIO，支持 SD/MMC/eMMC 格式
 - ▶ 1 个 QSPI，支持 240Mbps 高速访问 (XIP)
 - ▶ 4 个 CAN FD 控制器，兼容 CAN2.0A/B
 - ▶ 2 个 USB 2.0，分别支持 HS, FS，内置 FS-PHY，支持 Device/Host
 - ▶ 1 个 10/100M ETHMAC，支持专用 DMA，IEEE 1588-2018 PTP，MII/RMII 接口
- 外部存储器控制器 EXMC
 - ▶ 支持 Memory 控制器：SRAM、PSRAM、NOR Flash、NAND Flash、SDRAM
 - ▶ 支持 LCD 并行接口，兼容 8080/6800 模式
- 数据加密功能
 - ▶ PKE/SKE/HASH (SHA256/HMAC) /TRNG
- 安全机制
 - ▶ 错误管理单元 (ERMU)
- 封装形式：LQFP176/144/100, VFBGA176/100

支持型号

HC32F4A8PITB-LQFP100	HC32F4A8PIHB-VFBGA100
HC32F4A8RITB-LQFP144	-
HC32F4A8SITB-LQFP176	HC32F4A8SIHB-VFBGA176

说明事项

版权所有©2025 小华半导体有限公司。保留所有权利

本文件及附件包含的信息有关知识产权权益全部属于小华半导体有限公司（以下简称“XHSC”）；客户对本文件及附件包含的信息只享有内部使用权，未经 XHSC 书面允许，任何单位和个人不得擅自摘抄、复制、改动或以其他任何形式使用本文件的部分或全部内容，并不得以任何形式进行传播。

商标声明

 小华半导体有限公司  小华半导体和其他商标均为 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

注意事项

- XHSC 保留随时更改、更正、增强、修改产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- 本通知中的信息取代并替换先前版本中的信息。

小华半导体有限公司

地址：	上海市浦东新区中科路 1867 号 A 座 4 楼
网址：	https://www.xhsc.com.cn
邮箱：	XHSC_MCU@xhsc.com.cn
电话：	021-38880888-887

前言

数据格式

- 0x 前缀表示十六进制数据
- 0b 前缀表示二进制数据
- 数字没有前缀表示十进制数据

安全声明

由于使用某个功能或者协议，可能会存在潜在的安全问题，需要进行声明，提醒用户慎用，规避安全风险。

目录

产品特性.....	ii
前言.....	iv
1 产品概述.....	1
1.1 产品阵容.....	1
1.2 功能框图.....	4
2 功能描述.....	5
2.1 CPU.....	5
2.2 总线架构 (BUS)	5
2.3 复位控制 (RMU)	5
2.4 时钟控制 (CMU)	6
2.5 电源控制 (PWC)	6
2.6 初始化配置 (ICG)	7
2.7 嵌入式 Flash (EFM)	7
2.8 内置 SRAM (SRAM)	7
2.9 通用 IO (GPIO)	7
2.10 中断控制 (INTC)	8
2.11 自动运行系统 (AOS)	8
2.12 存储保护单元 (MPU)	8
2.13 键盘扫描 (KEYSCAN)	8
2.14 内部时钟校准器 (CTC)	9
2.15 DMA 控制器 (DMA)	9
2.16 电压比较器 (CMP)	9
2.17 模数转换器 (ADC)	10
2.18 数模转换器 (DAC)	11
2.19 温度传感器 (OTS)	11
2.20 高级控制定时器 (Timer6)	11
2.21 通用控制定时器 (Timer4)	11
2.22 紧急刹车模块 (EMB)	11
2.23 通用定时器 (TimerA)	12
2.24 通用定时器 (Timer2)	12
2.25 通用定时器 (Timer0)	12
2.26 实时时钟 (RTC)	12
2.27 看门狗计数器 (WDT/SWDT)	12
2.28 串行通信接口 (USART)	12
2.29 集成电路总线 (I2C)	13
2.30 串行外设接口 (SPI)	13
2.31 四线式串行外设接口 (QSPI)	14
2.32 集成电路内置音频总线 (I2S)	14
2.33 USB2.0 高速模块 (USBHS)	15
2.34 USB2.0 全速模块 (USBFS)	15
2.35 CAN FD 控制器 (CAN/MCAN)	15
2.36 以太网 MAC 控制器 (ETHMAC)	16
2.37 SDIO 控制器 (SDIOC)	16
2.38 外部存储器控制器 (EXMC)	16
2.39 数字视频接口 (DVP)	16
2.40 加密协处理模块 (CPM)	16
2.41 CRC 计算单元 (CRC)	17
2.42 数据计算单元 (DCU)	17
2.43 数学运算单元 (MAU)	17

2.44	滤波数学加速器 (FMAC)	17
2.45	错误管理单元 (ERMU)	17
2.46	调试控制器 (DBGC)	17
3	引脚配置及功能	18
3.1	引脚配置图	18
3.1.1	LQFP176 封装	18
3.1.2	LQFP144 封装	19
3.1.3	LQFP100 封装	20
3.1.4	VFBGA176 封装	21
3.1.5	VFBGA100 封装	22
3.2	引脚功能表	23
3.3	引脚功能说明	37
3.4	引脚使用说明	44
4	电气特性	45
4.1	参数条件	45
4.1.1	最小值和最大值	45
4.1.2	典型数值	45
4.1.3	典型曲线	45
4.1.4	负载电容	45
4.1.5	引脚输入电压	45
4.1.6	电源方案	46
4.1.7	电流消耗测量	47
4.2	绝对最大额定值	48
4.3	工作条件	49
4.3.1	通用工作条件	49
4.3.2	上电和掉电时的工作条件	50
4.3.3	复位和电源控制模块特性	50
4.3.4	供电电流特性	51
4.3.5	低功耗模式唤醒时序	57
4.3.6	外部时钟源特性	58
4.3.7	内部时钟源特性	60
4.3.8	PLL 特性	61
4.3.9	存储器 (闪存) 特性	62
4.3.10	电气敏感性	63
4.3.11	I/O 端口特性	63
4.3.12	I2C 接口特性	68
4.3.13	SPI 接口特性	68
4.3.14	QSPI 接口特性	71
4.3.15	I2S 接口特性	72
4.3.16	CAN FD 接口特性	73
4.3.17	USB 接口特性	73
4.3.18	ETHMAC 特性	76
4.3.19	USART 接口特性	78
4.3.20	JTAG 接口特性	79
4.3.21	SWD 接口特性	80
4.3.22	ETM 接口特性	81
4.3.23	12 位 ADC 特性	82
4.3.24	12 位 DAC 特性	86
4.3.25	温度传感器	88
4.3.26	比较器特性	88
4.3.27	EXMC 特性	88

4.3.28	DVP 特性.....	91
4.3.29	SDIO 特性.....	92
4.3.30	增益可调放大器特性.....	94
4.3.31	VBAT 特性.....	95
4.3.32	EIRQ 滤波特性.....	95
4.3.33	USART1 STOP 模式下 RX 滤波特性.....	95
4.3.34	USB 片上全速 PHY STOP 模式下滤波特性.....	96
5	封装信息.....	97
5.1	封装尺寸.....	97
5.1.1	LQFP176 封装.....	97
5.1.2	LQFP144 封装.....	99
5.1.3	LQFP100 封装.....	101
5.1.4	VFBGA176 封装.....	103
5.1.5	VFBGA100 封装.....	104
5.2	焊盘示意图.....	105
5.2.1	LQFP176 封装 (24mm x 24mm)	105
5.2.2	LQFP144 封装 (20mm x 20mm)	106
5.2.3	LQFP100 封装 (14mm x 14mm)	107
5.2.4	VFBGA176 封装 (10mm x 10mm)	108
5.2.5	VFBGA100 封装 (7mm x 7mm)	109
5.3	丝印说明.....	110
5.4	封装热阻系数.....	110
6	订购信息.....	111
	版本记录.....	113

1 产品概述

1.1 产品阵容

产品名称

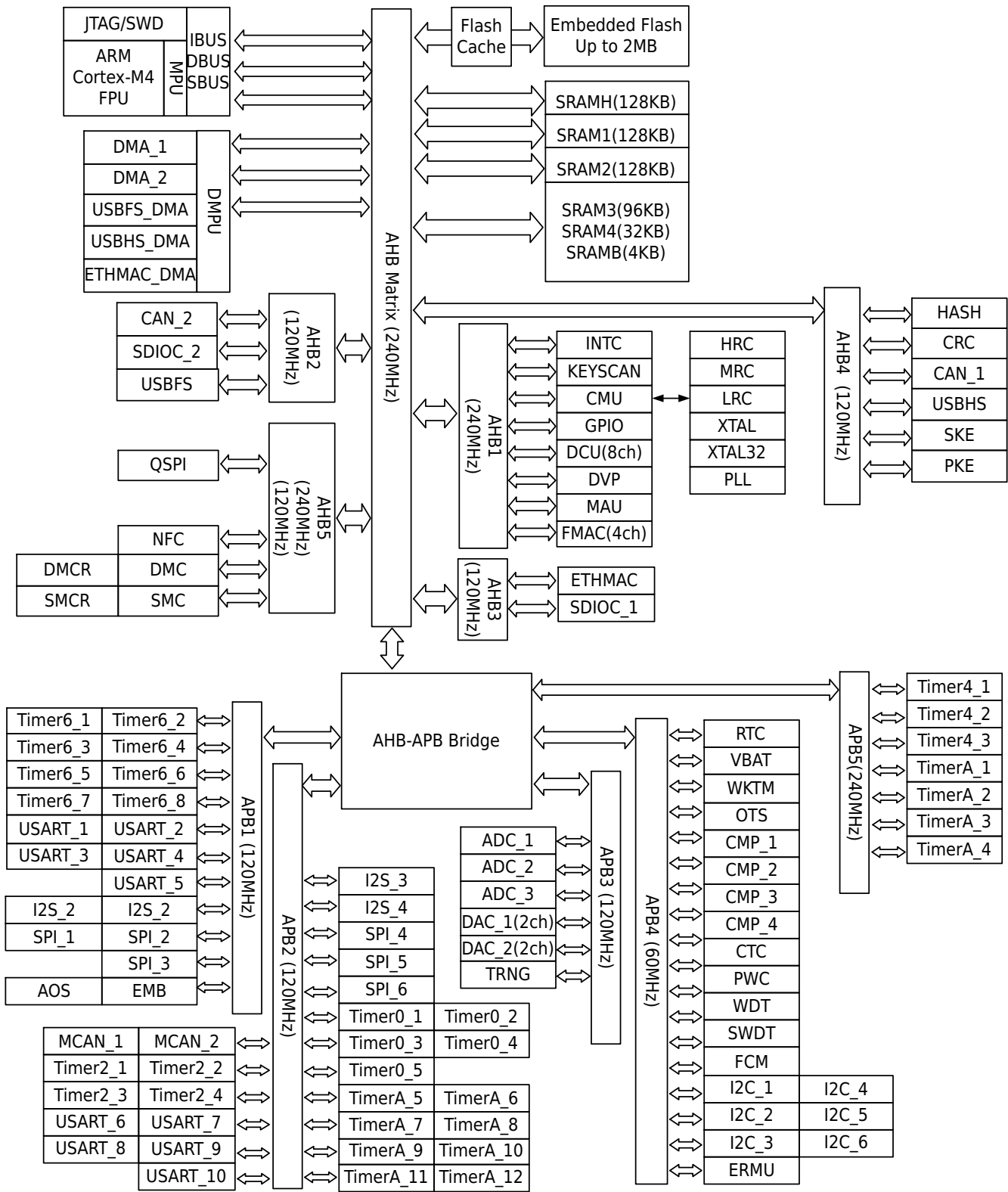
	HC	32	F	4	A	8	P	I	T	B
小华半导体										
MCU家族										
32: 32-bit										
产品类型										
F: 通用										
MCU平台										
4: Cortex-M4										
MCU规格档次										
A: 旗舰版										
功能配置流水号										
8: 配置8										
管脚数量										
S: 176Pin										
R: 144Pin										
P: 100Pin										
程序容量										
I: 2MB										
封装类型										
T: LQFP										
H: BGA										
温度质量范围										
B: -40~105 °C, 工业级										

型号功能对比表

产品名称		HC32F4A8SIHB	HC32F4A8SITB	HC32F4A8RITB	HC32F4A8PIHB	HC32F4A8PITB
引脚数		176	176	144	100	100
GPIO 数		142	142	116	83	83
5V Tolerant GPIO 数		138	138	112	79	79
CPU	内核	Cortex-M4				
	频率	240MHz				
存储空间	Flash	2MB				
	OTP	134KB				
	SRAM	512+4KB				
时钟	内部高速时钟	HRC 16/20MHz				
	内部中速时钟	MRC 8MHz				
	内部低速时钟	LRC 32.768kHz				
	外部高速晶振	XTAL 4~25MHz				
	外部低速晶振	XTAL32 32.768kHz				
	RTC 专用内部低速振荡器	RTCLRC 32.768kHz				
	SWDT 专用内部低速振荡器	SWDTLRC 10kHz				
电源电压范围		1.8~3.63V				
温度范围		-40~105℃				
外部端口中断		EIRQ * 16				
DMA 控制器		2unit * 8ch				
定时器和计数器	Timer0	5unit				
	Timer2	4unit				
	TimerA	12unit				
	Timer4	3unit				
	Timer6	8unit				
	RTC	1ch				
	WDT	1ch				
	SWDT	1ch				

产品名称		HC32F4A8SIHB	HC32F4A8SITB	HC32F4A8RITB	HC32F4A8PIHB	HC32F4A8PITB
通信接口	USART	10ch				
	I2C	6ch				
	SPI	6ch				
	QSPI	1ch				
	USB HS	1ch				
	USB FS	1ch				
	CAN FD	4ch				
	EXMC	√				
	ETHMAC	1ch				
	I2S	4ch				
	SDIO	2ch				
	DVP	√				
模拟	12-bit ADC	3unit, 28ch	3unit, 28ch	3unit, 24ch	3unit, 16ch	3unit, 16ch
	12-bit DAC	4ch				
	PGA	4ch				
	OTS	√				
	CMP	4ch				
	PVD	√				
安全	SKE	√				
	PKE	√				
	TRNG	√				
	Hash	SHA256				
协处理	FMAC	√				
	MAU	√				
	DCU	√				
频率监测 FCM		√				
错误管理单元 ERMU		√				
调试接口	SWD	√				
	JTAG	√				
封装类型		VFBGA	LQFP	LQFP	VFBGA	LQFP

1.2 功能框图



说明

不同封装的产品支持的资源数量有差异，详细支持情况请参见 [型号功能对比表](#)。

2 功能描述

2.1 CPU

HC32F4A8 系列集成了嵌入式 ARM® Cortex®-M4 with FPU 32-bit 精简指令 CPU，提供出色的运算性能和迅速的中断反应能力。片上集成的存储容量可以充分发挥出 ARM® Cortex®-M4 出色的指令效率。CPU 支持 DSP 指令，可以实现高效信号处理运算和复杂算法。单点精度 FPU（Floating Point Unit）单元可以避免指令饱和，加快软件开发。

2.2 总线架构（BUS）

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下主机总线和从机总线的互连：

- 主机总线
 - ▶ Cortex-M4 内核 CPU-I 总线，CPU-D 总线，CPU-S 总线
 - ▶ 系统 DMA_1 总线，系统 DMA_2 总线
 - ▶ USBFS_DMA 总线
 - ▶ USBHS_DMA 总线
 - ▶ ETHMAC_DMA 总线
- 从机总线
 - ▶ Flash ICODE 总线
 - ▶ Flash DCODE 总线
 - ▶ Flash MCODE 总线（CPU 以外其他主机访问 Flash 的总线）
 - ▶ 高速 SRAMH（SRAMH 128KB）总线
 - ▶ 系统 SRAM（SRAM1 128KB）总线
 - ▶ 系统 SRAM（SRAM2 128KB）总线
 - ▶ 系统 SRAM（SRAM3 96KB, SRAM4 32KB, Ret SRAM 4KB）总线
 - ▶ APB1 外设总线（AOS/EMB/Timer6/SPI/USART/I2S/EFM）
 - ▶ APB2 外设总线（Timer0/Timer2/TimerA/SPI/USART/I2S/CAN/MCAN）
 - ▶ APB3 外设总线（ADC/DAC/TRNG）
 - ▶ APB4 外设总线（FCG/CMU/FCM/ERMU/WDT/SWDT/CMP/PWC/CTC/OTS/RTC/VBAT/WKTM/I2C）
 - ▶ APB5 外设总线（Timer4/TimerA）
 - ▶ AHB1 外设总线（MPU/RAMIF/KEYSCAN/INTC/DCU/GPIO/DMA/CMU/DVP/MAU/FMAC）
 - ▶ AHB2 外设总线（CAN/SDIOC/USBFS）
 - ▶ AHB3 外设总线（SDIOC/ETHMAC）
 - ▶ AHB4 外设总线（HASH/CRC/CAN/USBHS/PKE/SKE）
 - ▶ AHB5 外设总线（SMC/DMC/SMCR/DMCR/NFC/QSPI）

借助总线矩阵，可以实现主机总线到从机总线高效率的并发访问。

2.3 复位控制（RMU）

芯片配置了 16 种复位方式：

- 上电复位（POR）
- NRST 引脚复位（NRST）
- 欠压复位（BOR）

- 可编程电压检测 1 复位 (PVD1R)
- 可编程电压检测 2 复位 (PVD2R)
- 看门狗复位 (WDTR)
- 专用看门狗复位 (SWDTR)
- 掉电唤醒复位 (PDRST)
- 软件复位 (SRST)
- MPU 错误复位 (MPUR)
- RAMECC 复位 (RAMECCR)
- FLASHECC 复位 (FLASHECCR)
- ERMU 复位 (ERMUR)
- 时钟异常复位 (CKFER)
- 外部高速振荡器异常停振复位 (XTALER)
- Cortex-M4 Lockup 复位 (LKUPR)

2.4 时钟控制 (CMU)

时钟控制单元提供了一系列频率的时钟功能，包括：一个外部高速振荡器、一个外部低速振荡器、两个 PLL 时钟、一个内部高速振荡器、一个内部中速振荡器、一个内部低速振荡器、一个 RTC 专用内部低速振荡器、一个 SWDT 专用内部低速振荡器、时钟预分频器、时钟多路复用和时钟门控电路。

时钟控制单元还提供时钟频率测量功能。时钟频率测量电路 (FCM) 使用测定基准时钟对测定对象时钟进行监视测定。在超出设定范围时发生中断或者复位。

AHB、APB 和 Cortex-M4 时钟都源自系统时钟。系统时钟的最大运行时钟频率可以达到 240MHz，有 6 个可选择的时钟源：

1. 外部高速振荡器 (XTAL)
2. 外部低速振荡器 (XTAL32)
3. PLLH 时钟 (PLLH)
4. 内部高速振荡器 (HRC)
5. 内部中速振荡器 (MRC)
6. 内部低速振荡器 (LRC)

对于每一个时钟源，在未使用时都可以单独打开和关闭，以降低功耗。SWDT 有独立的时钟源：SWDT 专用内部低速振荡器 (SWDTLRC)。实时时钟 (RTC) 使用外部低速振荡器、RTC 专用内部低速振荡器或者 XTAL 小数分频时钟作为时钟源。USBFS 的 48MHz 时钟可以选择系统时钟、PLLH、PLLA 作为时钟源。

2.5 电源控制 (PWC)

电源控制器用来控制芯片的多个电源域在多个运行模式和低功耗模式下的电源供给、切换、检测。电源控制器由功耗控制逻辑 (PWCL)、电源电压检测单元 (PVD)、自动切换 VCC 与电池供电的电池备份控制模块 (BATBKUP) 构成。

芯片的工作电压 (VCC) 为 1.8V 到 3.63V。电压调节器 (LDO) 为 VDD 域和 VDDR 域供电，VDDR 电压调节器 (RLDO) 在掉电模式或者 VCC 掉电情况下为 VDDR 域供电。芯片通过功耗控制逻辑 (PWCL) 提供了高速、超低速两种运行模式，睡眠、停止和掉电等三种低功耗模式。

电源电压检测单元 (PVD) 提供了上电复位 (POR)、掉电复位 (PDR)、欠压复位 (BOR)、可编程电压检测 1 (PVD1)、可编程电压检测 2 (PVD2)、基准电压测量通路、VBAT 电压检测、VBAT 电压测量等功能，其中 POR、PDR、BOR 通过检测 VCC 电压，控制芯片复位动作。PVD1 通过检测 VCC 电压，根据寄存器设定使芯片产生复位或者中断。PVD2 通过检测 VCC 电压或者外部输入检测电压，根据寄存器选择产生复位或者中断。基准电压测量通路，是使用 ADC 测量基准电压的功能。VBAT 电压检测，是读取寄存器获得

VBAT 电压高于或者低于 VBAT 检测电压的功能，VBAT 检测电压可以使用寄存器选择 1.8V 或者 2.1V。VBAT 电压测量功能，是指使用 ADC 测量 VBAT 的 1/2 分压，从而获得 VBAT 电压值的功能。

电池备份域在 VCC 掉电情况下通过 VBAT 维持电源，保证实时时钟模块（RTC）、唤醒定时器（WKTm）能够继续动作，并为 RLDO 提供电源。VDDR 区域在芯片进入掉电模式或者 VCC 掉电情况下可以通过 RLDO 维持电源，保持 4KB 的 Ret SRAM 的数据。

模拟模块配备了专用供电引脚，提高了模拟性能。

2.6 初始化配置（ICG）

芯片复位解除后，硬件电路会读取 FLASH 地址 0x00000400~0x0000046F 把数据加载到初始化配置寄存器。地址 0x00000408~0x0000040B，0x00000410~0x0000041F，0x00000438~0x0000045F 为保留地址，请写入全 1 保证芯片正常动作。FLASH 引导交换有效，且 OTP 不使能时，该区域位于 FLASH 块 1 扇区 0；否则该区域存在 FLASH 块 0 扇区 0。用户可通过编程或擦除扇区 0 来修改初始化配置（ICG）寄存器。地址 0x00000420~0x00000437 为数据安全保护使能区。寄存器复位值由 FLASH 数据确定。

2.7 嵌入式 Flash（EFM）

Flash 接口通过 ICODE，DCODE 和 MCODE 总线对 Flash 进行访问。该接口可对 Flash 执行编程，擦除和全擦除操作；通过指令预取和缓存机制加速代码执行。

主要特性：

- 两块独立 Flash 构成 dual bank，可实现 BGO（BackGroud Operation）功能
- 134KBytes 的 OTP 空间
- ICODE 总线 16Bytes 预取指
- 两个独立缓存区：ICODE 总线缓存空间 4KBytes（256x128）；DCODE 总线缓存空间 1KBytes（64x128）
- 支持引导交换功能
- 支持数据安全保护
- 带有 ECC 校验（Error Checking and Correcting），ECC 校验可以纠正 128 位数据和 9 位 ECC 的一位错误，检测 20 位地址相关信息的一位错误，检测 128 位数据和 9 位 ECC 以及 20 位地址相关信息的两位错误

2.8 内置 SRAM（SRAM）

本产品带有 512KB 系统 SRAM（SRAMH/SRAM1/SRAM2/SRAM3/SRAM4）和 4KB 备份 SRAM（Ret SRAM）。

各 SRAM 可按照字节、半字（16 位）或全字（32 位）访问。高速 SRAM（SRAMH）读写操作最快可以在 CPU 最高速度（240MHz）下 0 等待（即 1 周期）执行，也可插入等待周期。各个 SRAM 的读写访问的等待周期由 SRAM 等待控制寄存器（SRAM_WTCR）设定。

Ret SRAM 可在 Power down 模式下提供 4KB 的数据保持空间。

SRAM1、SRAM2、SRAM3、SRAM4、SRAMH 和 Ret SRAM 带有 ECC 校验（Error Checking and Correcting），ECC 校验为纠一检二码，可以对读取数据和地址纠正一位错误，或者检查两位错误。

2.9 通用 IO（GPIO）

GPIO 主要特性：

- 每组 Port 配有 16 个 I/O Pin，根据实际配置可能不足 16 个
- 支持上拉
- 支持推挽，开漏输出模式
- 支持高、中、低型驱动模式
- 支持 CMOS/Schmitt 两种输入模式自由切换

- 支持外部中断的输入
- 支持 I/O pin 周边功能复用，一个 I/O pin 最多可具有 64 个可选择的复用功能
- 各个 I/O pin 可独立编程
- 各个 I/O pin 可以选择 2 个功能同时有效（不支持 2 个输出功能同时有效）

2.10 中断控制（INTC）

中断控制器（INTC）选择中断事件作为中断请求送到 NVIC 唤醒 WFI；选择中断事件作为事件输入（RXEV）唤醒 WFE；选择中断事件唤醒系统低功耗模式（休眠模式和停止模式）；控制外部中断和软件中断。

主要规格：

1. NVIC 中断请求：INTC 配备了 457 个中断事件，处理后作为中断请求（IRQ）发送给 NVIC，支持 144 个 IRQ，每个 IRQ 可以根据中断选择寄存器选择对应的中断事件。



说明

更多关于异常和 NVIC 编程的说明，请参考《Arm Cortex-M4 Processor Technical Reference Manual》。

2. 可编程优先级：16 个可编程优先级（使用了 4 位中断优先级）。
3. 不可屏蔽中断：可以独立选择多种系统中断事件请求作为不可屏蔽中断，且各中断事件请求配备独立的使能选择、挂起、清除挂起寄存器。
4. 配备 16 个外部管脚中断事件。
5. 配备多个中断事件，详细信息请参见《参考手册》“中断控制器（INTC）-向量表-中断事件表”。
6. 配备 32 个软件中断事件。
7. 中断可唤醒系统休眠模式和停止模式。

2.11 自动运行系统（AOS）

自动运行系统（Automatic Operation System）用于在不借助 CPU 的情况下实现外设之间的联动。利用外设产生的事件作为 AOS 源（AOS Source），如定时器的比较匹配、定时器的计数溢出、RTC 的周期信号、通信模块的收发数据的各种状态（空闲、接收数据满、发送数据结束、发送数据空）、ADC 的转换结束等事件，来触发其他外设动作。被触发的外设动作称为 AOS 目标（AOS Target）。

AOS 中还配备了 4 个可编程逻辑运算单元（PLU），用于 PORT 和 AOS 源的逻辑运算。用户可以根据需求选择一个或多个 AOS 源来触发同一个 AOS 目标。

2.12 存储保护单元（MPU）

MPU 可以提供对存储器的保护，通过阻止非授权的访问，可以提高系统的安全性。

本芯片内置了 1 个针对 CPU 的 MPU 单元，5 个针对主机的 MPU 单元和 1 个针对 IP 的 MPU 单元。

其中 ARM MPU 提供 CPU 对全部 4G 地址空间的访问权限控制。

DMPU 包含 SMPU1/SMPU2/FMPU/HMPU/EMPU，分别提供系统 DMA_1/系统 DMA_2/USBFS-DMA/USBHS-DMA/ETH-DMA 对全部 4G 地址空间的读写访问权限控制。对禁止空间发生访问时，可以设置 MPU 动作为无视/总线错误/不可屏蔽中断/复位。

IPMPU 提供非特权模式时对系统 IP 和安全相关 IP 的访问权限控制。

2.13 键盘扫描（KEYSCAN）

本产品搭载键盘扫描控制模块（KEYSCAN）1 个单元。KEYSCAN 模块支持键盘阵列（行和列）扫描，列是由独立的扫描输出 KEYOUTm（m=0~7）驱动，而行 KEYINn（n=0~15）则作为 EIRQn（n=0~15）输入被检测。本模块通过行扫描查询法实现按键识别功能。

2.14 内部时钟校准器 (CTC)

内部时钟校准器 (Clock Trimming Controller, 以下称 CTC) 可以自动校准内部高速振荡器 (HRC)。由于工作环境的影响 HRC 的频率可能会产生偏差, 用 CTC 基于外部高精度参考时钟, 采用硬件方式自动调整 HRC 的频率以得到一个精准的 HRC 时钟。

CTC 的主要特性如下:

- 三个外部参考时钟源: XTAL、XTAL32、CTCREF
- 用于频率测量并具有重载功能的 16 位校准计数器
- 用于频率校准的 8 位校准偏差值和 6 位校准值
- 用于提示校准失败的错误中断

2.15 DMA 控制器 (DMA)

DMA 用于在存储器和外围功能模块之间传送数据, 能够在 CPU 不参与的情况下实现存储器之间, 存储器和外围功能模块之间以及外围功能模块之间的数据交换。

- DMA 总线独立于 CPU 总线, 按照 AMBA AHB-Lite 总线协议传输
- 拥有 2 个 DMA 控制单元, 共 16 个独立通道, 可以独立操作不同的 DMA 传输功能
- 每个通道的启动源通过独立的触发源选择寄存器配置
- 每次请求传输一个数据块
- 数据块最小为 1 个数据, 最多可以是 1024 个数据
- 每个数据的宽度可配置为 8-bit、16-bit 或 32-bit
- 可以配置 1~65535 次传输或无限次传输
- 源地址和目标地址可以独立配置为固定、自增、自减、重复跳转或指定偏移量的跳转
- 可产生 3 种中断: 块传输完成中断、传输完成中断和传输错误中断。每种中断都可以配置是否屏蔽。其中块传输完成、传输完成可作为事件输出, 可作为其他外围模块的触发源
- 支持连锁传输功能, 可实现一次请求传输多个数据块
- 支持外部事件触发通道重置
- 支持软件触发启动传输和软件触发通道重置
- 不使用时可设置进入模块停止状态以降低功耗
- DMA 访问时 AHB 总线中的 HPROT 值可通过寄存器设置

2.16 电压比较器 (CMP)

电压比较器 (Comparator, 以下简称 CMP) 是将两个模拟电压进行比较并且输出比较结果的外设模块。本产品搭载两组共 4 个比较通道: CMP1 和 CMP2、CMP3 和 CMP4。

CMP 主要特性:

- 4 个比较通道可独立进行普通比较
- 同组的两个比较通道组合使用可实现最多 2 个窗口比较
- 每个比较通道的正/负端电压均有多个输入源 (IO、PGA、DAC) 供选择
- 迟滞电压可配置
- 噪声滤波器可以对比较器输出滤波, 3 种采样时钟可选
- 可使用定时器 PWM 进行比较器空白窗口控制
- 可在比较结果的变化边沿产生中断、触发其他外设以及唤醒 STOP 模式
- 比较结果可通过寄存器监视, 也可输出到外部管脚 VCOUT
- 比较结果可用于紧急刹车 (EMB) 控制事件

2.17 模数转换器 (ADC)

12 位 ADC 是一种采用逐次逼近方式的模拟数字转换器。本 MCU 搭载 3 个 ADC 单元，单元 1 和 2 支持 16 个通道，单元 3 支持 20 个通道，可以转换来自外部引脚和芯片内部的模拟信号。模拟输入通道可以任意组合成一个序列，一个序列可以进行单次扫描转换，或连续扫描转换。支持对任意指定通道进行连续多次转换并对转换结果进行平均。ADC 模块还搭载模拟看门狗功能，对任意指定通道的转换结果进行监视，检测其是否超出用户设定的范围。

ADC 主要特性如下：

- 高性能
 - ▶ 可配置 12 位、10 位和 8 位分辨率
 - ▶ ADC 数字接口时钟 PCLK4 和转换时钟 PCLK2（也称作 ADCLK）的频率比可设置为 1:1、2:1、4:1、8:1、1:2、1:4
PCLK2 可选与系统时钟 HCLK 异步的 PLL 时钟，此时频率比 PCLK4:PCLK2=1:1
PCLK2 频率最高支持 60MHz
 - ▶ 采样率：2.5Msps（PCLK2=60MHz，12 位，采样 11 周期，变换 13 周期）
 - ▶ 各通道采样时间独立编程
 - ▶ 各通道独立数据寄存器
 - ▶ 数据寄存器可配置左/右对齐方式
 - ▶ 连续多次转换平均功能
 - ▶ 过采样功能
 - ▶ 模拟看门狗，监视转换结果
 - ▶ 不使用时可以将 ADC 模块设定成停止状态
- 模拟输入通道
 - ▶ 最大 28 个外部模拟输入，单个 ADC 单元最大支持 20 通道
 - ▶ 2 个内部模拟信号：内部基准电压，VBAT 分压
- 转换开始条件
 - ▶ 软件设置转换开始
 - ▶ 周边外设同步触发转换开始
 - ▶ 外部引脚触发转换开始
- 转换模式
 - ▶ 2 个扫描序列 A、B，可任意指定单个或多个通道
 - ▶ 序列 A 单次扫描
 - ▶ 序列 A 连续扫描
 - ▶ 序列 A 数据缓冲
 - ▶ 双序列扫描，序列 A、B 独立选择触发源，序列 B 优先级高于 A
 - ▶ 协同工作模式（适用于具有两个或三个 ADC 的设备）
- 中断与事件信号输出
 - ▶ 序列 A 扫描结束中断和事件 ADC_EOCA
 - ▶ 序列 B 扫描结束中断和事件 ADC_EOCB
 - ▶ 模拟看门狗 0 比较中断和事件 ADC_CMP0
 - ▶ 模拟看门狗 1 比较中断和事件 ADC_CMP1
 - ▶ 上述的 4 个事件输出都可启动 DMA

本 MCU 搭载了 4 个单元可编程增益放大器 PGA，增益范围 $\times 2 \sim \times 32$ 可选择。模拟输入可以先经过 PGA 电路进行放大，然后再输入到 ADC 模块进行转换。

本 MCU 搭载了 3 个专用的采样保持电路（SH）供 ADC1 的通道 CH0~2 使用。当专用采样保持电路有效时，每次序列启动时，先同时对所有 SH 有效的通道进行采样，然后再启动 ADC 开始依次对序列中的每个通道进行 A/D 转换。连续扫描模式时，序列在第二次以及之后的扫描启动时都会插入 SH 的采样时间。

2.18 数模转换器（DAC）

本 MCU 搭载了两个 12 位的数模转换器单元 DAC1 和 DAC2。每个 DAC 单元包含两个 DAC 转换通道，两个通道可以独立转换也可以同步转换。模拟电压输出范围有两档可设。每个转换通道配有输出放大器，可以在没有外部运放时直接驱动外部负载。独立管脚输入参考电压 VREFH 和 VREFL 可用来提高转换精度。

DAC 主要特性：

- 两个 DAC 单元，每个单元有两个 DAC 转换通道
- 12 位转换数据可配置成左对齐或者右对齐格式
- 同一个 DAC 模块的两个转换通道可实现同步转换
- 转换数据计算单元（DCU）的数据可输出三角波和锯齿波
- 输出可用于电压比较器（CMP）的负端电压
- 输出配有放大功能，可直接驱动外部负载
- ADC 转换优先模式可减少 ADC 转换时的干扰
- 独立管脚输入参考电压 VREFH/VREFL

2.19 温度传感器（OTS）

OTS 可以获取芯片内部的温度，以支持系统的可靠性操作。使用软件或者硬件触发启动测温后，OTS 提供一组与温度相关的数字量，通过计算公式可以计算得到温度值。

2.20 高级控制定时器（Timer6）

高级控制定时器 6（Timer6）是一个 32/16 位计数宽度的高性能定时器，能在各种复杂应用场景中提供丰富、灵活的搭配组合和各种中断、事件、PWM 输出。该定时器支持锯齿波和三角波两种波形模式，可生成各种 PWM 波形（单边对齐独立 PWM、双边对称独立 PWM、双边对称互补 PWM、双边非对称 PWM 等）；单元间可实现软件同步和硬件同步（同步启动、停止、清零、刷新等）；各基准值寄存器支持缓存功能（单级缓存和双级缓存）；支持脉宽测量和周期测量；支持 2 相正交编码计数和 3 相正交编码计数；支持 EMB 控制；单元 1~单元 5、单元 7 支持 PTO 输出。本系列产品中搭载 8 个单元的 Timer6（单元 1~单元 4 为 32-bit 定时器；单元 5~单元 8 为 16-bit 定时器）。

2.21 通用控制定时器（Timer4）

通用控制定时器 4（Timer4）是一个用于三相电机控制的定时器模块，提供各种不同应用的三相电机控制方案。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形；支持缓存功能；支持 EMB 控制。本系列产品中搭载 3 个单元的 Timer4。

2.22 紧急刹车模块（EMB）

紧急刹车模块是在满足一定条件时产生控制事件输出给定时器，以控制定时器停止或更改向外部电机输出 PWM 信号的功能模块，下列要因用于产生控制事件：

- 外部端口输入电平变化
- PWM 输出端口电平发生同相（同高或同低）
- 电压比较器比较结果
- 系统错误发生
- 写寄存器软件控制

2.23 通用定时器 (TimerA)

通用定时器 A (TimerA) 是一个具有 16 位计数宽度、4 路 PWM 输出的定时器。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形（单边对齐 PWM、双边对称 PWM）；支持计数器同步启动；比较基准值寄存器支持缓存功能；支持单元间级联实现 32 位计数；支持 2 相正交编码计数和 3 相正交编码计数。本系列产品搭载 12 个单元 TimerA，最大可实现 48 路 PWM 输出。

2.24 通用定时器 (Timer2)

通用定时器 2 (Timer2) 是一个可以实现同步计数、异步计数方式的基本定时器。该定时器内含 2 个通道 (CH-A 和 CH-B)。每个通道均有一个输出端口，可实现基本的方波输出；每个通道均有 2 个输入端口，一个是时钟输入端口，可实现端口异步计数；一个是触发输入端口，可实现定时器启动、停止、清零、计数动作及计数值捕获输入；支持脉宽测量和周期测量。本系列产品中搭载 4 个单元的 Timer2。

2.25 通用定时器 (Timer0)

通用定时器 0 (Timer0) 是一个可以实现同步计数和异步计数方式的基本定时器。该定时器内含 2 个通道 (CH-A 和 CH-B)，可以在计数期间产生比较匹配事件与计数溢出事件。该事件可以触发中断，也可以用于触发其他模块动作。本系列产品中搭载 5 个单元的 Timer0。

2.26 实时时钟 (RTC)

实时时钟 (RTC) 是一个以 BCD 码格式保存时间信息的计数器。记录从 00 年到 99 年间的具体日历时间。支持 12/24 小时两种时制，根据月份和年份自动计算日数 28、29（闰年）、30 和 31 日。

2.27 看门狗计数器 (WDT/SWDT)

本产品有两个看门狗计数器，一种是计数时钟源为专用内部 RC (SWDTLRC: 10kHz) 的专用看门狗计数器 (SWDT)，另一种是计数时钟源为 PCLK3 的通用看门狗计数器 (WDT)。专用看门狗和通用看门狗是 16 位递减计数器，用来监测由于外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行而产生的软件故障。

两个看门狗都支持窗口功能。在计数开始前可预设窗口区间，计数值位于窗口区间时，可刷新计数器，计数重新开始。

2.28 串行通信接口 (USART)

本产品搭载通用同步异步收发器 (USART) 模块 10 个单元，能够灵活地与外部设备进行全双工数据交换；本产品搭载的 USART 支持通用异步串行通信接口 (UART)，时钟同步通信接口，智能卡接口 (ISO/IEC7816-3) 和 LIN 通信接口。支持调制解调器操作 (CTS/RTS 操作)，多处理器操作，DE 功能。与 Timer0 模块配合支持 UART 接收超时功能。USART1 支持通过 RX 线唤醒 STOP 模式功能。

具体功能分配如下：

功能特性	模块支持情况									
	USART1	USART2	USART3	USART4	USART5	USART6	USART7	USART8	USART9	USART10
UART	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
多处理器通信	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
时钟同步通信	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
RX 线唤醒 STOP 模式功能	✓	-	-	-	-	-	-	-	-	-
小数波特率	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
LIN	-	-	-	-	✓	-	-	-	-	✓
智能卡	✓	✓	✓	✓	-	✓	✓	✓	✓	-
UART 接收超时功能	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
RS485 Driver Enable	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

2.29 集成电路总线（I2C）

I2C（集成电路总线）用作微控制器和 I2C 串行总线之间的接口。提供多主模式功能，可以控制所有 I2C 总线的协议、仲裁。支持标准模式、快速模式。还支持 SMBus 总线。

I2C 主要特性:

- I2C 总线方式、SMBUS 总线方式可选。主机模式、从机模式可选。自动确保与传送速率相对于的各种准备时间、保持时间和总线空闲时间
- 标准模式最大 100kbps，快速模式最大 400kbps
- 自动生成开始条件、重新开始条件和停止条件，并能检测到总线的开始条件，重新开始条件和停止条件
- 最大支持 128 个从机模式地址。支持 7 位地址格式和 10 位地址格式。能检测到广播呼叫地址、SMBus 主机地址、SMBus 设备默认地址、SMBus 报警地址
- 发送时可以自动判定应答位。接收时可以自动发送应答位
- 握手功能
- 仲裁功能
- 超时功能，可以检测 SCL 时钟长时间停止
- SCL 输入和 SDA 输入内置数字滤波器，滤波能力可编程
- 通信错误，接收数据满，发送数据空，一帧发送结束，地址匹配一致中断
- 2 级发送 FIFO 和 2 级接收 FIFO

2.30 串行外设接口（SPI）

本产品搭载 6 个通道的串行外设接口 SPI，支持高速全双工串行同步传输，方便地与外围设备进行数据交换。用户可根据需要进行三线/四线，主机/从机及波特率范围的设置。

表 2-2 SPI 主要特性

要点	描述
串行通信功能	● 支持 4 线式 SPI 模式和 3 线式时钟同步运行模式 ● 支持全双工和只发送两种通信方式 ● 可调整通信时钟 SCK 的极性和相位
数据格式	● 可选择数据移位顺序：MSB 开始/LSB 开始 ● 可选择数据宽度：4/5/6/7/8/9/10/11/12/13/14/15/16/20/24/32 位 ● 单次最多可传送或接收 4 帧宽度为 32 位的数据
波特率	● 主机模式下可通过内置专用波特率发生器对波特率进行调整，波特率范围为 PCLK1 的 2 分频~256 分频 ● 从机模式下允许的最大波特率为 PCLK1 的 6 分频
数据缓冲	● 带有 16 字节的数据缓冲器 ● 支持双重缓冲
错误监测	● 模式故障错误监测 ● 数据过载错误监测 ● 数据欠载错误监测 ● 奇偶校验错误监测

要点	描述
片选信号控制	● 每个通道配置四根片选信号线 ● 可对片选信号和通信时钟的相对时序关系进行调整 ● 可对连续两次通信之间的片选信号无效时间进行调整 ● 极性可调
主机模式下的传输控制	● 通过将数据写入数据寄存器启动传输 ● 通信自动挂起功能
中断	● 接收缓冲器已满 ● 发送缓冲器已空 ● SPI 错误（模式/过载/欠载/奇偶校验） ● SPI 空置 ● 传输完成（仅为事件源）
低功耗控制	● 可设置模块停止
其他功能	● SPI 初始化功能

2.31 四线式串行外设接口（QSPI）

四线式串行外设接口（QSPI）是一个存储器控制模块，主要用于和带 SPI 兼容接口的串行 ROM 进行通信。其对象主要包括有串行闪存，串行 EEPROM 以及串行 FeRAM。

2.32 集成电路内置音频总线（I2S）

I2S（Inter_IC Sound Bus），集成电路内置音频总线，该总线专责于音频设备之间的数据传输。

表 2-3 I2S 主要特性

功能	主要特性
通信方式	● 支持全双工和半双工通信 ● 支持主模式或从模式操作
数据格式	● 可选通道长度：16/32 位 ● 可选传送数据长度：16/24/32 位 ● 数据移位顺序：MSB 开始
波特率	● 8 位可编程线性预分频器，可实现精确的音频采样频率 ● 支持采样频率 192kHz，96kHz，48kHz，44.1kHz，32kHz，22.05kHz，16kHz，8kHz ● 可输出驱动时钟以驱动外部音频元件，比率固定为 256*Fs（Fs 为音频采样频率）
支持 I2S 协议	● I2S Philips 标准 ● MSB 对齐标准 ● LSB 对齐标准 ● PCM 标准

功能	主要特性
数据缓冲	● 带有 4 字深，32 位宽的输入输出 FIFO 缓冲区域
时钟源	● 可使用内部 I2SCLK (PLLAR/PLLAQ/PLLAP/PLLHR/PLLHQ/PLLHP) ● 可由 I2S_EXCK 引脚上的外部时钟提供
中断	● 发送缓冲区有效空间达到报警阈值时产生中断 ● 接收缓冲区有效空间达到报警阈值时产生中断 ● 接收数据区域已满仍有写入数据请求，接收上溢 ● 发送数据区域已空仍有发送请求，发送下溢 ● 发送数据区域已满仍有写入数据请求，发送上溢

2.33 USB2.0 高速模块 (USBHS)

本产品搭载 USB2.0 高速模块 (USBHS) 1 个单元，内置片上全速 PHY，并支持 ULPI (SDR) 接口。USBHS 是一款双角色 (DRD) 控制器，同时支持从机功能和主机功能。主机模式下，USBHS 支持高速，全速和低速收发器，而从机模式下仅支持高速和全速收发器。USBHS 控制器支持 USB2.0 协议所定义的所有四种传输方式 (控制传输、批量传输、中断传输和同步传输)。该 USBHS 控制器支持 LPM (Link Power Management) 功能。

2.34 USB2.0 全速模块 (USBFS)

USB 全速 (USBFS) 控制器为便携式设备提供了一套 USB 通信解决方案。USBFS 控制器支持主机模式和设备模式，且芯片内部集成全速 PHY。主机模式下，USBFS 控制器支持全速 (FS, 12Mb/s) 和低速 (LS, 1.5Mb/s) 收发器，而设备模式下则仅支持全速 (FS, 12Mb/s) 收发器。USBFS 控制器支持 USB2.0 协议所定义的所有四种传输方式 (控制传输、批量传输、中断传输和同步传输)。该 USBFS 控制器支持 LPM (Link Power Management) 功能。

2.35 CAN FD 控制器 (CAN/MCAN)

CAN FD 控制器遵循 CAN 总线 CAN2.0 (2.0A、CAN2.0B) 和 CAN FD 协议。

CAN 总线控制器可以处理总线上的数据收发，本产品搭载 4 路 CAN FD (CAN1、CAN2、MCAN1 和 MCAN2)。

CAN1 和 CAN2 FD 控制器具有 16 组筛选器。筛选器用于为应用程序选择要接收的消息。

CAN1 和 CAN2 FD 控制器中应用程序可通过 1 个高优先级的主发送缓冲器 (Primary Transmit Buffer, 以下简称 PTB) 和 3 个辅发送缓冲器 (Secondary Transmit Buffer, 以下简称 STB) 将发送数据送至总线，由发送调度器决定邮箱发送顺序。通过 8 个接收缓冲器 (Receive Buffer, 以下简称 RB) 获取总线数据。3 个 STB 以及 8 个 RB 可以理解为一个 3 级 FIFO 和一个 8 级 FIFO，FIFO 完全由硬件控制。CAN1 和 CAN2 FD 总线控制器同时也可以支持时间触发 CAN 通信 (Time-trigger communication)。

MCAN1 和 MCAN2 FD 控制器均符合 ISO11898-1:2015 (CAN 协议规范第 2.0 版 A、B 部分) 和 CAN FD 协议规范第 1.0 版 (CAN with Flexible Data-Rate Specification Version 1.0)。

MCAN1 和 MCAN2 FD 控制器具有 4KB 的消息 RAM 存储器、可实现接收过滤器 (Rx Filter)、接收 FIFO (Rx FIFO)、接收缓冲区 (Rx Buffer)、发送事件 FIFO (Tx Event FIFO)、发送缓冲区 (Tx Buffer) 功能。该消息 RAM 在 MCAN1 和 MCAN2 模块之间共用。

2.36 以太网 MAC 控制器 (ETHMAC)

以太网 MAC 控制器 (ETHMAC) 用于在以太网网络中按照 IEEE802.3-2002 标准发送和接收数据，有多种应用领域，如交换机、网络接口卡等。该 MAC 控制器支持与外部物理层 (PHY) 相连的两个工业标准接口：介质独立接口 (MII)（在 IEEE802.3 规范中定义）和简化介质独立接口 (RMII)。

主要遵循以下协议规范：

- IEEE802.3-2002，用于以太网 MAC
- IEEE1588-2008 标准，用于规定联网时钟同步
- AMBA2.0，用于 AHB 主/从端口
- RMII 接口规范

2.37 SDIO 控制器 (SDIOC)

SDIOC 提供了一个 SD 主机接口和一个 MMC 主机接口，用于和支持 SD2.0 协议的 SD 卡，SDIO 设备以及支持 eMMC4.2 协议的 MMC 设备进行通信。本产品带有 2 个 SDIO 控制器，能够同时与 2 个 SD/MMC/SDIO 设备进行通信。

SDIOC 特点如下：

- 支持 SDSC，SDHC，SDXC 格式 SD 卡及 SDIO 设备
- 支持一线式 (1-bit) 和四线式 (4-bit) SD 总线
- 支持一线式 (1-bit)，四线式 (4-bit) 和八线式 (8-bit) MMC 总线
- SD 时钟最高 50MHz
- 具有卡识别和硬件写保护功能

2.38 外部存储器控制器 (EXMC)

外部存储器控制器 EXMC (External Memory Controller) 是一个用来访问各种片外存储器，实现数据交换的独立模块。EXMC 通过配置可以把内部的 AMBA 协议接口转换为各种类型的专用片外存储器通信协议接口，包括 SRAM、PSRAM、NOR Flash、NAND Flash 和 SDRAM 等。EXMC 内部划分为多个子模块，每个子模块支持特定的存储器类型，用户可以通过对子模块的寄存器配置来控制外部对应类型的存储器。

2.39 数字视频接口 (DVP)

数字摄像头接口 (DVP) 是一个同步并行接口，可采集从外部 CMOS 摄像头模块传入的 8 位、10 位、12 位或 14 位高速数据流。支持软件同步和硬件同步。支持对数据流的采集频率控制和窗口裁剪控制。支持单色或原始拜尔格式/YCbCr4:2:2/RGB565 逐行视频和压缩数据 (JPEG) 等不同格式的数据流采集。

2.40 加密协处理模块 (CPM)

加密协处理模块 (CPM) 包括 HASH 安全散列算法、TRNG 真随机数发生器、SKE 对称加密算法、PKE 公钥引擎四个子模块。

HASH 安全散列算法是 SHA-2 版本的 SHA-256 (Secure Hash Algorithm)，符合美国国家标准和技术局发布的国家标准“FIPS PUB 180-3”，可以对长度不超过 2^{64} 位的消息产生 256 位的消息摘要输出。

TRNG 真随机数发生器是以连续模拟噪声为基础的随机数发生器，提供 64bit 随机数。

SKE 对称加密算法模块支持如下功能：

- AES 加解密算法，支持 128、192 和 256 位密钥，遵循《FIPS PUB 197》对算法原理的描述。
- DES 加解密算法，遵循《FIPS PUB 46-3》对算法原理的描述。
- SM4 加解密算法，遵循《GMT0002-2012》对算法原理的描述。
- 支持 ECB、CBC、CTR、CFB、OFB、GCM、CCM 和 CMAC 共 8 种工作模式，并支持 GCM、CCM 和 CMAC 模式下的数据交织。

PKE 公钥引擎模块由 1 个运算模块、2 个专用 RAM 存储器构成。配合软件驱动可以实现 RSA（RSA1024/RSA2048/RSA3072/RSA4096），ECC（brainpoolp 160/brainpoolp 256/brainpoolp 512/secp 192/secp 224/secp 256/secp 384/secp 521），SM2。

2.41 CRC 计算单元（CRC）

本模块 CRC 算法遵从 ISO/IEC13239 的定义，分别采用 16 位、32 位和 64 位的 CRC。支持 CRC16/CCITT，CRC16/CCITT-FALSE，CRC16/XMODE，CRC16/IBM，CRC16/MAXIM，CRC16/USB，CRC16/MODBUS，CRC16/X25，CRC32，CRC32/MPEG-2 和 CRC64 十一种多项式计数。

2.42 数据计算单元（DCU）

数据计算单元（Data Computing Unit）是一个不借助于 CPU 的简单处理数据的模块。每个 DCU 单元具有 3 个数据寄存器，能够进行 2 个数据的加减运算和比较大小以及窗口比较功能。还可以通过定时器触发为数模转换模块（DAC）提供连续变化的数字量以产生三角波和锯齿波输出。本产品搭载 8 个 DCU 单元。

2.43 数学运算单元（MAU）

数学运算单元（MAU）是一个内含开方运算和正弦运算两种运算类型的硬件加速运算模块，支持定点数的开方和正弦运算。正弦函数支持 $360^\circ/2^{12}$ 运算精度。

2.44 滤波数学加速器（FMAC）

滤波数学加速器（FMAC）是一个 FIR 滤波计算的硬件加速模块。该模块可进行最大 16 阶，且阶数可配置的可 FIR 数字滤波。内置 16x16bits 乘法器、32+5bits 加法器，用户可自定义输出数据精度。本系列产品搭载 4 个 FMAC 模块。

2.45 错误管理单元（ERMU）

错误管理单元（ERMU）收集来自本产品安全机制的错误通知。每个错误通知可以配置为三种响应行为：系统中断、系统复位和输出至输出端口，用以通知系统进行进一步错误处理操作。

2.46 调试控制器（DBGC）

本 MCU 的内核是 Cortex-M4，该内核包含用于高级调试功能的硬件，支持嵌入式跟踪宏单元（ETM）。利用这些调试功能，可以在取指（指令断点）或访问数据（数据断点）时停止内核。内核停止时，可以查询内核的内部状态和系统的外部状态。查询完成后，将恢复内核和系统并恢复程序执行。

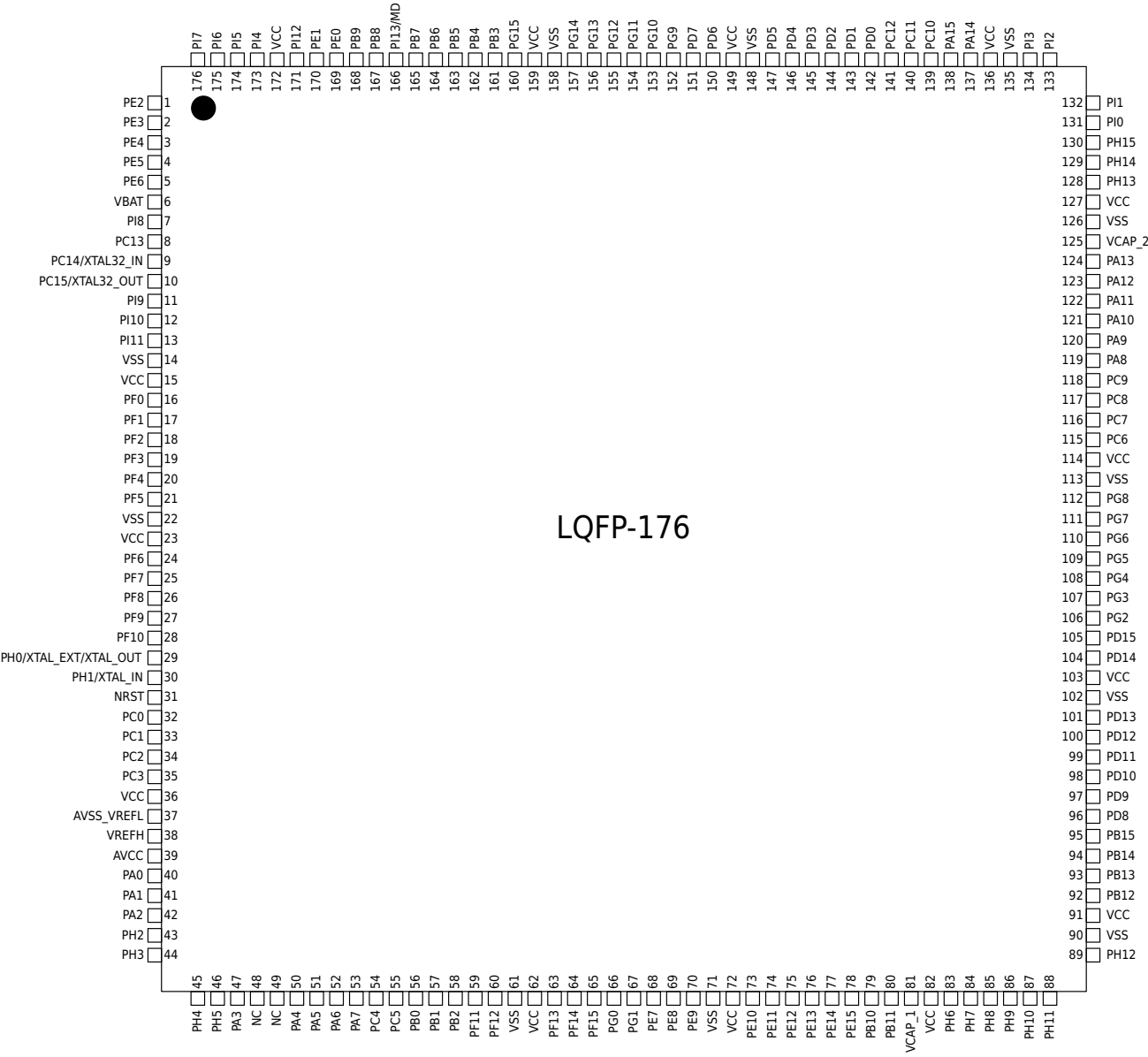
提供两个调试接口：

- 串行调试跟踪接口 SWD
- 并行调试跟踪接口 JTAG

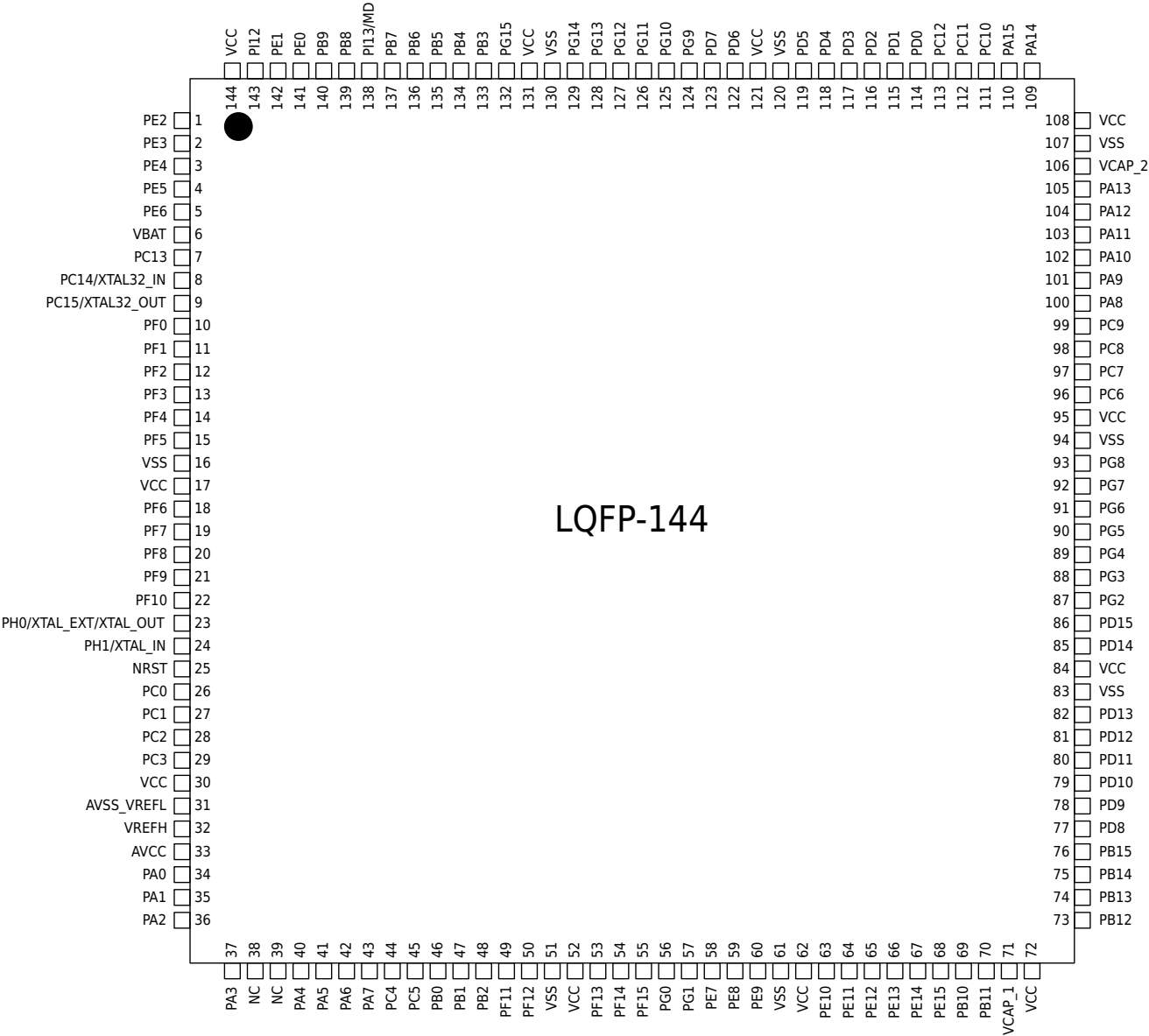
3 引脚配置及功能

3.1 引脚配置图

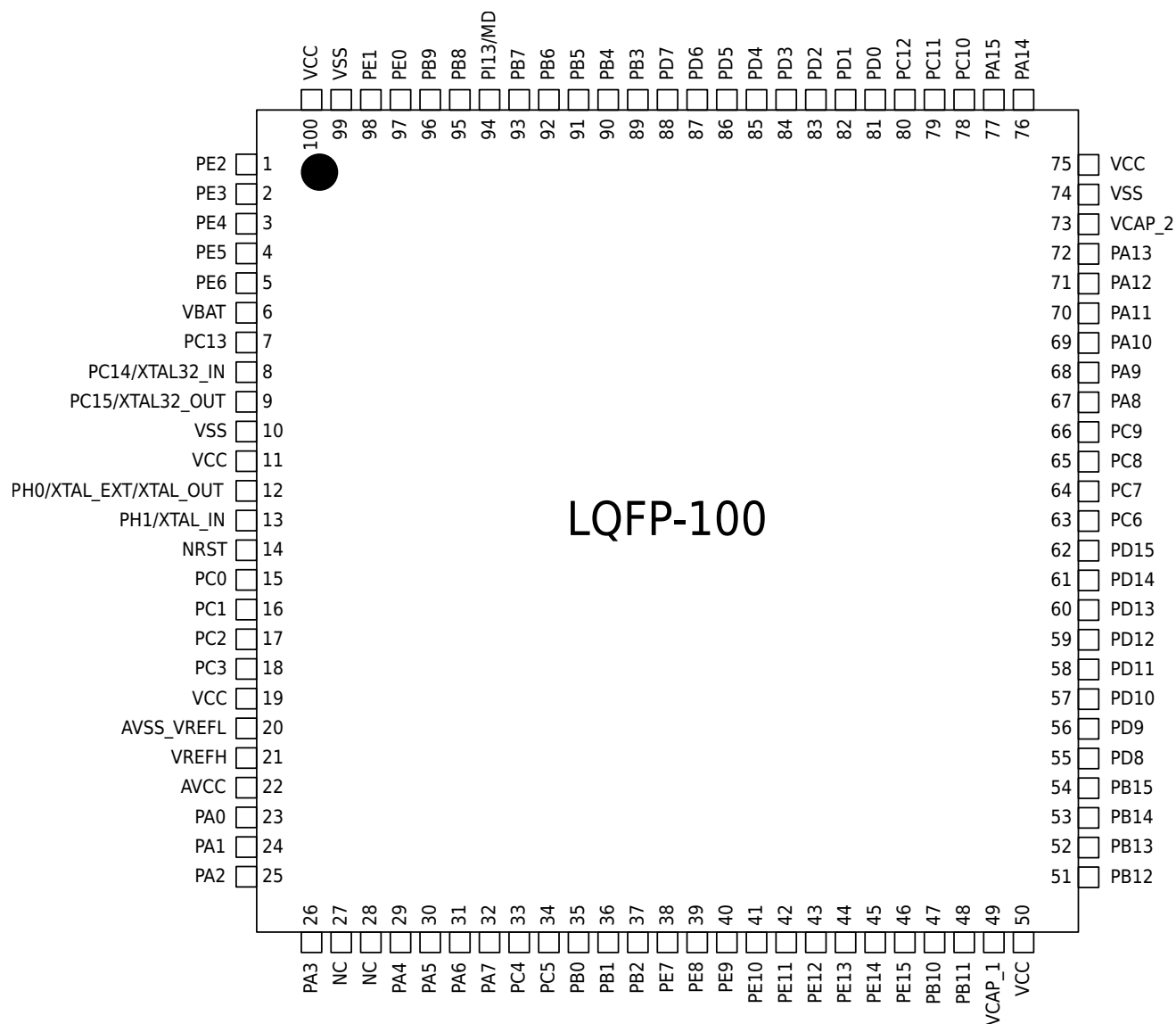
3.1.1 LQFP176 封装



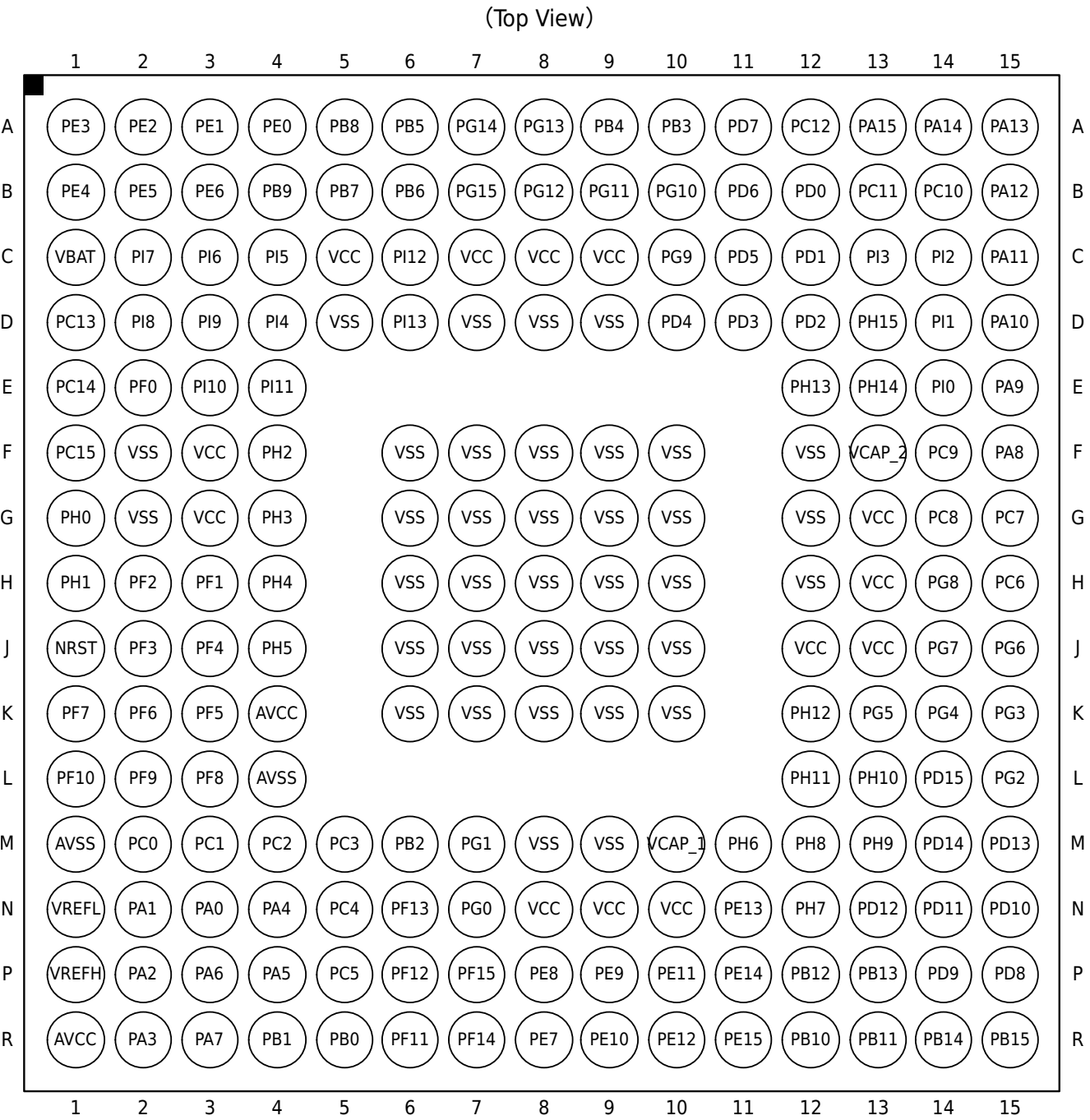
3.1.2 LQFP144 封装



3.1.3 LQFP100 封装



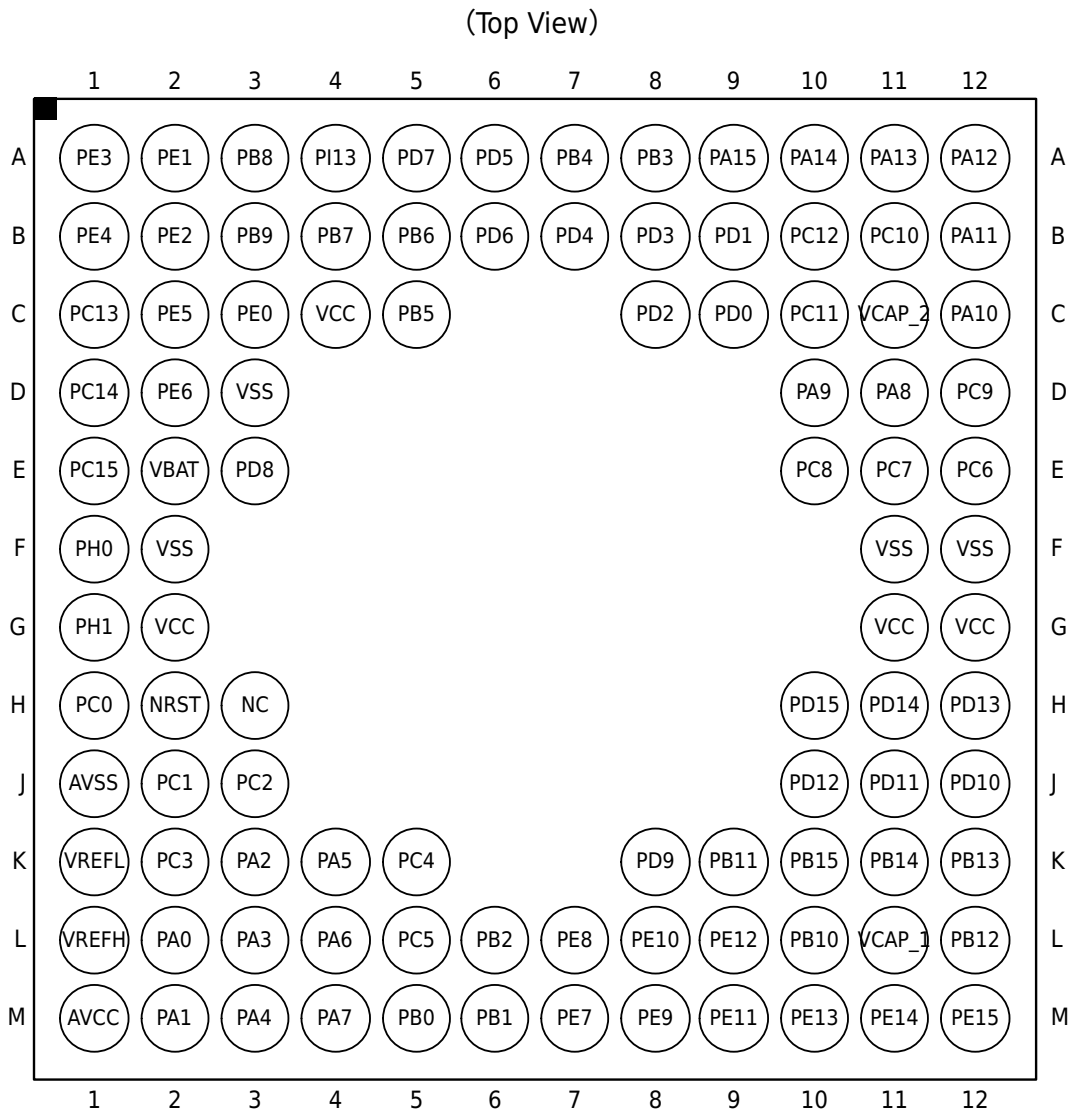
3.1.4 VFBGA176 封装



说明

A1 为 Pin1。

3.1.5 VFBGA100 封装



说明

A1 为 Pin1。

3.2 引脚功能表

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3	
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTP T	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLUJ_IN	PLUJ_OUT	Func Group	
1	1	1	A2	B2	PE2		EIRQ2	TRACECLK	GPO	FCMREF	TMR4_3_ ADSM		TMRA_9_ PWM1/ TMRA_9_ CLKA		TMRA_4_ TRIG	USART3_ CK				ETH_MII_ TXD3	EXMC_A DD23			EVENTO UT		I2S3_MC K					PLU0_IN A	PLU0_O UT	FG2	
2	2	2	A1	A1	PE3		EIRQ3	TRACED0	GPO				TMRA_9_ PWM2/ TMRA_9_ CLKB	TMRA_4_ PWM1/ TMRA_4_ CLKA		USART6_ CK				ETH_MII_ RMII_TX EN	EXMC_A DD19			EVENTO UT	TMR2_1_ CLKA	I2S4_SD S0	SPI2_NS S0				PLU0_IN B	PLU1_O UT	FG2	
3	3	3	B1	B1	PE4		EIRQ4	TRACED1	GPO				TMRA_9_ PWM3	TMRA_4_ PWM2/ TMRA_4_ CLKB		USART6_ CTS					EXMC_A DD20	DVP_DA TA4		EVENTO UT	TMR2_1_ CLKB			SPI4_NS S0			PLU0_IN C	PLU2_O UT	FG2	
4	4	4	B2	C2	PE5			TRACED2	GPO	CTCREF			TMRA_9_ PWM4	TMRA_4_ PWM3		USART6_ RTS/ USART6_ DE	TMR6_1_ PWMZ					EXMC_A DD21	DVP_DA TA6		EVENTO UT	TMR2_1_ PWMA/ TMR2_1_ TRIGA						PLU0_IN D	PLU3_O UT	FG2
5	5	5	B3	D2	PE6		EIRQ6	TRACED3	GPO				TMRA_4_ PWM4	TMRA_9_ TRIG								EXMC_A DD22	DVP_DA TA7		EVENTO UT	TMR2_1_ PWMB/ TMR2_1_ TRIGB						PLU1_IN A	PLU0_O UT	FG2
6	6	6	C1	E2	VBAT																													
7	-	-	D2	-	PI8	RTC_IC1	EIRQ8		GPO															EVENTO UT										
8	7	7	D1	C1	PC13	RTC_IC0	EIRQ13 +WKUP3_1		GPO	RTC_OUT			TMRA_1 0_PWM4					SDIO2_C K						EVNTP3 13	EVENTO UT		I2S3_MC K							
9	8	8	E1	D1	PC14	XTAL32_IN	EIRQ14		GPO				TMRA_1 0_PWM1 / TMRA_1 0_CLKA										EVNTP3 14	EVENTO UT										
10	9	9	F1	E1	PC15	XTAL32_OUT	EIRQ15		GPO				TMRA_1 0_PWM2 / TMRA_1 0_CLKB										EVNTP3 15	EVENTO UT										
11	-	-	D3	-	PI9		EIRQ9		GPO						TMRA_6_ TRIG							EXMC_D ATA30			EVENTO UT							PLU1_IN B	PLU1_O UT	FG3
12	-	-	E3	-	PI10		EIRQ10		GPO				TMRA_6_ PWM3				TMR6_2_ PWMZ			ETH_MII_ RMII_RX ER	EXMC_D ATA31			EVENTO UT							PLU1_IN C	PLU2_O UT	FG3	
13	-	-	E4	-	PI11		EIRQ11		GPO				TMRA_6_ PWM4				TMR6_3_ PWMZ		USBHS_ ULPI_DIR					EVENTO UT					EXMC_N FC_CE6	PLU1_IN D	PLU3_O UT	FG3		
14	-	-	F2	F2	VSS																													
15	-	-	F3	G2	VCC																													

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTPT	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLUJ_IN	PLUJ_OUT	Func Group	
16	10	-	E2	-	PF0		EIRQ0		GPO	MCO_1				TMRA_1 1_PWM1 / TMRA_1 1_CLKA		USART1 0_CK					EXMC_A DD0			EVENTO UT			SPI3_NS S1				PLU2_IN A	PLU0_O UT	FG3
17	11	-	H3	-	PF1		EIRQ1		GPO					TMRA_1 1_PWM2 / TMRA_1 1_CLKB		USART1 0_CTS					EXMC_A DD1			EVENTO UT			SPI3_NS S2				PLU2_IN B	PLU1_O UT	FG3
18	12	-	H2	-	PF2		EIRQ2		GPO					TMRA_1 1_PWM3		USART1 0_RTS/ USART1 0_DE	TMR6_4_ PWMZ				EXMC_A DD2			EVENTO UT			SPI3_NS S3				PLU2_IN C	PLU2_O UT	FG3
19	13	-	J2	-	PF3	ADC3_IN 9	EIRQ3		GPO					TMRA_1 1_PWM4			TMR6_1_ PWMZ				EXMC_A DD3			EVENTO UT	TMR2_3_ CLKA		SPI4_NS S1				PLU2_IN D	PLU3_O UT	FG3
20	14	-	J3	-	PF4	ADC3_IN 14	EIRQ4		GPO						TMRA_1 1_TRIG						EXMC_A DD4			EVENTO UT	TMR2_3_ CLKB		SPI4_NS S2				PLU3_IN A	PLU0_O UT	FG3
21	15	-	K3	-	PF5	ADC3_IN 15	EIRQ5		GPO						TMRA_1 0_TRIG						EXMC_A DD5			EVENTO UT			SPI4_NS S3				PLU3_IN B	PLU1_O UT	FG3
22	16	10	G2	-	VSS																												
23	17	11	G3	-	VCC																												
24	18	-	K2	-	PF6	ADC3_IN 4	EIRQ6		GPO				TMRA_1 0_PWM1 / TMRA_1 0_CLKA								EXMC_R B2			EVENTO UT	TMR2_3_ PWMA/ TMR2_3_ TRIGA			SPI5_NS S0	USART7_ RX		PLU3_IN C	PLU2_O UT	FG3
25	19	-	K1	-	PF7	ADC3_IN 5	EIRQ7		GPO				TMRA_1 0_PWM2 / TMRA_1 0_CLKB								EXMC_R B3			EVENTO UT	TMR2_3_ PWMB/ TMR2_3_ TRIGB	I2S4_MC K		SPI5_SC K	USART7_ TX		PLU3_IN D	PLU3_O UT	FG3
26	20	-	L3	-	PF8	ADC3_IN 6	EIRQ8		GPO				TMRA_1 0_PWM3				TMR6_2_ PWMZ				EXMC_R B4			EVENTO UT	TMR2_4_ PWMA/ TMR2_4_ TRIGA			SPI5_MIS O			PLU0_IN A	PLU0_O UT	FG3
27	21	-	L2	-	PF9	ADC3_IN 7	EIRQ9		GPO				TMRA_1 0_PWM4				TMR6_3_ PWMZ				EXMC_R B5	DVP_PIX CLK		EVENTO UT	TMR2_4_ PWMB/ TMR2_4_ TRIGB			SPI5_MO SI			PLU0_IN B	PLU1_O UT	FG3
28	22	-	L1	-	PF10	ADC3_IN 8	EIRQ10		GPO								TMR6_4_ PWMZ				EXMC_R B6	DVP_DA TA11		EVENTO UT							PLU0_IN C	PLU2_O UT	FG3
29	23	12	G1	F1	PH0	XTAL_EX T/ XTAL_OU T	EIRQ0		GPO					TMRA_5_ PWM3										EVENTO UT									
30	24	13	H1	G1	PH1	XTAL_IN	EIRQ1		GPO					TMRA_5_ PWM4										EVENTO UT									
31	25	14	J1	H2	NRST																												

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTPT	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	
32	26	15	M2	H1	PC0	ADC123 _IN10+C MP3_INP 4	EIRQ0		GPO				TMRA_8_ PWM1/ TMRA_8_ CLKA		TMRA_1_ TRIG			SDIO2_D 5	USBHS_ ULPI_ST P		EXMC_W E	ERMU_E OUT0C	EVNTP3 00	EVENTO UT	TMR2_4_ PWMA/ TMR2_4_ TRIGA	I2S1_EX CK				EXMC_D MC_WE	PLU0_IN D	PLU3_O UT	FG3
33	27	16	M3	J2	PC1	ADC123 _IN11	EIRQ1	ERMU_E OUT0M	GPO				TMRA_8_ PWM2/ TMRA_8_ CLKB		TMRA_1_ TRIG			SDIO2_D 6		ETH_SMI _MDC			EVNTP3 01	EVENTO UT	TMR2_4_ PWMB/ TMR2_4_ TRIGB	I2S1_MC K					PLU1_IN A	PLU0_O UT	FG3
34	28	17	M4	J3	PC2	ADC123 _IN12	EIRQ2		GPO		TMR4_2_ ADSM	TMR6_8_ PWMA	TMRA_8_ PWM3		EMB_IN2			SDIO2_D 7	USBHS_ ULPI_DIR	ETH_MII_ TXD2	EXMC_C E0	ERMU_E OUT1M	EVNTP3 02	EVENTO UT	TMR2_4_ CLKA	I2S1_SDI N		SPI2_MIS O		EXMC_D MC_CS0	PLU1_IN B	PLU1_O UT	FG3
35	29	18	M5	K2	PC3	ADC123 _IN13+C MP1_IN M4	EIRQ3		GPO		TMR4_2_ PCT	TMR6_8_ PWMB	TMRA_8_ PWM4					SDIO1_ WP	USBHS_ ULPI_NX T	ETH_MII_ TXCLK	EXMC_A LE	ERMU_E OUT1C	EVNTP3 03	EVENTO UT	TMR2_4_ CLKB			SPI2_MO SI		EXMC_D MC_CKE	PLU1_IN C	PLU2_O UT	FG3
36	30	19	-	-	VCC																												
-	-	-	-	-	VSS																												
-	-	-	L4	J1	AVSS																												
37	31	20	M1	-	AVSS_VR EFL																												
-	-	-	N1	K1	VREFL																												
38	32	21	P1	L1	VREFH																												
39	33	22	R1	M1	AVCC																												
-	-	-	K4	-	AVCC																												
40	34	23	N3	L2	PA0	ADC123 _IN0+PG A1	EIRQ0+		GPO		TMR4_2_ OUH	TMR6_T RIGC	TMRA_2_ PWM1/ TMRA_2_ CLKA	TMRA_2_ TRIG	TMRA_5_ PWM1/ TMRA_5_ CLKA	USART5_ CTS	TMR6_1_ PWMZ	SDIO2_D 4		ETH_MII_ CRS		ERMU_E OUT2M	EVNTP1 00	EVENTO UT	TMR4_2_ CLK		SPI5_NS S1		USART2_ CTS		PLU1_IN D	PLU3_O UT	FG2
41	35	24	N2	M2	PA1	ADC123 _IN1+PG A2	EIRQ1		GPO		TMR4_2_ OUL		TMRA_2_ PWM2/ TMRA_2_ CLKB	TMRA_3_ TRIG	TMRA_5_ PWM2/ TMRA_5_ CLKB	USART5_ RTS/ USART5_ DE		SDIO2_D 5		ETH_MII_ RMII_RX CLK		ERMU_E OUT2C	EVNTP1 01	EVENTO UT	TMR2_1_ CLKA		SPI5_NS S2		USART2_ RTS/ USART2_ DE		PLU2_IN A	PLU0_O UT	FG2
42	36	25	P2	K3	PA2	ADC123 _IN2+PG A3	EIRQ2		GPO		TMR4_2_ OVH	TMR6_6_ PWMA	TMRA_2_ PWM3	TMRA_5_ PWM2/ TMRA_5_ CLKA	TMRA_5_ PWM3			SDIO2_D 6		ETH_SMI _MDIO		ERMU_E OUT3M	EVNTP1 02	EVENTO UT	TMR2_1_ PWMA/ TMR2_1_ TRIGA		SPI5_NS S3		USART2_ TX		PLU2_IN B	PLU1_O UT	FG2
43	-	-	F4	-	PH2	ADC3_IN 16	EIRQ2		GPO	FCMREF	TMR4_2_ CLK	TMR6_T RIGB	TMRA_1 0_PWM3		EMB_IN3		TMR6_1_ PWMZ	SDIO2_D 4		ETH_MII_ CRS	EXMC_A LE			EVENTO UT		I2S3_EX CK				EXMC_D MC_CKE	PLU2_IN C	PLU2_O UT	FG2
44	-	-	G4	-	PH3	ADC3_IN 17	EIRQ3		GPO								TMR6_2_ PWMZ			ETH_MII_ COL	EXMC_C E0			EVENTO UT						EXMC_D MC_CS1	PLU2_IN D	PLU3_O UT	FG2
45	-	-	H4	-	PH4	ADC3_IN 18	EIRQ4		GPO								TMR6_3_ PWMZ		USBHS_ ULPI_NX T					EVENTO UT						EXMC_N FC_CE7	PLU3_IN A	PLU0_O UT	FG2
46	-	-	J4	-	PH5	ADC3_IN 19	EIRQ5	ERMU_E OUT0M	GPO								TMR6_4_ PWMZ				EXMC_W E			EVENTO UT	TMR2_1_ CLKB		SPI5_NS S0			EXMC_D MC_WE	PLU3_IN B	PLU1_O UT	FG2
47	37	26	R2	L3	PA3	ADC123 _IN3+PG A123_VS S+CMPI _INP4	EIRQ3		GPO		TMR4_2_ OVL	TMR6_6_ PWMB	TMRA_2_ PWM4	TMRA_5_ PWM2/ TMRA_5_ CLKB	TMRA_5_ PWM4			SDIO2_D 7	USBHS_ ULPI_D0	ETH_MII_ COL		ERMU_E OUT3C	EVNTP1 03	EVENTO UT	TMR2_1_ PWMB/ TMR2_1_ TRIGB				USART2_ RX		PLU3_IN C	PLU2_O UT	FG2
-	-	-	M8	-	VSS																												

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB, TM R6, TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS, U SBHS, T MR2	ETH	EXMC, U SBHS	DVP, ER MU	EVNTPT	EVENTO UT	TMR2, T MR4	I2S	SPI, QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	
48	38	27	-	-	NC																												
49	39	28	-	-	NC																												
50	40	29	N4	M3	PA4	ADC12_I N4+DAC 1_OUT1 +CMP2_I NP3	EIRQ4		GPO		TMR4_2_ OWH	TMR6_7_ PWMA		TMRA_9_ PWM1/ TMRA_9_ CLKA	TMRA_8_ TRIG	USART5_ CK	KEYOUT 0				USBHS_ SOF	DVP_HS YNC	EVNTP1 04	EVENTO UT	TMR2_4_ CLKA	I2S1_EX CK		SPI1_NS S0	USART2_ CK		PLU3_IN D	PLU3_O UT	FG1
51	41	30	P4	K4	PA5	ADC12_I N5+DAC 1_OUT2 +CMP2_I NP4	EIRQ5	ERMU_E OUT0M	GPO		TMR4_2_ OWL	TMR6_7_ PWMB	TMRA_2_ PWM1/ TMRA_2_ CLKA	TMRA_9_ PWM2/ TMRA_9_ CLKB	TMRA_2_ TRIG		KEYOUT 1		USBHS_ ULPI_CL K				EVNTP1 05	EVENTO UT	TMR4_2_ OUL	I2S1_MC K					PLU0_IN A	PLU0_O UT	FG1
52	42	31	P3	L4	PA6	ADC12_I N6+PGA 4+CMP1 _INP2	EIRQ6		GPO					TMRA_3_ PWM1/ TMRA_3_ CLKA	EMB_IN1		KEYOUT 2	SDIO1_C MD	TMR2_4_ PWMA/ TMR2_4_ TRIGA		EXMC_A DD26	DVP_PIX CLK	EVNTP1 06	EVENTO UT	TMR2_4_ CLKB						PLU0_IN B	PLU1_O UT	FG1
53	43	32	R3	M4	PA7	ADC12_I N7+PGA 4_VSS+ CMP123 _INM3	EIRQ7		GPO		TMR4_1_ OUL	TMR6_1_ PWMB	TMRA_7_ PWM1/ TMRA_7_ CLKA	TMRA_3_ PWM2/ TMRA_3_ CLKB	EMB_IN2		KEYOUT 3	SDIO2_ WP	TMR2_4_ PWMB/ TMR2_4_ TRIGB	ETH_MII_ RMII_RX DV	EXMC_A DD27		EVNTP1 07	EVENTO UT	TMR4_2_ OUL						PLU0_IN C	PLU2_O UT	FG1
54	44	33	N5	K5	PC4	ADC12_I N14+DA C2_OUT 1+CMP2 _INM4	EIRQ4		GPO		TMR4_2_ OUH	TMR6_5_ PWMA		TMRA_9_ PWM3	TMRA_7_ TRIG	USART1_ CK		SDIO2_C D		ETH_MII_ RMII_RX D0	EXMC_A DD28	ERMU_E OUT0C	EVNTP3 04	EVENTO UT	TMR2_4_ PWMA/ TMR2_4_ TRIGA		SPI1_NS S1				PLU0_IN D	PLU3_O UT	FG1
55	45	34	P5	L5	PC5	ADC12_I N15+DA C2_OUT 2+CMP3 _INM4	EIRQ5		GPO		TMR4_2_ OUL	TMR6_5_ PWMB		TMRA_9_ PWM4	EMB_IN0			SDIO2_C MD		ETH_MII_ RMII_RX D1		ERMU_E OUT1M	EVNTP3 05	EVENTO UT	TMR2_4_ PWMB/ TMR2_4_ TRIGB		SPI1_NS S2				PLU1_IN A	PLU0_O UT	FG1
56	46	35	R5	M5	PB0	ADC12_I N8+CMP 3_INP2	EIRQ0		GPO		TMR4_1_ OVL	TMR6_3_ PWMB	TMRA_7_ PWM2/ TMRA_7_ CLKB	TMRA_3_ PWM3		USART4_ CK	KEYOUT 4	SDIO2_C MD	USBHS_ ULPI_D1	ETH_MII_ RXD2		ERMU_E OUT1C	EVNTP2 00	EVENTO UT	TMR4_2_ OVL		SPI1_NS S3				PLU1_IN B	PLU1_O UT	FG1
57	47	36	R4	M6	PB1	ADC12_I N9+CMP 3_INP3	EIRQ1+ WKUP0_ 1		GPO		TMR4_1_ OWL	TMR6_3_ PWMB	TMRA_7_ PWM3	TMRA_3_ PWM4			KEYOUT 5	SDIO2_D 3	USBHS_ ULPI_D2	ETH_MII_ RXD3			EVNTP2 01	EVENTO UT	TMR4_2_ OWL	I2S2_EX CK	QSPI_NS S				PLU1_IN C	PLU2_O UT	FG1
58	48	37	M6	L6	PB2	PVD2EXI NP	EIRQ2+ WKUP0_ 2		GPO	CMP_VC OUT		TMR6_T RIGB	TMRA_7_ PWM4	TMRA_9_ TRIG	EMB_IN0	USART2_ CK	TMR6_2_ PWMZ	SDIO2_D 2			EXMC_C LE	DVP_PIX CLK	EVNTP2 02	EVENTO UT		I2S2_MC K	QSPI_IO 3			EXMC_D MC_AP	PLU1_IN D	PLU3_O UT	FG1
59	49	-	R6	-	PF11		EIRQ11		GPO		TMR4_2_ PCT		TMRA_4_ PWM1/ TMRA_4_ CLKA			USART2_ CTS					EXMC_O E	DVP_DA TA12		EVENTO UT				SPI5_MO SI		EXMC_D MC_RAS	PLU2_IN A	PLU0_O UT	FG1
60	50	-	P6	-	PF12		EIRQ12		GPO		TMR4_2_ ADSM		TMRA_4_ PWM2/ TMRA_4_ CLKB			USART2_ RTS/ USART2_ DE					EXMC_A DD6			EVENTO UT							PLU2_IN B	PLU1_O UT	FG1
61	51	-	-	F11	VSS																												
62	52	-	N8	G11	VCC																												

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTPT	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	
63	53	-	N6	-	PF13		EIRQ13		GPO			TMR6_1_ PWMA	TMRA_4_ PWM3		TMRA_1 0_TRIG						EXMC_A DD7			EVENTO UT			SPI6_NS S3				PLU2_IN C	PLU2_O UT	FG2
64	54	-	R7	-	PF14		EIRQ14		GPO			TMR6_1_ PWMB	TMRA_4_ PWM4								EXMC_A DD8			EVENTO UT			SPI6_NS S2				PLU2_IN D	PLU3_O UT	FG2
65	55	-	P7	-	PF15		EIRQ15		GPO			TMR6_2_ PWMA			TMRA_1 2_TRIG	USART7_ RTS/ USART7_ DE					EXMC_A DD9			EVENTO UT			SPI6_NS S1				PLU3_IN A	PLU0_O UT	FG2
66	56	-	N7	-	PG0		EIRQ0		GPO			TMR6_2_ PWMB		TMRA_1 2_PWM3		USART7_ CTS					EXMC_A DD10			EVENTO UT							PLU3_IN B	PLU1_O UT	FG2
67	57	-	M7	-	PG1		EIRQ1		GPO			TMR6_T RIGA		TMRA_1 2_PWM4		USART7_ CK	TMR6_5_ PWMZ				EXMC_A DD11			EVENTO UT							PLU3_IN C	PLU2_O UT	FG2
68	58	38	R8	M7	PE7		EIRQ7		GPO	ADC1_A CLK	TMR4_1_ RIGB	TMR6_T RIGB	TMRA_1_ TRIG	TMRA_3_ PWM3		USART1_ CK	TMR6_3_ PWMZ				EXMC_D ATA4			EVENTO UT			SPI4_NS S1				PLU3_IN D	PLU3_O UT	FG2
69	59	39	P8	L7	PE8		EIRQ8		GPO	CTCREF	TMR4_1_ OUL	TMR6_1_ PWMB	TMRA_7_ PWM1/ TMRA_7_ CLKA	TMRA_3_ PWM4							EXMC_D ATA5			EVENTO UT			SPI4_NS S2				PLU0_IN A	PLU0_O UT	FG2
70	60	40	P9	M8	PE9		EIRQ9		GPO	ADC3_A DTRG	TMR4_1_ OUH	TMR6_1_ PWMA	TMRA_1_ PWM1/ TMRA_1_ CLKA								EXMC_D ATA6			EVENTO UT			SPI4_NS S3				PLU0_IN B	PLU1_O UT	FG2
71	61	-	M9	-	VSS																												
72	62	-	N9	-	VCC																												
73	63	41	R9	L8	PE10	CMP1_IN P3	EIRQ10		GPO		TMR4_1_ OVL	TMR6_2_ PWMB	TMRA_7_ PWM2/ TMRA_7_ CLKB		TMRA_3_ TRIG						EXMC_D ATA7			EVENTO UT							PLU0_IN C	PLU2_O UT	FG3
74	64	42	P10	M9	PE11		EIRQ11		GPO		TMR4_1_ OVH	TMR6_2_ PWMA	TMRA_1_ PWM2/ TMRA_1_ CLKB	TMRA_3_ PWM1/ TMRA_3_ CLKA					USBHS_ ULPI_D7		EXMC_D ATA8			EVENTO UT							PLU0_IN D	PLU3_O UT	FG3
75	65	43	R10	L9	PE12	CMP4_IN M3	EIRQ12		GPO		TMR4_1_ OWL	TMR6_3_ PWMB	TMRA_7_ PWM3	TMRA_3_ PWM2/ TMRA_3_ CLKB					USBHS_ ULPI_CL K		EXMC_D ATA9			EVENTO UT	TMR2_2_ CLKA		SPI1_NS S1				PLU1_IN A	PLU0_O UT	FG3
76	66	44	N11	M10	PE13	CMP4_IN M4	EIRQ13		GPO		TMR4_1_ OWH	TMR6_3_ PWMA	TMRA_1_ PWM3	TMRA_3_ PWM3					USBHS_ ULPI_D0		EXMC_D ATA10			EVENTO UT	TMR2_2_ CLKB	I2S4_SDI N	SPI1_NS S2				PLU1_IN B	PLU1_O UT	FG3
77	67	45	P11	M11	PE14	CMP4_IN P3	EIRQ14		GPO		TMR4_1_ CLK	TMR6_4_ PWMA	TMRA_1_ PWM4	TMRA_3_ PWM4				SDIO1_C D	USBHS_ ULPI_D1		EXMC_D ATA11			EVENTO UT	TMR2_2_ PWMA/ TMR2_2_ TRIGA	I2S4_EX CK	SPI1_NS S3				PLU1_IN C	PLU2_O UT	FG3
78	68	46	R11	M12	PE15	CMP4_IN P4	EIRQ15		GPO		TMR4_1_ PCT	TMR6_T RIGA	TMRA_7_ PWM4	TMRA_5_ TRIG	EMB_IN1	USART1 0_CK	TMR6_4_ PWMZ	SDIO1_ WP	USBHS_ ULPI_D2		EXMC_D ATA12			EVENTO UT	TMR2_2_ PWMB/ TMR2_2_ TRIGB	I2S4_MC K					PLU1_IN D	PLU3_O UT	FG3
79	69	47	R12	L10	PB10		EIRQ10		GPO	ADC2_A DTRG	TMR4_2_ OVH	TMR6_4_ PWMB	TMRA_2_ PWM3	TMRA_1 1_PWM4				SDIO1_D 7	USBHS_ ULPI_D3	ETH_MII_ RMII_RX ER			EVNTP2 10	EVENTO UT		I2S3_EX CK	QSPI_IO 2	SPI2_SC K			PLU2_IN A	PLU0_O UT	FG3

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTP2 11	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	Func Group
80	70	48	R13	K9	PB11		EIRQ11		GPO		TMR4_1_ ADSM		TMRA_2_ PWM4		EMB_IN1		TMR6_7_ PWMZ		USBHS, ULPI_D4	ETH_MII_ RMII_TX EN		EVNTP2 11	EVENTO UT							PLU2_IN B	PLU1_O UT	FG3	
81	71	49	M10	L11	VCAP_1																												
-	-	-	-	-	VSS																												
82	72	50	N10	-	VCC																												
83	-	-	M11	-	PH6		EIRQ6		GPO				TMRA_2_ PWM3			USART5_ CTS	TMR6_3_ PWMZ			ETH_MII_ RXD2	EXMC_C E1	DVP_DA TA8		EVENTO UT	TMR2_2_ PWMA/ TMR2_2_ TRIGA					EXMC_D MC_CS2	PLU2_IN C	PLU2_O UT	FG2
84	-	-	N12	-	PH7		EIRQ7		GPO				TMRA_2_ PWM2/ TMRA_2_ CLKB			USART5_ RTS/ USART5_ DE			ETH_MII_ RXD3	EXMC_A LE	DVP_DA TA9		EVENTO UT						EXMC_D MC_CKE	PLU2_IN D	PLU3_O UT	FG2	
85	-	-	M12	-	PH8		EIRQ8		GPO			TMR6_3_ PWMA	TMRA_2_ PWM3			USART5_ CK					EXMC_D ATA16	DVP_HS YNC		EVENTO UT			SPI5_NS S0			PLU3_IN A	PLU0_O UT	FG2	
86	-	-	M13	-	PH9		EIRQ9		GPO			TMR6_3_ PWMB	TMRA_2_ PWM4								EXMC_D ATA17	DVP_DA TA0		EVENTO UT	TMR2_2_ PWMB/ TMR2_2_ TRIGB		SPI5_NS S1			PLU3_IN B	PLU1_O UT	FG2	
87	-	-	L13	-	PH10		EIRQ10		GPO			TMR6_4_ PWMA	TMRA_5_ PWM1/ TMRA_5_ CLKA								EXMC_D ATA18	DVP_DA TA1		EVENTO UT			SPI5_NS S2			PLU3_IN C	PLU2_O UT	FG2	
88	-	-	L12	-	PH11		EIRQ11		GPO			TMR6_4_ PWMB	TMRA_5_ PWM2/ TMRA_5_ CLKB								EXMC_D ATA19	DVP_DA TA2		EVENTO UT			SPI5_NS S3			PLU3_IN D	PLU3_O UT	FG2	
89	-	-	K12	-	PH12		EIRQ12		GPO				TMRA_5_ PWM3				TMR6_4_ PWMZ				EXMC_D ATA20	DVP_DA TA3		EVENTO UT						PLU0_IN A	PLU0_O UT	FG2	
90	-	-	H12	F12	VSS																												
91	-	-	J12	G12	VCC																												
92	73	51	P12	L12	PB12		EIRQ12		GPO	CMP1_V COUT	TMR4_2_ OVL	TMR6_T RIGB	TMRA_7_ PWM4	TMRA_5_ TRIG	EMB_IN1	USART3_ CK	TMR6_5_ PWMZ	SDIO2_D 1	USBHS_ ULPI_D5	ETH_MII_ RMII_TX D0	USBHS_I D	ERMU_E OUT2M	EVNTP2 12	EVENTO UT		I2S3_MC K	QSPI_IO 1	SPI2_NS S0			PLU0_IN B	PLU1_O UT	FG1
93	74	52	P13	K12	PB13		EIRQ13		GPO	CMP2_V COUT	TMR4_1_ OUL	TMR6_1_ PWMB	TMRA_7_ PWM1/ TMRA_7_ CLKA			USART3_ CTS		SDIO2_D 0	USBHS_ ULPI_D6	ETH_MII_ RMII_TX D1	USBHS_ VBUS	ERMU_E OUT2C	EVNTP2 13	EVENTO UT			QSPI_IO 0			PLU0_IN C	PLU2_O UT	FG1	
94	75	53	R14	K11	PB14	USBHS_ DM	EIRQ14		GPO	CMP3_V COUT	TMR4_1_ OVL	TMR6_2_ PWMB	TMRA_7_ PWM2/ TMRA_7_ CLKB			USART3_ RTS/ USART3_ DE		SDIO1_D 6	TMR2_2_ PWMA/ TMR2_2_ TRIGA			EVNTP2 14	EVENTO UT	TMRA4_2_ OVL	I2S1_SDI N	QSPI_SC K				PLU0_IN D	PLU3_O UT	FG1	
95	76	54	R15	K10	PB15	USBHS_ DP	EIRQ15		GPO	RTC_OU T	TMR4_1_ OWL	TMR6_3_ PWMB	TMRA_7_ PWM3	TMRA_6_ TRIG	EMB_IN3	USART3_ CK		SDIO1_C K	TMR2_2_ PWMB/ TMR2_2_ TRIGB				EVNTP2 15	EVENTO UT	TMRA4_2_ OWL					PLU1_IN A	PLU0_O UT	FG1	

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3	
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTP T	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	Func Group	
96	77	55	P15	E3	PD8		EIRQ8		GPO	CMP4_V COUT	TMR4_3_ OUL	TMR6_1_ PWMB		TMRA_6_ PWM1/ TMRA_6_ CLKA		USART1_ CTS	KEYOUT 7		USBHS_ DRVVBUS		EXMC_D ATA13		EVNTP4 08	EVENTO UT	TMR2_2_ CLKA		QSPI_IO 0				PLU1_IN B	PLU1_O UT	FG1	
97	78	56	P14	K8	PD9		EIRQ9		GPO	CMP3_V COUT	TMR4_3_ OVL	TMR6_2_ PWMB	TMRA_2_ PWM1/ TMRA_6_ CLKA	TMRA_6_ PWM2/ TMRA_6_ CLKB	EMB_IN2	USART1_ RTS/ USART1_ DE	KEYOUT 6		USBHS_ ULPI_D4		EXMC_D ATA14		EVNTP4 09	EVENTO UT	TMR2_2_ CLKB		QSPI_IO 1				PLU1_IN C	PLU2_O UT	FG1	
98	79	57	N15	J12	PD10		EIRQ10		GPO	CAN2_T ST_SAMP LE	TMR4_3_ OWL	TMR6_3_ PWMB	TMRA_2_ PWM2/ TMRA_2_ CLKB	TMRA_6_ PWM3		USART3_ CK	KEYOUT 5				EXMC_D ATA15		EVNTP4 10	EVENTO UT	TMR2_2_ PWMA/ TMR2_2_ TRIGA	I2S2_EX CK	QSPI_IO 2				PLU1_IN D	PLU3_O UT	FG1	
99	80	58	N14	J11	PD11		EIRQ11		GPO	CAN2_T ST_CLOC K	TMR4_3_ CLK	TMR6_T RIGB		TMRA_6_ PWM4	TMRA_1 1_TRIG	USART3_ CTS	KEYOUT 4				EXMC_A DD16_D MC_BA0 _NFC_CL E		EVNTP4 11	EVENTO UT	TMR2_2_ PWMB/ TMR2_2_ TRIGB	I2S2_MC K	QSPI_IO 3			EXMC_A DD16_N FC_CLE	PLU2_IN A	PLU0_O UT	FG1	
100	81	59	N13	J10	PD12		EIRQ12		GPO		TMR4_1_ ADSM	TMR6_4_ PWMB	TMRA_4_ PWM1/ TMRA_4_ CLKA	TMRA_1 1_PWM1 / TMRA_1 1_CLKA		USART3_ RTS/ USART3_ DE					EXMC_A DD17_D MC_BA1 _NFC_AL E		EVNTP4 12	EVENTO UT						EXMC_A DD17_N FC_ALE	PLU2_IN B	PLU1_O UT	FG3	
101	82	60	M15	H12	PD13		EIRQ13		GPO		TMR4_1_ PCT	TMR6_4_ PWMB	TMRA_4_ PWM2/ TMRA_4_ CLKB	TMRA_1 1_PWM2 / TMRA_1 1_CLKB		USART9_ RTS/ USART9_ DE					EXMC_A DD18		EVNTP4 13	EVENTO UT							PLU2_IN C	PLU2_O UT	FG3	
102	83	-	-	-	VSS																													
103	84	-	J13	-	VCC																													
104	85	61	M14	H11	PD14		EIRQ14		GPO	ADC1_A DTRG			TMRA_4_ PWM3	TMRA_1 1_PWM3		USART9_ CTS	TMR6_1_ PWMZ				EXMC_D ATA0		EVNTP4 14	EVENTO UT		I2S4_EX CK						PLU2_IN D	PLU3_O UT	FG3
105	86	62	L14	H10	PD15		EIRQ15		GPO	ADC2_A DTRG			TMRA_4_ PWM4	TMRA_1 1_PWM4		USART9_ CK	TMR6_2_ PWMZ				EXMC_D ATA1		EVNTP4 15	EVENTO UT		I2S4_MC K						PLU3_IN A	PLU0_O UT	FG3
106	87	-	L15	-	PG2		EIRQ2		GPO	ADC3_A DTRG							TMR6_5_ PWMZ				EXMC_A DD12			EVENTO UT								PLU3_IN B	PLU1_O UT	FG3
107	88	-	K15	-	PG3		EIRQ3		GPO						TMRA_9_ TRIG						EXMC_A DD13	DVP_DA TA10		EVENTO UT								PLU3_IN C	PLU2_O UT	FG3
108	89	-	K14	-	PG4		EIRQ4		GPO				TMRA_9_ PWM1/ TMRA_9_ CLKA								EXMC_A DD14	EXMC_A DD16_D MC_BA0 _NFC_CL E		EVENTO UT							EXMC_A DD14_D MC_BA0	PLU3_IN D	PLU3_O UT	FG3
109	90	-	K13	-	PG5		EIRQ5		GPO				TMRA_9_ PWM2/ TMRA_9_ CLKB								EXMC_A DD15	EXMC_A DD17_D MC_BA1 _NFC_AL E		EVENTO UT							EXMC_A DD15_D MC_BA1	PLU0_IN A	PLU0_O UT	FG3
110	91	-	J15	-	PG6		EIRQ6		GPO				TMRA_9_ PWM3				TMR6_7_ PWMZ				EXMC_R B0	DVP_DA TA12		EVENTO UT								PLU0_IN B	PLU1_O UT	FG3
111	92	-	J14	-	PG7		EIRQ7		GPO				TMRA_9_ PWM4			USART8_ CK	TMR6_1_ PWMZ				EXMC_R B1	DVP_DA TA13		EVENTO UT		I2S1_EX CK			USART6_ CK			PLU0_IN C	PLU2_O UT	FG3

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3	
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART N, TMR6	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTP T	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	Func Group	
112	93	-	H14	-	PG8		EIRQ8		GPO							USART8_ RTS/ USART8_ DE	TMR6_2_ PWMZ			ETH_PPS _OUT	EXMC_C LK			EVENTO UT		I2S1_SDI N		SPI6_NS S0	USART6_ RTS/ USART6_ DE	EXMC_D MC_CLK	PLU0_IN D	PLU3_O UT	FG3	
113	94	-	G12	-	VSS																													
114	95	-	H13	-	VCC																													
115	96	63	H15	E12	PC6		EIRQ6		GPO	CTCREF	TMR4_2_ OUH		TMRA_3_ PWM1/ TMRA_3_ CLKA	TMRA_1 _1_PWM4	TMR6_5_ PWMA		KEYOUT 3	SDIO1_D 6				DVP_DA TA0	EVNTP3 06	EVENTO UT	TMR4_3_ ADSM	I2S1_MC K	QSPI_SC K		USART6_ TX		PLU1_IN A	PLU0_O UT	FG3	
116	97	64	G15	E11	PC7		EIRQ7		GPO		TMR4_2_ OVH	TMR6_T RIGD	TMRA_3_ PWM2/ TMRA_3_ CLKB	TMRA_1 _1_PWM3	TMR6_6_ PWMA		KEYOUT 2	SDIO1_D 7			I2S2_EX CK	DVP_DA TA1	EVNTP3 07	EVENTO UT	TMR4_2_ CLK	I2S2_MC K	QSPI_NS S		USART6_ RX		PLU1_IN B	PLU1_O UT	FG3	
117	98	65	G14	E10	PC8		EIRQ8		GPO		TMR4_2_ OWH	TMR6_8_ PWMA	TMRA_3_ PWM3	TMRA_1 _1_PWM2 / TMRA_1 _1_CLKB	TMR6_7_ PWMA	USART8_ CK	KEYOUT 1	SDIO1_D 0				DVP_DA TA2	EVNTP3 08	EVENTO UT		I2S2_MC K			USART6_ CK		PLU1_IN C	PLU2_O UT	FG2	
118	99	66	F14	D12	PC9		EIRQ9		GPO	MCO_2	TMR4_2_ OWL	TMR6_8_ PWMB	TMRA_3_ PWM4	TMRA_1 _1_PWM1 / TMRA_1 _1_CLKA	TMR6_8_ PWMA		KEYOUT 0	SDIO1_D 1	USBFS_ DRVVBUS		EXMC_C LE	DVP_DA TA3	EVNTP3 09	EVENTO UT		I2S3_EX CK					PLU1_IN D	PLU3_O UT	FG2	
119	100	67	F15	D11	PA8		EIRQ8+ WKUP2_ 0		GPO	MCO_1	TMR4_1_ OUH	TMR6_1_ PWMA	TMRA_1_ PWM1/ TMRA_1_ CLKA		TMRA_7_ TRIG	USART4_ CK		SDIO1_D 1	USBFS_S OF				EVNTP1 08	EVENTO UT	TMR2_1_ CLKA	I2S3_MC K			USART1_ CK		PLU2_IN A	PLU0_O UT	FG2	
120	101	68	E15	D10	PA9		EIRQ9+ WKUP2_ 1		GPO		TMR4_1_ OVH	TMR6_2_ PWMA	TMRA_1_ PWM2/ TMRA_1_ CLKB		TMRA_2_ TRIG			SDIO1_D 2	USBFS_V BUS			DVP_DA TA0	EVNTP1 09	EVENTO UT	TMR2_1_ CLKB	I2S3_SDI N			USART1_ TX		PLU2_IN B	PLU1_O UT	FG2	
121	102	69	D15	C12	PA10		EIRQ10 +WKUP2_ 2		GPO		TMR4_1_ OWH	TMR6_3_ PWMA	TMRA_1_ PWM3	TMRA_5_ TRIG	TMRA_1 _1_TRIG			SDIO1_C D	USBFS_I D			DVP_DA TA1	EVNTP1 10	EVENTO UT	TMR2_1_ PWMA/ TMR2_1_ TRIGA				USART1_ RX		PLU2_IN C	PLU2_O UT	FG2	
122	103	70	C15	B12	PA11	USBFS_ DM	EIRQ11 +WKUP2_ 3		GPO		TMR4_1_ CLK	TMR6_4_ PWMA	TMRA_1_ PWM4		EMB_IN0	USART4_ CTS		SDIO2_C D						EVNTP1 11	EVENTO UT	TMR2_1_ PWMA/ TMR2_1_ TRIGA				USART1_ CTS		PLU2_IN D	PLU3_O UT	FG2
123	104	71	B15	A12	PA12	USBFS_ DP	EIRQ12 +WKUP3_ 0		GPO		TMR4_3_ OWL	TMR6_T RIGA	TMRA_1_ TRIG	TMRA_6_ PWM1/ TMRA_6_ CLKA		USART4_ RTS/ USART4_ DE	TMR6_7_ PWMZ	SDIO2_ WP						EVNTP1 12	EVENTO UT	TMR4_1_ CLK				USART1_ RTS/ USART1_ DE		PLU3_IN A	PLU0_O UT	FG2
124	105	72	A15	A11	PA13		EIRQ13	JTMS_S WDIO	GPO			TMR6_T RIGD	TMRA_8_ PWM1/ TMRA_8_ CLKA	TMRA_6_ PWM2/ TMRA_6_ CLKB			TMR6_3_ PWMZ	SDIO2_D 3				ERMU_E OUT3M	EVNTP1 13	EVENTO UT		SPI2_NS S1			EXMC_N FC_CE5	PLU3_IN B	PLU1_O UT	FG2		
125	106	73	F13	C11	VCAP_2																													
126	107	74	F12	-	VSS																													
127	108	75	G13	-	VCC																													

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6, TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,D SBHS	DVP,ER MU	EVNTPT	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	Func Group
128	-	-	E12	-	PH13		EIRQ13	ERMU_E OUT0M	GPO		TMR4_2_ OUL	TMR6_5_ PWMB	TMRA_6_ PWM1/ TMRA_6_ CLKA								EXMC_D ATA21			EVENTO UT							PLU3_IN C	PLU2_O UT	FG1
129	-	-	E13	-	PH14		EIRQ14		GPO		TMR4_2_ OVL	TMR6_6_ PWMB	TMRA_6_ PWM2/ TMRA_6_ CLKB								EXMC_D ATA22	DVP_DA TA4		EVENTO UT							PLU3_IN D	PLU3_O UT	FG1
130	-	-	D13	-	PH15		EIRQ15		GPO		TMR4_2_ OWL	TMR6_7_ PWMB									EXMC_D ATA23	DVP_DA TA11		EVENTO UT							PLU0_IN A	PLU0_O UT	FG1
131	-	-	E14	-	PI0		EIRQ0		GPO					TMRA_5_ PWM4			TMR6_3_ PWMZ				EXMC_D ATA24	DVP_DA TA13		EVENTO UT			SPI2_NS S0				PLU0_IN B	PLU1_O UT	FG1
132	-	-	D14	-	PI1		EIRQ1		GPO						TMRA_8_ TRIG						EXMC_D ATA25	DVP_DA TA8		EVENTO UT							PLU0_IN C	PLU2_O UT	FG1
133	-	-	C14	-	PI2		EIRQ2		GPO			TMR6_8_ PWMB									EXMC_D ATA26	DVP_DA TA9		EVENTO UT		I2S1_SDI N					PLU0_IN D	PLU3_O UT	FG1
134	-	-	C13	-	PI3		EIRQ3		GPO		TMR4_2_ CLK	TMR6_T RIGD					TMR6_4_ PWMZ				EXMC_D ATA27	DVP_DA TA10		EVENTO UT							PLU1_IN A	PLU0_O UT	FG1
135	-	-	D9	D3	VSS																												
136	-	-	C9	C4	VCC																												
137	109	76	A14	A10	PA14		EIRQ14 +WKUP3 _2	JTCK_SW CLK	GPO		TMR4_2_ ADSM	TMR6_T RIGC	TMRA_8_ PWM2/ TMRA_8_ CLKB	TMRA_6_ PWM3	TMRA_4_ TRIG	USART2_ RTS/ USART2_ DE	TMR6_4_ PWMZ	SDIO2_D 2				ERMU_E OUT3C	EVNTP1 14	EVENTO UT		I2S1_EX CK	SPI2_NS S2			EXMC_S MC_BAA _NFC_W P	PLU1_IN B	PLU1_O UT	FG1
138	110	77	A13	A9	PA15		EIRQ15 +WKUP3 _3	JTDI	GPO		TMR4_2_ PCT	TMR6_T RIGA	TMRA_2_ PWM1/ TMRA_2_ CLKA	TMRA_6_ PWM4	TMRA_2_ TRIG	USART2_ CTS	TMR6_1_ PWMZ	SDIO2_D 1					EVNTP1 15	EVENTO UT		I2S1_MC K	SPI2_NS S3	SPI1_NS S0			PLU1_IN C	PLU2_O UT	FG1
139	111	78	B14	B11	PC10		EIRQ10		GPO	CAN1_T ST_SAM PLE	TMR4_3_ OUH	TMR6_5_ PWMA	TMRA_8_ PWM3	TMRA_5_ PWM1/ TMRA_5_ CLKA	TMRA_9_ TRIG	USART2_ CK		SDIO1_D 2				DVP_DA TA8	EVNTP3 10	EVENTO UT		I2S2_CK	SPI1_NS S1	SPI3_SC K	USART4_ TX		PLU1_IN D	PLU3_O UT	FG3
140	112	79	B13	C10	PC11		EIRQ11		GPO	CAN1_T ST_CLOC K	TMR4_3_ OVH	TMR6_6_ PWMA	TMRA_8_ PWM4	TMRA_5_ PWM2/ TMRA_5_ CLKB	TMRA_9_ PWM1/ TMRA_9_ CLKA		KEYOUT 0	SDIO1_D 3				DVP_DA TA4	EVNTP3 11	EVENTO UT	TMR2_4_ PWMA/ TMR2_4_ TRIGA	I2S2_SDI N	SPI1_NS S2	SPI3_MIS O	USART4_ RX		PLU2_IN A	PLU0_O UT	FG3
141	113	80	A12	B10	PC12		EIRQ12		GPO		TMR4_3_ OWH	TMR6_7_ PWMA	TMRA_4_ TRIG	TMRA_5_ PWM3	TMRA_9_ PWM2/ TMRA_9_ CLKB	USART3_ CK	KEYOUT 1	SDIO1_C K				DVP_DA TA9	EVNTP3 12	EVENTO UT	TMR2_4_ PWMB/ TMR2_4_ TRIGB	I2S2_SD	SPI1_NS S3	SPI3_MO SI	USART5_ TX		PLU2_IN B	PLU1_O UT	FG3
142	114	81	B12	C9	PD0		EIRQ0		GPO	CMP_VC OUT	TMR4_3_ OUL	TMR6_5_ PWMB		TMRA_5_ PWM4	TMRA_9_ PWM3	USART8_ CTS	KEYOUT 2				EXMC_D ATA2		EVNTP4 00	EVENTO UT	TMR2_4_ CLKA						PLU2_IN C	PLU2_O UT	FG3
143	115	82	C12	B9	PD1		EIRQ1		GPO		TMR4_3_ OVL	TMR6_6_ PWMB	TMRA_3_ TRIG	TMRA_1_ 2_PWM1 / TMRA_1 2_CLKA	TMRA_9_ PWM4	USART8_ RTS/ USART8_ DE	KEYOUT 3				EXMC_D ATA3		EVNTP4 01	EVENTO UT	TMR2_4_ CLKB						PLU2_IN D	PLU3_O UT	FG3

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTPT	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLUJ_IN	PLUJ_OUT	Func Group
144	116	83	D12	C8	PD2		EIRQ2		GPO	CMP4_V COUT	TMR4_3_ OWL	TMR6_7_ PWMB	TMRA_2_ PWM4 / TMRA_1 2_CLKB	TMRA_1 2_PWM2	TMRA_3_ TRIG	USART7_ CTS	KEYOUT 4	SDIO1_C MD				DVP_DA TA11	EVNTP4 02	EVENTO UT				USART5_ RX	EXMC_S MC_CRE	PLU3_IN A	PLU0_O UT	FG3	
145	117	84	D11	B8	PD3		EIRQ3		GPO	CMP1_V COUT				TMRA_1 2_PWM3	TMRA_6_ TRIG	USART5_ CTS	KEYOUT 5				EXMC_C LK	DVP_DA TA5	EVNTP4 03	EVENTO UT				SPI2_SC K	USART2_ CTS	EXMC_S MC_CLK	PLU3_IN B	PLU1_O UT	FG3
146	118	85	D10	B7	PD4		EIRQ4		GPO	CMP2_V COUT			TMRA_6_ PWM1/ TMRA_6_ CLKA	TMRA_1 2_PWM4	EMB_IN3	USART5_ RTS/ USART5_ DE	KEYOUT 6				EXMC_O E	DVP_DA TA12	EVNTP4 04	EVENTO UT				USART2_ RTS/ USART2_ DE	EXMC_S MC_OE_ NFC_RE	PLU3_IN C	PLU2_O UT	FG2	
147	119	86	C11	A6	PD5		EIRQ5		GPO	CMP3_V COUT			TMRA_6_ PWM2/ TMRA_6_ CLKB			USART7_ RTS/ USART7_ DE	KEYOUT 7				EXMC_W E		EVNTP4 05	EVENTO UT			SPI6_NS S1		USART2_ TX	EXMC_S MC_NFC _WE	PLU3_IN D	PLU3_O UT	FG2
148	120	-	D8	-	VSS																												
149	121	-	C8	-	VCC																												
150	122	87	B11	B6	PD6		EIRQ6		GPO	ADC1_A DTRG	TMR4_2_ CLK	TMR6_T RIGC	TMRA_6_ PWM3			USART7_ CK	TMR6_5_ PWMZ				EXMC_R B0	DVP_DA TA10	EVNTP4 06	EVENTO UT		I2S2_SD	SPI6_NS S2	SPI3_MO SI	USART2_ RX		PLU0_IN A	PLU0_O UT	FG2
151	123	88	A11	A5	PD7		EIRQ7		GPO	ADC2_A DTRG		TMR6_T RIGD	TMRA_6_ PWM4		EMB_IN0	USART5_ CK	TMR6_7_ PWMZ				EXMC_C E0		EVNTP4 07	EVENTO UT			SPI6_NS S3		USART2_ CK	EXMC_S MC_NFC _CS0	PLU0_IN B	PLU1_O UT	FG2
152	124	-	C10	-	PG9		EIRQ9		GPO	ADC3_A DTRG				TMRA_1 2_PWM1 / TMRA_1 2_CLKA		USART4_ CK					EXMC_C E1	DVP_VSY NC		EVENTO UT					EXMC_S MC_NFC _CS1	PLU0_IN C	PLU2_O UT	FG2	
153	125	-	B10	-	PG10		EIRQ10		GPO		TMR4_3_ ADSM	TMR6_8_ PWMA		TMRA_1 2_PWM2 / TMRA_1 2_CLKB		USART4_ CTS					EXMC_C E2	DVP_DA TA2		EVENTO UT					EXMC_S MC_NFC _CS2	PLU0_IN D	PLU3_O UT	FG2	
154	126	-	B9	-	PG11		EIRQ11		GPO		TMR4_3_ PCT	TMR6_8_ PWMB	TMRA_8_ PWM1/ TMRA_8_ CLKA			USART4_ RTS/ USART4_ DE				ETH_MII_ RMII_TX EN	EXMC_R B7	DVP_DA TA3		EVENTO UT						PLU1_IN A	PLU0_O UT	FG2	
155	127	-	B8	-	PG12		EIRQ12		GPO				TMRA_8_ PWM2/ TMRA_8_ CLKB			USART6_ RTS/ USART6_ DE					EXMC_C E3			EVENTO UT					EXMC_S MC_NFC _CS3	PLU1_IN B	PLU1_O UT	FG2	
156	128	-	A8	-	PG13		EIRQ13		GPO				TMRA_8_ PWM3			USART6_ CTS	TMR6_3_ PWMZ				ETH_MII_ RMII_TX D0	EXMC_A DD24	DVP_VSY NC		EVENTO UT						PLU1_IN C	PLU2_O UT	FG2
157	129	-	A7	-	PG14		EIRQ14		GPO		TMR4_3_ ADSM	TMR6_4_ PWMB	TMRA_8_ PWM4								ETH_MII_ RMII_TX D1	EXMC_A DD25	DVP_DA TA2		EVENTO UT		I2S3_EX CK			PLU1_IN D	PLU3_O UT	FG2	
158	130	-	D7	-	VSS																												
159	131	-	C7	-	VCC																												
160	132	-	B7	-	PG15		EIRQ15		GPO		TMR4_3_ PCT	TMR6_4_ PWMA			TMRA_5_ TRIG	USART6_ CTS					EXMC_B AA	DVP_DA TA13		EVENTO UT		I2S3_MC K			EXMC_D MC_CAS	PLU2_IN A	PLU0_O UT	FG1	

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART	KEYSCA N, TMR6	SDIO	USBFS,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTP T	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	Func Group
161	133	89	A10	A8	PB3		EIRQ3+ WKUP0_3	JTDO_TR ACESWO	GPO	FCMREF	TMR4_3_ CLK	TMR6_T RIGC	TMRA_2_ PWM2/ TMRA_2_/ CLKB	TMRA_1_2_ PWM1 / TMRA_1_2_ CLKA			TMR6_2_ PWMZ	SDIO2_D 0				EVNTP2 03	EVENTO UT							PLU2_IN B	PLU1_O UT	FG1	
162	134	90	A9	A7	PB4		EIRQ4+ WKUP1_0	NJTRST	GPO		TMR4_3_ OWL	TMR6_3_ PWMB	TMRA_3_ PWM1/ TMRA_3_/ CLKA	TMRA_1_2_ PWM2 / TMRA_1_2_ CLKB				SDIO1_D 0				DVP_DA TA13	EVNTP2 04	EVENTO UT		I2S4_SDI N					PLU2_IN C	PLU2_O UT	FG1
163	135	91	A6	C5	PB5		EIRQ5+ WKUP1_1		GPO	ADC3_A DTRG	TMR4_3_ OWH	TMR6_3_ PWMA	TMRA_3_ PWM2/ TMRA_3_/ CLKB	TMRA_1_2_ PWM3	TMRA_1_0_ TRIG			SDIO1_D 3	USBHS_ ULPI_D7	ETH_PPS _OUT	EXMC_A LE	DVP_DA TA10	EVNTP2 05	EVENTO UT		I2S4_EX CK	SPI3_NS S3			EXMC_D MC_CKE	PLU2_IN D	PLU3_O UT	FG1
164	136	92	B6	B5	PB6		EIRQ6+ WKUP1_2		GPO	ADC2_A DTRG	TMR4_3_ OVL	TMR6_2_ PWMB	TMRA_4_ PWM1/ TMRA_4_/ CLKA	TMRA_1_2_ PWM4 / TMRA_1_0_ CLKA	TMRA_1_0_ PWM1 / TMRA_1_0_ CLKA			SDIO2_C K		ETH_MII_ TXCLK	EXMC_C E1	DVP_DA TA5	EVNTP2 06	EVENTO UT		I2S4_MC K	SPI3_NS S2			EXMC_D MC_CS3	PLU3_IN A	PLU0_O UT	FG1
165	137	93	B5	B4	PB7		EIRQ7+ WKUP1_3		GPO	ADC1_A DTRG	TMR4_3_ OVH	TMR6_2_ PWMA	TMRA_4_ PWM2/ TMRA_4_/ CLKB	TMRA_1_0_ PWM2 / TMRA_1_0_ CLKB				SDIO1_D 0		ETH_MII_ TXER	EXMC_A DV	DVP_VSY NC	EVNTP2 07	EVENTO UT		I2S2_EX CK	SPI3_NS S1			EXMC_S MC_ADV	PLU3_IN B	PLU1_O UT	FG1
166	138	94	D6	A4	PI13/MD				GPO							USART3_ TX																	
167	139	95	A5	A3	PB8		EIRQ8		GPO		TMR4_3_ OUL	TMR6_1_ PWMB	TMRA_4_ PWM3		TMRA_1_0_ PWM3	USART1_ CK	KEYOUT 7	SDIO1_D 4	USBFS_ DRVBUS	ETH_MII_ TXD3		DVP_DA TA6	EVNTP2 08	EVENTO UT	TMR2_3_ PWMA/ TMR2_3_ TRIGA	I2S2_MC K	SPI2_NS S0				PLU3_IN C	PLU2_O UT	FG1
168	140	96	B4	B3	PB9		EIRQ9		GPO		TMR4_3_ OUH	TMR6_1_ PWMA	TMRA_4_ PWM4	TMRA_6_ TRIG	TMRA_1_0_ PWM4	USART1_ CTS	KEYOUT 6	SDIO1_D 5		ETH_MII_ TXD2		DVP_DA TA7	EVNTP2 09	EVENTO UT	TMR2_3_ PWMB/ TMR2_3_ TRIGB	I2S2_SDI N	SPI2_NS S1	SPI2_NS S0			PLU3_IN D	PLU3_O UT	FG1
169	141	97	A4	C3	PE0		EIRQ0		GPO	MCO_1	TMR4_3_ PCT		TMRA_4_ TRIG		TMRA_2_ TRIG	USART1_ RTS/ USART1_ DE				ETH_MII_ RMII_TX D1	EXMC_C E4	DVP_DA TA2		EVENTO UT	TMR2_3_ CLKA		SPI2_NS S2		USART8_ RX	EXMC_S MC_DMC_ BLS0	PLU0_IN A	PLU0_O UT	FG1
170	142	98	A3	A2	PE1		EIRQ1		GPO	MCO_2	TMR4_3_ CLK	TMR6_T RIGC			TMRA_1_2_ TRIG		TMR6_5_ PWMZ			ETH_MII_ RMII_TX D0	EXMC_C E5	DVP_DA TA3		EVENTO UT	TMR2_3_ CLKB		SPI2_NS S3		USART8_ TX	EXMC_S MC_DMC_ BLS1	PLU0_IN B	PLU1_O UT	FG1
171	143	-	C6	-	PI12		EIRQ12		GPO								TMR6_4_ PWMZ				EXMC_C LE									EXMC_N FC_CE4	PLU0_IN C	PLU2_O UT	FG1
-	-	99	D5	-	VSS																												
172	144	100	C5	-	VCC																												
173	-	-	D4	-	PI4		EIRQ4		GPO				TMRA_1_ PWM1/ TMRA_1_/ CLKA		EMB_IN3						EXMC_C E6	DVP_DA TA5		EVENTO UT						EXMC_S MC_DMC_ BLS2	PLU0_IN D	PLU3_O UT	FG1

LQFP 176	LQFP 144	LQFP 100	VFBGA 176	VFBGA 100	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG/ ERMU	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16	Func17	Func18	Func19	Func20	Func21	Func22	Func23	Func28~6 3
									GPO	other	TMR4	TMR6	TMRA	TMRA	EMB,TM R6,TMRA	USART	KEYSCA N, TMR6	SDIO	USBF5,U SBHS,T MR2	ETH	EXMC,U SBHS	DVP,ER MU	EVNTPT	EVENTO UT	TMR2,T MR4	I2S	SPI,QSPI	SPI	USART	EXMC	PLU_IN	PLU_OUT	Func Group
174	-	-	C4	-	PI5		EIRQ5		GPO		TMR4_2_ OUH	TMR6_5_ PWMA	TMRA_1_ PWM2/ TMRA_1_ CLKB								EXMC_C E7	DVP_VSY NC		EVENTO UT					EXMC_S MC_DMC _BLS3	PLU1_IN A	PLU0_O UT	FG1	
175	-	-	C3	-	PI6		EIRQ6		GPO		TMR4_2_ OVH	TMR6_6_ PWMA	TMRA_1_ PWM3								EXMC_D ATA28	DVP_DA TA6		EVENTO UT						PLU1_IN B	PLU1_O UT	FG1	
176	-	-	C2	-	PI7		EIRQ7		GPO		TMR4_2_ OWH	TMR6_7_ PWMA	TMRA_1_ PWM4								EXMC_D ATA29	DVP_DA TA7		EVENTO UT						PLU1_IN C	PLU2_O UT	FG1	
-	-	-	-	H3	NC																												

Func28~63 主要为串行通信功能（包含 CAN、MCAN、USART、SPI、I2C、I2S），分成三组 FunctionGroup，简称 FG1、FG2、FG3。详细对应关系如下表所示。

表 3-2 Func28~63 表

	Func28	Func29	Func30	Func31	Func32	Func33	Func34	Func35	Func36	Func37	Func38	Func39	Func40	Func41
FG1	MCAN1_TX	MCAN1_RX	MCAN2_TX	MCAN2_RX	USART1_TX	USART1_RX	USART2_TX	USART2_RX	USART3_TX	USART3_RX	USART4_TX	USART4_RX	SPI1_SCK	SPI1_MOSI
FG2	MCAN1_TX	MCAN1_RX	MCAN2_TX	MCAN2_RX	USART4_TX	USART4_RX	USART5_TX	USART5_RX	USART6_TX	USART6_RX	USART7_TX	USART7_RX	SPI4_SCK	SPI4_MOSI
FG3	MCAN1_TX	MCAN1_RX	MCAN2_TX	MCAN2_RX	USART3_TX	USART3_RX	USART8_TX	USART8_RX	USART9_TX	USART9_RX	USART10_TX	USART10_RX	SPI1_SCK	SPI1_MOSI
	Func42	Func43	Func44	Func45	Func46	Func47	Func48	Func49	Func50	Func51	Func52	Func53	Func54	Func55
FG1	SPI1_MISO	SPI2_SCK	SPI2_MOSI	SPI2_MISO	SPI3_SCK	SPI3_MOSI	SPI3_MISO	SPI3_NSS0	I2C1_SDA	I2C1_SCL	I2C3_SDA	I2C3_SCL	I2S1_CK	I2S1_WS
FG2	SPI4_MISO	SPI5_SCK	SPI5_MOSI	SPI5_MISO	SPI6_SCK	SPI6_MOSI	SPI6_MISO	SPI6_NSS0	I2C2_SDA	I2C2_SCL	I2C4_SDA	I2C4_SCL	I2C5_SDA	I2C5_SCL
FG3	SPI1_MISO	SPI4_SCK	SPI4_MOSI	SPI4_MISO	SPI4_NSS0	SPI1_NSS0	I2C1_SDA	I2C1_SCL	I2C2_SDA	I2C2_SCL	I2C6_SDA	I2C6_SCL	I2S1_CK	I2S1_WS
	Func56	Func57	Func58	Func59	Func60	Func61	Func62	Func63						
FG1	I2S1_SD	I2S2_CK	I2S2_WS	I2S2_SD	CAN1_TX	CAN1_RX	CAN2_TX	CAN2_RX						
FG2	-	I2S3_CK	I2S3_WS	I2S3_SD	CAN1_TX	CAN1_RX	CAN2_TX	CAN2_RX						
FG3	I2S1_SD	I2S4_CK	I2S4_WS	I2S4_SD	CAN1_TX	CAN1_RX	CAN2_TX	CAN2_RX						

表 3-3 端口配置

Package	Port Group	Bits																Pin Count Total	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
LQFP176 VFBGA176	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	142
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortF	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortI	-	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	14	
LQFP144	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	116
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortF	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	2	
	PortI	-	-	0	0	-	-	-	-	-	-	-	-	-	-	-	-	2	
LQFP100 VFBGA100	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	83
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	2	
	PortI	-	-	0	-	-	-	-	-	-	-	-	-	-	-	-	-	1	

表 3-4 通用功能规格

Port		上拉	开漏输出	驱动能力	5V 耐压
PortA	PA0~PA10 PA13~PA15	支持	支持	低/中/高	支持
	PA11, PA12	支持	支持	低/中/高	不支持
PortB	PB0~PB13	支持	支持	低/中/高	支持
	PB14, PB15	支持	支持	低/中/高	不支持
PortC	PC0~PC15	支持	支持	低/中/高	支持
PortD	PD0~PD15	支持	支持	低/中/高	支持
PortE	PE0~PE15	支持	支持	低/中/高	支持
PortF	PF0~PF15	支持	支持	低/中/高	支持
PortG	PG0~PG15	支持	支持	低/中/高	支持
PortH	PH0~PH15	支持	支持	低/中/高	支持
PortI	PI0~PI13	支持	支持	低/中/高	支持



说明

用作模拟功能时，输入电压不得高于 VREFH/AVCC。

3.3 引脚功能说明

表 3-5 引脚功能说明

类别	功能名	I/O	说明
Power	VCC	I	电源
	VSS	I	电源地
	VCAP_x(x=1~2)	-	内核电压
	AVCC	I	模拟电源
	VREFH	I	模拟参考电压
	AVSS	I	模拟电源地
	VREFL	I	模拟参考电压
	AVSS_VREFL	I	模拟电源地，参考地共用引脚
	VBAT	I	备用电源
System	NRST	I	复位端子，低有效
	MD	I	模式端子
PVD	PVD2EXINP	I	PVD2 外部输入比较电压
Clock	XTAL_IN	I	外部主时钟振荡器接口
	XTAL_EXT/XTAL_OUT	IO	XTAL_EXT 外部时钟输入/外部主时钟振荡器接口
	XTAL32_IN	I	外部副时钟（32.768kHz）振荡器接口
	XTAL32_OUT	O	
	MCO_x(x=1~2)	O	内部时钟输出
GPIO	GPIOxy(x=A~H y=0~15; x=I y=0~13)	IO	通用输入输出
EVENTOUT	EVENTOUT	O	Cortex-M4 CPU 事件输出
EIRQ	EIRQx(x=0~15)	I	可屏蔽外部中断
	WKUPx_y(x=0~3 y=0~3)	I	PowerDown 模式外部唤醒输入
Event Port	EVNTPxy(x=1~4 y=0~15)	IO	事件端口输入输出功能
KEYSCAN	KEYOUTx(x=0~7)	O	KEYSCAN 扫描输出信号
JTAG/SWD	JTCK_SWCLK	I	在线调试接口
	JTMS_SWDIO	IO	
	JTDO_TRACESWO	O	
	JTDI	I	

类别	功能名	I/O	说明
JTAG/SWD	NJTRST	I	在线调试接口
TRACE	TRACECLK	O	跟踪调试同步时钟输出
	TRACEDx(x=0~3)	O	跟踪调试数据输出
FCM	FCMREF	I	时钟频率计测用外部基准时钟输入
RTC	RTC_OUT	O	1Hz 时钟输出
	RTC_ICx(x=0~1)	I	时间戳事件输入
Timer2	TMR2_x_CLKA(x=1~4)	I	计数时钟端口输入
	TMR2_x_CLKB(x=1~4)	I	计数时钟端口输入
	TMR2_x_PWMA/TMR2_x_TRIGA(x=1~4)	IO	外部事件触发输入或 PWM 端口输出
	TMR2_x_PWMB/TMR2_x_TRIGB(x=1~4)	IO	外部事件触发输入或 PWM 端口输出
Timer4	TMR4_x_CLK(x=1~3)	I	计数时钟端口输入
	TMR4_x_OUH(x=1~3)	IO	PWM 端口 U 相输出
	TMR4_x_OUL(x=1~3)	IO	PWM 端口 U 相输出
	TMR4_x_OVH(x=1~3)	IO	PWM 端口 V 相输出
	TMR4_x_OVL(x=1~3)	IO	PWM 端口 V 相输出
	TMR4_x_OWH(x=1~3)	IO	PWM 端口 W 相输出
	TMR4_x_OWL(x=1~3)	IO	PWM 端口 W 相输出
	TMR4_x_ADSM(x=1~3)	O	专用事件输出监测
	TMR4_x_PCT(x=1~3)	O	PWM 周期输出监测
Timer6	TMR6_TRIGA	I	外部事件触发 A 输入
	TMR6_TRIGB	I	外部事件触发 B 输入
	TMR6_TRIGC	I	外部事件触发 C 输入
	TMR6_TRIGD	I	外部事件触发 D 输入
	TMR6_x_PWMZ(x=1~5,7)	IO	外部事件触发输入或 PWM 端口输出
	TMR6_x_PWMA(x=1~8)	IO	外部事件触发输入或 PWM 端口输出
	TMR6_x_PWMB(x=1~8)	IO	外部事件触发输入或 PWM 端口输出

类别	功能名	I/O	说明
TimerA	TMRA_x_TRIG(x=1~12)	I	外部事件触发输入
	TMRA_x_PWM1/TMRA_x_CLKA(x=1~12)	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TMRA_x_PWM2/TMRA_x_CLKB(x=1~12)	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TMRA_x_PWMy(x=1~12 y=3~4)	IO	外部事件触发输入或 PWM 端口输出
EMB	EMB_INx(x=1~4)	I	端口输入控制信号
USART	USARTx_TX(x=1~10)	IO	发送数据
	USARTx_RX(x=1~10)	IO	接收数据
	USARTx_CK(x=1~10)	IO	通信时钟
	USARTx_RTS/USARTx_DE(x=1~10)	O	请求发送信号/Driver Enable
	USARTx_CTS(x=1~10)	I	清除发送信号
SPI	SPIx_MISO(x=1~6)	IO	主输入/从输出数据传输引脚
	SPIx_MOSI(x=1~6)	IO	主输出/从输入数据传输引脚
	SPIx_SCK(x=1~6)	IO	传输时钟
	SPIx_NSS0(x=1~6)	IO	从机选择输入输出引脚
	SPIx_NSSy(x=1~6 y=1~3)	O	从机选择输出引脚
QSPI	QSPI_IOx(x=0~3)	IO	数据线
	QSPI_SCK	O	时钟输出
	QSPI_NSS	O	从机选择
I2C	I2Cx_SCL(x=1~6)	IO	时钟线
	I2Cx_SDA(x=1~6)	IO	数据线
I2S	I2Sx_SD(x=1~4)	IO	串行数据
	I2Sx_SDIN(x=1~4)	I	全双工串行数据输入
	I2Sx_WS(x=1~4)	IO	字选择
	I2Sx_CK(x=1~4)	IO	串行时钟
	I2Sx_EXCK(x=1~4)	I	外部时钟源
	I2Sx_MCK(x=1~4)	O	主时钟
CAN	CANx_TX(x=1~2)	O	发送数据
	CANx_RX(x=1~2)	I	接收数据

类别	功能名	I/O	说明
MCAN	MCANx_TX(x=1~2)	O	发送数据
	MCANx_RX(x=1~2)	I	接收数据
SDIO	SDIOx_Dy(x=1~2 y=0~7)	IO	SD 数据信号
	SDIOx_CK(x=1~2)	O	SD 时钟输出信号
	SDIOx_CMD(x=1~2)	IO	SD 命令和回复信号
	SDIOx_CD(x=1~2)	I	SD 卡识别状态信号
	SDIOx_WP(x=1~2)	I	SD 卡写保护状态信号
USB_FS	USBFS_DM	IO	USBFS 片上全速 PHY D-信号
	USBFS_DP	IO	USBFS 片上全速 PHY D+信号
	USBFS_VBUS	I	USBFS VBUS 信号
	USBFS_ID	I	USBFS ID 信号
	USBFS_SOF	O	USBFS SOF 脉冲输出信号
	USBFS_DRVVBUS	O	USBFS VBUS 驱动许可信号
USB_HS	USBHS_DM	IO	USBHS 片上全速 PHY D-信号
	USBHS_DP	IO	USBHS 片上全速 PHY D+信号
	USBHS_VBUS	I	USBHS VBUS 信号
	USBHS_ID	I	USBHS ID 信号
	USBHS_SOF	O	USBHS SOF 脉冲输出信号
	USBHS_DRVVBUS	O	USBHS VBUS 驱动许可信号
	USBHS_ULPI_CLK	I	ULPI 接口 clock 信号
	USBHS_ULPI_DIR	I	ULPI 接口 dir 信号
	USBHS_ULPI_STP	O	ULPI 接口 stp 信号
	USBHS_ULPI_NXT	I	ULPI 接口 nxt 信号
	USBHS_ULPI_Dx(x=0~7)	IO	ULPI 接口 data 信号
ETHMAC	ETH_SMI_MDC	O	SMI 接口时钟
	ETH_SMI_MDIO	IO	SMI 接口数据
	ETH_PPS_OUT	IO	PPS 输出
	ETH_MII_RMII_RXCLK	I	MII 接收动作时钟或 RMII 参考时钟
	ETH_MII_RMII_RXDV	I	MII 接收数据有效或 RMII 接收数据有效

类别	功能名	I/O	说明
ETHMAC	ETH_MII_RMII_RXD0	I	MII 接收数据 0 或 RMII 接收数据 0
	ETH_MII_RMII_RXD1	I	MII 接收数据 1 或 RMII 接收数据 1
	ETH_MII_RMII_TXEN	O	MII 发送数据使能或 RMII 发送数据使能
	ETH_MII_RMII_TXD0	O	MII 发送数据 0 或 RMII 发送数据 0
	ETH_MII_RMII_TXD1	O	MII 发送数据 1 或 RMII 发送数据 1
	ETH_MII_RXD2	I	MII 接收数据 2
	ETH_MII_RXD3	I	MII 接收数据 3
	ETH_MII_RXER	I	MII 接收数据错误
	ETH_MII_TXCLK	I	MII 发送动作时钟
	ETH_MII_TXD2	O	MII 发送数据 2
	ETH_MII_TXD3	O	MII 发送数据 3
	ETH_MII_TXER	O	MII 发送数据错误
	ETH_MII_COL	I	MII 载波侦听
	ETH_MII_CRS	I	MII 冲突检测
CMP	CMP1_VCOUT	O	CMP1 结果输出
	CMP2_VCOUT	O	CMP2 结果输出
	CMP3_VCOUT	O	CMP3 结果输出
	CMP4_VCOUT	O	CMP4 结果输出
	CMP_VCOUT	O	CMP1~4 结果 OR 输出
	CMPx_INPy(x=1~4 y=2~4)	I	CMPx 正端模拟输入
	CMPx_INM4(x=1~4)	I	CMPx 负端模拟输入
	CMP123_INM3	I	CMP1,2,3 负端模拟输入
	CMP4_INM3	I	CMP4 负端模拟输入
ADC	ADC1_ADTRG	I	ADC1 AD 转换外部启动源
	ADC2_ADTRG	I	ADC2 AD 转换外部启动源
	ADC3_ADTRG	I	ADC3 AD 转换外部启动源
	ADC123_INx(x=0~2)	I	ADC1,2,3 共用外部模拟输入端口 PGA 模拟输入 SH 模拟输入

类别	功能名	I/O	说明
ADC	ADC123_INx(x=3,10~13)	I	ADC1,2,3 共用外部模拟输入端口
	ADC12_INx(x=4,5,7~9,14,15)	I	ADC1,2 共用外部模拟输入端口
	ADC12_IN6	I	ADC1,2 共用外部模拟输入端口 PGA 模拟输入
	ADC3_INx(x=4~9,14~19)	I	ADC3 外部模拟输入端口
	PGA123_VSS	I	PGA1~3 Ground 输入
	PGA4_VSS	I	PGA4 Ground 输入
DAC	DACx_OUTy(x=1~2 y=1~2)	O	DAC 模拟输出
DVP	DVP_HSYNC	I	行同步输入端口
	DVP_VSYNC	I	帧同步输入端口
	DVP_PIXCLK	I	时钟输入端口
	DVP_DATAx(x=0~13)	I	数据输入端口
PLU	PLUx_INy(x=0~3 y=A~D)	I	逻辑运算单元 PLU 的输入
	PLUx_OUT(x=0~3)	O	逻辑运算单元 PLU 的输出
ERMU	ERMU_EOUTxM(x=0~3)	O	错误输出端口  说明 ERMU_EOUT0M 通过 ICG 硬件配置，优先级高于其他功能。
	ERMU_EOUTxC(x=0~3)	O	错误输出端口（与 ERMU_EOUTxM 反向）
EXMC	EXMC_CLK	IO	具体信息请参见《用户手册》“外部存储器控制器（EXMC）-功能说明-协议接口”中的 EXMC 端口功能配置
	EXMC_OE	O	
	EXMC_WE	O	
	EXMC_CLE	O	
	EXMC_ALE	O	
	EXMC_BAA	O	
	EXMC_ADV	O	
	EXMC_CEx(x=0~7)	O	
	EXMC_RBx(x=0~7)	I	
	EXMC_DMC_CLK	IO	

类别	功能名	I/O	说明
EXMC	EXMC_SMC_CLK	IO	具体信息请参见《用户手册》“外部存储器控制器 (EXMC) -功能说明-协议接口”中的 EXMC 端口功能配置
	EXMC_DMC_WE	O	
	EXMC_SMC_NFC_WE	O	
	EXMC_SMC_DMC_BLSx(x=0~3)	O	
	EXMC_SMC_NFC_CSx(x=0~3)	O	
	EXMC_DMC_CSx(x=0~3)	O	
	EXMC_NFC_CEx(x=4~7)	O	
	EXMC_DMC_RAS	O	
	EXMC_SMC_OE_NFC_RE	O	
	EXMC_DMC_CAS	O	
	EXMC_SMC_BAA_NFC_WP	O	
	EXMC_SMC_ADV	O	
	EXMC_DMC_CKE	O	
	EXMC_SMC_CRE	O	
	EXMC_DMC_AP	O	
	EXMC_ADD14_DMC_BA0	IO	
	EXMC_ADD15_DMC_BA1	IO	
	EXMC_ADD16_NFC_CLE	IO	
	EXMC_ADD17_NFC_ALE	IO	
	EXMC_ADD16_DMC_BA0_NFC_CLE	IO	
	EXMC_ADD17_DMC_BA1_NFC_ALE	IO	
	EXMC_ADDx(x=0~15,18~28)	O	
	EXMC_DATAx(x=0~31)	IO	

3.4 引脚使用说明

表 3-6 引脚使用说明

引脚名	使用说明
VCC	电源，接 1.8V~3.63V 电压，并就近与 VSS 引脚接去耦电容（参考"电气特性"）
VSS	电源地，接 0V
VBAT	备用电源，连接电池或其它供电设备上 不使用时与 VCC 短接，并外接 100nF 的去藕电容
VCAP_x (x=1~2)	内核电压，就近与 VSS 引脚接电容，以稳定内核电压（参考"电气特性"）
AVCC	模拟电源，给模拟模块供电，接与 VCC 相同电压（参考"电气特性"） 不使用独立的模拟电源时，请与 VCC 短接，禁止悬空
AVSS	模拟电源地，给模拟模块供电，接与 VSS 相同电压（参考"电气特性"） 不使用独立的模拟电源时，请与 VSS 短接，禁止悬空
VREFL	模拟参考电压，接与 AVSS 相同电压（参考"电气特性"） 不使用时请与 AVSS 短接，禁止悬空
VREFH	模拟参考电压，接不高于 AVCC 的电压 不使用时请与 AVCC 短接，禁止悬空
PI13/MD	模式输入。复位引脚（NRST）解除（从低电平变为高电平）时，本管脚必须固定为低电平。推荐接电阻（4.7kΩ）到 VSS（下拉）
NRST	复位引脚，低有效。不使用时接电阻到 VCC（上拉）
Pxy (x=A~H y=0~15; x=I y=0~13)	通用引脚。用作输入功能时，支持 5V 耐压的引脚输入电压不要超过 5V，不支持 5V 耐压的引脚输入电压不要超过 VCC。用作模拟输入时，模拟电压不要超过 VREFH/AVCC 不使用时悬空，或者接电阻到 VCC（上拉）/VSS（下拉）

4 电气特性

4.1 参数条件

若无另行说明，所有电压的都以 VSS 为基准。

4.1.1 最小值和最大值

所有最小值和最大值在最坏的条件下测得。

在每个表格下方的注解中说明为通过设计保证、综合评估得出的数据，不会在生产线上进行测试。

4.1.2 典型数值

除非另有说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{CC}=3.3\text{V}$ 给出的。这些数据仅用于设计指导，并未经过测试。

4.1.3 典型曲线

除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

4.1.4 负载电容

图 4-1（左）中显示了用于测量引脚参数的负载条件。

4.1.5 引脚输入电压

图 4-1（右）中显示了器件引脚上输入电压的测量方法。

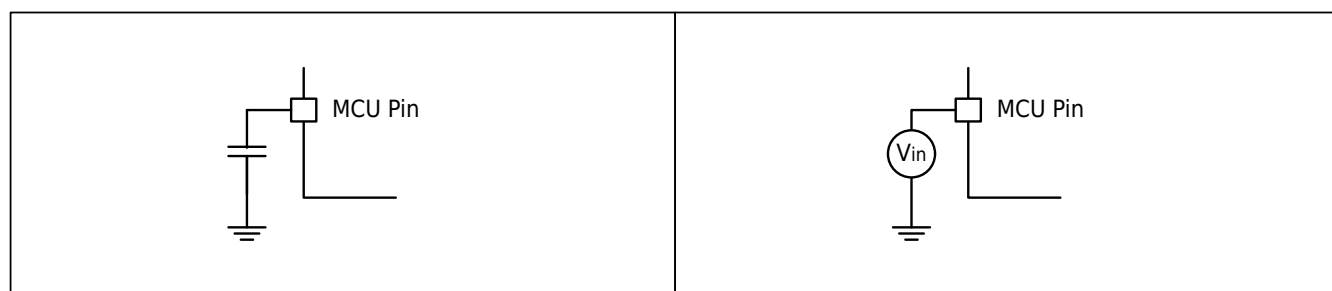


图 4-1 引脚负载条件（左）与输入电压测量（右）

4.1.6 电源方案

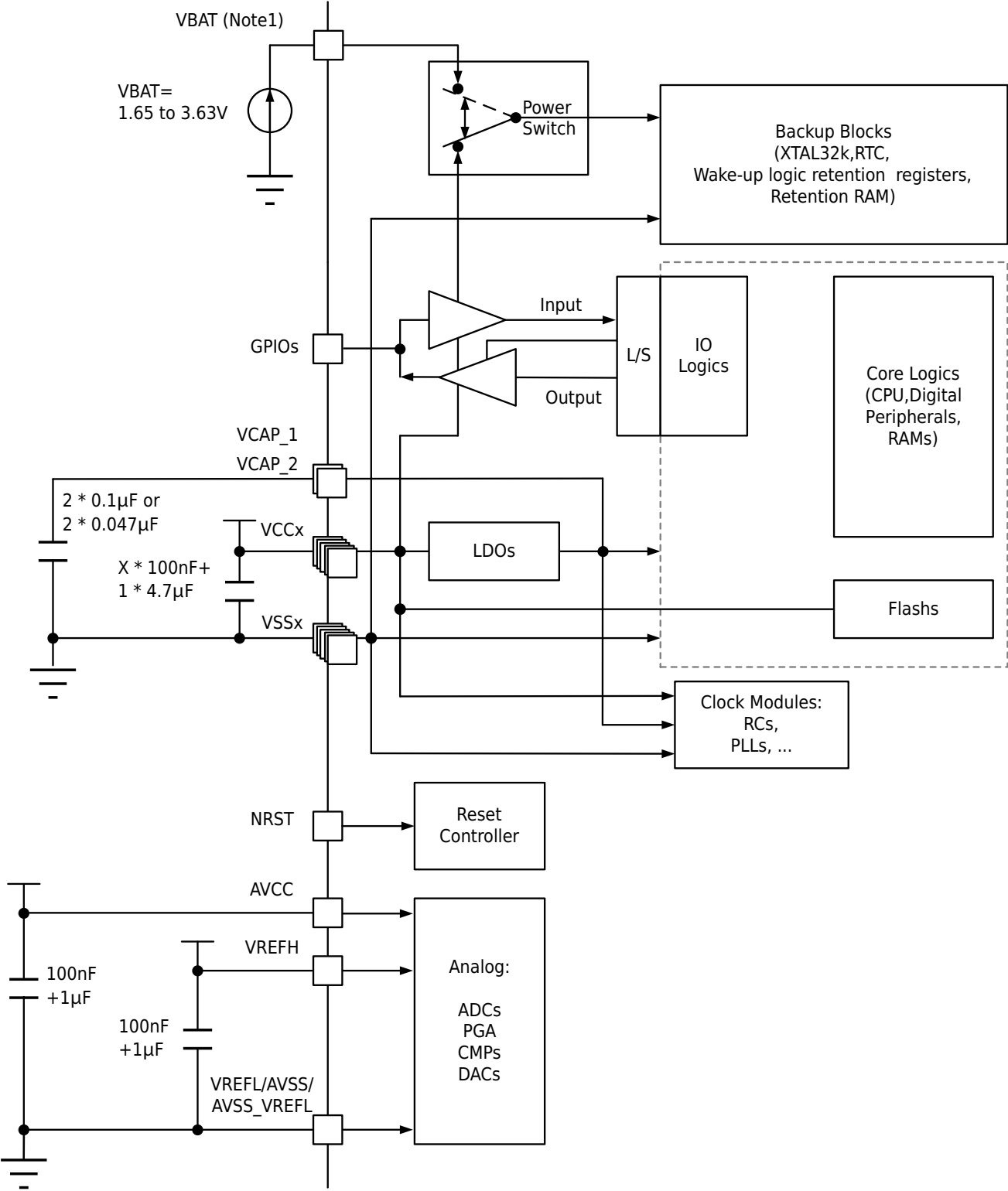


图 4-2 电源方案



说明

- 1. 对于不可充电类电池，强烈推荐在该电池和 VBAT 引脚之间接入一个低压降的二极管。
 - 2. 4.7μF 陶瓷电容必须连至 VCC 引脚之一。
 - 3. AVSS=VSS。
 - 4. 每个电源对（例如 VCC/VSS，AVCC/AVSS...）必须使用上述的滤波陶瓷电容去耦。这些电容必须尽量靠近或低于 PCB 下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低 PCB 尺寸或成本，这可能导致器件工作不正常。
 - 5. 芯片的 VCAP_1/VCAP_2 管脚使用的电容如下：
 - 同时存在 VCAP_1 和 VCAP_2 管脚的芯片，每个管脚可以使用 0.047μF 或者 0.1μF 电容（总容量为 0.094μF 或者 0.2μF）。
 - 只有 VCAP_1 管脚的芯片，可以使用 0.1μF 或者 0.22μF 电容。
- 从掉电模式唤醒时，内核电压建立过程中需要给 VCAP_1/VCAP_2 充电。一方面，较小的 VCAP_1/VCAP_2 总容量能够缩短充电时间，为应用带来快速响应能力；另一方面，较大的 VCAP_1/VCAP_2 总容量会延长充电时间，但是也提供更强的电磁兼容性(EMC)。用户可以根据电磁兼容性和系统响应速度的要求，选择较大或者较小的电容值。芯片的 VCAP_1/VCAP_2 总容量必须与 PWC_PWRC1.PDTS 位的赋值相匹配。VCAP_1/VCAP_2 的总容量为 0.2μF 或者 0.22μF 时，需要在进入掉电模式之前确保 PWC_PWRC1.PDTS 位清零。VCAP_1/VCAP_2 的总容量为 0.094μF 或者 0.1μF 时，需要在进入掉电模式之前确保 PWC_PWRC1.PDTS 位置位。
- 6. 主调压器的稳定性是通过将外部电容连接到 VCAP_1（或 VCAP_1/VCAP_2）引脚实现的，电容值 CEXT 根据系统的稳定性要求确定。电容值 CEXT 和 ESR 要求如下：

表 4-1 VCAP_1/VCAP_2 工作条件

符号	参数	典型值	单位
C _{EXT}	外部电容的电容值	0.047/0.1	μF
ESR	外部电容的等效串联电阻 ESR	<300	mΩ

4.1.7 电流消耗测量

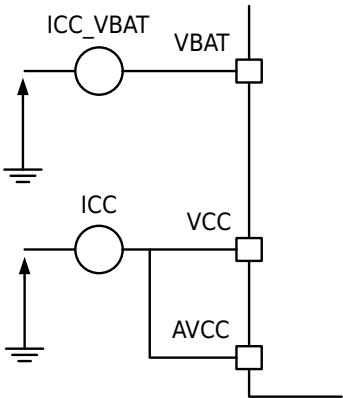


图 4-3 电流消耗测量方案

4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-2 电压特性

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}$	外部主电源电压（包括 AVCC、VCC 和 VBAT） ⁽¹⁾	-0.3	4.0	V
V_{IN}	除 PA11/USBFS_DM、PA12/USBFS_DP、PB14/USBHS_DM、PB15/USBHS_DP 之外其他引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{CC}+4.0$ (最大 5.8V)	V
	PA11/USBFS_DM、PA12/USBFS_DP PB14/USBHS_DM、PB15/USBHS_DP 引脚上的输入电压	$V_{SS}-0.3$	$V_{CC}+0.7$ (最大 4.0V)	
$V_{ESD(HBM)}$	静电放电电压(人体模型)	请参考“电气敏感性”		-



说明

- 1. 在允许的范围内，所有主电源（VCC、AVCC、VBAT）和接地（VSS、AVSS）引脚必须始终连接到外部电源。
- 2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表 4-3。

表 4-3 电流特性

符号	描述	最大值	单位
$\sum I_{VCC}$	流入所有 VCC_X 电源线的总电流（拉电流） ⁽¹⁾	240	mA
$\sum I_{VSS}$	流出所有 VSS_X 接地线的总电流（灌电流） ⁽¹⁾	-240	mA
I_{VCC}	流入每个 VCC_X 电源线的最大电流（拉电流） ⁽¹⁾	100	mA
I_{VSS}	流出每个 VSS_X 接地线的最大电流（灌电流） ⁽¹⁾	-100	mA
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	20	mA
	任意 I/O 和控制引脚上的输出拉电流	-20	mA
$\sum I_{IO}$	所有 I/O 和控制引脚上的总输出灌电流	100	mA
	所有 I/O 和控制引脚上的总输出拉电流	-100	mA



说明

- 1. 在允许的范围内，所有主电源（VCC、AVCC、VBAT）和接地（VSS、AVSS）引脚必须始终连接到外部电源。

表 4-4 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65~+150	°C
T_J	最大结温范围	-40~+125	°C

4.3 工作条件

4.3.1 通用工作条件

表 4-5 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	高速模式 PWRC2.DVS=0b11 PWRC2.DDAS=0b1111 PWRC3.DDAS=0xFF	-	-	240	MHz
		超低速模式 ⁽¹⁾ PWRC2.DVS=0b10 PWRC2.DDAS=0b0000 PWRC3.DDAS=0x00	-	-	8	
$V_{\text{CC}}^{(1)}$	标准工作电压	-	1.8	-	3.63	V
$V_{\text{AVCC}}^{(1)(2)}$	模拟工作电压	-	1.8	-	3.63	V
$V_{\text{BAT}}^{(1)}$	备份工作电压	-	1.65	-	3.63	V
$V_{\text{IN}}^{(1)}$	5V 耐压引脚上的输入电压 ⁽³⁾⁽⁴⁾⁽⁵⁾	$2\text{V} \leq V_{\text{CC}} \leq 3.63\text{V}$ $2\text{V} \leq V_{\text{AVCC}} \leq 3.63\text{V}$	-0.3	-	5.5	V
		$V_{\text{CC}} < 2\text{V}$ $V_{\text{AVCC}} < 2\text{V}$	-0.3	-	5.2	
	PA11/USBFS_DM、 PA12/USBFS_DP、 PB14/USBHS_DM、 PB15/USBHS_DP、 引脚上的输入电压	-	-0.3	-	$V_{\text{CC}} + 0.3$	
$T_{\text{J}}^{(1)}$	结温范围	-	-40	-	125	°C
$P_{\text{D}}^{(1)(6)}$	功耗消散 $T_{\text{A}} = 105^{\circ}\text{C}$	LQFP176	-	-	505	mW
		LQFP144	-	-	500	
		LQFP100	-	-	471	
		VFBGA176	-	-	555	
		VFBGA100	-	-	341	
$T_{\text{A}}^{(1)}$	工作温度范围	-	-40	-	105	°C



说明

1. 由综合评估得出，不在生产中测试。
2. 若存在 VREFH 引脚，则必须考虑下述条件： $0 \leq V_{\text{AVCC}} - V_{\text{REFH}} \leq 1.2\text{V}$ 。
3. 要使电压保持在高于 $V_{\text{CC}} + 0.3$ ，必须禁止内部上拉/下拉电阻。
4. 需保证器件的电源（VCC、AVCC）稳定后，此电压再添加到器件的 5V 耐压引脚。
5. 禁止此类引脚直连非本芯片的电源、地。建议通过 $\geq 1\text{k}\Omega$ 的电阻上拉到电源或下拉到地。
6. 如果 T_{A} 较低，只要 T_{J} 不超过 T_{Jmax} ，便允许更高的 P_{D} 值。

4.3.2 上电和掉电时的工作条件

表 4-6 上电/掉电时的工作条件

符号	参数	最小值	最大值	单位
$t_{VCC}^{(1)}$	VCC 上升时间速率	20	20000	$\mu\text{s/V}$
	VCC 下降时间速率	20	20000	



说明

1. 由综合评估得出，不在生产中测试。

4.3.3 复位和电源控制模块特性

表 4-7 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{BOR}	BOR 的监测电压	ICG1.BOR_LEV[1:0]=0b00	1.85	2.00	2.10	V
		ICG1.BOR_LEV[1:0]=0b01 ⁽¹⁾	1.96	2.10	2.20	V
		ICG1.BOR_LEV[1:0]=0b10 ⁽¹⁾	2.06	2.20	2.30	V
		ICG1.BOR_LEV[1:0]=0b11	2.27	2.40	2.50	V
V_{PVD1}	PVD1 监测电压 ⁽³⁾	PVD1LVL[2:0]=0b000	1.96	2.10	2.20	V
		PVD1LVL[2:0]=0b001 ⁽¹⁾	2.06	2.20	2.30	V
		PVD1LVL[2:0]=0b010 ⁽¹⁾	2.27	2.40	2.52	V
		PVD1LVL[2:0]=0b011 ⁽¹⁾	2.48	2.60	2.72	V
		PVD1LVL[2:0]=0b100 ⁽¹⁾	2.58	2.70	2.82	V
		PVD1LVL[2:0]=0b101 ⁽¹⁾	2.69	2.80	2.92	V
		PVD1LVL[2:0]=0b110 ⁽¹⁾	2.79	2.95	3.07	V
		PVD1LVL[2:0]=0b111	2.90	3.05	3.17	V
V_{PVD2}	PVD2 监测电压 ⁽³⁾	PVD2LVL[2:0]=0b000	2.06	2.20	2.30	V
		PVD2LVL[2:0]=0b001 ⁽¹⁾	2.27	2.40	2.50	V
		PVD2LVL[2:0]=0b010 ⁽¹⁾	2.48	2.60	2.72	V
		PVD2LVL[2:0]=0b011 ⁽¹⁾	2.58	2.70	2.82	V
		PVD2LVL[2:0]=0b100 ⁽¹⁾	2.69	2.85	2.94	V
		PVD2LVL[2:0]=0b101 ⁽¹⁾	2.79	2.95	3.07	V
		PVD2LVL[2:0]=0b110	2.90	3.05	3.17	V
		PVD2LVL[2:0]=0b111 ⁽⁵⁾	1.05	1.15	1.25	V
$V_{pvdhyst}^{(1)}$	PVD1/2 的迟滞 ⁽⁴⁾	-	-	100	-	mV
V_{POR}	上电/掉电复位阈值	上升沿 VPOR	1.60	1.68	1.80	V
		下降沿 VPDR	1.56	1.64	1.76	V
$V_{PORhyst}^{(1)}$	POR 迟滞	-	-	40	-	mV

符号	参数	条件	最小值	典型值	最大值	单位
$I_{RUSH}^{(1)}$	调压器上电时的浪涌电流(POR 或从待机唤醒)	-	-	160	200	mA
$T_{NRST}^{(1)}$	NRST 复位最低宽度	-	10	-	-	μs
$T_{IPVD1}^{(2)}$	PVD1 复位解除时间	-	300	380	460	μs
$T_{IPVD2}^{(2)}$	PVD2 复位解除时间	-	300	380	460	μs
$T_{INRST}^{(2)}$	NRST 复位解除时间	-	25	35	50	μs
$T_{RIPT}^{(2)}$	内部复位时间	-	140	160	200	μs
$T_{RSTBOR}^{(2)}$	BOR 复位解除时间	-	440	520	610	μs
$T_{RSTPOR}^{(2)}$	上电复位解除时间	-	-	2500	3000	μs

**说明**

1. 由综合评估得出, 不在生产中测试。
2. 由设计保证, 不在生产中测试。
3. PVD1 监测电压是 VCC 电压下降时的监测电压; 在 PVD2LVL[2:0]设置为 0b111 时 PVD2 监测电压是 PVDEXINP 电压下降时的监测电压, 在 PVD2LVD[2:0]设置为 0b111 之外的值时 PVD2 监测电压是 VCC 电压下降时的监测电压。
4. PVD1/2 的迟滞是 VCC 或 PVDEXINP 上升时的监测电压与下降时的监测电压的差值。
VCC 上升时的 PVD1 监测电压= $V_{PVD1}+V_{pvd}hyst$;
VCC 上升时的 PVD2 监测电压= $V_{PVD2}+V_{pvd}hyst$ 。
5. PVD2LVDL[2:0]=0b111 时, 比较电压是 PVD2EXINP 管脚的外部输入比较电压。

4.3.4 供电电流特性

电流消耗受多个参数和因素影响, 其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。

图 4-3 介绍了电流消耗的测量方法。本节所述各种模式下的电流消耗测量值都是在实验室条件下通过一套运行在 FLASH 的测试代码得出。

具体条件如下:

1. 所有 I/O 引脚都处于高阻模式 (无负载)。
2. 时钟频率选择高速模式 $f_{HCLK}=240MHz/120MHz/24MHz$ 和超低速模式 $f_{HCLK}=8MHz/1MHz$ 。
3. 功耗模式分为: 正常工作模式 ICC_RUN, 休眠模式 ICC_SLEEP, 停止模式 ICC_STP, 掉电模式 ICC_PD, Dhrystone 工作模式 ICC_DHRYSTONE 以及 VBAT 供电模式 ICC_VBAT。
4. 外设时钟 ON/OFF 请参考具体电流条件说明。
5. 高速模式 $f_{HCLK}=240MHz/120MHz$ 下 PLL 处于开启状态。

表 4-8 高速模式电流消耗 1

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=240\text{MHz}$	-	40	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	78	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=3.3\text{V}$	-	40	-	mA
	CACHE ON		-	43	-	mA
ICC_SLEEP	全模块时钟 OFF		-	27	-	mA
	全模块时钟 ON		-	68	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=240\text{MHz}$	-	40	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	79	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=3.3\text{V}$	-	41	-	mA
	CACHE ON		-	44	-	mA
ICC_SLEEP	全模块时钟 OFF		-	28	-	mA
	全模块时钟 ON		-	68	-	mA
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=240\text{MHz}$	-	-	70	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	120	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	75	mA
	CACHE ON		-	-	78	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	-	60	mA
	全模块时钟 ON		-	-	110	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=240\text{MHz}$	-	-	115	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	170	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	131	mA
	CACHE ON		-	-	134	mA
ICC_SLEEP	全模块时钟 OFF		-	-	105	mA
	全模块时钟 ON		-	-	160	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-9 高速模式电流消耗 2⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=120\text{MHz}$	-	28	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	46	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	22	-	mA
	CACHE ON		-	24	-	mA
ICC_SLEEP	全模块时钟 OFF		-	15	-	mA
	全模块时钟 ON		-	37	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=120\text{MHz}$	-	29	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	47	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	23	-	mA
	CACHE ON		-	25	-	mA
ICC_SLEEP	全模块时钟 OFF		-	16	-	mA
	全模块时钟 ON		-	37	-	mA

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=120\text{MHz}$	-	-	56	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	79	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	56	mA
	CACHE ON		-	-	57	mA
ICC_SLEEP	全模块时钟 OFF		-	-	44	mA
	全模块时钟 ON		-	-	69	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=120\text{MHz}$	-	-	105	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	135	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	111	mA
	CACHE ON		-	-	112	mA
ICC_SLEEP	全模块时钟 OFF		-	-	95	mA
	全模块时钟 ON		-	-	130	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-10 高速模式电流消耗 3⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	8	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	14	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	7	-	mA
ICC_SLEEP	全模块时钟 OFF		-	5	-	mA
	全模块时钟 ON		-	14	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	8	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	15	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	8	-	mA
ICC_SLEEP	全模块时钟 OFF		-	6	-	mA
	全模块时钟 ON		-	14	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	-	35	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	44	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	38	mA
ICC_SLEEP	全模块时钟 OFF		-	-	31	mA
	全模块时钟 ON		-	-	42	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	-	85	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	100	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	90	mA
ICC_SLEEP	全模块时钟 OFF		-	-	80	mA
	全模块时钟 ON		-	-	95	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-11 超低速模式电流消耗 1

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	4	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	8	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=3.3\text{V}$	-	3	-	mA
ICC_SLEEP	全模块时钟 OFF		-	4	-	mA
	全模块时钟 ON		-	8	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	5	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	9	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=3.3\text{V}$	-	4	-	mA
ICC_SLEEP	全模块时钟 OFF		-	5	-	mA
	全模块时钟 ON		-	8	-	mA
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	-	30	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	36	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	34	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	-	29	mA
	全模块时钟 ON		-	-	36	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-12 超低速模式电流消耗 2⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	3	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	5	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	2	-	mA
ICC_SLEEP	全模块时钟 OFF		-	3	-	mA
	全模块时钟 ON		-	5	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	4	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	6	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	3	-	mA
ICC_SLEEP	全模块时钟 OFF		-	4	-	mA
	全模块时钟 ON		-	6	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	-	29	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	33	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	32	mA
ICC_SLEEP	全模块时钟 OFF		-	-	29	mA
	全模块时钟 ON		-	-	33	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-13 低功耗模式电流消耗

符号	参数	条件	最小值	典型值	最大值	单位
ICC_STP (停止模式)	PWC_PWRC1.STPDAS=0b00	$T_A = -40^{\circ}\text{C}$	-	350	-	μA
	PWC_PWRC1.STPDAS=0b11	$V_{CC}=3.3\text{V}$	-	110	-	μA
	PWC_PWRC1.STPDAS=0b00	$T_A = 25^{\circ}\text{C}$	-	600	-	μA
	PWC_PWRC1.STPDAS=0b11	$V_{CC}=3.3\text{V}$	-	310	-	μA
	PWC_PWRC1.STPDAS=0b00 ⁽¹⁾	$T_A = 85^{\circ}\text{C}$	-	-	15	mA
	PWC_PWRC1.STPDAS=0b11 ⁽¹⁾	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	15	mA
	PWC_PWRC1.STPDAS=0b00	$T_A = 105^{\circ}\text{C}$	-	-	37	mA
	PWC_PWRC1.STPDAS=0b11	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	37	mA
ICC_PD (掉电模式)	掉电模式 1	$T_A = -40^{\circ}\text{C}$	-	9	-	μA
	掉电模式 2	$V_{CC}=3.3\text{V}$	-	4	-	μA
	掉电模式 3		-	2	-	μA
	掉电模式 4		-	2	-	μA
	掉电模式 2+XTAL32+RTC ⁽¹⁾		-	5	-	μA
	掉电模式 2+LRC+RTC		-	7	-	μA
	掉电模式 2+XTAL32+RTC+Ret SRAM ⁽¹⁾		-	5	-	μA
	掉电模式 1	$T_A = 25^{\circ}\text{C}$	-	11	-	μA
	掉电模式 2	$V_{CC}=3.3\text{V}$	-	5	-	μA
	掉电模式 3		-	3	-	μA
	掉电模式 4		-	3	-	μA
	掉电模式 2+XTAL32+RTC		-	6	-	μA
	掉电模式 2+LRC+RTC		-	8	-	μA
	掉电模式 2+XTAL32+RTC+Ret SRAM		-	6	-	μA
	掉电模式 1 ⁽¹⁾	$T_A = 85^{\circ}\text{C}$	-	-	25	μA
	掉电模式 2 ⁽¹⁾	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	17	μA
	掉电模式 3 ⁽¹⁾		-	-	13	μA
	掉电模式 4 ⁽¹⁾		-	-	13	μA
	掉电模式 2+XTAL32+RTC ⁽¹⁾		-	-	18	μA
	掉电模式 2+LRC+RTC ⁽¹⁾		-	-	13	μA
	掉电模式 2+XTAL32+RTC+Ret SRAM ⁽¹⁾		-	-	22	μA
	掉电模式 1	$T_A = 105^{\circ}\text{C}$	-	-	65	μA
	掉电模式 2	$V_{CC}=1.8\sim 3.63\text{V}$	-	-	57	μA
	掉电模式 3		-	-	46	μA
	掉电模式 4		-	-	46	μA
	掉电模式 2+XTAL32+RTC ⁽¹⁾		-	-	57	μA
	掉电模式 2+LRC+RTC		-	-	57	μA
	掉电模式 2+XTAL32+RTC+Ret SRAM ⁽¹⁾		-	-	60	μA



说明

1. 由综合评估得出，不在生产中测试。

表 4-14 备份域电流消耗

符号	参数 ⁽¹⁾	条件	最小值	典型值	最大值	单位
ICC_VBAT	VBAT 区域模块全关闭	$T_A = -40^{\circ}\text{C}$ VBAT=3.3V	-	0.3	-	μA
	XTAL32 ON ⁽²⁾		-	0.7	-	μA
	XTAL32 ON+ XTAL32 滤波器开 ⁽²⁾		-	1.0	-	μA
	XTAL32 ON+ XTAL32 滤波器开+RTC 计数 ⁽²⁾		-	1.0	-	μA
	Ret SRAM 开		-	0.9	-	μA
	RTCLRC 开		-	3.4	-	μA
	RTCLRC 开+WKTm 计数		-	3.5	-	μA
	VBAT 区域模块全关闭	$T_A = 25^{\circ}\text{C}$ VBAT=3.3V	-	0.4	-	μA
	XTAL32 ON		-	1.0	-	μA
	XTAL32 ON+ XTAL32 滤波器开		-	1.2	-	μA
	XTAL32 ON+ XTAL32 滤波器开+RTC 计数		-	1.2	-	μA
	Ret SRAM 开		-	1.3	-	μA
	RTCLRC 开		-	3.6	-	μA
	RTCLRC 开+WKTm 计数		-	3.6	-	μA
	VBAT 区域模块全关闭 ⁽²⁾	$T_A = 85^{\circ}\text{C}$ VBAT=3.3V	-	-	2.7	μA
	XTAL32 ON ⁽²⁾		-	-	2.7	μA
	XTAL32 ON+ XTAL32 滤波器开 ⁽²⁾		-	-	2.8	μA
	XTAL32 ON+ XTAL32 滤波器开+RTC 计数 ⁽²⁾		-	-	2.8	μA
	Ret SRAM 开 ⁽²⁾		-	-	6.6	μA
	RTCLRC 开 ⁽²⁾		-	-	7.5	μA
	RTCLRC 开+WKTm 计数 ⁽²⁾		-	-	7.6	μA
	VBAT 区域模块全关闭	$T_A = 105^{\circ}\text{C}$ VBAT=3.3V	-	-	6.3	μA
	XTAL32 ON ⁽²⁾		-	-	6.3	μA
	XTAL32 ON+ XTAL32 滤波器开 ⁽²⁾		-	-	6.4	μA
	XTAL32 ON+ XTAL32 滤波器开+RTC 计数 ⁽²⁾		-	-	6.4	μA
	Ret SRAM 开		-	-	15.5	μA
	RTCLRC 开		-	-	11.2	μA
	RTCLRC 开+WKTm 计数		-	-	11.2	μA



说明

1. 未列举的 VBAT 供电模块处于关闭状态。
2. 由综合评估得出，不在生产中测试。

表 4-15 模拟模块电流消耗⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_MODULE	XTAL 振荡模式大驱动 24MHz	$T_A = 25^{\circ}\text{C}$ $V_{CC} = V_{AVCC} = 3.3\text{V}$	-	1.8	-	mA
	振荡模式中驱动 16MHz		-	1.0	-	mA
	振荡模式小驱动 10MHz		-	0.8	-	mA

符号	参数	条件	最小值	典型值	最大值	单位
ICC_MODULE	振荡模式超小驱动 8MHz	$T_A=25^{\circ}\text{C}$ $V_{CC}=V_{AVCC}=3.3\text{V}$	-	0.6	-	mA
	XTAL 32.768kHz		-	1.1	-	μA
	HRC		-	0.3	-	mA
	PLLH (VCO=1200MHz)		-	4.4	-	mA
	PLLH (VCO=600MHz)		-	2.7	-	mA
	PLLA (VCO=480MHz)		-	2.9	-	mA
	PLLA (VCO=240MHz)		-	1.7	-	mA
	ADC		-	1.5	-	mA
	DAC		-	0.2	-	mA
	CMP		-	0.4	-	mA
	PGA		-	0.7	-	mA
	USBFS ⁽¹⁾		-	6.0	-	mA



说明

1. 包含控制部分与 USBPHY 通信时的电流，负载 50pF。
2. 由综合评估得出，不在生产中测试。

4.3.5 低功耗模式唤醒时序

唤醒时间测量方法为，从唤醒事件触发至 CPU 执行的第一条指令：

- 对于停止或睡眠模式：唤醒事件为 WFE。
- WKUP 引脚用于从待机、停止、睡眠模式唤醒。所有时序均在环境温度及 $V_{CC}=3.3\text{V}$ 测试得出。

表 4-16 低功耗模式唤醒时间⁽²⁾

符号	参数	条件	典型值	最大值	单位
T_{STOP1}	从停止模式唤醒	PWC_PWRC1.VHRCSD=1 且 PWC_PWRC1.VPLLSD=1，系统时钟为 MRC，程序在 RAM 上执行	2	5	μs
T_{STOP2}	从停止模式唤醒	系统时钟为 MRC，程序在 Flash 上执行	8	15	μs
$T_{\text{PD1}}^{(1)}$	从掉电模式 1 唤醒	VCAP_1/VCAP_2 总容量为 0.094 μF 或者 0.1 μF	25	35	μs
		VCAP_1/VCAP_2 总容量为 0.2 μF 或者 0.22 μF	30	40	μs
$T_{\text{PD2}}^{(1)}$	从掉电模式 2 唤醒	VCAP_1/VCAP_2 总容量为 0.094 μF 或者 0.1 μF	70	80	μs
		VCAP_1/VCAP_2 总容量为 0.2 μF 或者 0.22 μF	75	85	μs
$T_{\text{PD3}}^{(1)}$	从掉电模式 3 唤醒	VCAP_1/VCAP_2 总容量为 0.094 μF 或者 0.1 μF	2500	3000	μs
		VCAP_1/VCAP_2 总容量为 0.2 μF 或者 0.22 μF	2500	3000	μs
$T_{\text{PD4}}^{(1)}$	从掉电模式 4 唤醒	VCAP_1/VCAP_2 总容量为 0.094 μF 或者 0.1 μF	130	140	μs
		VCAP_1/VCAP_2 总容量为 0.2 μF 或者 0.22 μF	140	150	μs



说明

1. 芯片的 VCAP_1/VCAP_2 总容量必须与 PWC_PWRC1.PDTS 位的赋值相匹配。VCAP_1/VCAP_2 的总容量为 0.2 μF 或者 0.22 μF 时，需要在进入掉电模式之前确保 PWC_PWRC1.PDTS 位清零。VCAP_1/VCAP_2 的总容量为 0.094 μF 或者 0.1 μF 时，需要在进入掉电模式之前确保 PWC_PWRC1.PDTS 位置位。
2. 由综合评估得出，不在生产中测试。

4.3.6 外部时钟源特性

4.3.6.1 外部源产生的高速外部用户时钟

在旁路模式，XTAL 振荡器关闭，输入引脚为标准 I/O。外部时钟信号必须考虑 I/O 静态特性。

表 4-17 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTAL_EXT}	用户外部时钟源频率	-	1	-	25	MHz
V_{IH_XTAL}	XTAL_EXT 输入引脚高电平电压	-	$0.8 \cdot V_{CC}$	-	V_{CC}	V
V_{IL_XTAL}	XTAL_EXT 输入引脚低电平电压	-	V_{SS}	-	$0.2 \cdot V_{CC}$	
$t_{r(XTAL)}^{(1)}$ $t_{f(XTAL)}^{(1)}$	XTAL_EXT 上升或下降时间	-	-	-	5	ns
$Duty_{(XTAL)}^{(1)}$	占空比	-	40	-	60	%



说明

1. 由综合评估得出，不在生产中测试。

4.3.6.2 晶振/陶瓷谐振器产生的高速外部时钟

高速外部（XTAL）时钟可以使用一个 4~25MHz 的晶振/陶瓷谐振振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 4-18 XTAL 4~25MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{XTAL_IN}^{(1)}$	振荡器频率	-	4	-	25	MHz
R_F	反馈电阻	-	-	300	-	k Ω
$A_{XTAL}^{(2)(3)}$	XTAL 精度	-	-500	-	500	ppm
$G_{mmax}^{(2)}$	振荡器 Gm	起振	4	-	-	mA/V
$t_{SU(XTAL)}^{(1)(4)}$	启动时间	V_{CC} 稳定，晶振=8MHz	-	2.0	-	ms
		V_{CC} 稳定，晶振=4MHz	-	4.0	-	ms



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 此参数取决于应用系统上使用到的谐振器。
4. $t_{SU(XTAL)}$ 是起振时间，即从软件使能 XTAL 开始测量，直至得到稳定的 8MHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

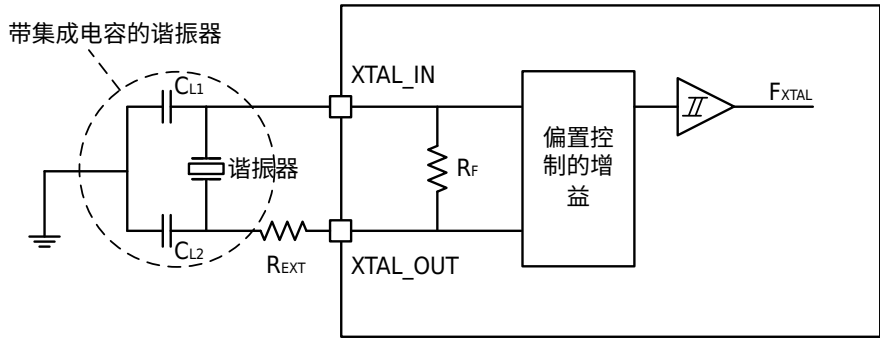


图 4-4 采用 8MHz 晶振的典型应用



说明

- 对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5pF 到 25pF（典型值）之间的高质量外部陶瓷电容（请参见上图）。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10pF）。
- 阻尼电阻 R_{EXT} 可选，阻值的取值取决于晶振特性。

4.3.6.3 晶振/陶瓷谐振器产生的低速外部时钟

低速外部时钟可以使用一个由 32.768kHz 的晶振/陶瓷谐振器构成的振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 4-19 XTAL32 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$F_{XTAL32}^{(1)}$	频率	-	-	32.768	-	kHz
R_F	反馈电阻	-	-	15	-	MΩ
$I_{DD_XTAL32}^{(1)}$	功耗	XTAL32DRV[2:0]=0b000	-	0.8	-	μA
$A_{XTAL32}^{(2)(3)}$	XTAL32 精度	-	-500	-	500	ppm
$G_{mmax}^{(2)}$	振荡器 G_m	XTAL32DRV[2:0]=0b000	5.6	-	-	μA/V
$T_{SUXTAL32}^{(1)(4)}$	启动时间	V_{CC} 稳定状态下	-	2	-	s



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 此参数取决于应用系统上使用到的谐振器。
4. $T_{SUXTAL32}$ 是起振时间，即从软件使能 XTAL32 开始测量，直至得到稳定的 32.768kHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

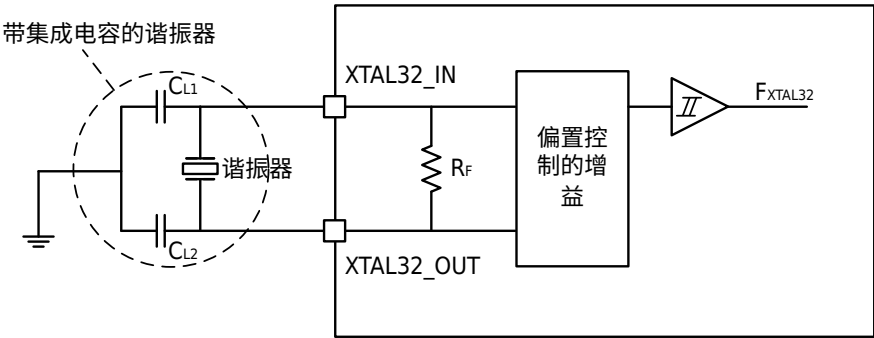


图 4-5 采用 32.768kHz 晶振的典型应用



说明

对于 C_{L1} 和 C_{L2} ，建议使用高质量外部陶瓷电容（请参见上图）。 C_{L1} 和 C_{L2} 的大小通常相同， $C_{L1}=C_{L2}=2*(C_L-C_S)$ 。 C_S 是 PCB 与 MCU 引脚（XTAL32_IN、XTAL32_OUT）之间的寄生电容总和。如果 C_{L1} 或 C_{L2} 大于 18pF，建议设置 XTAL32DRV[2:0]=0b001（高驱动，功耗典型值增加 0.2 μ A）。 C_L 为晶振或陶瓷谐振器的负载电容，请咨询晶振谐振器制造商。

4.3.7 内部时钟源特性

4.3.7.1 内部高速（HRC）振荡器

表 4-20 HRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HRC}	频率	模式 1	-	16	-	MHz
		模式 2	-	20	-	
	用户调整刻度 ⁽¹⁾	-	-	-	0.2	%
	频率精度	$T_A=-40\sim105^{\circ}\text{C}$	-3	-	3	%
		$T_A=-20\sim105^{\circ}\text{C}^{(1)}$	-2.5	-	2.5	%
		$T_A=25^{\circ}\text{C}$	-1.5	-	1.5	%
$t_{st(HRC)}$	HRC 振荡器振荡稳定时间	-	-	-	15	μs



说明

1. 由综合评估得出，不在生产中测试。

4.3.7.2 内部中速（MRC）振荡器

表 4-21 MRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{MRC}	频率	-	7.2	8	8.8	MHz
$t_{st(MRC)}$	MRC 振荡器稳定时间	-	-	-	3	μs

4.3.7.3 内部低速（LRC）振荡器

表 4-22 LRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LRC}	频率	-	27.853	32.768	37.683	kHz
$t_{st(LRC)}$	LRC 振荡器稳定时间	-	-	-	36	μs

4.3.7.4 SWDT 专用内部低速（SWDTLRC）振荡器

表 4-23 SWDTLRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{SWDTLRC}$	频率	-	9	10	11	kHz
$t_{st(SWDTLRC)}$	SWDTLRC 振荡器稳定时间	-	-	-	57.1	μs

4.3.7.5 RTC 专用内部低速（RTCLRC）振荡器

表 4-24 RTCLRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{RTCLRC}	频率	-	29.5	32.768	36	kHz
$t_{st(RTCLRC)}$	RTCLRC 振荡器稳定时间	-	-	-	36	μs

4.3.8 PLL 特性

表 4-25 I2S-PLL（PLLA）主要性能指标

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 鉴相鉴频器（PFD）的输入时钟	-	1	-	25	MHz
$f_{PLL_OUT}^{(1)}$	PLL 倍增器的输出时钟	-	15	-	240	MHz
f_{VCO_OUT}	PLL 压控振荡器（VCO）的输出	-	240	-	480	MHz
$Jitter_{PLL}^{(1)}$	周期抖动	PLL PFD 输入时钟为 8MHz，系统时钟为 120MHz，峰峰值	-	± 100	-	ps
	相邻周期间抖动	PLL PFD 输入时钟为 8MHz，系统时钟为 120MHz，峰峰值	-	± 150	-	
t_{LOCK}	PLL 锁定时间	-	-	80	120	μs

 说明

1. 由综合评估得出，不在生产中测试。

表 4-26 系统 PLL（PLLH）主要性能指标

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 鉴相鉴频器（PFD）的输入时钟	-	8	-	25	MHz

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{PLL_OUT}}^{(1)}$	PLL 倍增器的输出时钟	-	37.5	-	600	MHz
$f_{\text{VCO_OUT}}$	PLL 压控振荡器 (VCO) 的输出	-	600	-	1200	MHz
$\text{Jitter}_{\text{PLL}}^{(1)}$	周期抖动	PLL PFD 输入时钟为 8MHz, 系统时钟为 120MHz, 峰峰值	-	± 70	-	ps
	相邻周期间抖动	PLL PFD 输入时钟为 8MHz, 系统时钟为 120MHz, 峰峰值	-	± 100	-	ps
t_{LOCK}	PLL 锁定时间	-	-	80	120	μs



说明

1. 由综合评估得出, 不在生产中测试。

4.3.9 存储器 (闪存) 特性

器件交付给客户时, 闪存已被擦除。

表 4-27 闪存特性

符号	参数	条件	最小值	典型值	最大值	单位
$I_{\text{VCC}}^{(1)}$	供电电流	读模式, $1.8\text{V} \leq V_{\text{CC}} \leq 3.63\text{V}$	-	-	5	mA
		编程模式, $1.8\text{V} \leq V_{\text{CC}} \leq 3.63\text{V}$	-	-	10	mA
		块擦除模式, $1.8\text{V} \leq V_{\text{CC}} \leq 3.63\text{V}$	-	-	10	mA
		全擦除模式, $1.8\text{V} \leq V_{\text{CC}} \leq 3.63\text{V}$	-	-	10	mA



说明

1. 由设计保证, 不在生产中测试。

表 4-28 闪存编程擦除时间⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
T_{prog}	字编程时间	单编程模式	$43 + 2 \cdot t_{\text{HCLK}}$	$48 + 4 \cdot t_{\text{HCLK}}$	$53 + 6 \cdot t_{\text{HCLK}}$	μs
	字编程时间	连续编程模式	$12 + 2 \cdot t_{\text{HCLK}}$	$14 + 4 \cdot t_{\text{HCLK}}$	$16 + 6 \cdot t_{\text{HCLK}}$	μs
T_{erase}	块擦除时间	-	$16 + 2 \cdot t_{\text{HCLK}}$	$18 + 4 \cdot t_{\text{HCLK}}$	$20 + 6 \cdot t_{\text{HCLK}}$	ms
T_{mas}	全擦除时间	-	$16 + 2 \cdot t_{\text{HCLK}}$	$18 + 4 \cdot t_{\text{HCLK}}$	$20 + 6 \cdot t_{\text{HCLK}}$	ms



说明

1. 由设计保证, 不在生产中测试。
2. t_{HCLK} 为 CPU 时钟的 1 周期。

表 4-29 闪存可擦写次数和数据保存期限⁽¹⁾

符号	参数	条件	最小值	单位
N_{end}	编程, 块擦除次数	$T_{\text{A}} = 85^\circ\text{C}$	10	千次
N_{end}	全擦除次数	$T_{\text{A}} = 85^\circ\text{C}$	10	千次

符号	参数	条件	最小值	单位
T_{ret}	数据保存期限	$T_A=85^{\circ}\text{C}$, after 10 kcycles	10	年



说明

1. 由综合评估得出, 不在生产中测试。

4.3.10 电气敏感性

使用特定的测量方法对芯片进行不同的测试（ESD、LU），以确定其在电气敏感性方面的性能。

4.3.10.1 静电放电（ESD）

根据每种引脚组合，对每个样本的引脚施加静电放电。此项测试符合 ANSI/ESDA/JEDEC JS-001、ANSI/ESDA/JEDEC JS-002 标准。

表 4-30 ESD 特性⁽¹⁾

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	$T_A=25^{\circ}\text{C}$, 符合 ANSI/ESDA/JEDEC JS-001 标准	2000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	$T_A=25^{\circ}\text{C}$, 符合 ANSI/ESDA/JEDEC JS-002 标准	500	V



说明

1. 由综合评估得出, 不在生产中测试。

4.3.10.2 静态 Latch-up

为评估静态 Latch-up 性能，需要对芯片执行两项互补的静态 Latch-up 测试：

- 对每个电源和模拟输入引脚施加过压
- 对其他输入、输出和可配置 I/O 引脚施加电流注入

这些测试符合 JESD 78 IC Latch-up 标准。

表 4-31 静态 Latch-up 特性⁽¹⁾

符号	参数	条件	最大值	单位
LU	静态 Latch-up	$T_A=105^{\circ}\text{C}$, 符合 JESD78 标准	200	mA



说明

1. 由综合评估得出, 不在生产中测试。

4.3.11 I/O 端口特性

常规输入/输出特性

表 4-32 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	Schmitt 输入低电平	$1.8 \leq V_{CC} \leq 3.63$	-	-	$0.2V_{CC}$	V
V_{IH}	Schmitt 输入高电平	$1.8 \leq V_{CC} \leq 3.63$	$0.8V_{CC}$	-	-	V
$V_{HYS}^{(1)}$	Schmitt 输入迟滞	$1.8 \leq V_{CC} \leq 3.63$	-	0.2	-	V
V_{IL}	CMOS 输入低电平	$1.8 \leq V_{CC} \leq 3.63$	-	-	$0.3V_{CC}$	V

符号	参数		条件	最小值	典型值	最大值	单位
V_{IH}	CMOS 输入高电平		$1.8 \leq V_{CC} \leq 3.63$	$0.7V_{CC}$	-	-	V
TTL_V_{IL}	CMOS 兼容 TTL 输入低电平		$2.7 \leq V_{CC} \leq 3.63$	-	-	0.8	V
TTL_V_{IH}	CMOS 兼容 TTL 输入高电平		$2.7 \leq V_{CC} \leq 3.63$	2.0	-	-	V
I_{LKG}	I/O 输入泄露电流		$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	1	μA
			$V_{IN} = 5.5V$	-	-	10	μA
$R_{PU}^{(3)(4)}$	弱上拉等效电阻		$V_{IN} = V_{SS}$	-	30	-	k Ω
$R_{PD}^{(2)(3)(5)}$	弱下拉等效电阻	PA11/USBFS_DM PA12/USBFS_DP PB14/USBHS_DM PB15/USBHS_DP	$V_{IN} = V_{CC}$	-	500	-	k Ω
$C_{IO}^{(2)}$	I/O 引脚电容	PA11/USBFS_DM PA12/USBFS_DP PB14/USBHS_DM PB15/USBHS_DP	-	-	10	-	pF
		PA11/USBFS_DM PA12/USBFS_DP PB14/USBHS_DM PB15/USBHS_DP 之外的其他输入引脚	-	-	5	-	pF



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 要使电压保持在高于 $V_{CC} + 0.3V$ ，必须禁止内部上拉/下拉电阻。
4. 对 PA11/USBFS_DM、PA12/USBFS_DP、PB14/USBHS_DM、PB15/USBHS_DP 而言，标明的是 USB 功能关闭时 GPIO 的弱上拉等效电阻数值。关于 USB 功能的上拉/下拉电阻请参考“[USB 接口特性](#)”章节。
5. 仅 PA11/USBFS_DM、PA12/USBFS_DP、PB14/USBHS_DM、PB15/USBHS_DP 有弱下拉电阻，且一直有效。

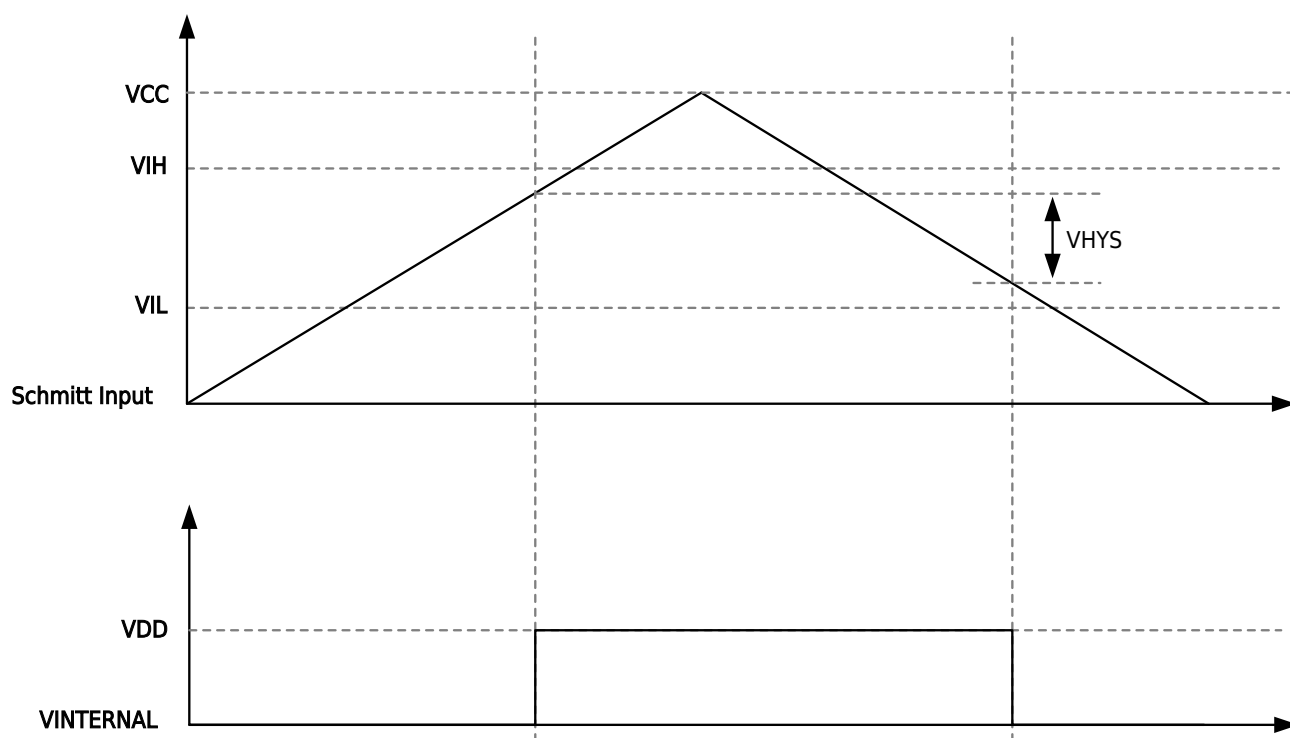
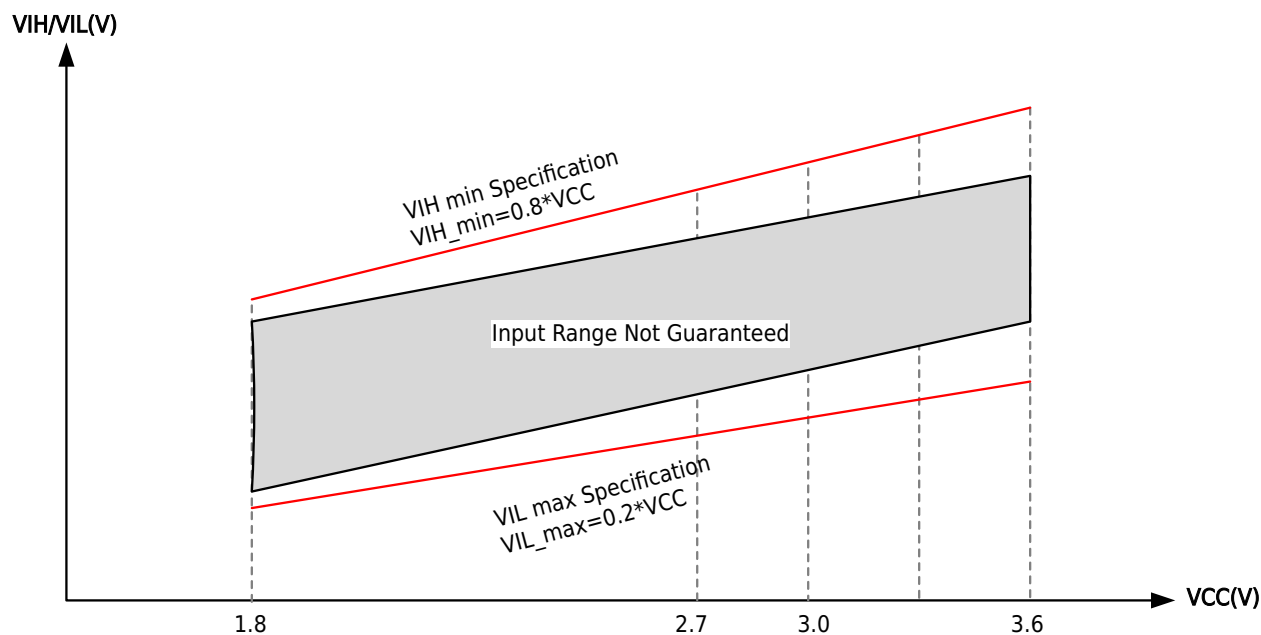


图 4-6 Schmitt input DC electrical characteristics definition

图 4-7 V_{IH}/V_{IL} versus V_{CC} (Schmitt Input)

输出电流

GPIO (通用输入/输出) 可提供最大 $\pm 20\text{mA}$ 的拉电流或灌电流。

PC13、PC14、PC15、PI8 的拉电流或灌电流电流，需满足下列限制条件： $\sum I_{IO}$ (PC13、PC14、PC15、PI8) $\leq 20\text{mA}$ 。

输出电压

表 4-33 输出电压特性

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 1.5\text{mA}$	-	-	0.6	V
	$V_{OH}^{(2)}$	高电平输出	$1.8\leq V_{CC}<2.7$	$V_{CC}-0.6$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 3\text{mA}$	-	-	0.6	V
	$V_{OH}^{(2)}$	高电平输出	$2.7\leq V_{CC}\leq 3.63$	$V_{CC}-0.6$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 6\text{mA}$	-	-	1.3	V
	$V_{OH}^{(2)}$	高电平输出	$2.7\leq V_{CC}\leq 3.63$	$V_{CC}-1.3$	-	-	V
中驱动	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 3\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)}$	高电平输出	$1.8\leq V_{CC}<2.7$	$V_{CC}-0.4$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 5\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)}$	高电平输出	$2.7\leq V_{CC}\leq 3.63$	$V_{CC}-0.4$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 12\text{mA}$	-	-	1.3	V
	$V_{OH}^{(2)}$	高电平输出	$2.7\leq V_{CC}\leq 3.63$	$V_{CC}-1.3$	-	-	V
高驱动	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 6\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)}$	高电平输出	$1.8\leq V_{CC}<2.7$	$V_{CC}-0.4$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 8\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)}$	高电平输出	$2.7\leq V_{CC}\leq 3.63$	$V_{CC}-0.4$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 20\text{mA}$	-	-	1.3	V
	$V_{OH}^{(2)}$	高电平输出	$2.7\leq V_{CC}\leq 3.63$	$V_{CC}-1.3$	-	-	V



说明

- 器件的 I_{IO} 灌电流必须一直考虑表 4-3 中规定的绝对最大额定。 I_{IO} (I/O 端口和控制引脚) 之和一定不能超过 I_{VSSO}
- 器件的 I_{IO} 拉电流必须始终遵循表 4-3 所列的绝对最大额定值， I_{IO} (I/O 端口和控制引脚) 的总和不得超过 I_{VCCO}

输入/输出交流特性

表 4-34 I/O 交流特性⁽¹⁾

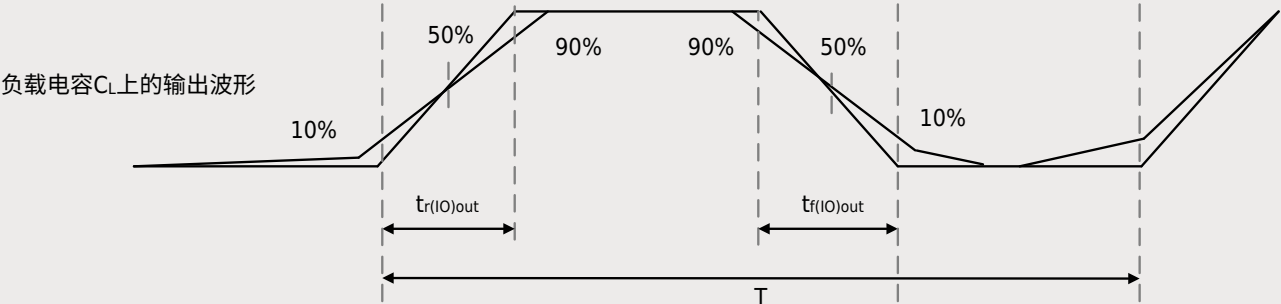
驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$f_{\max(I/O)\text{out}}^{(2)}$	最大频率	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	20	MHz
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	10	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	40	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	20	

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$t_{f(I/O)out}$ $t_{r(I/O)out}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30pF, V_{CC}\geq 2.7V$	-	-	15	ns
			$C_L=30pF, V_{CC}\geq 1.8V$	-	-	25	
			$C_L=10pF, V_{CC}\geq 2.7V$	-	-	7.5	
			$C_L=10pF, V_{CC}\geq 1.8V$	-	-	15	
中驱动	$f_{max(I/O)out}^{(2)}$	最大频率	$C_L=30pF, V_{CC}\geq 2.7V$	-	-	45	MHz
			$C_L=30pF, V_{CC}\geq 1.8V$	-	-	22.5	
			$C_L=10pF, V_{CC}\geq 2.7V$	-	-	90	
			$C_L=10pF, V_{CC}\geq 1.8V$	-	-	45	
	$t_{f(I/O)out}$ $t_{r(I/O)out}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30pF, V_{CC}\geq 2.7V$	-	-	6	ns
			$C_L=30pF, V_{CC}\geq 1.8V$	-	-	10	
			$C_L=10pF, V_{CC}\geq 2.7V$	-	-	4	
			$C_L=10pF, V_{CC}\geq 1.8V$	-	-	6	
高驱动	$f_{max(I/O)out}^{(2)}$	最大频率	$C_L=30pF, V_{CC}\geq 2.7V$	-	-	100	MHz
			$C_L=30pF, V_{CC}\geq 1.8V$	-	-	50	
			$C_L=10pF, V_{CC}\geq 2.7V$	-	-	180	
			$C_L=10pF, V_{CC}\geq 1.8V$	-	-	100	
	$t_{f(I/O)out}$ $t_{r(I/O)out}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30pF, V_{CC}\geq 2.7V$	-	-	4	ns
			$C_L=30pF, V_{CC}\geq 1.8V$	-	-	6	
			$C_L=10pF, V_{CC}\geq 2.7V$	-	-	2.5	
			$C_L=10pF, V_{CC}\geq 1.8V$	-	-	3.5	



说明

- 1. 由综合评估得出，不在生产中测试。
- 2. 最大频率在下图中定义。
- 3. 负载电容 C_L 必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10pF）。



最大频率条件： $(t_r + t_f) \leq (2/3)T$ 并且 Duty cycle = 50% ± 5%
(负载电容 C_L 在“输入/输出交流特性”表格的“条件”一栏中标明)

图 4-8 I/O 交流特性定义

4.3.12 I2C 接口特性

表 4-35 I2C 电气特性

符号	参数	标准模式 (SM)		快速模式 (FM)		单位
		最小值	最大值	最小值	最大值	
$f_{SCL}^{(1)}$	SCL 频率	0	100	0	400	kHz
$t_{HD;STA}^{(1)}$	开始条件/重新开始条件 Hold	4.0	-	0.6	-	μs
$t_{LOW}^{(1)}$	SCL 低电平	4.7	-	1.3	-	μs
$t_{HIGH}^{(1)}$	SCL 高电平	4	-	0.6	-	μs
$t_{SU;STA}^{(1)}$	重新开始条件 Setup	4.7	-	0.6	-	μs
$t_{HD;DAT}$	数据 Hold	0	-	0	-	μs
$t_{SU;DAT}$	数据 Setup	$50+t_{I2C \text{ 基准时钟周期}}^{(2)}$	-	$50+t_{I2C \text{ 基准时钟周期}}^{(2)}$	-	ns
$t_R^{(1)}$	SCL/SDA 的上升时间	-	1000	6.5	300	ns
$t_F^{(1)}$	SCL/SDA 的下降时间	-	300	6.5	300	ns
$t_{SU;STO}^{(1)}$	停止条件 Setup	4	-	0.6	-	μs
$t_{BUF}^{(1)}$	停止条件到开始条件间的 BUS 空闲时间	4.7	-	1.3	-	μs
$C_b^{(1)}$	负载电容	-	400	-	400	pF



说明

1. 由综合评估得出，不在生产中测试。
2. $t_{I2C \text{ 基准时钟周期}}$ 即 I2C 基准时钟周期，由 I2C_CCR.FREQ[2:0]位设定。

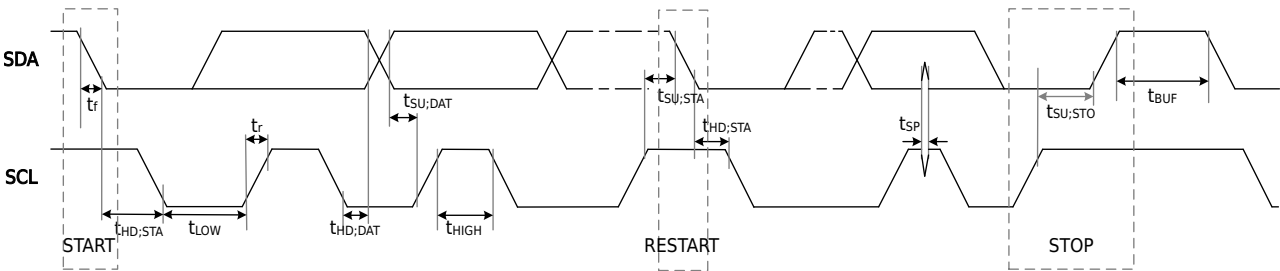


图 4-9 I2C 总线时序定义

4.3.13 SPI 接口特性

表 4-36 SPI 电气特性

符号	参数	条件	最小值	最大值	单位
$t_w(SCKH)^{(1)}$	SCK 高电平时间	主机模式 ⁽⁴⁾ $1.8V \leq V_{CC} \leq 3.63V$	$t_{PCLK1}-1^{(5)}$	$t_{PCLK1}+1^{(5)}$	ns
		从机模式 ⁽⁴⁾ $1.8V \leq V_{CC} \leq 3.63V$	$3*t_{PCLK1}-1^{(5)}$	$3*t_{PCLK1}+1^{(5)}$	ns

符号	参数	条件	最小值	最大值	单位
$t_w(\text{SCKL})^{(1)}$	SCK 低电平时间	主机模式 ⁽⁴⁾ $1.8\text{V} \leq V_{CC} \leq 3.63\text{V}$	$t_{\text{PCLK1}} - 1^{(5)}$	$t_{\text{PCLK1}} + 1^{(5)}$	ns
		从机模式 ⁽⁴⁾ $1.8\text{V} \leq V_{CC} \leq 3.63\text{V}$	$3 * t_{\text{PCLK1}} - 1^{(5)}$	$3 * t_{\text{PCLK1}} + 1^{(5)}$	ns
$t_{su}(\text{SI})$	Data 输入建立时间	从机模式 $1.8\text{V} \leq V_{CC} \leq 3.63\text{V}$	4	-	ns
$t_h(\text{SI})$	Data 输入保持时间	从机模式 $1.8\text{V} \leq V_{CC} \leq 3.63\text{V}$	3	-	ns
$t_v(\text{SO})$	Data 输出有效时间	从机模式 $2.7\text{V} \leq V_{CC} \leq 3.63\text{V}$	-	15	ns
		从机模式 $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	-	26	ns
$t_{su}(\text{MI})$	Data 输入建立时间	主机模式 $2.7\text{V} \leq V_{CC} \leq 3.63\text{V}$	5	-	ns
		主机模式 $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	9	-	ns
$t_h(\text{MI})$	Data 输入保持时间	主机模式 $1.8\text{V} \leq V_{CC} \leq 3.63\text{V}$	$t_{\text{PCLK1}} * 1$	-	ns
$t_{su}(\text{SS})^{(1)}$	SS 建立时间	从机模式 $1.8\text{V} \leq V_{CC} \leq 3.63\text{V}$	$6 * t_{\text{PCLK1}}^{(5)}$	-	ns
		主机模式 $2.7\text{V} \leq V_{CC} \leq 3.63\text{V}$	$-5 + N * t_{\text{SCK}}^{(2)(5)}$	-	ns
		主机模式 $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	$-10 + N * t_{\text{SCK}}^{(2)(5)}$	-	ns
$t_h(\text{SS})^{(1)}$	SS 保持时间	从机模式 $1.8\text{V} \leq V_{CC} \leq 3.63\text{V}$	$6 * t_{\text{PCLK1}}^{(5)}$	-	ns
		主机模式 $2.7\text{V} \leq V_{CC} \leq 3.63\text{V}$	$-5 + N * t_{\text{SCK}}^{(3)(5)}$	-	ns
		主机模式 $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	$-10 + N * t_{\text{SCK}}^{(3)(5)}$	-	ns
$t_v(\text{MO})$	Data 输出有效时间	主机模式 $2.7\text{V} \leq V_{CC} \leq 3.63\text{V}$	-	4	ns
		主机模式 $1.8\text{V} \leq V_{CC} \leq 2.7\text{V}$	-	9	ns



说明

- 1. 由综合评估得出，不在生产中测试。
- 2. $N=1\sim 8$ ，由寄存器 SPI_CFG1.MSSI[2:0]决定。
- 3. $N=1\sim 8$ ，由寄存器 SPI_CFG1.MSSDL[2:0]决定。
- 4. $t_w(SCKH)$ 和 $t_w(SCKL)$ 的数值由 SPI_CFG2.MBR 决定，表格中所列值为 SPI_CFG2.MBR=0 的值。
- 5. t_{PCLK1} 是指时钟 PCLK1 的 1 个周期， t_{SCK} 是指 SPI 通信时钟的 1 个周期。

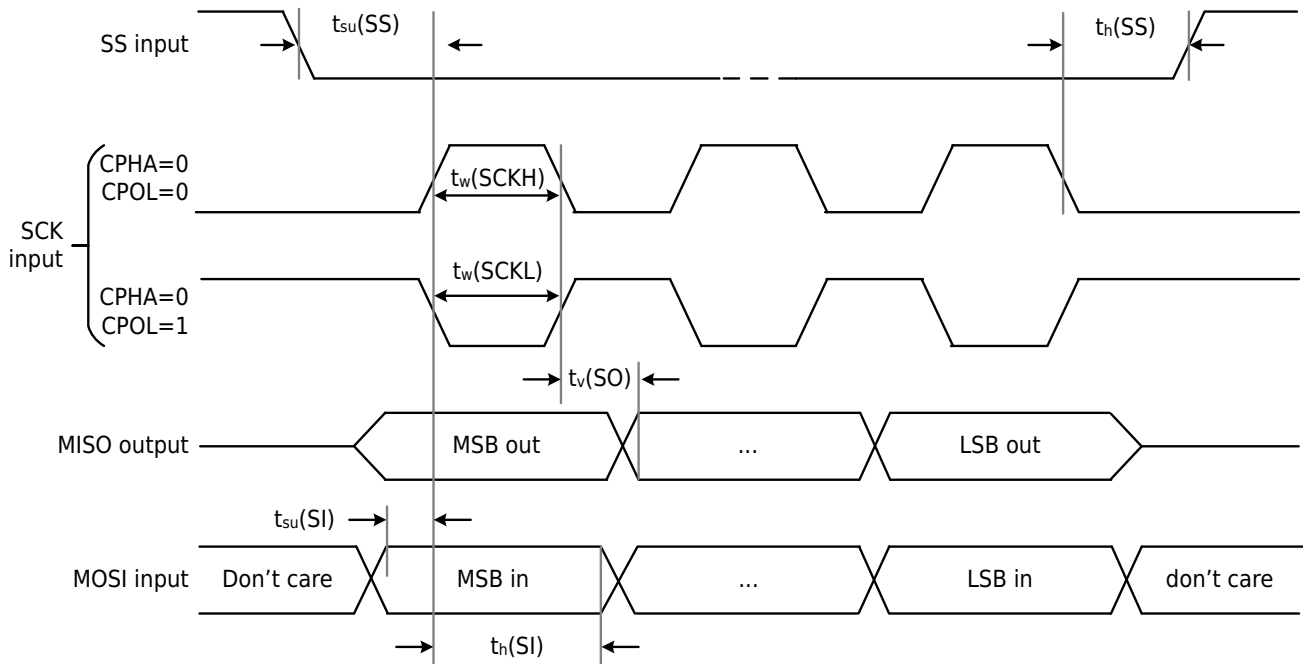


图 4-10 SPI 时序定义（从机模式，CPHA=0）

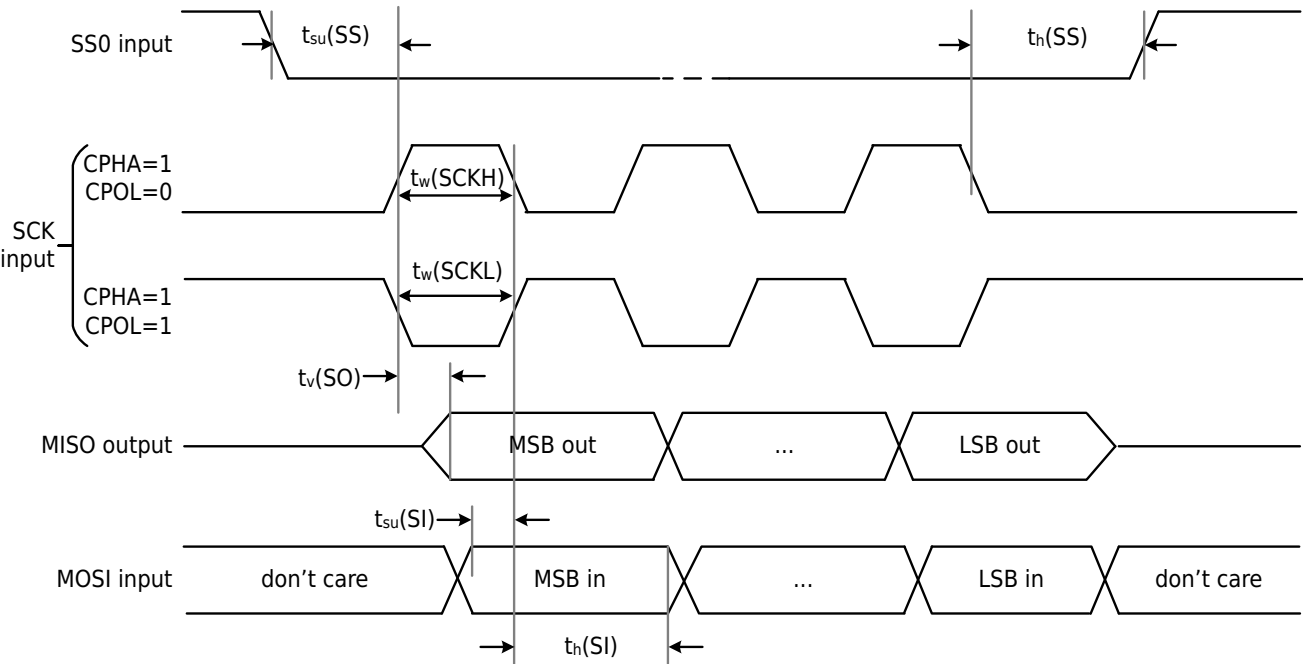


图 4-11 SPI 时序定义（从机模式，CPHA=1）

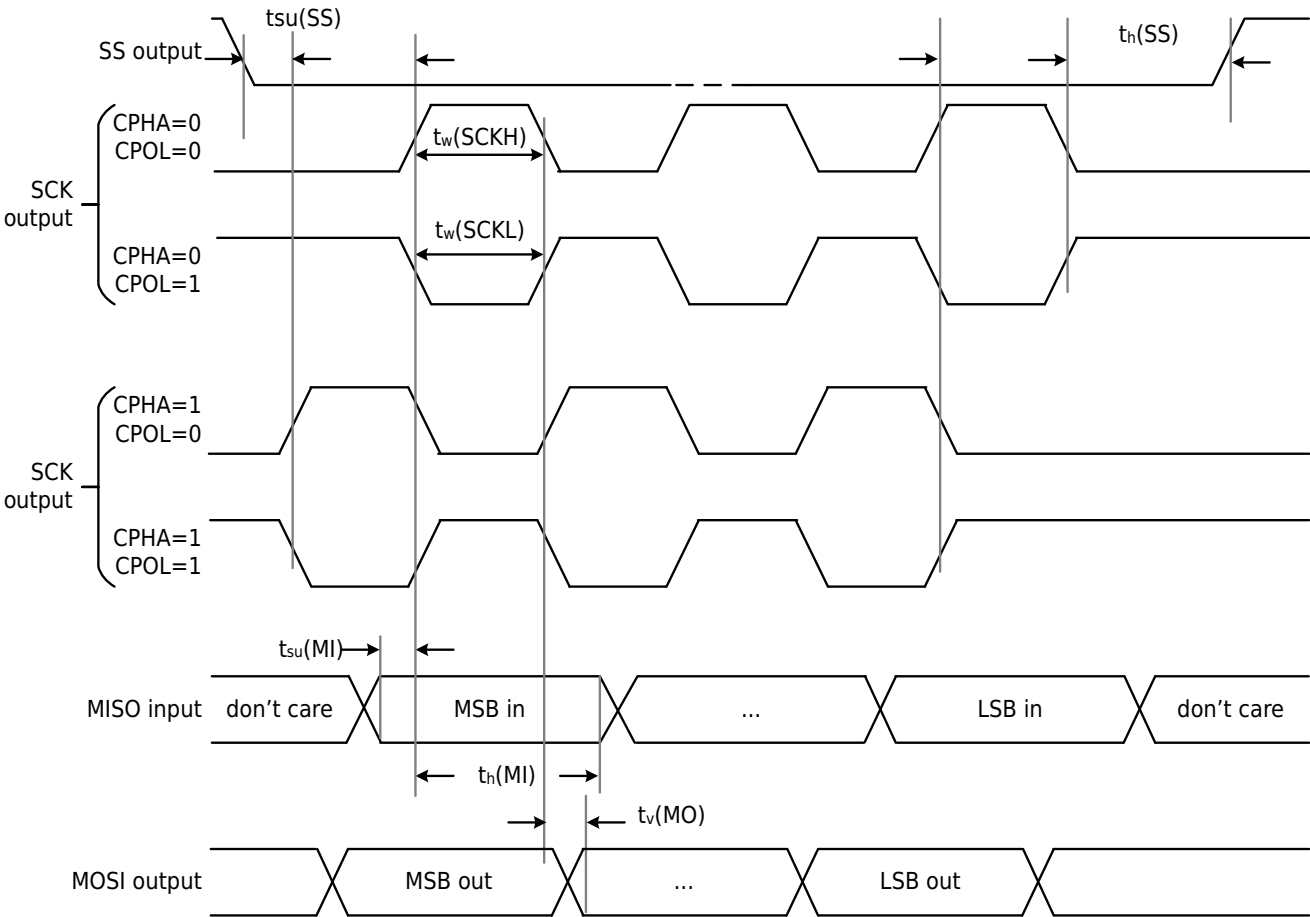


图 4-12 SPI 时序定义（主机模式）

4.3.14 QSPI 接口特性

表 4-37 QSPI 电气特性

符号	参数	条件	最小值	最大值	单位
$t_{QSCYC}^{(1)}$	SCK 时钟周期数	-	2	48	t_{HCLK}
$t_{QSWH}^{(1)}$	SCK 高电平	-	$t_{QSCYC} * 0.4$	-	ns
$t_{QSWL}^{(1)}$	SCK 低电平	-	$t_{QSCYC} * 0.4$	-	ns
t_{SU}	数据输入建立时间	-	5	-	ns
t_{IH}	数据输入保持时间	$2.7V \leq V_{CC} \leq 3.63V$	11	-	ns
		$1.8V \leq V_{CC} < 2.7V$	15	-	ns
t_{OD}	数据输出迟延	-	-	4	ns
$t_{OH}^{(1)}$	数据输出保持时间	-	0	-	ns

 说明

- 1. 由综合评估得出，不在生产中测试。

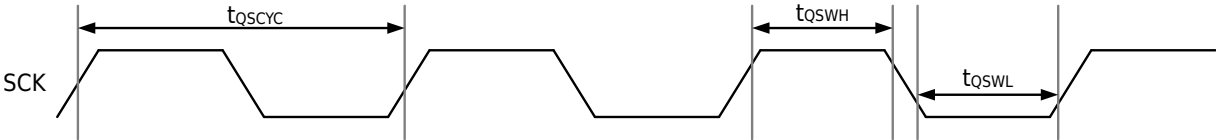


图 4-13 QSPI 时钟时序

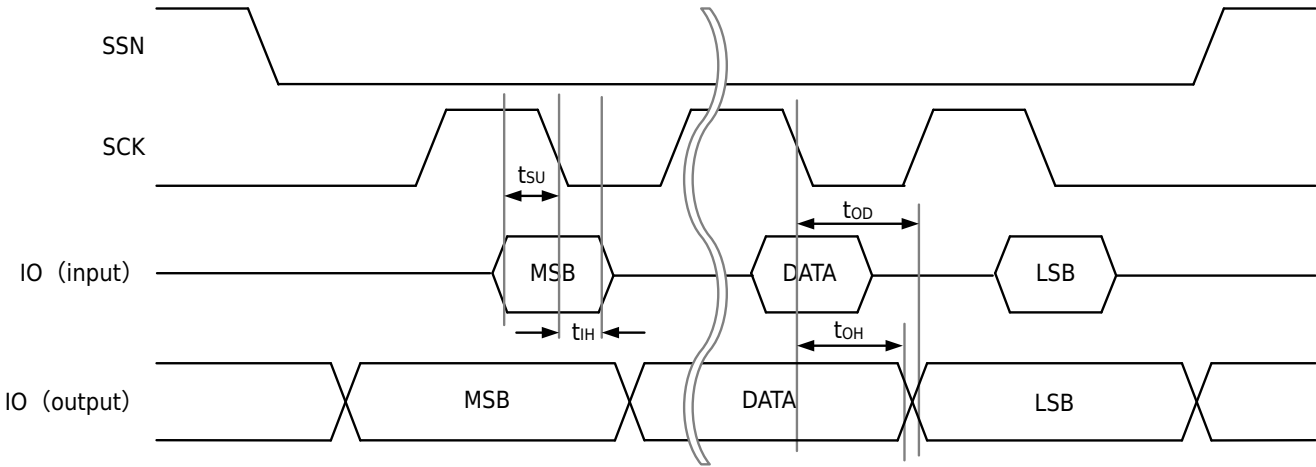


图 4-14 QSPI 时序定义

4.3.15 I2S 接口特性

表 4-38 I2S 电气特性

符号	参数	条件	最小值	最大值	单位
$f_{MCK}^{(1)}$	I2S 主时钟输出频率	-	256*8K	256*Fs	MHz
$f_{CK}^{(1)}$	I2S 时钟频率	主机数据：32bits	20	64*Fs	MHz
		从机数据：32bits	-	64*Fs	
$D_{CK}^{(1)}$	I2S 时钟占空比	从机收信	30	70	%
$t_v(WS)$	WS 有效时间	主机模式	-	6	ns
$t_{su}(WS)$	WS 建立时间	从机模式	7.5	-	ns
$t_h(WS)$	WS 保持时间	从机模式	6	-	ns
$t_{su}(SD_MR)$	Data 输入建立时间	主机收信， $2.7V \leq V_{CC} \leq 3.63V$	22	-	ns
		主机收信， $1.8V \leq V_{CC} < 2.7V$	25	-	ns
		从机收信	7	-	ns
$t_h(SD_MR)$	Data 输入保持时间	主机收信	0	-	ns
$t_h(SD_SR)$		从机收信	7	-	ns
$t_v(SD_ST)$	Data 输出有效时间	从机发信（有效边沿之后）	-	24	ns
$t_h(SD_ST)$					
$t_v(SD_MT)$		主机发信（有效边沿之后）	-	10	ns



说明

1. 由综合评估得出，不在生产中测试。
2. Fs：I2S 采样频率。

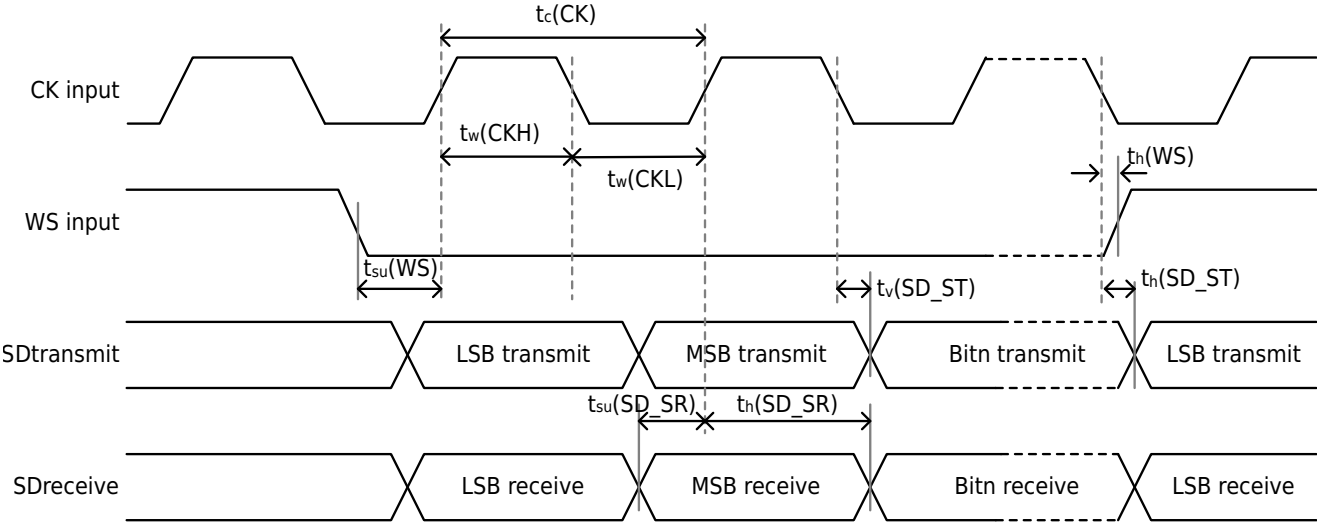


图 4-15 I2S 从模式时序 (Philips 协议)

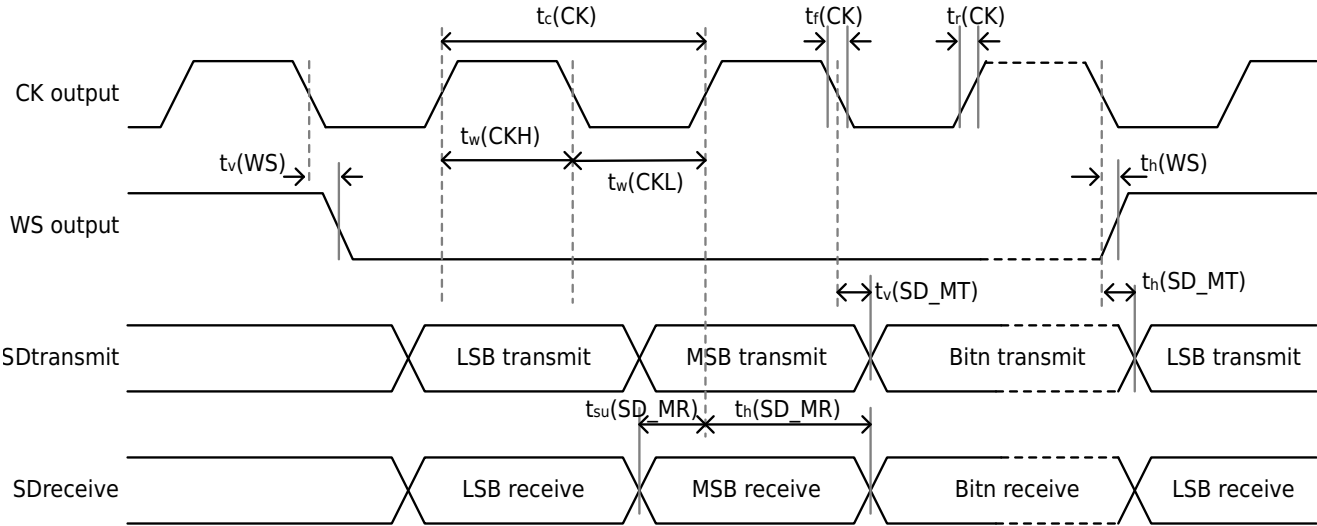


图 4-16 I2S 主模式时序 (Philips 协议)

4.3.16 CAN FD 接口特性

CANx_TX/RX 和 MCANx_TX/RX 的端口特性，请参考“[I/O 端口特性](#)”。

4.3.17 USB 接口特性

表 4-39 USB Full-Speed 电气特性

符号		参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
输入	$V_{CC}^{(3)}$	工作电压	-	3.0 ⁽²⁾	-	3.63	V
	V_{IL}	输入低电平	-	-	-	0.8	V
	V_{IH}	输入高电平	-	2.0	-	-	V
	V_{DI}	差分输入灵敏度	-	0.2	-	-	V
	V_{CM}	差分共模电压	-	0.8	-	2.5	V
输出	$V_{OL}^{(3)}$	静态输出低电平	$R_L=1.5k\Omega$ to 3.63V ⁽⁴⁾	-	-	0.3	V
	$V_{OH}^{(3)}$	静态输出高电平	$R_L=15k\Omega$ to VSS ⁽⁴⁾	2.8	-	3.63	V

符号		参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
输出	V _{CRS} ⁽³⁾	Cross-over 电压	C _L =50pF	1.3	-	2.0	V
	t _R ⁽³⁾	上升时间	C _L =50pF 10%~90% of V _{OH} -V _{OL}	4	-	20	ns
	t _F ⁽³⁾	下降时间	C _L =50pF 10%~90% of V _{OH} -V _{OL}	4	-	20	ns
	t _{RFMA} ⁽³⁾	上升下降时间比 t _R /t _F	C _L =50pF	90	-	111	%
R _{PD}		下拉电阻	V _{IN} =V _{CC} , in host mode	-	15.0	-	kΩ
R _{PU}		上拉电阻	V _{IN} =V _{SS} , idle state	0.900	1.2	1.575	kΩ
			V _{IN} =V _{SS} , in device mode	1.425	2.3	3.090	kΩ
Z _{DRV} ⁽³⁾⁽⁵⁾		输出阻抗	Driving high or low	28	36	44	Ω



说明

1. 所有电压均基于局部接地电位测得。
2. 工作电压降至 2.7V 时，仍可保证 USB 全速收发器的功能，但不能保证完整的 USB 全速电气特性，后者在 2.7~3.0V 的 V_{CC} 电压范围内会降级。
3. 由综合评估得出，不在生产中测试。
4. R_L 是连接至 USB 全速驱动器的负载。
5. DP、DM 端口无需外接串联电阻进行阻抗匹配，Driver 输出已包括该匹配电阻。
6. DP、DM 端口无需外接上拉/下拉电阻，PHY 内部已集成。

表 4-40 USB Low-Speed 电气特性

符号		参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
输入	V _{CC} ⁽³⁾	工作电压	-	3.0 ⁽²⁾	-	3.63	V
	V _{IL}	输入低电平	-	-	-	0.8	V
	V _{IH}	输入高电平	-	2.0	-	-	V
	V _{DI}	差分输入灵敏度	-	0.2	-	-	V
	V _{CM}	差分共模电压	-	0.8	-	2.5	V
输出	V _{OL} ⁽³⁾	静态输出低电平	R _L =1.5kΩ to 3.63V ⁽⁴⁾	-	-	0.3	V
	V _{OH} ⁽³⁾	静态输出高电平	R _L =15kΩ to VSS ⁽⁴⁾	2.8	-	3.63	V
	V _{CRS} ⁽³⁾	Cross-over 电压	C _L =200pF~600pF	1.3	-	2.0	V
	t _R ⁽³⁾	上升时间	C _L =200pF~600pF 10%~90% of V _{OH} -V _{OL}	75	-	300	ns
	t _F ⁽³⁾	下降时间	C _L =200pF~600pF 10%~90% of V _{OH} -V _{OL}	75	-	300	ns
	t _{RFMA} ⁽³⁾	上升下降时间比 t _R /t _F	C _L =200pF~600pF	80	-	125	%

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
$R_{PD}^{(3)}$	下拉电阻	$V_{IN}=V_{CC}$, in host mode	-	15.0	-	k Ω
$Z_{DRV}^{(3)(5)}$	输出阻抗	Driving high or low	28	36	44	Ω

 说明

- 1. 所有电压均基于局部接地电位测得。
- 2. 工作电压降至 2.7V 时，仍可保证 USB 低速收发器的功能，但不能保证完整的 USB 低速电气特性，后者在 2.7~3.0V 的 V_{CC} 电压范围内会劣化。
- 3. 由综合评估得出，不在生产中测试。
- 4. R_L 是连接至 USB 低速驱动器的负载。
- 5. DP、DM 端口无需外接串联电阻进行阻抗匹配，Driver 输出已包括该匹配电阻。
- 6. DP、DM 端口无需外接上拉/下拉电阻，PHY 内部已集成。

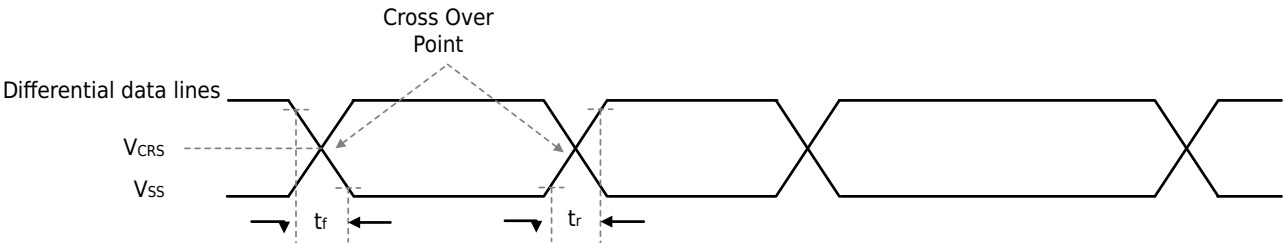


图 4-17 USB 上升/下降时间及 Cross Over 电压定义

表 4-41 ULPI HS 时钟时序参数

符号	参数 ⁽¹⁾	条件	最小值 ⁽²⁾	典型值 ⁽²⁾	最大值 ⁽²⁾	单位
$t_{SC}^{(3)}$	控制信号建立时间 (ULPI_DIR,ULPI_NXT)建立时间	$2.7V \leq V_{CC} \leq 3.63V$ $C_L = 20pF$ $-40 \sim 105^{\circ}C$	3.0	-	-	ns
$t_{HC}^{(3)}$	控制信号保持时间 (ULPI_DIR,ULPI_NXT)保持时间		2.0	-	-	ns
t_{SD}	数据建立时间		3.0	-	-	ns
t_{HD}	数据保持时间		2.2	-	-	ns
t_{DC}/t_{DD}	数据/控制信号输出延迟		4.5	7.5	10.6	ns

 说明

- 1. ULPI_CLK 时钟需要遵循 UTMI+ Low Pin Interface Specification, Revision 1.1,20/10/2004 协议规定。
- 2. 对应 IO 应设置为高驱动。
- 3. 由综合评估得出，不在生产中测试。

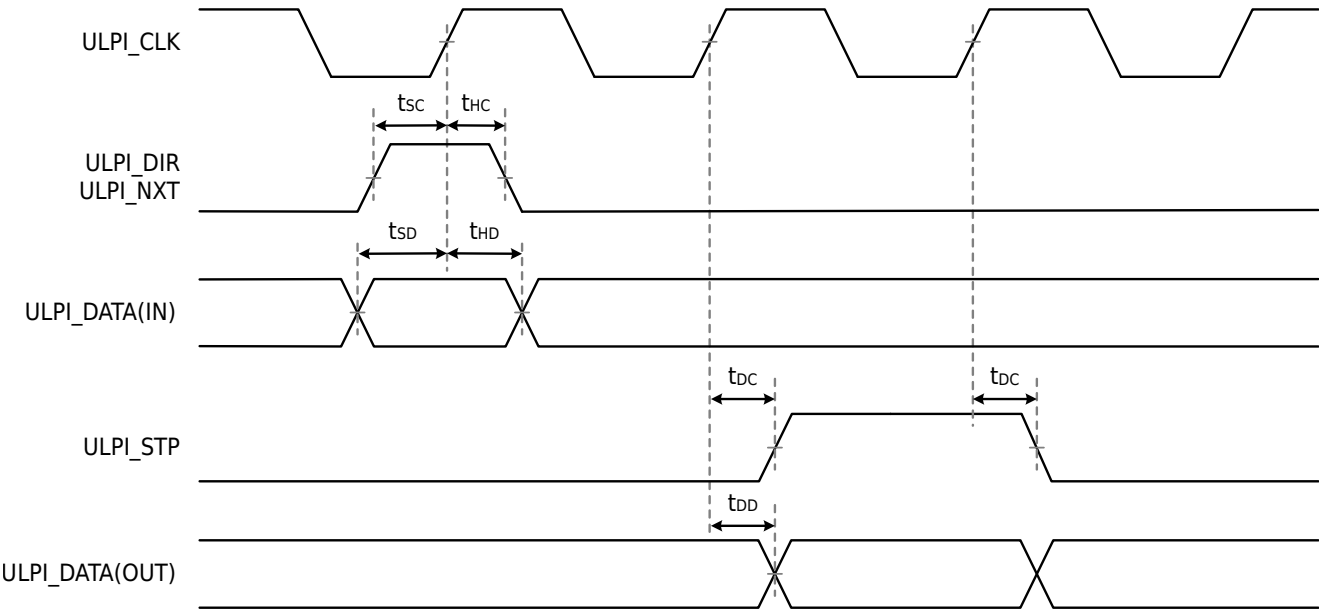


图 4-18 ULPI 时序图

4.3.18 ETHMAC 特性

4.3.18.1 SMI 接口

表 4-42 ETHMAC_SMI 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{mdc}^{(1)}$	SMI_MDC 输出频率	-	405	420	425	ns
t_{mdo_d}	SMI_MDO 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	$t_{PCLK1} + 9$	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	$t_{PCLK1} + 12$	ns
t_{mdi_s}	SMI_MDI 输入 Setup 时间	$2.7V \leq V_{CC} \leq 3.63V$	15	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	20	-	-	ns
t_{mdi_h}	SMI_MDI 输入 Hold 时间	-	0	-	-	ns

 **说明**

1. 由综合评估得出，不在生产中测试。

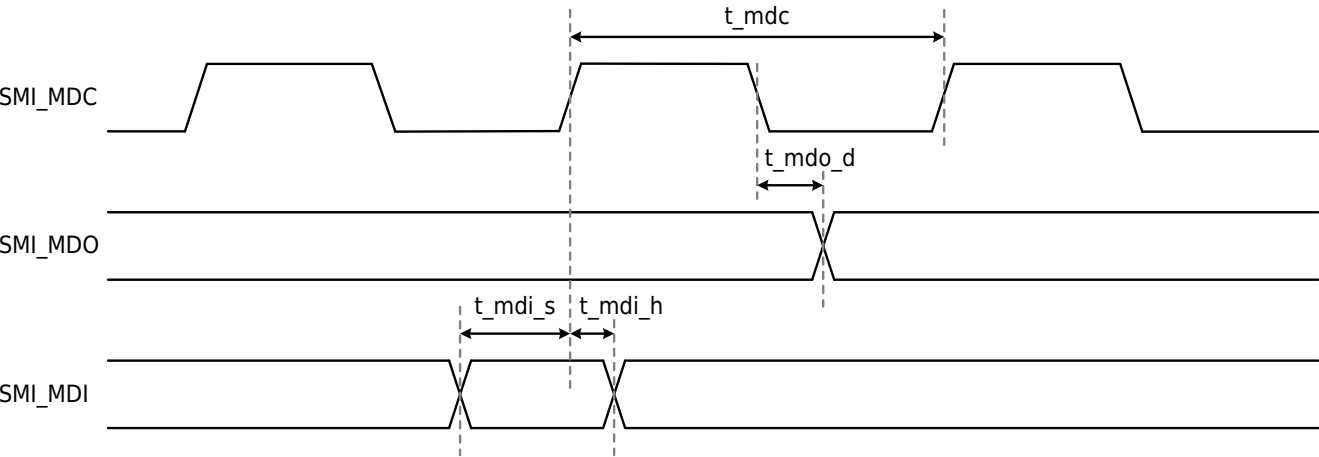


图 4-19 ETHMAC-SMI 接口时序图

4.3.18.2 MII 接口

表 4-43 ETHMAC_MII 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
t_mii_tx_clk ⁽¹⁾	MII_TX_CLK 时钟输入频率	-	-	40	-	ns
t_mii_txen_d	MII_TX_EN 输出迟延时间	2.7V≤V _{CC} ≤3.63V	5	-	15	ns
		1.8V≤V _{CC} <2.7V	5	-	21	ns
t_mii_txer_d	MII_TX_ER 输出迟延时间	2.7V≤V _{CC} ≤3.63V	5	-	15	ns
		1.8V≤V _{CC} <2.7V	5	-	21	ns
t_mii_txd_d	MII_TXD 输出迟延时间	2.7V≤V _{CC} ≤3.63V	5	-	15	ns
		1.8V≤V _{CC} <2.7V	5	-	21	ns
t_mii_rx_clk ⁽¹⁾	MII_RX_CLK 时钟输入频率	-	-	40	-	ns
t_mii_rxdv_s	MII_RX_DV 输入 Setup 时间	-	8	-	-	ns
t_mii_rxdv_h	MII_RX_DV 输入 Hold 时间	-	4	-	-	ns
t_mii_rxer_s	MII_RX_ER 输入 Setup 时间	-	8	-	-	ns
t_mii_rxer_h	MII_RX_ER 输入 Hold 时间	-	4	-	-	ns
t_mii_rxd_s	MII_RXD 输入 Setup 时间	-	8	-	-	ns
t_mii_rxd_h	MII_RXD 输入 Hold 时间	-	4	-	-	ns

 说明

- 1. 由综合评估得出，不在生产中测试。

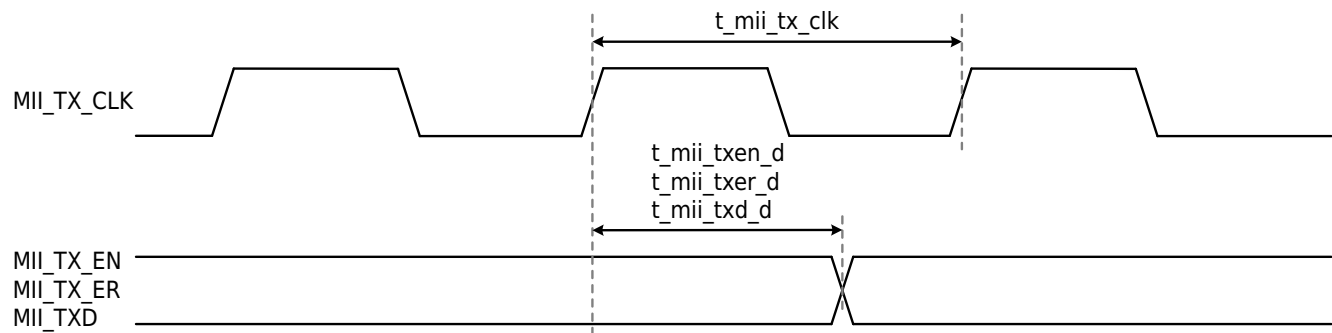


图 4-20 ETHMAC-MII 接口输出信号时序图

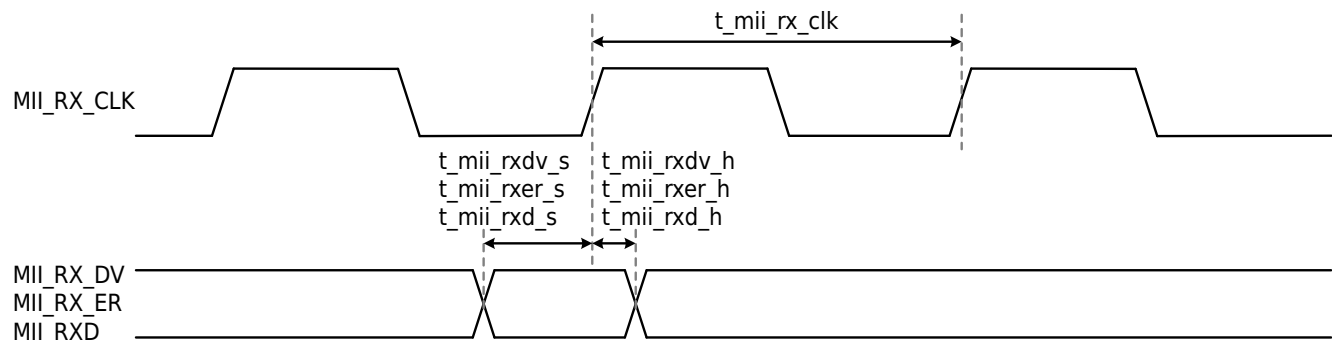


图 4-21 ETHMAC-MII 接口输入信号时序图

4.3.18.3 RMII 接口

表 4-44 ETHMAC_RMII 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
t_rmii_clk ⁽¹⁾	RMII_REF_CLK 参考时钟输入频率	-	-	20	-	ns
t_rmii_txen_d	RMII_TX_EN 输出迟延时间	2.7V≤V _{CC} ≤3.63V	5	-	12.5	ns
		1.8V≤V _{CC} <2.7V	5	-	16	ns
t_rmii_txd_d	RMII_TXD 输出迟延时间	2.7V≤V _{CC} ≤3.63V	5	-	12.5	ns
		1.8V≤V _{CC} <2.7V	5	-	16	ns
t_rmii_crsvd_s	RMII_CRS_DV 输入 Setup 时间	-	4	-	-	ns
t_rmii_crsvd_h	RMII_CRS_DV 输入 Hold 时间	-	2	-	-	ns
t_rmii_rxd_s	RMII_RXD 输入 Setup 时间	-	4	-	-	ns
t_rmii_rxd_h	RMII_RXD 输入 Hold 时间	-	2	-	-	ns



说明

1. 由综合评估得出，不在生产中测试。

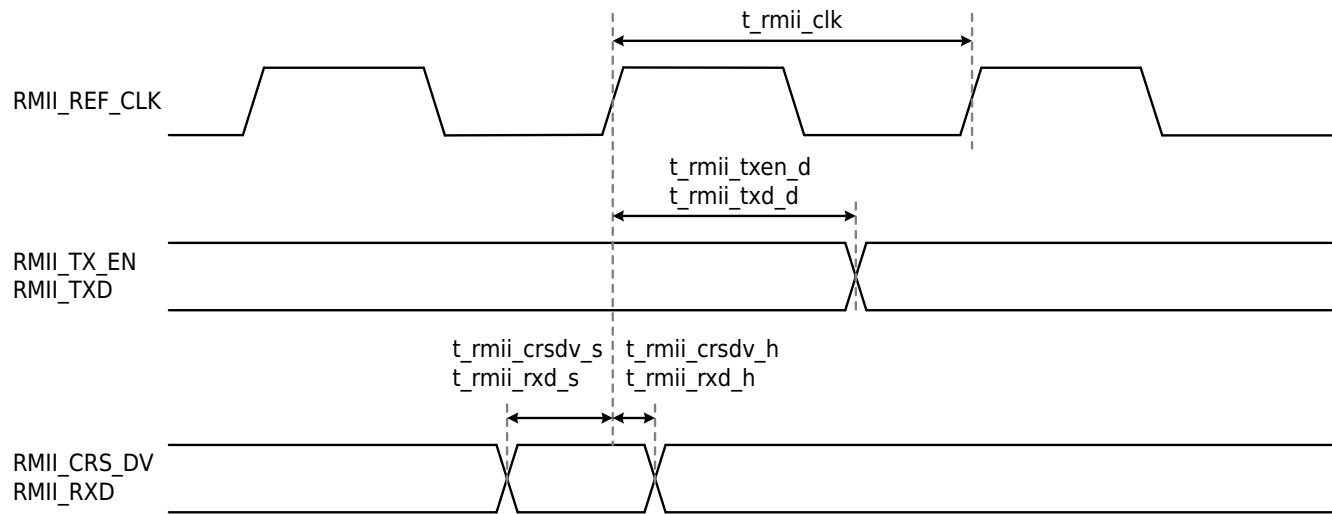


图 4-22 ETHMAC-RMII 接口时序图

4.3.19 USART 接口特性

表 4-45 USART AC 时序

符号	参数	条件	最小值	最大值	单位
t _{cyc} ⁽¹⁾	输入时钟周期数	UART	4	-	t _{PCLK1}
		时钟同步模式	6	-	
t _{CKw} ⁽¹⁾	输入时钟宽度	-	0.4	0.6	t _{cyc}
t _{CKr} ⁽¹⁾	输入时钟上升时间	-	-	5	ns
t _{CKf} ⁽¹⁾	输入时钟下降时间	-	-	5	ns

符号	参数	条件	最小值	最大值	单位
t_{TD}	发送延迟时间	时钟同步模式, $2.7V \leq V_{CC} \leq 3.63V$	-	23	ns
		时钟同步模式, $1.8V \leq V_{CC} < 2.7V$	-	30	ns
t_{RDS}	接收数据建立时间	时钟同步模式, $2.7V \leq V_{CC} \leq 3.63V$	17	-	ns
		时钟同步模式, $1.8V \leq V_{CC} < 2.7V$	23	-	ns
t_{RDH}	接收数据保持时间	时钟同步模式	5	-	ns

 **说明**

1. 由综合评估得出, 不在生产中测试。

表 4-46 USART 最高波特率⁽¹⁾

模式		最高波特率
UART	内部时钟源	PCLK1/8
	外部时钟源	PCLK1/32
时钟同步模式 $2.7V \leq V_{CC} \leq 3.63V$		12.0Mbps
时钟同步模式 $1.8V \leq V_{CC} < 2.7V$		8.0Mbps

 **说明**

1. 由设计保证, 不在生产中测试。

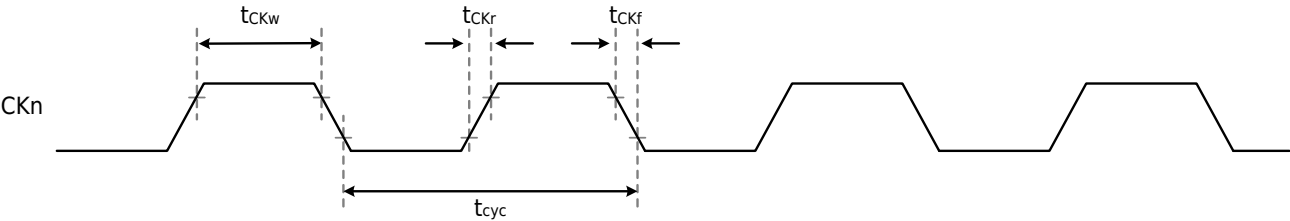


图 4-23 USART 时钟时序

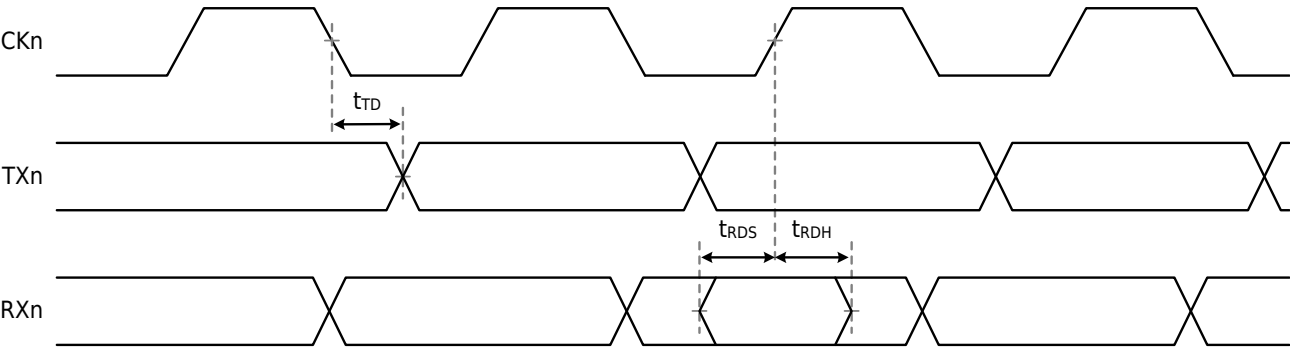


图 4-24 USART (CSI) 输入输出时序

4.3.20 JTAG 接口特性

表 4-47 JTAG 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{TCKcyc}^{(1)}$	JTCK 时钟周期	50	-	-	ns

符号	参数	最小值	典型值	最大值	单位
$t_{TCKH}^{(1)}$	JTCK 时钟高电平	15	-	-	ns
$t_{TCKL}^{(1)}$	JTCK 时钟低电平	15	-	-	ns
$t_{TCKr}^{(1)}$	JTCK 时钟上升时间	-	-	5	ns
$t_{TCKf}^{(1)}$	JTCK 时钟下降时间	-	-	5	ns
t_{TMSs}	JTMS 建立时间	10	-	-	ns
t_{TMSh}	JTMS 保持时间	10	-	-	ns
t_{TDIs}	JTDI 建立时间	10	-	-	ns
t_{TDIh}	JTDI 保持时间	10	-	-	ns
t_{TDOd}	JTDO 数据迟延	-	-	25	ns



说明

1. 由综合评估得出，不在生产中测试。

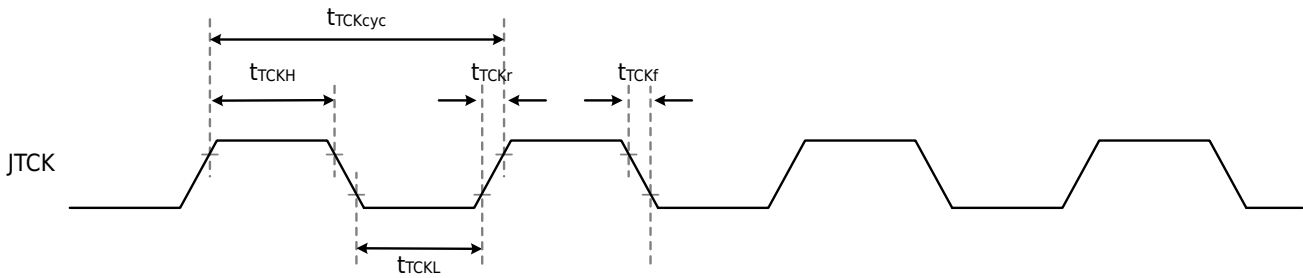


图 4-25 JTAG TCK 时钟

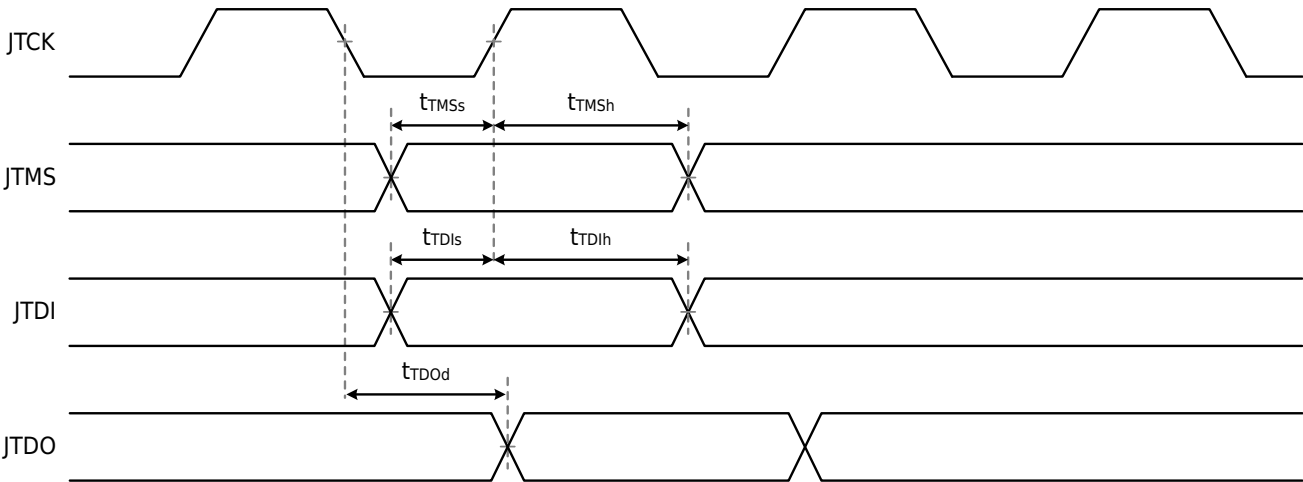


图 4-26 JTAG 输入输出

4.3.21 SWD 接口特性

表 4-48 SWD 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{SWCLKcyc}^{(1)}$	SWCLK 时钟周期	50	-	-	ns
$t_{SWCLKH}^{(1)}$	SWCLK 时钟高电平	15	-	-	ns

符号	参数	最小值	典型值	最大值	单位
$t_{\text{SWCLKL}}^{(1)}$	SWCLK 时钟低电平	15	-	-	ns
$t_{\text{SWCLKr}}^{(1)}$	SWCLK 时钟上升时间	-	-	5	ns
$t_{\text{SWCLKf}}^{(1)}$	SWCLK 时钟下降时间	-	-	5	ns
t_{SWDIs}	SWDI 建立时间	10	-	-	ns
t_{SWDIh}	SWDI 保持时间	10	-	-	ns
t_{SWDOd}	SWDO 数据迟延	2	-	25	ns

 **说明**

1. 由综合评估得出，不在生产中测试。

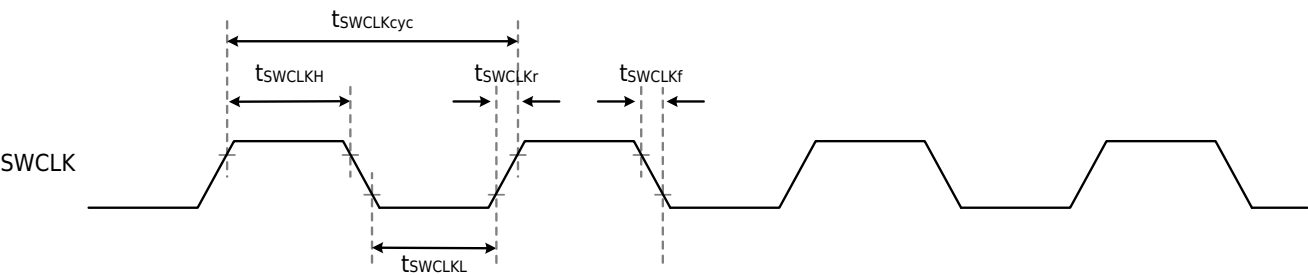


图 4-27 SWCLK 时钟

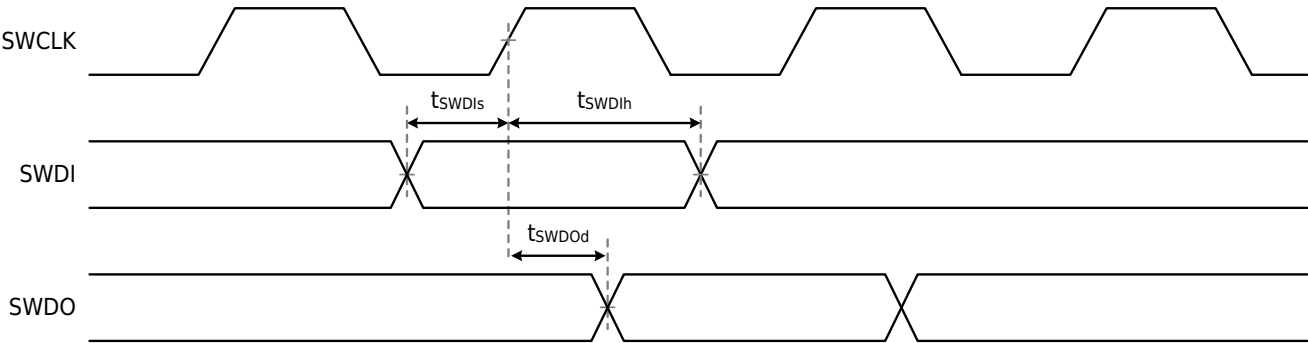


图 4-28 SWDIO 输入输出

4.3.22 ETM 接口特性

表 4-49 ETM 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{\text{TRCLKcyc}}^{(1)}$	TRACECK 时钟周期	20	-	-	ns
$t_{\text{TRCKH}}^{(1)}$	TRACECK 时钟高电平	7	-	-	ns
$t_{\text{TRCKL}}^{(1)}$	TRACECK 时钟低电平	7	-	-	ns
$t_{\text{TRCKr}}^{(1)}$	TRACECK 时钟上升时间	-	-	2.5	ns
$t_{\text{TRCKf}}^{(1)}$	TRACECK 时钟下降时间	-	-	2.5	ns
t_{TRDd}	TRACED 0~3 数据迟延	1.6	-	8.4	ns



说明

1. 由综合评估得出，不在生产中测试。

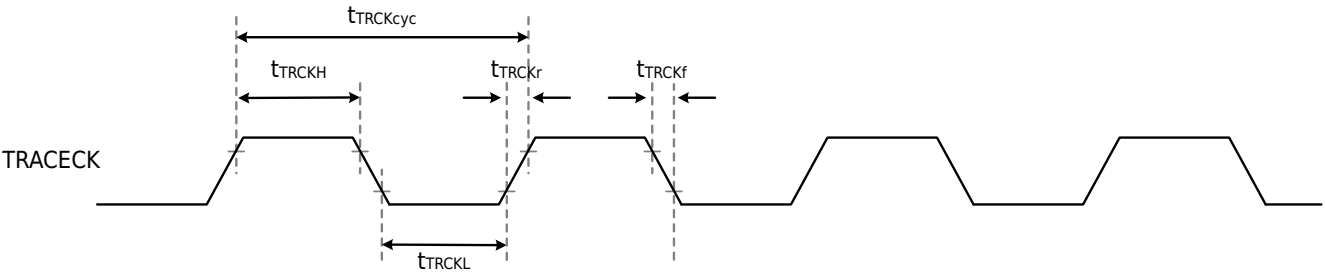


图 4-29 TRACE 时钟

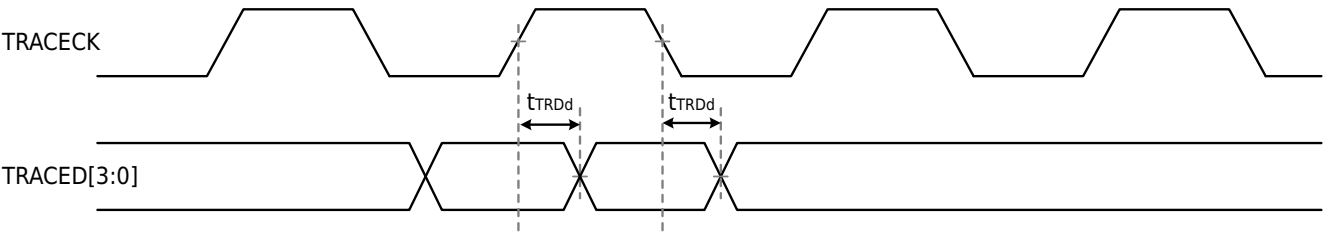


图 4-30 TRACE 数据输出

4.3.23 12 位 ADC 特性

表 4-50 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(3)}$	电源	-	1.8	-	3.63	V
$V_{REFH}^{(3)}$	正参考电压 ⁽²⁾	-	1.8	-	V_{AVCC}	V
$f_{ADC}^{(3)}$	ADC 转换时钟频率	高速工作模式下 $2.4V \leq V_{AVCC} \leq 3.63V$	1	-	60	MHz
		低速工作模式下 $1.8V \leq V_{AVCC} < 2.4V$	1	-	30	
		超低速工作模式	1	-	8	
$V_{AIN}^{(3)}$	转换电压范围	-	V_{REFL}	-	V_{REFH}	V
$R_{AIN}^{(1)}$	外部输入阻抗	详见公式 1	-	-	50	kΩ
$R_{ADC}^{(1)}$	采样开关电阻	-	-	3	6	kΩ
$C_{ADC}^{(1)}$	内部采样和保持电容	-	-	4	7	pF
$t_D^{(1)}$	触发器转换延迟	$f_{ADC} = 60MHz$	-	-	0.3	μs
$t_S^{(1)}$	采样时间	$f_{ADC} = 60MHz$	0.183	-	4.266	μs
			11	-	255	1/ f_{ADC}
$t_{CONV}^{(1)}$	单通道总转换时间 (包括采样时间, 计算 方式为: 采样时间)	$f_{ADC} = 60MHz$ 12 位分辨率	0.4	-	-	μs
			24	-	268	1/ f_{ADC}

符号	参数	条件	最小值	典型值	最大值	单位
$t_{\text{CONV}}^{(1)}$	Ts+逐次趋近 n 位分辨率+1)	$f_{\text{ADC}}=60\text{MHz}$ 10 位分辨率	0.37	-	-	μs
			22	-	266	$1/f_{\text{ADC}}$
		$f_{\text{ADC}}=60\text{MHz}$ 8 位分辨率	0.34	-	-	μs
			20	-	264	$1/f_{\text{ADC}}$
$f_{\text{S}}^{(1)}$	采样率 $f_{\text{ADC}}=60\text{MHz}$	12 位分辨率单 ADC	-	-	2.5	Msp/s
$t_{\text{ST}}^{(1)}$	启动时间	-	-	1	2	μs



说明

1. 由设计保证，不在生产中测试。
2. $0 \leq V_{\text{AVCC}} - V_{\text{REFH}} \leq 1.2\text{V}$ 。
3. 由综合评估得出，不在生产中测试。

公式 1: RAIN 最大值公式

$$R_{\text{AIN}} = \frac{k}{f_{\text{ADC}} * C_{\text{ADC}} * \ln(2^{N+2})} - R_{\text{ADC}}$$

上式（公式 1）用于确定使误差低于 1/4LSB 的最大外部阻抗。其中 N=12（12 位分辨率），k 为 ADC_SSTR 寄存器中定义的采样周期数。

表 4-51 输入通道精度@ $f_{\text{ADC}}=60\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
E_{T}	总未调整误差	$f_{\text{ADC}}=60\text{MHz}$ 输入源阻抗 $<1\text{k}\Omega$ $V_{\text{REFH}}=V_{\text{AVCC}}=2.4\text{V}/3.63\text{V}$ $T_{\text{A}}=-40^{\circ}\text{C}/105^{\circ}\text{C}$	± 5.5	± 7	LSB
E_{O}	偏移误差		± 4.5	± 7	LSB
E_{G}	增益误差		± 4.5	± 7	LSB
E_{D}	微分非线性误差		± 1.5	± 3	LSB
E_{L}	积分非线性误差		± 2.0	± 4	LSB



说明

1. 由综合评估得出，不在生产中测试。

表 4-52 输入通道精度@ $f_{\text{ADC}}=8\text{MHz}/30\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
E_{T}	总未调整误差	$f_{\text{ADC}}=8\text{MHz}/30\text{MHz}$ 输入源阻抗 $<1\text{k}\Omega$ $V_{\text{REFH}}=V_{\text{AVCC}}=1.8\text{V}$ $T_{\text{A}}=-40^{\circ}\text{C}/105^{\circ}\text{C}$	± 5.5	± 7	LSB
E_{O}	偏移误差		± 4.5	± 7	LSB
E_{G}	增益误差		± 4.5	± 7	LSB
E_{D}	微分非线性误差		± 1.5	± 3	LSB
E_{L}	积分非线性误差		± 2.0	± 4	LSB



说明

1. 由综合评估得出，不在生产中测试。

表 4-53 输入通道精度@ $f_{\text{ADC}}=60\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{\text{ADC}}=60\text{MHz}$ 输入信号频=2kHz 输入源阻抗=0Ω $V_{\text{REFH}}=V_{\text{AVCC}}=2.4\text{V}/3.63\text{V}$ $T_{\text{A}}=-40^{\circ}\text{C}/105^{\circ}\text{C}$	10.5	-	Bits
SINAD	信噪谐波比		64.4	-	dB
SNR	信噪比		64.4	-	dB
THD	总谐波失真		-	-80.3	dB



说明

1. 由综合评估得出，不在生产中测试。

表 4-54 输入通道精度@ $f_{\text{ADC}}=8\text{MHz}/30\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{\text{ADC}}=8\text{MHz}/30\text{MHz}$ 输入信号频=2kHz 输入源阻抗=0Ω $V_{\text{REFH}}=V_{\text{AVCC}}=1.8\text{V}$ $T_{\text{A}}=-40^{\circ}\text{C}/105^{\circ}\text{C}$	10.6	-	Bits
SINAD	信噪谐波比		66.6	-	dB
SNR	信噪比		66.8	-	dB
THD	总谐波失真		-	-79.4	dB



说明

1. 由综合评估得出，不在生产中测试。

表 4-55 ADC+采样保持电路通道精度@ $f_{\text{ADC}}=60\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
E_{T}	总未调整误差	$f_{\text{ADC}}=60\text{MHz}$ 输入源阻抗=1kΩ $V_{\text{REFH}}=V_{\text{AVCC}}=2.7\text{V}/3.63\text{V}$ $T_{\text{A}}=-40^{\circ}\text{C}/105^{\circ}\text{C}$	±6	±8	LSB
E_{O}	偏移误差		±6	±8	LSB
E_{G}	增益误差		±6	±8	LSB
E_{D}	微分非线性误差		±2	±3	LSB
E_{L}	积分非线性误差		±3	±4	LSB



说明

1. 由综合评估得出，不在生产中测试。

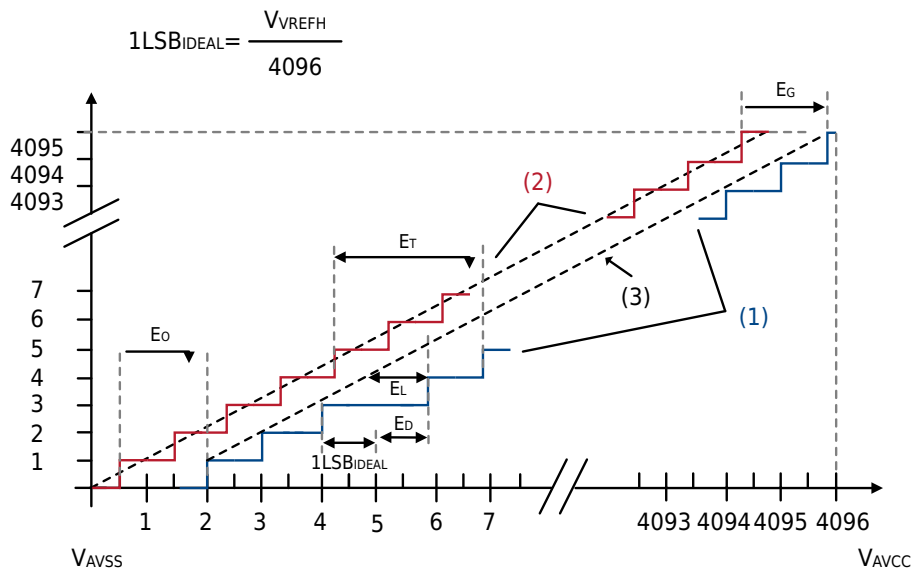


图 4-31 ADC 精度特性

- 1. 实际传输曲线举例。
- 2. 理想传输曲线。
- 3. 端点相关线。
- 4. E_T = 总未调整误差：实际和理想传输曲线间的最大偏离。
 E_0 = 偏移误差：第一次实际转换和第一次理想转换间的偏离。
 E_G = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
 E_D = 微分非线性误差：实际步进和理想值间的最大偏离。
 E_L = 积分非线性误差：任何实际转换和端点相关线间的最大偏离。

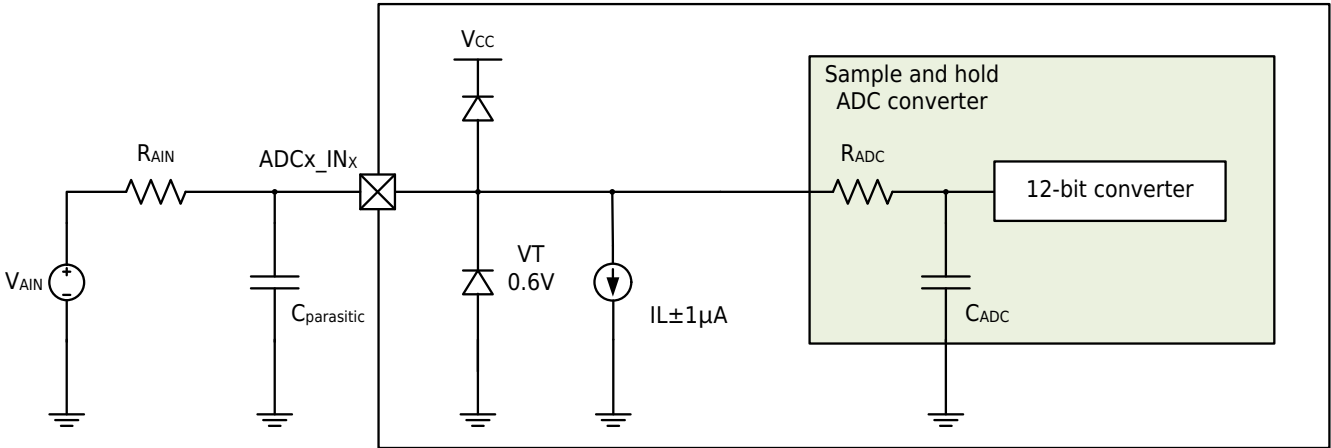


图 4-32 使用 ADC 的典型连接

- 1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 值的信息，请参见表 4-50。
- 2. $C_{parasitic}$ 表示 PCB 电容（取决于焊接和 PCB 布线质量）以及焊盘电容（约 5pF）。 $C_{parasitic}$ 值较高会导致转换精度降低。要解决这一问题，应减小 f_{ADC0} 。

通用 PCB 设计准则

应按照下图所示对电源进行去耦，具体取决于 VREFH 是否与 AVCC 相连以及 AVCC 引脚个数。0.1μF 电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。

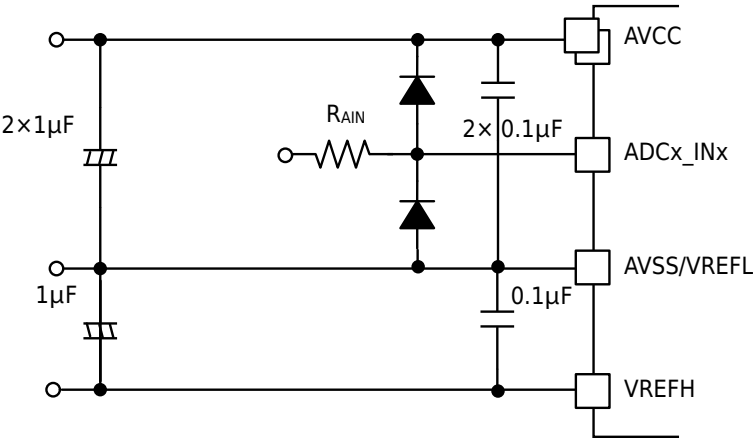


图 4-33 电源和参考电源去耦例

1. 有关 R_{AIN} 值的信息，请参见表 4-50。

4.3.24 12 位 DAC 特性

表 4-56 12-bit DAC 端口输出允许且输出放大器允许时特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(2)}$	模拟电源电压	-	1.8	3.3	3.63	V
$A_{ref}^{(2)}$	参考电源电压 (V_{REFH})	$=V_{AVCC}$	1.8	3.3	3.63	V
$AO^{(2)}$	输出电压范围	-	0.2	-	$A_{ref}-0.2$	-
$R_L^{(2)}$	负载电阻	-	5	-	-	kΩ
$C_L^{(2)}$	负载电容	-	-	-	50	pF
$DNL^{(2)}$	微分非线性误差 (两个连续代码之间的偏差-1LSB)	-	-	-	3	LSB
$INL^{(2)}$	积分非线性误差 (代码 I 处测得的值与代码 0 及最后一个代码 4095 之间连线上代码 I 处的值之间的差)	-	-	-	5	LSB
$OE^{(2)}$	偏移误差 (代码 0x800 处测得值与理想值 $V_{REF}+/2$ 之间的差)	$V_{REFH}=3.63$ V	-	-	±15	LSB
		$V_{REFH}=1.8$ V	-	-	±25	LSB
$GE^{(2)}$	增益误差	-	-	-	±1	%
$T_{st}^{(1)}$	建立时间 (满刻度: 适用于到 DAC 输出达到最终值±4LSB 时, 最低输入代码与最高输入代码之间 12 位输入代码转换)	-	-	1.2	2.1	μs
$I_{AVCC}^{(2)}$	模拟电源电流 (静态电流, 无负载)	-	-	604	800	μA
$I_{AREF}^{(2)}$	参考电源电流 (静态电流)	-	-	161	270	μA

说明

- 1. 由设计保证，不在生产中测试。
- 2. 由综合评估得出，不在生产中测试。

表 4-57 12-bit DAC 端口输出允许且输出放大器禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(2)}$	模拟电源电压	-	1.8	3.3	3.63	V
$A_{ref}^{(2)}$	参考电源电压	$=V_{AVCC}$	1.8	3.3	3.63	V
$AO^{(2)}$	输出电压范围	-	0	-	$A_{ref}-1LSB$	V
$CL^{(2)}$	负载电容	-	-	-	20	pF
$RO^{(2)}$	输出电阻	-	-	8.6	12	k Ω
DNL	微分非线性误差 (两个连续代码之间的偏差-1LSB)	-	-	-	± 2	LSB
$TUE^{(2)}$	总不可调整误差	-	-	-	± 24	LSB
$T_{st}^{(1)}$	建立时间 (适用于到 DAC 输出达到最终值 $\pm 4LSB$ 时, 最低输入代码与最高输入代码之间 12 位输入代码转换, $CL=10pF$)	-	-	0.9	1.2	μs
$I_{AVCC}^{(2)}$	模拟电源电流 (静态电流)	-	-	0.1	2	μA
$I_{Aref}^{(2)}$	参考电源电流 (静态电流)	-	-	146	260	μA



说明

1. 由设计保证, 不在生产中测试。
2. 由综合评估得出, 不在生产中测试。

表 4-58 12-bit DAC 端口输出禁止且输出放大器禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(2)}$	模拟电源电压	-	1.8	3.3	3.63	V
$A_{ref}^{(2)}$	参考电源电压	$=V_{AVCC}$	1.8	3.3	3.63	V
$AO^{(1)}$	输出电压范围	-	0	-	$A_{ref}-1LSB$	V
DNL ⁽¹⁾	微分非线性误差 (两个连续代码之间的偏差-1LSB)	-	-	-	± 2	LSB
$TUE^{(1)}$	总不可调整误差	-	-	-	± 5	LSB
$T_{st}^{(1)}$	建立时间 (适用于到 DAC 输出达到最终值 $\pm 1LSB$ 时, 最低输入代码与最高输入代码之间 12 位输入代码转换)	$V_{AVCC} \geq 2.7$	-	65.3	81	ns
	建立时间 (适用于到 DAC 输出达到最终值 $\pm 32LSB$ 时, 最低输入代码与最高输入代码之间 12 位输入代码转换)	$V_{AVCC} \geq 2.7$	-	36	44.9	ns
	建立时间 (适用于到 DAC 输出达到最终值 $\pm 1LSB$ 时, 最低输入代码与最高输入代码之间 12 位输入代码转换)	$V_{AVCC} < 2.7$	-	-	83.82	ns
	建立时间 (适用于到 DAC 输出达到最终值 $\pm 32LSB$ 时, 最低输入代码与最高输入代码之间 12 位输入代码转换)	$V_{AVCC} < 2.7$	-	-	48.55	ns

符号	参数	条件	最小值	典型值	最大值	单位
I _{AVCC} ⁽²⁾	模拟电源电流（静态电流）	-	-	0.1	2	μA
I _{AREF} ⁽²⁾	参考电源电流（静态电流）	-	-	146	260	μA



说明

1. 由设计保证，不在生产中测试。
2. 由综合评估得出，不在生产中测试。

4.3.25 温度传感器

表 4-59 温度传感器特性⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
T _L	温度线性度	-	-2	-	+2	°C
T _E	绝对精度 ⁽¹⁾	25°C, 105°C两点定标	-5	-	+4	°C



说明

1. 实际特性与定标点温度的精度有关。如果使用芯片预置的数据定标，由于量产测试环境的温度存在偏差，特性不做保证。
2. 由综合评估得出，不在生产中测试。

4.3.26 比较器特性

表 4-60 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC} ⁽²⁾	模拟电源电压	-	1.8	3.3	3.63	V
V _I ⁽²⁾	输入电压范围	-	0	-	V _{AVCC}	V
T _{cmp} ⁽¹⁾	比较时间	比较器分辨电压 =100mV	-	30	50	ns
T _{set} ⁽²⁾	输入通道切换稳定时间	-	-	100	200	ns



说明

1. 由设计保证，不在生产中测试。
2. 由综合评估得出，不在生产中测试。

4.3.27 EXMC 特性

表 4-61 内部 EXCLK 模式的 EXMC 特性

符号	参数	条件	最小值	典型值	最大值	单位
t _{add_d}	地址线输出迟延时间	2.7V ≤ V _{CC} ≤ 3.63V	-	-	5	ns
		1.8V ≤ V _{CC} < 2.7V	-	-	7	ns
t _{data_d}	数据线输出迟延时间	2.7V ≤ V _{CC} ≤ 3.63V	-	-	5	ns
		1.8V ≤ V _{CC} < 2.7V	-	-	7	ns

符号	参数	条件	最小值	典型值	最大值	单位
t_ce_d	CE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_we_d	WE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_oe_d	OE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_baa_d	BAA 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_adv_d	ADV 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_ale_d	ALE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_data_s	数据线输入 Setup 时间	$2.7V \leq V_{CC} \leq 3.63V$	5	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	7	-	-	ns
t_data_h	数据线输入 Hold 时间	-	0	-	-	ns
t_rb_s	RB 输入 Setup 时间	$2.7V \leq V_{CC} \leq 3.63V$	5	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	7	-	-	ns
t_rb_h	RB 输入 Hold 时间	-	0	-	-	ns

表 4-62 反馈 EXCLK 模式的 EXMC 特性

符号	参数	条件	最小值	典型值	最大值	单位
t_add_d	地址线输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_data_d	数据线输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_ce_d	CE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_we_d	WE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_oe_d	OE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_baa_d	BAA 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_adv_d	ADV 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns

符号	参数	条件	最小值	典型值	最大值	单位
t_ale_d	ALE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.63V$	-	-	5	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	7	ns
t_data_s	数据线输入 Setup 时间	-	2	-	-	ns
t_data_h	数据线输入 Hold 时间	$2.7V \leq V_{CC} \leq 3.63V$	2	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	5	-	-	ns
t_rb_s	RB 输入 Setup 时间	-	2	-	-	ns
t_rb_h	RB 输入 Hold 时间	$2.7V \leq V_{CC} \leq 3.63V$	2	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	5	-	-	ns

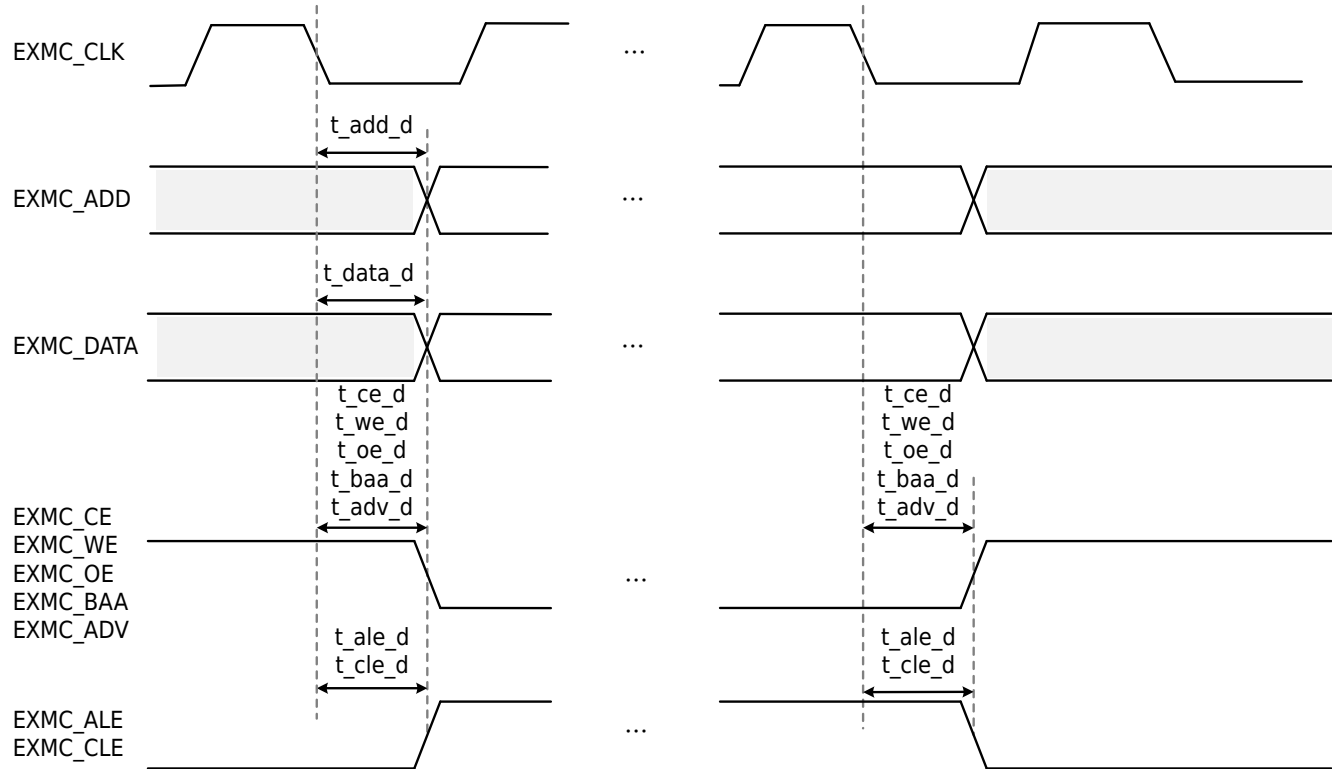


图 4-34 EXMC 输出信号时序图

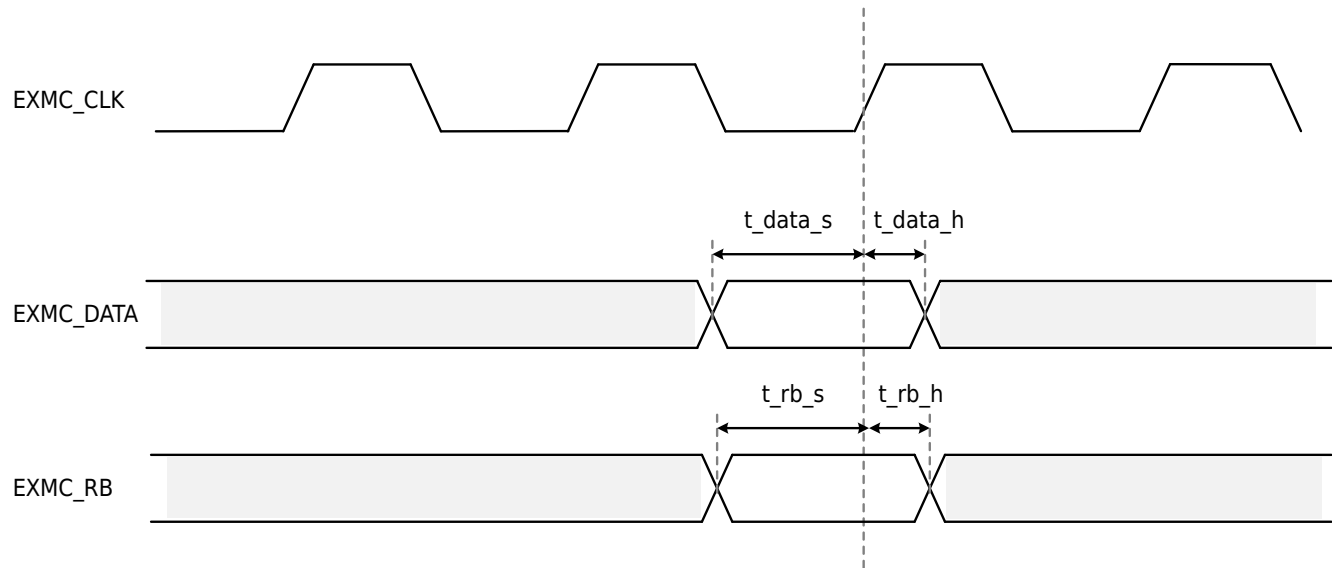


图 4-35 EXMC 输入信号时序图

4.3.28 DVP 特性

表 4-63 DVP 特性

符号	参数	条件	最小值	典型值	最大值	单位
t_pixclk_s ⁽¹⁾	输入数据 DVP_PIXCLK Setup 时间	2.7V≤V _{CC} ≤3.63V	6	-	-	ns
		1.8V≤V _{CC} <2.7V	9	-	-	ns
t_pixclk_h ⁽¹⁾	输入数据 DVP_PIXCLK Hold 时间	2.7V≤V _{CC} ≤3.63V	6	-	-	ns
		1.8V≤V _{CC} <2.7V	9	-	-	ns
t_data_s	输入数据 DVP_DATA Setup 时间	2.7V≤V _{CC} ≤3.63V	2.5	-	-	ns
		1.8V≤V _{CC} <2.7V	4	-	-	ns
t_data_h	输入数据 DVP_DATA Hold 时间	2.7V≤V _{CC} ≤3.63V	2	-	-	ns
		1.8V≤V _{CC} <2.7V	3	-	-	ns
t_vsync_s	输入数据 DVP_VSYNC Setup 时间	2.7V≤V _{CC} ≤3.63V	2.5	-	-	ns
		1.8V≤V _{CC} <2.7V	4	-	-	ns
t_vsync_h	输入数据 DVP_VSYNC Hold 时间	2.7V≤V _{CC} ≤3.63V	1.5	-	-	ns
		1.8V≤V _{CC} <2.7V	3	-	-	ns
t_hsync_s	输入数据 DVP_HSYNC Setup 时间	2.7V≤V _{CC} ≤3.63V	2.5	-	-	ns
		1.8V≤V _{CC} <2.7V	4	-	-	ns
t_hsync_h	输入数据 DVP_HSYNC Hold 时间	2.7V≤V _{CC} ≤3.63V	1.5	-	-	ns
		1.8V≤V _{CC} <2.7V	3	-	-	ns

 说明

1. 由综合评估得出，不在生产中测试。

下图以 DVP_VSYNC 和 DVP_HSYNC 的高电平为同步区间、DVP_PIXCLK 的下降沿采集数据的设定为例。

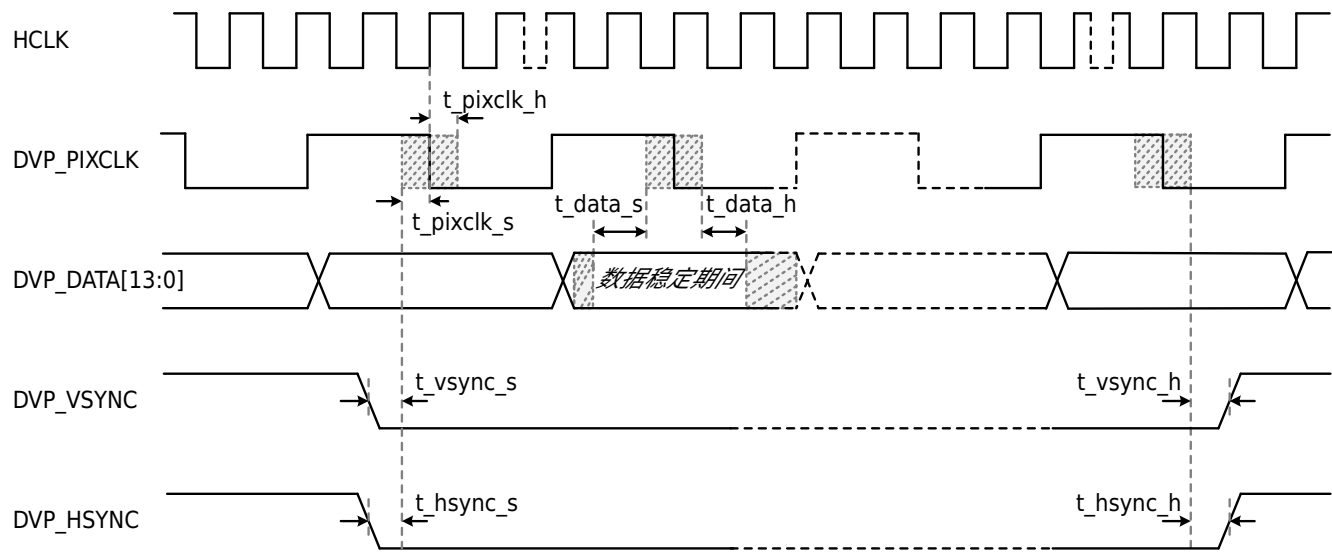


图 4-36 DVP 输入信号时序图

4.3.29 SDIO 特性

表 4-64 默认速度模式时序参数

符号	参数	条件	最小值	最大值	单位
-	工作电压	-	1.8	3.63	V
$f_{pp}^{(1)}$	传输模式时钟频率	负载 C=30pF	-	25	MHz
$f_{OD}^{(1)}$	卡识别模式时钟频率	负载 C=30pF	-	400	kHz
$t_{WL}^{(1)}$	时钟低电平时间	负载 C=30pF	10	-	ns
$t_{WH}^{(1)}$	时钟高电平时间	负载 C=30pF	10	-	ns
$t_{TLH}^{(1)}$	时钟上升时间	负载 C=30pF	-	10	ns
$t_{THL}^{(1)}$	时钟下降时间	负载 C=30pF	-	10	ns
$t_{ISU}^{(1)}$	数据输入建立时间	负载 C=30pF	5	-	ns
$t_{IH}^{(1)}$	数据输入保持时间	负载 C=30pF	14	-	ns
$t_{ODLY}^{(1)}$	数据输出延时	负载 C=30pF	1	14	ns

 说明

1. 由综合评估得出，不在生产中测试。

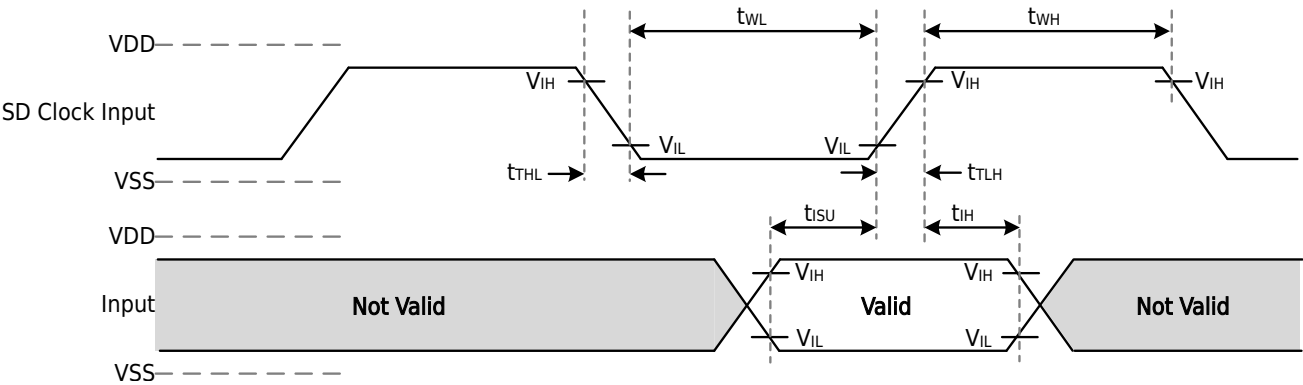


图 4-37 默认速度模式输入时序图

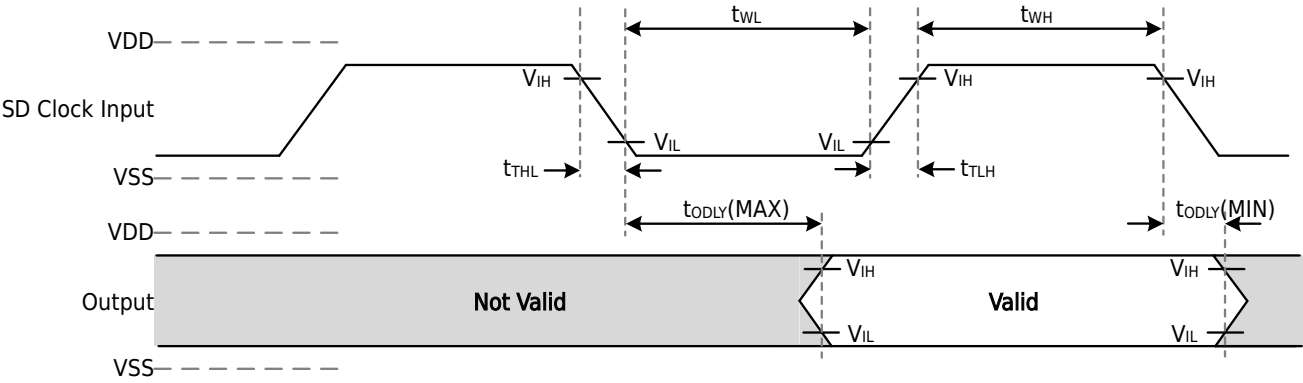


图 4-38 默认速度模式输出时序图

表 4-65 高速模式时序参数

符号	参数	条件	最小值	最大值	单位
-	工作电压	-	1.8	3.63	V
$f_{pp}^{(1)}$	传输模式时钟频率	负载 C=30pF	-	50	MHz
$f_{OD}^{(1)}$	卡识别模式时钟频率	负载 C=30pF	-	400	kHz
$t_{WL}^{(1)}$	时钟低电平时间	负载 C=30pF	7	-	ns
$t_{WH}^{(1)}$	时钟高电平时间	负载 C=30pF	7	-	ns
$t_{TLH}^{(1)}$	时钟上升时间	负载 C=30pF	-	3	ns
$t_{THL}^{(1)}$	时钟下降时间	负载 C=30pF	-	3	ns
$t_{ISU}^{(1)}$	数据输入建立时间	负载 C=30pF	5	-	ns
$t_{IH}^{(1)}$	数据输入保持时间	负载 C=30pF	14	-	ns
$t_{ODLY}^{(1)}$	数据输出延时	负载 C=30pF	-	14	ns
$t_{OH}^{(1)}$	数据输出保持时间	负载 C=30pF	3	-	ns

 说明

1. 由综合评估得出，不在生产中测试。

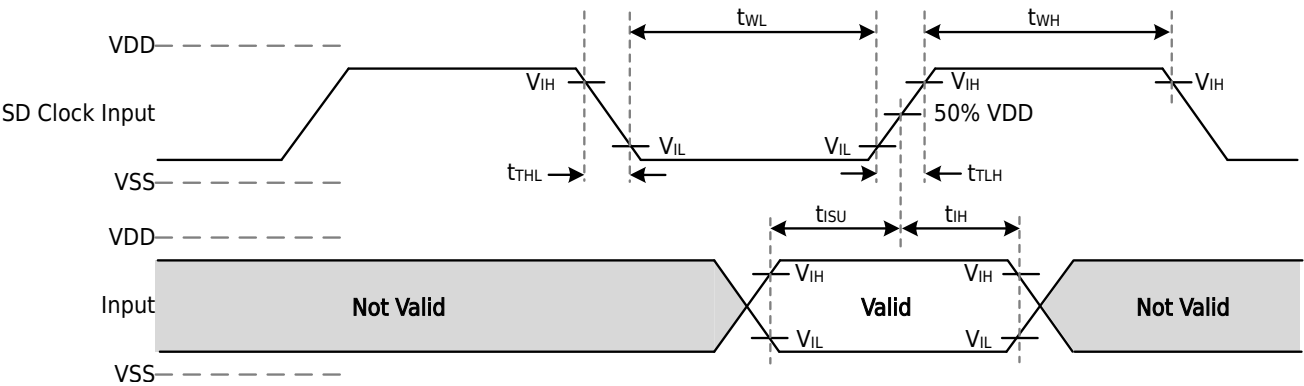


图 4-39 高速模式输入时序图

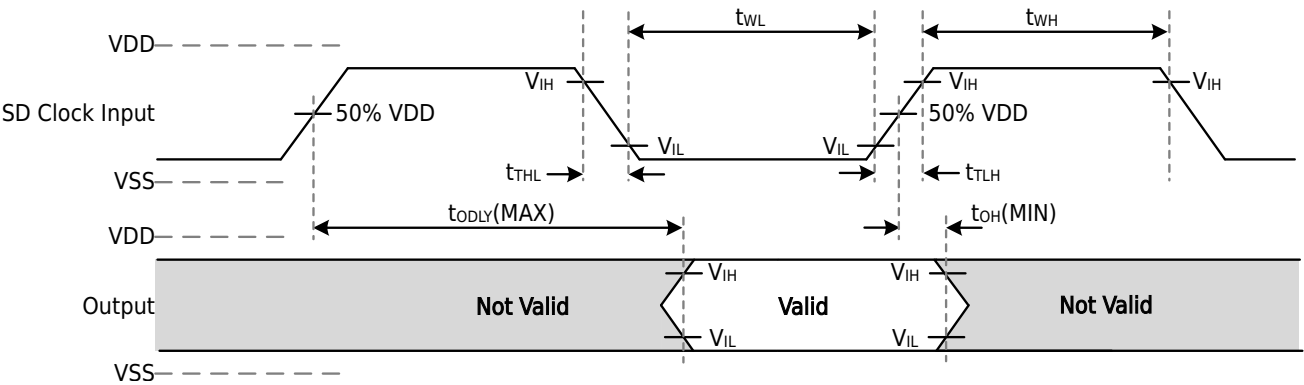


图 4-40 高速模式输出时序图

4.3.30 增益可调放大器特性

表 4-66 增益可调放大器特性

符号	参数		条件	最小值	典型值	最大值	单位
V _{AVCC} ⁽¹⁾	模拟电源电压		-	1.8	3.3	3.63	V
V _{OS}	输入失调电压		-	-8	-	8	mV
V _I ⁽¹⁾	输入电压范围		Gain=2~32	0.1*V _{AVCC} / Gain	-	0.9*V _{AVCC} / Gain	V
G _E	增益误差	使用外部端口 PGAVSS 作为 PGA 负相输入	Gain=2	-1	-	1	%
			Gain=2.133 ⁽¹⁾	-1	-	1	%
			Gain=2.286 ⁽¹⁾	-1	-	1	%
			Gain=2.667 ⁽¹⁾	-1	-	1	%
			Gain=2.909 ⁽¹⁾	-1	-	1	%
			Gain=3.2 ⁽¹⁾	-1.5	-	1.5	%
			Gain=3.556 ⁽¹⁾	-1.5	-	1.5	%
			Gain=4.0 ⁽¹⁾	-1.5	-	1.5	%
			Gain=4.571 ⁽¹⁾	-2	-	2	%
			Gain=5.333 ⁽¹⁾	-2	-	2	%
			Gain=6.4 ⁽¹⁾	-3.0	-	3.0	%
			Gain=8 ⁽¹⁾	-3.0	-	3.0	%
			Gain=10.667 ⁽¹⁾	-4.0	-	4.0	%
			Gain=16 ⁽¹⁾	-4.0	-	4.0	%
		Gain=32	-7.0	-	7.0	%	
		使用内部的模拟地 AVSS 作为 PGA 负相输入	Gain=2	-2	-	2	%
			Gain=2.133 ⁽¹⁾	-2	-	2	%
			Gain=2.286 ⁽¹⁾	-2	-	2	%
	Gain=2.667 ⁽¹⁾		-2	-	2	%	
	Gain=2.909 ⁽¹⁾		-2	-	2	%	
	Gain=3.2 ⁽¹⁾		-2.5	-	2.5	%	
	Gain=3.556 ⁽¹⁾		-2.5	-	2.5	%	
	Gain=4.0 ⁽¹⁾		-2.5	-	2.5	%	
	Gain=4.571 ⁽¹⁾		-3.0	-	3.0	%	
	Gain=5.333 ⁽¹⁾		-3.0	-	3.0	%	
	Gain=6.4 ⁽¹⁾		-4.0	-	4.0	%	
	Gain=8 ⁽¹⁾		-4.0	-	4.0	%	
	Gain=10.667 ⁽¹⁾		-5.0	-	5.0	%	
Gain=16 ⁽¹⁾	-5.0		-	5.0	%		
Gain=32	-8.0	-	8.0	%			



说明

1. 由综合评估得出，不在生产中测试。

4.3.31 VBAT 特性

表 4-67 备份电池域电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{BATLVD} ⁽¹⁾	低电压监视电压	PWC_PWRC4.VBATREFSEL=0	1.70	1.80	1.90	V
		PWC_PWRC4.VBATREFSEL=1	2.00	2.10	2.20	V



说明

1. 由综合评估得出，不在生产中测试。

4.3.32 EIRQ 滤波特性

表 4-68 EIRQ 滤波特性

符号	参数	条件	最小值	典型值	最大值	单位
W _{F_EIRQ} ⁽¹⁾	EIRQ 输入滤波宽度	INTC_NOCCR.NOCSEL=0b00	0.4	-	1.2	μs
		INTC_NOCCR.NOCSEL=0b01	0.8	-	2.3	μs
		INTC_NOCCR.NOCSEL=0b10	1.7	-	4.5	μs
		INTC_NOCCR.NOCSEL=0b11	3.4	-	8.9	μs



说明

1. 由综合评估得出，不在生产中测试。

4.3.33 USART1 STOP 模式下 RX 滤波特性

表 4-69 USART1 STOP 模式下 RX 滤波特性

符号	参数	条件	最小值	典型值	最大值	单位
W _{F_USART1} ⁽¹⁾	USART1 输入滤波宽度	USART1_NFC.USART1_NFS=0b00	0.4	-	1.2	μs
		USART1_NFC.USART1_NFS=0b01	0.8	-	2.3	μs
		USART1_NFC.USART1_NFS=0b10	1.7	-	4.5	μs
		USART1_NFC.USART1_NFS=0b11	3.4	-	8.9	μs



说明

1. 由综合评估得出，不在生产中测试。

4.3.34 USB 片上全速 PHY STOP 模式下滤波特性

表 4-70 USB 片上全速 PHY STOP 模式下滤波特性

符号	参数	条件	最小值	典型值	最大值	单位
W _{F_USB} ⁽¹⁾	USB 输入 滤波宽度	USB_SYCTLREG.USBFS_NFS=0b00 USB_SYCTLREG.USBHS_NFS=0b00	0.4	-	1.2	μs
		USB_SYCTLREG.USBFS_NFS=0b01 USB_SYCTLREG.USBHS_NFS=0b01	0.8	-	2.3	μs
		USB_SYCTLREG.USBFS_NFS=0b10 USB_SYCTLREG.USBHS_NFS=0b10	1.7	-	4.5	μs
		USB_SYCTLREG.USBFS_NFS=0b11 USB_SYCTLREG.USBHS_NFS=0b11	3.4	-	8.9	μs

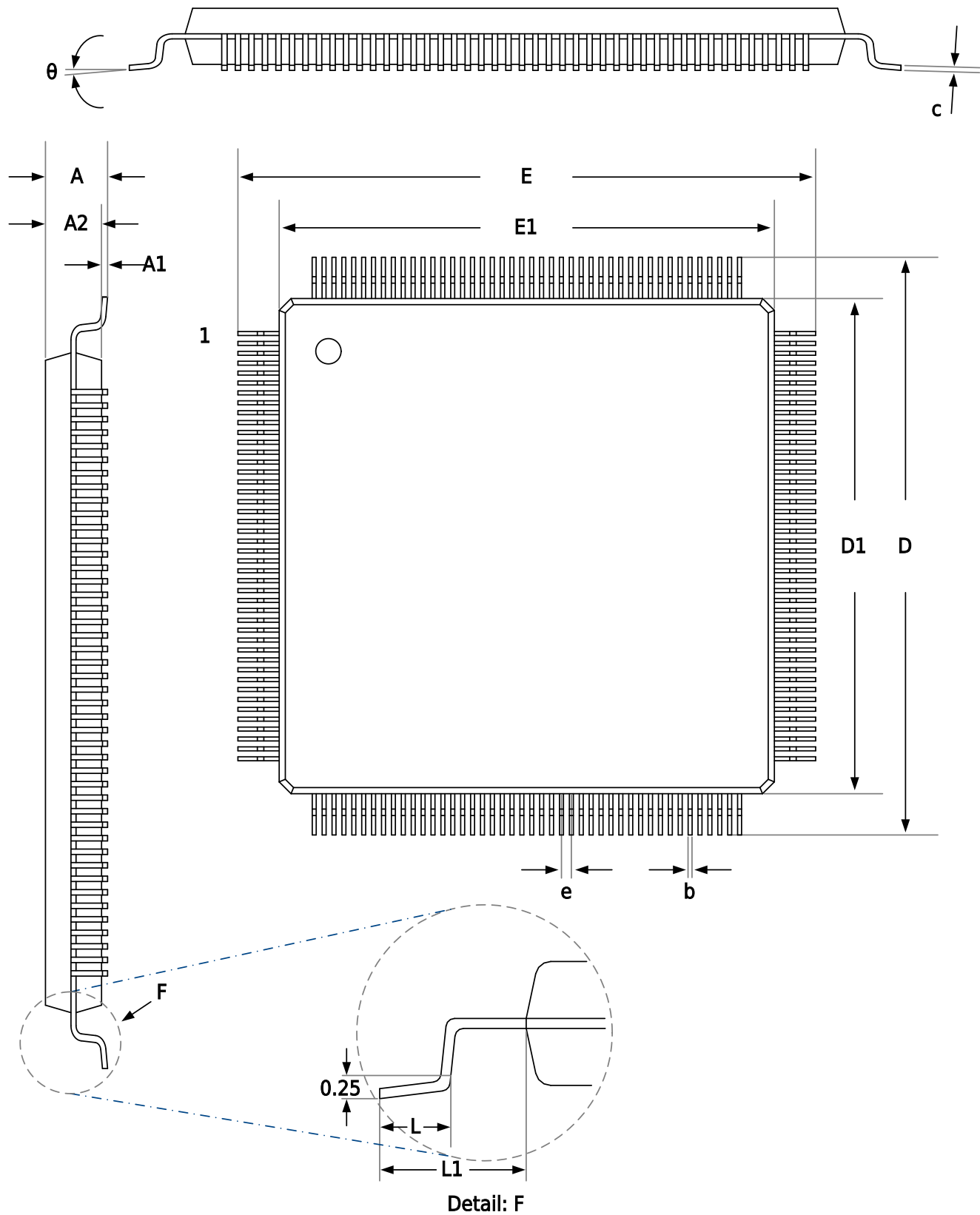
 **说明**

1. 由综合评估得出，不在生产中测试。

5 封装信息

5.1 封装尺寸

5.1.1 LQFP176 封装



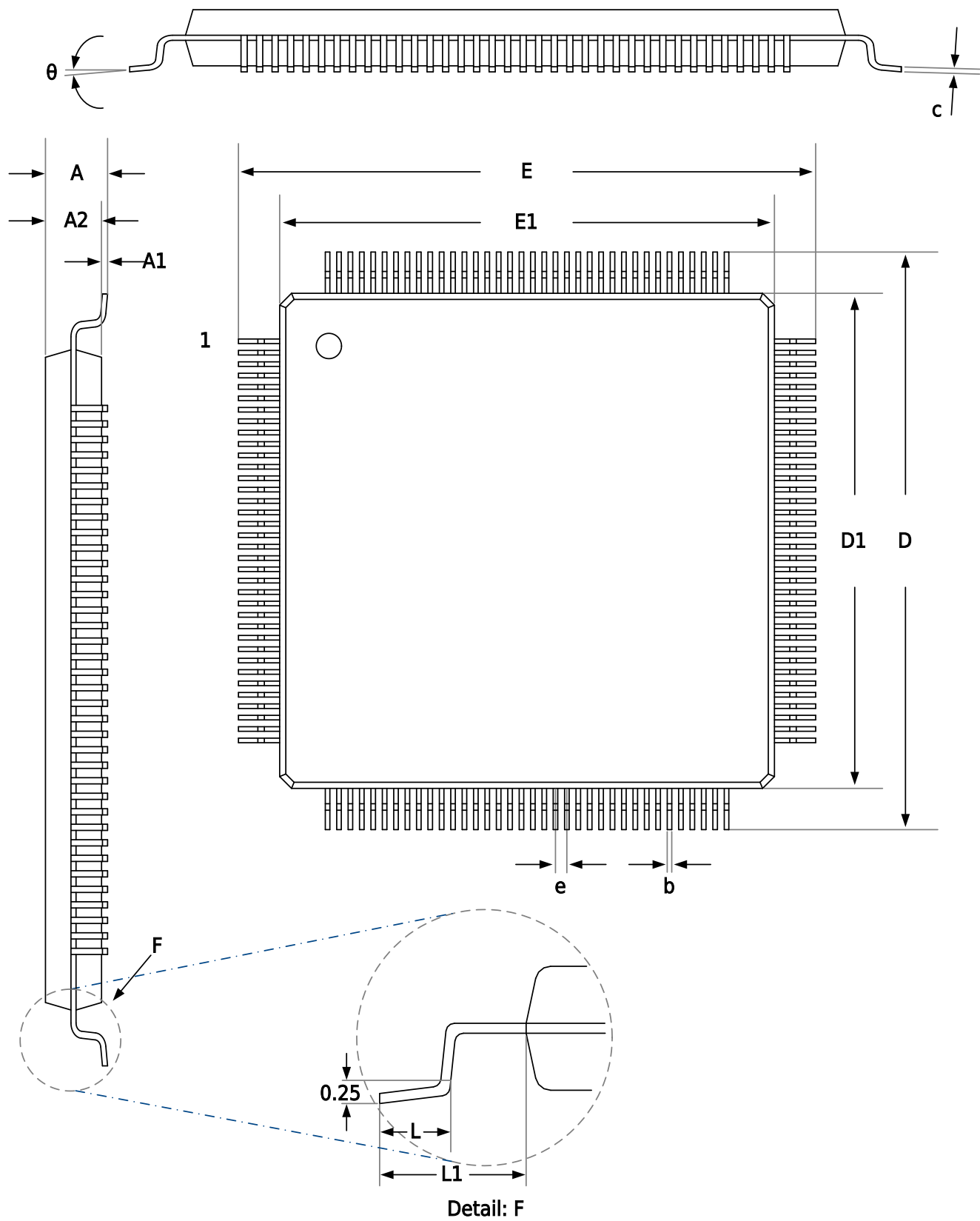
Symbol	24 x 24 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	--	0.27
c	0.09	--	0.20
D	25.80	26.00	26.20
D1	23.90	24.00	24.10
E	25.80	26.00	26.20
E1	23.90	24.00	24.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	3.5°	7°



说明

Dimensions “D1” and “E1” do not include mold flash.

5.1.2 LQFP144 封装



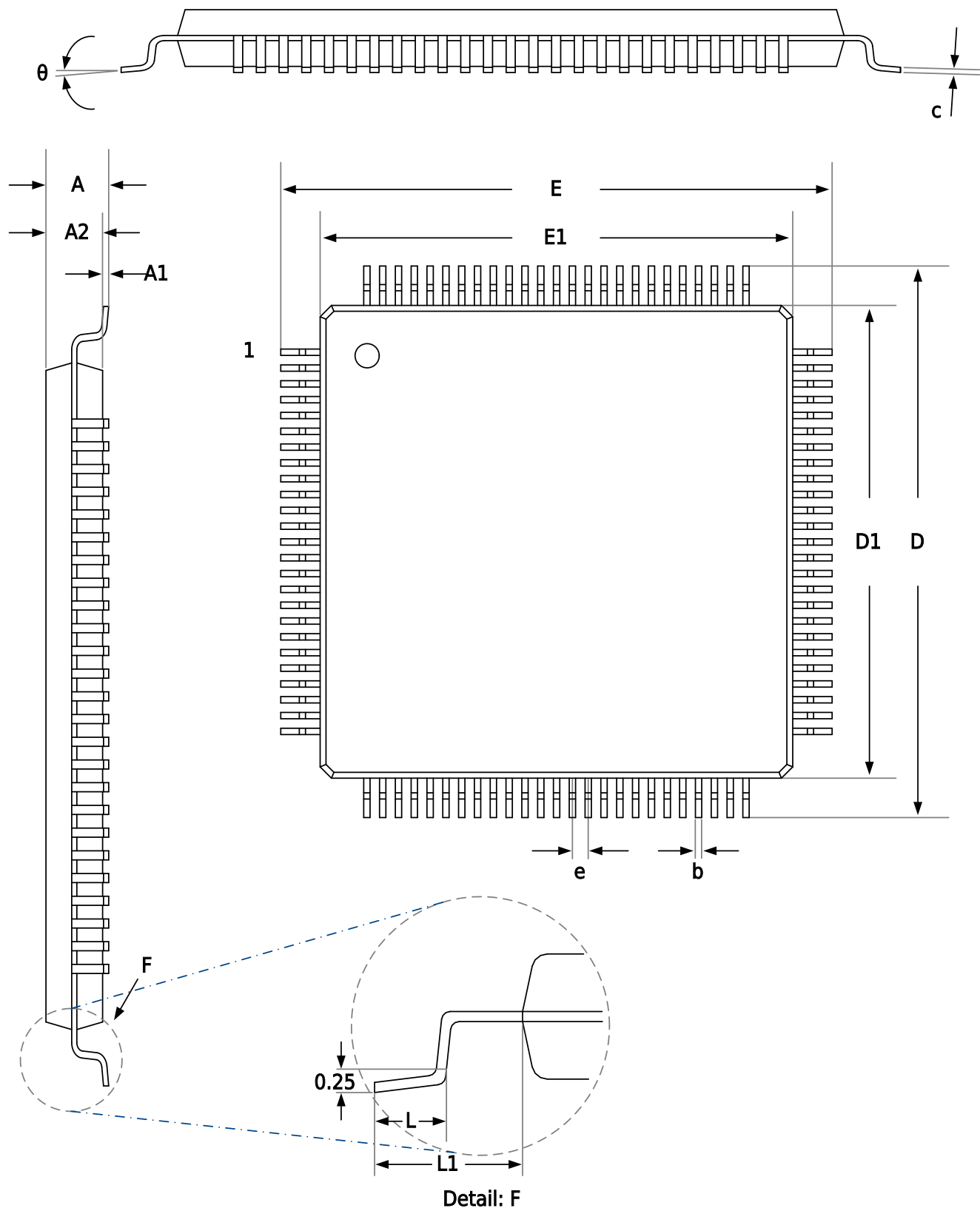
Symbol	20 x 20 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	--	0.27
c	0.09	--	0.20
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	3.5°	7°



说明

Dimensions “D1” and “E1” do not include mold flash.

5.1.3 LQFP100 封装



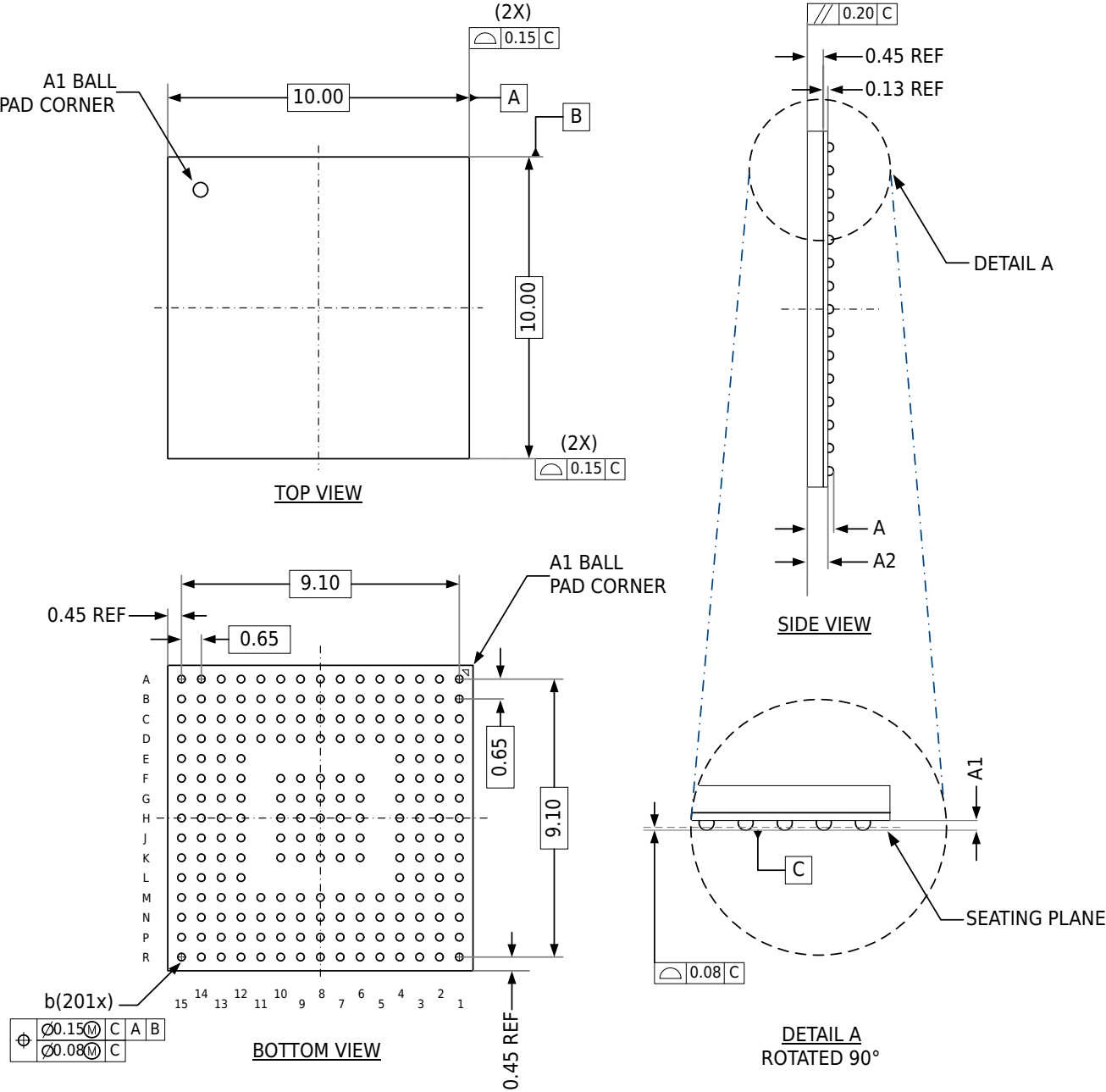
Symbol	14 x 14 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	--	0.27
c	0.09	--	0.20
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	3.5°	7°



说明

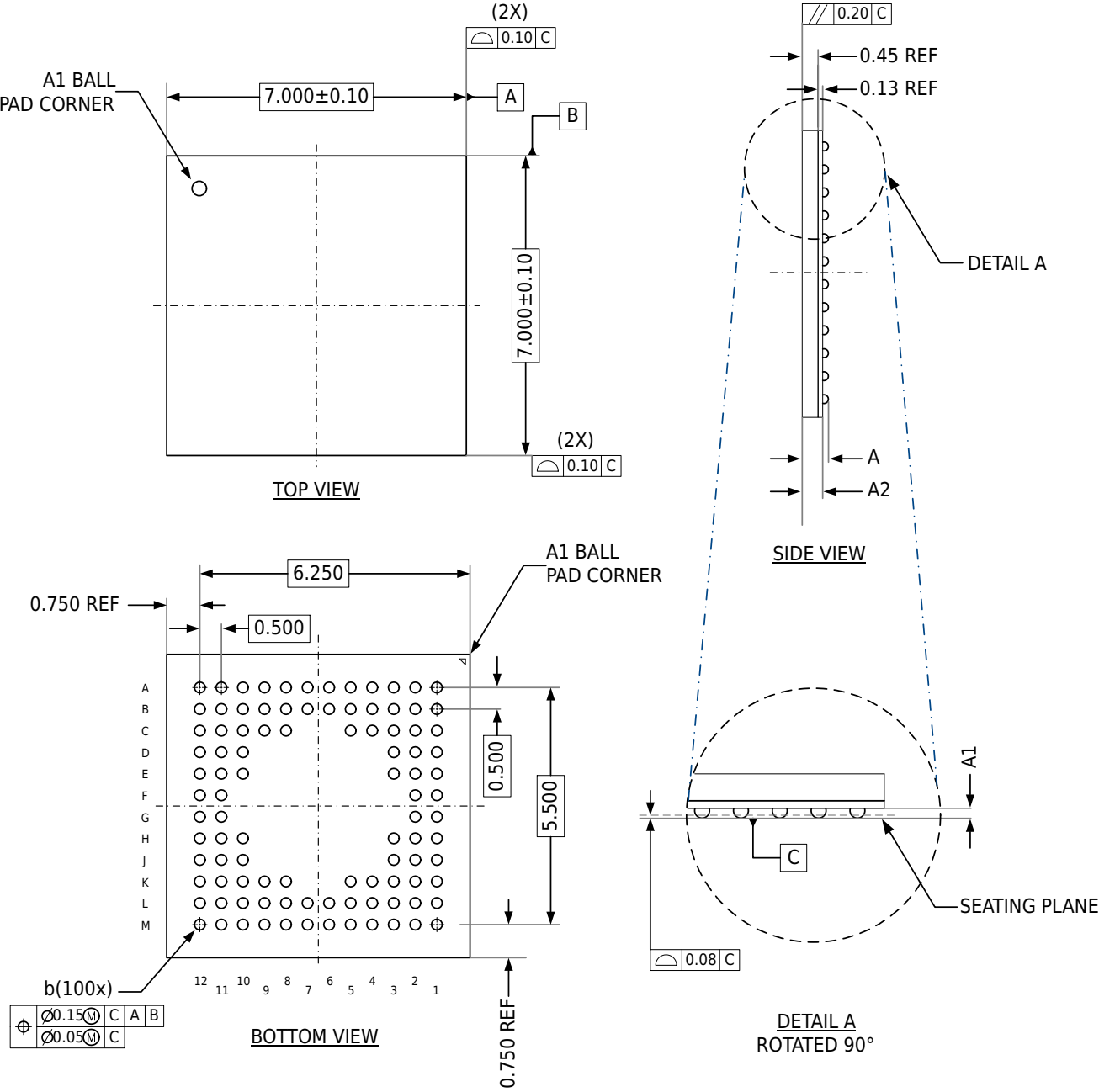
Dimensions “D1” and “E1” do not include mold flash.

5.1.4 VFBGA176 封装



Symbol	10 x 10 Millimeter		
	Min	Nom	Max
A	--	--	1.000
A1	0.110	--	--
A2	--	0.580	--
b	0.200	0.250	0.300
NUMBER OF BALLS 201			

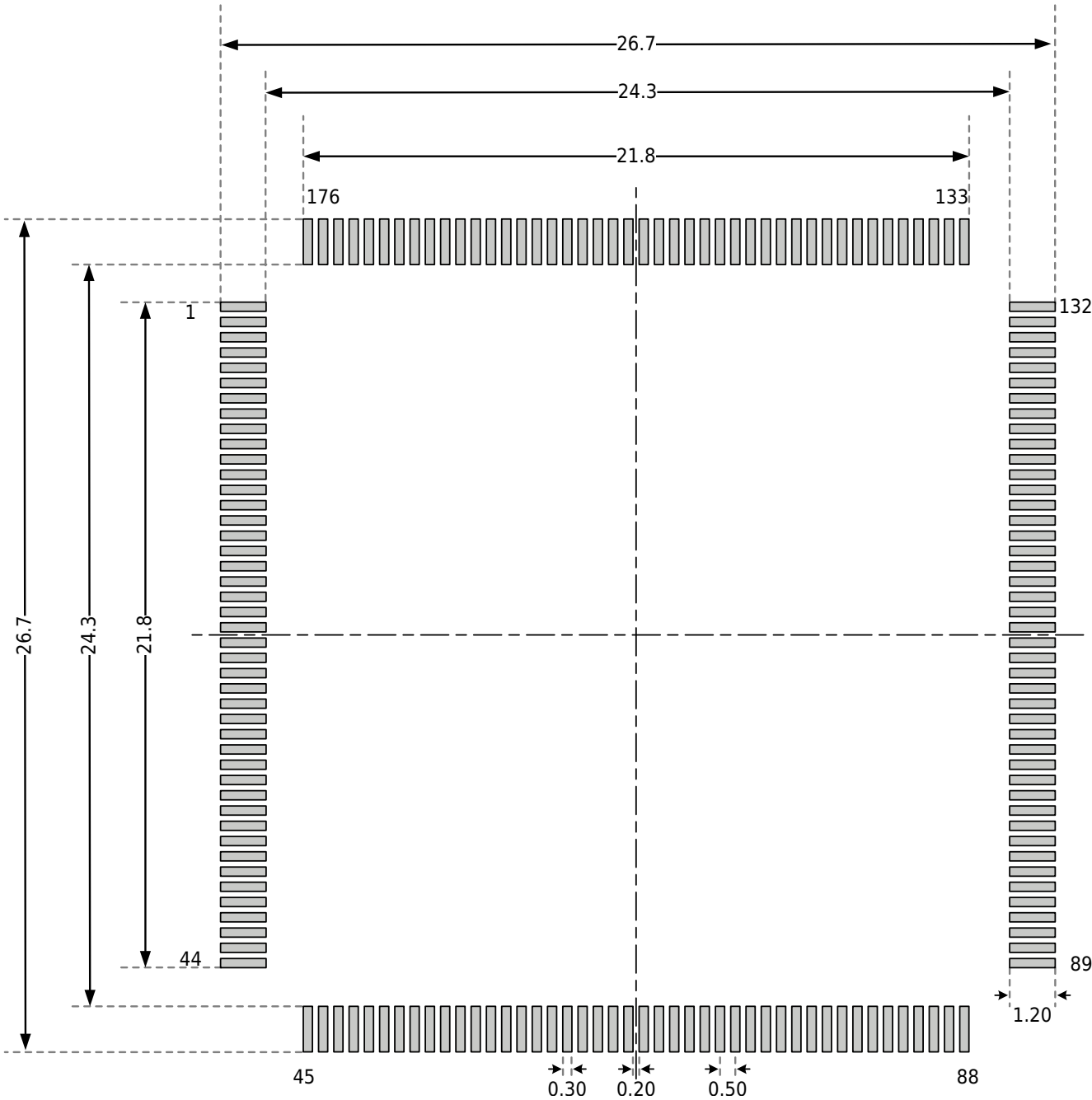
5.1.5 VFBGA100 封装



Symbol	7 x 7 Millimeter		
	Min	Nom	Max
A	--	--	1.000
A1	0.110	--	--
A2	--	0.580	--
b	0.200	0.250	0.300
NUMBER OF BALLS 100			
RAW SOLDER BALL SIZE $\phi 0.25$ MM			

5.2 焊盘示意图

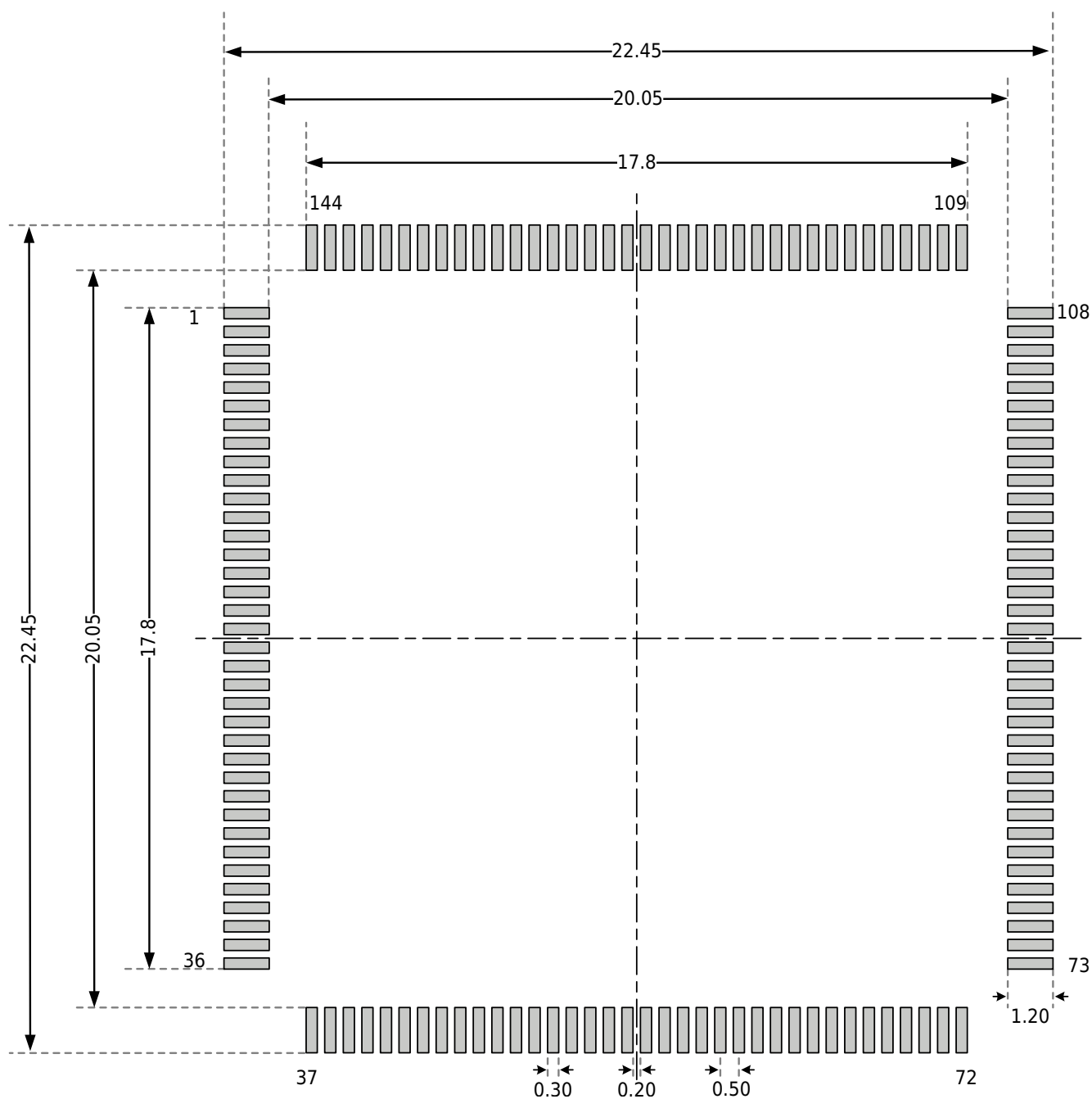
5.2.1 LQFP176 封装 (24mm x 24mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

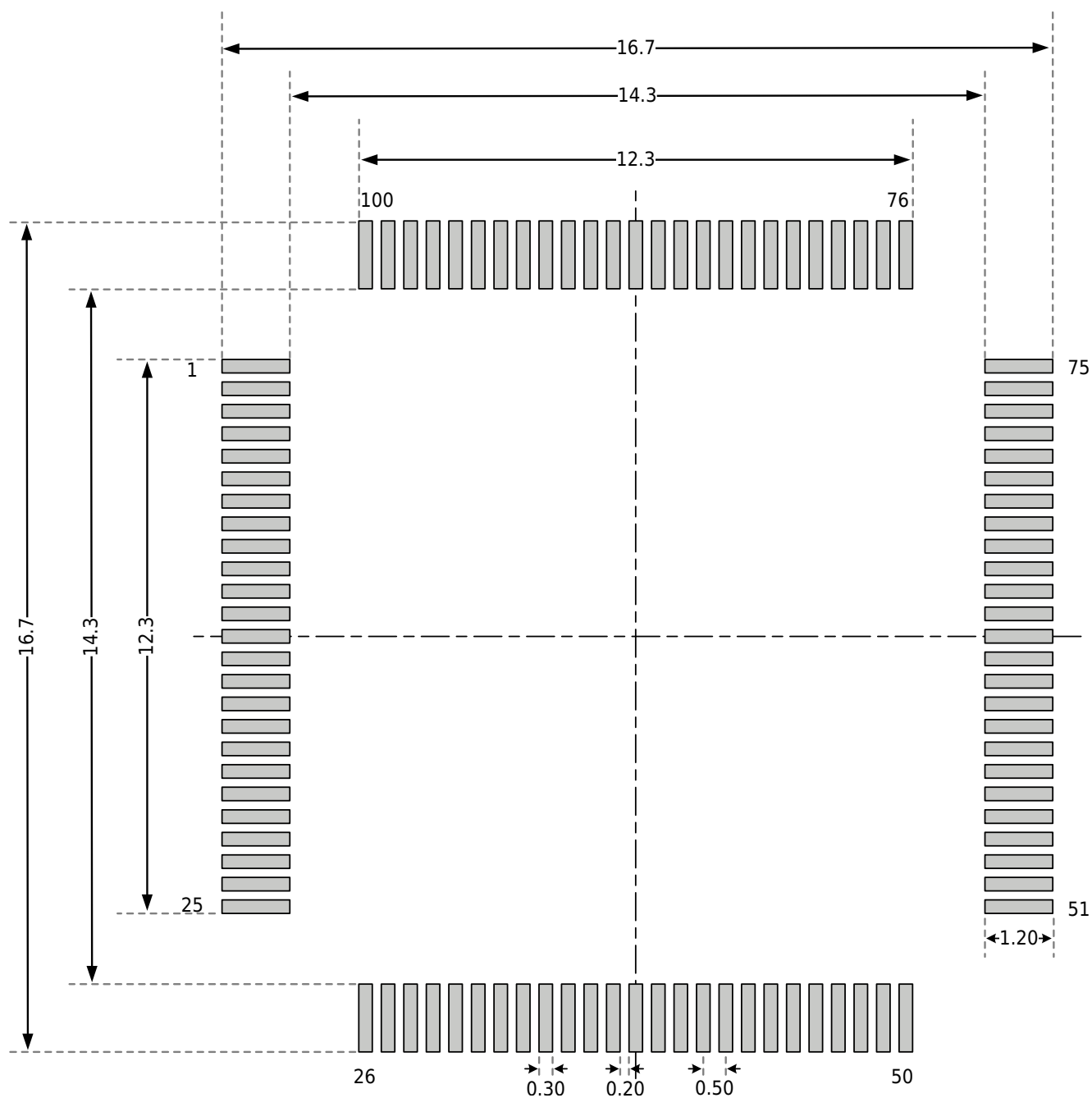
5.2.2 LQFP144 封装 (20mm x 20mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

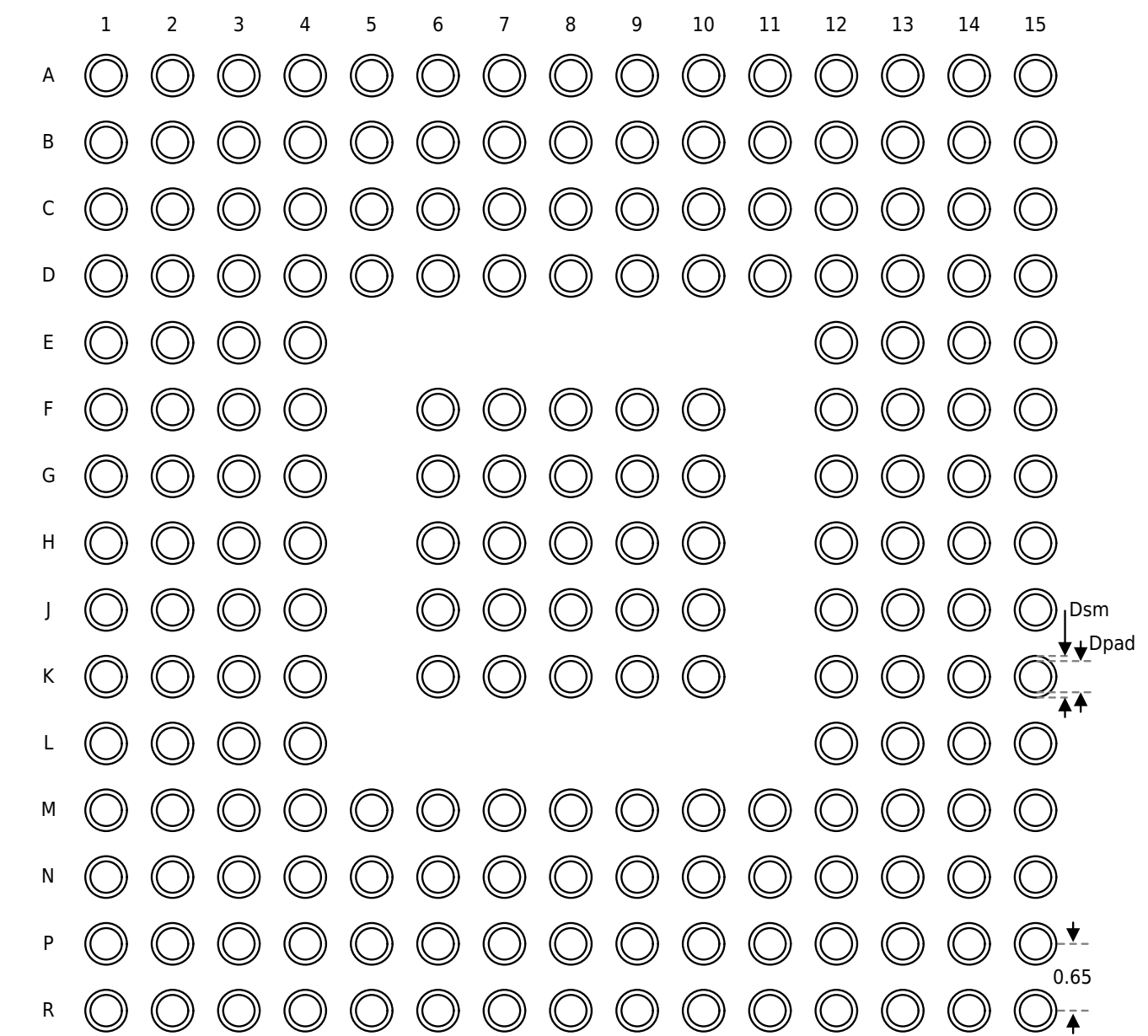
5.2.3 LQFP100 封装 (14mm x 14mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

5.2.4 VFBGA176 封装 (10mm x 10mm)



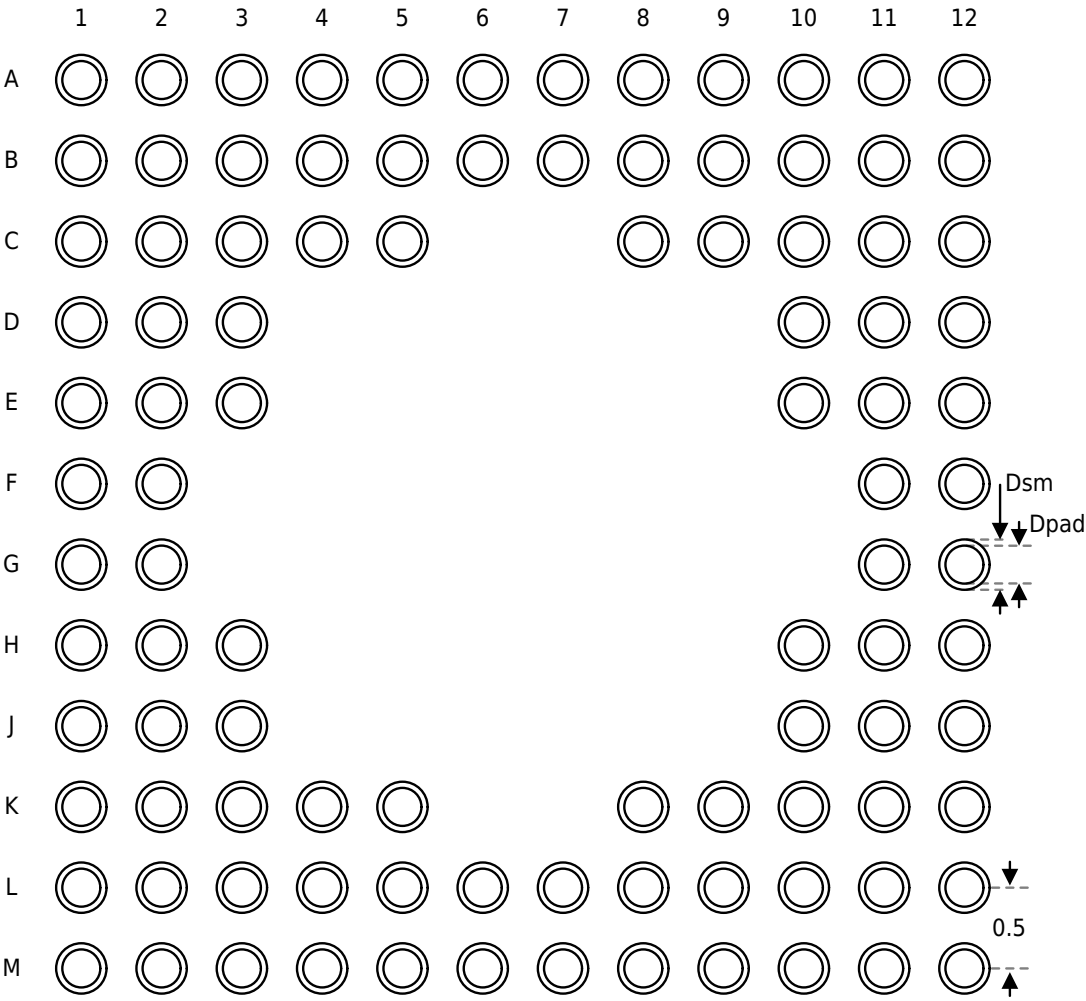
说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

表 5-6 VFBGA176 recommended PCB design rules (0.65mm pitch BGA)

Dimension	Recommended Values
Pitch	0.65mm
Dpad	0.280mm
Dsm	0.370mm typ. (depends on the soldermask registration tolerance)
Stencil opening	0.280mm
Stencil thickness	0.100mm

5.2.5 VFBGA100 封装 (7mm x 7mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

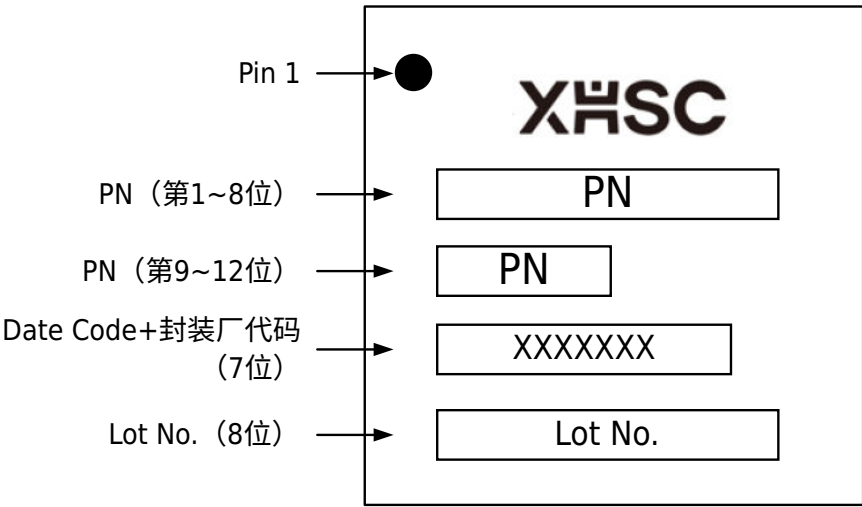
表 5-7 VFBGA100 recommended PCB design rules (0.5mm pitch BGA)

Dimension	Recommended Values
Pitch	0.5mm
Dpad	0.290mm
Dsm	0.220mm typ. (depends on the soldermask registration tolerance)
Stencil opening	0.3mm
Stencil thickness	0.2mm

5.3 丝印说明

以下给出各封装正面丝印的 Pin1 位置和信息说明。

LQFP100 封装（14mm x 14mm） /LQFP144 封装（20mm x 20mm） /LQFP176 封装（24mm x 24mm）
VFBGA176 封装（10mm x 10mm） /VFBGA100 封装（7mm x 7mm）



5.4 封装热阻系数

封装芯片在指定工作环境温度下工作时，芯片表面的结温 T_j （℃）可以按照下面的公式计算：

$T_j = T_A + (P_D \times \theta_{JA})$

- T_A 是指封装芯片工作时的环境温度，单位是℃；
- θ_{JA} 是指封装对工作环境的热阻系数，单位是℃/W；
- P_D 等于芯片的内部功耗（ P_{INT} ）和芯片工作时 I/O 引脚产生的功耗（ P_{IO} ）之和，单位是 W。

$P_D = P_{INT} + P_{IO}$

- ▶ P_{INT} 是芯片的内部功耗，产品的 I_{CC} 与 V_{CC} 的乘积。
- ▶ P_{IO} 是芯片所有输出 IO 的功耗，计算公式为： $P_{IO} = \Sigma(V_{OL} * I_{OL}) + \Sigma((V_{CC} - V_{OH}) * I_{OH})$

芯片在指定工作环境温度下工作时芯片表面的结温 T_j ，不可以超出芯片可容许的最大结温度 T_{j0} 。

表 5-8 各封装热阻系数表

Package Type and Size	Thermal Resistance Junction-ambient Value (θ_{JA})	Unit
LQFP176 24mm x 24mm/0.5mm pitch	39.06 ± 10%	℃/W
LQFP144 20mm x 20mm/0.5mm pitch	40 ± 10%	℃/W
LQFP100 14mm x 14mm/0.5mm pitch	42.5 ± 10%	℃/W
VFBGA176 10mm x 10mm	36 ± 10%	℃/W
VFBGA100 7mm x 7mm	58.64 ± 10%	℃/W

6 订购信息

Part Number		HC32F4A8SITB-LQFP176	HC32F4A8SIHB-VFBGA176	HC32F4A8RITB-LQFP144	HC32F4A8PITB-LQFP100	HC32F4A8PIHB-VFBGA100
GPIO		142		116	83	
CPU	Core	Cortex-M4				
	Frequency	240MHz				
Memory	Flash	2048KB				
	OTP	134KB				
	SRAM	512+4KB				
Power supply voltages		1.8~3.63V				
Temp Range		-40~105℃				
DMA		2unit*8ch				
TIMER	Timer0	5unit				
	Timer2	4unit				
	TimerA	12unit				
	Timer4	3unit				
	Timer6	8unit				
RTC		1ch				
WDT		1ch				
SWDT		1ch				
Connectivity	USART	10ch				
	I2C	6ch				
	SPI	6ch				
	QSPI	1ch				
	USB	USB2.0 OTG_FS+USB2.0 OTG_HS				
	CAN FD	4ch				
	EXMC	√				
	ETHMAC	1ch				
	I2S	4ch				
	SDIO	2ch				
	DVP	√				

Part Number		HC32F4A8SITB-LQFP176	HC32F4A8SIHB-VFBGA176	HC32F4A8RITB-LQFP144	HC32F4A8PITB-LQFP100	HC32F4A8PIHB-VFBGA100
Analog	12-bit ADC	3unit, 28ch		3unit, 24ch	3unit, 16ch	
	12-bit DAC	4ch				
	PGA	4ch				
	OTS	√				
	CMP	4ch				
	PVD	√				
Security	SKE	√				
	PKE	√				
	TRNG	√				
	Hash	SHA256				
Co-processing	FMAC	√				
	MAU	√				
	DCU	8ch				
ERMU		√				
Package Type		LQFP176(24*24)	VFBGA176(10*10)	LQFP144(20*20)	LQFP100(14*14)	VFBGA100 (7*7)
Packaging		Tray				
Pitch		0.5mm	0.65mm	0.5mm		

订购前，请联系销售窗口咨询最新量产信息。

版本记录

文档版本	发布日期	修改说明
Rev1.00	2025/03/26	第一次正式发布。