

BP3619

APFC 反激 PSR 恒压控制器



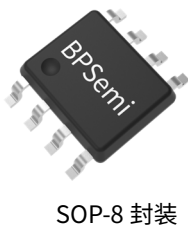
概述

BP3619 是一款高 PF 原边反馈恒压控制芯片。无需副边反馈光耦，只需要很少的外围器件可实现高精度恒压输出，降低了系统成本。

BP3619 控制的反激变换器工作在准谐振模式（BCM&DCM），可实现更高效率和更低 EMI。采用 Ton 时间控制机制，且内置 PF 和 THD 补偿，能实现高功率因数校正、低 THD 性能，并满足轻载下的新 ErP 分次电流谐波标准。

BP3619 集成高压启动、供电和输入检测电路。能有效加快启动时间，降低待机功耗和实现输入欠压保护功能，减少了外围元器件。BP3619 也集成多种保护功能，提高了电源的可靠性。

BP3619 采用 SOP-8 封装。



特点

- 原边反馈 CV 控制，无需光耦
- 内置高压启动和供电，启动速度快
- 高精度恒压基准
- 原边 MOSFET 谷底导通，开关损耗低
- 高 PF(>0.9)，低 THD(<5%)@264Vac,40W
- 优异的线性调整率和负载调整率
- 低待机功耗 (<100mW, @230Vac)
- 保护功能
 - 逐周期限流保护 (Cycle-by-Cycle)
 - 过流保护
 - 输出短路保护、开路保护
 - V_{CC} 欠压 (UVLO)
 - V_{CC} 过压保护 (V_{CC_OVP})
 - 过温保护 (OTP)
 - 电感/输出二极管短路保护
 - 过载保护 (OLP)
 - 输入欠压保护 (BROWN OUT)

应用领域

- AC/DC 适配器
- LED 照明

典型应用

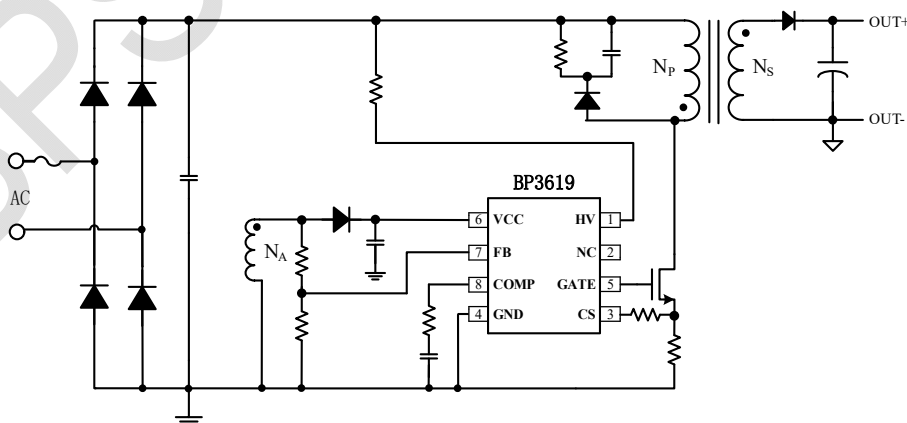


图 1 BP3619 典型应用电路

注：以上电路及参数仅供参考，实际的应用电路请在充分的实测基础上设定参数。

订购信息

订购型号	封装	包装形式	打印
BP3619	SOP-8	卷盘 4,000/盘	BP3619 XXXXXYZ XXWWZ

管脚封装

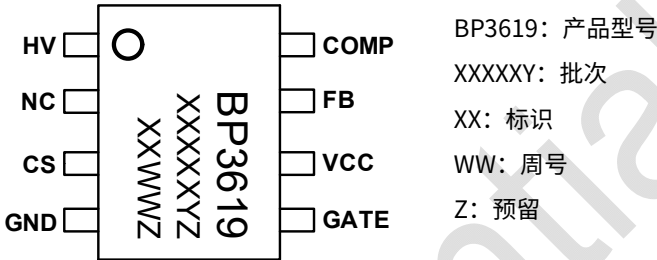


图 2 SOP-8 管脚封装图

管脚描述

管脚号	管脚名称	描述
1	HV	高压启动和供电及输入电压检测
2	NC	未连接
3	CS	电流采样端
4	GND	芯片地
5	GATE	MOSFET 驱动
6	VCC	芯片供电电源
7	FB	退磁检测和输出电压检测
8	COMP	环路补偿

极限参数(注 1)

符号	参数	参数范围	单位
HV	高压启动 JEFT 电压	-0.3~700	V
V _{CC}	V _{CC} 引脚电压	-0.3~30	V
I _{CC}	芯片供电VCC电流	10	mA
GATE	GATE引脚电压	-0.3~30	V
CS	CS引脚电压	-0.3~6	V
FB	FB引脚电压	-0.3~6	V
COMP	COMP引脚电压	-0.3~6	V
P _{DMAX}	功耗(注2)	0.45	W
θ _{JA}	PN结到环境的热阻(注3)	145	°C/W
T _J	工作结温范围	-40~150	°C
T _{STG}	储存温度范围	-55~150	°C

注 1: 最大极限值是指超出该工作范围，芯片有可能损坏。推荐工作范围是指在该范围内，器件功能正常，但并不完全保证满足个别性能指标。电气参数定义了器件在工作范围内并且在保证特定性能指标的测试条件下的直流和交流电参数规范。对于未给定上下限值的参数，该规范不予保证其精度，但其典型值合理反映了器件性能。

注 2: 温度升高最大功耗一定会减小，这也是由 T_{JMAX}, θ_{JA}, 和环境温度 T_A 所决定的。最大允许功耗为 $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ 或是极限范围给出的数字中比较低的那个值。

注 3: 1 平方英寸双层 PCB 板，按照 JEDEC 标准测试。

电气参数(注 4) (无特别说明情况下, $T_A=25^{\circ}\text{C}$)

符号	描述	条件	最小值	典型值	最大值	单位
电源电压(V_{CC})						
V _{CC_CLAMP}	V _{CC} 钳位电压	1mA	23	24	25	V
V _{CC_ON}	V _{CC} 启动电压	V _{CC} 上升	16	17	18	V
V _{CC_UVLO}	V _{CC} 欠压保护阈值	V _{CC} 下降	8	9	10	V
V _{CC_OVP}	V _{CC} 过压保护阈值	I _{CC} > 10mA	26	27	28	V
I _{QUIESCENT}	V _{CC} 静态工作电流	无开关动作	260	310	350	μA
I _{ST}	V _{CC} 启动电流	V _{CC_ON} -1V	60	80	100	μA
I _{CC}	工作电流	C _L =100pF, F _{op} =15kHz	0.25	0.44	0.65	mA
V _{CC_JFETON}	JFET 供电 VCC 电压		9	10.4	11	V
JFET 启动和供电						
I _{HV_CHRG1}	JFET 充电电流@V _{CC} <4V	V _{HV} =40V, V _{CC} =0V	0.4	0.6	1.2	mA
I _{HV_CHRG2}	JFET 充电电流@V _{CC} >4V	V _{HV} =40V, V _{CC} =11V	3.6	4.8	10	mA
输入欠压保护						
V _{BO}		持续 18ms		65		Vac
误差放大器(COMP)						
G _m	跨导放大系数		35	50	65	μA/V
V _{COMP}	COMP 线性工作范围		0.4		3.4	V
电压采样(FB)						
V _{REF}	内部恒压基准电压		1.2	1.235	1.27	V
V _{FB_ST}	启动阶段判断阈值		0.26	0.3	0.36	V
V _{FB_H1}	快速响应 FB 过高阈值		1.28	1.33	1.38	V
I _{sink}	COMP 快速下拉电流		5.8	6.2	6.7	mA
V _{FB_H2}	退出 FB 过高快速响应		1.2	1.25	1.3	V
V _{FB_L1}	退出 FB 过低快速响应		1.13	1.18	1.23	V
V _{FB_L2}	快速响应 FB 过低阈值		0.95	1.05	1.15	V
I _{source}	COMP 快速上拉电流		0.12	0.135	0.15	mA
V _{FB_OVP}	FB 过压保护阈值			1.5		V
I _{FB_DET}	FB 短路保护检测电流		85	100	115	μA
T _{FB_DET}	FB 短路检测延时			0.1		ms
V _{FB_OPEN}	FB 开路检测阈值			2.7		V

符号	描述	条件	最小值	典型值	最大值	单位
V_{FB_SHORT}	FB 短路检测阈值			0.35		V
电流采样(CS)						
V_{OCP_ST}	启动阶段逐周期限流		0.38	0.45	0.52	V
V_{CS_TH1}	逐周期限流阈值 1		0.6	0.7	0.8	V
V_{CS_TH2}	故障保护限流阈值 2		0.85	1	1.15	V
T_{LEB1}	前沿消隐时间			300		ns
V_{CS_MIN}	PFM 模式最小 CS 电压			80		mV
I_{CS_DET}	谷底延时设定电流		85	100	115	μA
T_{CS_DET}	谷底延时设定检测延时			0.1		ms
零电流检测						
V_{FB_FALL}	退磁检测 FB 下降阈值	FB 下降		0.1		V
V_{FB_RISE}	退磁检测 FB 上升阈值	FB 上升		0.2		V
栅极驱动(GATE)						
V_{GATE}	驱动电压			10		V
$I_{SOURCE1}$	最大驱动上拉电流			150		mA
I_{SINK1}	最大驱动下拉电流			550		mA
内部时间控制						
T_{ON_MAX}	最大开通时间		14	18	22	μs
T_{ON_MIN}	最小开通时间			0.5		μs
T_{DELAY}	开通延时			0.3		μs
$T_{OFF_MAX_ST}$	启动最大关断时间		95	120	150	μs
T_{ZCD_MASK}	退磁检测屏蔽时间			3.5		μs
T_{SHORT}	短路保护时间			50		ms
T_{FAULT}	短路保护重启间隔时间			410		ms
F_{SWMAX}	最大开关频率限值			120		kHz
F_{SWMIN}	Skip mode 频率	$V_{Comp} < 0.4V$		200		Hz
过热调节部分						
T_{REG}	过热保护温度			150		$^{\circ}C$
T_{HYS}	过热保护迟滞			30		$^{\circ}C$

注 4: 规格书的最小、最大规范范围由测试保证, 典型值由设计、测试或统计分析保证。

内部结构框图

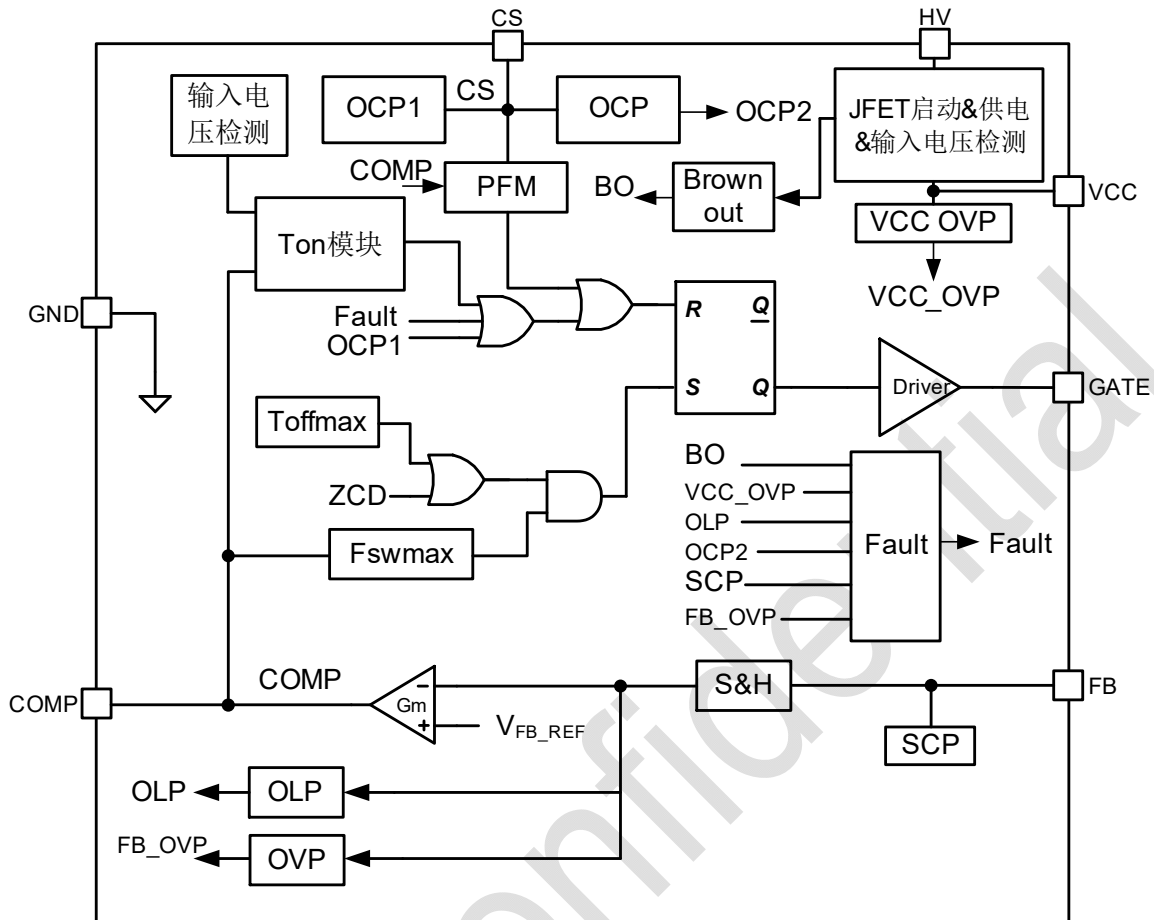


图 3 BP3619 内部框图

功能描述

BP3619 是一款原边反馈恒压控制的单级反激 APFC 控制器，主要应用于高 PF 恒压输出的应用领域。

BP3619 采用原边反馈 CV 控制技术，无需副边反馈光耦，只需要很少的外围器件可实现高精度恒压输出。内置了 PF 和 THD 补偿，实现了高 PF、低 THD 性能。

启动

系统上电后，当 V_{CC} 电压小于 4V 时，母线电压直接通过 HV 引脚以电流 I_{HV_CHRG1} 对 V_{CC} 电容芯片。当 V_{CC} 电压大于 4V 时，HV 电流变为 I_{HV_CHRG2} 。当 V_{CC} 电压达到芯片开启阈值 V_{CC_ON} 时，芯片内部控制电路开始工作。当 FB 电压低于 V_{FB_ST} 时，系统处于启动阶段，此时 CS 峰值电流限值为 V_{OCP_STO} 。一旦当 FB 电压大于 V_{FB_ST} 后，限流为 V_{CS_TH1} 阈值。

关机

关机后，系统检测到输入母线快速下降，同时 FB 检测不到退磁

信号，而 V_{CC} 电压因为 MOSFET 驱动电流的消耗和副边反射电压的下降无法提供足够的能量，也可能会掉至 UVLO 电压。系统会触发输入电压欠压保护、短路保护和 V_{CC_UVLO} 三种保护中的其中一种。

输出电压设置和采样方法

原边反馈恒压控制能够省却副边反馈电路和光耦，从而降低了系统成本。为了在原边实现副边恒压控制，需要通过辅助绕组检测输出电压。

当 MOSFET 关断时，辅助绕组的电压为：

$$V_{AUX} = (V_{OUT} + V_{DF}) \times \frac{N_A}{N_S}$$

其中：

N_A 为辅助绕组的圈数；

N_S 为副边绕组的圈数；

V_{DF} 为输出续流二极管的正向压降；

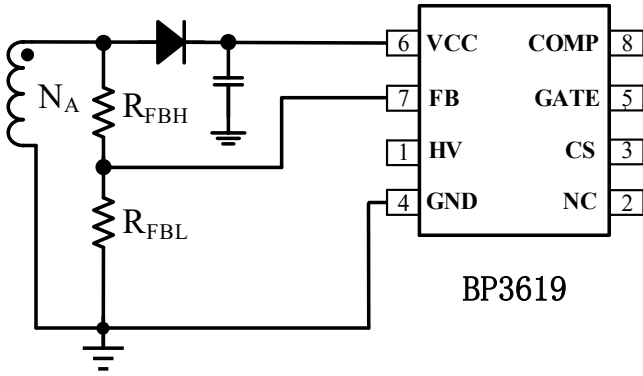


图 4 FB 引脚示意图

输出电压计算方法：

$$V_{OUT} = \frac{V_{REF}}{\frac{R_{FBL}}{R_{FBH} + R_{FBL}} \times \frac{N_A}{N_S}}$$

其中，

V_{REF} 为内部参考电压

R_{FBL} 是反馈网络的下分压电阻

R_{FBH} 是反馈网络的上分压电阻

负载动态响应优化

为了改善对负载动态变化的响应，控制器采用了优化设计。

当 FB 电压上升到 V_{FB_H1} 时，COMP 被拉低，控制器马上减小能量输出，当 FB 下降到 V_{FB_H2} ，COMP 回归正常状态。

当 FB 电压下降到 V_{FB_L2} 时，COMP 被拉高，控制器马上增加能量输出，当 FB 上升到 V_{FB_L1} ，COMP 回归正常状态。

EMC 优化

谷底导通+限频控制，采用 NMOS 推挽驱动，有效抑制 MOS 开通时的源极电流震荡；采用分级驱动电流控制，在米勒平台区设置降低电流驱动。

保护功能

BP3619 内置多种保护功能，包括逐周期限流保护、过流保护、输出短路、开路保护、Vcc 过压保护、过温保护、过载保护、输入欠压保护、电感输出二极管短路保护等。

短路保护

BP3619 连续 50ms 检测不到退磁信号，则进入短路保护状态。

等待 T_{FAULT} 以后重新检测故障状态。

逐周期限流保护

芯片逐周期检测电感的峰值电流，CS 端连接到的峰值电流比较器的输入端，与内部限流阈值电压进行比较，当 CS 电压达到内部检测阈值时，功率管保护并关断。

电感/输出二极管短路保护

当电感或输出二极管短路时，CS 电压迅速上升。若 CS 电压大于 V_{CS_TH2} ，系统进入故障保护状态。等待 T_{FAULT} 以后重新检测故障状态。

Vcc 过压保护

当 V_{CC} 电压大于 V_{CC_OVP} ，系统进入故障保护状态。等待 T_{FAULT} 以后重新检测故障状态。

开路保护

FB 检测加强了抗干扰性，增强了系统的可靠性，当 FB 电压检测到大于 V_{FB_OVP} ，系统进入故障保护状态，等待 T_{FAULT} 以后重新检测故障状态。

过载保护

负载逐渐增加时，comp 逐渐增加到可调节范围极限值，输出电压开始下降，触发 FB 小于 1.176V 持续 T_{FAULT} 系统进入故障保护状态，等待 T_{FAULT} 以后重新检测故障状态。

输入欠压保护

当输入电压小于 V_{BO} 并持续 18ms，系统进入故障保护状态。等待 T_{FAULT} 以后重新检测故障状态。

过温保护

BP3619 具有过热调节功能，在驱动电源过热时立即停止开关，避免芯片温度上升，以提高系统的可靠性。芯片内部设定过热调节温度点为 150°C，当结温下降到 130°C 以后，系统重新开始工作。

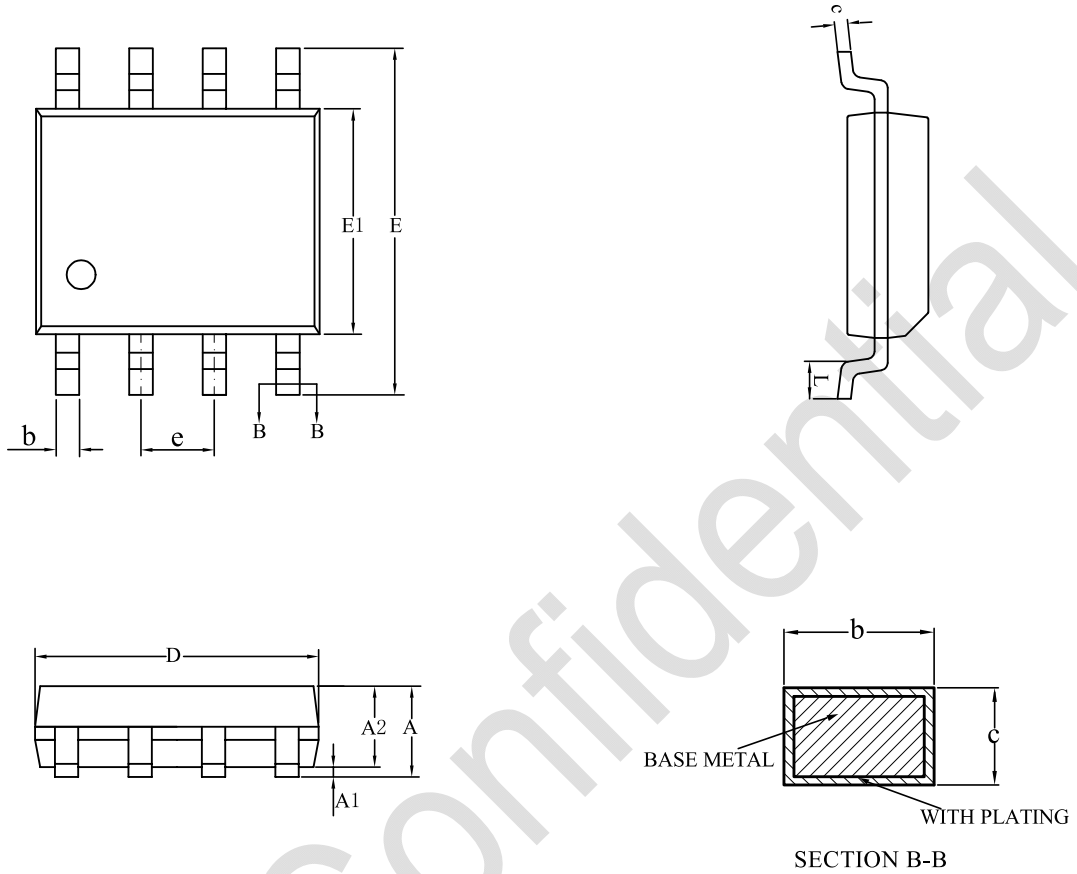
PCB Layout 指南

在设计 BP3619 应用 PCB 时，需要遵循以下建议：

- 1) VCC 的旁路电容需要紧靠芯片 VCC 和 GND 引脚。
- 2) FB 采样电阻需要尽量靠近芯片 FB 引脚，且 FB 节点要远离高压节点和噪声源。
- 3) 电流采样电阻的功率地线尽可能粗，且要离芯片的 GND 脚尽量近。
- 4) CS 引脚与采样电阻的连线需要尽量短，且靠近芯片，远离高压节点和噪声源。
- 5) Comp 脚电阻电容连线尽可能短，远离噪声源。
- 6) 减小功率环路的面积，如功率管、母线电容和输出二极管、输出电容的环路面积，以减小 EMI 辐射。

封装信息

SOP-8 封装外形尺寸



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.30	—	1.80
A1	0.05	—	0.25
A2	1.25	1.40	1.65
b	0.33	—	0.51
c	0.17	—	0.25
D	4.70	4.90	5.10
E	5.80	6.00	6.30
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.40	—	1.00

版本信息

版本	日期	记录
Rev.1.0	2024/02	首次发行

BPS Confidential

免责声明

晶丰明源尽力确保本产品规格书内容的准确和可靠，但是保留在没有通知的情况下，修改规格书内容的权利。

本产品规格书未包含任何针对晶丰明源或第三方所有的知识产权的授权。针对本产品规格书所记载的信息，晶丰明源不做任何明示或暗示的保证，包括但不限于对规格书内容的准确性、商业上的适销性、特定目的的适用性或者不侵犯晶丰明源或任何第三人知识产权做任何明示或暗示保证，晶丰明源也不就因本规格书本身及其使用有关的偶然或必然损失承担任何责任。

BPS Confidential