

概述

BP5656E 是一款调光全程 LED 电流纹波抑制芯片，主要用于配合可控硅调光、有源功率因数校正 LED 驱动器，抑制输出低频电流纹波。BP5656E 采用高效率的驱动机制，能够自动适应不同的 LED 输出电压和电流，在抑制 LED 电流纹波的同时，仍维持极低的功率 MOS 管损耗。

BP5656E 具有多重保护功能,包括 MOS 管漏极过压保护、短路保护、芯片过温调节保护等。

BP5656E 采用 SOP-8 封装。



SOP-8 封装

特点

- 集成 500V JFET 供电
- 内置削纹波数字环路补偿
- OVP 保护电压可调
- 短路保护电压可调
- 外围元件少
- 过温调节保护功能
- 采用 SOP-8 封装

应用领域

- LED 球泡灯、灯丝灯
- LED 灯管
- 其它 LED 照明

典型应用

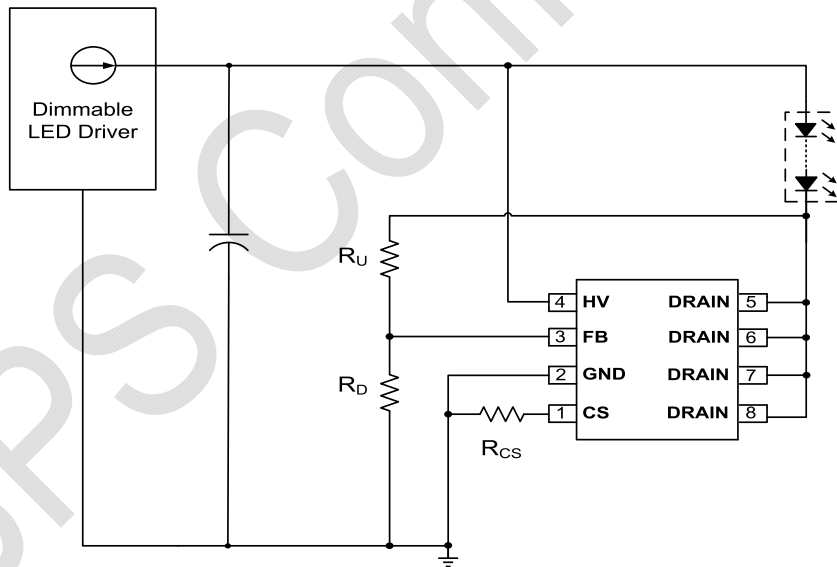
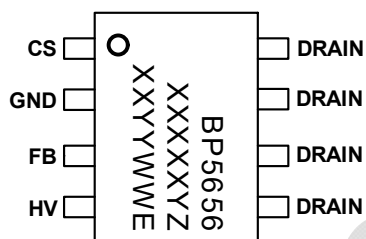


图 1 BP5656E 典型应用电路

订购信息

订购型号	封装	包装形式	打印
BP5656E	SOP-8	卷盘 4,000/盘	BP5656 XXXXXYZ XXYYWWE

管脚封装



BP5656E: 产品型号
XXXXXY: 批次
XXYY: 标识
WW: 周号
Z: 预留

图 2 SOP-8 管脚封装图

管脚描述

管脚号	管脚名称	描述
1	CS	输出电流反馈端
2	GND	芯片地
3	FB	功率管漏极电压检测反馈输入端
4	HV	高压供电
5,6,7,8	DRAIN	芯片内部 MOS 的 DRAIN 端, 接输出 LED 负端

极限参数(注 1)

符号	参数	参数范围	单位
HV	芯片供电引脚	-0.3~500	V
DRAIN	功率管漏极	-0.3~200	V
CS	输出电流反馈端	-0.3~6	V
FB	功率管漏极电压检测反馈输入端	-0.3~8	V
P _{DMAX}	功耗(注 2)	0.45	W
θ _{JA}	PN 结到环境的热阻	150	°C/W
T _J	工作结温范围	-40~150	°C
T _{STG}	储存温度范围	-55~150	°C

注 1: 最大极限值是指超出该工作范围, 芯片有可能损坏。推荐工作范围是指在该范围内, 器件功能正常, 但并不完全保证满足个别性能指标。电气参数定义了器件在工作范围内并且在保证特定性能指标的测试条件下的直流和交流电参数规范。对于未给定上下限值的参数, 该规范不予保证其精度, 但其典型值合理反映了器件性能。

注 2: 温度升高最大功耗一定会减小, 这也是由 T_{JMAX}, θ_{JA}, 和环境温度 T_A 所决定的。最大允许功耗为 $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ 或是极限范围给出的数字中比较低的那个值。

注 3: 1 平方英寸双层 PCB 板, 按照 JEDEC 标准测试。

电气参数(注 4) (无特别说明情况下, $T_A=25^{\circ}\text{C}$)

符号	描述	条件	最小值	典型值	最大值	单位
电源供电						
V_{HV}	JFET 工作电压范围		16		500	V
I_{CC}	静态工作电流	HV=40V		340	460	uA
FB 设置						
V_{FB_OVP1}	FB 过压保护电压阈值 1	CS=0.2V		2		V
V_{FB_OVP2}	FB 过压保护电压阈值 2	CS=0V		0.5		V
V_{FB_CLAMP}	FB 短路保护钳位电压		4.3	5.3	6.3	V
I_{FB_SCP}	FB 短路保护电流阈值		128	160	192	uA
CS 限值						
V_{CS_LMT}	CS 电压限值			0.2		V
内部功率 MOSFET						
$R_{DS(on)}$	MOSFET 导通电阻	$V_{GS}=10V, I_D=1A$		500		m Ω
V_{DSS}	最大漏源电压		200			V
过温调节						
T_{REG}	温度调节点			150		$^{\circ}\text{C}$

注 4: 规格书的最小、最大规范范围由测试保证, 典型值由设计、测试或统计分析保证。

内部结构框图

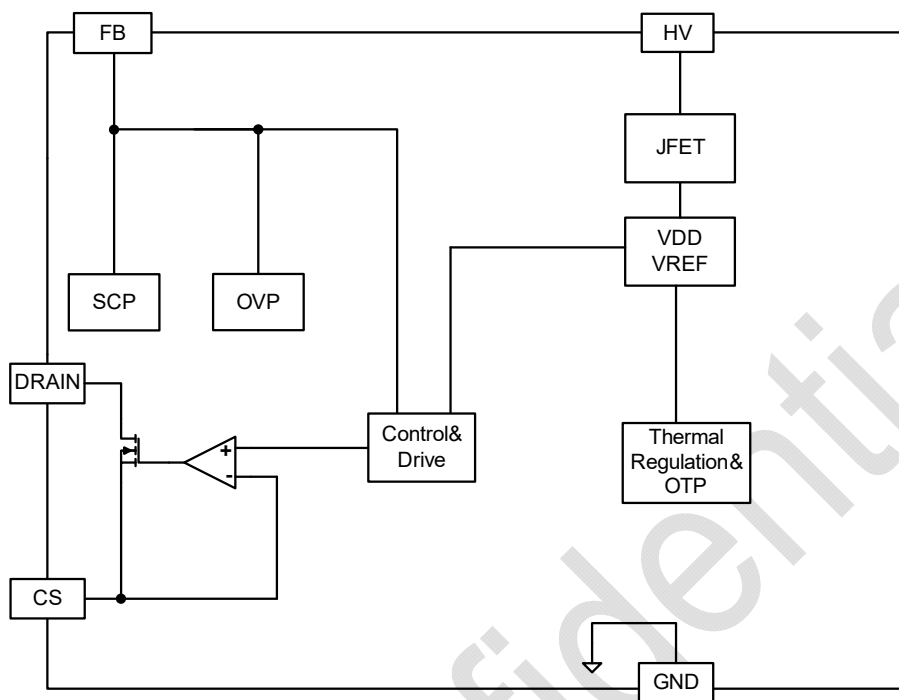


图 3 BP5656E 内部框图

功能描述

BP5656E 是一款调光全程 LED 电流纹波抑制芯片，主要用于配合可控硅调光、有源功率因数校正 LED 驱动器，抑制输出低频电流纹波。BP5656E 采用高效率的驱动机制，能够自动适应不同的 LED 输出电压和电流，在抑制 LED 电流纹波的同时，仍维持极低的功率 MOS 管损耗。

BP5656E 具有多重保护功能，包括 MOS 管漏极过压保护、短路保护、芯片过温调节保护等。

启动和供电

BP5656E 通过 HV 引脚给芯片内部 VDD 供电，当 VDD 充电至启动电压时芯片开始工作。

电流采样电阻计算

CS 采样电阻根据输出电流设定：

$$R_{CS} \approx \frac{V_{CS_LMT}}{I_{OUT}}$$

其中：

I_{OUT} 是前级输出平均电流， V_{CS_LMT} 是芯片内部电压限值。

漏极电压控制

BP5656E 通过控制 DRAIN 电压实现去频闪功能。正常去频闪时，DRAIN 的平均电压如下：

$$V_{D_AVG} \approx 0.5 \cdot (0.5 + 7.4 \cdot V_{CS}) \cdot \left(1 + \frac{R_U}{R_D}\right)$$

其中：

V_{CS} 是 CS 引脚平均电压， R_U 是 FB 上分压电阻； R_D 是 FB 下分压电阻。

保护功能

BP5656E 具有多重保护功能，包括 MOS 管漏极过压保护、输出短路保护、芯片过温调节保护等。

芯片过温调节保护

芯片进入过温调节点后，芯片会降低内部基准，控制内部 MOS 导通程度，芯片逐渐退出抑制纹波功能，从而控制温升，以提高系统的可靠性。

MOS 管漏极过压保护

当前级能量快速增加时，芯片 DRAIN 电压也会快速上升，当 DRAIN 电压在 FB 引脚的分压达到芯片内置 OVP 电压阈值时，去频闪电流快速增加，使 DRAIN 电压钳位在 OVP 电压点，防止过高电压将芯片击穿同时抑制输出电流过冲现象。

$$V_{D_OVP} \approx (0.5 + 7.4 \cdot V_{CS}) \cdot \left(1 + \frac{R_U}{R_D}\right)$$

其中：

R_U 是 FB 上分压电阻； R_D 是 FB 下分压电阻。 V_{CS} 为 CS 引脚电压。

输出短路保护

当 LED 短路时，去频闪 MOS 的漏极电压快速上升，达到前

级输出电压，而 FB 电压被内部箝位，当钳位电路的电流超过短路保护基准电流时，芯片进入短路保护状态，降低系统功耗，提高可靠性。

$$V_{D_SCP} \approx V_{FB_CLP} \cdot \left(1 + \frac{R_U}{R_D}\right) + I_{FB_SCP} \cdot R_U$$

其中：

R_U 是 FB 上分压电阻； R_D 是 FB 下分压电阻。 I_{FB_SCP} 为芯片内部短路保护基准电流。 V_{FB_CLP} 为短路保护时 FB 引脚的内部箝位电压。

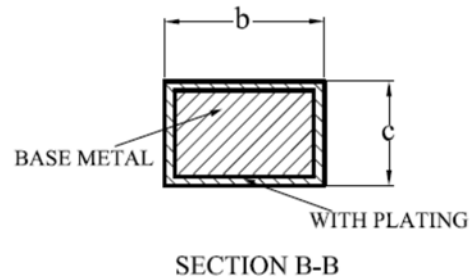
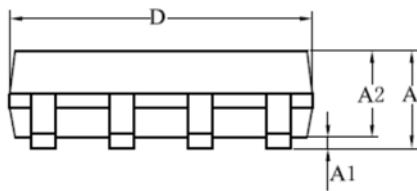
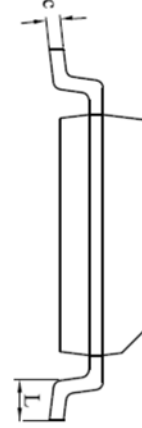
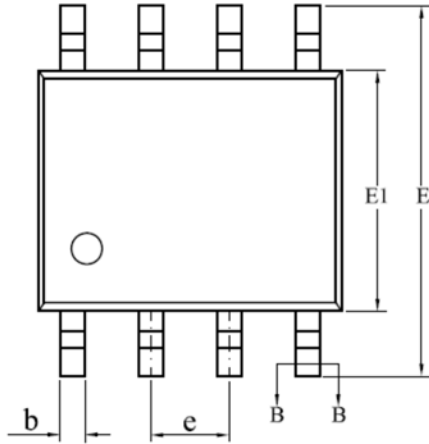
PCB Layout 指南

在设计 BP5656E PCB 时，需要遵循以下指南：

- 1) 应尽可能的扩大去频闪内置 MOS 漏极的铜箔面积，以减小热阻，增强散热能力。
- 2) FB 引脚和 CS 引脚走线尽量短，外围电阻靠近芯片。

封装信息

SOP-8 封装外形尺寸



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.30	—	1.80
A1	0.05	—	0.25
A2	1.25	1.40	1.65
b	0.33	—	0.51
c	0.17	—	0.25
D	4.70	4.90	5.10
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.40	—	1.00

版本信息

版本	日期	记录
Rev. 1.0	2021/02	首次发行

免责声明

晶丰明源尽力确保本产品规格书内容的准确和可靠，但是保留在没有通知的情况下，修改规格书内容的权利。

本产品规格书未包含任何针对晶丰明源或第三方所有的知识产权的授权。针对本产品规格书所记载的信息，晶丰明源不做任何明示或暗示的保证，包括但不限于对规格书内容的准确性、商业上的适销性、特定目的的适用性或者不侵犯晶丰明源或任何第三人知识产权做任何明示或暗示保证，晶丰明源也不就因本规格书本身及其使用有关的偶然或必然损失承担任何责任。