

概述

CH32V407 是基于青稞 RISC-V 内核设计的工业级互联型微控制器，支持 200MHz 主频零等待运行，支持 V 向量指令集，用于加速计算或并行处理等应用。CH32V407 内置 2 组 USB 2.0 高速 PHY 收发器（480Mbps）、以太网 MAC 控制器及 10/100 兆物理层收发器；内置双 ADC 单元、双 DAC 单元、OPA 运放等模拟资源；提供了 2 组共 24 路 DMA 控制器、SDIO、DVP 数字图像接口、RNG、ARGB、LTDC、FSMC、多组定时器、10 组 USART 串口、I2C 接口、I3C 接口、3 组 SPI、2 组 I2S、CAN 接口等丰富外设资源。

CH32V467 在 CH32V407 的基础上增加了 4M 或 8M 字节的片内扩展 PSRAM 存储器，支持 DMA。

产品特性

- **内核 Core:**
 - 青稞 32 位 RISC-V3V 内核，多种指令集组合
 - 支持 V 向量指令集，支持并行计算
 - 快速可编程中断控制器+硬件中断堆栈
 - 2 级中断嵌套
 - 系统主频高达 200MHz
- **存储器:**
 - 200KB 零等待易失数据存储区 SRAM
 - 992KB 程序存储区 CodeFlash
(零等待应用区+非零等待数据区)
 - 28KB 系统引导程序存储区 BootLoader
 - 128B 用户自定义信息存储区
- **8MB 扩展 PSRAM 存储器 (仅 CH32V467)**
 - DMA 块读/块写速度可达 600Mbytes/s
- **电源管理和低功耗:**
 - 系统供电 V_{DD} 电压范围: 2.9~3.6V
 - 低功耗模式: 睡眠、停止、待机
 - V_{BAT} 电源独立为 RTC 和后备寄存器供电
- **系统时钟和复位:**
 - 内置出厂调校的 20MHz 的 RC 振荡器
 - 内置约 40kHz 的 RC 振荡器
 - 高速振荡器支持外部 5~32MHz 晶体
 - 低速振荡器支持外部 32.768kHz 晶体
 - 上电/下电复位、可编程电压监测器
- **实时时钟 RTC: 32 位独立定时器**
- **2 组 12 位数模转换 DAC**
- **2 组 12 位模数转换 ADC:**
 - 模拟输入范围: $V_{SSA} \sim V_{DDA}$
 - 16 路外部信号+2 路内部信号通道
 - 双 ADC 转换模式
- **运放 OPA/PGA/电压比较器:**
 - 各 2 路输入通道及输出通道
- **2 组共 24 路通用 DMA 控制器**
- **10 组 USART 串口: 支持 LIN**
- **I2C 接口 (支持 SMBus/PMBus)**
- **I3C 接口**
- **3 组 SPI 接口 (SPI2、SPI3 用于 I2S2、I2S3)**
- **2 组 480Mbps 高速 USB 2.0 控制器及 PHY:**
 - 支持高速/全速的 Host 和 Device 模式
 - 支持 1024 字节数据包
- **CAN 接口 (2.0B 主动)**
- **SDIO 接口 (MMC、SD/SDIO 卡及 CE-ATA)**
- **FSMC 存储器接口**
- **150MHz 数字图像接口 DVP**
- **LCD-TFT 显示控制器 LTDC**
- **随机数发生器 RNG**
- **可寻址 RGB (ARGB)**
- **百兆以太网控制器 MAC 及 10M/100M PHY**
 - MAC 和 PHY 全集成，外围只需要电容
 - 支持 Auto-MDIX 线路自动转换和极性自适应
 - 10M/100Mbps 自动协商，支持全双工和半双工
- **多组定时器:**
 - 2 个 16 位高级定时器，支持死区控制和紧急刹车，提供用于电机控制的 PWM 互补输出
 - 4 个 16 位通用定时器，提供输入捕获/输出比较/PWM/脉冲计数及增量编码器输入
 - 2 个基本定时器
 - 2 个看门狗定时器 (独立和窗口型)
 - 系统时基定时器: 32 位计数器
- **快速 GPIO 端口:**
 - 77 个 I/O 口，映射 16 个外部中断
- **安全特性: CRC 计算单元, 96 位芯片唯一 ID**
- **单线或双线调试模式**
- **封装形式: LQFP、QFN**

产品型号 资源差异		CH32V407			CH32V467		
		VET6	WEU6	RET6	VET6	WEU6	RET6
芯片引脚数		100	68	64	100	68	64
零等待闪存(字节) ⁽²⁾		512K	512K	512K	512K	512K	512K
零等待 SRAM(字节) ⁽²⁾		200K	200K	200K	200K	200K	200K
扩展 PSRAM(字节)		—	—	—	8M	8M	4M
GPIO 端口数		77	55	49	76	54	48
定时器	高级(16位) ⁽¹⁾	2	2	2	2	2	2
	通用(16位) ⁽¹⁾	4	4	4	4	4	4
	基本(16位)	2	2	2	2	2	2
	看门狗	2 (WWDG + IWDG)			2 (WWDG + IWDG)		
	系统时基 32 位	支持			支持		
RTC		支持			支持		
ADC	单元数	2	2	2	2	2	2
	通道数	16+2	16+2	16+2	16+2	16+2	16+2
DAC(单元)		2	2	2	2	2	2
OPA		1	1	1	1	1	1
随机数发生器(RNG)		1	1	1	1	1	1
USART		10	10	10	10	10	10
SPI/I2S		3/2	3/2	3/2	3/2	3/2	3/2
I2C		1	1	1	1	1	1
I3C		1	1	1	1	1	1
CAN		1	1	1	1	1	1
SDIO		1	1	1	1	1	1
USBHS(含PHY)		2	2	1 (USBHS1)	2	2	1 (USBHS1)
Ethernet		MAC+10M/100M PHY			MAC+10M/100M PHY		
DVP		1	1	1	1	1	1
FSMC		1	—	—	1	—	—
LTDC		1	1	1	1	1	1
ARGB		1	1	1	1	1	1
CPU 主频		Max: 200MHz			Max: 200MHz		
工作温度		工业级: -40℃~85℃			工业级: -40℃~85℃		
封装形式		LQFP100	QFN68	LQFP64	LQFP100	QFN68	LQFP64

注: 1. 定时器中的 PWM、捕捉等涉及引脚信号的功能需要结合实际芯片封装的引脚, 有些封装芯片没有引出则此类功能不能使用。

2. 零等待 SRAM 中有 64KB 也可配置用于零等待闪存, 即零等待闪存 576KB、零等待数据 136KB。

第 1 章 规格信息

1.1 系统架构

微控制器基于 RISC-V 指令集设计，其架构中将青稞微处理器内核、仲裁单元、DMA 模块、SRAM 存储等部件通过多组总线实现交互。集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，应用多级时钟管理机制降低了外设的运行功耗，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列芯片内部总体架构框图。

图 1-1-1 CH32V407 系统框图

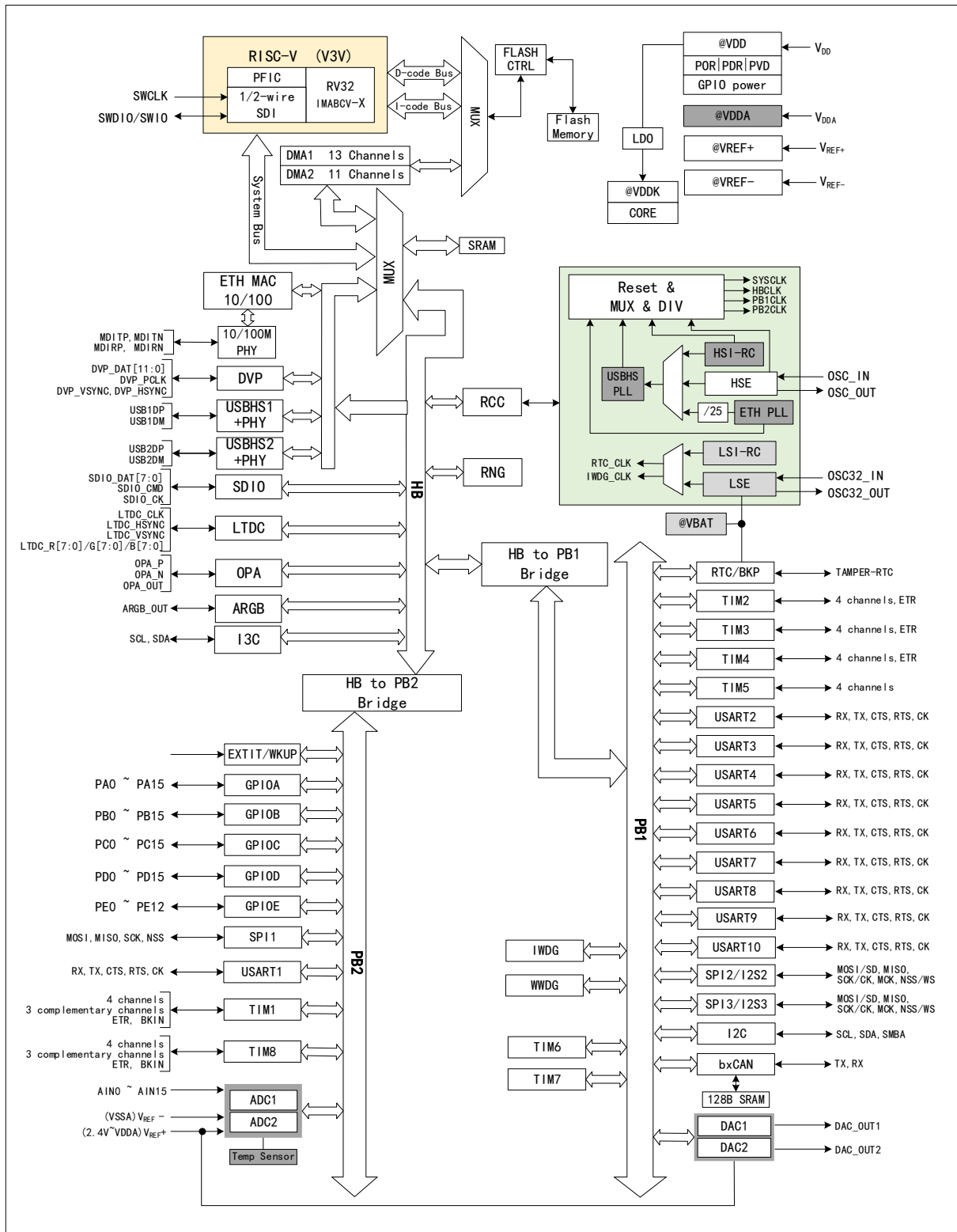
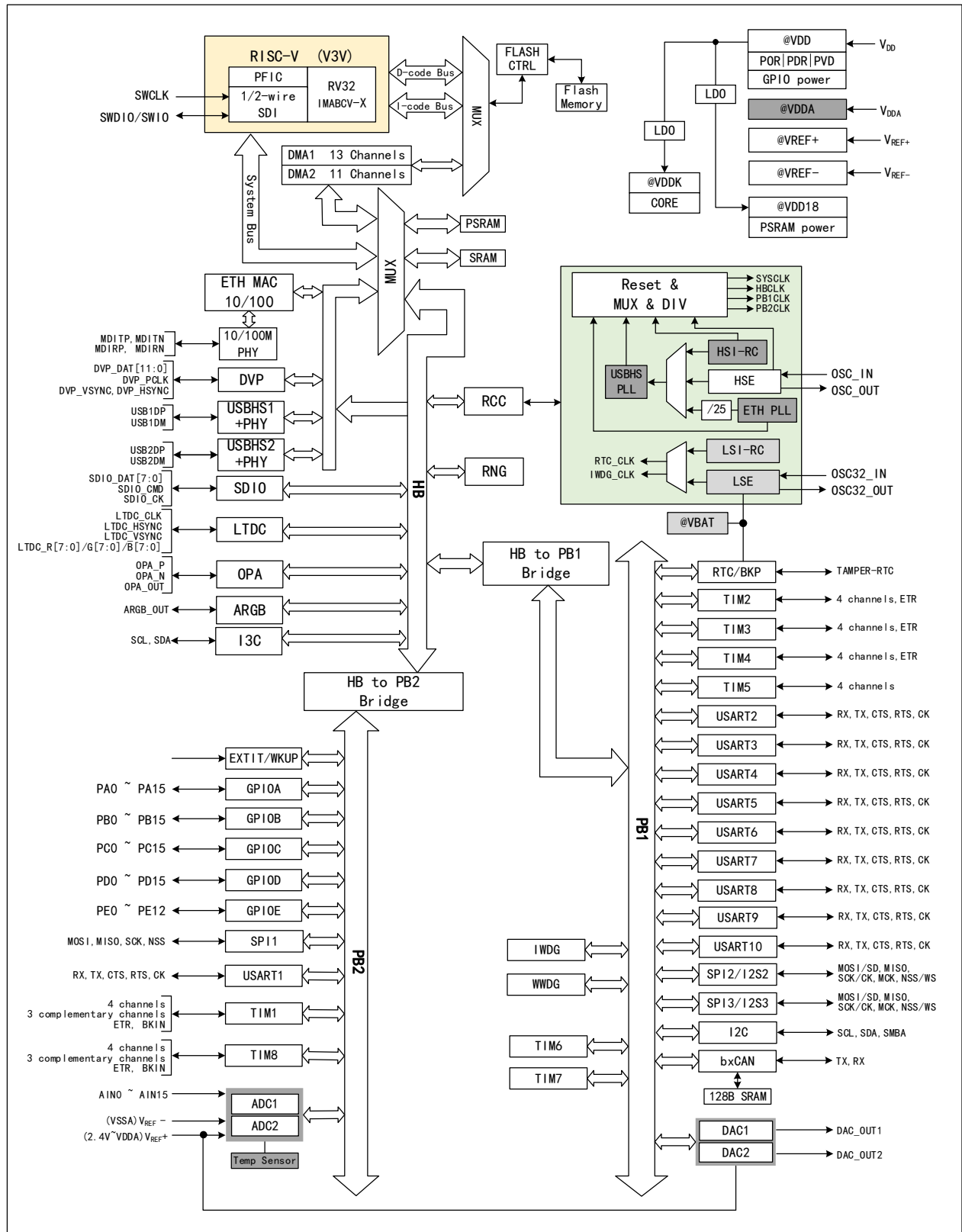
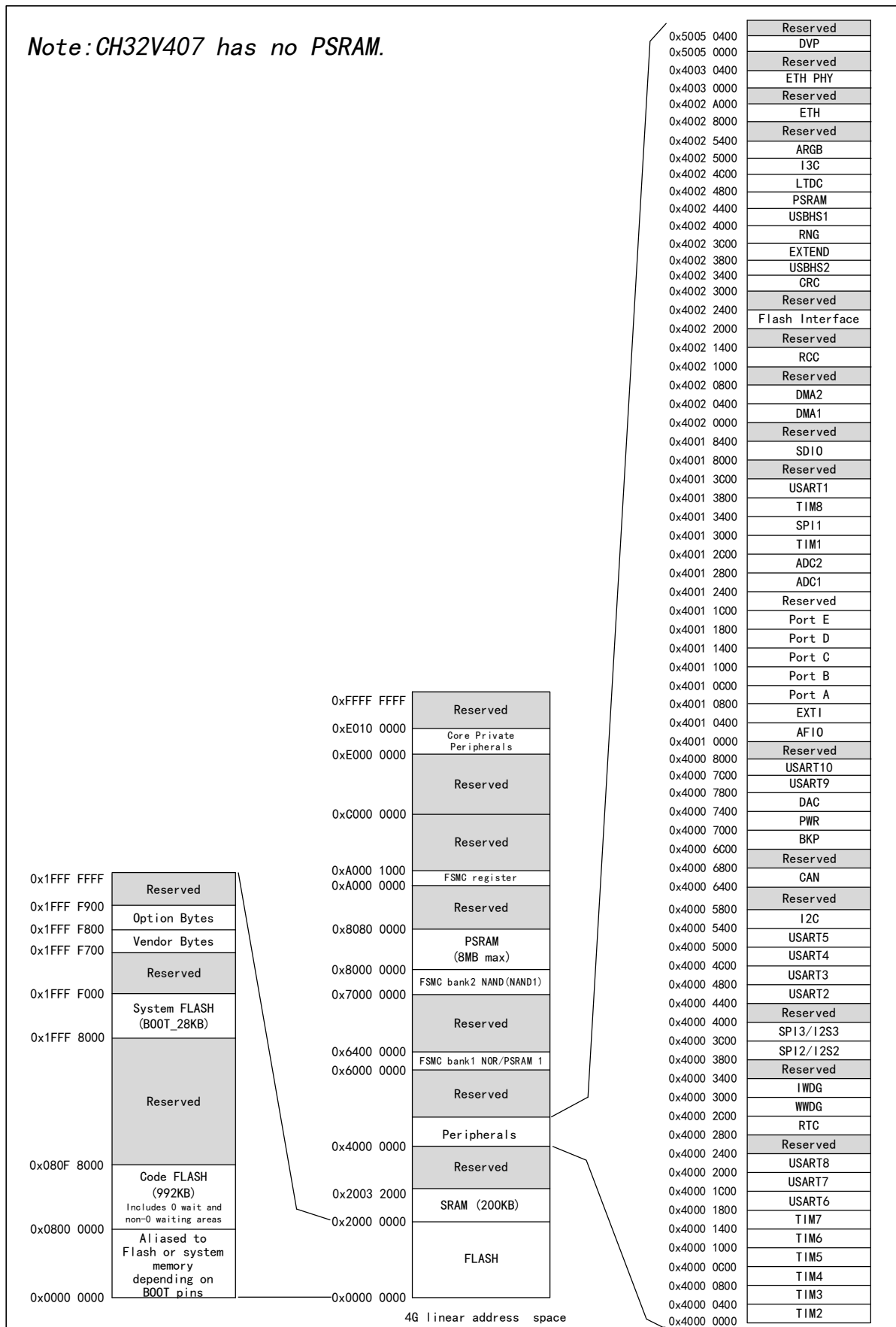


图 1-1-2 CH32V467 系统框图



1.2 存储器映射表

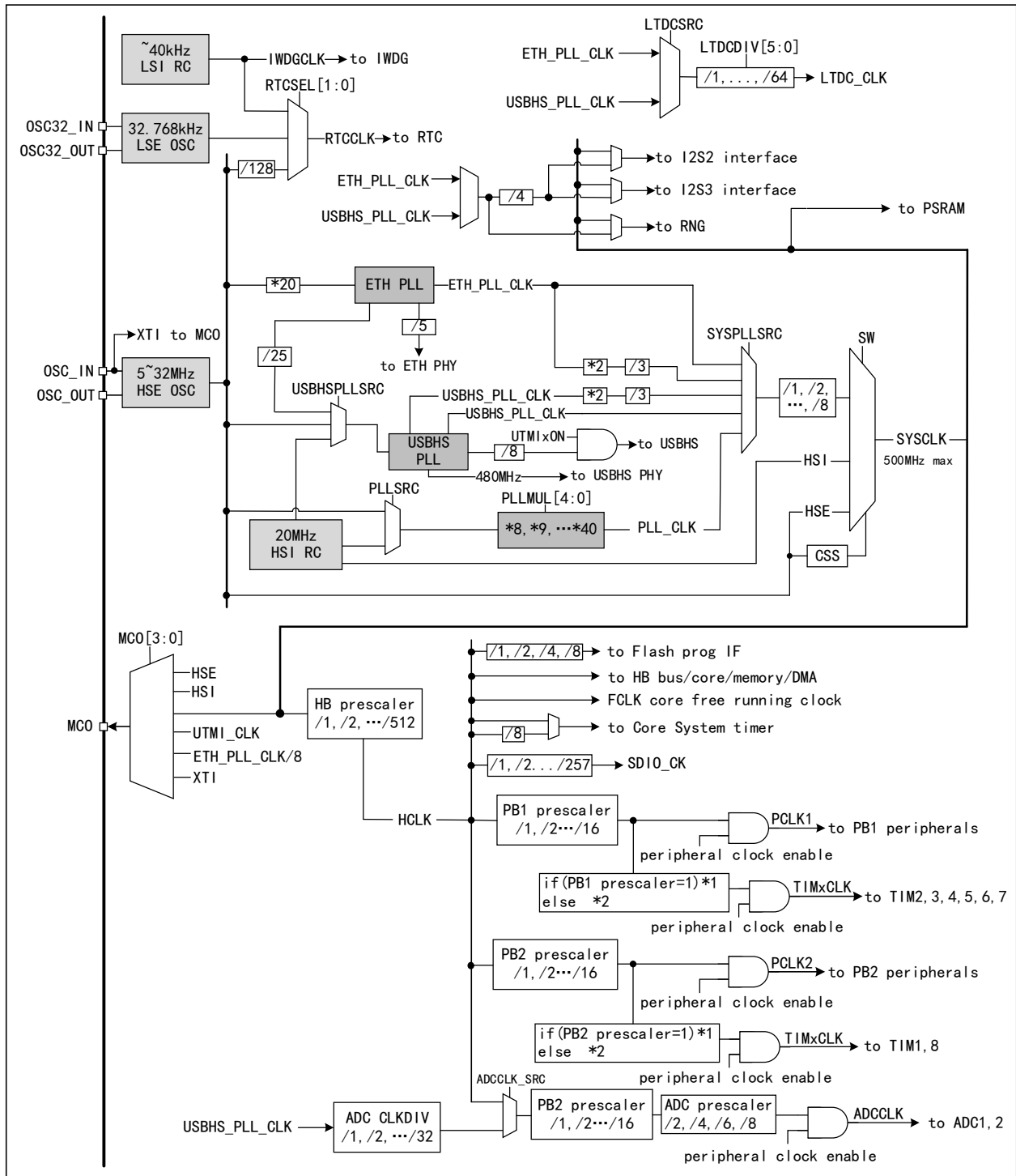
图 1-2 存储器地址映射



1.3 时钟树

系统中引入 4 组时钟源：内部高频 RC 振荡器（HSI）、内部低频 RC 振荡器（LSI）、外接高频振荡器（HSE）以及外接低频振荡器（LSE）。

图 1-3 时钟树框图



1.4 功能概述

1.4.1 RISC-V3V 处理器

RISC-V3V 支持 RISC-V 指令集 RV32IMABCV-X。该处理器内部以模块化管理，包含快速可编程中断控制器（PFIC）、内存保护、分支预测模式、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

青稞微处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景、高性能应用操作系统场景等。

- 顺序单发架构
- 2-3 级流水线
- 提供一个不可屏蔽中断 NMI
- 2 级中断嵌套
- 快速可编程中断控制器（PFIC）
- 支持位操作指令
- 支持自定义扩展指令
- 硬件压栈
- 向量运算/并行处理

1.4.2 片上存储器

内置零等待 200K 字节 SRAM 区，用于存放数据，掉电后数据丢失。

内置 992K 字节程序闪存存储区（Code FLASH），即用户区，用于用户的应用程序和常量数据存储。包括 480K 字节的非零等待程序区域和 512K 字节的零等待程序运行区域。

零等待数据 SRAM 中有 64KB 可以配置用于零等待程序，即 416KB 的非零等待程序区域、576KB 的零等待程序运行区域、零等待 136KB 的数据 SRAM 区。

内置 28K 字节系统存储区（System FLASH），即 B00T 区，用于系统引导程序存储（厂家固化自举加载程序）。

128 字节用于系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

128 字节用于用户自定义信息存储区，用于用户选择字存储。

在启动时，通过自举引脚（B00T0 和 B00T1）可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序存放于系统存储区，可以通过 USART1 和 USB 接口对程序闪存存储区的内容重新编程。

注：对于批号倒数第 5 位大于 0 的芯片，其非零等待区支持 RVV 指令和 DMA 两种 64 位访问。

1.4.3 片内的扩展 PSRAM 存储器

CH32V467 芯片在 CH32V407 的基础上还内置了 4M 或 8M 字节的扩展 PSRAM 存储器，支持通过地址和读写指令，实现数据的存储，支持 DMA。其主要特性有：

- 8 位硬件宽度，支持 8 位、16 位或 32 位随机或成块读写
- 支持最大 300MHz 时钟速率，支持双沿，最大 600Mbps 数据传输速率
- 支持写入数据屏蔽
- 支持通过数据选通进行高速读取操作
- 支持寄存器可配置的写入和读取初始延迟
- 支持半睡眠模式和深睡眠模式

1.4.4 供电方案

(1) CH32V407

● $V_{DD} = 2.9 \sim 3.6V$: 为 I/O 引脚和系统电压调节器 LDO 供电, 包括为内置的 USB PHY 和以太网 PHY 供电。同时, V_{DD} 通过向内置的系统电压调节器 LDO 供电并在 V_{DDK} 引脚上输出稳压电源。与以太网信号引脚相邻的 V_{DD} 引脚为主 V_{DD} , 建议外接 $0.1\mu F$ 并联至少 $4.7\mu F$ 容量的高频电容, 其它 V_{DD} 建议外接 $0.1\mu F$ 容量的高频电容。当用于 USB 2.0 或者以太网时, V_{DD} 范围建议为 $3.15 \sim 3.45V$ 。当芯片进入停止模式 (LDO 配置为低功耗模式) 或进入待机模式, V_{DD} 不能低于 $3.0V$ 。

● $V_{DDA} = 2.9 \sim 3.6V$: 为高频 RC 振荡器、ADC、OPA、DAC 及 PLL 的模拟部分供电。建议外接 $0.1\mu F$ 容量的高频电容。

● $V_{REF+} = 2.4 \sim 3.6V$: 用于 ADC 的正参考电压, 建议外接 $0.1\mu F$ 容量的高频电容。 V_{REF+} 不得高于 V_{DDA} 电压。

● V_{REF-} : 用于 ADC 的负参考电压, 建议连接 V_{SS} 。

● $V_{DDK} = 1.17 \sim 1.27V$: 为内核电路供电, 建议外接 $0.1\mu F$ 并联 $2.2\mu F$ 容量的高频电容。正常工作时, V_{DDK} 电压由 V_{DD} 供电的系统电压调节器 LDO 产生。为减少芯片 LDO 导致的自身发热, 可选外供此电源 (可由外部 DC-DC 产生), 外供电压建议略高于内部 LDO 输出电压值。

● $V_{BAT} = 1.8 \sim 3.6V$: 可选的备用电源, 当关闭 V_{DD} 和 V_{DDA} 时, 内部电源切换器将 V_{BAT} 切换用于单独为 RTC、外部低频振荡器供电。

以上同名电源引脚必须短接, 电压关系: $V_{DD} = V_{DDA}$; 并且 $V_{DDA} \geq V_{REF+}$ 。

(2) CH32V467

● $V_{DD} = 2.9 \sim 3.6V$: 为 I/O 引脚、系统电压调节器 LDO 以及片内 PSRAM 电压调节器 LDO_1.8V 供电, 还包括为内置的 USB PHY 和以太网 PHY 供电, 同时, V_{DD} 通过向内置的 LDO 和 LDO_1.8V 供电, 分别在 V_{DDK} 和 V_{DD18} 引脚上输出稳压电源。与以太网信号引脚相邻的 V_{DD} 引脚为主 V_{DD} , 建议外接 $0.1\mu F$ 并联至少 $10\mu F$ 的高频电容, 并且不小于 V_{DDK} 和 V_{DD18} 累计总电容量, 其它 V_{DD} 建议外接 $0.1\mu F$ 容量的高频电容。当用于 USB 2.0 或者以太网时, V_{DD} 范围建议为 $3.15 \sim 3.45V$ 。

● $V_{DDA} = 2.9 \sim 3.6V$: 为高频 RC 振荡器、ADC、OPA、DAC 及 PLL 的模拟部分供电。建议外接 $0.1\mu F$ 容量的高频电容。

● $V_{DD18} = 1.2 \sim 2V$: 为片内的 PSRAM 模块供电, 建议外接 $0.1\mu F$ 并联 $2.2\mu F$ 容量的高频电容。正常工作时, V_{DD18} 电压由 V_{DD} 供电的 PSRAM 电压调节器 LDO_1.8V 产生, 并可以用软件关闭。

● $V_{REF+} = 2.4 \sim 3.6V$: 用于 ADC 的正参考电压, 建议外接 $0.1\mu F$ 容量的高频电容。 V_{REF+} 不得高于 V_{DDA} 电压。

● V_{REF-} : 用于 ADC 的负参考电压, 建议连接 V_{SS} 。

● $V_{DDK} = 1.17 \sim 1.27V$: 为内核电路供电, 建议外接 $0.1\mu F$ 并联 $2.2\mu F$ 容量的高频电容。正常工作时, V_{DDK} 电压由 V_{DD} 供电的系统电压调节器 LDO 产生。为减少芯片 LDO 导致的自身发热, 可选外供此电源 (可由外部 DC-DC 产生), 外供电压建议略高于内部 LDO 输出电压值。

● $V_{BAT} = 1.8 \sim 3.6V$: 可选的备用电源, 当关闭 V_{DD} 和 V_{DDA} 时, 内部电源切换器将 V_{BAT} 切换用于单独为 RTC、外部低频振荡器供电。

以上同名电源引脚必须短接, 电压关系: $V_{DD} = V_{DDA}$; 并且 $V_{DDA} \geq V_{REF+}$ 。

1.4.5 供电监控器

芯片内部集成了上电复位 (POR) / 掉电复位 (PDR) 电路, 该电路始终处于工作状态。当 V_{DD} 低于设定的阈值 ($V_{POR/PDR}$) 时, 置器件于复位状态, 而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器 (PVD), 需要通过软件开启, 用于比较 V_{DD} 供电与设定的阈值 V_{PVD} 的电压大小。打开 PVD 相应边沿中断, 可在 V_{DD} 下降到 PVD 阈值或上升到 PVD 阈值时, 收到中断通知。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考第 3 章。

1.4.6 系统电压调节器 LDO

复位后，调节器 LDO 自动开启，根据应用方式有三个操作模式：

- 开启模式：正常的运行操作，提供稳定的内核电源
- 低功耗模式：当 CPU 进入停止模式后，可选择调节器低功耗运行
- 关断模式：当 CPU 进入待机模式后自动切换调节器到此模式，调压器输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态。

该调压器在复位后始终处于开启模式，在待机模式下被关闭处于关断模式，此时是高阻输出。

1.4.7 低功耗模式

芯片支持三种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 停止模式

此模式 FLASH 进入低功耗模式，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭。在保持 SRAM 和寄存器内容不丢失的情况下，停止模式可以达到最低的电能消耗。

退出条件：任意外部中断/事件（EXTI 信号）、NRST 上的外部复位信号、IWDG 复位，其中 EXTI 信号包括 77 个外部 I/O 口之一、PVD 的输出、RTC 闹钟、I3C 唤醒信号或 USB 的唤醒信号。

- 待机模式

此模式下，系统主 LDO 关闭，由低功耗 LDO 给唤醒电路供电，其他数字电路全部断电，且 FLASH 处于断电状态。从待机模式唤醒系统会产生复位，同时 SBF（PWR_CSR）会置位。唤醒后，查询 SBF 状态可知唤醒前的低功耗模式，SBF 由 CSBF（PWR_CR）位清除。在待机模式下，32KB 的 SRAM 的内容可以保持（取决于睡前的规划配置），后备寄存器内容保留。

退出条件：任意外部事件（EXTI 信号）、NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿，其中 EXTI 信号包括 77 个外部 I/O 口之一、RTC 闹钟。

1.4.8 快速可编程中断控制器（PFIC）

芯片内置快速可编程中断控制器（PFIC），最多支持 256 个中断向量，以最小的中断延迟提供了灵活的中断管理功能。当前产品管理了 7 个内核私有中断和 88 外设中断管理，其他中断源保留。PFIC 的寄存器均可以在用户和机器特权模式下访问。

- 支持硬件中断堆栈（HPE），无需指令开销
- 特有免表（Vector Table Free, VTF）中断响应机制，4 路可编程直达中断向量地址
- 向量表支持地址或指令模式
- 最高支持可配置的 2 级中断嵌套

1.4.9 外部中断/事件控制器（EXTI）

外部中断/事件控制器总共包含 22 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。EXTI 可以检测到脉冲宽度小于内部 PB2 总线的时钟周期。多达 77 个通用 I/O 口都可选择连接到 16 个外部中断线。

1.4.10 通用 DMA 控制器

芯片内置了 2 组通用 DMA 控制器。其中，DMA1 管理 13 个通道、DMA2 管理 11 个通道，总共 24 个通道。DMA 控制器能灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输，支

持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑，支持一个或多个外设对存储器的访问请求，可配置访问优先级、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括：通用/高级/基本定时器 TIMx、ADC、DAC、I2S、USART、I2C、SPI、SDIO、ARGB。

注：DMA1、DMA2 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

1.4.11 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 20MHz 的 RC 振荡器作为默认的 CPU 时钟，随后可以另外选择外部 5~32MHz 时钟或 PLL 时钟。当打开时钟安全模式后，如果 HSE 用作系统时钟（直接或间接），此时检测到外部时钟失效，系统时钟将自动切换到内部 RC 振荡器，同时 HSE 和 PLL 自动关闭；对于关闭时钟的低功耗模式，唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

多个预分频器用于配置 HB 的频率、高速 PB（PB2）和低速 PB（PB1）区域提供各外设时钟，最高频率约 200MHz，参考图 1-3 的时钟树框图。

以太网或高速 USB 应用不支持 HSI，通常需要使用外部晶体 HSE。

1.4.12 RTC（实时时钟）和后备寄存器

RTC 和后备寄存器在系统内部处于后备供电区域，在 V_{DD} 有效时由 V_{DD} 供电，在 V_{DD} 无效时内部自动切换到由 V_{BAT} 引脚供电。

RTC 实时时钟是一组 32 位可编程计数器，时基支持 20 位预分频，用于较长时间段的测量。时钟基准来源高速的外部时钟 128 分频（HSE/128）、外部晶体低频振荡器（LSE）或内部低功耗 RC 振荡器（LSI）。其中 LSE 也存在后备供电区域，所以，当选择 LSE 做 RTC 时基下，系统复位或从待机模式唤醒后，RTC 的设置和时间能够保持不变。

后备寄存器最多包含 42 个 16 位寄存器，可以用来存储 84 字节的用户应用数据。此数据在待机唤醒后，或系统复位或电源复位时，都能继续保持。在侵入检测功能开启下，一旦侵入检测信号有效，将被清除后备寄存器中所有内容。

1.4.13 ADC（模拟/数字转换器）

芯片内置 2 个 12 位的模拟/数字转换器（ADC），共用多达 16 个外部通道和 2 个内部通道采样，可编程的通道采样时间，可以实现单次、连续、扫描或间断转换，且支持双 ADC 转换模式。提供模拟看门狗功能允许非常精准地监控一路或多路选中的通道，用于监测通道信号电压。支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。

ADC 内部通道采样包括一路内置温度传感器采样和一路内部参考电源采样。温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 IN16 输入通道上，用于将传感器的输出转换到数字数值。

1.4.14 DAC（数字/模拟转换器）

芯片内置 2 个 12 位电压输出数字/模拟转换器（DAC），转换 2 路数字信号为 2 路模拟电压信号并输出，支持双 DAC 通道独立或同步转换，支持 12 位数据左对齐或右对齐，支持 12 位或 8 位数据，支持外部事件触发转换。可实现三角波、噪声生成。支持 DMA 功能。

1.4.15 定时器及看门狗

系统中的定时器包括高级定时器、通用定时器、基本定时器、看门狗定时器以及系统时基定时器。系列中不同的产品包含的定时器数量有差异，具体参考表 1-1。

表 1-1 定时器比较

定时器		分辨率	计数类型	时基	DMA	功能作用
高级定时器	TIM1	16 位	向上	PB2 时域 16 位分频器	支持	PWM 互补输出, 单脉冲输出 输入捕获 输出比较 定时计数
	TIM8		向下 向上/下			
通用定时器	TIM2	16 位	向上 向下 向上/下	PB1 时域 16 位分频器	支持	输入捕获 输出比较 定时计数
	TIM3					
	TIM4					
	TIM5					
基本定时器	TIM6	16 位	向上	PB1 时域 16 位分频器	支持	定时计数
	TIM7					
窗口看门狗		7 位	向下	PB1 时域 4 种分频	不支持	定时 复位系统（正常工作）
独立看门狗		12 位	向下	PB1 时域 7 种分频	不支持	定时 复位系统（正常+低功耗工作）
系统时基定时器		32 位	向上或下	HCLK 或 HCLK/8	不支持	定时

● 高级定时器

高级定时器模块包含 2 个 16 位的自动装载递增/递减计数器（TIM1 和 TIM8），具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级定时器可以通过定时器链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

● 通用定时器

通用定时器模块包含 4 个 16 位可自动重装的定时器（TIM2、TIM3、TIM4 和 TIM5）。通用定时器均具有一个可编程的 16 位预分频器以及 4 个独立的通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。还能通过定时器链接功能与高级定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。任意通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

● 基本定时器

基本定时器模块包含 2 个 16 位可自动重装的定时器（TIM6 和 TIM7），用于计数和在更新事件产生中断或 DMA 请求。基本定时器支持 16 位可编程预分频器，可以位数模转换（DAC）提供时钟，触发 DAC 的同步电路。基本定时器之间是互相独立的，互不共享任何资源。

● 独立看门狗

独立看门狗是一个自由运行的 12 位递减计数器，支持 7 种分频系数。由一个内部独立的约 40kHz 的 RC 振荡器（LSI）提供时钟；因为 LSI 独立于主时钟，所以可运行于停止和待机模式。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

- 窗口看门狗

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器

系统提供 1 个 32 位可选递增或递减的计数器，用于产生 SYSTICK 异常，可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 32 位计数器。具有自动重加载功能及可编程的时钟源。

1.4.16 通用同步/异步串口收发器（USART）

芯片提供了 10 组通用同步/异步收发器（USART1/2/3/4/5/6/7/8/9/10）。支持全双工异步串口通信以及半双工单线通信，也支持 LIN(局部互连网)，兼容 IrDA SIR ENDEC 传输编解码规范，以及调制解调器(CTS/RTS 硬件流控)操作，还支持多处理器通信。其采用分数波特率发生器系统，支持 DMA 操作连续通讯。

1.4.17 串行外设接口（SPI）

芯片提供了 3 组串行外设 SPI 接口，提供主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位，数据位宽提供 8 或 16 位选择，可靠通信的硬件 CRC 产生/校验，支持 DMA 操作连续通讯。

1.4.18 I2S（音频）接口

最高 2 组标准的 I2S 接口（与 SPI2 和 SPI3 复用）工作于主或从模式。软件可配置为 16/32 位数据包传输帧，支持音频采样频率从 8kHz 到 562.2kHz，支持 4 种音频标准。在主模式下，其主时钟可以以固定的 256 倍音频采样频率输出到外部的 DAC 或 CODEC（解码器），支持 DMA。

1.4.19 I2C 总线

芯片内置 1 组 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度，同时与 SMBus2.0 兼容。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

1.4.20 I3C 总线

I3C 总线是一种双线制串行单端多分支总线，旨在对传统的 I2C 总线进行改进。I3C 接口负责处理本设备与连接在 I3C 总线上的其他设备之间的通信；仅支持主设备模式；当作为控制器时，能够增强 I2C 接口的功能，同时保持一定程度的向后兼容性。主要特性包括：

- 支持主设备模式
- 支持 MIPI I3C 规范 v1.1
- 支持 DMA
- 支持带内中断（IBI）功能
- 热加入（HJ）功能
- 内置错误检测和恢复
- I3C SCL 总线时钟最高可达 12.5MHz
- 支持动态分配地址，直接和广播通用命令代码（CCC）和私有读写传输

1.4.21 控制器区域网络（CAN）

CAN 接口兼容规范 2.0A 和 2.0B（主动），波特率高达 1Mbits/s，支持时间触发通信功能。可以接

收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个 3 级深度接收 FIFO。

具有 1 组 CAN 控制器产品只有 14 个可设置的过滤器，具有一个专用的 128 字节 SRAM 存储器用于数据的发送和接收。

1.4.22 通用串行总线 USB 2.0 高速主机/设备控制器（USBHS）

USB 2.0 高速控制器具有主机控制器和设备控制器双重角色，当 USB 2.0 高速控制器作为主机控制器时，它可支持低速、全速和高速的 USB 设备；当作为设备控制器时，可以灵活设置为低速、全速或高速模式以适应各种应用。芯片内置 2 组 USB 2.0 高速主机/设备控制器和 2 组 480Mbps 的 USB PHY 物理层收发器，构成了 2 套相互独立的 USB 系统。主要特性包括：

- 支持 USB 2.1、USB 2.0、USB 1.1、USB 1.0 协议规范
- 支持 480Mbps、12Mbps、1.5Mbps 速率
- 内置 2 组高速 PHY 和 2 组控制器，支持 USB Host 主机功能和 USB Device 设备功能
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 提供总线复位、挂起、唤醒和恢复功能
- 主机支持 USB HUB
- 非 0 端点均支持最大 1024 字节数据包，内置 FIFO，支持中断和 DMA

1.4.23 数字图像接口（DVP）

数字图像接口 DVP（Digital Video Port）用来连接摄像头模块获取图像数据流。提供了 8/10/12 位并行接口方式通讯，支持最高 150MHz 像素时钟输入频率。支持按原始的行、帧格式组织的图像数据，如 YUV、RGB 等，也支持如 JPEG 格式的压缩图像数据，能够接收外部 8 位、10 位、12 位的摄像头模块输出的高速并行数据流。接收时，主要依靠 VSYNC 和 HSYNC 信号同步。支持图像裁剪功能。

1.4.24 SDIO 控制器

SDIO 接口提供了多媒体卡（MMC）、SD 存储卡、SDIO 卡以及 CE-ATA 设备的操作接口。支持 3 种不同的数据总线模式：1 位（默认）、4 位和 8 位。SDIO 时钟频率可选，当正式进行数据传输时，支持 4 线模式（最高 80MHz）或 8 线模式（最高 50MHz）。目前该接口全兼容多媒体卡系统规范 4.2（向前兼容）、SD I/O 卡规范 2.0、SD 存储卡规范 3.0 UHS-I、CE-ATA 数字协议规范 1.1。主要特性包括：

- 支持 SD 卡、SDIO 卡和 MMC/eMMC 卡
- 支持主机或从机模式
- 支持 1 位、4 位和 8 位总线模式
- 支持以任意字节为单位读写数据块
- SDIO 支持时钟频率可选，4 线模式最高 80MHz，8 线模式最高 50MHz
- 兼容 MMC 规范 4.5（向前兼容）
- 兼容 SD 卡规范 3.0，SDIO 卡规范 2.0
- 不兼容 SPI
- 支持 DMA

1.4.25 可配置的静态存储器控制器（FSMC）

FSMC 接口主要提供了同步或异步存储器接口，支持 SRAM、PSRAM、NOR 及 NAND 等器件。内部 HB 传输信号被转换成合适的外部通讯协议，允许 8/16/32 位数据的连续访问。并灵活可配置采样延迟时间以满足不同器件时序。

此外，FSMC 也可用于多数图形 LCD 控制器接口，它支持 Intel 8080 和 Motorola 6800 的模式，很方便地构建简易的图形应用环境，或用于专用加速控制器的高性能方案。

1.4.26 LCD-TFT 显示控制器 (LTDC)

LCD-TFT (Liquid Crystal Display - Thin Film Transistor) 显示控制器 (LTDC) 主要提供并行数字 RGB 以及水平同步、垂直同步、像素时钟和数据使能的信号, 可作为输出信号到不同 LCD 和 TFT 面板接口。其主要特性有:

- 提供 1 个显示层, 包含了专有的 8*32 位 FIFO
- 支持查色表 (CLUT), 图层高达 256 种颜色
- 支持可编程不同显示面板的时序
- 支持可编程背景色
- 支持可编程 HSYNC, VSYNC 和数据使能信号的极性
- 显示层可选择高达 8 个输入颜色的格式: ARGB8888、RGB888、RGB565、ARGB1555、ARGB4444、L8 (8 位 luminance 或 CLUT)、AL44 (4 位 alpha+4 位 luminance)、AL88 (8 位 alpha+8 位 luminance)
- 支持可编程窗口位置和大小
- 支持薄膜晶体管 (TFT) 彩色显示器
- 支持高达 3 个可编程中断时间

1.4.27 可寻址 RGB (ARGB)

芯片内置一组 ARGB (Addressable RGB) 模块, 支持输出 0 码和 1 码高低电平时间和周期的可配置, 支持 DMA。

ARGB 模块可实现单数据线 RGB 灯带的时序控制, 支持单线 RGB 级联。相比传统的 RGB, 可支持驱动更多不同型号的 ARGB 灯控 IC, 产生更多光效。

1.4.28 以太网控制器 (MAC+PHY)

芯片内置符合 IEEE 802.3-2002 标准的以太网控制器 (MAC), 充当数据链路层的角色, 其 Link 速率最高支持 100Mbps, 支持百兆速度自适应。应用时, 结合 TCP/IP 协议栈实现网络产品的开发。芯片还内置 10/100Mbps 以太网 PHY 物理层收发器, 单芯片即可实现以太网通讯。主要特性包括:

- 符合 IEEE 802.3 协议规范及设计
- 支持全双工操作, 支持 10/100Mbps 的数据传输速率
- 硬件自动完成 IPv4 和 IPv6 包完整性校验, IP/ICMP/UDP/TCP 包校验和计算及自动填充
- 多种 MAC 地址过滤模式
- 支持两种 LED 状态⁽¹⁾
- 支持百兆以太网控制器 MAC + 内置 10/100Mbps PHY
- 支持 Auto-MDIX 交换 RX/TX, 自动识别正负信号线

注: 1. 对于寄存器 *FEATURE_SIGN* 的位 *ETH_LED_EN* = 0 的芯片, *LED0* 和 *LED1* 仅提供 *LINK* 功能。

1.4.29 随机数发生器 (RNG)

芯片内置一个随机数发生器, 以连续模拟噪声为基础, 它通过内部的模拟电路提供一个 32 位的随机数。

1.4.30 运放比较器 (OPA/PGA)

芯片内置 1 组运放 (OPA 或 PGA), 也可用作电压比较器, 其输入和输出均可通过更改配置分别对多个通道进行选择, 内置 PGA 增益调节电阻, 支持 4、8、16、32 等多档放大位数, 支持将外部模拟小信号被放大送入 ADC 以实现小信号 ADC 转换, 也可以完成信号比较器功能, 比较结果由 GPIO 输出或者直接接入 TIMx 的输入通道。

1.4.31 通用输入输出接口 (GPIO)

芯片内置 5 组 GPIO 端口 (PA0~PA15、PB0~PB15、PC0~PC15、PD0~PD15、PE0~PE12), 共 77

个 GPIO 引脚。每个引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。

多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。提供锁定机制冻结 I/O 配置，以避免意外的写入 I/O 寄存器。

系统中所有 I/O 引脚由 V_{DD} 供电，额定 3.3V 供电。其中，在 V_{DD} 掉电时，引脚 PC13~PC15 自动切换到由 V_{BAT} 供电。

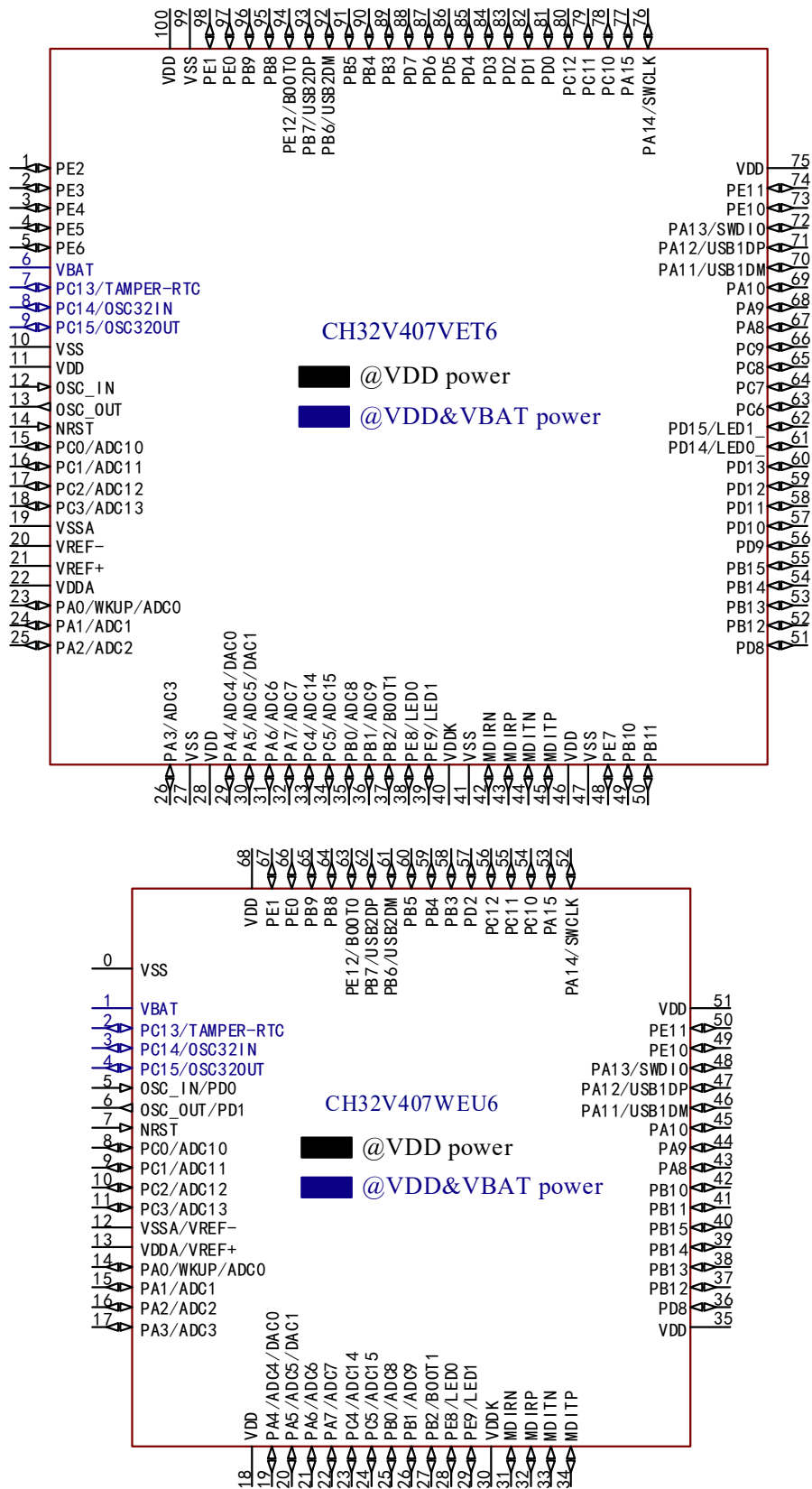
1.4.32 调试接口 (Serial Debug Interface, SDI)

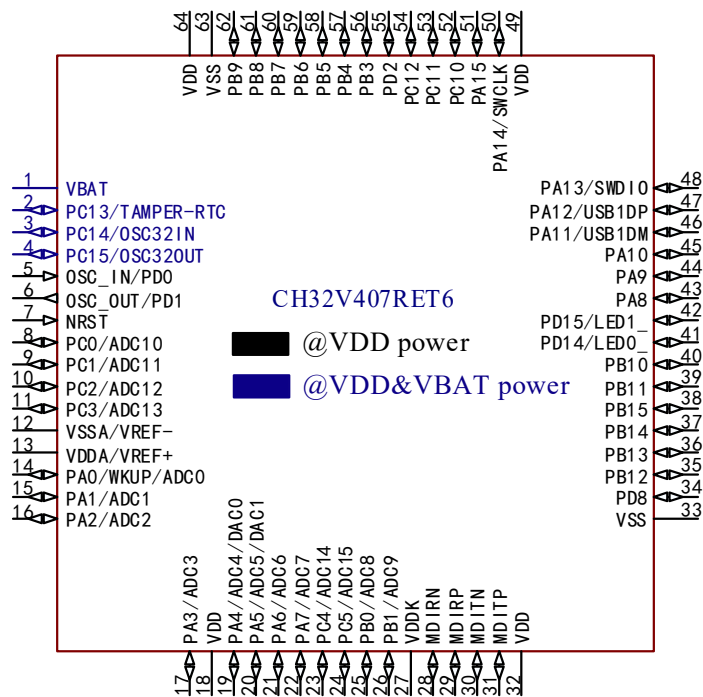
内核自带一个串行单线调试接口 (1-wire SDI Serial Debug Interface) 和一个串行 2 线调试接口 (2-wire SDI Serial Debug Interface)。系统支持单双线两种调试模式；其中，单线调试为默认调试模式，对应 SWIO 引脚 (Single Wire Input Output)，而双线调试对应 SWDIO 和 SWCLK 引脚，应用于下载时可以提高速度。系统上电或复位后默认调试接口引脚功能开启，主程序运行后可以根据需要关闭 SDI。

第2章 引脚信息

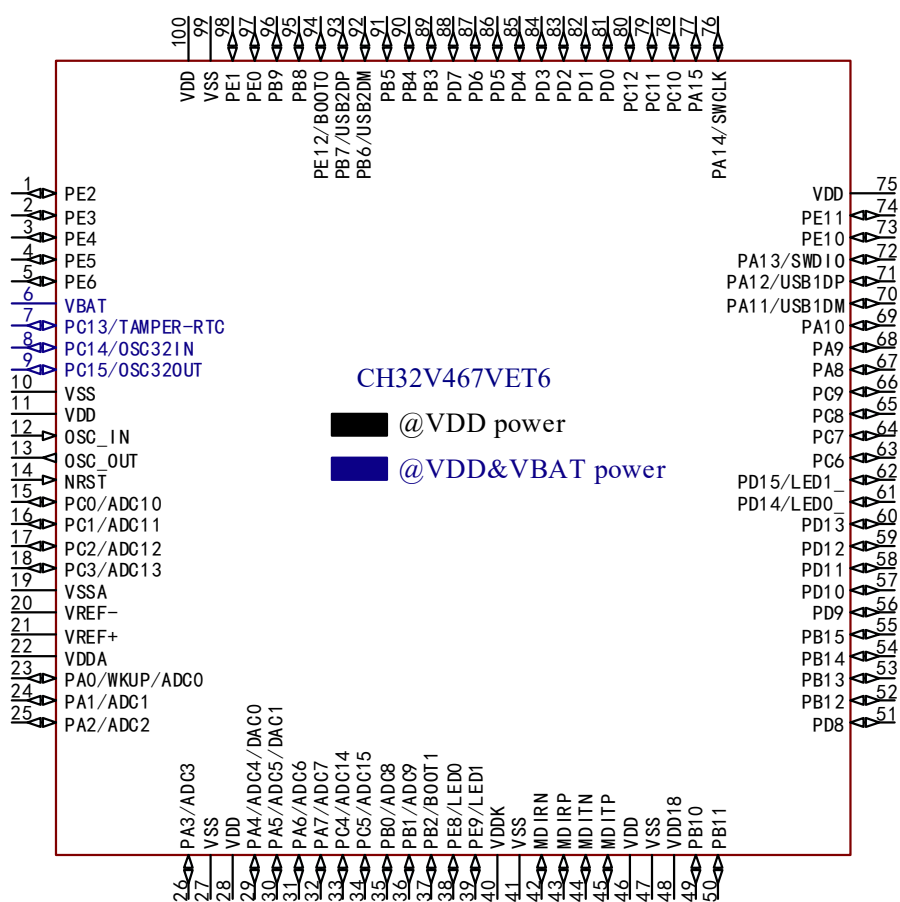
2.1 引脚排列

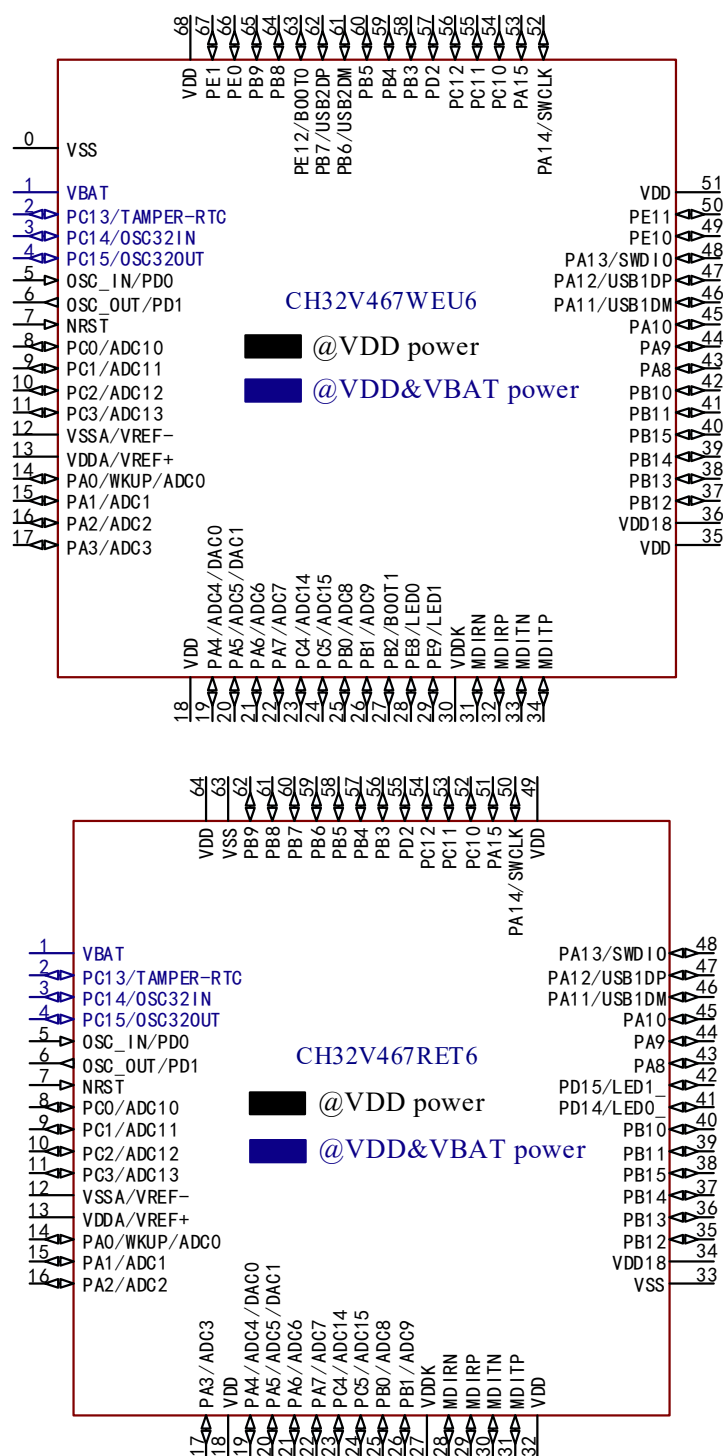
2.1.1 CH32V407 引脚排列





2.1.2 CH32V467 引脚排列





注：引脚图中复用功能均为缩写。

示例：ADC_：(ADC0:ADC_IN0)

USB1DP: USBHS1_DP

USB1DM: USBHS1_DM

USB2DP: USBHS2_DP

USB2DM: USBHS2_DM

2.2 引脚描述

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-1 CH32V407 和 CH32V467 引脚定义

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O 电平	主功能 (复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
-	-	0	0	-	-	VSS	P	-	VSS		
-	-	-	-	1	1	PE2	I/O	FT	PE2	FSMC_A23	USART9_CK_2/ USART9_CK_3/ FSMC_A23_1
-	-	-	-	2	2	PE3	I/O	FT	PE3	FSMC_A19	USART9_TX_2/ USART9_TX_3/ FSMC_A19_1
-	-	-	-	3	3	PE4	I/O	FT	PE4	FSMC_A20	USART9_RX_2/ USART9_RX_3/ FSMC_A20_1
-	-	-	-	4	4	PE5	I/O	FT	PE5	FSMC_A21	USART9_CTS_2/ USART9_CTS_3/ FSMC_A21_1
-	-	-	-	5	5	PE6	I/O	FT	PE6	FSMC_A22	USART9_RTS_2/ USART9_RTS_3/ FSMC_A22_1
1	1	1	1	6	6	V _{BAT}	P	-	V _{BAT}		
2	2	2	2	7	7	PC13- TAMPER-RTC ⁽²⁾	I/O	-	PC13 ⁽³⁾	TAMPER-RTC	TIM8_CH4_1
3	3	3	3	8	8	PC14- OSC32_IN ⁽²⁾	I/O/A	-	PC14 ⁽³⁾	OSC32_IN/ USART10_CTS	USART10_CTS_1
4	4	4	4	9	9	PC15- OSC32_OUT ⁽²⁾	I/O/A	-	PC15 ⁽³⁾	OSC32_OUT/ USART10_RTS	USART10_RTS_1
-	-	-	-	10	10	V _{SS}	P	-	V _{SS}		
-	-	-	-	11	11	V _{DD}	P	-	V _{DD}		
5	5	5	5	12	12	OSC_IN	I/A	-	OSC_IN		PDO ⁽⁴⁾
6	6	6	6	13	13	OSC_OUT	O/A	-	OSC_OUT		PD1 ⁽⁴⁾
7	7	7	7	14	14	NRST	I	-	NRST		
8	8	8	8	15	15	PC0	I/O/A	-	PC0	ADC_IN10/USART6_TX/ LTDC_R0	USART6_TX_3/ LTDC_R0_1
9	9	9	9	16	16	PC1	I/O/A	-	PC1	ADC_IN11/USART6_RX/ USART7_CK/LTDC_R1	USART6_RX_3/ LTDC_R1_1
10	10	10	10	17	17	PC2	I/O/A	-	PC2	ADC_IN12/ USART6_CTS/ USART7_TX/LTDC_R2	USART6_CTS_3/ LTDC_R2_1

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能 (复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
11	11	11	11	18	18	PC3	I/O/A	—	PC3	ADC_IN13/USART6_RTS/ USART7_RX/LTDC_R3	USART6_RTS_3/ LTDC_R3_1
12	12	12	12	19	19	V _{SSA}	P	—	V _{SSA}		
				20	20	V _{REF-}	P	—	V _{REF-}		
13	13	13	13	21	21	V _{REF+}	P	—	V _{REF+}		
				22	22	V _{DDA}	P	—	V _{DDA}		
14	14	14	14	23	23	PA0-WKUP	I/O/A	—	PA0	WKUP/ADC_IN0/ USART2_CTS/ TIM2_CH1 ⁽¹⁰⁾ / TIM2_ETR ⁽¹⁰⁾ / TIM5_CH1/TIM8_ETR	TIM2_CH1_2 ⁽¹⁰⁾ / TIM2_ETR_2 ⁽¹⁰⁾ / TIM8_ETR_1
15	15	15	15	24	24	PA1	I/O/A	—	PA1	ADC_IN1/USART2_RTS/ TIM5_CH2/TIM2_CH2/ LTDC_R4	TIM2_CH2_2/ LTDC_R4_1
16	16	16	16	25	25	PA2	I/O/A	—	PA2	ADC_IN2/TIM2_CH3/ TIM5_CH3/USART2_TX/ LTDC_R5	TIM2_CH3_1/ LTDC_R5_1
17	17	17	17	26	26	PA3	I/O/A	—	PA3	ADC_IN3/TIM2_CH4/ TIM5_CH4/USART2_RX/ LTDC_R6	TIM2_CH4_1/ LTDC_R6_1
—	—	—	—	27	27	V _{SS}	P	—	V _{SS}		
18	18	18	18	28	28	V _{DD}	P	—	V _{DD}		
19	19	19	19	29	29	PA4	I/O/A	HS	PA4	ADC_IN4/DAC1_OUT/ USART2_CK/SPI1_NSS/ DVP_HSYNC	USART9_TX_1/ SPI3_NSS_1/ I2S3_WS_1/ LTDC_G5_1/ DVP_HSYNC_1
20	20	20	20	30	30	PA5	I/O/A	HS	PA5	ADC_IN5/DAC2_OUT/ SPI1_SCK/DVP_VSYNC/ OPA_N2	USART1_CK_3/ USART1_CTS_2/ USART6_CK_3/ USART9_RX_1/ DVP_VSYNC_1
21	21	21	21	31	31	PA6	I/O/A	HS	PA6	ADC_IN6/TIM8_BKIN/ TIM3_CH1/SPI1_MISO/ DVP_PCLK/OPA_P2	TIM1_BKIN_1/ USART1_TX_3/ USART7_TX_1/ DVP_PCLK_1
22	22	22	22	32	32	PA7	I/O/A	HS	PA7	ADC_IN7/TIM8_CH1N/ TIM3_CH2/USART8_CK/ SPI1_MOSI/LTDC_R7/	TIM1_CH4_3/ TIM1_CH1N_1/ USART1_RX_3/

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
										OPA_OUT1	USART7_RX_1/ LTDC_R7_1
23	23	23	23	33	33	PC4	I/O/A	—	PC4	ADC_IN14/ USART7_CTS/ USART8_TX/LTDC_G0	USART1_CTS_3/ USART4_CTS_1/ USART7_CTS_1/ FSMC_D4_1/ LTDC_G0_1
24	24	24	24	34	34	PC5	I/O/A	—	PC5	ADC_IN15/USART7_RTS/ USART8_RX/LTDC_G1	USART1_RTS_3/ USART4_RTS_1/ USART7_RTS_1/ LTDC_G1_1
25	25	25	25	35	35	PB0	I/O/A	—	PB0	ADC_IN8/TIM8_CH2N/ TIM3_CH3/USART6_CK/ USART8_CTS/LTDC_G2	TIM1_CH2N_1/ TIM3_CH3_2/ USART4_TX_1/ USART5_CTS_2/ USART5_CTS_3/ USART7_CK_1/ LTDC_G2_1
26	26	26	26	36	36	PB1	I/O/A	—	PB1	ADC_IN9/TIM3_CH4/ TIM8_CH3N/OPA_OUT2/ USART8_RTS/ USART9_TX/LTDC_G3	TIM1_CH3N_1/ TIM3_CH4_2/ USART4_RX_1/ USART5_RTS_2/ USART5_RTS_3 LTDC_G3_1
—	—	27	27	37	37	PB2 ⁽⁵⁾	I/O	FT	PB2 BOOT1 ⁽⁵⁾	USART9_RX/LTDC_G4/ BOOT1	USART4_CK_1/ USART5_CK_2/ USART5_CK_3
—	—	28	28	38	38	PE8	I/O	FT	PE8	LED0/USART9_CTS/ FSMC_D5	TIM1_CH1N_3/ USART5_TX_2/ USART5_TX_3/ USART9_CTS_1/ FSMC_D5_1
—	—	29	29	39	39	PE9	I/O	FT	PE9	LED1/TIM1_CH1_3/ USART9_RTS/FSMC_D6	USART5_RX_2/ USART5_RX_3/ USART9_RTS_1/ FSMC_D6_1
27	27	30	30	40	40	V _{DDK}	P	—	V _{DDK}		
—	—	—	—	41	41	V _{SS}	P	—	V _{SS}		
28	28	31	31	42	42	MDIRN ⁽¹¹⁾	ETH	—	MDIRN		

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O 电平	主功能 (复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
29	29	32	32	43	43	MDIRP ⁽¹¹⁾	ETH	—	MDIRP		
30	30	33	33	44	44	MDITN ⁽¹¹⁾	ETH	—	MDITN		
31	31	34	34	45	45	MDITP ⁽¹¹⁾	ETH	—	MDITP		
32	32	35	35	46	46	V _{DD}	P	—	V _{DD}	主 V _{DD}	
33	33	—	—	47	47	V _{SS}	P	—	V _{SS}		
—	—	—	—	—	48	PE7	I/O	FT	PE7	FSMC_D4	TIM1_ETR_3
34	—	36	—	48	—	V _{DD18}	P	—	V _{DD18}		
40	40	42	42	49	49	PB10	I/O	FT	PB10	USART3_TX/I3C_SCL/ LTDC_B3	TIM1_BKIN_3/ TIM2_CH3_2/ TIM2_CH3_3/ LTDC_B3_1
39	39	41	41	50	50	PB11	I/O	FT	PB11	USART3_RX/I3C_SDA/ FSMC_D9/LTDC_B2	TIM2_CH4_2/ TIM2_CH4_3/ USART8_CK_2/ USART8_CK_3/ LTDC_B2_1/ FSMC_D9_1
—	34	—	36	51	51	PD8	I/O	FT	PD8	USART9_CK/FSMC_D13/ LTDC_G5	USART3_TX_3/ USART9_CK_1/ FSMC_D13_1
35	35	37	37	52	52	PB12	I/O/A	FT, HS	PB12	TIM1_BKIN/OPA_P1/ USART3_CK/SPI2_NSS/ I2S2_WS/FSMC_D10/ LTDC_G6	USART8_RTS_2/ USART8_RTS_3/ LTDC_G6_1/ FSMC_D10_1
36	36	38	38	53	53	PB13	I/O/A	FT, HS	PB13	TIM1_CH1N/OPA_N1/ USART3_CTS/ SPI2_SCK/I2S2_CK/ FSMC_D11/LTDC_G7	USART3_CTS_1/ USART8_CTS_2/ USART8_CTS_3/ LTDC_G7_1/ FSMC_D11_1
37	37	39	39	54	54	PB14	I/O	FT, HS	PB14	TIM1_CH2N/ USART3_RTS/ SPI2_MISO/FSMC_D12/ SDIO_D0 ⁽⁶⁾ /LTDC_B0	USART3_RTS_1/ USART8_RX_2/ USART8_RX_3/ LTDC_B0_1/ SDIO_D0_1/ FSMC_D12_1
38	38	40	40	55	55	PB15	I/O	FT, HS	PB15	TIM1_CH3N/SPI2_MOSI/ I2S2_SD/SDIO_D1 ⁽⁶⁾ /LTDC_B1	USART1_TX_2/ USART8_CK_1/ USART8_TX_2/ USART8_TX_3/

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能 (复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
											LTDC_B1_1/ SDIO_D1_1
-	-	-	-	56	56	PD9	I/O	FT	PD9	FSMC_D14	USART3_RX_3/ FSMC_D14_1
-	-	-	-	57	57	PD10	I/O	FT	PD10	FSMC_D15	USART3_CK_2/ USART3_CK_3/ USART10_CK_2/ USART10_CK_3/ FSMC_D15_1
-	-	-	-	58	58	PD11	I/O	FT	PD11	FSMC_A16	USART3_CTS_2/ USART3_CTS_3/ USART10_TX_2/ USART10_TX_3/ FSMC_A16_1
-	-	-	-	59	59	PD12	I/O	FT	PD12	FSMC_A17	TIM4_CH1_1/ USART3_RTS_2/ USART3_RTS_3/ USART10_RX_2/ USART10_RX_3/ FSMC_A17_1
-	-	-	-	60	60	PD13	I/O	FT	PD13	FSMC_A18	TIM4_CH2_1/ USART10_CTS_2 USART10_CTS_3 FSMC_A18_1
41	41	-	-	61	61	PD14	I/O	FT	PD14	FSMC_D0	TIM4_CH3_1/ USART10_RTS_2 USART10_RTS_3 LED0_1/ FSMC_D0_1
42	42	-	-	62	62	PD15	I/O	FT	PD15	FSMC_D1	TIM4_CH4_1/ LED1_1/ FSMC_D1
-	-	-	-	63	63	PC6	I/O	FT	PC6	TIM8_CH1/I2S2_MCK/ SDIO_D6	TIM3_CH1_3
-	-	-	-	64	64	PC7	I/O	FT	PC7	TIM8_CH2/I2S3_MCK/ SDIO_D7	TIM3_CH2_3
-	-	-	-	65	65	PC8	I/O	FT	PC8	TIM8_CH3/ SDIO_D0 ⁽⁶⁾ /DVP_D2	TIM3_CH3_3/ USART7_CTS_3
-	-	-	-	66	66	PC9	I/O	FT	PC9	TIM8_CH4/	TIM3_CH4_3/

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
										SDIO_D1 ⁽⁶⁾ /DVP_D3	USART7_RTS_3
43	43	43	43	67	67	PA8	I/O	FT	PA8	MCO/TIM1_CH1/ USART1_CK/I2S3_MCK/ LTDC_B4	TIM1_CH1_1/ USART1_CK_1/ USART1_RX_2/ USART7_CK_2/ USART7_CK_3/ LTDC_B4_1/ DVP_D2_1
44	44	44	44	68	68	PA9	I/O	FT	PA9	TIM1_CH2/USART1_TX/ DVP_D0	TIM1_CH2_1/ USART1_RTS_2/ USART7_TX_2/ USART7_TX_3/ LTDC_DE_1/ SDIO_D6_1/ DVP_D0_1
45	45	45	45	69	69	PA10	I/O	FT	PA10	TIM1_CH3/USART1_RX/ DVP_D1	TIM1_CH3_1/ USART1_CK_2/ USART7_RX_2/ USART7_RX_3/ LTDC_CLK_1/ SDIO_D7_1/ DVP_D1_1
46	46	46	46	70	70	PA11	I/O/A	—	PA11	TIM1_CH4/USART1_CTS/ USBHS1_DM/CAN_RX	TIM1_CH4_1/ USART1_CTS_1
47	47	47	47	71	71	PA12	I/O/A	—	PA12	TIM1_ETR/USART1_RTS/ USBHS1_DP/CAN_TX	TIM1_ETR_1/ USART1_RTS_1
48	48	48	48	72	72	PA13	I/O	FT	SWDIO	USART4_CTS/SWDIO/ SWIO/LTDC_B5	TIM8_CH1N_1/ USART3_TX_2/ USART6_CK_2/ LTDC_B5_1
—	—	49	49	73	73	PE10	I/O	FT	PE10	FSMC_D7	TIM1_CH2N_3/ USART6_TX_2/ USART8_CTS_1/ FSMC_D7_1
—	—	50	50	74	74	PE11	I/O	FT	PE11	FSMC_D8	TIM1_CH2_3/ USART6_RX_2/ USART8_RTS_1/ FSMC_D8_1
49	49	51	51	75	75	V _{DD}	P	—	V _{DD}		

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O 电平	主功能 (复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
50	50	52	52	76	76	PA14	I/O	FT	SWCLK	SWCLK/LTDC_B6	TIM8_CH2N_1/ USART3_RX_2/ USART6_CTS_2/ USART8_TX_1/ LTDC_B6_1
51	51	53	53	77	77	PA15	I/O	FT, HS	PA15	SPI3_NSS/I2S3_WS/ LTDC_B7/ARGB_OUT	TIM8_CH3N_1/ TIM2_CH1_1 ⁽¹⁰⁾ / TIM2_ETR_1 ⁽¹⁰⁾ / TIM2_CH1_3 ⁽¹⁰⁾ / TIM2_ETR_3 ⁽¹⁰⁾ / USART6_RTS_2/ USART8_RX_1/ SPI1_NSS_1/ LTDC_B7_1
52	52	54	54	78	78	PC10	I/O	FT, HS	PC10	USART4_TX/SDIO_D2/ DVP_D8	USART3_TX_1/ SPI3_SCK_1/ I2S3_CK_1/ SDIO_D2_1/ DVP_D8_1
53	53	55	55	79	79	PC11	I/O	FT, HS	PC11	USART4_RX/SDIO_D3/ DVP_D4	USART3_RX_1/ SPI3_MISO_1/ SDIO_D3_1/ DVP_D4_1
54	54	56	56	80	80	PC12	I/O	FT, HS	PC12	USART4_CK/ USART5_TX/ SDIO_CK/DVP_D9	USART3_CK_1/ SPI3_MOSI_1/ I2S3_SD_1/ SDIO_CK_1/ DVP_D9_1
—	—	—	—	81	81	PD0 ⁽⁴⁾	I/O/A	FT	PD0	FSMC_D2	CAN_RX_3/ FSMC_D2_1
—	—	—	—	82	82	PD1 ⁽⁴⁾	I/O/A	FT	PD1	FSMC_D3	CAN_TX_3/ FSMC_D3_1
55	55	57	57	83	83	PD2	I/O	FT	PD2	TIM3_ETR/USART4_RTS/ USART5_RX/SDIO_CMD/ FSMC_NADV/DVP_D11	TIM3_ETR_1/ TIM3_ETR_2/ SDIO_CMD_1/ DVP_D11_1/
—	—	—	—	84	84	PD3	I/O	FT	PD3	FSMC_CLK	USART2_CTS_1/ FSMC_CLK_1
—	—	—	—	85	85	PD4	I/O	FT	PD4	FSMC_NOE	USART2_RTS_1/

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能 (复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
											FSMC_NOE_1
–	–	–	–	86	86	PD5	I/O	FT	PD5	FSMC_NWE	USART2_TX_1/ FSMC_NWE_1
–	–	–	–	87	87	PD6	I/O	FT	PD6	FSMC_NWAIT/DVP_D10	USART2_RX_1/ FSMC_NWAIT_1
–	–	–	–	88	88	PD7	I/O	FT	PD7	FSMC_NE1/FSMC_NCE2	USART2_CK_1/ FSMC_NE1_1/ FSMC_NCE2_1
56	56	58	58	89	89	PB3	I/O	FT, HS	PB3	USART5_CTS/ SPI3_SCK/I2S3_CK/ DVP_D5 ⁽⁷⁾	TIM2_CH2_1/ TIM2_CH2_3/ USART5_CK_1/ SPI1_SCK_1/ LTDC_G4_1/ DVP_D5_1
57	57	59	59	90	90	PB4	I/O	FT, HS	PB4	USART5_RTS/ SPI3_MISO/ LTDC_HSYNC	TIM3_CH1_2/ USART5_TX_1/ I3C_SCL_1 SPI1_MISO_1/ DVP_D3_1
58	58	60	60	91	91	PB5	I/O	FT, HS	PB5	USART5_CK/ I2C_SMBA/SPI3_MOSI I2S3_SD/LTDC_VSYNC	TIM3_CH2_2/ USART5_RX_1/ USART6_CK_1/ I3C_SDA_1 SPI1_MOSI_1/ DVP_D10_1
59 ⁽¹²⁾	59 ⁽¹²⁾	61	61	92	92	PB6	I/O	–	PB6	TIM4_CH1/I2C_SCL/ USBHS2_DM/DVP_D5 ⁽⁷⁾	TIM8_CH1_1/ USART1_TX_1/ USART7_CTS_2/
60 ⁽¹²⁾	60 ⁽¹²⁾	62	62	93	93	PB7	I/O	–	PB7	TIM4_CH2/I2C_SDA/ USBHS2_DP/FSMC_NADV	TIM8_CH2_1/ USART1_RX_1/ USART7_RTS_2/ FSMC_NADV_1
–	–	63	63	94	94	PE12	I/O	FT	PE12 BOOT0	BOOT0/USART10_CK	USART4_CK_2/ USART4_CK_3/ USART10_CK_1/
61	61	64	64	95	95	PB8	I/O	FT	PB8	TIM4_CH3/SDIO_D4/ DVP_D6	TIM1_CH3_3/ TIM8_CH3_1/ USART4_CTS_2/ USART4_CTS_3/

引脚编号						引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽⁹⁾
CH32V467RET6	CH32V407RET6	CH32V467WEU6	CH32V407WEU6	CH32V467VET6	CH32V407VET6						
											USART5_CTS_1/ USART6_TX_1/ USART10_TX_1/ I2C_SCL_1/ LTDC_HSYNC_1/ CAN_RX_2/ SDIO_D4_1/ DVP_D6_1
62	62	65	65	96	96	PB9	I/O	FT	PB9	TIM4_CH4/SDIO_D5/ DVP_D7	TIM8_BKIN_1/ USART4_RTS_2/ USART4_RTS_3/ USART5_RTS_1/ USART6_RX_1/ USART10_RX_1/ I2C_SDA_1/ LTDC_VSYNC_1/ CAN_TX_2/ SDIO_D5_1/ DVP_D7_1
—	—	66	66	97	97	PE0	I/O	FT	PE0	TIM4_ETR/ USART10_TX/ FSMC_NBL0/LTDC_DE	TIM4_ETR_1/ USART4_TX_2/ USART4_TX_3/ USART6_CTS_1/ FSMC_NBL0_1
—	—	67	67	98	98	PE1	I/O	FT	PE1	USART10_RX/ FSMC_NBL1/LTDC_CLK	USART4_RX_2/ USART4_RX_3/ USART6_RTS_1/ FSMC_NBL1_1
63	63	—	—	99	99	V _{SS}	P	—	V _{SS}		
64	64	68	68	100	100	V _{DD}	P	—	V _{DD}		

注 1：表格缩写解释：

I = TTL/CMOS电平斯密特输入； 0 = CMOS电平三态输出； A = 模拟信号输入或输出；
P = 电源； ETH = 以太网信号； FT = 耐受5V； HS = 支持100MHz高速。

注2：V_{DD}和V_{BAT}均可连接内部模拟开关为备份区域以及PC13、PC14和PC15引脚供电，这个模拟开关只能够通过有限的电流(3mA)。当由V_{DD}供电时：PC14和PC15可用于GPIO或LSE引脚、PC13可作为通用I/O口、TAMPER引脚、RTC校准时钟、RTC闹钟或秒输出；PC13、PC14和PC15作为GPIO输出脚时只能工作在2MHz模式下，最大驱动负载为30pF，并且不能作为电流源(如驱动LED)。而当由V_{BAT}供电时：PC14和PC15只能用于LSE引脚、PC13可作为TAMPER引脚、RTC闹钟或秒输出。

- 注3：这些引脚在备份区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由备份区域寄存器控制（这些寄存器不会被主复位系统所复位）。关于如何控制这些IO口的具体信息，请参考CH32FV2x_V3xRM手册的电池备份区域和BKP寄存器的相关章节。
- 注4：对于CH32V407WEU6、CH32V407RET6、CH32V467WEU6和CH32V467RET6芯片，引脚5和引脚6在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚，软件可以重新设置这两个引脚为PD0和PD1功能，此时PD0和PD1为非FT引脚。但对于CH32V407RET6和CH32V467RET6芯片，由于PD0和PD1为固有的功能引脚，因此没有必要再由软件进行重映射设置，此时PD0和PD1为FT引脚。更多详细信息请参考CH32FV407RM手册的复用功能I/O章节和调试设置章节。
- 注5：B00T0/PE12和B00T1/PB2引脚都未引出的芯片，在内部B00T0/PE12引脚已短接到V_{ss}，B00T1/PB2引脚浮空，低功耗情况下，建议配置PE12和PB2为下拉输入模式，以防止产生额外电流。
B00T1/PB2引脚引出但B00T0/PE12引脚未引出的芯片，在内部B00T0/PE12引脚已短接到V_{ss}。低功耗情况下，建议配置PE12下拉输入模式，以防止产生额外电流。
B00T0/PE12引脚引出但B00T1/PB2引脚未引出的芯片，在内部B00T1/PB2引脚已短接到V_{ss}。低功耗情况下，建议配置PB2下拉输入模式，以防止产生额外电流。
B00T0/PE12引脚应该外接下拉电阻，确保上电期间B00T0为低电平，以便进入程序闪存存储器自举模式。正常工作后，PE12引脚根据需要可以用于输出。
- 注6：SDIO_D0和SDIO_D1默认映射到PC8和PC9。当寄存器RCC_HBPCENR的bit[14]ETHMACEN=1与bit[10]SDIOEN = 1时，SDIO_D0和SDIO_D1默认映射自动改到PB14和PB15。
- 注7：DVP_D5默认映射到PB6。当寄存器RCC_HBPCENR的bit[13]DVPEN=1与bit[11]USBHS1EN=1且R8_USB_CTRL的bit[2]RB_UD_RST_SIE=0时，DVP_D5默认映射自动改到PB3。
- 注8：FSMC_NADV默认映射到PB7。当寄存器RCC_HBPCENR的bit[8]FSMCEN=1与bit[11]USBHS2EN=1且R8_USB_CTRL的bit[2]RB_UD_RST_SIE=0时，FSMC_NADV默认映射自动改到PD2。
- 注9：重映射功能下划线后的数值表示AFIO寄存器中相对应位的配置值。例如：UART4_RX_3表示AFIO寄存器相应位配置为11b。
- 注10：TIM2_CH1和TIM2_ETR共用一个引脚，但不能同时使用。
- 注11：支持以太网引脚RX/TX收发识别和成对交换，支持MDIRP/MDIRN正负识别和交换，支持MDITP/MDITN正负识别和交换。
- 注12：CH32V407RET6和CH32V467RET6不支持USBHS2。

2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-2 引脚复用和重映射功能

复用 引脚	ADC	TIM1/8	TIM2/3/4/5	USART1/2/3/4/5	USART6/7/8/9/10	SYS	I2C I3C	SPI I2S	USB	ETH	FSMC SDIO	LTDC	DVP	OPA	CAN
PA0	ADC_IN0	TIM8_ETR TIM8_ETR_1	TIM2_CH1 TIM2_ETR TIM2_CH1_2 TIM2_ETR_2 TIM5_CH1	USART2_CTS		WKUP									
PA1	ADC_IN1		TIM2_CH2 TIM2_CH2_2 TIM5_CH2	USART2_RTS								LTDC_R4 LTDC_R4_1			
PA2	ADC_IN2		TIM2_CH3 TIM2_CH3_1 TIM5_CH3	USART2_TX								LTDC_R5 LTDC_R5_1			
PA3	ADC_IN3		TIM2_CH4 TIM2_CH4_1 TIM5_CH4	USART2_RX								LTDC_R6 LTDC_R6_1			
PA4	ADC_IN4 DAC1_OUT			USART2_CK	USART9_TX_1			SPI1_NSS SPI3_NSS_1 I2S3_WS_1				LTDC_G5_1	DVP_HSYNC DVP_HSYNC_1		
PA5	ADC_IN5 DAC2_OUT			USART1_CK_3 USART1_CTS_2	USART6_CK_3 USART9_RX_1			SPI1_SCK					DVP_VSYNC DVP_VSYNC_1	OPA_N2	
PA6	ADC_IN6	TIM1_BKIN_1 TIM8_BKIN	TIM3_CH1	USART1_TX_3	USART7_TX_1			SPI1_MISO					DVP_PCLK DVP_PCLK_1	OPA_P2	
PA7	ADC_IN7	TIM1_CH1N_1 TIM8_CH1N TIM1_CH4_3	TIM3_CH2	USART1_RX_3	USART7_RX_1 USART8_CK			SPI1_MOSI				LTDC_R7 LTDC_R7_1		OPA_OUT1	
PA8		TIM1_CH1 TIM1_CH1_1		USART1_CK USART1_CK_1 USART1_RX_2	USART7_CK_2 USART7_CK_3	MCO		I2S3_MCK				LTDC_B4 LTDC_B4_1	DVP_D2_1		
PA9		TIM1_CH2 TIM1_CH2_1		USART1_TX USART1_RTS_2	USART7_TX_2 USART7_TX_3						SDIO_D6_1	LTDC_DE_1	DVP_D0 DVP_D0_1		
PA10		TIM1_CH3 TIM1_CH3_1		USART1_CK_2 USART1_RX	USART7_RX_2 USART7_RX_3						SDIO_D7_1	LTDC_CLK_1	DVP_D1 DVP_D1_1		
PA11		TIM1_CH4 TIM1_CH4_1		USART1_CTS USART1_CTS_1					USB1_DM						CAN_RX
PA12		TIM1_ETR TIM1_ETR_1		USART1_RTS USART1_RTS_1					USB1_DP						CAN_TX
PA13		TIM8_CH1N_1		USART3_TX_2	USART6_CK_2	SWDIO						LTDC_B5			

复用 引脚	ADC	TIM1/8	TIM2/3/4/5	USART1/2/3/4/5	USART6/7/8/9/10	SYS	I2C I3C	SPI I2S	USB	ETH	FSMC SDIO	LTDC	DVP	OPA	CAN
				USART4_CTS		SWIO						LTDC_B5_1			
PA14		TIM8_CH2N_1		USART3_RX_2	USART6_CTS_2 USART8_TX_1	SWCLK						LTDC_B6 LTDC_B6_1			
PA15		TIM8_CH3N_1	TIM2_CH1_1 TIM2_ETR_1 TIM2_CH1_3 TIM2_ETR_3		USART6_RTS_2 USART8_RX_1			SPI1_NSS_1 SPI3_NSS I2S3_WS				LTDC_B7 LTDC_B7_1			
PB0	ADC_IN8	TIM1_CH2N_1 TIM8_CH2N	TIM3_CH3 TIM3_CH3_2	USART4_TX_1 USART5_CTS_2 USART5_CTS_3	USART6_CK USART7_CK_1 USART8_CTS							LTDC_G2 LTDC_G2_1			
PB1	ADC_IN9	TIM1_CH3N_1 TIM8_CH3N	TIM3_CH4 TIM3_CH4_2	USART4_RX_1 USART5_RTS_2 USART5_RTS_3	USART8_RTS USART9_TX							LTDC_G3 LTDC_G3_1		OPA_OUT2	
PB2				USART4_CK_1 USART5_CK_2 USART5_CK_3	USART9_RX	BOOT1						LTDC_G4			
PB3			TIM2_CH2_1 TIM2_CH2_3	USART5_CK_1 USART5_CTS				SPI1_SCK_1 SPI3_SCK I2S3_CK				LTDC_G4_1	DVP_D5 DVP_D5_1		
PB4			TIM3_CH1_2	USART5_TX_1 USART5_RTS			I3C_SCL_1	SPI1_MISO_1 SPI3_MISO				LTDC_HSYNC	DVP_D3_1		
PB5			TIM3_CH2_2	USART5_CK USART5_RX_1	USART6_CK_1		I2C_SMB I3C_SDA_1	SPI1_MOSI_1 SPI3_MOSI I2S3_SD				LTDC_VSYNC	DVP_D10_1		
PB6		TIM8_CH1_1	TIM4_CH1	USART1_TX_1	USART7_CTS_2		I2C_SCL		USB2_DM				DVP_D5		
PB7		TIM8_CH2_1	TIM4_CH2	USART1_RX_1	USART7_RTS_2		I2C_SDA		USB2_DP		FSMC_NADV FSMC_NADV_1				
PB8		TIM8_CH3_1 TIM1_CH3_3	TIM4_CH3	USART4_CTS_2 USART4_CTS_3 USART5_CTS_1	USART6_TX_1 USART10_TX_1		I2C_SCL_1				SDIO_D4 SDIO_D4_1	LTDC_HSYNC_1	DVP_D6 DVP_D6_1		CAN_RX_2
PB9		TIM8_BKIN_1	TIM4_CH4	USART4_RTS_2 USART4_RTS_3 USART5_RTS_1	USART6_RX_1 USART10_RX_1		I2C_SDA_1				SDIO_D5 SDIO_D5_1	LTDC_VSYNC_1	DVP_D7 DVP_D7_1		CAN_TX_2
PB10		TIM1_BKIN_3	TIM2_CH3_2 TIM2_CH3_3	USART3_TX			I3C_SCL					LTDC_B3 LTDC_B3_1			
PB11			TIM2_CH4_2 TIM2_CH4_3	USART3_RX	USART8_CK_2 USART8_CK_3		I3C_SDA				FSMC_D9 FSMC_D9_1	LTDC_B2 LTDC_B2_1			
PB12		TIM1_BKIN		USART3_CK	USART8_RTS_2 USART8_RTS_3			SPI2_NSS I2S2_WS			FSMC_D10 FSMC_D10_1	LTDC_G6 LTDC_G6_1		OPA_P1	
PB13		TIM1_CH1N		USART3_CTS	USART8_CTS_2			SPI2_SCK			FSMC_D11	LTDC_G7		OPA_N1	

复用 引脚	ADC	TIM1/8	TIM2/3/4/5	USART1/2/3/4/5	USART6/7/8/9/10	SYS	I2C I3C	SPI I2S	USB	ETH	FSMC SDIO	LTDC	DVP	OPA	CAN
				USART3_CTS_1	USART8_CTS_3			I2S2_CK			FSMC_D11_1	LTDC_G7_1			
PB14		TIM1_CH2N		USART3_RTS USART3_RTS_1	USART8_RX_2 USART8_RX_3			SPI2_MISO			FSMC_D12 FSMC_D12_1 SDIO_D0 SDIO_D0_1	LTDC_B0 LTDC_B0_1			
PB15		TIM1_CH3N		USART1_TX_2	USART8_CK_1 USART8_TX_2 USART8_TX_3			SPI2_MOSI I2S2_SD			SDIO_D1 SDIO_D1_1	LTDC_B1 LTDC_B1_1			
PC0	ADC_IN10				USART6_TX USART6_TX_3							LTDC_R0 LTDC_R0_1			
PC1	ADC_IN11				USART6_RX USART6_RX_3 USART7_CK							LTDC_R1 LTDC_R1_1			
PC2	ADC_IN12				USART6_CTS USART6_CTS_3 USART7_TX							LTDC_R2 LTDC_R2_1			
PC3	ADC_IN13				USART6_RTS USART6_RTS_3 USART7_RX							LTDC_R3 LTDC_R3_1			
PC4	ADC_IN14			USART1_CTS_3 USART4_CTS_1	USART7_CTS USART7_CTS_1 USART8_TX						FSMC_D4_1	LTDC_G0 LTDC_G0_1			
PC5	ADC_IN15			USART1_RTS_3 USART4_RTS_1	USART7_RTS USART7_RTS_1 USART8_RX							LTDC_G1 LTDC_G1_1			
PC6		TIM8_CH1	TIM3_CH1_3					I2S2_MCK			SDIO_D6				
PC7		TIM8_CH2	TIM3_CH2_3					I2S3_MCK			SDIO_D7				
PC8		TIM8_CH3	TIM3_CH3_3		USART7_CTS_3						SDIO_D0		DVP_D2		
PC9		TIM8_CH4	TIM3_CH4_3		USART7_RTS_3						SDIO_D1		DVP_D3		
PC10				USART3_TX_1 USART4_TX				SPI3_SCK_1 I2S3_CK_1			SDIO_D2 SDIO_D2_1		DVP_D8 DVP_D8_1		
PC11				USART3_RX_1 USART4_RX				SPI3_MISO_1			SDIO_D3 SDIO_D3_1		DVP_D4 DVP_D4_1		
PC12				USART3_CK_1 USART4_CK USART5_TX				SPI3_MOSI_1 I2S3_SD_1			SDIO_CK SDIO_CK_1		DVP_D9 DVP_D9_1		
PC13		TIM8_CH4_1				TAMPER-RTC									
PC14					USART10_CTS USART10_CTS_1	OSC32_IN									
PC15					USART10_RTS	OSC32_OUT									

复用 引脚	ADC	TIM1/8	TIM2/3/4/5	USART1/2/3/4/5	USART6/7/8/9/10	SYS	I2C I3C	SPI I2S	USB	ETH	FSMC SDIO	LTDC	DVP	OPA	CAN
					USART10_RTS_1										
PD0						OSC_IN					FSMC_D2 FSMC_D2_1				CAN_RX_3
PD1						OSC_OUT					FSMC_D3 FSMC_D3_1				CAN_TX_3
PD2			TIM3_ETR TIM3_ETR_1 TIM3_ETR_2	USART4_RTS USART5_RX							SDIO_CMD SDIO_CMD_1 FSMC_NADV FSMC_NADV_1		DVP_D11 DVP_D11_1		
PD3				USART2_CTS_1							FSMC_CLK FSMC_CLK_1				
PD4				USART2_RTS_1							FSMC_NOE FSMC_NOE_1				
PD5				USART2_TX_1							FSMC_NWE FSMC_NWE_1				
PD6				USART2_RX_1							FSMC_NWAIT FSMC_NWAIT_1		DVP_D10		
PD7				USART2_CK_1							FSMC_NE1 FSMC_NE1_1 FSMC_NCE2 FSMC_NCE2_1				
PD8				USART3_TX_3	USART9_CK USART9_CK_1						FSMC_D13 FSMC_D13_1	LTDC_G5			
PD9				USART3_RX_3							FSMC_D14 FSMC_D14_1				
PD10				USART3_CK_2 USART3_CK_3	USART10_CK_2 USART10_CK_3						FSMC_D15 FSMC_D15_1				
PD11				USART3_CTS_2 USART3_CTS_3	USART10_TX_2 USART10_TX_3						FSMC_A16 FSMC_A16_1				
PD12			TIM4_CH1_1	USART3_RTS_2 USART3_RTS_3	USART10_RX_2 USART10_RX_3						FSMC_A17 FSMC_A17_1				
PD13			TIM4_CH2_1		USART10_CTS_2 USART10_CTS_3						FSMC_A18 FSMC_A18_1				
PD14			TIM4_CH3_1		USART10_RTS_2 USART10_RTS_3					LED0_1	FSMC_D0 FSMC_D0_1				
PD15			TIM4_CH4_1							LED1_1	FSMC_D1 FSMC_D1_1				
PE0			TIM4_ETR TIM4_ETR_1	USART4_TX_2 USART4_TX_3	USART6_CTS_1 USART10_TX						FSMC_NBL0 FSMC_NBL0_1	LTDC_DE			
PE1				USART4_RX_2	USART6_RTS_1						FSMC_NBL1	LTDC_CLK			

复用 引脚	ADC	TIM1/8	TIM2/3/4/5	USART1/2/3/4/5	USART6/7/8/9/10	SYS	I2C I3C	SPI I2S	USB	ETH	FSMC SDIO	LTDC	DVP	OPA	CAN
				USART4_RX_3	USART10_RX						FSMC_NBL1_1				
PE2					USART9_CK_2 USART9_CK_3						FSMC_A23 FSMC_A23_1				
PE3					USART9_TX_2 USART9_TX_3						FSMC_A19 FSMC_A19_1				
PE4					USART9_RX_2 USART9_RX_3						FSMC_A20 FSMC_A20_1				
PE5					USART9_CTS_2 USART9_CTS_3						FSMC_A21 FSMC_A21_1				
PE6					USART9_RTS_2 USART9_RTS_3						FSMC_A22 FSMC_A22_1				
PE7		TIM1_ETR_3									FSMC_D4				
PE8		TIM1_CH1N_3		USART5_TX_2 USART5_TX_3	USART9_CTS USART9_CTS_1					LED0	FSMC_D5 FSMC_D5_1				
PE9		TIM1_CH1_3		USART5_RX_2 USART5_RX_3	USART9_RTS USART9_RTS_1					LED1	FSMC_D6 FSMC_D6_1				
PE10		TIM1_CH2N_3			USART6_TX_2 USART8_CTS_1						FSMC_D7 FSMC_D7_1				
PE11		TIM1_CH2_3			USART6_RX_2 USART8_RTS_1						FSMC_D8 FSMC_D8_1				
PE12		TIM1_CH3N_3		USART4_CK_2 USART4_CK_3	USART10_CK USART10_CK_1	BOOT0									

表 2-3-1 ADC 引脚功能

ADC 功能	默认引脚
ADC_IN0	PA0
ADC_IN1	PA1
ADC_IN2	PA2
ADC_IN3	PA3
ADC_IN4	PA4
ADC_IN5	PA5
ADC_IN6	PA6
ADC_IN7	PA7
ADC_IN8	PB0
ADC_IN9	PB1
ADC_IN10	PC0
ADC_IN11	PC1
ADC_IN12	PC2
ADC_IN13	PC3
ADC_IN14	PC4
ADC_IN15	PC5
ADC_IN16	温度传感器
ADC_IN17	内部参考电压 V_{REFINT}

表 2-3-2 DAC 引脚功能

DAC1 功能	默认引脚
DAC1_OUT	PA4
DAC2 功能	默认引脚
DAC2_OUT	PA5

表 2-3-3 TIM 引脚功能

TIM1 功能	TIM1_RM=00 默认映射引脚	TIM1_RM=01 重映射引脚	TIM1_RM=11 重映射引脚
TIM1_ETR	PA12	PA12	PE7
TIM1_CH1	PA8	PA8	PE9
TIM1_CH2	PA9	PA9	PE11
TIM1_CH3	PA10	PA10	PB8
TIM1_CH4	PA11	PA11	PA7
TIM1_BKIN	PB12	PA6	PB10
TIM1_CH1N	PB13	PA7	PE8
TIM1_CH2N	PB14	PB0	PE10
TIM1_CH3N	PB15	PB1	PE12

TIM8 功能	TIM8_RM=0 默认映射引脚		TIM8_RM=1 重映射引脚			
TIM8_ETR	PA0		PA0			
TIM8_CH1	PC6		PB6			
TIM8_CH2	PC7		PB7			
TIM8_CH3	PC8		PB8			
TIM8_CH4	PC9		PC13			
TIM8_BKIN	PA6		PB9			
TIM8_CH1N	PA7		PA13			
TIM8_CH2N	PB0		PA14			
TIM8_CH3N	PB1		PA15			
TIM2 功能	TIM2_RM=00 默认映射引脚	TIM2_RM=01 重映射引脚	TIM2_RM=10 重映射引脚	TIM2_RM=11 重映射引脚		
TIM2_ETR	PA0	PA15	PA0	PA15		
TIM2_CH1	PA0	PA15	PA0	PA15		
TIM2_CH2	PA1	PB3	PA1	PB3		
TIM2_CH3	PA2	PA2	PB10	PB10		
TIM2_CH4	PA3	PA3	PB11	PB11		
TIM3 功能	TIM3_RM=00 默认映射引脚		TIM3_RM=10 重映射引脚		TIM3_RM=11 重映射引脚	
TIM3_ETR	PD2		PD2		PD2	
TIM3_CH1	PA6		PB4		PC6	
TIM3_CH2	PA7		PB5		PC7	
TIM3_CH3	PB0		PB0		PC8	
TIM3_CH4	PB1		PB1		PC9	
TIM4 功能	TIM4_RM=0 默认映射引脚			TIM4_RM=1 重映射引脚		
TIM4_ETR	PE0			PE0		
TIM4_CH1	PB6			PD12		
TIM4_CH2	PB7			PD13		
TIM4_CH3	PB8			PD14		
TIM4_CH4	PB9			PD15		
TIM5 功能	默认引脚					
TIM5_CH1	PA0					
TIM5_CH2	PA1					
TIM5_CH3	PA2					
TIM5 功能	TIM5CH4_RM=0 默认映射引脚			TIM5CH4_RM=1 重映射引脚		
TIM5_CH4	PA3			LSI 内部时钟		

表 2-3-4 USART 引脚功能

USART1 功能	USART1_RM1=0 ⁽¹⁾ USART1_RM=0 ⁽²⁾ 默认映射引脚	USART1_RM1=1 ⁽¹⁾ USART1_RM=0 ⁽²⁾ 重映射引脚	USART1_RM1=0 ⁽¹⁾ USART1_RM=1 ⁽²⁾ 重映射引脚	USART1_RM1=1 ⁽¹⁾ USART1_RM=1 ⁽²⁾ 重映射引脚
USART1_CK	PA8		PA10	PA5
USART1_TX	PA9	PB6	PB15	PA6
USART1_RX	PA10	PB7	PA8	PA7
USART1_CTS	PA11		PA5	PC4
USART1_RTS	PA12		PA9	PC5
USART2 功能	USART2_RM=0 默认映射引脚		USART2_RM=1 重映射引脚	
USART2_CK	PA4		PD7	
USART2_TX	PA2		PD5	
USART2_RX	PA3		PD6	
USART2_CTS	PA0		PD3	
USART2_RTS	PA1		PD4	
USART3 功能	USART3_RM=00 默认映射引脚	USART3_RM=01 重映射引脚	USART3_RM=10 重映射引脚	USART3_RM=11 重映射引脚
USART3_CK	PB12	PC12	PD10	
USART3_TX	PB10	PC10	PA13	PD8
USART3_RX	PB11	PC11	PA14	PD9
USART3_CTS	PB13		PD11	
USART3_RTS	PB14		PD12	
USART4 功能	USART4_RM=00 默认映射引脚	USART4_RM=01 重映射引脚	USART4_RM=1x 重映射引脚	
USART4_CK	PC12	PB2	PE12	
USART4_TX	PC10	PB0	PE0	
USART4_RX	PC11	PB1	PE1	
USART4_CTS	PA13	PC4	PB8	
USART4_RTS	PD2	PC5	PB9	
USART5 功能	USART5_RM=00 默认映射引脚	USART5_RM=01 重映射引脚	USART5_RM=1x 重映射引脚	
USART5_CK	PB5	PB3	PB2	
USART5_TX	PC12	PB4	PE8	
USART5_RX	PD2	PB5	PE9	
USART5_CTS	PB3	PB8	PB0	
USART5_RTS	PB4	PB9	PB1	
USART6 功能	USART6_RM=00	USART6_RM=01	USART6_RM=10	USART6_RM=11

	默认映射引脚	重映射引脚	重映射引脚	重映射引脚
USART6_CK	PB0	PB5	PA13	PA5
USART6_TX	PC0	PB8	PE10	PC0
USART6_RX	PC1	PB9	PE11	PC1
USART6_CTS	PC2	PE0	PA14	PC2
USART6_RTS	PC3	PE1	PA15	PC3
USART7 功能	USART7_RM=00 默认映射引脚	USART7_RM=01 重映射引脚	USART7_RM=10 重映射引脚	USART7_RM=11 重映射引脚
USART7_CK	PC1	PB0	PA8	
USART7_TX	PC2	PA6	PA9	
USART7_RX	PC3	PA7	PA10	
USART7_CTS	PC4		PB6	PC8
USART7_RTS	PC5		PB7	PC9
USART8 功能	USART8_RM=00 默认映射引脚	USART8_RM=01 重映射引脚	USART8_RM=1x 重映射引脚	
USART8_CK	PA7	PB15	PB11	
USART8_TX	PC4	PA14	PB15	
USART8_RX	PC5	PA15	PB14	
USART8_CTS	PB0	PE10	PB13	
USART8_RTS	PB1	PE11	PB12	
USART9 功能	USART9_RM=00 默认映射引脚	USART9_RM=01 重映射引脚	USART9_RM=1x 重映射引脚	
USART9_CK	PD8			PE2
USART9_TX	PB1	PA4	PE3	
USART9_RX	PB2	PA5	PE4	
USART9_CTS	PE8			PE5
USART9_RTS	PE9			PE6
USART10 功能	USART10_RM=00 默认映射引脚	USART10_RM=01 重映射引脚	USART10_RM=1x 重映射引脚	
USART10_CK	PE12			PD10
USART10_TX	PE0	PB8	PD11	
USART10_RX	PE1	PB9	PD12	
USART10_CTS	PC14			PD13
USART10_RTS	PC15			PD14

注：1. USART1_RM 为 AFIO_PCFR1 寄存器 bit2，为映射配置低位。

2. USART1_RM1 为 AFIO_PCFR2 寄存器 bit26，为映射配置高位。

表 2-3-5 SPI 和 I2S 引脚功能

SPI1 功能	SPI1_RM=0 默认映射引脚	SPI1_RM=1 重映射引脚
SPI1_NSS	PA4	PA15
SPI1_SCK	PA5	PB3
SPI1_MISO	PA6	PB4
SPI1_MOSI	PA7	PB5
SPI2 和 I2S2 功能	默认引脚	
SPI2_NSS/I2S2_WS	PB12	
SPI2_SCK/I2S2_CK	PB13	
SPI2_MISO	PB14	
I2S2_MCK	PC6	
SPI2_MOSI/I2S2_SD	PB15	
SPI3 和 I2S3 功能	SPI3_RM=0/I2S3_RM=0 默认映射引脚	SPI3_RM=1/I2S3_RM=1 重映射引脚
SPI3_NSS/I2S3_WS	PA15	PA4
SPI3_SCK/I2S3_CK	PB3	PC10
SPI3_MISO	PB4	PC11
I2S3_MCK	PC7	PC7
SPI3_MOSI/I2S3_SD	PB5	PC12

表 2-3-6 I2C 引脚功能

I2C 功能	I2C_RM=0 默认映射引脚	I2C_RM=1 重映射引脚
I2C_SCL	PB6	PB8
I2C_SDA	PB7	PB9
I2C_SMBA	PB5	

表 2-3-7 I3C 引脚功能

I3C 功能	I3C_RM=0 默认映射引脚	I3C_RM=1 重映射引脚
I3C_SCL	PB10	PB4
I3C_SDA	PB11	PB5

表 2-3-8 FSMC 引脚功能

FSMC 功能	FSMC_RM=0 默认映射引脚	FSMCEN=1&USBHS2EN=1 &RB_UD_RST_SIE=0	FSMC_RM=1 重映射引脚
FSMC_NBL0	PE0	PE0	PE0
FSMC_NBL1	PE1	PE1	PE1
FSMC_CLK	PD3	PD3	PD3

FSMC_NOE	PD4	PD4	PD4
FSMC_NWE	PD5	PD5	PD5
FSMC_NWAIT	PD6	PD6	PD6
FSMC_NE1/FSMC_NCE2	PD7	PD7	PD7
FSMC_NADV	PB7	PD2	PB7
FSMC_A16	PD11	PD11	PD11
FSMC_A17	PD12	PD12	PD12
FSMC_A18	PD13	PD13	PD13
FSMC_A19	PE3	PE3	PE3
FSMC_A20	PE4	PE4	PE4
FSMC_A21	PE5	PE5	PE5
FSMC_A22	PE6	PE6	PE6
FSMC_A23	PE2	PE2	PE2
FSMC_D0	PD14	PD14	PD14
FSMC_D1	PD15	PD15	PD15
FSMC_D2	PD0	PD0	PD0
FSMC_D3	PD1	PD1	PD1
FSMC_D4	PE7	PE7	PC4
FSMC_D5	PE8	PE8	PE8
FSMC_D6	PE9	PE9	PE9
FSMC_D7	PE10	PE10	PE10
FSMC_D8	PE11	PE11	PE11
FSMC_D9	PB11	PB11	PB11
FSMC_D10	PB12	PB12	PB12
FSMC_D11	PB13	PB13	PB13
FSMC_D12	PB14	PB14	PB14
FSMC_D13	PD8	PD8	PD8
FSMC_D14	PD9	PD9	PD9
FSMC_D15	PD10	PD10	PD10

表 2-3-9 DVP 引脚功能

DVP 功能	DVPEN=1, DVP_RM=0 默认映射引脚	DVPEN=1&USBHSEN=1 &RB_UD_RST_SIE=0	DVP_RM=1 重映射引脚
DVP_PCLK	PA6	PA6	PA6
DVP_VSYNC	PA5	PA5	PA5
DVP_HSYNC	PA4	PA4	PA4
DVP_D0	PA9	PA9	PA9
DVP_D1	PA10	PA10	PA10

DVP_D2	PC8	PC8	PA8
DVP_D3	PC9	PC9	PB4
DVP_D4	PC11	PC11	PC11
DVP_D5	PB6	PB3	PB3
DVP_D6	PB8	PB8	PB8
DVP_D7	PB9	PB9	PB9
DVP_D8	PC10	PC10	PC10
DVP_D9	PC12	PC12	PC12
DVP_D10	PD6	PD6	PB5
DVP_D11	PD2	PD2	PD2

表 2-3-10 SDIO 引脚功能

SDIO 功能	SDIO_RM=0 默认映射引脚	SDIOEN=1ÐMACEN=1	SDIO_RM=1 重映射引脚
SDIO_CLK	PC12	PC12	PC12
SDIO_CMD	PD2	PD2	PD2
SDIO_SD0	PC8	PB14	PB14
SDIO_SD1	PC9	PB15	PB15
SDIO_SD2	PC10	PC10	PC10
SDIO_SD3	PC11	PC11	PC11
SDIO_SD4	PB8	PB8	PB8
SDIO_SD5	PB9	PB9	PB9
SDIO_SD6	PC6	PC6	PA9
SDIO_SD7	PC7	PC7	PA10

表 2-3-11 LTDC 引脚功能

LTDC 功能	LTDC_RM=0 默认映射引脚	LTDC_RM=1 重映射引脚
LTDC_CLK	PE1	PA10
LTDC_HSYNC	PB4	PB8
LTDC_VSYNC	PB5	PB9
LTDC_DE	PE0	PA9
LTDC_R0	PC0	PC0
LTDC_R1	PC1	PC1
LTDC_R2	PC2	PC2
LTDC_R3	PC3	PC3
LTDC_R4	PA1	PA1
LTDC_R5	PA2	PA2
LTDC_R6	PA3	PA3

LTDC_R7	PA7	PA7
LTDC_G0	PC4	PC4
LTDC_G1	PC5	PC5
LTDC_G2	PB0	PB0
LTDC_G3	PB1	PB1
LTDC_G4	PB2	PB3
LTDC_G5	PD8	PA4
LTDC_G6	PB12	PB12
LTDC_G7	PB13	PB13
LTDC_B0	PB14	PB14
LTDC_B1	PB15	PB15
LTDC_B2	PB11	PB11
LTDC_B3	PB10	PB10
LTDC_B4	PA8	PA8
LTDC_B5	PA13	PA13
LTDC_B6	PA14	PA14
LTDC_B7	PA15	PA15

表 2-3-12 CAN 引脚功能

CAN 功能	CAN1_RM=00 默认映射引脚	CAN1_RM=10 重映射引脚	CAN1_RM=11 重映射引脚
CAN_RX	PA11	PB8	PD0
CAN_TX	PA12	PB9	PD1

表 2-3-13 ETH PHY 引脚功能

ETH PHY 功能	ETHPHY_LED_RM=0 默认映射引脚	ETHPHY_LED_RM=1 重映射引脚
LED0	PE8	PD14
LED1	PE9	PD15

表 2-3-14 OPA 引脚功能

OPA 功能	可选引脚
OPA_P	PB12/OPA_P1、PA6/OPA_P2
OPA_N	PB13/OPA_N1、PA5/OPA_N2
OPA_OUT	PA7/OPA_OUT1、PB1/OPA_OUT2

表 2-3-15 USBHS 引脚功能

USBHS1 功能	默认引脚
USBHS1_DP	PA12

USBHS1_DM	PA11
USBHS2 功能	默认引脚
USBHS2_DP	PB7
USBHS2_DM	PB6

表 2-3-16 调试引脚功能

调试引脚功能	默认引脚
SWCLK	PA14
SWDIO/SWIO	PA13

表 2-3-17 MCO 引脚功能

MCO 功能	默认引脚
MCO	PA8

第 3 章 电气特性

3.1 测试条件

除非特殊说明和标注，所有电压都以 V_{SS} 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

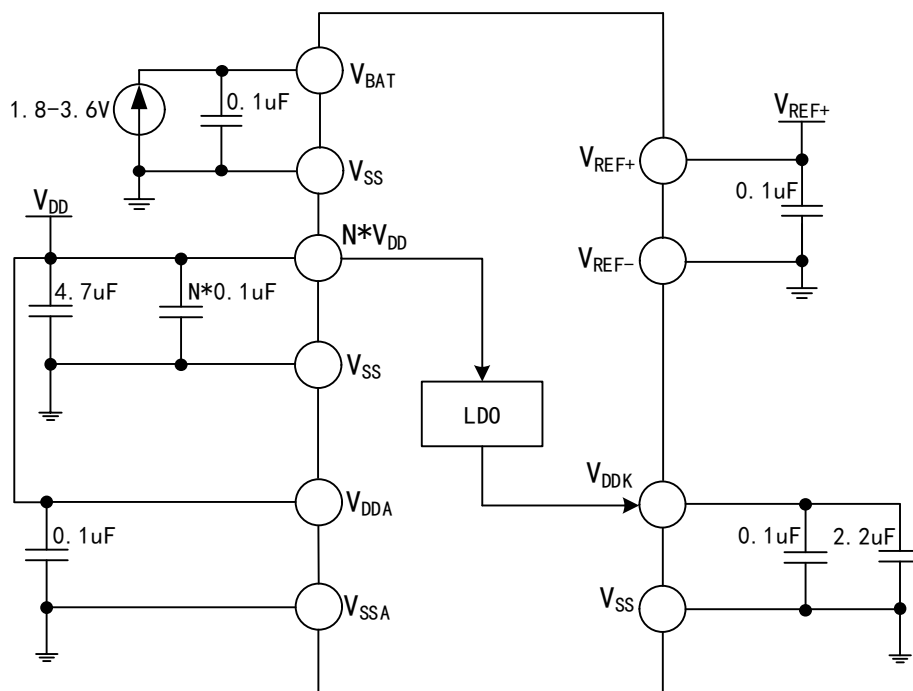
CH32V407 的典型数值是基于常温 25°C ，供电 $V_{DD} = V_{DDA} = 3.3\text{V}$ ，产生 $V_{DDK} = 1.2\text{V}$ 的环境下用于设计指导。

CH32V467 的典型数值是基于常温 25°C ，供电 $V_{DD} = V_{DDA} = 3.3\text{V}$ ，产生 $V_{DD18} = 1.8\text{V}$ 、 $V_{DDK} = 1.2\text{V}$ 的环境下用于设计指导。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

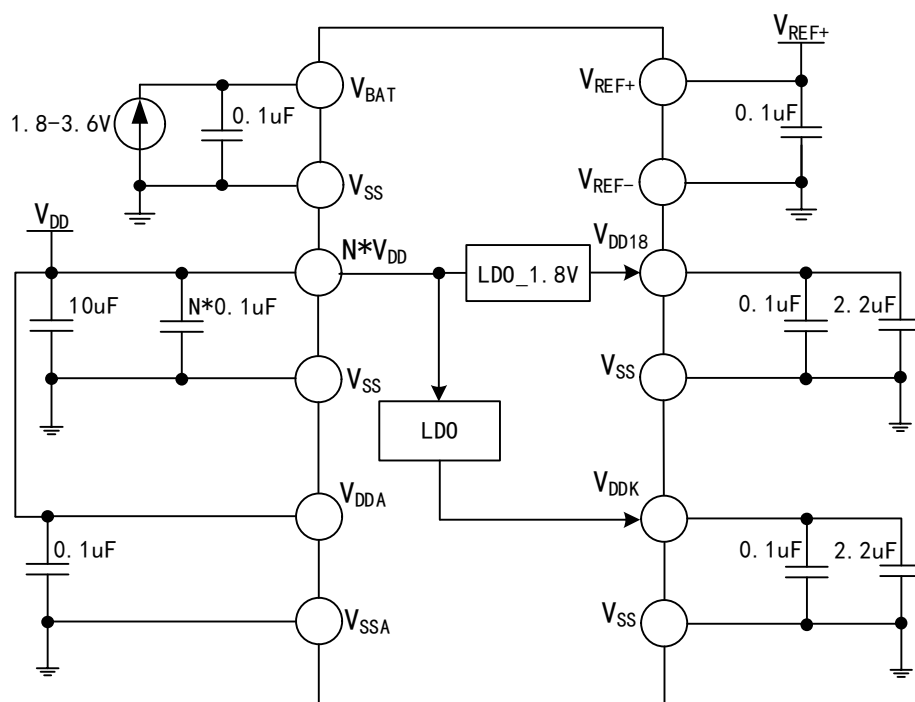
图 3-1-1 CH32V407 常规供电典型电路



注：对于 CH32V407 芯片， V_{DD} 在芯片封装中有多个引脚，同名电源引脚必须短接。

主 V_{DD} 引脚（与以太网信号引脚相邻）外接 $0.1\mu\text{F}$ 并联至少 $4.7\mu\text{F}$ 容量的退耦电容，剩余 V_{DD} 引脚只需外接 $0.1\mu\text{F}$ 容量的退耦电容即可。

图 3-1-2 CH32V467 常规供电典型电路



注：对于 CH32V467 芯片， V_{DD} 引脚在芯片封装中有多个引脚，同名电源引脚必须短接。

主 V_{DD} 引脚（与以太网信号引脚相邻）外接 $0.1\mu F$ 并联 $10\mu F$ 容量的退耦电容，并且不小于 V_{DDK} 和 V_{DD18} 累计总电容容量，剩余 V_{DD} 引脚只需外接 $0.1\mu F$ 容量的退耦电容即可。

3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	$^{\circ}\text{C}$
T_S	存储时的环境温度	-40	125	$^{\circ}\text{C}$
V_{DD}	外部主供电电压（包含 V_{DD} 和 V_{DDA} ）	-0.3	4.0	V
V_{DDK}	内核电路的电源退耦端	-0.2	1.5	V
V_{REF+}	ADC、DAC 模块的正参考电压	-0.3	$V_{DDA}+0.3$	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	-0.3	5.5	V
	USB 2.0 和以太网 PHY 引脚上的输入电压	-0.3	$V_{DD}+0.3$	V
	其他引脚上的输入电压（ V_{DD} 供电）	-0.3	$V_{DD}+0.3$	V
$ \Delta V_{DD_X} $	主供电引脚各 V_{DD} 之间的电压差		20	mV
$ \Delta V_{SS_X} $	公共地引脚各 V_{SS} 之间的电压差		20	mV
$V_{ESDIO(HBM)}$	I/O 引脚的 ESD 静电放电电压（HBM）	4K		V
	USB 引脚（PA11、PA12、PB6、PB7）	4K		V
	ETH 引脚（MDI*）	4K		V
I_{VDD}	所有 V_{DD} 主供电引脚的合计总电流		250	mA
I_{VSS}	所有 V_{SS} 公共地引脚的合计总电流		250	mA
I_{IO}	任意 I/O 和控制引脚上的灌电流		25	mA
	任意 I/O 和控制引脚上的源电流		-25	

3.3 电气参数

3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
F_{HCLK}	内部 HB 时钟频率	$LDO_VDDK[2:0] = 011$ (默认)			200 ⁽³⁾	MHz
		$LDO_VDDK[2:0] = 100$			240 ⁽⁴⁾	MHz
F_{PCLK1}	内部 PB1 时钟频率				F_{HCLK}	MHz
F_{PCLK2}	内部 PB2 时钟频率				F_{HCLK}	MHz
V_{DD}	标准工作电压	未使用 USB 或 ETH	2.9 ⁽⁵⁾	3.3	3.6	V
		使用 USB 或 ETH	3.15	3.3	3.45	V
V_{DDA}	模拟部分工作电压	V_{DDA} 必须与 V_{DD} 相同, V_{REF+} 不能高于 V_{DDA} , V_{REF-} 等于 V_{SS}	2.9	3.3	3.6	V
$V_{DDK}^{(1)}$	内核工作电压		1.17	1.2	1.27	V
V_{DD18}	片内的扩展 PSRAM 工作电压		1.2	1.8	2.0	V
V_{BAT}	备份单元工作电压		1.8		3.6	V
$V_{REF+}^{(2)}$	ADC、DAC 模块的正参考电压	V_{REF+} 不能高于 V_{DDA} , V_{REF-} 等于 V_{SS}	2.4	3.3	3.6	V
T_A	工作时的环境温度		-40		85	°C
T_J	结温度		-40		105	°C

注：1. V_{DDK} 电流较大，考虑 PCB 走线压降损失，如果外部供电建议 1.2V 再加 10~50mV。

2. V_{REF+} 外接电容要尽可能近，否则影响 ADC 性能。

3. 常温下实测不低于 240MHz，未考虑温度和工艺波动，禁止 240MHz 应用于正式工程。

4. 仅适用于商业级应用： $T_A \leq 70^\circ\text{C}$ 且散热良好。

5. 当芯片进入停止模式（LDO 配置为低功耗模式）或进入待机模式，VDD 不能低于 3.0V。

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	∞	us/V
	V_{DD} 下降速率		20	∞	

3.3.2 内置复位和电源控制模块特性

表 3-4 复位及电压监测

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}^{(1)}$	可编程电压检测器的电平选择	$PLS[1:0] = 00$ (上升沿)		2.85		V
		$PLS[1:0] = 00$ (下降沿)		2.81		V
		$PLS[1:0] = 01$ (上升沿)		2.94		V
		$PLS[1:0] = 01$ (下降沿)		2.90		V
		$PLS[1:0] = 10$ (上升沿)		3.04		V
		$PLS[1:0] = 10$ (下降沿)		3.00		V
		$PLS[1:0] = 11$ (上升沿)		3.14		V
		$PLS[1:0] = 11$ (下降沿)		3.10		V
$V_{PVDhyst}$	PVD 迟滞			0.04		V
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿		2.72		V

		下降沿		2.69		V
$V_{PDRhyst}$	PDR 迟滞			30		mV
$t_{RSTTEMPO}$	上电复位		16	28	30	ms
	其他复位		2	10	30	ms

注：1. 常温测试值。

3.3.3 内置的参考电压

表 3-5 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	1.17	1.2	1.23	V
$T_{S_vrefint}$	当读出内部参考电压时，ADC 的采样时间		8			us

3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图 3-2-1 CH32V407 电流消耗测量

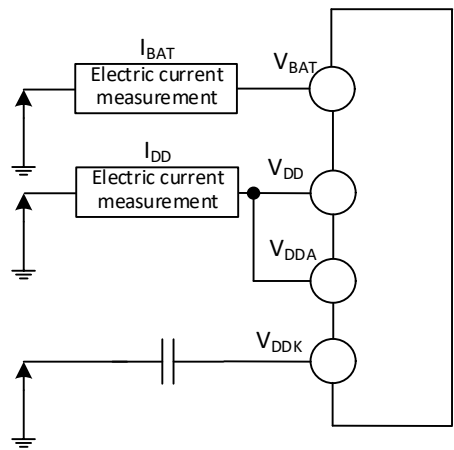
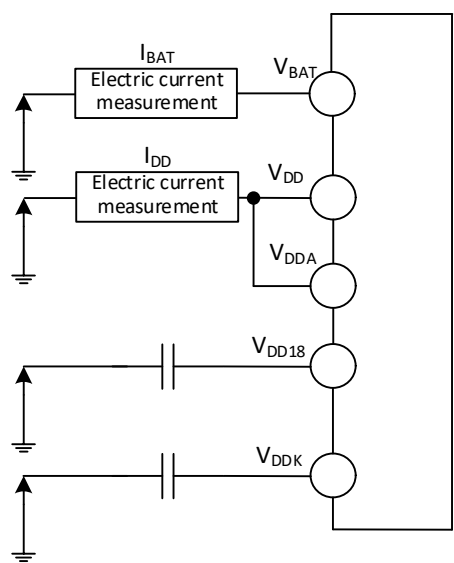


图 3-2-2 CH32V467 电流消耗测量



CH32V407 处于下列条件:

常温 $V_{DD} = V_{DDA} = 3.3V$ 、 $V_{DDK} = 1.2V$ 情况下, 测试时: 所有 I/O 端口配置下拉输入, HSE 或 HSI 只开 1 个, $HSE = 25M$, $HSI = 20M$ (已校准), $F_{PCLK1} = F_{PCLK2} = F_{HCLK}$, 当 $F_{HCLK} > HSE$ 或 HSI 时, PLL 打开。使能或关闭所有外设时钟的功耗。

CH32V467 处于下列条件:

常温 $V_{DD} = V_{DDA} = 3.3V$ 、 $V_{DD18} = 1.8V$ 、 $V_{DDK} = 1.2V$ 情况下, 测试时: 所有 I/O 端口配置下拉输入, HSE 或 HSI 只开 1 个, $HSE = 25M$, $HSI = 20M$ (已校准), $F_{PCLK1} = F_{PCLK2} = F_{HCLK}$, 当 $F_{HCLK} > HSE$ 或 HSI 时, PLL 打开。使能或关闭所有外设时钟的功耗。

表 3-6 CH32V407 在运行模式下典型的电流消耗, 数据处理代码从内部闪存中运行

符号	参数	条件		典型值		单位
				使能所有外设	关闭所有外设	
$I_{DD}^{(1)(2)}$	运行模式下的 供应电流	外部时钟	$F_{HCLK} = 240MHz$	47.5	25.0	mA
			$F_{HCLK} = 200MHz$	40.1	22.6	
			$F_{HCLK} = 175MHz$	35.3	19.6	
			$F_{HCLK} = 120MHz$	30.2	18.8	
			$F_{HCLK} = 60MHz$	15.8	10.3	
			$F_{HCLK} = 20MHz$	6.1	3.8	
		运行于高速内部 RC 振荡器（HSI）， 使用 HB 预分频以 减低频率	$F_{HCLK} = 240MHz$	46.1	24.1	
			$F_{HCLK} = 200MHz$	39.1	21.5	
			$F_{HCLK} = 175MHz$	35.0	18.7	
			$F_{HCLK} = 120MHz$	24.2	13.0	
			$F_{HCLK} = 60MHz$	13.2	7.4	
			$F_{HCLK} = 20MHz$	4.5	2.6	

注: 1. 以上为 CH32V407 实测参数。

2. 对于 CH32V467 芯片, 其运行模式下电流消耗在上述表格的基础上增加 2~22mA。

表 3-7 CH32V407 在睡眠模式下典型的电流消耗, 数据处理代码从内部闪存或 SRAM 中运行

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
$I_{DD}^{(1)(2)}$	睡眠模式下的 供应电流（此时 外设供电和时钟保持）	外部时钟	$F_{HCLK} = 240MHz$	31.6	9.4	mA
			$F_{HCLK} = 200MHz$	25.5	7.8	
			$F_{HCLK} = 175MHz$	22.6	6.8	
			$F_{HCLK} = 120MHz$	21.4	6.5	
			$F_{HCLK} = 60MHz$	11.5	6.0	
			$F_{HCLK} = 20MHz$	4.2	2.9	
		运行于高速内部 RC 振荡器（HSI）， 使用 HB 预分频以 减低频率	$F_{HCLK} = 240MHz$	30.7	8.6	
			$F_{HCLK} = 200MHz$	24.8	6.9	
			$F_{HCLK} = 175MHz$	21.7	6.0	
			$F_{HCLK} = 120MHz$	15.2	4.2	
			$F_{HCLK} = 60MHz$	8.5	3.0	
			$F_{HCLK} = 20MHz$	2.9	1.1	

注：1. 以上为 CH32V407 实测参数。

2. 对于 CH32V467 芯片，其睡眠模式下电流消耗在上述表格的基础上增加 2~22mA。

表 3-8 CH32V407 在停止和待机模式下典型的电流消耗

符号	参数	条件	典型值	单位
$I_{DD}^{(1)}$	停止模式 ⁽³⁾ 下的供应电流	调压器处于运行模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗）	433	μA
		调压器处于低功耗模式 ⁽²⁾ ，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗，PVD 关闭），RAM 进入低功耗模式	173	
	待机模式 ⁽⁴⁾ 下的供应电流	低速内部 RC 振荡器和独立看门狗处于开启状态，所有 RAM 不带电	3.1	
		低速内部 RC 振荡器处于开启状态，独立看门狗关闭状态，所有 RAM 不带电	3.1	
		LSI/LSE/RTC/IWDG 关闭，32K_RAM 带电并处于低功耗状态	2.9	
		LSI/LSE/RTC/IWDG 关闭，所有 RAM 不带电	1.5	
I_{DD_VBAT}	备份区域的供应电流（移除 V_{DD} 和 V_{DDA} ，只使用 V_{BAT} 供电）	低速外部振荡器和 RTC 处于开启状态	2.1	

注：1. 以上为实测参数。

2. 对于批号倒数第五位为 0 的 CH32V467 芯片，在停止模式（调压器处于低功耗模式）下，须配置寄存器 PWR_CTLR 的位 LD018_EN = 0。

3. 对于 CH32V467 芯片，其停止模式下的电流消耗在上述表格的基础上增加 90 μA 。

4. 对于批号倒数第五位为 0 的芯片，进入待机模式前，不用作唤醒功能的 I/O 引脚须配置为模拟输入。

3.3.5 外部时钟源特性

表 3-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSE_ext}	外部时钟频率		5	25	32	MHz
$V_{HSEH}^{(1)}$	OSC_IN 输入引脚高电平电压		$0.8 \cdot V_{DD}$		V_{DD}	V
$V_{HSEL}^{(1)}$	OSC_IN 输入引脚低电平电压		0		$0.2 \cdot V_{DD}$	V
$C_{in(HSE)}$	OSC_IN 输入电容			5		pF
$DuCy_{HSE}$	占空比 (Duty cycle)			50		%
I_L	OSC_IN 输入漏电流				± 1	μA

注：1. 不满足此条件可能会引起电平识别错误。

图 3-3 外部提供高频时钟源电路

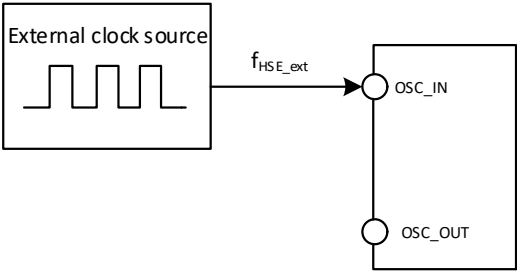


表 3-10 来自外部低速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSE_ext}	用户外部时钟频率			32.768	1000	kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		$0.8 \times V_{DD}$		V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		0		$0.2 \times V_{DD}$	V
$C_{in(LSE)}$	OSC32_IN 输入电容			5		pF
$DuCy_{LSE}$	占空比 (Duty cycle)			50		%
I_L	OSC32_IN 输入漏电流				± 1	μA

图 3-4 外部提供低频时钟源电路

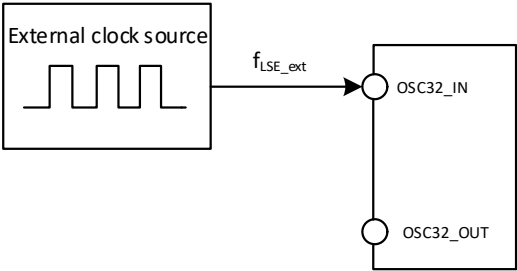


表 3-11 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{OSC_IN}	谐振器频率		5	25	32	MHz
R_F	反馈电阻			250		k Ω
C_{LOAD}	建议的负载电容与对应晶体 串行阻抗 R_s	$R_s=60\Omega^{(1)}$		20		pF
I_2	HSE 驱动电流			0.53		mA
g_m	振荡器的跨导	启动		17		mA/V
$t_{SU(HSE)}$	启动时间	V_{DD} 稳定, 25M 晶体		1 ⁽²⁾		ms

注：1. 建议晶体 ESR 不超过 80 欧姆，优先选择 ESR 较小的晶体，负载电容参考晶体手册要求。
2. 启动时间指从 HSEON 开启到 HSERDY 被置位的时间差。
3. 以太网或高速 USB 应用通常需要 HSE，晶振建议用 25M 晶体，建议不超过 30ppm。

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1} = C_{L2}$ 。

图 3-5 外接 25M 晶体典型电路

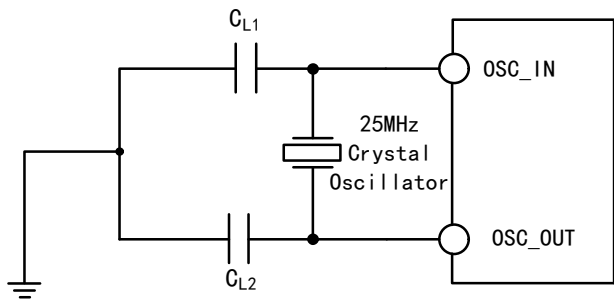


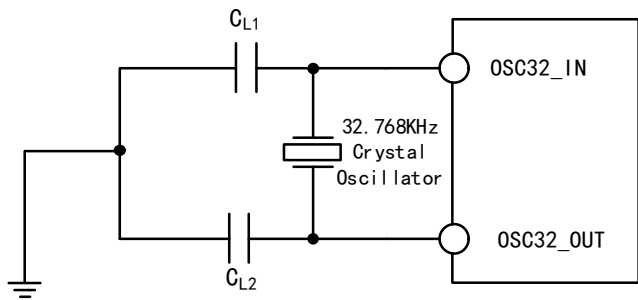
表 3-12 使用一个晶体/陶瓷谐振器产生的低速外部时钟 ($f_{LSE} = 32.768kHz$)

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		$M\Omega$
C	建议的负载电容与对应晶体串 行阻抗 R_S	$R_S < 70k\Omega$			15	pF
i_2	LSE 驱动电流	$V_{DD} = 3.3V$		0.35		μA
g_m	振荡器的跨导	启动		25.3		$\mu A/V$
$t_{SU(LSE)}$	启动时间	V_{DD} 是稳定的		800		ms

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1}=C_{L2}$ ，可选 12pF 左右。

图 3-6 外接 32.768K 晶体典型电路



注：负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

3.3.6 内部时钟源特性

表 3-13 内部高速（HSI）RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率（校准后）			20		MHz
$DuCy_{HSI}$	占空比（Duty cycle）		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度（校准后）	$T_A = 0^{\circ}C \sim 70^{\circ}C$	-1.6		1.6	%
		$T_A = -40^{\circ}C \sim 85^{\circ}C$	-2.2		2.2	%
$t_{SU(HSI)}$	HSI 振荡器启动稳定时间 ⁽¹⁾				8	μs
$I_{DD(HSI)}$	HSI 振荡器功耗		140	200	280	μA

注：1. 寄存器 `RCC_CTLR HSION` 位置 1，等待 `HSIRDY` 置 1。

表 3-14 内部低速（LSI）RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		25	40	60	kHz
$DuCy_{LSI}$	占空比 (Duty cycle)		45	50	55	%
$t_{SU (LSI)}$	LSI 振荡器启动稳定时间 ⁽¹⁾			230		us
$I_{DD (LSI)}$	LSI 振荡器功耗			1		uA

注：1. 寄存器 `RCC_RSTSKR LSION` 位置 1，等待 `LSIRDY` 置 1。

3.3.7 通用 PLL 特性

表 3-15 通用 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{PLL_IN}	通用 PLL 输入时钟		5		32	MHz
	通用 PLL 输入时钟占空比		40		60	%
F_{PLL_OUT}	通用 PLL 倍频输出时钟		100		400	MHz
t_{LOCK}	通用 PLL 锁定时间			40	90	us

3.3.8 从低功耗模式唤醒的时间

表 3-16 低功耗模式唤醒的时间⁽¹⁾

符号	参数	条件	典型值	单位
$t_{wusleep}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	2.4	us
t_{wustop}	从停止模式唤醒（调压器处于运行模式）	HSI RC 时钟唤醒	23.1	us
	从停止模式唤醒（调压器为低功耗模式）	调压器从低功耗模式唤醒时间 + HSI RC 时钟唤醒	76.7	us
$t_{WUSTDBY}$	从待机模式唤醒	LDO 稳定时间 + HSI RC 时钟唤醒 + 代码加载时间 ⁽¹⁾ （举例 512K）	18.5	ms

注：1. 代码加载时间以当前芯片配置 0 等待运行区域容量和加载配置时钟大小计算可得。

3.3.9 存储器特性

表 3-17 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog_page}	页（256 字节）编程时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$		1	15	ms
t_{erase_sec}	扇区（4K 字节）擦除时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$		2	50	ms
t_{erase_block}	块（32K 字节）擦除时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$		16	200	ms

注：flash 的操作频率包括读、编程、擦除，时钟来自于 HCLK。

表 3-18 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	$T_A = 25^{\circ}\text{C}$	50K			次
t_{RET}	数据保存期限		20			年

3.3.10 I/O 端口特性

表 3-19 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	标准 I/O 脚, 输入高电平电压		$0.41 * (V_{*} - 1.8) + 1.3$		$V_{*} + 0.3$	V
	FT I/O 引脚, 输入高电平电压		$0.42 * (V_{*} - 1.8) + 1$		5.0	V
V_{IL}	标准 I/O 脚, 输入低电平电压		-0.3		$0.28 * (V_{*} - 1.8) + 0.6$	V
	FT I/O 引脚, 输入低电平电压		-0.3		$0.32 * (V_{*} - 1.8) + 0.55$	V
V_{hys}	标准 I/O 脚施密特触发器电压迟滞		150			mV
	FT I/O 引脚施密特触发器电压迟滞		90			
I_{lk}	输入漏电流	标准 I/O 端口			1	uA
		FT I/O 端口			3	
R_{PU}	上拉等效电阻		30	40	50	k Ω
R_{PD}	下拉等效电阻		30	40	50	k Ω
$C_{I/O}$	I/O 引脚电容			5		pF

注: I/O 引脚由 V_{DD} 或 V_{BAT} 供电, 上表中 V_{*} 根据具体的引脚可表示为 V_{DD} 或 V_{BAT} 。

输出驱动电流特性

GPIO (通用输入/输出端口) 可以吸收或输出多达 $\pm 8\text{mA}$ 电流, 并且吸收或输出 $\pm 20\text{mA}$ 电流 (不严格达到 V_{OL}/V_{OH})。在用户应用中, 所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值:

表 3-20-1 输出电压特性 (不包括 PC13~PC15 引脚)

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 8 个引脚灌电流	CMOS 端口, $I_{IO} = 8\text{mA}$ $2.9\text{V} < V_{DD} < 3.6\text{V}$		0.4	V
V_{OH}	输出高电平, 8 个引脚源电流		$V_{DD} - 0.4$		
V_{OL}	输出低电平, 8 个引脚灌电流	$I_{IO} = 20\text{mA}$ $2.9\text{V} < V_{DD} < 3.6\text{V}$		1.0	V
V_{OH}	输出高电平, 8 个引脚源电流		$V_{DD} - 1.2$		

注: 以上条件中如果多个 I/O 引脚同时驱动, 电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时, 电源/地线点上的电流很大, 会导致压降使内部 I/O 的电压达不到表中电源电压, 从而导致驱动电流小于标称值。

表 3-20-2 输出电压特性 (针对 PC13~PC15 引脚)

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 3 个引脚吸收电流	$I_{IO} = +5\text{mA}$ $2.9\text{V} \leq V_{*} \leq 3.6\text{V}$		0.4	V
V_{OH}	输出高电平, 3 个引脚输出电流		$V_{*} - 0.4$		

注: 上表中 V_{*} 根据具体的引脚可表示为 V_{DD} 或 V_{BAT} 。

表 3-21 输出交流特性（不包括 PC13~PC15 引脚）

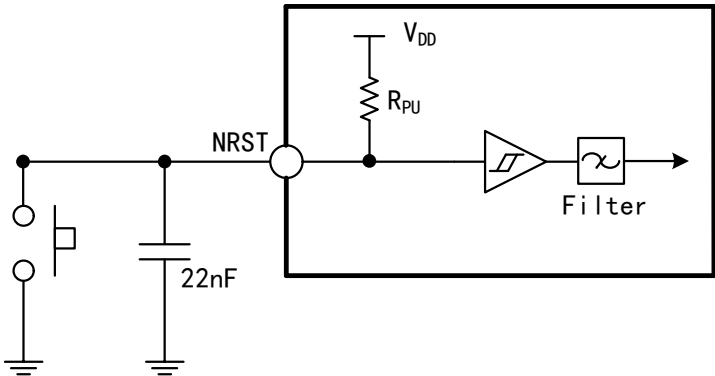
MODEx[1:0] 配置	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$F_{\max (10) \text{ out}}$	最大频率	CL=50pF		2	MHz
	$t_{\text{f} (10) \text{ out}}$	输出高至低电平的下降时间	CL=50pF		125	ns
	$t_{\text{r} (10) \text{ out}}$	输出低至高电平的上升时间			125	ns
01 (10MHz)	$F_{\max (10) \text{ out}}$	最大频率	CL=50pF		10	MHz
	$t_{\text{f} (10) \text{ out}}$	输出高至低电平的下降时间	CL=50pF		25	ns
	$t_{\text{r} (10) \text{ out}}$	输出低至高电平的上升时间			25	ns
11 (50MHz)	$F_{\max (10) \text{ out}}$	最大频率	CL=10pF, 非 HS 引脚		70	MHz
			CL=30pF, 非 HS 引脚		50	MHz
			CL=50pF, 非 HS 引脚		30	MHz
			CL=10pF, HS 引脚		100	MHz
			CL=30pF, HS 引脚		75	MHz
	$t_{\text{f} (10) \text{ out}}$	输出高至低电平的下降时间	CL=30pF		5	ns
			CL=50pF		8	ns
	$t_{\text{r} (10) \text{ out}}$	输出低至高电平的上升时间	CL=30pF		5	ns
			CL=50pF		8	ns
	t_{EXTIPW}	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

注：1. PC13、PC14 和 PC15 作为 GPIO 输出脚时只能工作在 2MHz 以下，最大驱动负载为 30pF。
2. USB 接口 I/O 仅符合 MODEx[1:0]=10b 或 01b 项的参数。

3.3.11 NRST 引脚特性

电路参考设计及要求：

图 3-7 外部复位引脚典型电路



注：图中的电容是可选的，可以用于滤除按键抖动。

表 3-22 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{\text{IL (NRST)}}$	NRST 输入低电平电压		-0.3		$0.28 \times (V_{\text{DD}} - 1.8) + 0.6$	V
$V_{\text{IH (NRST)}}$	NRST 输入高电平电压		$0.41 \times (V_{\text{DD}} - 1.8) + 1.3$		$V_{\text{DD}} + 0.3$	V
$V_{\text{hys (NRST)}}$	NRST 施密特触发器电压迟滞		150			mV
$R_{\text{PU}}^{(1)}$	上拉等效电阻		30	40	50	kΩ

V_F (NRST)	NRST 输入可被滤波脉宽				100	ns
V_{NF} (NRST)	NRST 输入无法滤波脉宽		300			ns

注：上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS 开关的电阻很小（约占 10%）。

3.3.12 TIM 定时器特性

表 3-23 TIMx 特性

符号	参数	条件	最小值	最大值	单位
t_{res} (TIM)	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 80MHz$	12.5		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 80MHz$	0	40	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 80MHz$	0.0125	819	us
t_{MAX_COUNT}	最大可能的计数			65535	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 80MHz$		53.7	s

3.3.13 I2C 接口特性

图 3-8 I2C 总线时序图

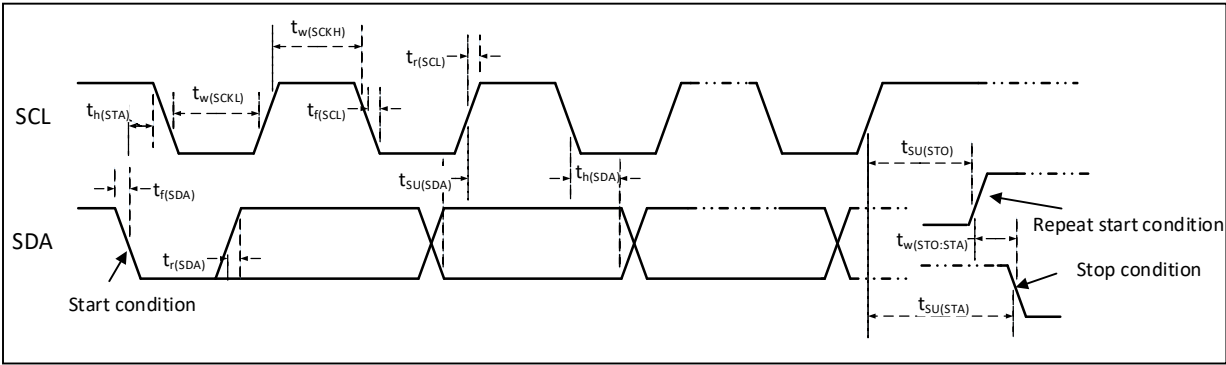


表 3-24 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
t_w (SCKL)	SCL 时钟低电平时间	4.7		1.2		us
t_w (SCKH)	SCL 时钟高电平时间	4.0		0.6		us
t_{SU} (SDA)	SDA 数据建立时间	250		100		ns
t_h (SDA)	SDA 数据保持时间	0		0	900	ns
t_r (SDA) / t_r (SCL)	SDA 和 SCL 上升时间		1000	20		ns
t_f (SDA) / t_f (SCL)	SDA 和 SCL 下降时间		300			ns
t_h (STA)	开始条件保持时间	4.0		0.6		us
t_{SU} (STA)	重复的开始条件建立时间	4.7		0.6		us
t_{SU} (STO)	停止条件建立时间	4.0		0.6		us
t_w (STO:STA)	停止条件至开始条件的的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

3.3.14 I3C 接口特性

表 3-25 I3C 接口特性

符号	参数	条件	最小值	最大值	单位
$t_{r(SDA_OD)}^{(1)}$	开漏模式下 SDA 上升时间		100		ns
$t_{r(SDA_PP)}^{(1)}$	推挽模式下 SDA 上升时间		5.1		ns

注：1. $t_{r(SDA_OD)}$ 和 $t_{r(SDA_PP)}$ 为设计参数保证，可通过寄存器 `R32_I3C_TIMINGR0` 进行配置。其他时间参数可参考 MIPI 协议。

3.3.15 SPI 接口特性

图 3-9 SPI 主模式时序图

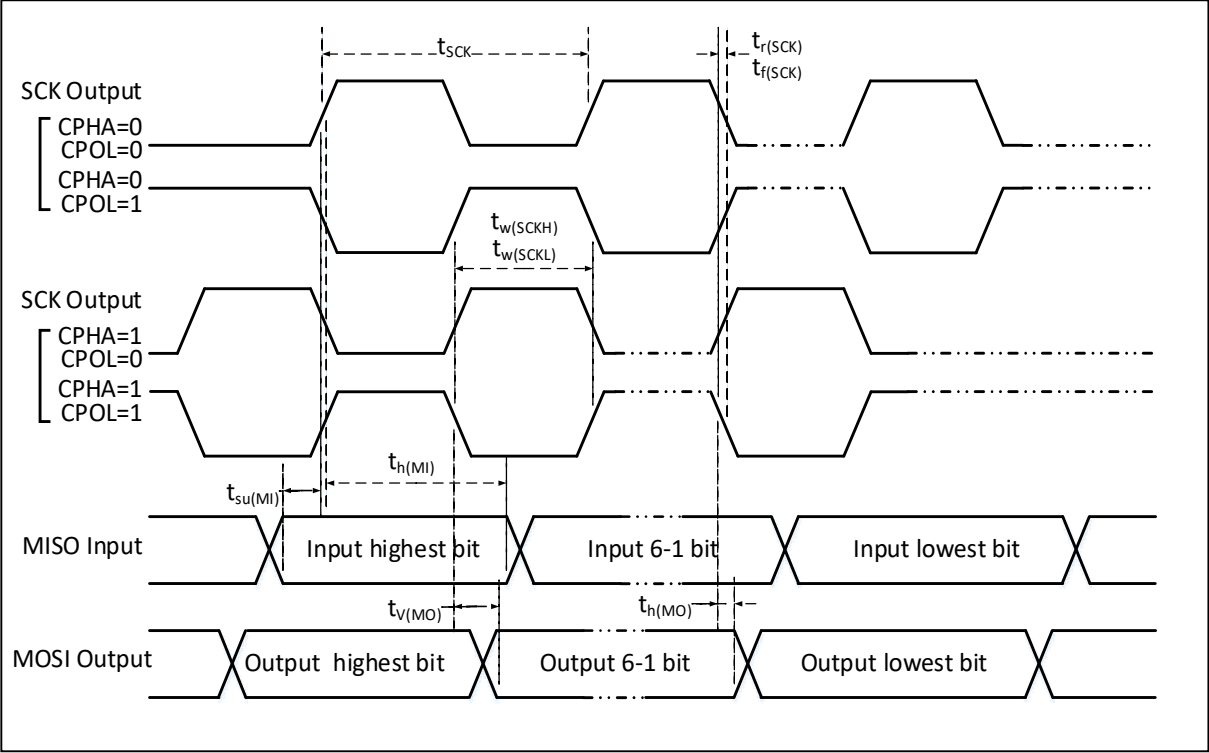


图 3-10 SPI 从模式时序图 (CPHA=0)

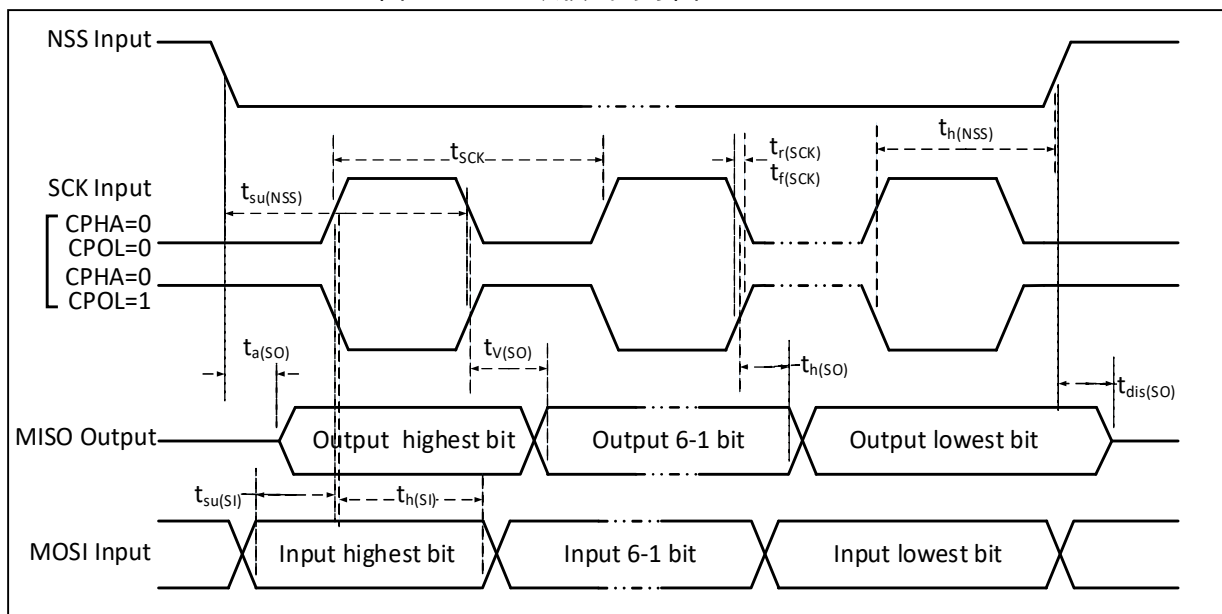


图 3-11 SPI 从模式时序图 (CPHA=1)

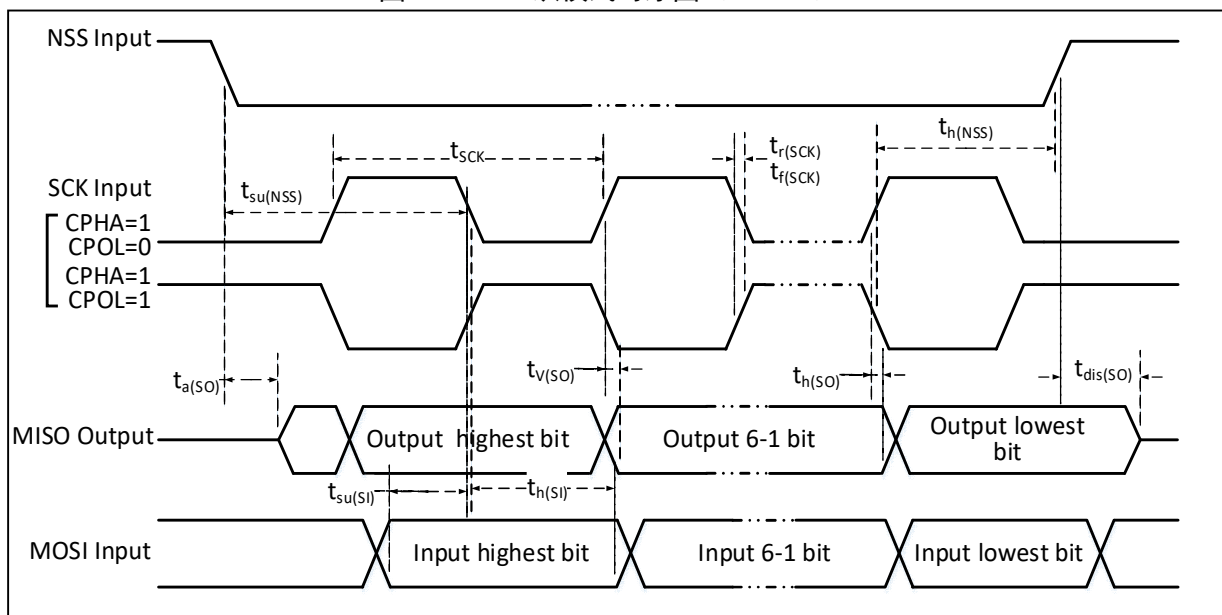


表 3-26 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	SPI 时钟频率	主模式		80	MHz
		从模式		80	MHz
$t_r(SCK)/t_f(SCK)$	SPI 时钟上升和下降时间	负载电容: $C = 10pF$		3	ns
$t_{SU}(NSS)$	NSS 建立时间	从模式	$2 \cdot t_{POLK}$		ns
$t_h(NSS)$	NSS 保持时间	从模式	$2 \cdot t_{POLK}$		ns
$t_{w(SCKH)}/t_{w(SCKL)}$	SCK 高电平和低电平时间	主模式, $f_{POLK} = 24MHz$, 预分频系数=4	70	97	ns
$t_{SU}(MI)$	数据输入建立时间	主模式	HSRXEN = 0	10	ns
			HSRXEN = 1	$10 - 0.5 \cdot t_{SCK}$	ns
$t_{SU}(SI)$		从模式	4		ns

$t_{h(MI)}$	数据输入保持时间	主模式	HSRXEN = 0	-4		ns
			HSRXEN = 1	$0.5 \cdot t_{SOK} - 4$		ns
$t_{h(SI)}$		从模式		4		ns
$t_{a(SO)}$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$		0	$1 \cdot t_{PCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式		0	10	ns
$t_{V(SO)}$	数据输出有效时间	从模式 (使能边沿之后)			10	ns
$t_{V(MO)}$		主模式 (使能边沿之后)			5	ns
$t_{h(SO)}$	数据输出保持时间	从模式 (使能边沿之后)		8		ns
$t_{h(MO)}$		主模式 (使能边沿之后)		0		ns

3.3.16 I2S 接口特性

图 3-12 I2S 总线主模式时序图

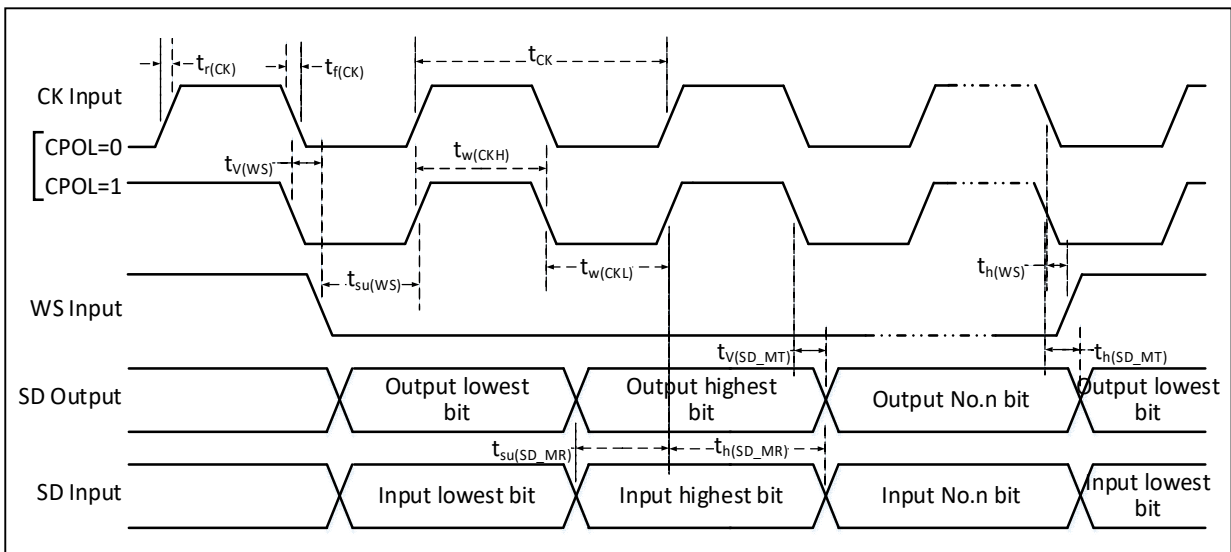


图 3-13 I2S 总线从模式时序图

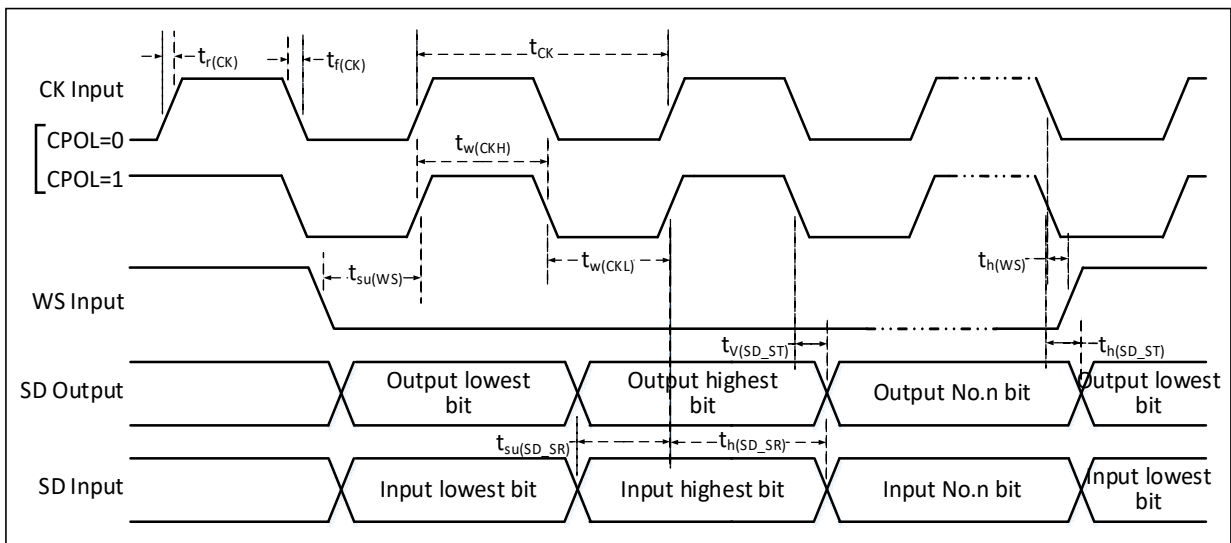


表 3-27 I2S 接口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}/t_{CK}	I2S 时钟频率	主模式		8	MHz
		从模式		8	MHz
$t_{r(CK)}/t_{f(CK)}$	I2S 时钟上升和下降时间	负载电容: $C = 30pF$		20	ns
$t_V(WS)$	WS 有效时间	主模式		5	ns
$t_{SU}(WS)$	WS 建立时间	从模式	10		ns
$t_h(WS)$	WS 保持时间	主模式	0		ns
		从模式	0		ns
$t_{w(CKH)}/t_{w(CKL)}$	SCK 高电平和低电平时间	主模式, $f_{PCLK} = 36MHz$ 预分频系数 = 4	40	60	%
$t_{SU}(SD_MR)$ $t_{SU}(SD_SR)$	数据输入建立时间	主模式	8		ns
		从模式	8		ns
$t_h(SD_MR)$ $t_h(SD_SR)$	数据输入保持时间	主模式	5		ns
		从模式	4		ns
$t_h(SD_MT)$	数据输出保持时间	主模式 (使能边沿之后)		5	ns
$t_h(SD_ST)$		从模式 (使能边沿之后)		5	ns
$t_V(SD_MT)$	数据输出有效时间	主模式 (使能边沿之后)		5	ns
$t_V(SD_ST)$		从模式 (使能边沿之后)		4	ns

3.3.17 USB 2.0 接口特性

表 3-28 USB 2.0 模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	USB 2.0 工作电压		3.15		3.45	V
V_{SE}	单端接收器阈值	$V_{DD} = 3.3V$	1.2		1.9	V
V_{OL}	静态输出低电平				0.3	V
V_{OH}	静态输出高电平		2.8		V_{DD}	V
V_{HSSQ}	高速压制信息检测阈值		100		150	mV
V_{HSDSC}	高速断开连接检测阈值		500		625	mV
V_{HSOI}	高速空闲电平		-10		10	mV
V_{HSOH}	高速数据高电平		360		440	mV
V_{HSOL}	高速数据低电平		-10		10	mV
R_{USBP}	USB 引脚上拉电阻		1.3	1.5	1.8	k Ω
R_{USBPD}	USB 引脚下拉电阻		13	15	18	k Ω
V_{BC_REF}	BC 比较器参考电压			0.4		V
V_{BC_SRC}	BC 协议输出电压			0.6		V

3.3.18 SDIO 接口特性

表 3-29 SDIO 接口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}/t_{CK}	SDIO 数据传输模式下的时钟频率	$CL \leq 10pF$, 4 线模式且映射到 HS 引脚		80	MHz
		$CL \leq 30pF$, 4 线或 8 线模式		50	MHz
$t_{w(CKL)}$	SDIO 时钟低电平时间	$CL \leq 30pF$	3		ns

$t_{W(CKH)}$	SDIO 时钟高电平时间	$CL \leq 30pF$	3			
$t_{r(CK)}$	SDIO 上升时间	$CL \leq 30pF$		2		
$t_{f(CK)}$	SDIO 下降时间	$CL \leq 30pF$		2		
CMD/DAT 输入（参考 CK）						
t_{ISU}	输入建立时间	$CL \leq 30pF$	5		ns	
t_{IH}	输入保持时间	$CL \leq 30pF$	1			
在高速模式下，CMD/DAT 输出（参考 CK）						
t_{OV}	输出有效时间	$CL \leq 30pF$	主模式		3	ns
			从模式		9	
t_{OH}	输出保持时间	$CL \leq 30pF$		10		
在默认模式下，CMD/DAT 输出（参考 CK）						
t_{OVD}	输出有效默认时间	$CL \leq 30pF$	主模式		4	ns
			从模式		10	
t_{OHD}	输出保持默认时间	$CL \leq 30pF$		10		

3.3.19 FSMC 特性

图 3-14 异步总线复用 PSRAM/NOR 读操作波形

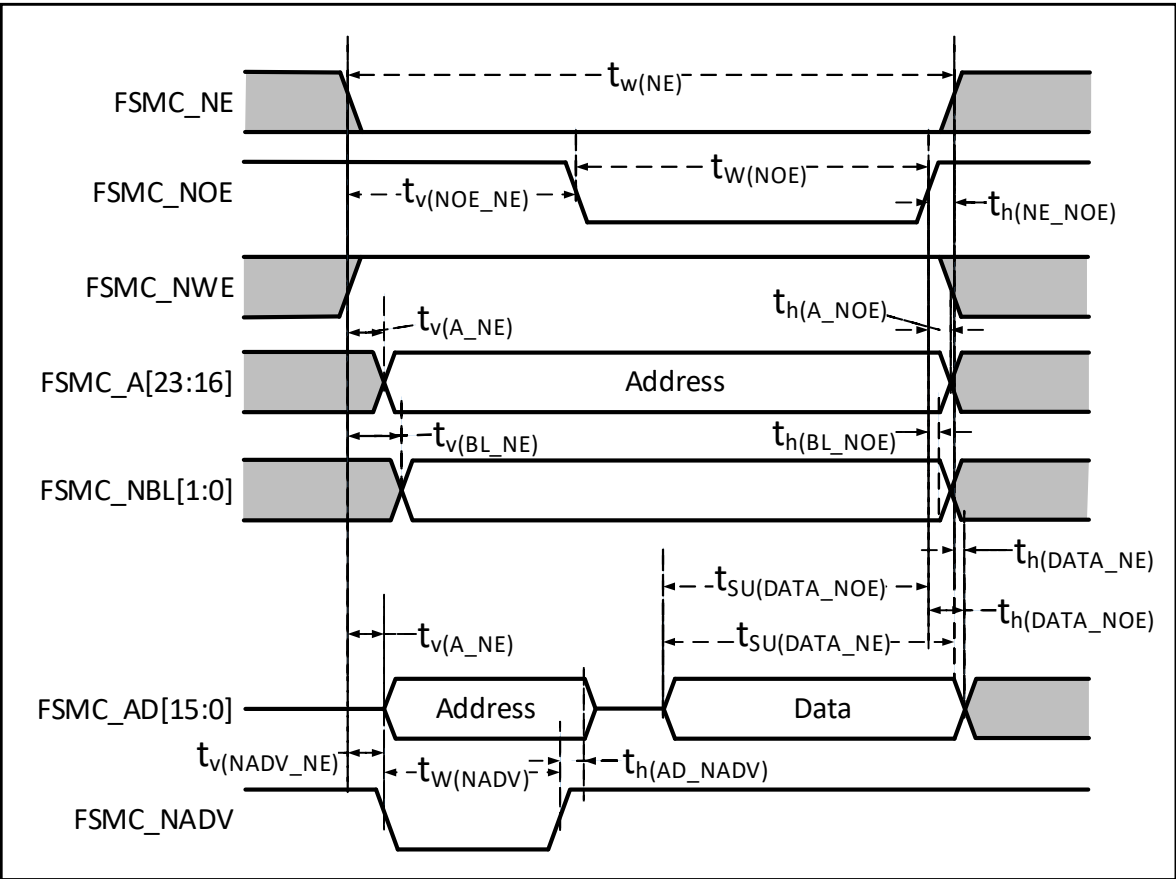


表 3-30 异步总线复用的 PSRAM/NOR 读操作时序

符号	参数	最小值	最大值	单位
$t_{W(NE)}$	FSMC_NE 低电平时间	$7 \cdot t_{HCLK}$		ns
$t_{V(NOE_NE)}$	FSMC_NE 低至 FSMC_NOE 低	0		
$t_{W(NOE)}$	FSMC_NOE 低时间	$7 \cdot t_{HCLK}$		

$t_{\text{h}}(\text{NE_NOE})$	FSMC_NOE 高至 FSMC_NE 高保持时间	0		
$t_{\text{v}}(\text{A_NE})$	FSMC_NE 低至 FSMC_A 有效	0	5	
$t_{\text{v}}(\text{NADV_NE})$	FSMC_NE 低至 FSMC_NADV 低	0	5	
$t_{\text{w}}(\text{NADV})$	FSMC_NADV 低时间	t_{HCLK}		
$t_{\text{h}}(\text{AD_NADV})$	FSMC_NADV 高之后 FSMC_AD (地址) 有效保持时间	$2*t_{\text{HCLK}}$		
$t_{\text{h}}(\text{A_NOE})$	FSMC_NOE 高之后的地址保持时间	0		
$t_{\text{h}}(\text{BL_NOE})$	FSMC_NOE 高之后的 FSMC_BL 保持时间	0		
$t_{\text{v}}(\text{BL_NE})$	FSMC_NE 低至 FSMC_BL 有效	0	5	
$t_{\text{SU}}(\text{DATA_NE})$	数据至 FSMC_NE 高的建立时间	$3*t_{\text{HCLK}}$		
$t_{\text{SU}}(\text{DATA_NOE})$	数据至 FSMC_NOE 高的建立时间	$3*t_{\text{HCLK}}$		
$t_{\text{h}}(\text{DATA_NE})$	FSMC_NE 高之后的数据保持时间	0		
$t_{\text{h}}(\text{DATA_NOE})$	FSMC_NOE 高之后的数据保持时间	0		

图 3-15 异步总线复用 PSRAM/NOR 写操作波形

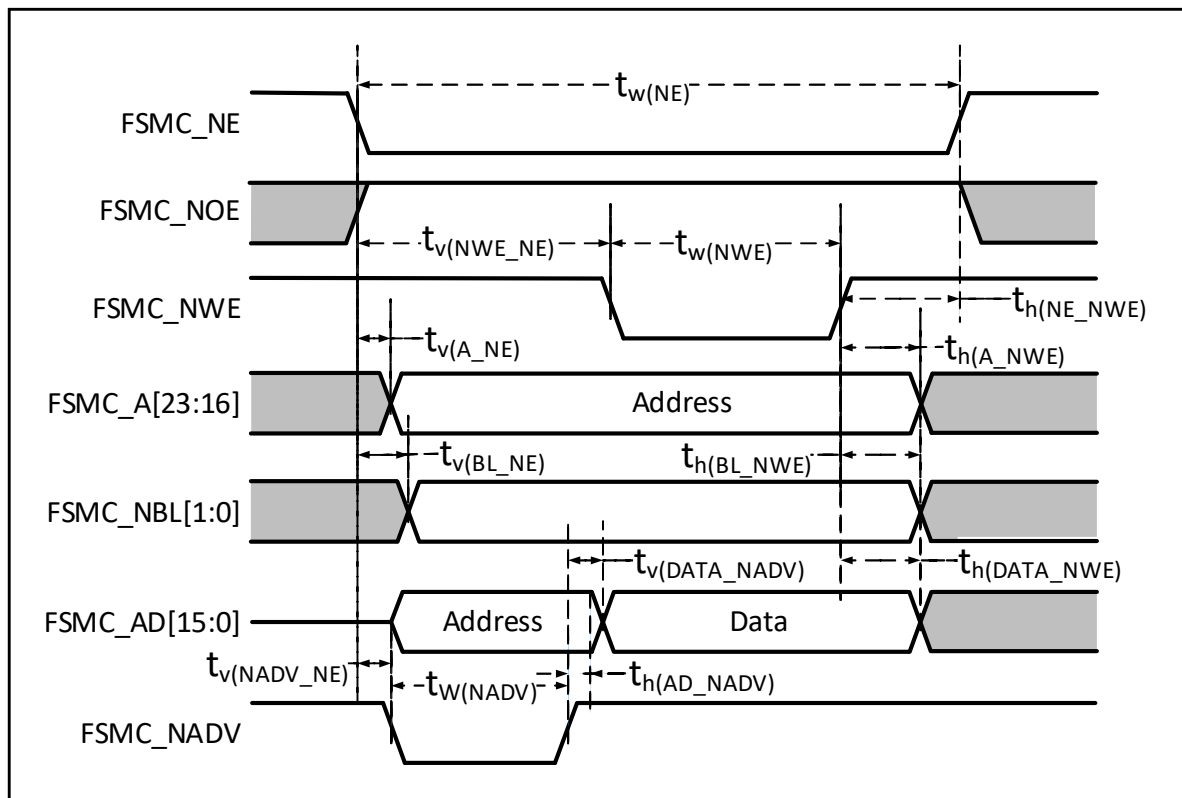


表 3-31 异步总线复用 PSRAM/NOR 写操作时序

符号	参数	最小值	最大值	单位
$t_{\text{w}}(\text{NE})$	FSMC_NE 低电平时间	$5*t_{\text{HCLK}}$		ns
$t_{\text{v}}(\text{NWE_NE})$	FSMC_NE 低至 FSMC_NWE 低	$3*t_{\text{HCLK}}$		
$t_{\text{w}}(\text{NWE})$	FSMC_NWE 低时间	$2*t_{\text{HCLK}}$		
$t_{\text{h}}(\text{NE_NWE})$	FSMC_NWE 高至 FSMC_NE 高保持时间	t_{HCLK}		
$t_{\text{v}}(\text{A_NE})$	FSMC_NE 低至 FSMC_A 有效	0	5	
$t_{\text{v}}(\text{NADV_NE})$	FSMC_NE 低至 FSMC_NADV 低	0	5	
$t_{\text{w}}(\text{NADV})$	FSMC_NADV 低时间	t_{HCLK}		
$t_{\text{h}}(\text{AD_NADV})$	FSMC_NADV 高之后 FSMC_AD (地址) 有效保持时间	$2*t_{\text{HCLK}}$		

$t_h(A_NWE)$	FSMC_NWE 高之后的地址保持时间	t_{HCLK}		
$t_v(BL_NE)$	FSMC_NE 低至 FSMC_BL 有效	0	5	
$t_h(BL_NWE)$	FSMC_NWE 高之后的 FSMC_BL 保持时间	t_{HCLK}		
$t_v(DATA_NADV)$	FSMC_NADV 高至数据保持时间	$2*t_{HCLK}$		
$t_h(DATA_NWE)$	FSMC_NWE 高之后的数据保持时间	t_{HCLK}		

图 3-16 同步总线复用 NOR/PSRAM 读波形

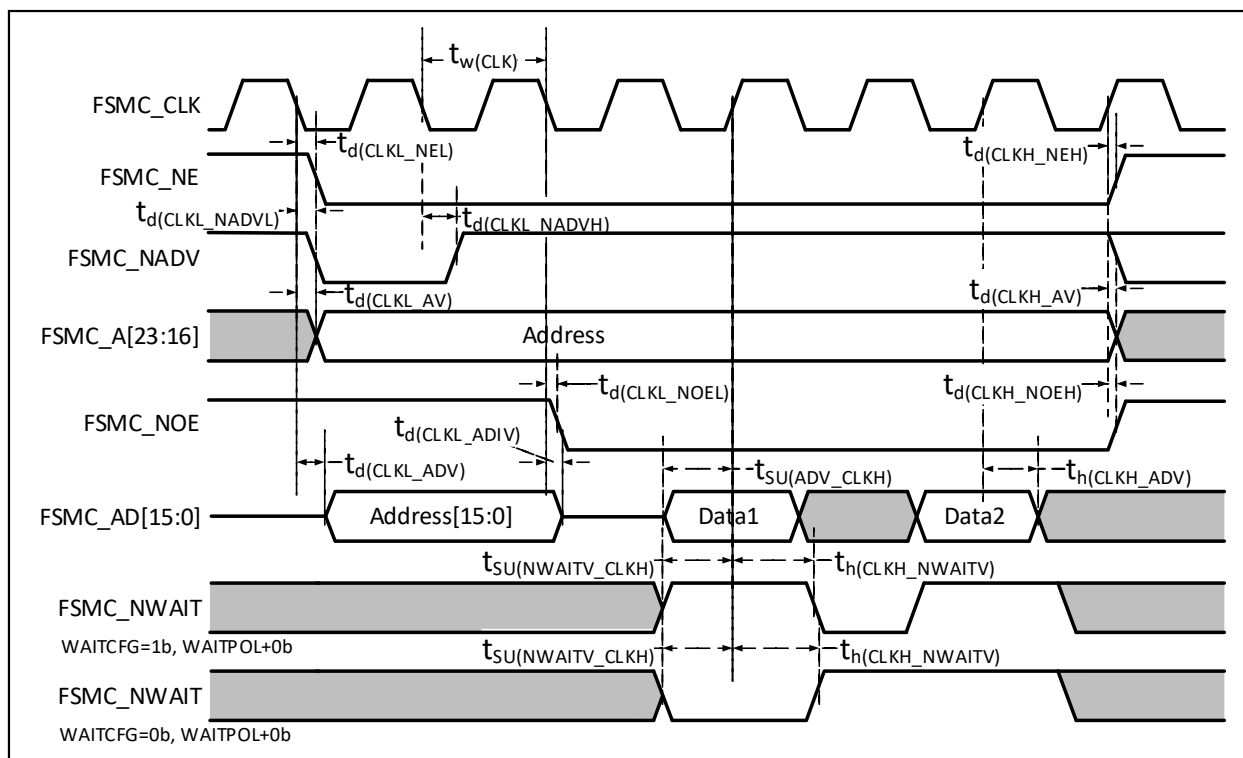


表 3-32 同步总线复用 NOR/PSRAM 读时序

符号	参数	最小值	最大值	单位
$t_w(CLK)$	FSMC_CLK 周期	$2*t_{HCLK}$		
$t_d(CLKL_NEL)$	FSMC_CLK 低至 FSMC_NE 低	0	5	
$t_d(CLKH_NEH)$	FSMC_CLK 高至 FSMC_NE 高	$0.5*t_{HCLK}$	$0.5*t_{HCLK}$	
$t_d(CLKL_NADVL)$	FSMC_CLK 低至 FSMC_NADV 低	0	5	
$t_d(CLKL_NADVH)$	FSMC_CLK 低至 FSMC_NADV 高	0	5	
$t_d(CLKL_AV)$	FSMC_CLK 低至 FSMC_Ax 有效 ($x = 16 \dots 23$)	0	5	
$t_d(CLKH_AIV)$	FSMC_CLK 高至 FSMC_Ax 无效 ($x = 16 \dots 23$)	0	5	
$t_d(CLKL_NOEL)$	FSMC_CLK 低至 FSMC_NOE 低	$2*t_{HCLK}$		
$t_d(CLKH_NOEH)$	FSMC_CLK 高至 FSMC_NOE 高	t_{HCLK}		
$t_d(CLKL_ADV)$	FSMC_CLK 低至 FSMC_AD[15:0] 有效	0	5	
$t_d(CLKL_ADIV)$	FSMC_CLK 低至 FSMC_AD[15:0] 无效	0	5	
$t_{SU}(ADV_CLKH)$	FSMC_CLK 高之前 FSMC_AD[15:0] 有效数据	8		
$t_h(CLKH_ADV)$	FSMC_CLK 高之后 FSMC_AD[15:0] 有效数据	8		
$t_{SU}(NWAITV_CLKH)$	FSMC_CLK 高之前 FSMC_NWAIT 有效	6		
$t_h(CLKH_NWAITV)$	FSMC_CLK 高之后 FSMC_NWAIT 有效	2		

图 3-17 同步总线复用 PSRAM 写波形

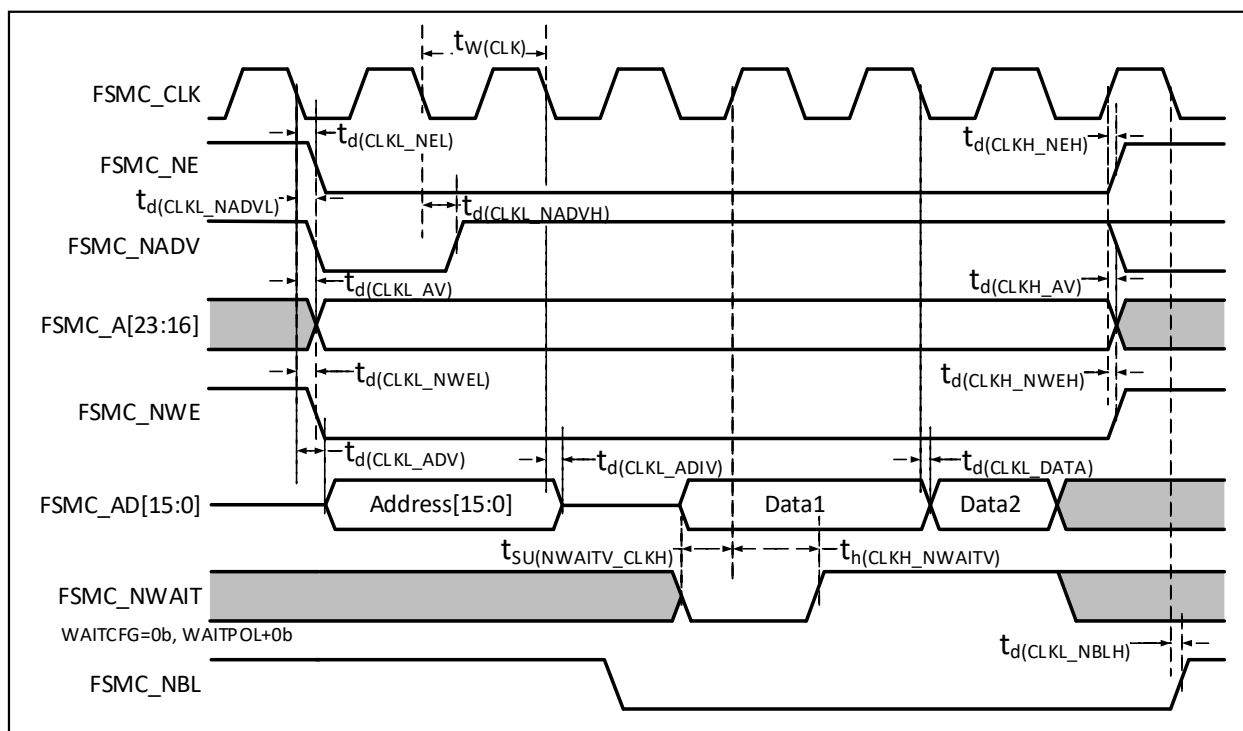


表 3-33 同步总线复用 PSRAM 写时序

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK 周期	$2 \cdot t_{\text{HCLK}}$		ns
$t_d(\text{CLK}_L\text{NEL})$	FSMC_CLK 低至FSMC_NE低	0	5	
$t_d(\text{CLK}_H\text{NEH})$	FSMC_CLK 高至FSMC_NE高	$0.5 \cdot t_{\text{HCLK}}$	$0.5 \cdot t_{\text{HCLK}}$	
$t_d(\text{CLK}_L\text{NADV}_L)$	FSMC_CLK 低至FSMC_NADV低	0	5	
$t_d(\text{CLK}_L\text{NADV}_H)$	FSMC_CLK 低至FSMC_NADV高	0	5	
$t_d(\text{CLK}_L\text{AV})$	FSMC_CLK 低至FSMC_A _x 有效 ($x = 16 \cdots 23$)	0	5	
$t_d(\text{CLK}_H\text{AIV})$	FSMC_CLK 高至FSMC_A _x 无效 ($x = 16 \cdots 23$)	0	5	
$t_d(\text{CLK}_L\text{NWE}_L)$	FSMC_CLK 低至FSMC_NWE低	0		
$t_d(\text{CLK}_H\text{NWE}_H)$	FSMC_CLK 高至FSMC_NWE高	0		
$t_d(\text{CLK}_L\text{ADV})$	FSMC_CLK 低至FSMC_AD[15:0]有效	0	5	
$t_d(\text{CLK}_L\text{ADIV})$	FSMC_CLK 低至FSMC_AD[15:0]无效	0	5	
$t_d(\text{CLK}_L\text{DATA})$	FSMC_CLK 低之后FSMC_AD[15:0]有效	2		
$t_{\text{SU}}(\text{NWAITV_CLKH})$	FSMC_CLK 高之前FSMC_NWAIT有效	6		
$t_h(\text{CLKH_NWAITV})$	FSMC_CLK 高之后FSMC_NWAIT有效	2		
$t_d(\text{CLK}_L\text{NBLH})$	FSMC_CLK 低至FSMC_NBL高	2		

NAND 控制器波形和时序

测试条件：NAND 操作区域，选择 16 位数据宽度，使能 ECC 计算电路，512 字节页面大小，其他时序配置为设置寄存器 FSMC_PCR2=0x0002005E，FSMC_PMEM2=0x01020301，FSMC_PATT2=0x01020301。

图 3-18 NAND 控制器读操作波形

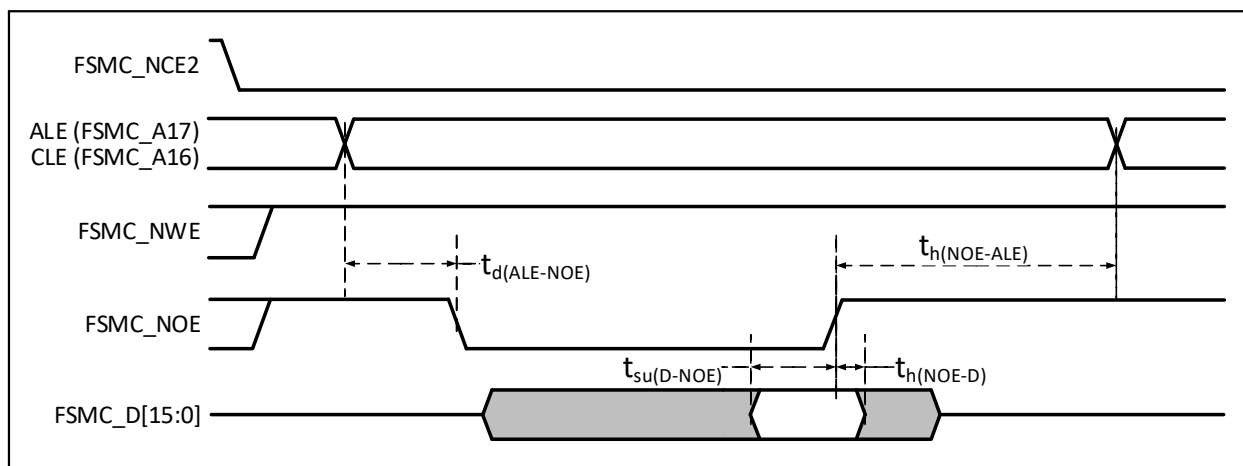


图 3-19 NAND 控制器写操作波形

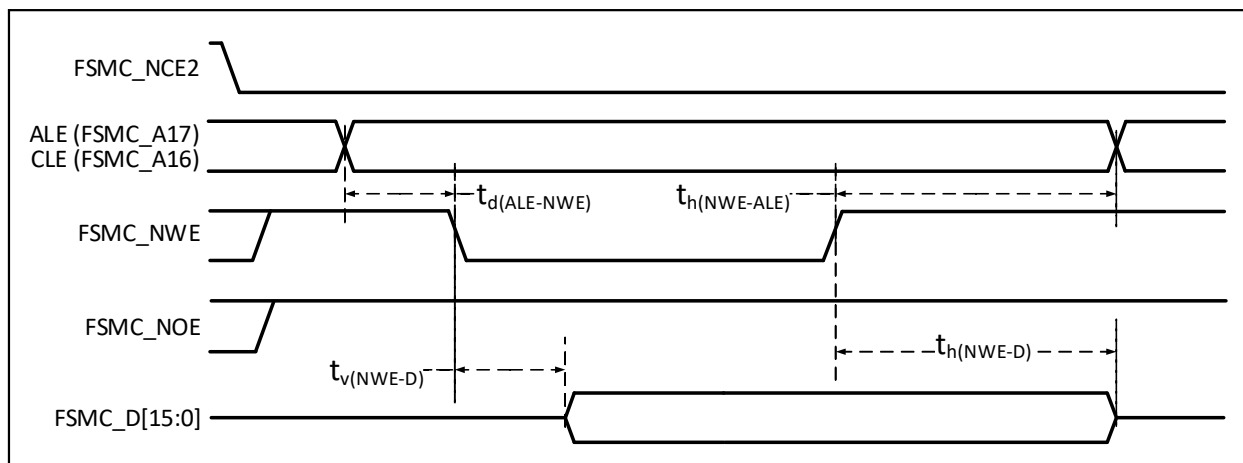


图 3-20 NAND 控制器在通用存储空间的读操作波形

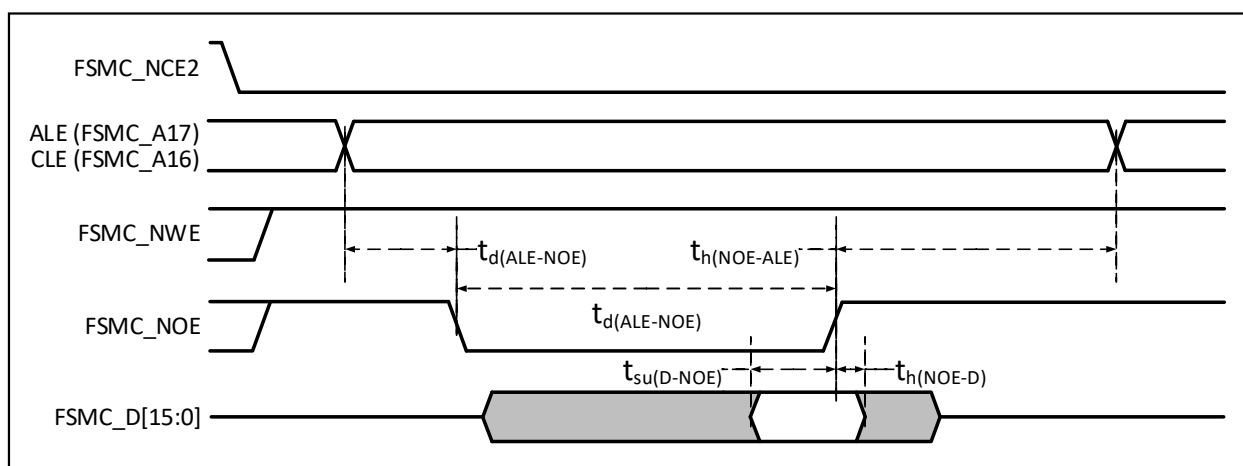


图 3-21 NAND 控制器在通用存储空间的写操作波形

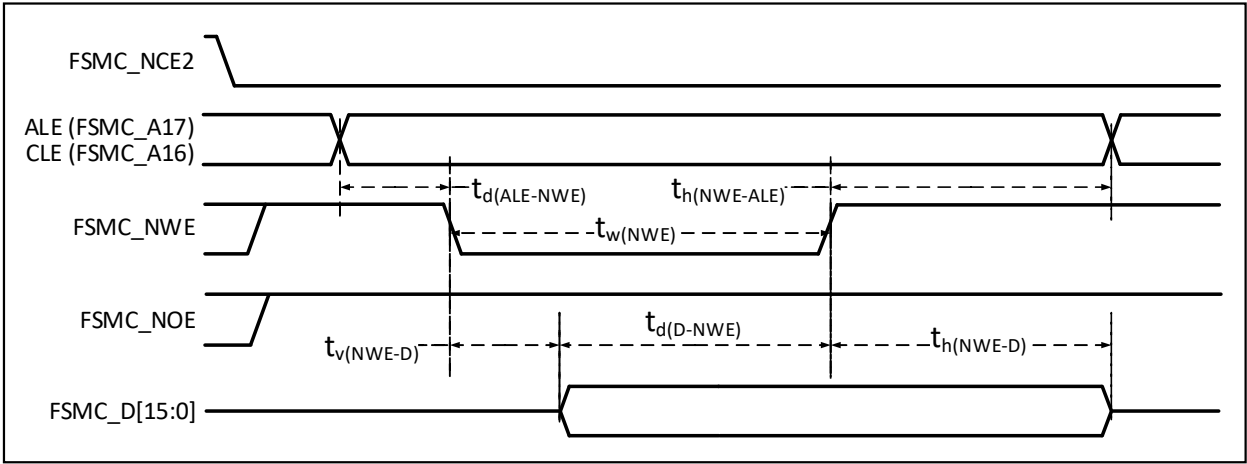


表 3-34 NAND 闪存读写周期的时序特性

符号	参数	最小值	最大值	单位
t_d (D-NWE)	FSMC_NWE 高之前至 FSMC_D[15:0] 数据有效	$4t_{HCLK}$		ns
t_w (NOE)	FSMC_NOE 低时间	$4t_{HCLK}$		
t_{su} (D-NOE)	FSMC_NOE 高之前至 FSMC_D[15:0] 数据有效	20		
t_h (NOE-D)	FSMC_NOE 高之后至 FSMC_D[15:0] 数据有效	15		
t_w (NWE)	FSMC_NWE 低时间	$4t_{HCLK}$		
t_v (NWE-D)	FSMC_NWE 低至 FSMC_D[15:0] 数据有效	0		
t_h (NWE-D)	FSMC_NWE 高至 FSMC_D[15:0] 数据无效	$2t_{HCLK}$		
t_d (ALE-NWE)	FSMC_NWE 低之前至 FSMC_ALE 有效	$2t_{HCLK}$		
t_h (NWE-ALE)	FSMC_NWE 高至 FSMC_ALE 无效	$2t_{HCLK}$		
t_d (ALE-NOE)	FSMC_NOE 低之前至 FSMC_ALE 有效	$2t_{HCLK}$		
t_h (NOE-ALE)	FSMC_NOE 高至 FSMC_ALE 无效	$4t_{HCLK}$		

3.3.20 DVP 接口特性

图 3-22 DVP 时序波形

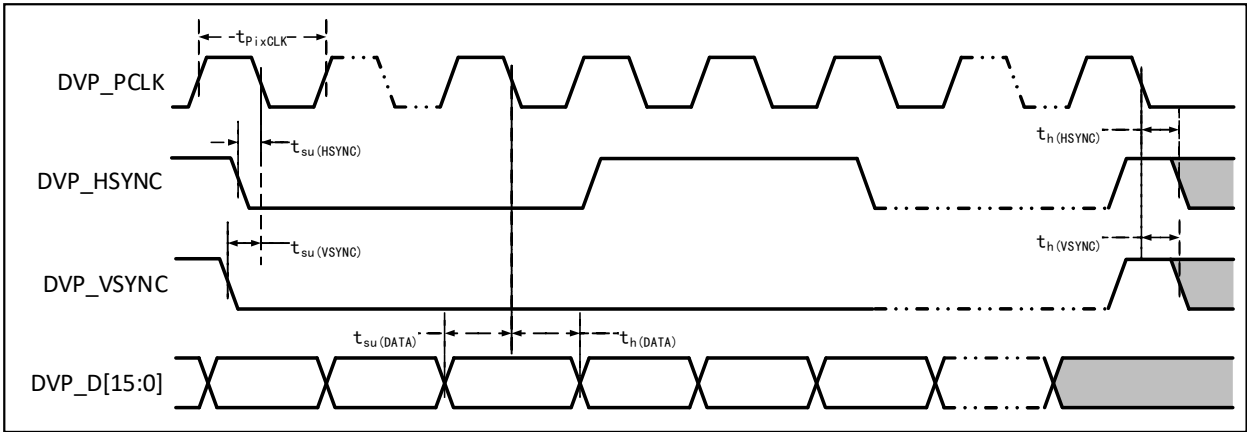


表 3-35 DVP 接口特性

符号	参数及描述	最小值	最大值	单位
$f_{\text{PixCLK}}/t_{\text{PixCLK}}$	DVP 像素时钟输入频率		150	MHz
Duty (PixCLK)	DVP 像素时钟的占空比	15		%
$t_{\text{su}}(\text{DATA})$	DVP 数据建立时间	2.5		ns
$t_{\text{h}}(\text{DATA})$	DVP 数据保持时间	1		
$t_{\text{su}}(\text{HSYNC}) / t_{\text{su}}(\text{VSYNC})$	DVP_HSYNC/DVP_VSYNC 信号输入建立时间	2.5		
$t_{\text{h}}(\text{HSYNC}) / t_{\text{h}}(\text{VSYNC})$	DVP_HSYNC/DVP_VSYNC 信号输入保持时间	1		

3.3.21 12 位 ADC 特性

表 3-36 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.9		3.6	V
$V_{\text{REF+}}$	正参考电压	$V_{\text{REF+}} \leq V_{\text{DDA}}$	2.4		V_{DDA}	V
I_{DDA}	V_{DDA} 供电电流			1		mA
$I_{\text{REF+}}$	$V_{\text{REF+}}$ 供电电流			30		uA
f_{ADC}	ADC 时钟频率				30	MHz
f_{s}	采样速率				2	MHz
V_{AIN}	转换电压范围		0		$V_{\text{REF+}}$	V
R_{AIN}	外部输入阻抗				50	kΩ
R_{ADC}	采样开关电阻			0.2		kΩ
C_{ADC}	内部采样和保持电容			8		pF
t_{CAL}	校准时间			136		$1/f_{\text{ADC}}$
t_{lat}	注入触发转换时延				2	$1/f_{\text{ADC}}$
t_{latr}	常规触发转换时延				2	$1/f_{\text{ADC}}$
t_{s}	采样时间		1.5		239.5	$1/f_{\text{ADC}}$
t_{CONV}	总的转换时间（包括采样时间）		14		252	$1/f_{\text{ADC}}$

注：以上均为设计参数保证。

公式：最大 R_{AIN}

$$R_{\text{AIN}} < \frac{T_{\text{s}}}{f_{\text{ADC}} \times C_{\text{ADC}} \times \ln 2^{N+2}} - R_{\text{ADC}}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12（表示 12 位分辨率）。

表 3-37 $f_{\text{ADC}} = 30\text{MHz}$ 时的最大 R_{AIN}

T_{s} (周期)	t_{s} (us)	最大 R_{AIN} (kΩ)
2.5	0.08	0.87
5.5	0.18	2.16
7.5	0.25	3.02
11.5	0.38	4.73
13.5	0.45	5.59
28.5	0.95	12.03

41.5	1.38	17.61
239.5	7.98	50

表 3-38 ADC 误差

符号	参数	条件	最小值	典型值	最大值	单位
E0	偏移误差	$f_{\text{ADC}} = 30\text{MHz}$, $R_{\text{AIN}} < 2\text{k}\Omega$, $V_{\text{DDA}} = 3.3\text{V}$		± 3	± 6	LSB
ED	微分非线性误差			± 3	± 5	
EL	积分非线性误差			± 4	± 6	

C_p 表示 PCB 与焊盘上的寄生电容（大约 5pF），可能与焊盘和 PCB 布局质量有关。较大的 C_p 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

图 3-23 ADC 典型连接图

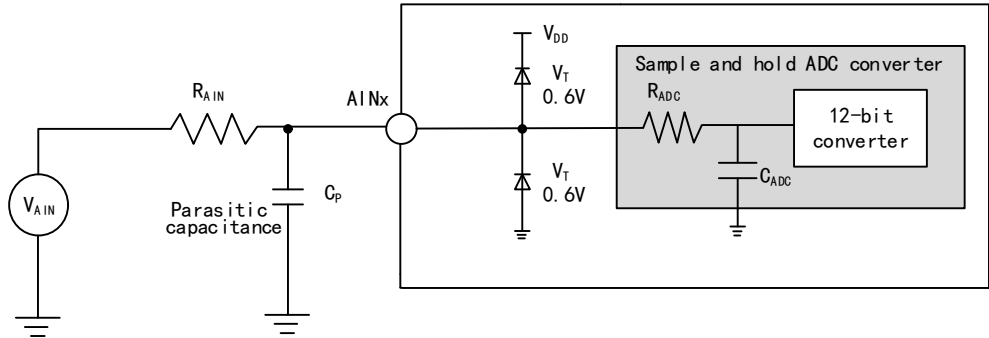
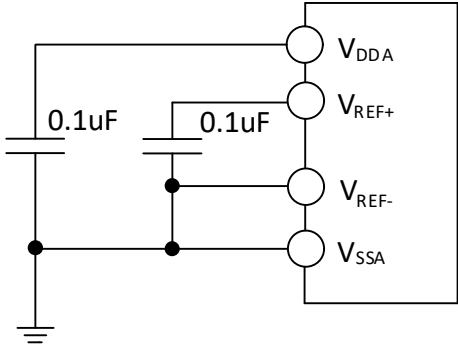


图 3-24 模拟电源及退耦电路参考



3.3.22 温度传感器特性

表 3-39 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
R_{TS}	温度传感器测量范围		-40		85	$^{\circ}\text{C}$
A_{TSC}	温度传感器的测量误差			± 12		$^{\circ}\text{C}$
Avg_Slope	平均斜率（负温度系数）		3.8	4.3	4.8	$\text{mV}/^{\circ}\text{C}$
V_{25}	在 25°C 时的电压		1.34	1.40	1.46	V
$T_{\text{S_temp}}$	当读取温度时，ADC 采样时间	$f_{\text{ADC}} = 14\text{MHz}$			17.1	μs

3.3.23 DAC 特性

表 3-40 DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.9	3.3	3.6	V
V_{REF+}	正参考电压	V_{REF+} 不能高于 V_{DDA}	2.4	3.3	3.6	V
$R_L^{(1)}$	缓冲器打开时的负载电阻		5			k Ω
	缓冲器关闭时的负载电阻		15			k Ω
$C_L^{(1)}$	缓冲器打开时负载电容				50	pF
$V_{OUT_MIN}^{(1)}$	缓冲器打开, 12 位 DAC 转换		0		8	mV
$V_{OUT_MAX}^{(1)}$		$V_{REF+} = 3.3V$	3.29		3.3	V
$V_{OUT_MIN}^{(1)}$	缓冲器关闭, 12 位 DAC 转换		0		3	mV
$V_{OUT_MAX}^{(1)}$		$V_{REF+} = 3.3V$	3.295		3.3	V
I_{VREF+}	无负载, 输入值 0x800			58		μA
	无负载, $V_{REF+}=3.6V$ 时, 输入值 0xF1C			194		μA
	无负载, $V_{REF+}=3.6V$ 时, 输入值 0x555 (最差)			331		μA
I_{DDA}	缓冲器打开无负载, 输入值 0x800			170		μA
	缓冲器打开无负载, $V_{REF+}=3.6V$, 输入值 0xF1C			150		μA
	缓冲器打开无负载, $V_{REF+}=3.6V$, 输入值 0x555 (最差)			170		μA
DNL	微分非线性误差			± 2		LSB
INL	积分非线性误差	经过失调误差和增益误差校正后		± 4		LSB
失调	偏移误差			± 3	± 12	mV
		$V_{REF+} = 3.6V$			± 10	LSB
增益误差		DAC配置为12位		± 0.4		%
放大器增益 ⁽¹⁾	开环时放大器的增益	5k Ω 的负载 (最大)	80	85		dB
$t_{SETTLING}$	设置时间 (全范围: 输入代码从最小值转变为最大值, DAC_OUT达到其终值的 ± 1 LSB)	$C_{LOAD} \leq 50pF$ $R_{LOAD} \geq 5k\Omega$		3	4	μs
更新速率	当输入代码为较小变化时 (从数值 i 变到 i+1LSB), 得到正确 DAC_OUT 的最大频率	$C_{LOAD} \leq 50pF$ $R_{LOAD} \geq 5k\Omega$			1	MS/s
t_{WAKEUP}	从关闭状态唤醒的时间 (DAC 的使能位 ENx 从 0 变为 1)	$C_{LOAD} \leq 50pF$, $R_{LOAD} \geq 5k\Omega$, 输入代码介于最小和最大可能数值之间		6.5	10	μs
PSRR+ ⁽¹⁾	供电抑制比 (相对于 V_{DDA}) (静态直流测量)	没有 R_{LOAD} , $C_{LOAD} \leq 50pF$		-100	-75	dB

注: 1. 设计参数保证。

3.3.24 OPA 特性

表 3-41-1 OPA 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.9	3.3	3.6	V
V_{CMIR}	共模输入电压		0		V_{DDA}	V

$V_{IOFFSET}$	输入失调电压			± 2.5	± 10	mV
I_{LOAD}	驱动电流				600	μA
$I_{DDOPAMP}$	消耗电流	无负载, 静态模式		195		μA
$C_{MRR}^{(1)}$	共模抑制比	@1kHz		96		dB
$P_{SRR}^{(1)}$	电源抑制比	@1kHz		86		dB
$A_V^{(1)}$	开环增益	$C_{LOAD} = 5pF$		136		dB
$G_{BW}^{(1)}$	单位增益带宽	$C_{LOAD} = 5pF$		19		MHz
$P_M^{(1)}$	相位裕度	$C_{LOAD} = 5pF$		93		°
$S_R^{(1)}$	压摆率	$C_{LOAD} = 5pF$		8		V/ μs
$t_{WAKUP}^{(1)}$	关闭到唤醒建立时间, 0.1%	输入 $V_{DDA}/2$, $C_{LOAD} = 50pF$, $R_{LOAD} = 4k\Omega$			0.5	μs
R_{LOAD}	电阻性负载		4			k Ω
C_{LOAD}	电容性负载				50	pF
$V_{OHSAT}^{(2)}$	高饱和输出电压	$R_{LOAD} = 4k\Omega$, 输入 V_{DDA}	$V_{DDA}-300$	$V_{DDA}-150$		mV
		$R_{LOAD} = 20k\Omega$, 输入 V_{DDA}	$V_{DDA}-50$	$V_{DDA}-30$		mV
$V_{OLSAT}^{(2)}$	低饱和输出电压	$R_{LOAD} = 4k\Omega$, 输入 0		3	10	mV
		$R_{LOAD} = 20k\Omega$, 输入 0		3	10	mV
PGA Gain ⁽¹⁾	PGADIF = 0, 同相 PGA 增益误差	Gain = 4, $V_{CMIR} < (V_{DDA}/3)$	-1		1	%
		Gain = 8, $V_{CMIR} < (V_{DDA}/7)$	-1		1	%
		Gain = 16, $V_{CMIR} < (V_{DDA}/15)$	-1		1	%
		Gain = 32, $V_{CMIR} < (V_{DDA}/31)$	-1.5		1.5	%
	PGADIF = 1, 同相 PGA 增益误差	Gain = 4	-2		2	%
		Gain = 8	-2		2	%
		Gain = 16	-2		2	%
		Gain = 32	-2.5		2.5	%
Delta R	电阻绝对值变化		-15		15	%
EN ⁽¹⁾	等效输入电压噪声	$R_{LOAD} = 4k\Omega @ 1kHz$		100		nV/ sqrt(Hz)
		$R_{LOAD} = 20k\Omega @ 1KHz$		60		

注：1. 设计参数保证。

2. 负载电流会限制饱和输出电压。

表 3-41-2 OPA 特性（高速模式）

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.9	3.3	3.6	V
V_{CMIR}	共模输入电压		0		V_{DDA}	V
$V_{IOFFSET}$	输入失调电压			± 2.5	± 10	mV
I_{LOAD}	驱动电流				600	μA
$I_{DDOPAMP}$	消耗电流	无负载, 静态模式		770		μA
$C_{MRR}^{(1)}$	共模抑制比	@1kHz		96		dB
$P_{SRR}^{(1)}$	电源抑制比	@1kHz		86		dB
$A_V^{(1)}$	开环增益	$C_{LOAD} = 5pF$		136		dB
$G_{BW}^{(1)}$	单位增益带宽	$C_{LOAD} = 5pF$		53		MHz
$P_M^{(1)}$	相位裕度	$C_{LOAD} = 5pF$		93		°
$S_R^{(1)}$	压摆率	$C_{LOAD} = 5pF$		16		V/ μs

$t_{WAKUP}^{(1)}$	关闭到唤醒建立时间, 0.1%	输入 $V_{DDA}/2$, $C_{LOAD} = 50pF$, $R_{LOAD} = 4k\Omega$			0.5	us
R_{LOAD}	电阻性负载		4			k Ω
C_{LOAD}	电容性负载				30	pF
$V_{OHSAT}^{(2)}$	高饱和输出电压	$R_{LOAD} = 4k\Omega$, 输入 V_{DDA}	$V_{DDA}-300$	$V_{DDA}-150$		mV
		$R_{LOAD} = 20k\Omega$, 输入 V_{DDA}	$V_{DDA}-50$	$V_{DDA}-30$		mV
$V_{OLSAT}^{(2)}$	低饱和输出电压	$R_{LOAD} = 4k\Omega$, 输入 0		3	10	mV
		$R_{LOAD} = 20k\Omega$, 输入 0		3	10	mV
PGA Gain ⁽¹⁾	PGADIF = 0, 同相 PGA 增益误差	Gain = 4, $V_{CMIR} < (V_{DDA}/3)$	-1		1	%
		Gain = 8, $V_{CMIR} < (V_{DDA}/7)$	-1		1	%
		Gain = 16, $V_{CMIR} < (V_{DDA}/15)$	-1		1	%
		Gain = 32, $V_{CMIR} < (V_{DDA}/31)$	-1.5		1.5	%
	PGADIF = 1, 同相 PGA 增益误差	Gain = 4	-2		2	%
		Gain = 8	-2		2	%
		Gain = 16	-2		2	%
		Gain = 32	-2.5		2.5	%
Delta R	电阻绝对值变化		-15		15	%
EN ⁽¹⁾	等效输入电压噪声	$R_{LOAD} = 4k\Omega @ 1kHz$		100		nV/
		$R_{LOAD} = 20k\Omega @ 1KHz$		60		sqrt(Hz)

注：1. 设计参数保证。

2. 负载电流会限制饱和输出电压。

3.3.25 片内的 PSRAM 特性（仅针对 CH32V467 芯片）

表 3-42 片内的 PSRAM 特性（仅针对 CH32V467 芯片）

符号	参数	条件										单位
		175MHz		200MHz		225MHz ⁽¹⁾		250MHz ⁽¹⁾		300MHz ⁽¹⁾		
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t _{SYSCLK}	系统时钟周期	6		5		4.4		4		3.3		ns
t _{CEM}	非睡眠模式下，		4		4		4		4		4	us
	PSRAM_CE_n 低脉冲宽度（CELPW[11:0]）	3		3		3		3		3		t _{CLK}
t _{RC}	PSRAM 读写周期（TRC[7:0]）	60		60		60		60		60		ns
t _{HS}	PSRAM 半睡眠模式最短持续时间	150		150		150		150		150		us
t _{XHS}	PSRAM 退出半睡眠模式的时间	150		150		150		150		150		us
t _{XPHS}	退出半睡眠模式时，PSRAM_CE_n 的低脉冲宽度（TXLPD[7:0]）	60	2000	60	2000	60	2000	60	2000	60	2000	ns
t _{DPD}	PSRAM 深睡眠模式最短持续时间	500		500		500		500		500		us
t _{DPDp}	PSRAM 深睡眠模式下的最小周期	500		500		500		500		500		us

t_{XDPD}	PSRAM 退出深睡眠模式的时间	150		150		150		150		150		us
t_{XDPD}	退出深睡眠模式时，PSRAM_CE_n 的低脉冲宽度 (TXLPD[7:0])	60		60		60		60		60		ns

注：1. 仅对于批号倒数第五位不为 0 的 CH32V467 芯片，PSRAM 可支持超过 200MHz 时钟，支持变量和指令访问，支持字节写；且在停止模式（调压器处于低功耗模式）下，数据可保持。

图 3-25 PSRAM 时序图（退出半睡眠模式）

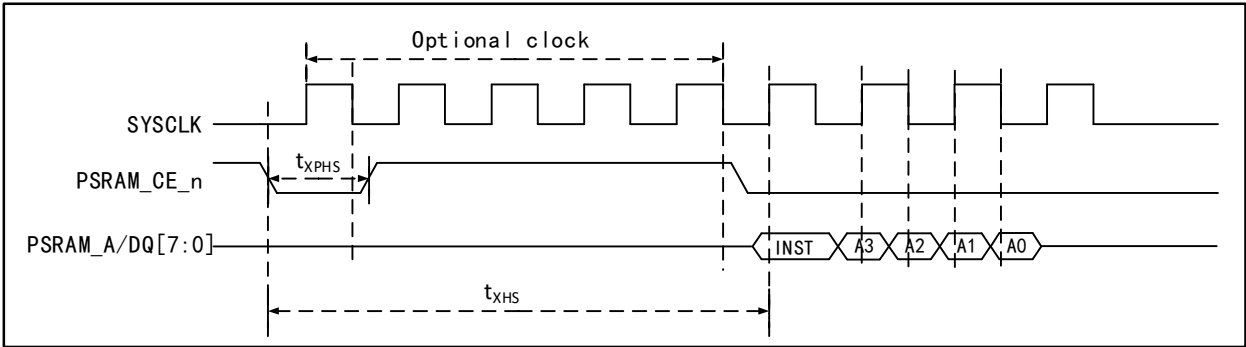
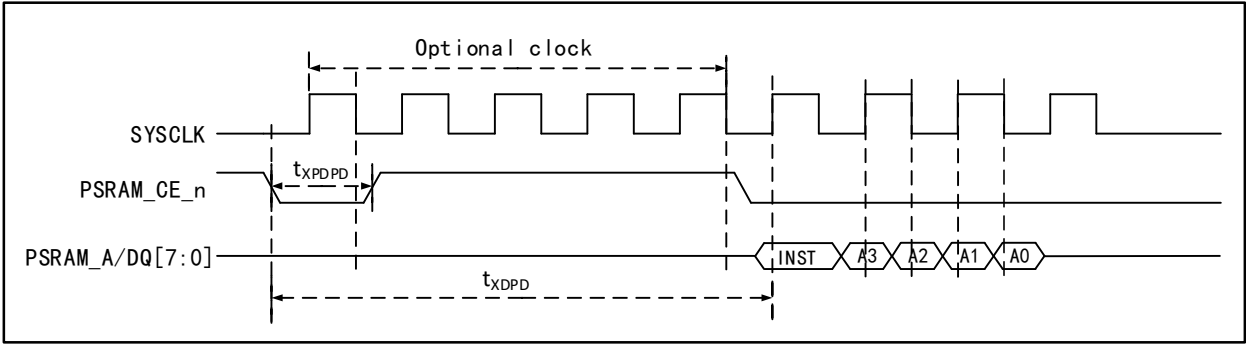


图 3-26 PSRAM 时序图（退出深睡眠模式）



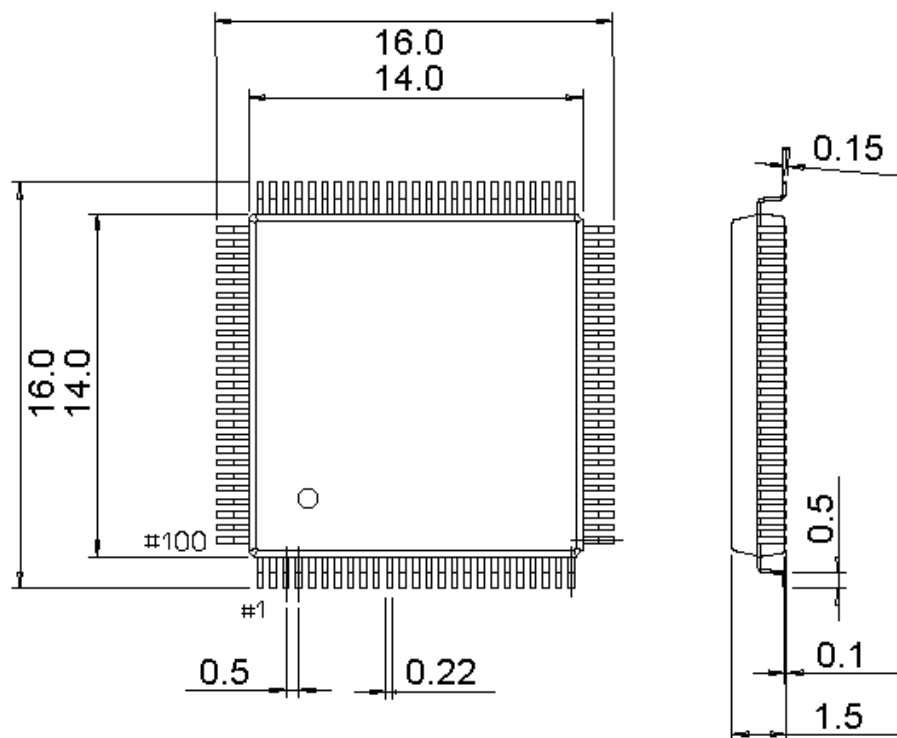
第 4 章 封装及订货信息

芯片封装

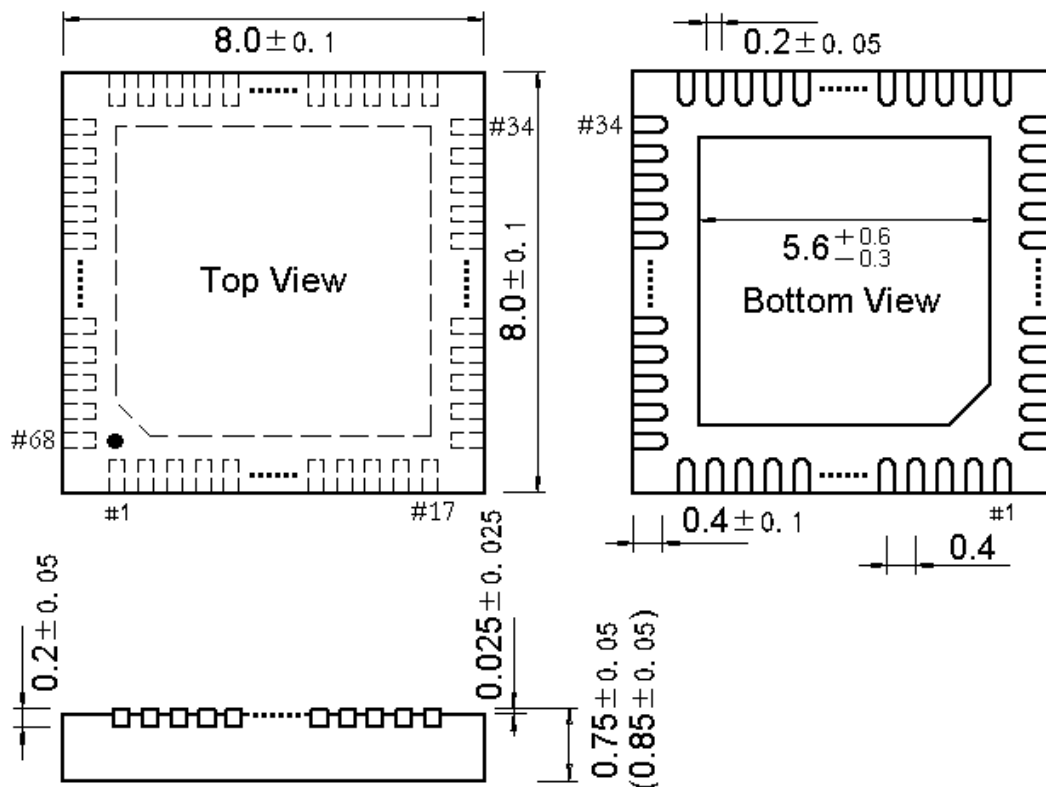
封装形式	塑体尺寸	引脚节距		封装说明	订货型号
LQFP100	14*14mm	0.5mm	19.7mil	标准 LQFP100 贴片	CH32V407VET6
QFN68	8*8mm	0.4mm	15.7mil	四边无引线 68 脚	CH32V407WEU6
LQFP64	7*7mm	0.4mm	15.7mil	标准 LQFP64 贴片	CH32V407RET6
LQFP100	14*14mm	0.5mm	19.7mil	标准 LQFP100 贴片	CH32V467VET6
QFN68	8*8mm	0.4mm	15.7mil	四边无引线 68 脚	CH32V467WEU6
LQFP64	7*7mm	0.4mm	15.7mil	标准 LQFP64 贴片	CH32V467RET6

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 或者 $\pm 10\%$ 两者中的较大值。

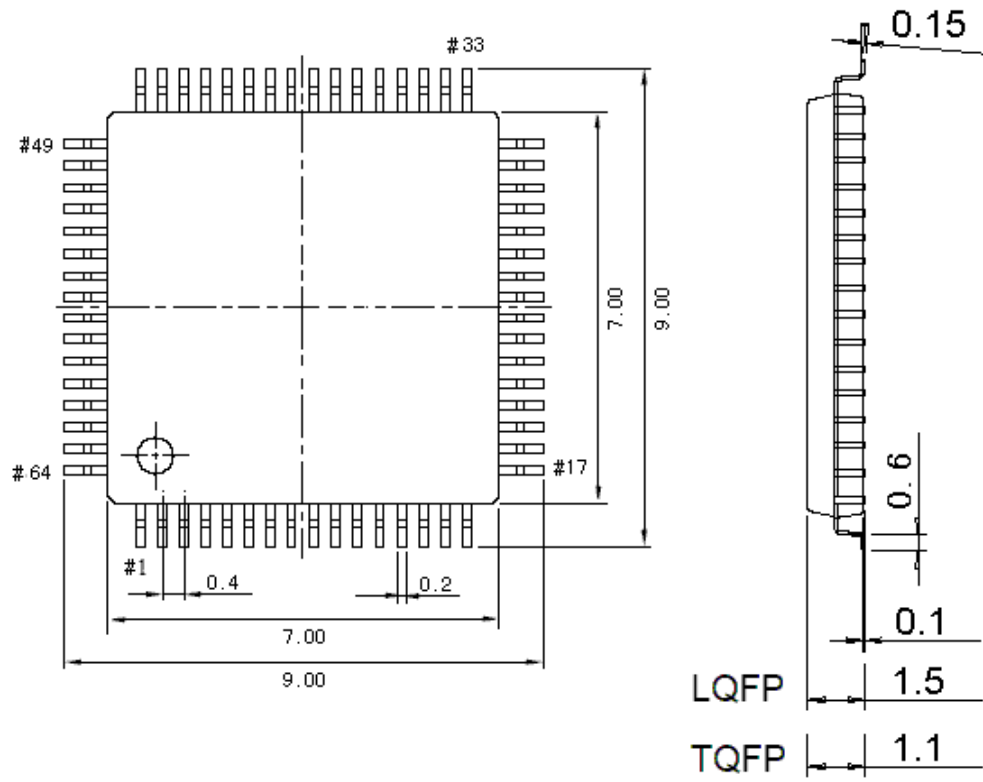
4.1 LQFP100 封装



4.2 QFN68 封装



4.3 LQFP64 封装



系列产品命名规则

举例： CH32 V 303 R 8 T 6

产品系列

F = Arm 内核，通用 MCU

V = 青稞 RISC-V 内核，通用 MCU

L = 青稞 RISC-V 内核，低功耗 MCU

X = 青稞 RISC-V 内核，专用或特殊外设 MCU

M = 青稞 RISC-V 内核，内置预驱的电机 MCU

H = 青稞 RISC-V 内核，高性能 MCU

产品类型 (*) + 产品子系列 (**)

产品类型	产品子系列
0 = 超值版，主频≤48M	06 = 64K 闪存多能通用型，OPA、双串口、TKey 07 = 基础电机应用型，OPA+CMP
1 = 基本版，主频≤100M 2 = 增强版，主频≤200M 3 = 硬件浮点，中大容量<480KB	03 = 连接型，USB 05 = 连接型，USB HS、CAN 07 = 互联型，USB HS、CAN、以太网、SDIO、FSMC 08 = 无线型，BLE5.x、CAN、USB、以太网 17 = 互联型，USB HS、CAN、以太网（内置 PHY）、SDIO
4 = 大容量≥480KB	07 = 互联型，USB HS、以太网（内置 PHY）、ARGB 17 = 互联型，USB SS、SerDes、HSADC、UHSIF、SDIO、DVP、以太网（内置 PHY） 67 = 互联型，USB HS、以太网（内置 PHY）、ARGB、PSRAM

引脚数目

J = 8 脚 D = 12 脚 A = 16 脚 F = 20 脚 E = 24 脚
G = 28 脚 K = 32 脚 T = 36 脚 C = 48 脚 R = 60 或 64 脚
W = 68 脚 M = 76 或 88 脚 V = 100 脚 Q = 128 脚 Z = 144 脚

闪存存储容量

4 = 16K 闪存存储器 6 = 32K 闪存存储器 7 = 48K 闪存存储器 8 = 64K 闪存存储器
B = 128K 闪存存储器 C = 256K 闪存存储器 E = 512K 闪存存储器

封装

T = LQFP U = QFN R = QSOP P = TSSOP M = SOP

温度范围

6 = -40℃~85℃ 7 = -40℃~105℃
3 = -40℃~125℃ D = -40℃~150℃